

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

$\mu$  PD77115, 77115A

## 16ビット固定小数点デジタル・シグナル・プロセッサ

$\mu$  PD77115, 77115Aは、16ビットの固定小数点DSP ( Digital Signal Processor ) です。

$\mu$  PD77115は、デジタル・オーディオ専用回路を内蔵したRAMベースのDSPで、MP3( MPEG1 Audio Layer 3 )、AAC ( MPEG2 Advanced Audio Coding ) など音声符号化方式のデコードを1チップで実現します。  
本資料では、とくに断りのないかぎり、 $\mu$  PD77115、 $\mu$  PD77115Aを $\mu$  PD77115として説明しています。

詳しい機能説明などは次のユーザズ・マニュアルに記載しています。設計の際には必ずお読みください。

$\mu$  PD77111ファミリ ユーザズ・マニュアル アーキテクチャ編 : U14623J  
 $\mu$  PD77016ファミリ ユーザズ・マニュアル 命令編 : U13116J

## 特 徴

インストラクション・サイクル (動作クロック) : 最小13.3 ns (最大75 MHz)

## メモリ

- 内部命令メモリ RAM : 11.5 Kワード×32ビット
- データ・メモリ RAM : 16 Kワード×16ビット×2面

## ペリフェラル

- オーディオ・シリアル・インタフェース
- SD ( Secure Digital ) カード・インタフェース
- 16ビット・タイマ
- 16ビット・ホスト・インタフェース
- 8ビット・ポート

## 電源電圧

DSPコア 2.0 ~ 2.7 V (最高速度動作時 : 50 MHz)  
2.3 ~ 2.7 V (最高速度動作時 : 75 MHz)

I/Oピン 2.7 ~ 3.6V

- 消費電力 (TYP.) 50 mW (2.0 V, 50 MHz動作時)

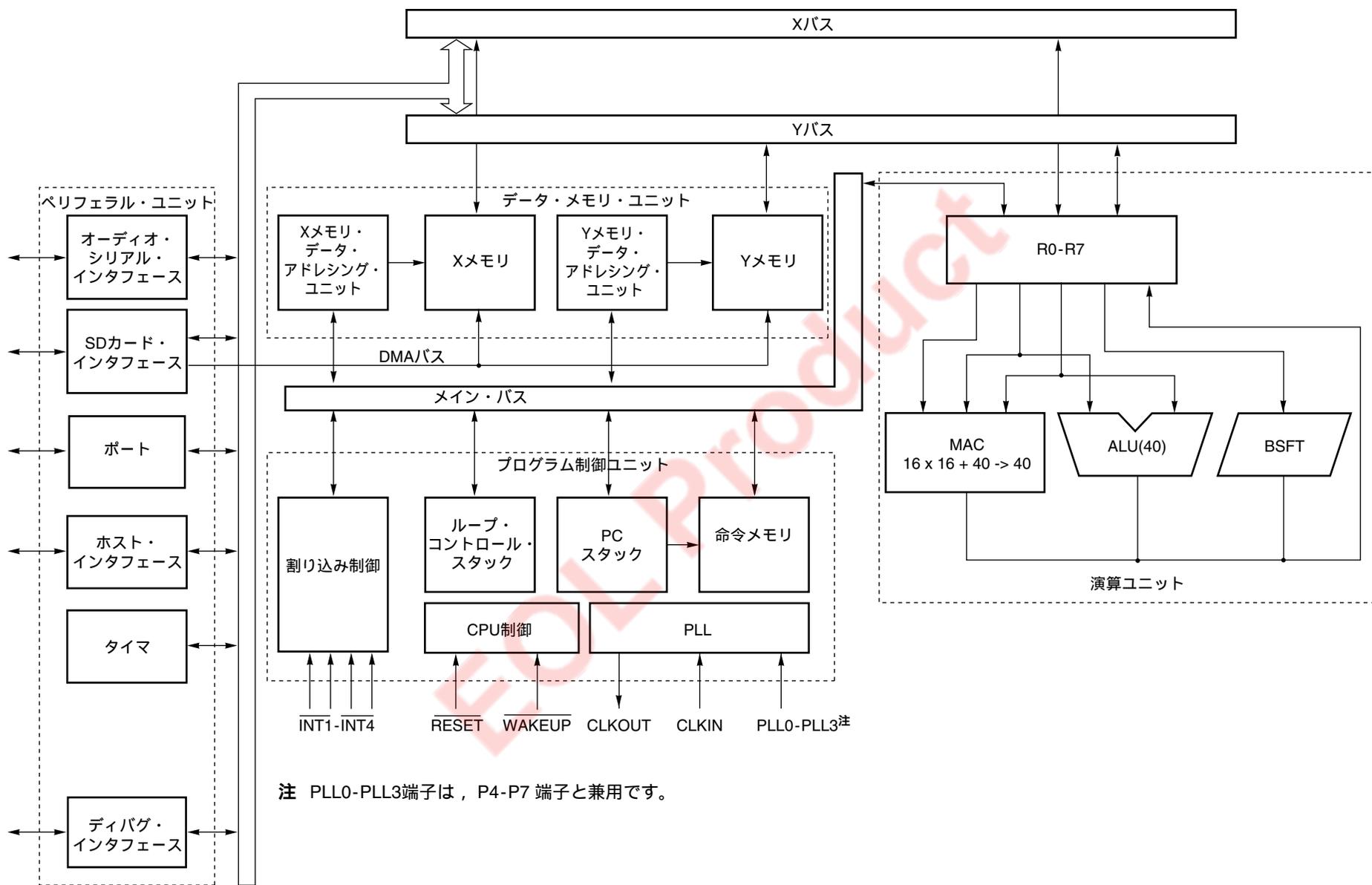
## オーダ情報

	オーダ名称	パッケージ
★	$\mu$ PD77115F1-CN6	80ピン・プラスチックFBGA (9×9)
	$\mu$ PD77115GK-9EU	80ピン・プラスチックTQFP (ファインピッチ) (12×12)
★	$\mu$ PD77115AF1-xxx-CN6	80ピン・プラスチックFBGA (9×9)

備考 xxxはROMコード番号です。

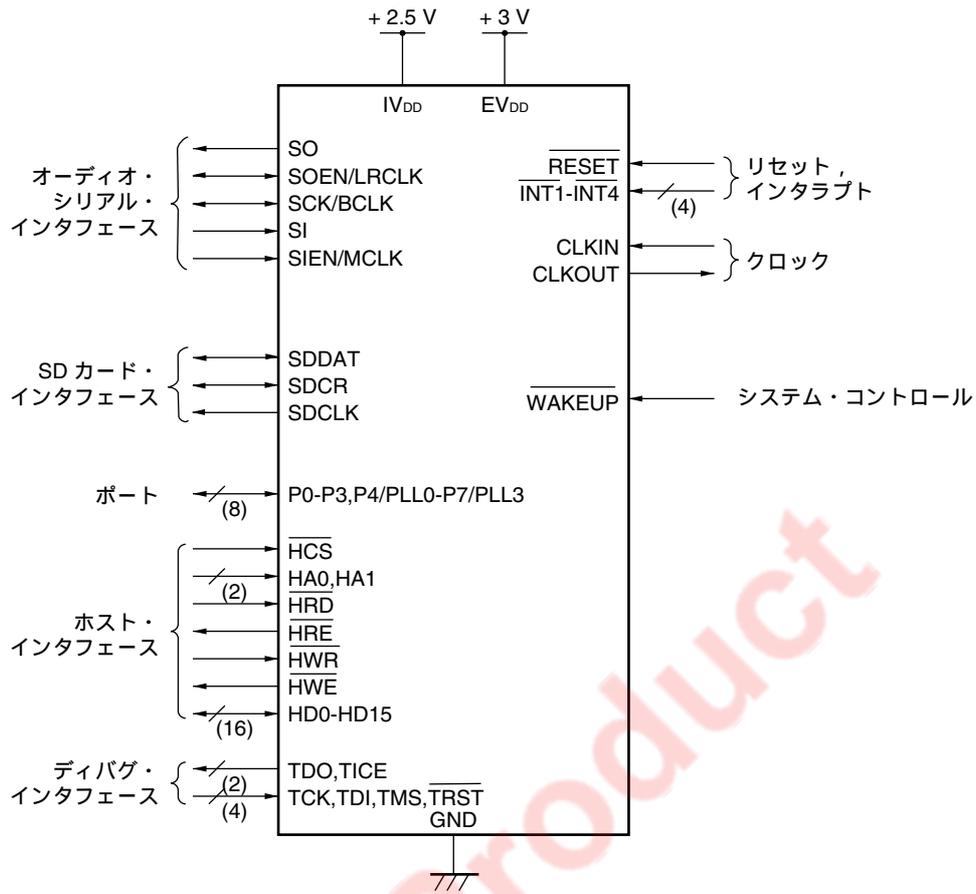
本資料の内容は、予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。

ブロック図



注 PLL0-PLL3端子は、P4-P7 端子と兼用です。

端子構成図



備考 PLL0-PLL3端子は，P4-P7端子と兼用です。

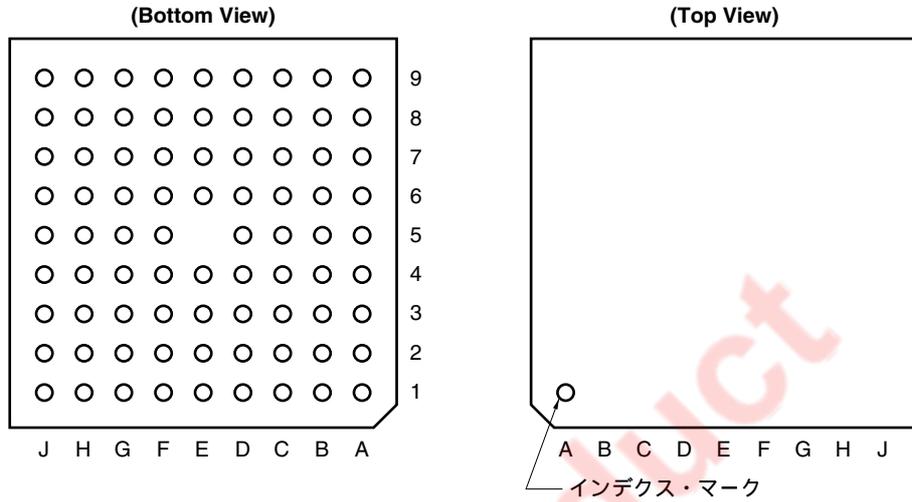
★ DSP機能一覧表

項目		μ PD77110	μ PD77111	μ PD77112	μ PD77113A	μ PD77114	μ PD77115,77115A	μ PD77210	μ PD77213	
メモリ空間 (ワード× ビット)	内部命令RAM	35.5 K×32	1 K×32		3.5 K×32		11.5 K×32	31.5 K×32	15.5 K×32	
	内部命令ROM	なし	31.75 K×32		48 K×32		なし		64 K×32	
	データRAM (X/Yメモリ)	各24 K×16	各3K×16		各16K×16		各16 K×16	各30 K×16	各18 K×16	
	データROM (X/Yメモリ)	なし	各16 K×16		各32 K×16		なし		各32 K×16	
	外部命令メモリ	なし								
外部データ・メモリ (X/Yメモリ)	各32 K×16	なし	各16 K×16	なし	各8 K×16	なし	各1 M×16	1 M×16 (SD I/F使用時は8 K×16)		
インストラクション・サイクル (最高速度動作時)		15.3 ns (65 MHz)	13.3 ns (75 MHz)					6.25 ns (160 MHz)	8.33 ns (120 MHz)	
通倍率		×1~8の整数倍 (外部端子)	×1~16の整数倍 (マスク・オプション)				×1~16の整数倍 (外部端子)	×10~64の整数倍 (外部端子)		
ペリフェラル	シリアル・インタフェース	2チャンネル (スピーチCODEC)					1チャンネル(オーディオCODEC)	2チャンネル(時分割, オーディオ)		
	ホスト・インタフェース	8ビット・バス					16ビット・バス			
	汎用ポート (入出力プログラマブル)	4ビット					8ビット	16ビット(一部, ホストと兼用)		
	タイマ	なし					1チャンネル(16ビット分解能)	2チャンネル(16ビット分解能)		
	その他	-	-	-	-	-	SDカードI/F	-	SDカードI/F	
電源		DSPコア : 2.5 V I/O端子 : 3 V						DSPコア : 1.5 V I/O端子 : 3 V		
パッケージ		100ピンTQFP	80ピンFBGA 80ピンTQFP	100ピンTQFP	80ピンFBGA	100ピンTQFP	80ピンFBGA 80ピンTQFP	161ピンFBGA 144ピンLQFP		

端子接続図

80ピン・プラスチックFBGA (9×9)

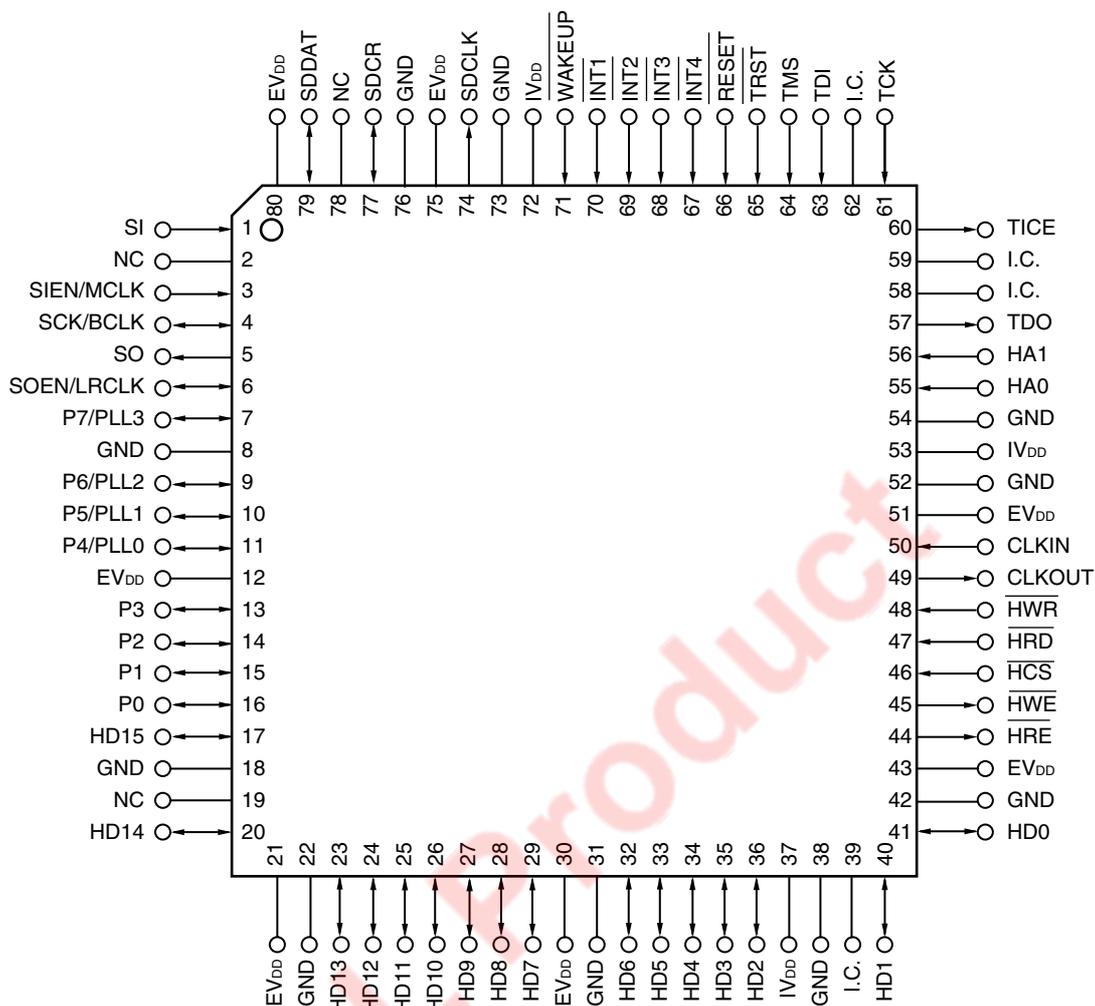
- ★ μ PD77115F1-CN6
- ★ μ PD77115AF1-xxx-CN6



端子番号	端子名	端子番号	端子名	端子番号	端子名	端子番号	端子名
A1	EV <sub>DD</sub>	C3	SDDAT	E6	GND	G8	$\overline{\text{HRE}}$
A2	NC	C4	GND	E7	$\overline{\text{HWR}}$	G9	EV <sub>DD</sub>
A3	EV <sub>DD</sub>	C5	$\overline{\text{INT3}}$	E8	EV <sub>DD</sub>	H1	GND
A4	IV <sub>DD</sub>	C6	$\overline{\text{TRST}}$	E9	CLKOUT	H2	EV <sub>DD</sub>
A5	$\overline{\text{INT2}}$	C7	TICE	F1	EV <sub>DD</sub>	H3	HD12
A6	$\overline{\text{RESET}}$	C8	TDO	F2	P0	H4	EV <sub>DD</sub>
A7	TDI	C9	HA0	F3	P3	H5	GND
A8	I.C.	D1	SOEN/LRCLK	F4	HD9	H6	HD2
A9	I.C.	D2	P5/PLL1	F5	HD4	H7	IV <sub>DD</sub>
B1	NC	D3	SO	F6	$\overline{\text{HRD}}$	H8	HD0
B2	SI	D4	P7/PLL3	F7	$\overline{\text{HWE}}$	H9	GND
B3	SDCR	D5	SDCLK	F8	CLKIN	J1	NC
B4	GND	D6	$\overline{\text{INT4}}$	F9	$\overline{\text{HCS}}$	J2	GND
B5	$\overline{\text{WAKEUP}}$	D7	IV <sub>DD</sub>	G1	P1	J3	HD13
B6	$\overline{\text{INT1}}$	D8	HA1	G2	HD15	J4	HD10
B7	TMS	D9	GND	G3	HD14	J5	HD7
B8	TCK	E1	P6/PLL2	G4	HD11	J6	HD6
B9	I.C.	E2	P4/PLL0	G5	HD8	J7	HD3
C1	SIEN/MCLK	E3	GND	G6	HD5	J8	GND
C2	SCK/BCLK	E4	P2	G7	HD1	J9	I.C.

80ピン・プラスチックTQFP (ファインピッチ) (12×12) (Top View)

μ PD77115GK-9EU



端子番号	端子名	端子番号	端子名	端子番号	端子名	端子番号	端子名
1	SI	21	EV <sub>DD</sub>	41	HD0	61	TCK
2	NC	22	GND	42	GND	62	I.C.
3	SIEN/MCLK	23	HD13	43	EV <sub>DD</sub>	63	TDI
4	SCK/BCLK	24	HD12	44	$\overline{\text{HRE}}$	64	TMS
5	SO	25	HD11	45	$\overline{\text{HWE}}$	65	$\overline{\text{TRST}}$
6	SOEN/LRCLK	26	HD10	46	$\overline{\text{HCS}}$	66	$\overline{\text{RESET}}$
7	P7/PLL3	27	HD9	47	$\overline{\text{HRD}}$	67	$\overline{\text{INT4}}$
8	GND	28	HD8	48	$\overline{\text{HWR}}$	68	$\overline{\text{INT3}}$
9	P6/PLL2	29	HD7	49	CLKOUT	69	$\overline{\text{INT2}}$
10	P5/PLL1	30	EV <sub>DD</sub>	50	CLKIN	70	$\overline{\text{INT1}}$
11	P4/PLL0	31	GND	51	EV <sub>DD</sub>	71	$\overline{\text{WAKEUP}}$
12	EV <sub>DD</sub>	32	HD6	52	GND	72	IV <sub>DD</sub>
13	P3	33	HD5	53	IV <sub>DD</sub>	73	GND
14	P2	34	HD4	54	GND	74	SDCLK
15	P1	35	HD3	55	HA0	75	EV <sub>DD</sub>
16	P0	36	HD2	56	HA1	76	GND
17	HD15	37	IV <sub>DD</sub>	57	TDO	77	SDCR
18	GND	38	GND	58	I.C.	78	NC
19	NC	39	I.C.	59	I.C.	79	SDDAT
20	HD14	40	HD1	60	TICE	80	EV <sub>DD</sub>

## 端子名称

CLKIN	: Clock Input
CLKOUT	: Clock Output
EV <sub>DD</sub>	: Power Supply for I/O Pins
GND	: Ground
HA0, HA1	: Host Data Access
$\overline{\text{HCS}}$	: Host Chip Select
HD0-HD15	: Host Data Bus
$\overline{\text{HRD}}$	: Host Read
$\overline{\text{HRE}}$	: Host Read Enable
$\overline{\text{HWE}}$	: Host Write Enable
$\overline{\text{HWR}}$	: Host Write
I.C.	: Internally Connected
$\overline{\text{INT1-INT4}}$	: Interrupt
IV <sub>DD</sub>	: Power Supply for DSP Core
NC	: Non-Connection
P0-P3	: Port
P4/PLL0-P7/PLL3	: Port/ PLL Setting Input
$\overline{\text{RESET}}$	: Reset
SCK/BCLK	: Serial Clock Input/ Output
SDCLK	: SD Card Clock Output
SDCR	: SD Card Command Output/ Response Input
SDDAT	: SD Card Data Input/ Output
SI	: Serial Data Input
SIEN/MCLK	: Serial Input Enable/ Master Clock Input
SO	: Serial Data Output
SOEN/LRCLK	: Serial Output Enable/ Left Right Clock Input/ Output
TCK	: Test Clock Input
TDI	: Test Data Input
TDO	: Test Data Output
TICE	: Test In-Circuit Emulator
TMS	: Test Mode Select
$\overline{\text{TRST}}$	: Test Reset
$\overline{\text{WAKEUP}}$	: Wakeup from STOP Mode

## 目 次

1. 端子機能	...	10
1.1 端子機能の説明	...	10
1.2 未使用端子の処理について	...	14
2. 機能概要	...	15
2.1 プログラム制御ユニット	...	15
2.2 演算ユニット	...	16
2.3 データ・メモリ・ユニット	...	16
2.4 ペリフェラル・ユニット	...	17
3. リセット機能	...	18
3.1 ハードウェア・リセット	...	18
3.2 PLLの初期化	...	18
4. ブートアップROMの機能	...	18
4.1 リセット時のブート	...	18
4.2 リポート	...	19
4.3 シグネチャ演算	...	19
5. スタンバイ・モード	...	20
5.1 HALTモード	...	20
5.2 STOPモード	...	20
6. メモリ・マップ	...	21
6.1 命令メモリ	...	21
6.2 データ・メモリ	...	23
7. インストラクション	...	25
7.1 インストラクションの概要	...	25
7.2 命令セットとそのオペレーション	...	26
8. 電気的特性	...	32
9. 外形図	...	50
10. 半田付け推奨条件	...	52

1. 端子機能

パッケージによって端子番号が異なりますので、ご使用になるパッケージの欄をご覧ください。

1.1 端子機能の説明

・電 源

端子名称	端子番号		入出力	機 能	兼用端子
	80ピンFBGA	80ピンTQFP			
IV <sub>DD</sub>	A4, D7, H7	37, 53, 72	-	DSPコア用電源 (+2.5V)	-
EV <sub>DD</sub>	A1, A3, E8, F1, G9, H2, H4	12, 21, 30, 43, 51, 75, 80	-	I/O端子用電源 (+3V)	-
GND	B4, C4, D9, E3, E6, H1, H5, H9, J2, J8	8, 18, 22, 31, 38, 42, 52, 54, 73, 76	-	接地	-

・システム・コントロール

端子名称	端子番号		入出力	機 能	兼用端子
	80ピンFBGA	80ピンTQFP			
CLKIN	F8	50	入力	クロック入力	-
CLKOUT	E9	49	出力	内部システム・クロック出力	-
RESET	A6	66	入力	内部システム・リセット信号入力	-
PLL0-PLL3	E2, D2, E1, D4	11-9, 7	入力	PLL逡倍率設定端子 PLL3-PLL0 : 0000 : ×16    0001 : ×1    0010 : ×2 0011 : ×3    0100 : ×4    0101 : ×5 0110 : ×6    0111 : ×7    1000 : ×8 1001 : ×9    1010 : ×10    1011 : ×11 1100 : ×12    1101 : ×13    1110 : ×14 1111 : ×15	P4-P7
WAKEUP	B5	71	入力	ストップ・モード解除信号入力 ・アクティブにすることによってストップ・モードからの復帰を行います。	-

・割り込み

端子名称	端子番号		入出力	機 能	兼用端子
	80ピンFBGA	80ピンTQFP			
INT1-INT4	B6, A5, C5, D6	70-67	入力	マスカブル外部割り込み入力 ・立ち上がりエッジで検出されます。	-

・シリアル・インタフェース

端子名称	端子番号		入出力	機能	兼用端子
	80ピンFBGA	80ピンTQFP			
SCK/BCLK	C2	4	入出力	シリアル・クロック入出力 SCK：シリアル・クロック入力（入力） BCLK：シリアル・クロック（入出力）	-
SOEN/ LRCLK	D1	6	入出力	シリアル出力イネーブル/レフト・ライト・クロック 入出力 SOEN：シリアル出力イネーブル（入力） LRCLK：レフト・ライト・クロック（入出力）	-
SO	D3	5	出力 (3S)	シリアル・データ出力	-
SIEN/MCLK	C1	3	入力	シリアル入力イネーブル/マスタ・クロック入力 SIEN：シリアル入力イネーブル MCLK：マスタ・クロック（マスタ・モード時）	-
SI	B2	1	入力	シリアル・データ入力	-

**備考** 表中入出力欄に“3S”を付記した端子は、データ送出完了時、およびハードウェア・リセット（RESET）入力により、ハイ・インピーダンス状態になります。

・SDカード・インタフェース

端子名称	端子番号		入出力	機能	兼用端子
	80ピンFBGA	80ピンTQFP			
SDCLK	D5	74	出力	SDカード・クロック出力	-
SDCR	B3	77	入出力 (3S)	SDカード・コマンド・レスポンス 入力：レスポンス 出力：コマンド ・プルアップしてください。	-
SDDAT	C3	79	入出力 (3S)	SDカード・データ入出力 入力：リード・データ 出力：ライト・データ ・プルアップしてください。	-

**備考** 表中入出力欄に“3S”を付記した端子は、SDカードI/F非アクセス時にハイ・インピーダンス状態になります。

・ ホスト・インタフェース

端子名称	端子番号		入出力	機能	兼用端子
	80ピンFBGA	80ピンTQFP			
HA1	D8	56	入力	HD15-HD0がアクセスするレジスタを指定します。 ・1: ホスト・インタフェース・ステータス・レジスタ(HST)をアクセスします。 ・0: 読み出し( $\overline{\text{HRD}}=0$ )のとき, ホスト送信データ・レジスタ(HDT(out))を, 書き込み(HWR=0)のとき, ホスト受信データ・レジスタ(HDT(in))をアクセスします。	-
HA0	C9	55	入力	HD15-HD0がアクセスするレジスタを指定します。 ・1: HST, HDT(in), HDT(out)のビット15-8をアクセスします。 ・0: HST, HDT(in), HDT(out)のビット7-0をアクセスします。 ・8ビット・モード時のみ有効です。16ビット・モード時は無効になります。	-
$\overline{\text{HCS}}$	F9	46	入力	チップ・セレクト入力	-
$\overline{\text{HRD}}$	F6	47	入力	ホスト・リード入力	-
$\overline{\text{HWR}}$	E7	48	入力	ホスト・ライト入力	-
$\overline{\text{HRE}}$	G8	44	出力	ホスト・リード・イネーブル出力	-
$\overline{\text{HWE}}$	F7	45	出力	ホスト・ライト・イネーブル出力	-
HD0-HD15	H8, G7, H6, J7, F5, G6, J6, J5, G5, F4, J4, G4, H3, J3, G3, G2	41, 40, 36-32, 29-23, 20, 17	入出力 (3S)	16ビット・ホスト・データ・バス	-

備考 表中入出力欄に“3S”を付記した端子は, ホストIF非アクセス時に, ハイ・インピーダンス状態になります。

・ 入出力ポート

端子名称	端子番号		入出力	機能	兼用端子
	80ピンFBGA	80ピンTQFP			
P0	F2	16	入出力	汎用入出力ポート	-
P1	G1	15	入出力		-
P2	E4	14	入出力		-
P3	F3	13	入出力		-
P4	E2	11	入出力		PLL0
P5	D2	10	入出力		PLL1
P6	E1	9	入出力		PLL2
P7	D4	7	入出力		PLL3

・デバッグ用インタフェース

端子名称	端子番号		入出力	機能	兼用端子
	80ピンFBGA	80ピンTQFP			
TDO	C8	57	出力	デバッグ用	-
TICE	C7	60	出力		-
TCK	B8	61	入力		-
TDI	A7	63	入力		-
TMS	B7	64	入力		-
TRST	C6	65	入力		-

・その他

端子名称	端子番号		入出力	機能	兼用端子
	80ピンFBGA	80ピンTQFP			
I.C.	A8, A9, B9, J9	39, 58, 59, 62	-	内部接続端子です。オープンにしてください。	-
NC	A2, B1, J1	2, 19, 78	-	未接続端子です。オープンにしてください。	-

**注意** これらの端子になんらかの信号の印加または読み出しを行ったとき、μPD77115の正常な動作は保証されません。



1.2 未使用端子の処理について

1.2.1 機能端子の処理

実装時に未使用の端子は、次の表のとおりに取り扱ってください。

端 子	入出力	推奨接続方法
INT1 - INT4	入力	EV <sub>DD</sub> に接続してください。
SCLK/BCLK	入出力	EV <sub>DD</sub> またはGNDに接続してください。
SI	入力	
SIEN/MCLK	入力	GNDに接続してください。
SOEN/LRCLK	入出力	
SO	出力	オープンにしてください。
SDCLK	出力	
SDCR	入出力	プルアップ抵抗を介してEV <sub>DD</sub> に接続、またはプルダウン抵抗を介してGNDに接続してください。
SDDAT		
HA0,HA1	入力	EV <sub>DD</sub> またはGNDに接続してください。
HCS, HRD, HWR	入力	EV <sub>DD</sub> に接続してください。
HRE, HWE	出力	オープンにしてください。
HD0-HD15 <sup>注</sup>	入出力	プルアップ抵抗を介してEV <sub>DD</sub> に接続、またはプルダウン抵抗を介してGNDに接続してください。
P0-P3		
TCK	入力	プルダウン抵抗を介してGNDに接続してください。
TDO, TICE	出力	オープンにしてください。
TMS, TDI	入力	オープンにしてください（内部でプルアップされています）。
TRST	入力	オープンにしてください（内部でプルダウンされています）。
CLKOUT	出力	オープンにしてください。
WAKEUP	入力	EV <sub>DD</sub> に接続してください。

注 HCS, HRD, HWRがハイ・レベル固定ならばオープン可能です。

ただし、ホールド・モード、ストップ・モード時など、消費電流が問題となる場合は、推奨接続方法に従ってください。

1.2.2 非機能端子

端 子	入出力	推奨接続方法
I.C.	-	オープンにしてください。
NC	-	

## 2. 機能概要

### 2.1 プログラム制御ユニット

命令実行一般から分岐，ループ，割り込み，クロック制御，スタンバイ・モードにいたるまで幅広くDSPの実行制御にかかわるユニットです。

#### 2.1.1 CPU制御

3ステージのパイプライン・アーキテクチャを採用し，分岐命令など一部の命令を除くほとんどすべての命令を1システム・クロックで実行します。

#### 2.1.2 割り込み制御

外部端子 ( $\overline{\text{INT1}}\text{-}\overline{\text{INT4}}$ )，あるいは内蔵ペリフェラル (シリアル・インタフェース，ホスト・インタフェース) による割り込み要求を処理します。各割り込み要因ごとに割り込みの許可 / 禁止を設定できます。また，割り込みの多重化にも対応しています。

#### 2.1.3 ループ・コントロール・スタック

ハードウェアによるオーバーヘッドのないループ機能を実現します。4レベルのループ・スタックを備え，多重ループに対応します。

#### 2.1.4 PCスタック

プログラム・カウンタをスタックする15レベルのPCスタックにより，多重割り込み / サブルーチン・コールに対応します。

#### 2.1.5 PLL

クロック・ジェネレータとしてPLLを内蔵し，外部入力クロックを逡倍，分周してDSPの動作クロックとして供給します。逡倍率は $\times 1 \sim 16$ をPLL0-PLL3端子で設定できます。

2種類のスタンバイ・モードを搭載し，DSP待機時に消費電力を低減化します。

- ・ホールド・モード：HALT命令の実行による数mAオーダの消費電流  
割り込み，ハードウェア・リセットによる復帰
- ・ストップ・モード：STOP命令の実行による数十 $\mu$ Aオーダの消費電流  
ハードウェア・リセット， $\overline{\text{WAKEUP}}$ 端子による復帰

#### 2.1.6 命令メモリ

命令RAMのうち，64ワードは割り込みベクタに割り当てています。

命令RAMをブートアップするブートアップROMが内蔵されており，ホスト・ブート (ホスト・インタフェース経由のブート) によって命令RAMの初期化および書き換えができます。

μ PD77115には，11.5 Kワードの命令RAMが内蔵されています。

## 2.2 演算ユニット

乗加算，論理演算，シフトを行うユニットで，40ビットのマルチプライ・アキュムレータ，40ビットのデータALU，40ビットのバレル・シフタおよび8本の40ビット汎用レジスタから構成されます。

### 2.2.1 汎用レジスタ (R0-R7)

演算の入出力，データ・メモリとのロード/ストアなどを行う8本の40ビット・レジスタです。

汎用レジスタ (R0-R7) は，R0L-R7L (ビット15-0)，R0H-R7H (ビット31-16) およびR0E-R7E (ビット39-32) の3つの部分で構成されます。演算の種類によってRnL, RnH, RnEをそれぞれ1つのレジスタとして，あるいは組み合わせて取り扱います。

### 2.2.2 マルチプライ・アキュムレータ (MAC : Multiply Accumulator)

2つの16ビット・データの乗算と，乗算結果と1つの40ビット・データの加減算を行い，40ビット・データを出力します。

また，MACの入力の前段にシフタ (MSFT : MAC Shifter) があり，乗算結果と加減算する40ビット・データをあらかじめ1ビットあるいは16ビット算術右シフトしてから加減算することができます。

### 2.2.3 算術論理演算回路 (ALU : Arithmetic Logic Unit)

1つあるいは2つの40ビット・データを入力し，算術演算および論理演算を行い，40ビット・データを出力します。

### 2.2.4 バレル・シフタ (BSFT : Barrel Shifter)

40ビット・データを入力し，任意のビット数で左右シフト処理を行い，40ビット・データを出力します。右シフトには，符号拡張を伴う算術右シフトと，MSBから0を挿入する論理右シフトがあります。

## 2.3 データ・メモリ・ユニット

2面のデータ・メモリ空間と2組のデータ・アドレッシング・ユニットから構成されます。

### 2.3.1 データ・メモリ

搭載されるメモリ容量とメモリの種類は，製品ごとに異なります。いずれの製品もデータ・メモリを2面 (Xデータ・メモリおよびYデータ・メモリ) 持っています。データ・メモリ空間上には64ワードのペリフェラル領域があります。

μ PD77115は，16 Kワード×2面のデータRAMを内蔵しています。

### 2.3.2 データ・アドレッシング・ユニット

Xデータ・メモリおよびYデータ・メモリそれぞれのデータ・メモリ空間に，独立したデータ・アドレッシング・ユニットを持っています。

それぞれのデータ・アドレッシング・ユニットに4本のデータ・ポインタ (DPn) , 4本のインデクス・レジスタ (DNn) , 1本のモジュロ・レジスタ (DMXまたはDMY) およびアドレスALUを持っています。

## 2.4 ペリフェラル・ユニット

シリアル・インタフェース、ホスト・インタフェース、汎用入出力ポートおよびウエイト・サイクル・レジスタを内蔵しています。いずれの内蔵ペリフェラルもXデータ・メモリ空間およびYデータ・メモリ空間にメモリ・マップしてあり、プログラムからはメモリ・マップトI/Oとしてアクセスします。

### 2.4.1 オーディオ・シリアル・インタフェース (ASIO)

1チャンネルのシリアル・インタフェースを内蔵しています。μ PD77115のシリアル・インタフェースには、オーディオ・シリアル・インタフェースとスタンダード・シリアル・インタフェースの2種類のモードがあります。スタンダード・シリアル・インタフェースの機能は、従来のμ PD77111ファミリと同じです。

#### (1) オーディオ・シリアル・インタフェース

・モード設定

マスタ・モード : MCLK端子(入力), BCLK端子(出力), LRCLK端子(出力), 256, 384, 512 fsをサポート。

スレーブ・モード : MCLK端子(未使用), BCLK端子(入力), LRCLK端子(入力)

・フレーム長 : 32ビットまたは64ビットを選択, MSBファーストで入出力。

・ハンドシェーク : 外部とは専用フレーム信号(LRCLK), 内部とはポーリング, ウェイトまたは割り込みによる。

#### (2) スタンダード・シリアル・インタフェース

・シリアル・クロック : 外部から供給, チャンネル内は入力/出力でクロック共用。

・フレーム長 : 入出力ごとに8または16ビット, MSBまたはLSBファーストを選択。

・ハンドシェーク : 外部とは専用ステータス信号, 内部とはポーリング, ウェイトまたは割り込みによる。

### 2.4.2 ホスト・インタフェース (HIO)

外部のホストCPUまたはDMAコントローラなどと、データの入出力を行うための16ビットの平行・ポートです。DSP内部では、入力データ用、出力データ用およびステータス用に16ビット・レジスタをメモリ・マップしてあります。外部とのハンドシェークは専用ステータス信号または専用ステータス・レジスタを使って行い、内部とのハンドシェークはポーリング、ウェイトまたは割り込みを使って行います。

### 2.4.3 汎用入出力ポート (PIO)

8ビットの入出力ポートで、ビットごとに入出力を設定できます。

### 2.4.4 SDカード・インタフェース (SDCIF)

μ PD77115は、SD (Secure Digital) メモリ・カードとデータ転送を行うSDカード・インタフェースを内蔵しています。入力されたデータを内部データRAMにDMA転送することができます。

SDメモリ・カードへの入出力はシステムROM内の専用ルーチンを使って行います。

### 2.4.5 タイマ

16ビットのカウントを行うタイマ・ユニットです。カウント・ソース・クロックは、システム・クロック、SDカード・クロック、シリアル・クロック、割り込み ( $\overline{\text{INT4}}$ 端子) から選択できます。タイマ・ユニットと内部ユニットとのインタフェースは割り込みで行います。

### 3. リセット機能

RESET端子に規定の幅のロウ・レベルを入力すると、デバイスが初期化されます。

#### 3.1 ハードウェア・リセット

RESET端子を規定の期間アクティブ(ロウ・レベル)にすると、DSP内部が初期化されます。その後インアクティブ(ハイ・レベル)とすると、ポート端子(P0, P1)の状態に従って命令RAMへのブート処理を行い、ブート処理終了後は命令メモリの0x200番地(リセット・エントリ)の命令から処理を実行します。

パワーオン・リセット機能はありません。

#### 3.2 PLLの初期化

PLLは、リセット後のブートアップ・プログラム実行時に初期化されます。PLL0-PLL3の値は、リセットがリリースされる3クロック前から、リリース後の50クロックまでの間安定している必要があります。PLLがロックするまでに約100 μsかかります。PLLがロックするまでは、CLKINに入力されたクロックでDSP内部動作を行う必要があります。

また、PLLクロックを内部動作クロックとして使用するには、ユーザ・プログラム上でクロック・コントロール・レジスタ(内蔵ペリフェラル)の設定を行ってください。

### 4. ブートアップROMの機能

電源投入時あるいはプログラム中から命令メモリの書き換えを行う場合に、内蔵のブートアップROMを使用して命令RAMのブートアップを行います。

また、μ PD77115は、内蔵命令RAMの内容を検証する機能を持っています。

#### 4.1 リセット時のブート

ハードウェア・リセット解除後ブート・プログラムは、最初に汎用入出力ポートP0, P1を読み込み、そのビット・パターンによってブート・モード(ホスト・ブート/ブートなし)を決定します。ブート処理終了後は命令メモリの0x200番地(リセット・エントリ)の命令から処理を実行します。

ブート・モードを指定する端子(P0, P1)は、リセットが解除される3クロック前からリセットが解除されてから12クロック後までの間、安定している必要があります(いずれもCLKINから入力されるクロックに対して)。

P1	P0	ブート・モード
0	0	ブートを実行せず、0x200番地に分岐します <sup>注</sup>
0	1	ホスト・バイト・ブートを実行後、0x200番地に分岐します
1	0	設定禁止
1	1	ホスト・ワード・ブートを実行後、0x200番地に分岐します

**注** この設定は、一度リセット・ブートを実行したあと、スタンバイ・モードからの復帰などのために、DSPがリセットを必要とするときに使用します。

ホスト・インタフェース経由でブート・パラメータと命令コードを取得し、命令RAM上に転送します。データ転送は、バイト・モードとワード・モードをサポートしています。

#### 4.2 リポート

プログラム上から、次のエン트리・アドレスをコールすることにより、命令RAMの書き換えを行うことができます。ホスト・インタフェース経由で命令コードを取得し、命令RAM上に転送します。データ転送はバイト・モードとワード・モードをサポートします。

エン트리・アドレスは0x6です。次のパラメータを設定してからこのアドレスをコールすることによってホスト・リポートを行います。

- ・ R7L : リポートする命令ステップ数
- ・ DP3 : ロードする命令メモリの先頭アドレス

#### 4.3 シグネチャ演算

内蔵命令RAMの内容をベリファイできるようにシグネチャ演算機能を持っています。シグネチャ演算では、ブートアップされた命令RAMのデータに対してある演算を行い、その結果をレジスタに返します。あらかじめ正常に動作しているデバイスに対してシグネチャ演算を行っておき、RAM部分のデータ化けの有無を確認したいときに、再びシグネチャ演算を行い、先の値と演算結果を比較してください。両方の演算結果が同じならば問題はありません。

エン트리・アドレスは0x9です。次のパラメータを設定してからこのアドレスをコールすることによって演算を実行します。演算結果はR7レジスタに格納されます。

- ・ R7L : 演算する命令ステップ数
- ・ DP3 : 演算する命令メモリの先頭アドレス

## 5. スタンバイ・モード

スタンバイ・モードには、2つの種類があり、それぞれ対応した命令を実行することで低消費電力モードになります。

### 5.1 HALTモード

HALT命令を実行すると、HALTモードになります。クロック回路およびPLL以外の機能が動作を停止し、消費電流を小さくします。

HALTモードからの復帰は、割り込みあるいはハードウェア・リセットによって行います。割り込みによる復帰を行う場合は、内部レジスタおよびメモリの内容は保持されています。復帰にかかる時間は十数システム・クロックです（割り込みによる復帰の場合）。

HALTモード時、DSPのクロック回路は次のクロックを内部システム・クロックとして供給します。また、CLKOUT端子から出力されるクロックも次のとおりです。

ただし、CLKOUT端子から出力されるクロックは、ハイ・レベル幅が通常動作時の1サイクル分のクロックとなります（デューティ比が50%のクロックではありません）。

・ μ PD77115：内部システム・クロックの1/l (l = 1-16の整数，設定レジスタで指定)

### 5.2 STOPモード

STOP命令を実行すると、STOPモードになります。STOPモードでは、クロック回路とPLLを含むすべての機能を停止させることができます。このとき、μ PD77115はリーク電流だけの超低消費電力モードになります。

STOPモードからの復帰は、ハードウェア・リセットあるいはWAKEUP端子によって行います。

WAKEUP端子による復帰を行う場合は、内部レジスタおよびメモリの内容は保持されています。復帰にかかる時間は数百μsです。

## 6. メモリ・マップ

命令メモリ空間とデータ・メモリ空間を分離したハーバード・アーキテクチャを採用しています。

### 6.1 命令メモリ

#### ★ 6.1.1 命令メモリ・マップ

命令メモリ空間は、64 Kワード×32ビットの空間から構成され、製品により内蔵するメモリ容量、メモリの種類が異なります。

0xFFFF	システム
0xA000 0x9FFF	命令RAM (8K ワード)
0x8000 0x7FFF	システム
0x1000 0x0FFF	命令 RAM (3.5K ワード)
0x0240 0x023F	ベクタ領域 (64 ワード)
0x0200 0x01FF	ブートアップROM (512 ワード)
0x0000	

**注意** システム用となっているアドレスには、プログラムやデータを置くことも、アクセスすることもできません。これらのアドレスをアクセスしたとき、デバイスの正常な動作は保証されません。

## 6.1.2 割り込みベクタ・テーブル

命令メモリの0x200～0x23Fは割り込みのエントリ・ポイント（ベクタ）になっています。割り込みの要因ごとに4命令アドレス分が与えられています。

ベクタ	割り込み要因
0x200	リセット
0x204	予約
0x208	
0x20C	
0x210	INT1
0x214	INT2
0x218	INT3
0x21C	INT4
0x220	SI入力
0x224	SO出力
0x228	SDDAT入力/PBU
0x22C	SDDAT出力
0x230	HI入力
0x234	HO出力
0x238	SDCR入力
0x23C	タイマ

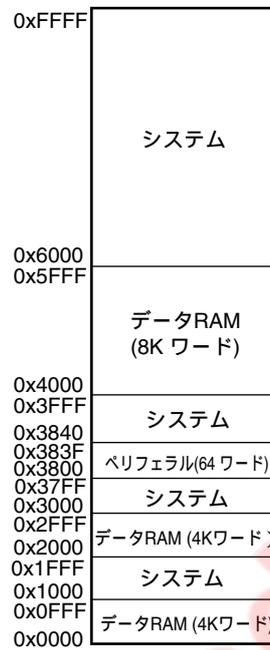
注意1．リセットは割り込みではありませんが、ベクタのエントリとして統一的に取り扱われます。

2．使用しない割り込み要因のベクタは、異常処理ルーチンへ分岐するなどの処置をすることをお勧めします。

6.2 データ・メモリ

6.2.1 データ・メモリ・マップ

データ・メモリ空間は、それぞれ64 Kワード×16ビットのXメモリ空間およびYメモリ空間で構成されています。



**注意** システム用となっているアドレスには、プログラムやデータを置くことも、アクセスすることもできません。これらのアドレスをアクセスしたとき、デバイスの正常な動作は保証されません。

6.2.2 内蔵ペリフェラル

内蔵ペリフェラルは、内部データ・メモリ空間にメモリ・マップされています。

X/Yメモリ・アドレス	レジスタ名	機 能	ペリフェラル名
0x3800	SDT/ASDT	シリアル・データ・レジスタ	ASIO
0x3801	SST	シリアル・ステータス・レジスタ	
0x3802	ASST	オーディオ・シリアル・ステータス・レジスタ	
0x3803	予約領域	<b>注意</b> この領域にはアクセスしないでください。	-
0x3804	PDT	ポート・データ・レジスタ	PIO
0x3805	PCD	ポート・コマンド・レジスタ	
0x3806	HDT	ホスト・データ・レジスタ	HIO
0x3807	HST	ホスト・ステータス・レジスタ	
0x3808-0x380F	予約領域	<b>注意</b> この領域にはアクセスしないでください。	-
0x3810	SDDR	SDカード・データ・レジスタ	SDCIF
0x3811	SDCMD_IDX	SDカード・コマンド・レジスタ・インデクス	
0x3812	SDCMD_AGH	SDカード・コマンド・レジスタ・アーギュメント(上位)	
0x3813	SDCMD_AGL	SDカード・コマンド・レジスタ・アーギュメント(下位)	
0x3814	SDCTL	SDカード・コントロール・レジスタ	
0x3815	SDRPR	SDカード・レスポンス・レジスタ	
0x3816	SDSBR	SDカードCRCステータス・ピジィ・レジスタ	
0x3817-0x381F	予約領域	<b>注意</b> この領域にはアクセスしないでください。	
0x3820	TIR	タイマ初期値レジスタ	Timer
0x3821	TCR	タイマ・カウント・レジスタ	
0x3822	TCSR	タイマ・コントロール/ステータス・レジスタ	
0x3823	TENR	タイマ・カウント・イネーブル・レジスタ	
0x3824-0x382D	予約領域	<b>注意</b> この領域にはアクセスしないでください。	-
0x382E	CLKCNTL	クロック・コントロール・レジスタ	PLL
0x382F	予約領域	<b>注意</b> この領域にはアクセスしないでください。	-
0x3830	PSAR	DMAスタート・アドレス・レジスタ	SDCIF
0x3831	PSR	DMAサイズ・レジスタ	
0x3832	PRR	DMAポインタ・レジスタ	
0x3833	PCR	DMAコントロール・レジスタ	
0x3834-0x383F	予約領域	<b>注意</b> この領域にはアクセスしないでください。	-

**注意1.** ここに示されたレジスタ名称は、アセンブラやC言語の予約語ではありません。したがって、アセンブラやC言語でこれらの名前を取り扱う場合には、ユーザによる定義付けが必要です。

- これらのレジスタは、Xメモリ空間、Yメモリ空間のどちらのメモリ空間からアクセスしても、アドレスが同じであれば同一のレジスタにアクセスします。
- 異なるレジスタであっても、Xメモリ空間、Yメモリ空間の両方から同時にアクセスすることはできません。

## 7. インストラクション

### 7.1 インストラクションの概要

インストラクションは、1命令32ビットで構成されています。分岐命令など、一部の命令を除いたほとんどすべての命令を1システム・クロックで実行します。μ PD77115インストラクション・サイクルは最高13.3 nsです。インストラクションには、以下の9種類があります。

#### (1) 3項演算命令

MACでの演算を指定する命令です。演算対象は汎用レジスタから3レジスタを任意に指定できます。

#### (2) 2項演算命令

MAC, ALUまたはBSFTでの演算を指定する命令です。演算対象は汎用レジスタから2レジスタを任意に指定できます。汎用レジスタの代わりにイミディエト値を1入力に指定できる命令もあります。

#### (3) 単項演算命令

ALUでの演算を指定する命令です。演算対象は汎用レジスタから1レジスタを任意に指定できます。

#### (4) ロード/ストア命令

メモリと汎用レジスタ間の16ビット・データ転送を指定する命令です。転送対象は汎用レジスタから任意に指定できます。

#### (5) レジスタ間転送命令

汎用レジスタと他のレジスタ間の転送を指定する命令です。

#### (6) 即値設定命令

汎用レジスタとアドレス演算ユニットの各レジスタに即値（イミディエト値）を設定する命令です。

#### (7) 分岐命令

プログラムの分岐を指定する命令です。

#### (8) ハードウェア・ループ命令

命令の繰り返し実行を指定する命令です。

#### (9) 制御命令

プログラム制御を指定する命令です。

## 7.2 命令セットとそのオペレーション

各命令のオペレーション欄には、その命令のオペレーション表現形式に対する記述法に従ってオペレーションを記述します。記述方法の中で、複数個あるものは、それらの要素の1つを選択します。

### (a) 表現形式と選択できるレジスタの対応

表現形式と選択できるレジスタの対応は、次の表のとおりです。

表現形式	選択できるレジスタ
ro, ro ,ro	R0-R7
rl, rl	R0L-R7L
rh, rh	R0H-R7H
re	R0E-R7E
reh	R0EH-R7EH
dp	DP0-DP7
dn	DN0-DN7
dm	DMX, DMY
dpx	DP0-DP3
dpy	DP4-DP7
dpx_mod	DPn, DPn + + , DPn - - , DPn # # , DPn % % , !DPn # # ( n = 0-3 )
dpy_mod	DPn, DPn + + , DPn - - , DPn # # , DPn % % , !DPn # # ( n = 4-7 )
dp_imm	DPn # # imm ( n = 0-7 )
* x x x	x x xをアドレスとするメモリの内容 例 DP0レジスタの内容が1000のとき、* DP0はメモリの1000番地の内容を表します。

(b) データ・ポインタのモディファイ

データ・ポインタのモディファイは、メモリ・アクセス後に行います。結果は直後の命令から有効になります。データ・ポインタのモディファイのみはできません。

記述例	オペレーション
DPn	何もしません (DPnの値を変化させません)。
DPn + +	DPn DPn + 1
DPn - -	DPn DPn - 1
DPn # #	DPn DPn + DNn (DP0-DP7に対応するDN0-DN7の値を加算します。) 例: DP0 DP0 + DN0
DPn % %	(n = 0-3) DPn = ( (DPL + DNn) mod (DMX + 1) ) + DP <sub>H</sub>
	(n = 4-7) DPn = ( (DPL + DNn) mod (DMY + 1) ) + DP <sub>H</sub>
!DPn # #	DPnをビット・リバース後メモリ・アクセスする。 メモリ・アクセス後 DPn DPn + DNn
DPn # # imm	DPn DPn + imm

(c) 同時記述できる命令

同時記述できる命令は で表します。

(d) オーバフロー・フラグ(OV)の状態

オーバフロー・フラグの状態を次の記号で表します。

: 変化なし

: オーバフローが起きたとき, 1にセットされます。

**注意** 演算の結果オーバフローが起きないとき, オーバフロー・フラグはリセットされず, 演算前の状態を保持します。

インストラクション・セット

命令群	命令名称	二モニック	オペレーション	同時記述できる命令								フラグ OV	
				3 項	2 項	単 項	ロード ストア	転 送	即 値	分 岐	ル ー プ		制 御
3 項 演 算	マルチプライ・アド	$ro = ro + rh * rh$	ro ro + rh * rh										
	マルチプライ・サブ	$ro = ro - rh * rh$	ro ro - rh * rh										
	サイン・アンサイン・ マルチプライ・アド	$ro = ro + rh * rl$ (rlは正の整数フォーマット)	ro ro + rh * rl										
	アンサイン・アンサイ ン・マルチプライ・ア ド	$ro = ro + rl * rl$ (rl, rl は正の整数フォーマット)	ro ro + rl * rl										
	1ビット・シフト・マ ルチプライ・アド	$ro = (ro \ll 1) + rh * rh$	ro $\frac{ro}{2} + rh * rh$										
	16ビット・シフト・マ ルチプライ・アド	$ro = (ro \ll 16) + rh * rh$	ro $\frac{ro}{2^{16}} + rh * rh$										
2 項 演 算	マルチプライ	$ro = rh * rh$	ro rh * rh										
	アド	$ro = ro + ro$	ro ro + ro										
	イミーディエト・アド	$ro = ro + imm$	ro ro + imm (ただしimm 1)										
	サブ	$ro = ro - ro$	ro ro - ro										
	イミーディエト・サブ	$ro = ro - imm$	ro ro - imm (ただしimm 1)										
	算術右シフト	$ro = ro \gg r1$	ro ro r1										
	イミーディエト 算術右シフト	$ro = ro \gg imm$	ro ro imm										
	論理右シフト	$ro = ro \gg r1$	ro ro r1										
	イミーディエト 論理右シフト	$ro = ro \gg imm$	ro ro imm										
	論理左シフト	$ro = ro \ll r1$	ro ro r1										
	イミーディエト 論理左シフト	$ro = ro \ll imm$	ro ro imm										
	アンド	$ro = ro \& ro$	ro ro & ro										
	イミーディエト・ アンド	$ro = ro \& imm$	ro ro & imm										
	オア	$ro = ro   ro$	ro ro   ro										
	イミーディエト・オア	$ro = ro   imm$	ro ro   imm										
	イクスクルーシブ・オ ア	$ro = ro \wedge ro$	ro ro^ro										
イミーディエト・イク スクルーシブ・オア	$ro = ro \wedge imm$	ro ro^imm											
レスザン	$ro = LT(ro, ro)$	if(ro < ro ) { ro 0x0000000001 } else{ ro 0x0000000000 }											

命令群	命令名称	二モニツク	オペレーション	同時記述できる命令								OV	
				3 項	2 項	単 項	ロード ストア	転 送	即 値	分 岐	ル ー プ		制 御
単 項 演 算	クリア	CLR(ro)	ro 0x0000000000										
	インクリメント	ro = ro + 1	ro ro + 1										
	デクリメント	ro = ro - 1	ro ro - 1										
	絶対値	ro = ABS(ro)	if(ro < 0) { ro - ro } else { ro ro }										
	1の補数	ro = ~ro	ro ~ro										
	2の補数	ro = - ro	ro - ro										
	クリップ	ro = CLIP(ro)	if(ro > 0x007FFFFFFF) { ro 0x007FFFFFFF } elseif(ro < 0xFF80000000) { ro 0xFF80000000 } else { ro ro }										
	丸め	ro = ROUND(ro)	if(ro > 0x007FFF0000) { ro 0x007FFF0000 } elseif(ro < 0xFF80000000) { ro 0xFF80000000 } else { ro (ro + 0x8000) & 0xFFFFF0000 }										
	指数	ro = EXP(ro)	ro $\log_2(\frac{1}{ro})$										
	代入	ro = ro	ro ro										
	累加算	ro + = ro	ro ro + ro										
	累減算	ro - = ro	ro ro - ro										
	除算	ro / = ro	if(sign(ro ) = sign(ro)) { ro (ro - ro) 1 } else { ro (ro + ro) 1 } if(sign(ro ) = 0) { ro ro + 1 }										

命令群	命令名称	二モニック	オペレーション	同時記述できる命令								OV	
				3 項	2 項	単 項	ロード/ ストア	転 送	即 値	分 岐	ル ー プ		制 御
ロード/ ストア	並列 ロード/ストア <sup>注1, 注2</sup>	ro = *dpx_mod ro = *dpy_mod	ro *dpx, ro *dpy										
		ro = *dpx_mod *dpy_mod = rh	ro *dpx, *dpy rh										
		*dpx_mod = rh ro = *dpy_mod	*dpx rh, ro *dpy										
		*dpx_mod = rh *dpy_mod = rh	*dpx rh, *dpy rh										
部分 ロード/ ストア <sup>注1, 注2, 注3</sup>	部分 ロード/ ストア <sup>注1, 注2, 注3</sup>	dest = *dpx_mod	dest *dpx,										
		dest = *dpy_mod	dest *dpy										
		dest = *dpx_mod *dpy_mod = source	dest *dpx, *dpy source										
		*dpx_mod = source dest = *dpy_mod	*dpx source, dest *dpy										
		*dpx_mod = source *dpy_mod = source	*dpx source, *dpy source										
ダイレクト・アドレシ ング・ロード/ストア <sup>注4</sup>	ダイレクト・アドレシ ング・ロード/ストア <sup>注4</sup>	dest = *addr	dest *addr										
		*addr = source	*addr source										
即値インデクス・ロー ド/ストア <sup>注5</sup>	即値インデクス・ロー ド/ストア <sup>注5</sup>	dest = *dp_imm	dest *dp										
		*dp_imm = source	*dp source										
レジスタ間転送 <sup>注6</sup>	レジスタ間転送 <sup>注6</sup>	dest = rl	dest rl										
		rl = source	rl source										
即 値 設 定	即値設定	rl = imm (ただし, imm = 0-0xFFFF)	rl imm										
		dp = imm (ただし, imm = 0-0xFFFF)	dp imm										
		dn = imm (ただし, imm = 0-0xFFFF)	dn imm										
		dm = imm (ただし, imm = 1-0xFFFF)	dm imm										

注1. 2つの二モニックのうち、いずれか1つを記述することも、両方とも記述することも可能です。

2. 転送後、modで指定されたモディファイを行います。

3. dest, dest = { ro, reh, re, rh, rl }, source, source = { re, rh, rl } のいずれかを選択してください。

4. dest = { ro, reh, re, rh, rl }, source = { re, rh, rl }, addr =  $\left\{ \begin{array}{l} 0 : X-0xFFFF : X (Xメモリ) \\ 0 : Y-0xFFFF : Y (Yメモリ) \end{array} \right\}$  のいずれかを選択してください。

5. dest = { ro, reh, re, rh, rl }, source = { re, rh, rl } のいずれかを選択してください。

6. dest, sourceは汎用レジスタ以外の全レジスタのいずれかを選択してください。

命令群	命令名称	二モニック	オペレーション	同時記述できる命令								フラグ OV	
				3 項	2 項	単 項	ロ ド ス ト ア	転 送	即 値	分 岐	ル ー プ		制 御
分岐	ジャンプ	JMP imm	PC imm										
	レジスタ間接ジャンプ	JMP dp	PC dp										
	サブルーチン・コール	CALL imm	SP SP + 1 STK PC + 1 PC imm										
	レジスタ間接サブ ルーチン・コール	CALL dp	SP SP + 1 STK PC + 1 PC dp										
	リターン	RET	PC STK SP SP - 1										
	割り込みリターン	RETI	PC STK STK SP - 1 割り込み許可フラグの復帰										
ハードウェア・ ループ	リピート	REP count	開始 RC count RF 0 リピート中 PC PC RC RC - 1 終了 PC PC + 1 RF 1										
	ループ	LOOP count (2行以上の命令)	開始 RC count RF 0 リピート中 PC PC RC RC - 1 終了 PC PC + 1 RF 1										
	ループ・ポップ	LPOP	LC LSR3 LE LSR2 LS LSR1 LSP LSP - 1										
制御	ノー・オペレーション	NOP	PC PC + 1										
	ホールド	HALT	CPU停止										
	ストップ	STOP	CPU, PLL, OSC停止										
	条件	IF (ro cond)	条件判定										
	フォークゲット・ インタラプト	FINT	割り込み要求を破棄										

8. 電気的特性

絶対最大定格 (TA = +25 )

項目	略号	条件	定格	単位
電源電圧	IV <sub>DD</sub>	DSPコア用	- 0.5 ~ + 3.6	V
	EV <sub>DD</sub>	I/O端子用	- 0.5 ~ + 4.6	V
入力電圧	Vi	Vi < EV <sub>DD</sub> + 0.5 V	- 0.5 ~ + 4.1	V
出力電圧	Vo		- 0.5 ~ + 4.1	V
保存温度	T <sub>stg</sub>		- 65 ~ + 150	
動作周囲温度	TA		- 40 ~ + 85	

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

推奨動作条件

項目	略号	条件	MIN.	TYP.	MAX.	単位
動作電圧	IV <sub>DD</sub>	DSPコア用	2.0		2.7	V
	EV <sub>DD</sub>	I/O端子用	2.7		3.6	V
入力電圧	Vi		0		EV <sub>DD</sub>	V

容量 (TA = +25 , IV<sub>DD</sub> = 0 V, EV<sub>DD</sub> = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	CI	f = 1 MHz, 測定端子以外は0 V		10		pF
出力容量	CO			10		pF
入出力容量	CIO				10	

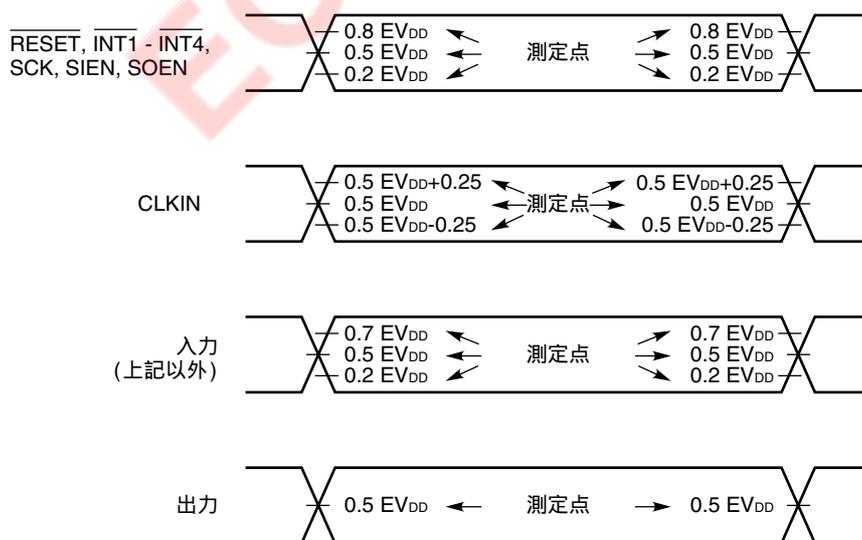
DC特性 (特に指定のないかぎり,  $T_A = -40 \sim +85$ ,  $I_{VDD}, EV_{DD}$ の範囲は推奨動作条件による)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	$V_{IHN}$	下記の端子以外	0.7 $EV_{DD}$		$EV_{DD}$	V
	$V_{IHS}$	RESET, INT1-INT4, SCK, SIEN, SOEN	0.8 $EV_{DD}$		$EV_{DD}$	V
	$V_{IHC}$	CLKIN	0.5 $EV_{DD}$ + 0.25		$EV_{DD}$	V
ロウ・レベル入力電圧	$V_{IL}$	下記の端子以外	0		0.2 $EV_{DD}$	V
	$V_{IC}$	CLKIN	0		0.5 $EV_{DD}$ - 0.25	V
ハイ・レベル出力電圧	$V_{OH}$	$I_{OH} = -2.0$ mA	0.7 $EV_{DD}$			V
		$I_{OH} = -100$ μA	0.8 $EV_{DD}$			V
ロウ・レベル出力電圧	$V_{OL}$	$I_{OL} = 2.0$ mA			0.2 $EV_{DD}$	V
ハイ・レベル入力リーク電流	$I_{LH}$	TDI, TMS, TRST以外, $V_i = EV_{DD}$	0		10	μA
ロウ・レベル入力リーク電流	$I_{LL}$	TDI, TMS, TRST以外, $V_i = 0$ V	-10		0	μA
プルアップ端子電流	$I_{PUI}$	TDI, TMS, 0 V $V_i$ $EV_{DD}$	-250		0	μA
プルダウン端子電流	$I_{PDI}$	TRST, 0 V $V_i$ $EV_{DD}$	0		250	μA
内部電源電流 ( $V_{IHN} = V_{IHS} = EV_{DD}$ , $V_{IL} = 0$ V, 無負荷)	$I_{DD}$ 注	動作時 $t_{c} = 30$ ns, $I_{VDD} = 2.7$ V		TBD	75	mA
	$I_{DDH}$	ホールド時 $t_{c} = 30$ ns, 8分周, $I_{VDD} = 2.7$ V		TBD	10	mA
	$I_{DDS}$	ストップ時 0 $< T_A < 60$			100	μA

注 TYP.値は, 一般的なプログラムを実行したときの値です。

MAX.値は, デバイス内部のスイッチングが極めて多いような特殊なプログラムを実行したときの値です。

スイッチング特性の共通測定基準



AC特性 (TA = -40 ~ +85 , IVDD, EVDDの範囲は推奨動作条件による)

クロック

タイミング必要条件

項目	略号	条件	MIN.	TYP.	MAX.	単位	
CLKINサイクル・タイム <sup>注1</sup>	tcCX		25			ns	
		PLLロック 範囲 <sup>注2</sup>	IVDD = 2.0~2.7V	15 × m		50 × m	ns
			IVDD = 2.3~2.7V	10 × m		50 × m	ns
CLKINハイ・レベル幅	twCXH		12.5			ns	
CLKINロウ・レベル幅	twCXL		12.5			ns	
CLKIN立ち上がり / 立ち下がり時間	trfCX				5	ns	
内部クロック・サイクル・タイム 必要条件 <sup>注3</sup>	tcC(R)	IVDD = 2.0 ~ 2.7 V	20			ns	
		IVDD = 2.3 ~ 2.7 V	13.3			ns	

注1 . m : 逡倍率

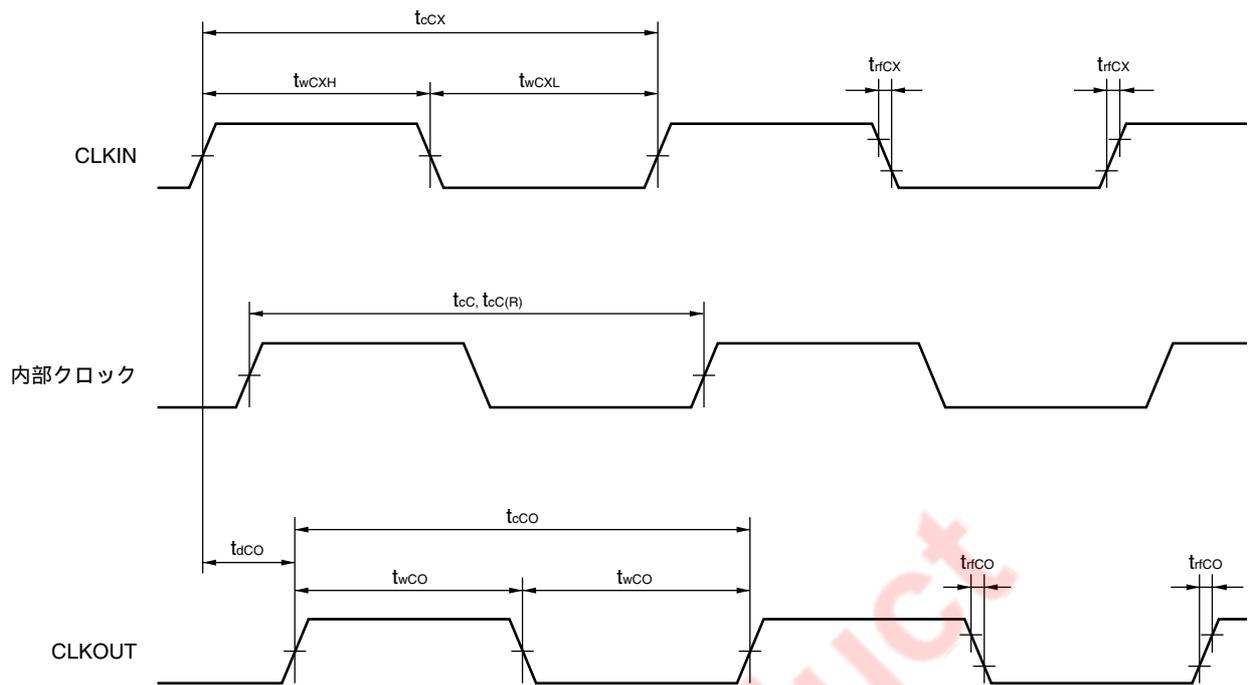
2. PLLがロックする (安定して発振する) 範囲です。この範囲に収まるようにtcCXを入力してください。
3. (tcCX ÷ m × n) の値がこの条件を満たすようにtcCXを入力してください。m : 逡倍率, n : 分周率

スイッチング特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
内部クロック周期 <sup>注</sup>	tcC	外部クロック動作時		tcCX		ns
		PLLクロック動作時		(tcCX ÷ m) × n		ns
		HALT時		(tcCX ÷ m) × n × l		ns
CLKOUTサイクル・タイム	tcCO			tcC		ns
CLKOUT幅	twCO	通常	n = 1, または偶数	tcC ÷ 2 - 3		ns
		動作時				
		HALT時		tcC ÷ n - 3		ns
CLKOUT立ち上がり / 立ち下がり時間	trfCO				5	ns
CLKOUT遅延時間	tdCO	IVDD = 2.0 ~ 2.7 V			20	ns
		IVDD = 2.3 ~ 2.7 V			15	ns

注 m : 逡倍率, n : 分周率, l : HALT分周率

クロック入出力タイミング



EOL Product

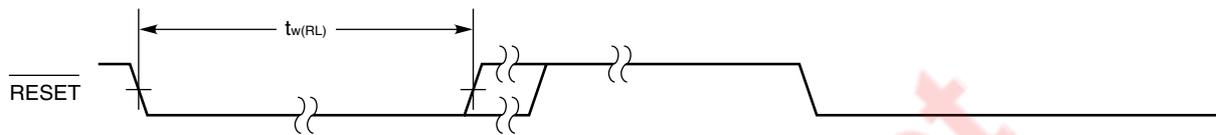
リセット , 割り込み

タイミング必要条件

項目	略号	条件	MIN.	TYP.	MAX.	単位
RESETロウ・レベル幅	$t_{w(RL)}$		$6 t_{cC}$ 注			ns
WAKEUPロウ・レベル幅	$t_{w(WAKEUPL)}$		$6 t_{cC}$			μs
INT1-INT4ロウ・レベル幅	$t_{w(INTL)}$		$3 t_{cC}$ 注			ns
INT1-INT4リカバリ時間	$t_{rec(INT)}$		$3 t_{cC}$			ns

注 HALT時は $t_{cC}$ が通常動作時の $l$  ( $l = 1-16$ の整数) 倍になっていることに注意してください。

リセット・タイミング



WAKEUPタイミング



割り込みタイミング



シリアル・インタフェース (オーディオ・シリアル・モード)

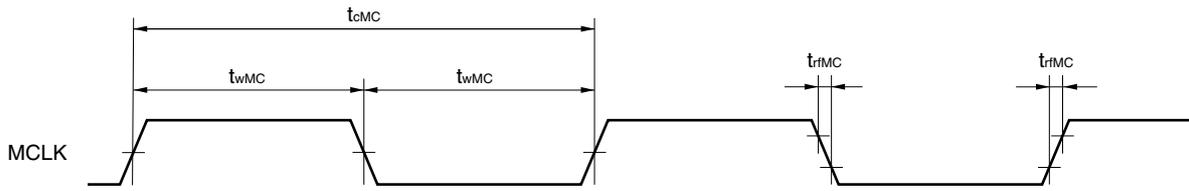
タイミング必要条件

項目	略号	条件	MIN.	TYP.	MAX.	単位
MCLKサイクル・タイム	t <sub>cMC</sub>	マスタ・モード	40			ns
MCLKハイ/ロウ・レベル幅	t <sub>wMC</sub>	マスタ・モード	0.4 × t <sub>cMC</sub>			ns
MCLK立ち上がり/立ち下がり時間	t <sub>rMC</sub>	マスタ・モード			5と0.1 × t <sub>cMC</sub> の最大値	ns
BCLKサイクル・タイム	t <sub>cBC</sub>	スレーブ・モード	300			ns
BCLKハイ/ロウ・レベル幅	t <sub>wBC</sub>	スレーブ・モード	120			ns
BCLK立ち上がり/立ち下がり時間	t <sub>rBC</sub>	スレーブ・モード			20	ns
LRCLKセットアップ時間	t <sub>su(BC-LR)</sub>	スレーブ・モード	50			ns
SIセットアップ時間	t <sub>suSI</sub>		50			ns
SIホールド時間	t <sub>hSI</sub>		50			ns

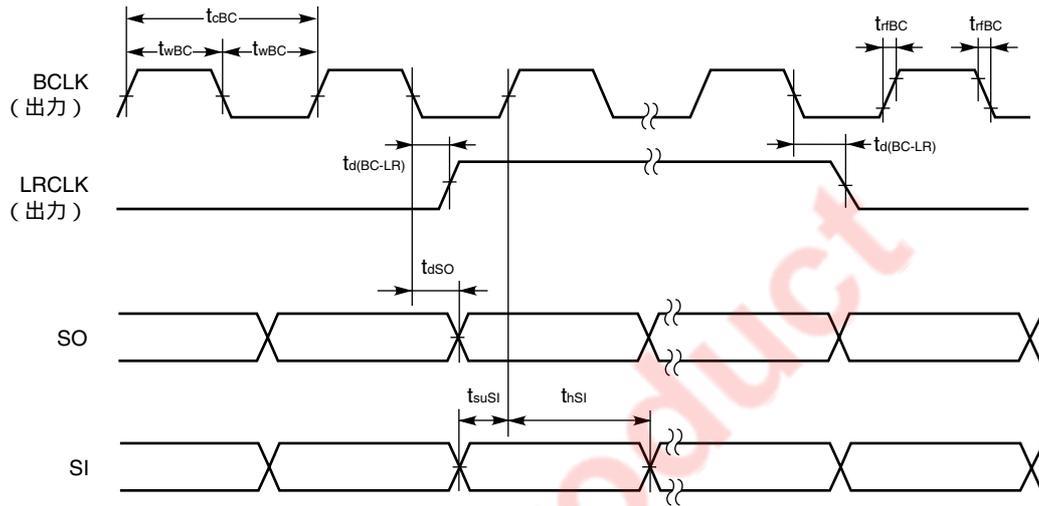
スイッチング特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
BCLKサイクル・タイム	t <sub>cBC</sub>	マスタ・モード, 64ビット・モード		1/64 fs		ns
		マスタ・モード, 32ビット・モード		1/32 fs		ns
BCLKハイ/ロウ・レベル幅	t <sub>wBC</sub>	マスタ・モード	0.4 t <sub>cBC</sub>			ns
BCLK立ち上がり/立ち下がり時間	t <sub>rBC</sub>	マスタ・モード			20	ns
LRCLK遅延時間	t <sub>d(BC-LR)</sub>	マスタ・モード	- 40		+ 40	ns
SO出力遅延時間	t <sub>dSO</sub>		- 40		+ 40	ns

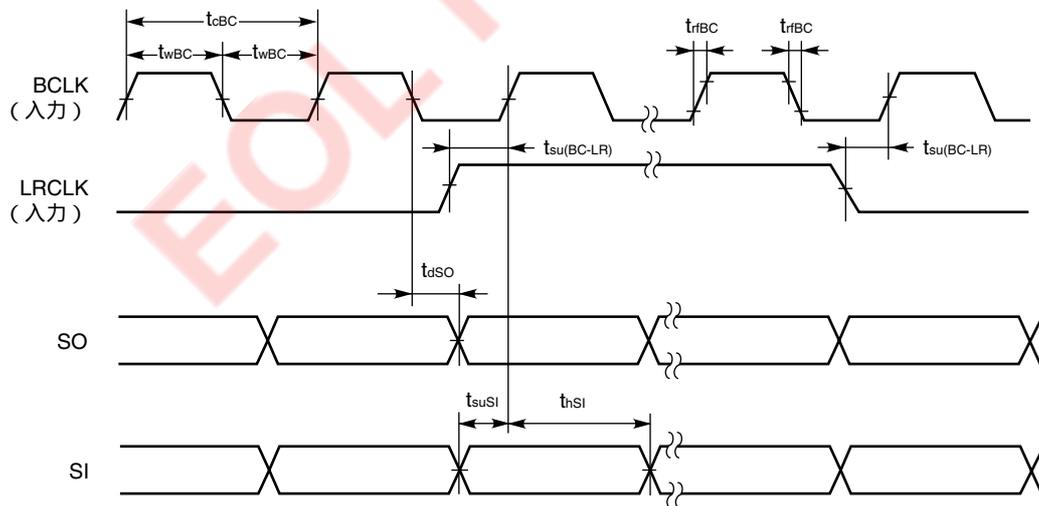
オーディオ・シリアル・クロック・タイミング



オーディオ・シリアル・モード・タイミング (マスタ・モード)



オーディオ・シリアル・モード・タイミング (スレーブ・モード)



シリアル・インタフェース (スタンダード・シリアル・モード)

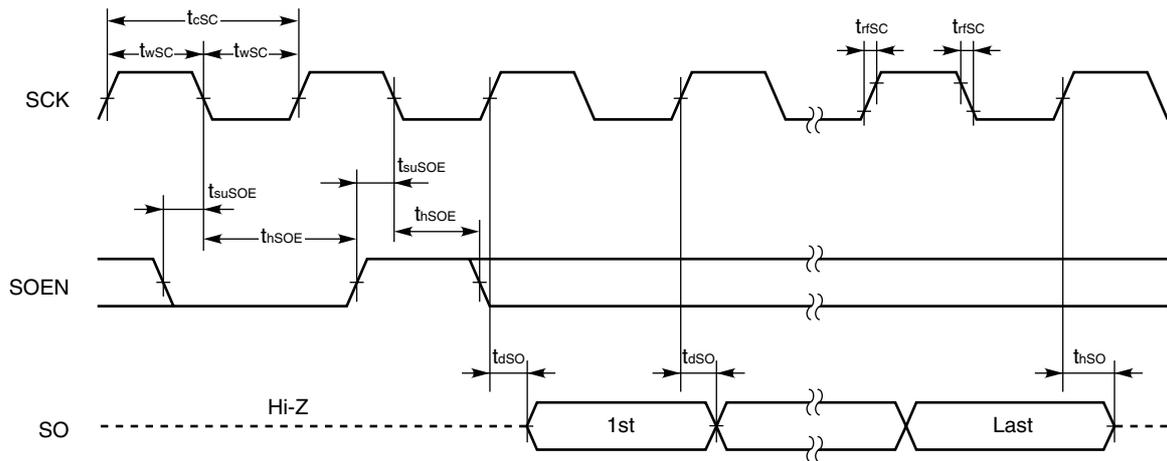
タイミング必要条件

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCKサイクル・タイム	$t_{cSC}$		60かつ $2t_{cc}$			ns
SCKハイ/ロウ・レベル幅	$t_{wSC}$		25			ns
SCK立ち上がり/立ち下がり時間	$t_{rSC}$				20	ns
SOENセットアップ時間	$t_{suSOE}$	$V_{DD} = 2.0 \sim 2.7 V$	10			ns
		$V_{DD} = 2.3 \sim 2.7 V$	5			ns
SOENホールド時間	$t_{hSOE}$	$V_{DD} = 2.0 \sim 2.7 V$	15			ns
		$V_{DD} = 2.3 \sim 2.7 V$	10			ns
SIENセットアップ時間	$t_{suSIE}$	$V_{DD} = 2.0 \sim 2.7 V$	10			ns
		$V_{DD} = 2.3 \sim 2.7 V$	5			ns
SIENホールド時間	$t_{hSIE}$	$V_{DD} = 2.0 \sim 2.7 V$	15			ns
		$V_{DD} = 2.3 \sim 2.7 V$	10			ns
SIセットアップ時間	$t_{suSI}$	$V_{DD} = 2.0 \sim 2.7 V$	10			ns
		$V_{DD} = 2.3 \sim 2.7 V$	5			ns
SIホールド時間	$t_{hSI}$	$V_{DD} = 2.0 \sim 2.7 V$	15			ns
		$V_{DD} = 2.3 \sim 2.7 V$	10			ns

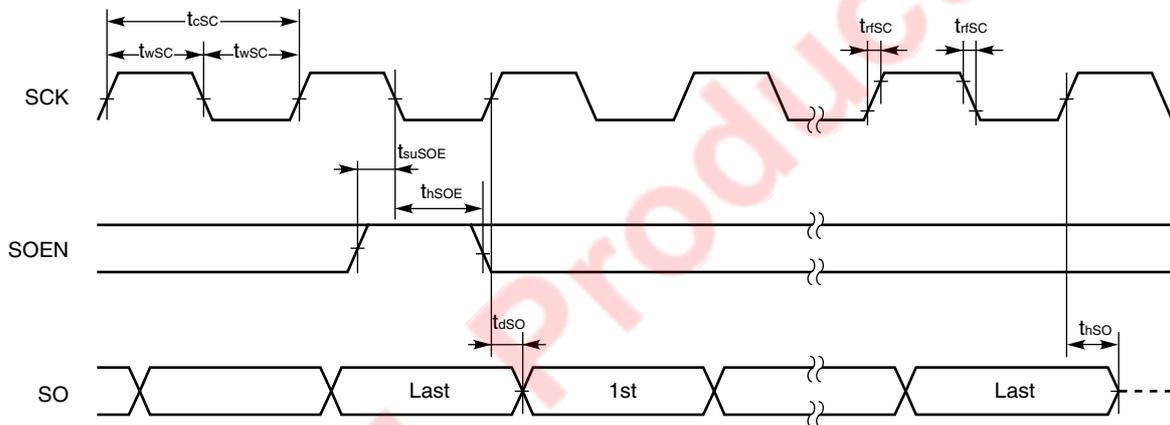
スイッチング特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
SO出力遅延時間	$t_{dSO}$	$V_{DD} = 2.0 \sim 2.7 V$			30	ns
		$V_{DD} = 2.3 \sim 2.7 V$			25	ns
SOホールド時間	$t_{hSO}$		0			ns

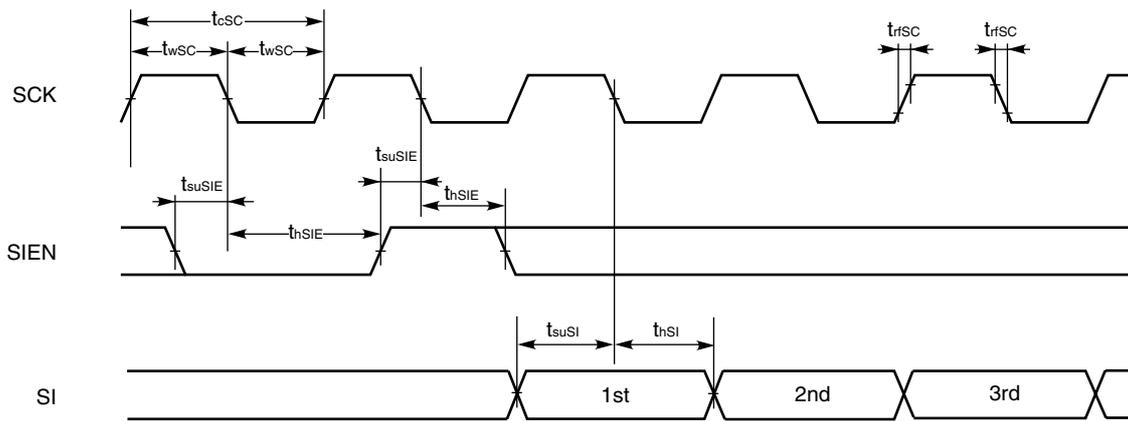
シリアル出力タイミング1



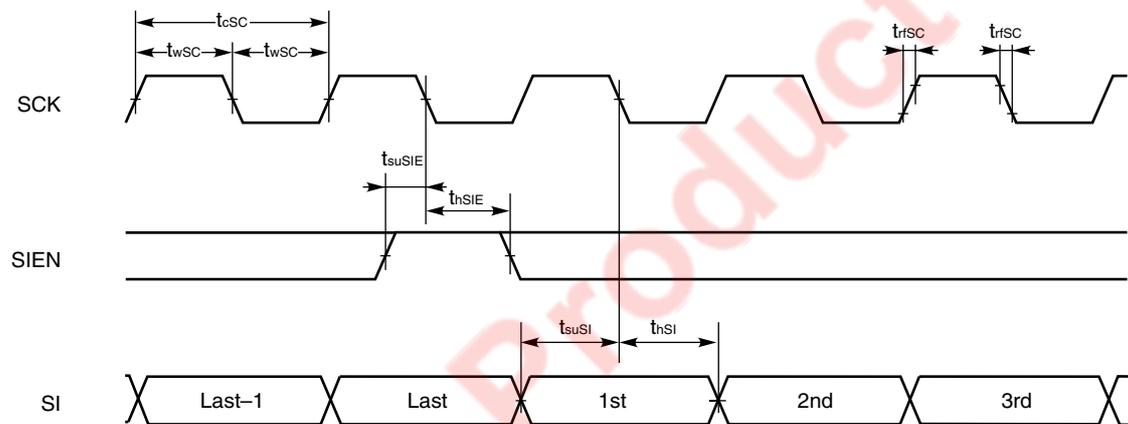
シリアル出力タイミング2 (連続出力時)



シリアル入力タイミング1



シリアル入力タイミング2 (連続入力時)



**注意** シリアル・クロックにノイズが重畳すると、シリアル・インタフェースがデッドロックする可能性があります。設計の際には、次の点に注意してください。

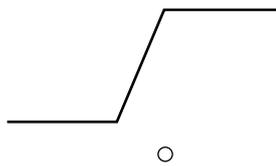
電源、グランドの配線を強化する（電源およびグランドにノイズが重畳すると、相対的にシリアル・クロックにノイズが重畳したように見えます）。

デバイスのSCK端子とクロック供給源との間の配線を極力短くする。

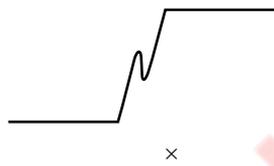
シリアル・クロックの信号線と、ほかの信号線を交差させない。また、変化する大電流が流れる線と接近させない。

デバイスのSCK端子とクロックの供給源が1対1になるようにし、1つのクロック供給源から複数のデバイスへクロックを供給しないようにする。

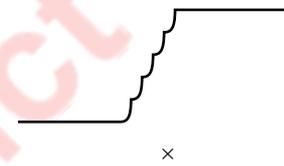
シリアル・クロックは、オーバシュートおよびアンダシュートしないように注意する。特に、立ち上がり/立ち下がり時の波形がきれいになるように配慮する。



○  
直線的な立ち上がり/立ち下がりにする。



×  
バウンドさせない。ノイズを重畳させない。



×  
階段状にさせない。

ホスト・インタフェース

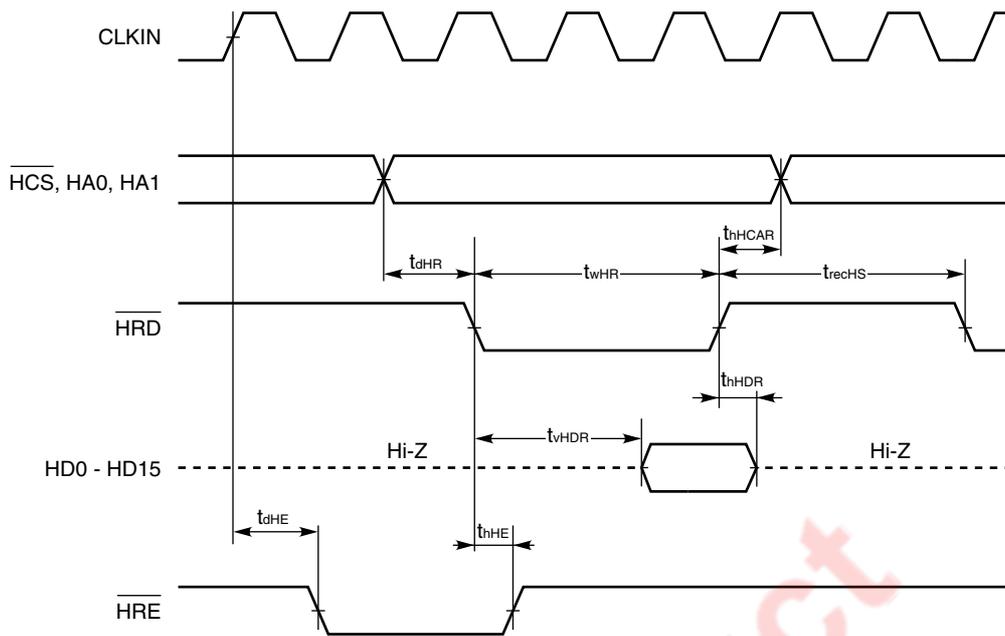
タイミング必要条件

項目	略号	条件	MIN.	TYP.	MAX.	単位
HRD遅延時間	t <sub>dHR</sub>	V <sub>DD</sub> = 2.0 ~ 2.7 V	15			ns
		V <sub>DD</sub> = 2.3 ~ 2.7 V	5			ns
HRD幅	t <sub>wHR</sub>		40			ns
HCS, HA0, HA1リード・ホールド時間	t <sub>hCAR</sub>		0			ns
HCS, HA0, HA1ライト・ホールド時間	t <sub>hCAW</sub>		0			ns
HRD, HWRリカバリ時間	t <sub>recHS</sub>		3t <sub>ec</sub>			ns
HWR遅延時間	t <sub>dHW</sub>	V <sub>DD</sub> = 2.0 ~ 2.7 V	15			ns
		V <sub>DD</sub> = 2.3 ~ 2.7 V	10			ns
HWR幅	t <sub>wHW</sub>		40			ns
HWRホールド時間	t <sub>hHDW</sub>		0			ns
HWRセットアップ時間	t <sub>suHDW</sub>	V <sub>DD</sub> = 2.0 ~ 2.7 V	15			ns
		V <sub>DD</sub> = 2.3 ~ 2.7 V	10			ns

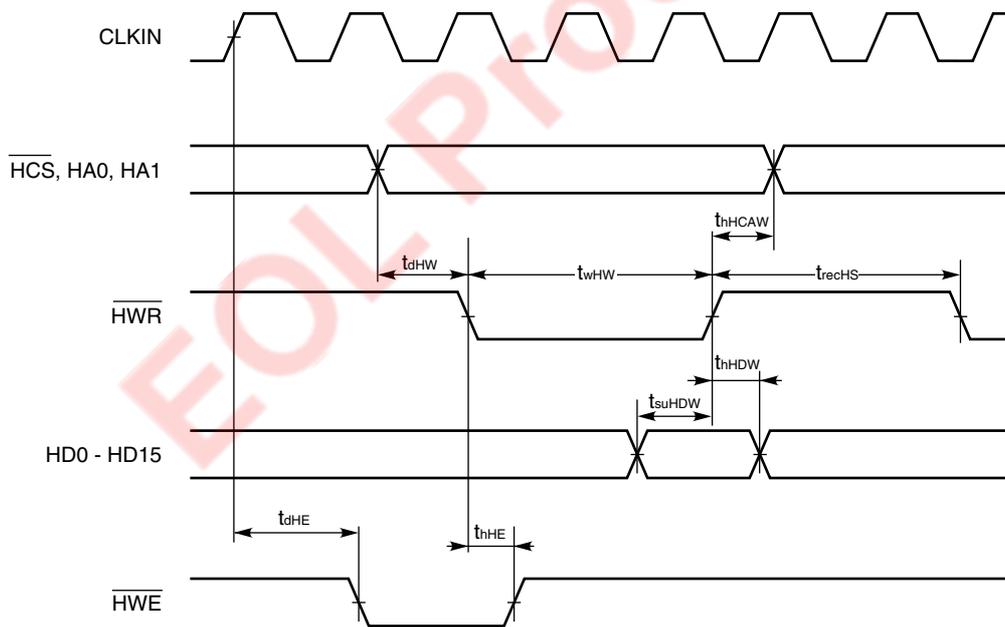
スイッチング特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
HRE, HWE出力遅延時間	t <sub>dHE</sub>	V <sub>DD</sub> = 2.0 ~ 2.7 V			30	ns
		V <sub>DD</sub> = 2.3 ~ 2.7 V			25	ns
HRE, HWEホールド時間	t <sub>hHE</sub>	V <sub>DD</sub> = 2.0 ~ 2.7 V			30	ns
		V <sub>DD</sub> = 2.3 ~ 2.7 V			25	ns
HRD有効時間	t <sub>vHDR</sub>	V <sub>DD</sub> = 2.0 ~ 2.7 V			30	ns
		V <sub>DD</sub> = 2.3 ~ 2.7 V			25	ns
HRDホールド時間	t <sub>hHDR</sub>		0			ns

ホスト・リード・インタフェース・タイミング



ホスト・ライト・インタフェース・タイミング



汎用入出力ポート

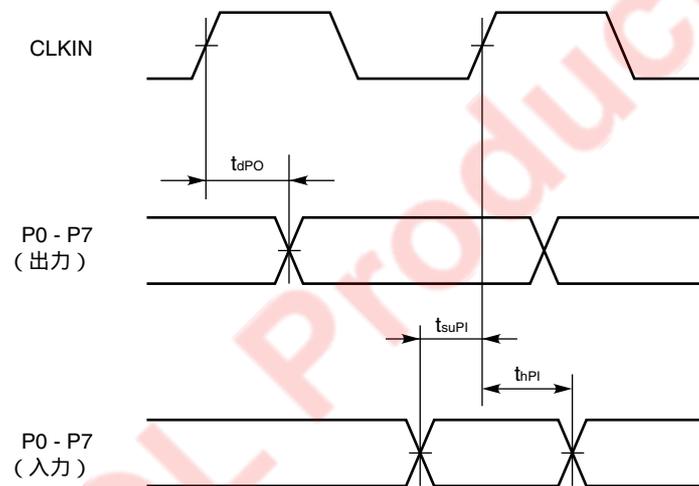
タイミング必要条件

項目	略号	条件	MIN.	TYP.	MAX.	単位
ポート入力セットアップ時間	$t_{suPI}$		0			ns
ポート入力ホールド時間	$t_{hPI}$	$V_{DD} = 2.0 \sim 2.7 V$	15			ns
		$V_{DD} = 2.3 \sim 2.7 V$	10			ns

スイッチング特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
ポート出力遅延時間	$t_{dPO}$	$V_{DD} = 2.0 \sim 2.7 V$			30	ns
		$V_{DD} = 2.3 \sim 2.7 V$			25	ns

汎用入出力ポート・タイミング



## SDカード・インタフェース

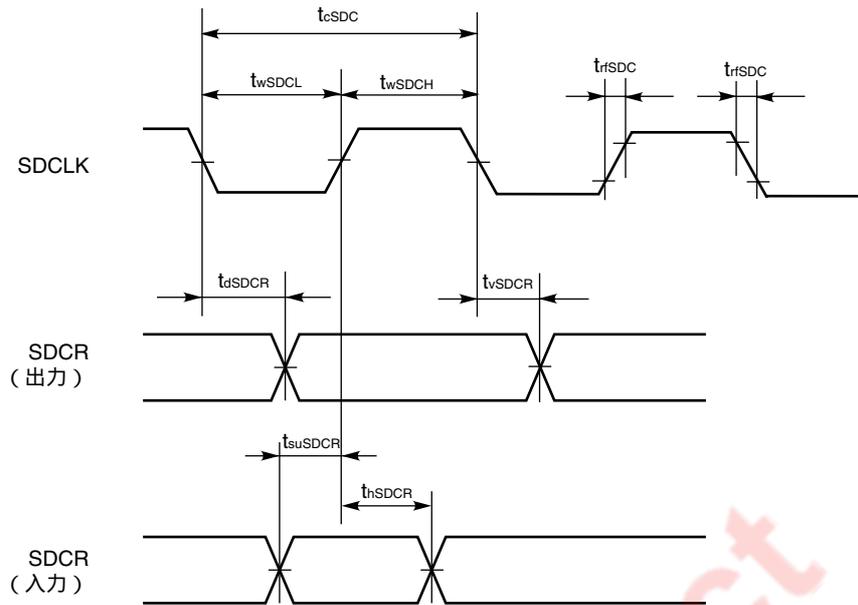
## タイミング必要条件

項目	略号	条件	MIN.	TYP.	MAX.	単位
SDCR入力セットアップ時間	t <sub>suSDCR</sub>	入力レスポンス	5			ns
SDCR入力ホールド時間	t <sub>hSDCR</sub>	入力レスポンス	0			ns
SDDAT入力セットアップ時間	t <sub>suSDD</sub>	入力データ	5			ns
SDDAT入力ホールド時間	t <sub>hSDD</sub>	入力データ	0			ns

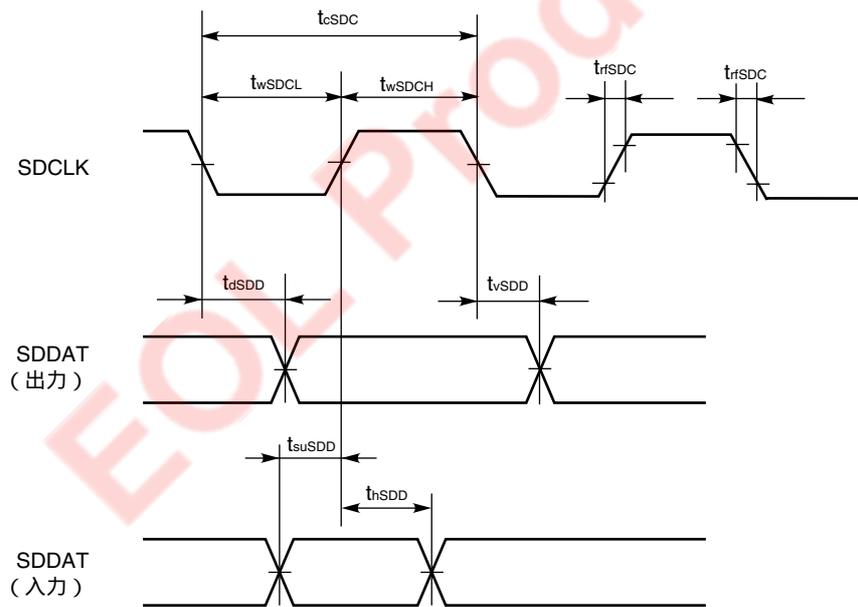
## スイッチング特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
SDCLKサイクル・タイム	t <sub>cSDC</sub>		40			ns
SDCLKハイ・レベル幅	t <sub>wSDCH</sub>		10			ns
SDCLKロウ・レベル幅	t <sub>wSDCL</sub>		10			ns
SDCLK立ち上がり / 立ち下がり 時間	t <sub>rfSDC</sub>				10	ns
SDCR出力遅延時間	t <sub>dSDCR</sub>	出力コマンド			10	ns
SDCR出力有効時間	t <sub>vSDCR</sub>	出力コマンド	0			ns
SDDAT出力遅延時間	t <sub>dSDD</sub>	出力データ			10	ns
SDDAT出力有効時間	t <sub>vSDD</sub>	出力データ	0			ns

SDCRタイミング



SDDATタイミング



ディバグ用インタフェース (JTAG)

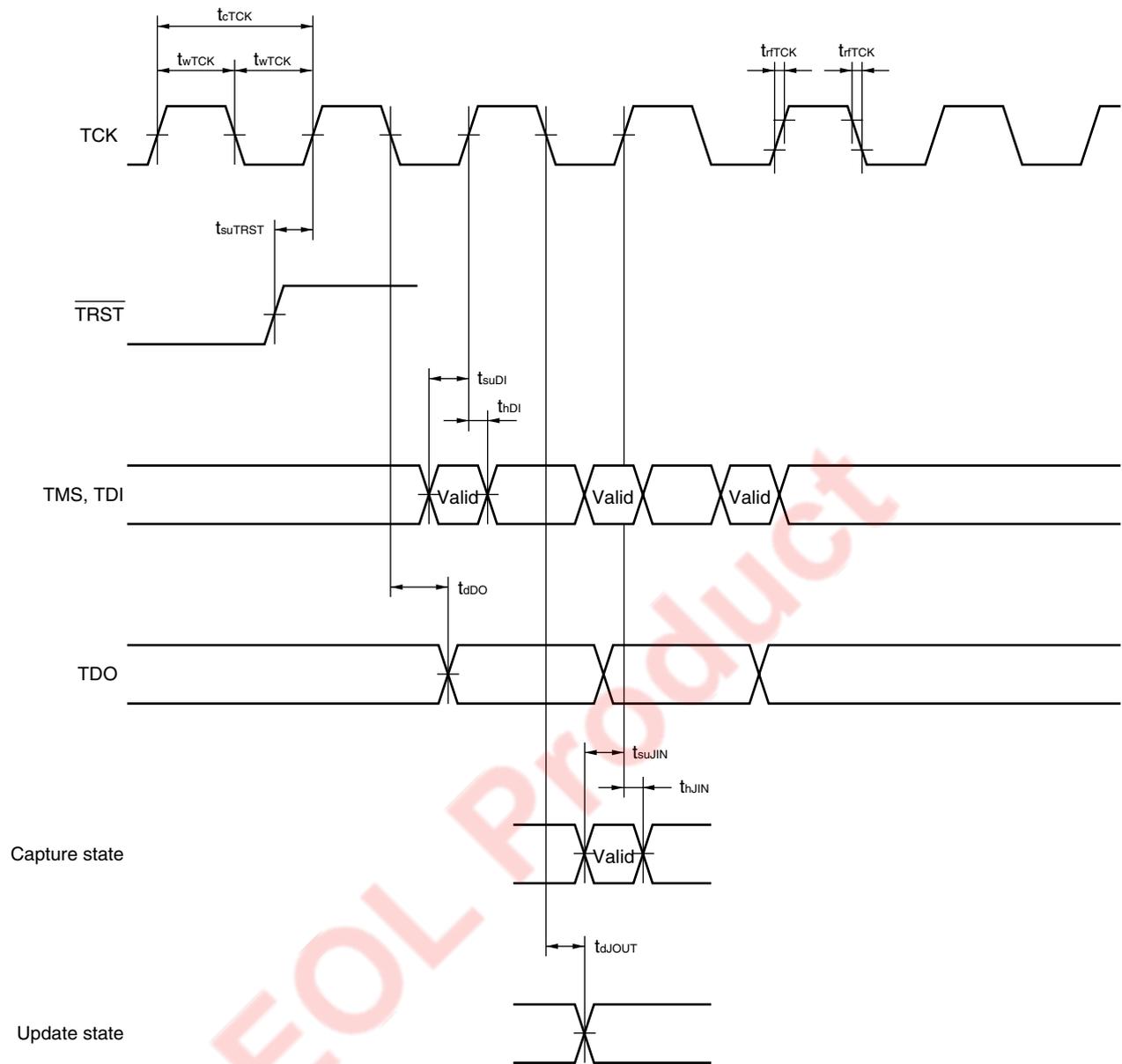
タイミング必要条件

項目	略号	条件	MIN.	TYP.	MAX.	単位
TCKサイクル・タイム	t <sub>cTCK</sub>		120			ns
TCKハイ/ロウ・レベル幅	t <sub>wTCK</sub>		50			ns
TCK立ち上がり/立ち下がり時間	t <sub>rTCK</sub>				20	ns
TMS, TDIセットアップ時間	t <sub>suDI</sub>	V <sub>DD</sub> = 2.0 ~ 2.7 V	25			ns
		V <sub>DD</sub> = 2.3 ~ 2.7 V	20			ns
TMS, TDIホールド時間	t <sub>hDI</sub>	V <sub>DD</sub> = 2.0 ~ 2.7 V	25			ns
		V <sub>DD</sub> = 2.3 ~ 2.7 V	20			ns
入力ピン・セットアップ時間	t <sub>suJIN</sub>	V <sub>DD</sub> = 2.0 ~ 2.7 V	25			ns
		V <sub>DD</sub> = 2.3 ~ 2.7 V	20			ns
入力ピン・ホールド時間	t <sub>hJIN</sub>	V <sub>DD</sub> = 2.0 ~ 2.7 V	25			ns
		V <sub>DD</sub> = 2.3 ~ 2.7 V	20			ns
TRSTセットアップ時間	t <sub>suTRST</sub>		100			ns

スイッチング特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
TDO出力遅延時間	t <sub>tdo</sub>	V <sub>DD</sub> = 2.0 ~ 2.7 V			25	ns
		V <sub>DD</sub> = 2.3 ~ 2.7 V			20	ns
出力ピン出力遅延時間	t <sub>dJOUT</sub>	V <sub>DD</sub> = 2.0 ~ 2.7 V			25	ns
		V <sub>DD</sub> = 2.3 ~ 2.7 V			20	ns

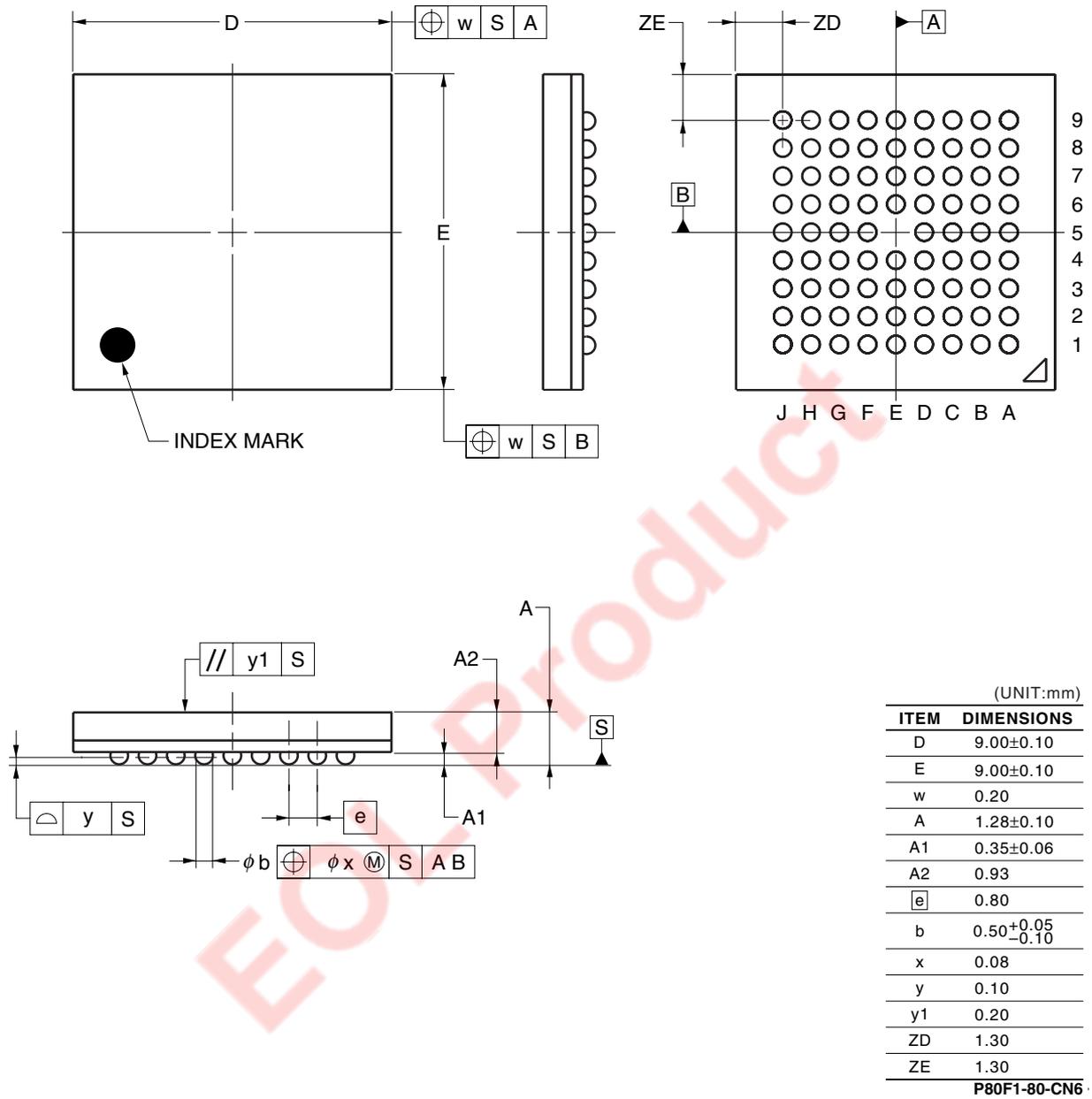
ディバグ用インタフェース・タイミング



備考 JTAGの詳細については、IEEE1149.1を参照してください。

9. 外形図

★ 80ピン・プラスチック FBGA (9x9) 外形図





10. 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」(<http://www.necel.com/pkg/ja/jissou/index.html>)

表面実装タイプの半田付け推奨条件

μ PD77115GK-9EU : 80ピン・プラスチックTQFP (ファインピッチ) (12×12)

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃，時間：30秒以内(210℃以上)， 回数：2回以内，制限日数：3日間 <sup>注</sup> (以降は125℃プリバーク10~72時間必要) 留意事項 耐熱トレイ以外(マガジン，テーピング，非耐熱トレイ)は，包装状態でのベーキング ができません。	IR35-103-2
VSP	パッケージ・ピーク温度：215℃，時間：40秒以内(200℃以上)， 回数：2回以内，制限日数：3日間 <sup>注</sup> (以降は125℃プリバーク10~72時間必要) 留意事項 耐熱トレイ以外(マガジン，テーピング，非耐熱トレイ)は，包装状態でのベーキング ができません。	VP15-103-2
端子部分加熱	端子温度：300℃以下，時間：3秒以内(デバイスの一辺当たり)	-

★ μ PD77115F1-CN6 : 80ピン・プラスチックFBGA (9×9)

★ μ PD77115AF1-xxx-CN6 : 80ピン・プラスチックFBGA (9×9)

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃，時間：30秒以内(210℃以上)， 回数：2回以内，制限日数：3日間 <sup>注</sup> (以降は125℃プリバーク10~72時間必要) 留意事項 耐熱トレイ以外(マガジン，テーピング，非耐熱トレイ)は，包装状態でのベーキング ができません。	IR35-103-2
VSP	パッケージ・ピーク温度：215℃，時間：40秒以内(200℃以上)， 回数：2回以内，制限日数：3日間 <sup>注</sup> (以降は125℃プリバーク10~72時間必要) 留意事項 耐熱トレイ以外(マガジン，テーピング，非耐熱トレイ)は，包装状態でのベーキング ができません。	VP15-103-2

注 ドライパック開封後の保管日数で，保管条件は25℃，65%RH以下。

注意 半田付け方式の併用はお避けください(ただし，端子部分加熱方式は除く)。

[メ モ]

EOL Product

[メ モ]

EOL Product

## CMOSデバイスの一般的注意事項

### 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力が入力ノイズなどに起因して、 $V_{IL}$  (MAX.) から  $V_{IH}$  (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 $V_{IL}$  (MAX.) から  $V_{IH}$  (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

### 未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して  $V_{DD}$  または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

### 静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

### 初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

### 電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

### 電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

本製品が外国為替及び外国貿易法の規定により規制貨物等（または役務）に該当するかどうかは、ユーザ（仕様を決定した者）が判定してください。該当する場合、日本国外に輸出するには日本国政府の輸出許可が必要です。

非該当品： μ PD77115F1-CN6, μ PD77115GK-9EU

ユーザ判定品： μ PD77115AF1-xxx-CN6

- 本資料に記載されている内容は2004年8月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命、身体および財産に対する損害の危険を最小限度にするために、冗長設計、延焼対策設計、誤動作防止設計等安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

- (1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- (2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

M8E 02.11

## 【発行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

お問い合わせ先

## 【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

## 【営業関係、技術関係お問い合わせ先】

半導体ホットライン

(電話：午前 9:00～12:00、午後 1:00～5:00)

電話 : 044-435-9494

E-mail : [info@necel.com](mailto:info@necel.com)

## 【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか、NECエレクトロニクスの販売特約店へお申し付けください。