

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

# μ PD77110, 77111, 77112

## 16ビット固定小数点デジタル・シグナル・プロセッサ

μ PD77110, 77111, 77112は、16ビットの固定小数点DSP ( Digital Signal Processor ) です。

μ PD77016ファミリと比べて消費電力性能を向上し、PDA、携帯電話など電池動作のモバイル端末の用途に向いています。

マスクROM製品とRAM製品をラインアップにそろえ、用途に応じて使い分けることができます。

詳しい機能説明などは次のユーザーズ・マニュアルに記載しています。設計の際には必ずお読みください。

μ PD77111ファミリ ユーザーズ・マニュアル : U14623J

μ PD7701×ファミリ ユーザーズ・マニュアル 命令編 : U13116J

### 特 徴

#### ○ インストラクション・サイクル ( 動作クロック )

μ PD77110 : 最小15.3 ns ( 最大65 MHz )

最小13.3 ns ( 最大75 MHz ) ( 動作電圧、動作周囲温度に制限があります )

μ PD77111 : 最小13.3 ns ( 最大75 MHz )

μ PD77112 : 最小13.3 ns ( 最大75 MHz )

#### ○ メモリ

##### ・ 内部命令メモリ

μ PD77110 : RAM 35.5 Kワード×32ビット

μ PD77111 : RAM 1 Kワード×32ビット

マスクROM 31.75 Kワード×32ビット

μ PD77112 : RAM 1 Kワード×32ビット

マスクROM 31.75 Kワード×32ビット

##### ・ データ・メモリ

μ PD77110 : RAM 24 Kワード×16ビット×2面

外部メモリ空間 32 Kワード×16ビット×2面

μ PD77111 : RAM 3 Kワード×16ビット×2面

マスクROM 16 Kワード×16ビット×2面

μ PD77112 : RAM 3 Kワード×16ビット×2面

マスクROM 16 Kワード×16ビット×2面

外部メモリ空間 16 Kワード×16ビット×2面

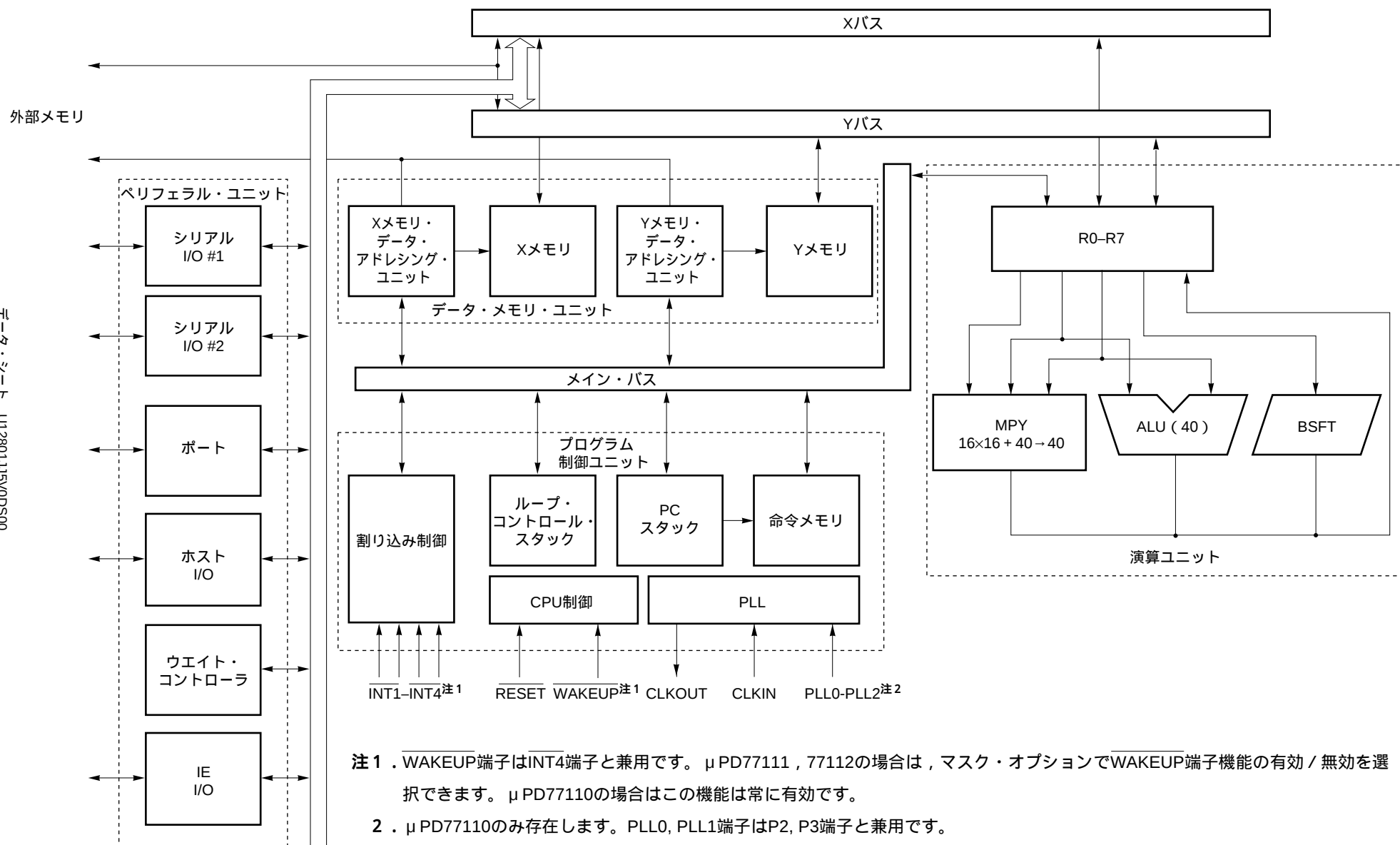
本資料の内容は、予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。

## オーダ情報

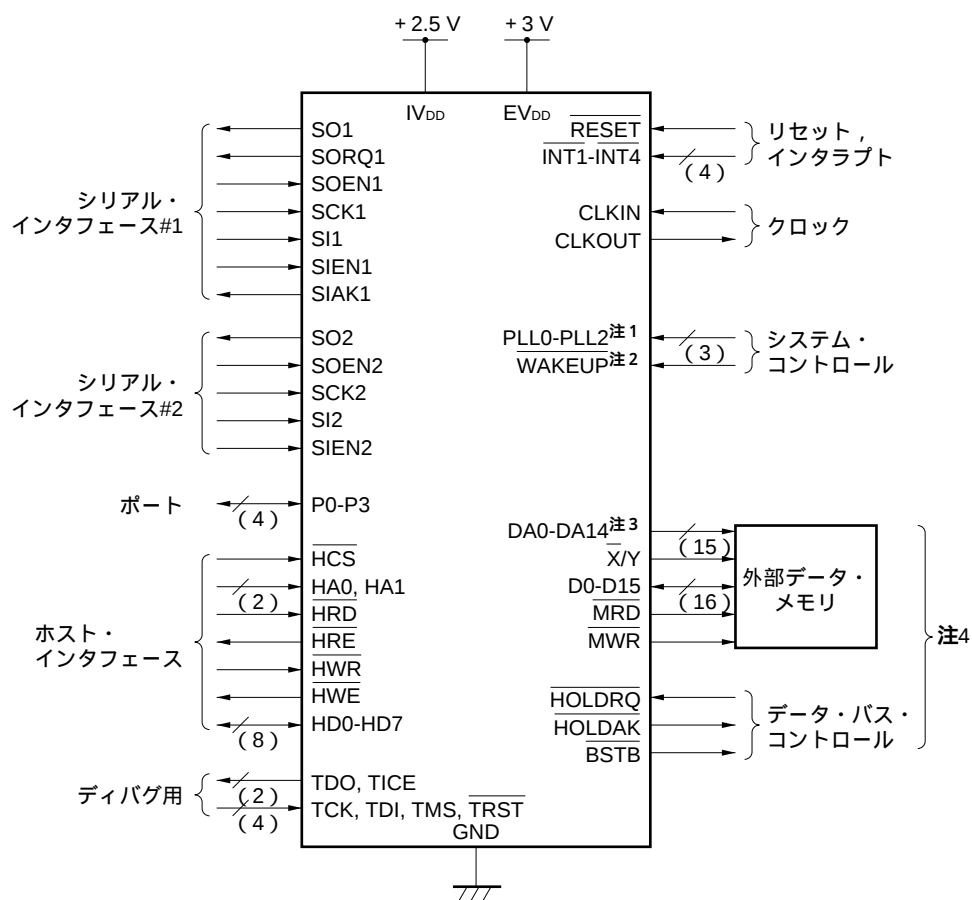
| オーダ名称               | パッケージ                            |
|---------------------|----------------------------------|
| μ PD77110GC-9EU     | 100ピン・プラスチックTQFP（ファインピッチ）（14×14） |
| μ PD77111GK-×××-9EU | 80ピン・プラスチックTQFP（ファインピッチ）（12×12）  |
| μ PD77111F1-×××-CN1 | 80ピン・プラスチック・ファインピッチBGA（9×9）      |
| μ PD77112GC-×××-9EU | 100ピン・プラスチックTQFP（ファインピッチ）（14×14） |

備考 ×××はROMコード番号です。

ブロック図



## 端子構成図



注1. μ PD77110の場合のみ存在します。

2. μ PD77111, 77112の場合、マスク・オプションにより、この端子機能の有効/無効を選択できます。

μ PD77110の場合、この機能は常に有効です。

3. μ PD77112の場合、DA14はありません。

4. μ PD77111の場合、外部データ・メモリ・インタフェースはありません。

DSP機能一覧表

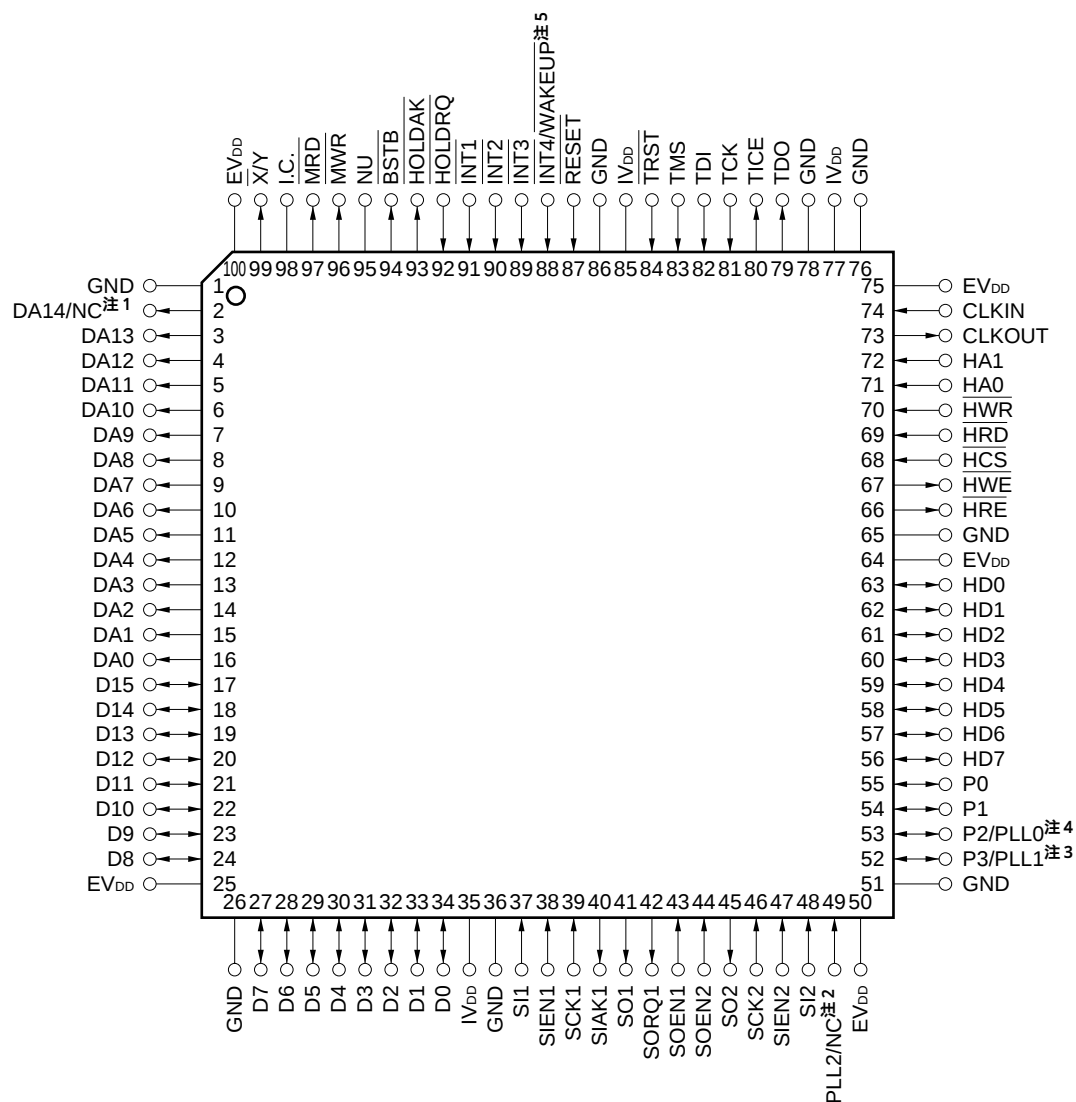
| 項 目                           |                         | μ PD77016            | μ PD77018A                                                    | μ PD77019 | μ PD77019-013 | μ PD77110                | μ PD77111                   | μ PD77112  | μ PD77113A | μ PD77114 |
|-------------------------------|-------------------------|----------------------|---------------------------------------------------------------|-----------|---------------|--------------------------|-----------------------------|------------|------------|-----------|
| メモリ空間<br>(ワード×<br>ビット)        | 内部命令RAM                 | 1.5 K × 32           | 256 × 32                                                      | 4 K × 32  |               | 35.5 K × 32              | 1 K × 32                    |            | 3.5 K × 32 |           |
|                               | 内部命令ROM                 | なし                   | 24 K × 32                                                     |           | なし            |                          | 31.75 K × 32                |            | 48 K × 32  |           |
|                               | データRAM<br>( X/Yメモリ )    | 各2 K × 16            | 各3 K × 16                                                     |           |               | 各24 K × 16               | 各3 K × 16                   |            | 各16 K × 16 |           |
|                               | データROM<br>( X/Yメモリ )    | なし                   | 各12 K × 16                                                    |           | なし            |                          | 各16 K × 16                  |            | 各32 K × 16 |           |
|                               | 外部命令メモリ                 | 48 K × 32            | なし                                                            |           |               |                          |                             |            |            |           |
|                               | 外部データ・メモリ<br>( X/Yメモリ ) | 各48 K × 16           | 各16 K × 16                                                    |           |               | 各32 K × 16               | なし                          | 各16 K × 16 | なし         | 各8 K × 16 |
| インストラクション・サイクル<br>( 最高速度動作時 ) |                         | 30 ns ( 33 MHz )     | 16.6 ns ( 60 MHz )                                            |           |               | 15.3 ns<br>( 65 MHz )    | 13.3 ns ( 75 MHz )          |            |            |           |
| 通倍率                           |                         | -                    | × 1, 2, 3, 4, 8<br>( マスク・オプション )                              |           | × 4固定         | × 1～8の整数倍<br>( 外部端子 )    | × 1～16の整数倍<br>( マスク・オプション ) |            |            |           |
| シリアル・インタフェース<br>( 2チャンネル内蔵 )  |                         | チャンネル1とチャ<br>ネル2は同機能 | チャンネル1はμ PD77016と同機能，チャンネル2はSORQ2およびSIAK2端子なし ( CODECなどの接続用 ) |           |               |                          |                             |            |            |           |
| 電源                            |                         | 5 V                  | 3 V                                                           |           |               | DSPコア：2.5 V<br>I/O端子：3 V |                             |            |            |           |
| パッケージ                         |                         | 160ピンQFP             | 100ピンTQFP<br>116ピンBGA                                         | 100ピンTQFP |               |                          | 80ピンTQFP<br>80ピンFBGA        | 100ピンTQFP  | 80ピンFBGA   | 100ピンTQFP |

# 端子接続図

100ピン・プラスチックTQFP（ファインピッチ）（14×14）（Top View）

μ PD77110GC-9EU

μ PD77112GC-×××-9EU



注1. μ PD77110ではDA14, μ PD77112ではNC

2. μ PD77110ではPLL2, μ PD77112ではNC

3. μ PD77112ではP3のみ

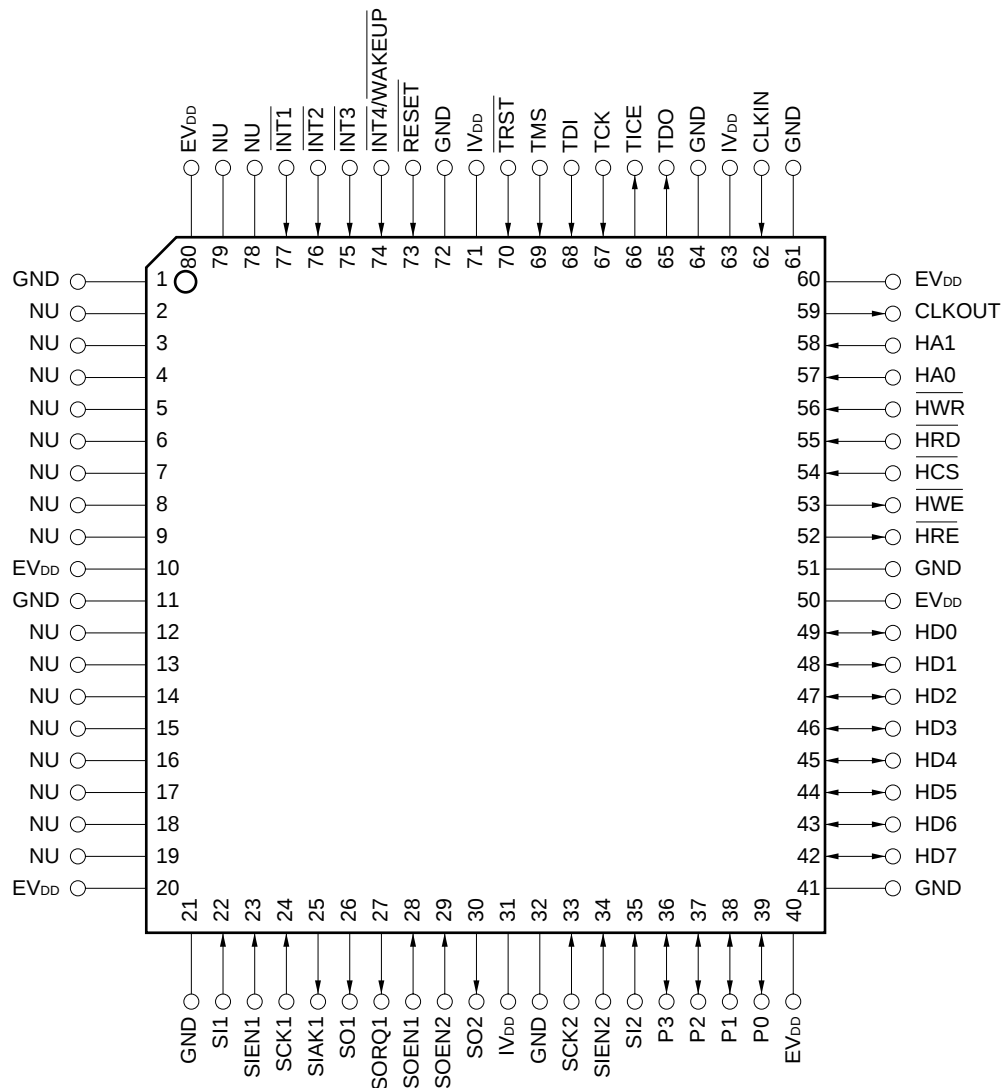
4. μ PD77112ではP2のみ

5. μ PD77112では, WAKEUPをマスク・オプションで機能の有効/無効を選択できます。

| 端子番号 | 端 子 名            | 端子番号 | 端 子 名            | 端子番号 | 端 子 名                   | 端子番号 | 端 子 名                           |
|------|------------------|------|------------------|------|-------------------------|------|---------------------------------|
| 1    | GND              | 26   | GND              | 51   | GND                     | 76   | GND                             |
| 2    | DA14/NC          | 27   | D7               | 52   | P3/PLL1                 | 77   | IV <sub>DD</sub>                |
| 3    | DA13             | 28   | D6               | 53   | P2/PLL0                 | 78   | GND                             |
| 4    | DA12             | 29   | D5               | 54   | P1                      | 79   | TDO                             |
| 5    | DA11             | 30   | D4               | 55   | P0                      | 80   | TICE                            |
| 6    | DA10             | 31   | D3               | 56   | HD7                     | 81   | TCK                             |
| 7    | DA9              | 32   | D2               | 57   | HD6                     | 82   | TDI                             |
| 8    | DA8              | 33   | D1               | 58   | HD5                     | 83   | TMS                             |
| 9    | DA7              | 34   | D0               | 59   | HD4                     | 84   | $\overline{\text{TRST}}$        |
| 10   | DA6              | 35   | IV <sub>DD</sub> | 60   | HD3                     | 85   | IV <sub>DD</sub>                |
| 11   | DA5              | 36   | GND              | 61   | HD2                     | 86   | GND                             |
| 12   | DA4              | 37   | SI1              | 62   | HD1                     | 87   | $\overline{\text{RESET}}$       |
| 13   | DA3              | 38   | SIEN1            | 63   | HD0                     | 88   | $\overline{\text{INT4/WAKEUP}}$ |
| 14   | DA2              | 39   | SCK1             | 64   | EV <sub>DD</sub>        | 89   | $\overline{\text{INT3}}$        |
| 15   | DA1              | 40   | SIK1             | 65   | GND                     | 90   | $\overline{\text{INT2}}$        |
| 16   | DA0              | 41   | SO1              | 66   | $\overline{\text{HRE}}$ | 91   | $\overline{\text{INT1}}$        |
| 17   | D15              | 42   | SORQ1            | 67   | $\overline{\text{HWE}}$ | 92   | $\overline{\text{HOLDRQ}}$      |
| 18   | D14              | 43   | SOEN1            | 68   | $\overline{\text{HCS}}$ | 93   | $\overline{\text{HOLDAK}}$      |
| 19   | D13              | 44   | SOEN2            | 69   | $\overline{\text{HRD}}$ | 94   | BSTB                            |
| 20   | D12              | 45   | SO2              | 70   | $\overline{\text{HWR}}$ | 95   | NU                              |
| 21   | D11              | 46   | SCK2             | 71   | HA0                     | 96   | $\overline{\text{MWR}}$         |
| 22   | D10              | 47   | SIEN2            | 72   | HA1                     | 97   | $\overline{\text{MRD}}$         |
| 23   | D9               | 48   | SI2              | 73   | CLKOUT                  | 98   | I.C.                            |
| 24   | D8               | 49   | PLL2/NC          | 74   | CLKIN                   | 99   | $\overline{\text{X/Y}}$         |
| 25   | EV <sub>DD</sub> | 50   | EV <sub>DD</sub> | 75   | EV <sub>DD</sub>        | 100  | EV <sub>DD</sub>                |

80ピン・プラスチックTQFP（ファインピッチ）（12×12）（Top View）

μ PD77111GK- x x x -9EU

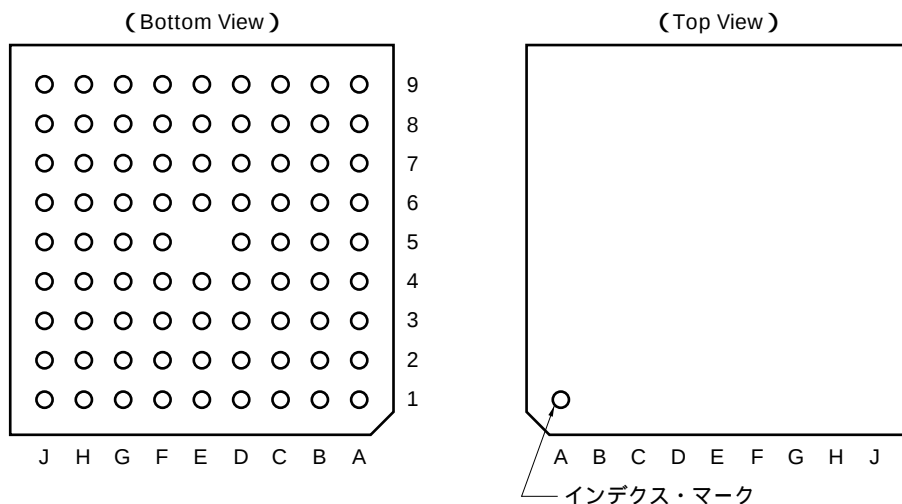


| 端子番号 | 端 子 名            | 端子番号 | 端 子 名            | 端子番号 | 端 子 名            | 端子番号 | 端 子 名                    |
|------|------------------|------|------------------|------|------------------|------|--------------------------|
| 1    | GND              | 21   | GND              | 41   | GND              | 61   | GND                      |
| 2    | NU               | 22   | SI1              | 42   | HD7              | 62   | CLKIN                    |
| 3    | NU               | 23   | SIEN1            | 43   | HD6              | 63   | IV <sub>DD</sub>         |
| 4    | NU               | 24   | SCK1             | 44   | HD5              | 64   | GND                      |
| 5    | NU               | 25   | SIK1             | 45   | HD4              | 65   | TDO                      |
| 6    | NU               | 26   | SO1              | 46   | HD3              | 66   | TICE                     |
| 7    | NU               | 27   | SORQ1            | 47   | HD2              | 67   | TCK                      |
| 8    | NU               | 28   | SOEN1            | 48   | HD1              | 68   | TDI                      |
| 9    | NU               | 29   | SOEN2            | 49   | HD0              | 69   | TMS                      |
| 10   | EV <sub>DD</sub> | 30   | SO2              | 50   | EV <sub>DD</sub> | 70   | TRST                     |
| 11   | GND              | 31   | IV <sub>DD</sub> | 51   | GND              | 71   | IV <sub>DD</sub>         |
| 12   | NU               | 32   | GND              | 52   | HRE              | 72   | GND                      |
| 13   | NU               | 33   | SCK2             | 53   | HWE              | 73   | RESET                    |
| 14   | NU               | 34   | SIEN2            | 54   | HCS              | 74   | INT4/WAKEUP <sup>注</sup> |
| 15   | NU               | 35   | SI2              | 55   | HRD              | 75   | INT3                     |
| 16   | NU               | 36   | P3               | 56   | HWR              | 76   | INT2                     |
| 17   | NU               | 37   | P2               | 57   | HA0              | 77   | INT1                     |
| 18   | NU               | 38   | P1               | 58   | HA1              | 78   | NU                       |
| 19   | NU               | 39   | P0               | 59   | CLKOUT           | 79   | NU                       |
| 20   | EV <sub>DD</sub> | 40   | EV <sub>DD</sub> | 60   | EV <sub>DD</sub> | 80   | EV <sub>DD</sub>         |

注 WAKEUP端子としての機能はマスク・オプションで有効 / 無効を選択できます。

80ピン・プラスチック・ファインピッチBGA (9×9)

μ PD77111F1-×××-CN1



| 端子番号 | 端 子 名                    | 端子番号 | 端 子 名            | 端子番号 | 端 子 名            | 端子番号 | 端 子 名            |
|------|--------------------------|------|------------------|------|------------------|------|------------------|
| A1   | EV <sub>DD</sub>         | C3   | NU               | E6   | HRE              | G8   | HD4              |
| A2   | NU                       | C4   | RESET            | E7   | HD0              | G9   | HD5              |
| A3   | INT2                     | C5   | TRST             | E8   | GND              | H1   | NU               |
| A4   | INT4/WAKEUP <sup>注</sup> | C6   | TICE             | E9   | EV <sub>DD</sub> | H2   | NU               |
| A5   | IV <sub>DD</sub>         | C7   | CLKIN            | F1   | NU               | H3   | SIEN1            |
| A6   | TCK                      | C8   | HA0              | F2   | NU               | H4   | SOEN1            |
| A7   | IV <sub>DD</sub>         | C9   | HWR              | F3   | NU               | H5   | GND              |
| A8   | GND                      | D1   | NU               | F4   | SIK1             | H6   | SI2              |
| A9   | EV <sub>DD</sub>         | D2   | NU               | F5   | SOEN2            | H7   | P1               |
| B1   | NU                       | D3   | NU               | F6   | P2               | H8   | GND              |
| B2   | GND                      | D4   | INT1             | F7   | HD1              | H9   | HD7              |
| B3   | NU                       | D5   | TMS              | F8   | HD3              | J1   | EV <sub>DD</sub> |
| B4   | INT3                     | D6   | TDO              | F9   | HD2              | J2   | GND              |
| B5   | GND                      | D7   | HCS              | G1   | NU               | J3   | SCK1             |
| B6   | TDI                      | D8   | HRD              | G2   | NU               | J4   | SORQ1            |
| B7   | GND                      | D9   | HWE              | G3   | SI1              | J5   | IV <sub>DD</sub> |
| B8   | CLKOUT                   | E1   | EV <sub>DD</sub> | G4   | SO1              | J6   | SCK2             |
| B9   | HA1                      | E2   | GND              | G5   | SO2              | J7   | P3               |
| C1   | NU                       | E3   | NU               | G6   | SIEN2            | J8   | P0               |
| C2   | NU                       | E4   | NU               | G7   | HD6              | J9   | EV <sub>DD</sub> |

注 WAKEUP端子としての機能はマスク・オプションで有効 / 無効を選択できます。

## 端子名称

|                                                          |                                  |
|----------------------------------------------------------|----------------------------------|
| $\overline{\text{BSTB}}$ :                               | Bus Strobe                       |
| CLKIN :                                                  | Clock Input                      |
| CLKOUT :                                                 | Clock Output                     |
| D0-D15 :                                                 | 16-bit Data Bus                  |
| DA0-DA14 :                                               | External Data Memory Address Bus |
| EV <sub>DD</sub> :                                       | Power Supply for I/O Pins        |
| GND :                                                    | Ground                           |
| HA0, HA1 :                                               | Host Data Access                 |
| $\overline{\text{HCS}}$ :                                | Host Chip Select                 |
| HD0-HD7 :                                                | Host Data Bus                    |
| $\overline{\text{HOLDAK}}$ :                             | Hold Acknowledge                 |
| $\overline{\text{HOLDRQ}}$ :                             | Hold Request                     |
| $\overline{\text{HRD}}$ :                                | Host Read                        |
| $\overline{\text{HRE}}$ :                                | Host Read Enable                 |
| $\overline{\text{HWE}}$ :                                | Host Write Enable                |
| $\overline{\text{HWR}}$ :                                | Host Write                       |
| I.C. :                                                   | Internally Connected             |
| $\overline{\text{INT1}}\text{-}\overline{\text{INT4}}$ : | Interrupt                        |
| IV <sub>DD</sub> :                                       | Power Supply for DSP Core        |
| $\overline{\text{MRD}}$ :                                | Memory Read Output               |
| $\overline{\text{MWR}}$ :                                | Memory Write Output              |
| NC :                                                     | Non-Connection                   |
| NU :                                                     | Not Used                         |
| P0-P3 :                                                  | Port                             |
| PLL0-PLL2 :                                              | PLL Multiple Rate Set            |
| $\overline{\text{RESET}}$ :                              | Reset                            |
| SCK1, SCK2 :                                             | Serial Clock Input               |
| SI1, SI2 :                                               | Serial Data Input                |
| SIACK1 :                                                 | Serial Input Acknowledge         |
| SIEN1, SIEN2 :                                           | Serial Input Enable              |
| SO1, SO2 :                                               | Serial Data Output               |
| SOEN1, SOEN2 :                                           | Serial Output Enable             |
| SORQ1 :                                                  | Serial Output Request            |
| TCK :                                                    | Test Clock Input                 |
| TDI :                                                    | Test Data Input                  |
| TDO :                                                    | Test Data Output                 |
| TICE :                                                   | Test In-Circuit Emulator         |
| TMS :                                                    | Test Mode Select                 |
| $\overline{\text{TRST}}$ :                               | Test Reset                       |
| $\overline{\text{WAKEUP}}$ :                             | Wakeup from STOP Mode            |
| $\overline{\text{X}}/\text{Y}$ :                         | X/Y Memory Select                |

## 目 次

|                                 |     |    |
|---------------------------------|-----|----|
| 1. 端子機能                         | ... | 13 |
| 1.1 端子機能の説明                     | ... | 13 |
| 1.2 未使用端子の処理について                | ... | 18 |
| 2. 機能概要                         | ... | 20 |
| 2.1 プログラム制御ユニット                 | ... | 20 |
| 2.2 演算ユニット                      | ... | 21 |
| 2.3 データ・メモリ・ユニット                | ... | 22 |
| 2.4 ペリフェラル・ユニット                 | ... | 22 |
| 3. クロック・ジェネレータ                  | ... | 23 |
| 4. リセット機能                       | ... | 23 |
| 4.1 ハードウェア・リセット                 | ... | 23 |
| 4.2 PLLの初期化                     | ... | 24 |
| 5. ブートアップROMの機能                 | ... | 24 |
| 5.1 リセット時のブート                   | ... | 24 |
| 5.2 リブート                        | ... | 25 |
| 5.3 シグネチャ演算                     | ... | 26 |
| 6. スタンバイ・モード                    | ... | 26 |
| 6.1 HALTモード                     | ... | 26 |
| 6.2 STOPモード                     | ... | 27 |
| 7. メモリ・マップ                      | ... | 27 |
| 7.1 命令メモリ                       | ... | 27 |
| 7.2 データ・メモリ                     | ... | 29 |
| 8. マスク・オプション                    | ... | 30 |
| 8.1 クロック制御に関するオプション             | ... | 30 |
| 8.2 WAKEUP機能                    | ... | 31 |
| 8.3 $\mu$ PD77110のマスク・オプション相当機能 | ... | 31 |
| 9. インストラクション                    | ... | 33 |
| 9.1 インストラクションの概要                | ... | 33 |
| 9.2 命令セットとそのオペレーション             | ... | 34 |
| 10. 電気的特性                       | ... | 40 |
| 11. 外形図                         | ... | 72 |
| 12. 半田付け推奨条件                    | ... | 75 |

## 1. 端子機能

パッケージによって端子番号が異なりますので、ご使用になるパッケージの欄をご覧ください。

## 1.1 端子機能の説明

## ・電 源

| 端子名称             | 端子番号                                |                                         |                                          | 入出力 | 機 能                  | 兼用端子 |
|------------------|-------------------------------------|-----------------------------------------|------------------------------------------|-----|----------------------|------|
|                  | 100ピン<br>TQFP                       | 80ピン<br>TQFP                            | 80ピン<br>FBGA                             |     |                      |      |
| IV <sub>DD</sub> | 35, 77, 85                          | 31, 63, 71                              | A5, A7, J5                               | -   | DSPコア用電源 ( + 2.5 V ) | -    |
| EV <sub>DD</sub> | 25, 50, 64,<br>75, 100              | 10, 20, 40,<br>50, 60, 80               | A1, A9, E1,<br>E9, J1, J9                | -   | I/O端子用電源 ( + 3 V )   | -    |
| GND              | 1, 26, 36,<br>51, 65, 76,<br>78, 86 | 1, 11, 21,<br>32, 41, 51,<br>61, 64, 72 | A8, B2, B5,<br>B7, E2, E8,<br>H5, H8, J2 | -   | 接地                   | -    |

## ・システム・コントロール

| 端子名称   | 端子番号          |              |              | 入出力 | 機 能                                                                                                                                                                                                                        | 兼用端子 |
|--------|---------------|--------------|--------------|-----|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|------|
|        | 100ピン<br>TQFP | 80ピン<br>TQFP | 80ピン<br>FBGA |     |                                                                                                                                                                                                                            |      |
| CLKIN  | 74            | 62           | C7           | 入力  | クロック入力                                                                                                                                                                                                                     | -    |
| CLKOUT | 73            | 59           | B8           | 出力  | 内部システム・クロック出力                                                                                                                                                                                                              | -    |
| RESET  | 87            | 73           | C4           | 入力  | 内部システム・リセット信号入力                                                                                                                                                                                                            | -    |
| PLL0   | 53            | -            | -            | 入力  | PLL通倍率設定入力 ( μ PD77110の場合のみ )<br>・リセット入力時に次の設定に従ってPLLの通倍率を決定します。<br>PLL2 : PLL1 : PLL0 :<br>000 : PLL通倍率 × 1を選択<br>001 : PLL通倍率 × 2を選択<br>010 : PLL通倍率 × 3を選択<br>:<br>111 : PLL通倍率 × 8を選択<br>・ μ PD77111, 77112の場合は機能しません。 | P2   |
| PLL1   | 52            | -            | -            | 入力  |                                                                                                                                                                                                                            | P3   |
| PLL2   | 49            | -            | -            | 入力  |                                                                                                                                                                                                                            | -    |
| WAKEUP | 88            | 74           | A4           | 入力  | ストップ・モード解除信号入力<br>・アクティブにすることによってストップ・モードからの復帰を行います。マスク・オプションによってこの端子機能の有効 / 無効を選択できます。<br>・ μ PD77110の場合は常に有効のみの設定になります。                                                                                                  | INT4 |

## ・ 割り込み

| 端子名称                          | 端子番号          |              |              | 入出力 | 機 能                                 | 兼用端子   |
|-------------------------------|---------------|--------------|--------------|-----|-------------------------------------|--------|
|                               | 100ピン<br>TQFP | 80ピン<br>TQFP | 80ピン<br>FBGA |     |                                     |        |
| $\overline{\text{INT1-INT3}}$ | 91-89         | 77-75        | D4, A3, B4   | 入力  | マスカブル外部割り込み入力<br>・ 立ち下がりエッジで検出されます。 | -      |
| $\overline{\text{INT4}}$      | 88            | 74           | A4           | 入力  |                                     | WAKEUP |

## ・ 外部データ・メモリ・インタフェース

| 端子名称                       | 端子番号            |              |              | 入出力         | 機 能                                                                                                                                                                                               | 兼用端子 |
|----------------------------|-----------------|--------------|--------------|-------------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|------|
|                            | 100ピン<br>TQFP   | 80ピン<br>TQFP | 80ピン<br>FBGA |             |                                                                                                                                                                                                   |      |
| $\overline{\text{X/Y}}$    | 99              | -            | -            | 出力<br>(3S)  | メモリ選択信号出力<br>0: Xメモリを使用します。<br>1: Yメモリを使用します。                                                                                                                                                     | -    |
| DA0-DA14                   | 16-2            | -            | -            | 出力<br>(3S)  | 外部データ・メモリのアドレス・バス<br>・ 外部メモリをアクセスします。<br>・ 外部メモリをアクセスしないときは最後にアクセスした外部メモリのアドレスを出力し続けます。<br>リセット後、外部メモリを一度もアクセスしていないときはロウ・レベル (0x0000) を出力し続けます。<br>・ μ PD77112の場合、DA14はNC (ノー・コネクション) となり、機能しません。 | -    |
| D0-D15                     | 34-27,<br>24-17 | -            | -            | 入出力<br>(3S) | 16ビット・データ・バス<br>・ 外部メモリをアクセスします。                                                                                                                                                                  | -    |
| $\overline{\text{MRD}}$    | 97              | -            | -            | 出力<br>(3S)  | リード出力<br>・ 外部メモリ・リード                                                                                                                                                                              | -    |
| $\overline{\text{MWR}}$    | 96              | -            | -            | 出力<br>(3S)  | ライト出力<br>・ 外部メモリ・ライト                                                                                                                                                                              | -    |
| $\overline{\text{HOLDRQ}}$ | 92              | -            | -            | 入力          | ホールド・リクエスト信号<br>・ 外部デバイスがμ PD77110, 77112の外部データ・メモリ・バスを使用したいときにロウ・レベルを入力します。                                                                                                                      | -    |
| $\overline{\text{BSTB}}$   | 94              | -            | -            | 出力          | バス・ストローブ信号<br>・ μ PD77110, 77112が外部データ・メモリ・バスを使用しているとき、ロウ・レベルになります。                                                                                                                               | -    |
| $\overline{\text{HOLDAK}}$ | 93              | -            | -            | 出力          | ホールド・アクノリッジ信号<br>・ 外部デバイスに、μ PD77110, 77112の外部データ・メモリ・バスの使用を許可するとき、ロウ・レベルになります。                                                                                                                   | -    |

備考 表中入出力欄に“3S”を付記した端子は、次の状態でハイ・インピーダンスになります。

$\overline{\text{X/Y}}$ , DA0-DA14,  $\overline{\text{MRD}}$ ,  $\overline{\text{MWR}}$ : バス解放時 ( $\overline{\text{HOLDAK}}$  = ロウ・レベル)

D0-D15: 外部データ・メモリ非アクセス時、およびバス解放時 ( $\overline{\text{HOLDAK}}$  = ロウ・レベル)

## ・シリアル・インタフェース

| 端子名称  | 端子番号          |              |              | 入出力        | 機 能          | 兼用端子 |
|-------|---------------|--------------|--------------|------------|--------------|------|
|       | 100ピン<br>TQFP | 80ピン<br>TQFP | 80ピン<br>FBGA |            |              |      |
| SCK1  | 39            | 24           | J3           | 入力         | シリアル1用クロック入力 | -    |
| SORQ1 | 42            | 27           | J4           | 出力         | シリアル出力1リクエスト | -    |
| SOEN1 | 43            | 28           | H4           | 入力         | シリアル出力1イネーブル | -    |
| SO1   | 41            | 26           | G4           | 出力<br>(3S) | シリアル・データ出力1  | -    |
| SIEN1 | 38            | 23           | H3           | 入力         | シリアル入力1イネーブル | -    |
| SI1   | 37            | 22           | G3           | 入力         | シリアル・データ入力1  | -    |
| SIK1  | 40            | 25           | F4           | 出力         | シリアル入力1応答    | -    |
| SCK2  | 46            | 33           | J6           | 入力         | シリアル2用クロック入力 | -    |
| SOEN2 | 44            | 29           | F5           | 入力         | シリアル出力2イネーブル | -    |
| SO2   | 45            | 30           | G5           | 出力<br>(3S) | シリアル・データ出力2  | -    |
| SIEN2 | 47            | 34           | G6           | 入力         | シリアル入力2イネーブル | -    |
| SI2   | 48            | 35           | H6           | 入力         | シリアル・データ入力2  | -    |

**備考** 表中入出力欄に“3S”を付記した端子は、データ送出完了時、およびハードウェア・リセット（ $\overline{\text{RESET}}$ ）入力により、ハイ・インピーダンス状態になります。

## ・ ホスト・インタフェース

| 端子名称                    | 端子番号          |              |                                         | 入出力         | 機 能                                                                                                                                                                                                                                    | 兼用端子 |
|-------------------------|---------------|--------------|-----------------------------------------|-------------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|------|
|                         | 100ピン<br>TQFP | 80ピン<br>TQFP | 80ピン<br>FBGA                            |             |                                                                                                                                                                                                                                        |      |
| HA1                     | 72            | 58           | B9                                      | 入力          | HD7-HD0がアクセスするレジスタを指定します。<br>・ 1 : ホスト・インタフェース・ステータス・レジスタ (HST) をアクセスします。<br>・ 0 : 読み出し ( $\overline{\text{HRD}} = 0$ ) のとき, ホスト送信データ・レジスタ (HDT (out)) を, 書き込み ( $\overline{\text{HWR}} = 0$ ) のとき, ホスト受信データ・レジスタ (HDT (in)) をアクセスします。 | -    |
| HA0                     | 71            | 57           | C8                                      | 入力          | HD7-HD0がアクセスするレジスタを指定します。<br>・ 1 : HST, HDT (in), HDT (out) のビット15-8をアクセスします。<br>・ 0 : HST, HDT (in), HDT (out) のビット7-0をアクセスします。                                                                                                       | -    |
| HCS                     | 68            | 54           | D7                                      | 入力          | チップ・セレクト入力                                                                                                                                                                                                                             | -    |
| $\overline{\text{HRD}}$ | 69            | 55           | D8                                      | 入力          | ホスト・リード入力                                                                                                                                                                                                                              | -    |
| $\overline{\text{HWR}}$ | 70            | 56           | C9                                      | 入力          | ホスト・ライト入力                                                                                                                                                                                                                              | -    |
| $\overline{\text{HRE}}$ | 66            | 52           | E6                                      | 出力          | ホスト・リード・イネーブル出力                                                                                                                                                                                                                        | -    |
| $\overline{\text{HWE}}$ | 67            | 53           | D9                                      | 出力          | ホスト・ライト・イネーブル出力                                                                                                                                                                                                                        | -    |
| HD0-HD7                 | 63-56         | 49-42        | E7, F7,<br>F9, F8,<br>G8, G9,<br>G7, H9 | 入出力<br>(3S) | 8ビット・ホスト・データ・バス                                                                                                                                                                                                                        | -    |

**備考** 表中入出力欄に“3S”を付記した端子は、ホストI/F非アクセス時に、ハイ・インピーダンス状態になります。

## ・ 入出力ポート

| 端子名称 | 端子番号          |              |              | 入出力 | 機 能      | 兼用端子              |
|------|---------------|--------------|--------------|-----|----------|-------------------|
|      | 100ピン<br>TQFP | 80ピン<br>TQFP | 80ピン<br>FBGA |     |          |                   |
| P0   | 55            | 39           | J8           | 入出力 | 汎用入出力ポート | -                 |
| P1   | 54            | 38           | H7           | 入出力 |          | -                 |
| P2   | 53            | 37           | F6           | 入出力 |          | PLL0 <sup>注</sup> |
| P3   | 52            | 36           | J7           | 入出力 |          | PLL1 <sup>注</sup> |

**注** μ PD77110の場合のみ。μ PD77111, 77112の場合は兼用となる端子はありません。

## ・ デバッグ用インタフェース

| 端子名称 | 端子番号          |              |              | 入出力 | 機 能   | 兼用端子 |
|------|---------------|--------------|--------------|-----|-------|------|
|      | 100ピン<br>TQFP | 80ピン<br>TQFP | 80ピン<br>FBGA |     |       |      |
| TDO  | 79            | 65           | D6           | 出力  | デバッグ用 | -    |
| TICE | 80            | 66           | C6           | 出力  |       | -    |
| TCK  | 81            | 67           | A6           | 入力  |       | -    |
| TDI  | 82            | 68           | B6           | 入力  |       | -    |
| TMS  | 83            | 69           | D5           | 入力  |       | -    |
| TRST | 84            | 70           | C5           | 入力  |       | -    |

## ・ その他

| 端子名称 | 端子番号          |                                                                               |                                                                                                 | 入出力 | 機 能                                 | 兼用端子 |
|------|---------------|-------------------------------------------------------------------------------|-------------------------------------------------------------------------------------------------|-----|-------------------------------------|------|
|      | 100ピン<br>TQFP | 80ピン<br>TQFP                                                                  | 80ピン<br>FBGA                                                                                    |     |                                     |      |
| I.C. | 98            | -                                                                             | -                                                                                               | -   | 内部接続端子です。オープンにしてください。               | -    |
| NU   | 95            | 2, 3, 4, 5,<br>6, 7, 8, 9,<br>12, 13, 14,<br>15, 16, 17,<br>18, 19, 78,<br>79 | A2, B1,<br>B3, C1,<br>C2, C3,<br>D1, D2,<br>D3, E3,<br>E4, F1,<br>F2, F3,<br>G1, G2,<br>H1, H2, | -   | 非機能端子です。EV <sub>DD</sub> に接続してください。 | -    |
| NC   | 2,49          | -                                                                             | -                                                                                               | -   | 未接続端子です (μ PD77112の場合)。オープンにしてください。 | -    |

**注意** これらの端子になんらかの信号の印加または読み出しを行ったとき, μ PD77110, 77111, 77112の正常な動作は保証されません。

## 1.2 未使用端子の処理について

## 1.2.1 機能端子の処理

実装時に未使用の端子は、次の表のとおりに取り扱ってください。

| 端 子                                                    | 入出力 | 推奨接続方法                                                      |
|--------------------------------------------------------|-----|-------------------------------------------------------------|
| INT1-INT4                                              | 入力  | EV <sub>DD</sub> に接続してください。                                 |
| $\overline{X/Y}$                                       | 出力  | オープンにしてください。                                                |
| DA0-DA14                                               | 出力  |                                                             |
| D0-D15 <sup>注1</sup>                                   | 入出力 | プルアップ抵抗を介してEV <sub>DD</sub> に接続、またはプルダウン抵抗を介してGNDに接続してください。 |
| $\overline{MRD}$ , $\overline{MWR}$                    | 出力  | オープンにしてください。                                                |
| $\overline{HOLDRQ}$                                    | 入力  | EV <sub>DD</sub> に接続してください。                                 |
| $\overline{BSTB}$ , $\overline{HOLDAK}$                | 出力  | オープンにしてください。                                                |
| SCK1, SCK2                                             | 入力  | EV <sub>DD</sub> またはGNDに接続してください。                           |
| SI1, SI2                                               | 入力  |                                                             |
| SIEN1, SIEN2                                           | 入力  | GNDに接続してください。                                               |
| SOEN1, SOEN2                                           | 入力  |                                                             |
| SORQ1                                                  | 出力  | オープンにしてください。                                                |
| SO1, SO2                                               | 出力  |                                                             |
| SIK1                                                   | 出力  |                                                             |
| HA0, HA1                                               | 入力  | EV <sub>DD</sub> またはGNDに接続してください。                           |
| $\overline{HCS}$ , $\overline{HRD}$ , $\overline{HWR}$ | 入力  | EV <sub>DD</sub> に接続してください。                                 |
| $\overline{HRE}$ , $\overline{HWE}$                    | 出力  | オープンにしてください。                                                |
| HD0-HD7 <sup>注2</sup>                                  | 入出力 | プルアップ抵抗を介してEV <sub>DD</sub> に接続、またはプルダウン抵抗を介してGNDに接続してください。 |
| P0-P3                                                  | 入出力 |                                                             |
| TCK                                                    | 入力  | プルダウン抵抗を介してGNDに接続してください。                                    |
| TDO, TICE                                              | 出力  | オープンにしてください。                                                |
| TMS, TDI                                               | 入力  | オープンにしてください（内部でプルアップされています）。                                |
| $\overline{TRST}$                                      | 入力  | オープンにしてください（内部でプルダウンされています）。                                |
| CLKOUT                                                 | 出力  | オープンにしてください。                                                |

注1. プログラム中で外部データ・メモリをアクセスしない場合はオープン可能です。

ただし、ホールド・モード、ストップ・モード時など、消費電流が問題となる場合は、推奨接続方法に従ってください。

2.  $\overline{HCS}$ ,  $\overline{HRD}$ ,  $\overline{HWR}$ がハイ・レベル固定ならばオープン可能です。

ただし、ホールド・モード、ストップ・モード時など、消費電流が問題となる場合は、推奨接続方法に従ってください。

## 1. 2. 2 非機能端子の処理

| 端 子  | 入出力 | 推奨接続方法                      |
|------|-----|-----------------------------|
| I.C. | -   | オープンにしてください。                |
| NU   | -   | EV <sub>DD</sub> に接続してください。 |
| NC   | -   | オープンにしてください。                |

## 2. 機能概要

### 2.1 プログラム制御ユニット

命令実行一般から分岐，ループ，割り込み，クロック制御，スタンバイ・モードにいたるまで幅広くDSPの実行制御にかかわるユニットです。

#### 2.1.1 CPU制御

3ステージのパイプライン・アーキテクチャを採用し，分岐命令など一部の命令を除くほとんどすべての命令を1システム・クロックで実行します。

#### 2.1.2 割り込み制御

外部端子（ $\overline{\text{INT1}}$  -  $\overline{\text{INT4}}$ ），あるいは内蔵ペリフェラル（シリアル・インタフェース，ホスト・インタフェース）による割り込み要求を処理します。各割り込み要因ごとに割り込みの許可／禁止を設定できます。また，割り込みの多重化にも対応しています。

#### 2.1.3 ループ・コントロール・スタック

ハードウェアによるオーバーヘッドのないループ機能を実現します。4レベルのループ・スタックを備え，多重ループに対応します。

#### 2.1.4 PCスタック

プログラム・カウンタをスタックする15レベルのPCスタックにより，多重割り込み／サブルーチン・コールに対応します。

#### 2.1.5 PLL

クロック・ジェネレータとしてPLLを内蔵し，外部入力クロックを逡倍，分周してDSPの動作クロックとして供給します。逡倍率および分周率の設定は次のとおりです。

- ・μ PD77110：逡倍率は $\times 1 \sim 8$ を外部端子で設定（分周率は固定）
- ・μ PD77111, 77112：逡倍率は $\times 1 \sim 16$ ，分周率は $1/1 \sim 1/16$ をマスク・オプションで設定

2種類のスタンバイ・モードを搭載し，DSP待機時に消費電力を低減化します。

- ・HALTモード：HALT命令の実行による数 mAオーダの消費電流  
割り込み，ハードウェア・リセットによる復帰
- ・STOPモード：STOP命令の実行による数十 $\mu$ Aオーダの消費電流  
ハードウェア・リセット， $\overline{\text{WAKEUP}}$ 端子<sup>※</sup>による復帰

注 マスク・オプションでWAKEUP機能を有効にしたとき

### 2.1.6 命令メモリ

搭載されるメモリ容量とメモリの種類は製品ごとに異なります。

命令RAMのうち、64ワードは割り込みベクタに割り当てています。

命令RAMをブートアップするブートアップROMが内蔵されており、セルフ・ブート（内蔵データROMあるいは外部データ空間からのブート）、あるいはホスト・ブート（ホスト・インタフェース経由のブート）によって命令RAMの初期化および書き換えができます。

- ・  $\mu$  PD77110 : 35.5 KワードのRAM
- ・  $\mu$  PD77111, 77112 : 1 KワードのRAMと31.75 KワードのROM

## 2.2 演算ユニット

乗加算、論理演算、シフトを行うユニットで、40ビットのマルチプライ・アキュムレータ、40ビットのデータALU、40ビットのパレル・シフタおよび8本の40ビット汎用レジスタから構成されます。

### 2.2.1 汎用レジスタ (R0-R7)

演算の入出力、データ・メモリとのロード/ストアなどを行う8本の40ビット・レジスタです。

汎用レジスタ (R0-R7) は、R0L-R7L (ビット15-0)、R0H-R7H (ビット31-16) およびR0E-R7E (ビット39-32) の3つの部分で構成されます。演算の種類によってRnL、RnH、RnEをそれぞれ1つのレジスタとして、あるいは組み合わせで取り扱います。

### 2.2.2 マルチプライ・アキュムレータ (MAC : Multiply ACcumulator)

2つの16ビット・データの乗算と、乗算結果と1つの40ビット・データの加減算を行い、40ビット・データを出力します。

また、MACの入力の前段にシフタ (MSFT : MAC ShiFTer) があり、乗算結果と加減算する40ビット・データをあらかじめ1ビットあるいは16ビット算術右シフトしてから加減算することができます。

### 2.2.3 算術論理演算回路 (ALU : Arithmetic Logic Unit)

1つあるいは2つの40ビット・データを入力し、算術演算および論理演算を行い、40ビット・データを出力します。

### 2.2.4 パレル・シフタ (BFST : Barrel ShiFTer)

40ビット・データを入力し、任意のビット数で左右シフト処理を行い、40ビット・データを出力します。右シフトには、符号拡張を伴う算術右シフトと、MSBから0を挿入する論理右シフトがあります。

### 2.3 データ・メモリ・ユニット

2面のデータ・メモリ空間と2組のデータ・アドレッシング・ユニットから構成されます。

#### 2.3.1 データ・メモリ

搭載されるメモリ容量とメモリの種類は製品ごとに異なります。いずれの製品もデータ・メモリを2面(Xデータ・メモリおよびYデータ・メモリ)持っています。データ・メモリ空間上には64ワードのペリフェラル領域があります。

- ・ μ PD77110 : 24 Kワード × 2面のRAM
- ・ μ PD77111, 77112 : 3 Kワード × 2面のRAMと16 Kワード × 2面のROM

さらに、製品により外部データ・メモリ・インタフェースを持っており、デバイスの外部にメモリを拡張することができます。

- ・ μ PD77110 : 32 Kワード × 2面の外部データ・メモリ
- ・ μ PD77112 : 16 Kワード × 2面の外部データ・メモリ

#### 2.3.2 データ・アドレッシング・ユニット

Xデータ・メモリおよびYデータ・メモリそれぞれのデータ・メモリ空間に、独立したデータ・アドレッシング・ユニットを持っています。

それぞれのデータ・アドレッシング・ユニットに4本のデータ・ポインタ(DPn), 4本のインデクス・レジスタ(DNn), 1本のモジュロ・レジスタ(DMXまたはDMY)およびアドレスALUを持っています。

### 2.4 ペリフェラル・ユニット

シリアル・インタフェース, ホスト・インタフェース, 汎用入出力ポートおよびウエイト・サイクル・レジスタを内蔵しています。いずれの内蔵ペリフェラルもXデータ・メモリ空間およびYデータ・メモリ空間にメモリ・マップしてあり、プログラムからはメモリ・マップトI/Oとしてアクセスします。

#### 2.4.1 シリアル・インタフェース(SIO)

2チャンネルのシリアル・インタフェースを内蔵しています。次の特徴を備えています。

- ・シリアル・クロック : チャンネルごとに外部から供給, チャンネル内は入力/出力でクロック共用
- ・フレーム長 : チャンネルおよび入出力ごとに8/16ビット, MSB/LSBファーストを選択
- ・ハンドシェーク : 外部とは専用ステータス信号, 内部とはポーリング, ウエイトまたは割り込みによる

#### 2.4.2 ホスト・インタフェース(HIO)

外部のホストCPUまたはDMAコントローラなどと、データの入出力を行うための8ビットの平行・ポートです。DSP内部では、入力データ用, 出力データ用およびステータス用に16ビット・レジスタをメモリ・マップしてあります。外部とのハンドシェークは専用ステータス信号を使って行い、内部とのハンドシェークはポーリング, ウエイトまたは割り込みを使って行います。

#### 2.4.3 汎用入出力ポート(PIO)

4ビットの入出力ポートで、ビットごとに入出力を設定できます。

#### 2.4.4 ウェイト・サイクル・レジスタ

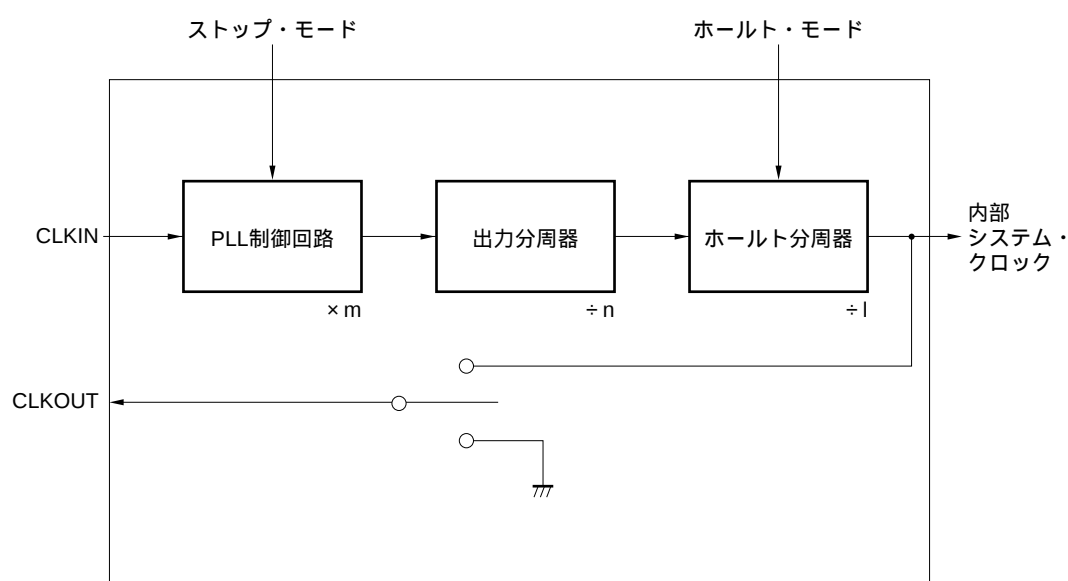
外部データ・メモリ領域をアクセスするときに挿入するウェイト数をあらかじめレジスタ（DWTR）で指定できます<sup>注</sup>。設定できるウェイト数は1, 3, 7です。

注 μ PD77111の場合，外部データ領域が存在しないので機能しません。

### 3. クロック・ジェネレータ

CLKIN端子から入力された外部クロックを基に内部システム・クロックを生成し，DSP内部に供給します。構成を次に示します。

PLLの通倍率の設定については，4.2 PLLの初期化，8.1 クロック制御に関するオプション，8.3.1 クロック制御に関する設定を参照してください。



### 4. リセット機能

$\overline{\text{RESET}}$ 端子に規定の幅のロウ・レベルを入力すると，デバイスが初期化されます。

#### 4.1 ハードウェア・リセット

$\overline{\text{RESET}}$ 端子を規定の期間アクティブ（ロウ・レベル）にすると，DSP内部が初期化されます。その後インアクティブ（ハイ・レベル）にすると，ポート端子（P0, P1）の状態に従って命令RAMへのブート処理を行い，ブート処理終了後は命令メモリの0x200番地（リセット・エントリ）の命令から処理を実行します。

電源投入時は，電源電圧が動作電圧に達してから， $\overline{\text{RESET}}$ 端子がインアクティブ（ハイ・レベル）の状態を入力クロックの4クロック入力後にアクティブ（ロウ・レベル）にする必要があります。すなわち，パワーオン・リセット機能はありません。また，電源投入時はPLLの初期化が必要です。

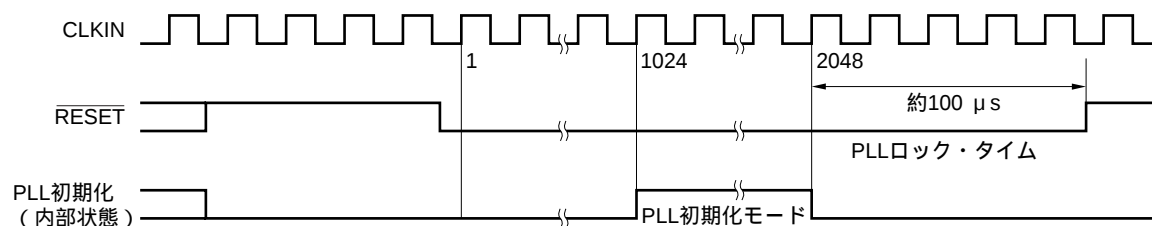
## 4.2 PLLの初期化

PLLは、 $\overline{\text{RESET}}$ 端子がアクティブ（ロウ・レベル）になってから入力クロックの1024クロック目で初期化が開始されます。さらに初期化に1024クロックが必要となり、それからPLLがロックするまでに100  $\mu\text{s}$ かかります。

その後、 $\overline{\text{RESET}}$ 端子をインアクティブ（ハイ・レベル）とすることで、マスク・オプション（ $\mu\text{PD77111, 77112}$ ）あるいは外部端子設定（ $\mu\text{PD77110}$ ）に従ったPLLの設定値でDSPが動作します。

PLLの初期化を行った場合は必ずブートアップの処理を行い、内部RAMの再初期化を行う必要があります。PLL初期化を行う場合、DSPの内部メモリおよびレジスタの状態は保持されません。

PLL初期化モードに入る前にリセットをインアクティブにする場合は通常のリセットとなります（PLLの初期化は行われません）。



**注意** PLL初期化モード中およびPLLロック期間中はリセットをインアクティブにしないでください。

## 5. ブートアップROMの機能

電源投入時あるいはプログラム中から命令メモリの書き換えを行う場合に、内蔵のブートアップROMを使用して命令RAMのブートアップを行います。

$\mu\text{PD77110}$ には、内蔵命令RAMの内容を検証する機能もブートアップROMの中にあります。

### 5.1 リセット時のブート

ハードウェア・リセット解除後ブート・プログラムは、最初に汎用入出力ポートP0, P1を読み込み、そのビット・パターンによってブート・モード（セルフ・ブート/ホスト・ブート）を決定します。ブート処理終了後は命令メモリの0x200番地（リセット・エントリ）の命令から処理を実行します。

ブート・モードを指定する端子（P0, P1）は、リセットが解除される3クロック前からリセットが解除されてから12クロック後までの間、安定している必要があります（いずれもCLKINから入力されるクロックに対して）。

| P1 | P0 | ブート・モード                            |
|----|----|------------------------------------|
| 0  | 0  | ブートを実行せず、0x200番地に分岐する <sup>注</sup> |
| 0  | 1  | ホスト・ブートを実行後、0x200番地に分岐する           |
| 1  | 1  | セルフ・ブートを実行後、0x200番地に分岐する           |
| 1  | 0  | 設定禁止                               |

**注** この設定は、一度リセット・ブートを実行した後、スタンバイ・モードからの復帰などのために、DSPがリセットを必要とするときに使用します。

### 5.1.1 セルフ・ブート

ブートアップROMは、Yデータ・メモリの0x4000番地に書かれているブート・パラメータを基に、データ・メモリ空間上に格納した命令コードを命令RAM上に転送します。一般にマスクROM製品（μ PD77111, 77112）では、データROM上にブート対象命令を格納しておくことにより、実現します。

また、外部データ領域上にブート対象命令をフラッシュROMのような形で格納しておき、ここからセルフ・ブートを行うこともできます。

μ PD77110の場合、Yデータ・メモリの0x4000番地はRAMであるため電源投入時の値は不定となります。このため、μ PD77110では電源投入時のブート・モードとしてセルフ・ブートを選択することはできず、ホスト・ブートを行う必要があります。PLLの初期化を行ったときも同様です。あらかじめYデータ・メモリの0x4000番地以降にブート・パラメータを記述しておくことによって、その後のリセット入力によるセルフ・ブートを行うことは可能です（PLLの初期化を行うリセットを除きます）。ただしこの場合、ブートの対象は0x0200～0x0FFFの命令RAMのみとなります。

### 5.1.2 ホスト・ブート

ホスト・インタフェース経由でブート・パラメータと命令コードを取得し、命令RAM上に転送します。

特にμ PD77110の場合、電源投入時のブートはホスト・ブートを用いることになります。また、ブートアップの対象となる命令領域は0x0200～0x0FFFの命令RAMだけとなります。0x4000～0xBFFFの命令RAMへのブートアップにはホスト・リブートを使用します。

## 5.2 リブート

プログラム上から次のリブート・エントリをコールすることにより、命令RAMの書き換えを行うことができます。

特にμ PD77110の場合、0x4000～0xBFFFの命令RAMへのブートアップは、リブート機能を使って行います。

| リブート・モード |          |          | エントリ・アドレス                                     |
|----------|----------|----------|-----------------------------------------------|
| セルフ・ブート  | Xメモリ     | ワード・リブート | 0x2                                           |
|          |          | バイト・リブート | 0x4                                           |
|          | Yメモリ     | ワード・リブート | 0x1                                           |
|          |          | バイト・リブート | 0x3                                           |
| ホスト・ブート  | ホスト・リブート |          | 0x6 ( μ PD77110 )<br>0x5 ( μ PD77111, 77112 ) |

### 5.2.1 セルフ・リブート

データ・メモリ上に格納された命令コードを命令RAM上に転送します。

μ PD77110の場合、セルフ・ブートは使用できません。

次のパラメータを設定し、該当するリブート方法のエントリ・アドレスをコールすることによってセルフ・リブートを行います。

- ・ R7L：リブートする命令ステップ数
- ・ DP3：命令コードの格納されているXメモリの先頭アドレス（Xメモリからのリブートの場合）  
ロードする命令メモリの先頭アドレス（Yメモリからのリブートの場合）
- ・ DP7：ロードする命令メモリの先頭アドレス（Xメモリからのリブートの場合）  
命令コードの格納されているXメモリの先頭アドレス（Yメモリからのリブートの場合）

### 5.2.2 ホスト・リブート

ホスト・インタフェース経由で命令コードを取得し、命令RAM上に転送します。

μ PD77110の場合、0x4000～0xBFFFの命令RAMへのブートアップを行う場合はホスト・リブートを使用します。0x0200～0x0FFFの領域と0x4000～0xBFFFの領域を一括してリブートすることはできません。

μ PD77110のエントリ・アドレスは0x6、μ PD77111, 77112のエントリ・アドレスは0x5です。次のパラメータを設定してからこのアドレスをコールすることによってホスト・リブートを行います。

- ・ R7L：リブートする命令ステップ数
- ・ DP3：ロードする命令メモリの先頭アドレス

### 5.3 シグネチャ演算

μ PD77110は、内蔵命令RAMの内容をベリファイできるようにシグネチャ演算機能を持っています。シグネチャ演算では、ブートアップされた命令RAMのデータに対してある演算を行い、その結果をレジスタに返します。あらかじめ正常に動作しているデバイスに対してシグネチャ演算を行っておき、RAM部分のデータ化けの有無を確認したいときに、再びシグネチャ演算を行い、先の値と演算結果を比較してください。両方の演算結果が同じならば問題はありせん。

エントリ・アドレスは0x9です。次のパラメータを設定してからこのアドレスをコールすることによって演算を実行します。0x0200～0x0FFFの領域と0x4000～0xBFFFの領域を同時に演算することはできません。演算結果はR7レジスタに格納されます。

- ・ R7L：演算する命令ステップ数
- ・ DP3：演算する命令メモリの先頭アドレス

## 6. スタンバイ・モード

スタンバイ・モードには、2つの種類があり、それぞれ対応した命令を実行することで低消費電力モードになります。

### 6.1 HALTモード

HALT命令を実行すると、HALTモードになります。クロック回路およびPLL以外の機能が動作を停止し、消費電流を小さくします。

HALTモードからの復帰は、割り込みあるいはハードウェア・リセットによって行います。割り込みによる復帰を行う場合は、内部レジスタおよびメモリの内容は保持されています。復帰にかかる時間は十数システム・クロックです（割り込みによる復帰の場合）。

HALTモード時、μ PD77111ファミリのクロック回路は次のクロックを内部システム・クロックとして供給します。また、CLKOUT端子から出力されるクロックは次のとおりです。

ただし、CLKOUT端子から出力されるクロックは、ハイ・レベル幅が通常動作時の1サイクル分のクロックとなります（デューティ比が50 %のクロックではありません）。

- ・ μ PD77110：内部システム・クロックの1/8
- ・ μ PD77111, 77112：内部システム・クロックの1/l（l = 1-16の整数，マスク・オプションで指定）

## 6.2 STOPモード

STOP命令を実行すると、STOPモードになります。クロック回路とPLLを含むすべての機能が停止し、リーク電流だけの超低消費電力モードになります。

STOPモードからの復帰は、ハードウェア・リセットあるいはWAKEUP端子によって行います。

WAKEUP端子による復帰を行う場合は、内部レジスタおよびメモリの内容は保持されています。復帰にかかる時間は数百  $\mu$ sです。

WAKEUP端子はINT4端子と兼用です。通常は割り込み端子として機能しますが、STOPモード中にアクティブにした場合はWAKEUP端子として機能します。WAKEUP端子による復帰はマスク・オプションによる選択機能になります。詳細については、8.2 WAKEUP機能および8.3.2 WAKEUP機能を参照してください。

## 7. メモリ・マップ

命令メモリ空間とデータ・メモリ空間を分離したハーバード・アーキテクチャを採用しています。

### 7.1 命令メモリ

#### 7.1.1 命令メモリ・マップ

命令メモリ空間は、64 Kワード×32ビットの空間から構成され、製品により内蔵するメモリ容量、メモリの種類が異なります。

| μ PD77110                            |                       | μ PD77111, 77112 |                        |
|--------------------------------------|-----------------------|------------------|------------------------|
| 0xFFFF                               | システム                  |                  | システム                   |
| 0xC000<br>0xBFFF                     | 内部命令RAM<br>(32Kワード)   | 0xBF00<br>0xBEFF | 内部命令ROM<br>(31.75Kワード) |
| 0x4000<br>0x3FFF                     | システム                  |                  | システム                   |
| 0x1000<br>0x0FFF                     | 内部命令RAM<br>(3.5Kワード)  | 0x0600<br>0x05FF | 内部命令RAM<br>(1Kワード)     |
| 0x0240<br>0x023F<br>0x0200<br>0x01FF | ベクタ領域 (64ワード)         |                  | ベクタ領域 (64ワード)          |
| 0x0100<br>0x00FF                     | システム                  |                  | システム                   |
| 0x0000                               | ブートアップROM<br>(256ワード) |                  | ブートアップROM<br>(256ワード)  |

**注意** システム用となっているアドレスには、プログラムやデータを置くことも、アクセスすることもできません。これらのアドレスをアクセスしたとき、デバイスの正常な動作は保証されません。

## 7.1.2 割り込みベクタ・テーブル

命令メモリの0x200～0x23Fは割り込みのエントリ・ポイント（ベクタ）になっています。割り込みの要因ごとに4命令アドレス分が与えられています

| ベクタ   | 割り込み要因 |
|-------|--------|
| 0x200 | リセット   |
| 0x204 | 予約     |
| 0x208 |        |
| 0x20C |        |
| 0x210 | INT1   |
| 0x214 | INT2   |
| 0x218 | INT3   |
| 0x21C | INT4   |
| 0x220 | SI1入力  |
| 0x224 | SO1出力  |
| 0x228 | SI2入力  |
| 0x22C | SO2出力  |
| 0x230 | HI入力   |
| 0x234 | HO出力   |
| 0x238 | 予約     |
| 0x23C |        |

- 注意1. リセットは割り込みではありませんが、ベクタのエントリとして統一的に取り扱われます。
2. 使用しない割り込み要因のベクタは、異常処理ルーチンへ分岐するなどの処置をすることをお勧めします。
  3. マスクROM製品においてもベクタ領域は内部RAM領域に存在するため、この領域のブートアップが必要です。また、リセット後のエントリが0x200番地となるため、内部命令RAMおよび割り込みを使用しない場合でも0x200番地のブートアップが必要となります。

7.2 データ・メモリ

7.2.1 データ・メモリ・マップ

データ・メモリ空間は、それぞれ64 Kワード×16ビットのXメモリ空間およびYメモリ空間の2面の空間で構成され、製品により内蔵するメモリ容量、メモリの種類が異なります。

|                  | μ PD77110              |                  | μ PD77111           |                  | μ PD77112              |
|------------------|------------------------|------------------|---------------------|------------------|------------------------|
| 0xFFFF           | 外部データ・メモリ<br>(32 Kワード) |                  | システム                | 0xC000<br>0xBFFF | 外部データ・メモリ<br>(16 Kワード) |
|                  |                        |                  |                     |                  | システム                   |
| 0x8000<br>0x7FFF | データRAM<br>(16 Kワード)    |                  | データROM<br>(16 Kワード) |                  | データROM<br>(16 Kワード)    |
| 0x4000<br>0x3FFF | システム                   |                  | システム                |                  | システム                   |
| 0x3840<br>0x383F | ペリフェラル<br>(64ワード)      |                  | ペリフェラル<br>(64ワード)   |                  | ペリフェラル<br>(64ワード)      |
| 0x3800<br>0x37FF | システム                   | 0x0C00<br>0x0BFF | システム                |                  | システム                   |
| 0x3000<br>0x2FFF | データRAM<br>(4 Kワード)     |                  |                     |                  |                        |
| 0x2000<br>0x1FFF | システム                   |                  |                     |                  |                        |
| 0x1000<br>0x0FFF | データRAM<br>(4 Kワード)     |                  |                     |                  |                        |
| 0x0000           |                        |                  | データRAM<br>(3 Kワード)  |                  | データRAM<br>(3 Kワード)     |

**注意** システム用となっているアドレスには、プログラムやデータを置くことも、アクセスすることもできません。これらのアドレスをアクセスしたとき、デバイスの正常な動作は保証されません。

### 7.2.2 内蔵ペリフェラル

内蔵ペリフェラルは、内部データ・メモリ空間にメモリ・マップされています。

| X/Yメモリ・アドレス   | レジスタ名 | 機 能                    | ペリフェラル名 |
|---------------|-------|------------------------|---------|
| 0x3800        | SDT1  | 第1シリアル・データ・レジスタ        | SIO     |
| 0x3801        | SST1  | 第1シリアル・ステータス・レジスタ      |         |
| 0x3802        | SDT2  | 第2シリアル・データ・レジスタ        |         |
| 0x3803        | SST2  | 第2シリアル・ステータス・レジスタ      |         |
| 0x3804        | PDT   | ポート・データ・レジスタ           | PIO     |
| 0x3805        | PCD   | ポート・コマンド・レジスタ          |         |
| 0x3806        | HDT   | ホスト・データ・レジスタ           | HIO     |
| 0x3807        | HST   | ホスト・ステータス・レジスタ         |         |
| 0x3808        | DWTR  | データ・メモリ・ウェイト・サイクル・レジスタ | WTR     |
| 0x3809-0x383F | 予約領域  | 注意 この領域にはアクセスしないでください。 | -       |

- 注意1. ここに示されたレジスタ名称は、アセンブラやC言語の予約語ではありません。したがって、アセンブラやC言語でこれらの名前を取り扱う場合には、ユーザによる定義付けが必要です。
2. これらのレジスタは、Xメモリ空間、Yメモリ空間のどちらのメモリ空間からアクセスしても、アドレスが同じであれば同一のレジスタにアクセスします。
3. 異なるレジスタであっても、Xメモリ空間、Yメモリ空間の両方から同時にアクセスすることはできません。

## 8. マスク・オプション

μ PD77111, 77112にはマスクROM発注時に設定しなければならないマスク・オプションがあります。ここではマスク・オプションについて説明します。なお、マスク・オプションの設定は、開発ツールのワークベンチ(WB77016)上で行います。マスクROM発注はWB77016上でマスクROM発注ファイル・フォーマット(.mskファイル)を出力して行います。

### 8.1 クロック制御に関するオプション

クロックに関するオプションとして、次の4点を設定する必要があります。

- ・ PLL通倍率
- ・ 出力分周率
- ・ HALT分周率
- ・ CLKOUT端子出力の有効 / 無効

PLL通倍率を $m$ 、出力分周率を $n$ 、ホールド分周率を $l$ とすると、各動作モードと動作クロックの関係は次のとおりです。

| 動作モード   | DSP内部に供給されるクロック     |
|---------|---------------------|
| 通常動作モード | 外部入力クロックの $m/n$ 倍   |
| HALTモード | 外部入力クロックの $m/n/l$ 倍 |
| STOPモード | 停止                  |

PLL制御回路では、入力されたクロックを1から16までの整数通倍します。通倍された周波数が、仕様で定められているPLLロック周波数内に収まるようにPLL通倍率のマスク・オプションを指定します。

出力分周器ではPLLによって通倍されたクロックを $1/1 \sim 1/16$ の整数分の1に分周します。最終的にDSP内部に供給される外部入力クロックの $m/n$ 倍の周波数が仕様で定められているDSPの動作周波数内に収まるように出力分周率のマスク・オプションを指定します。

HALT分周器はHALTモード時のみ機能し、出力分周器のクロックを $1/1 \sim 1/16$ の整数分の1に分周して内部に供給します。必要な分周を行えるようにHALT分周率のマスク・オプションを指定します。

DSP内部に供給されるクロック（内部システム・クロック）をCLKOUT端子から“出力する”，あるいは“出力しない”を選択できます。必要に応じてマスク・オプションを指定します。

また、出力分周率として奇数の値（1を除く）を設定した場合、CLKOUT端子から出力されるクロックはハイ・レベル幅が通常動作時の1サイクル分のクロックとなります（デューティ比が50 %のクロックではありません）。

## 8.2 WAKEUP機能

STOPモードから復帰する方法としてハードウェア・リセットによる復帰方法のほかに、 $\overline{\text{WAKEUP}}$ 端子を用いる方法があります。

ハードウェア・リセットによる復帰では、復帰時にSTOPモードに入る前の状態を保持できません。しかし、 $\overline{\text{WAKEUP}}$ 端子を用いた復帰では、STOPモードに入る前の状態を保持し、STOP命令の次の命令から実行を再開できます。

この $\overline{\text{WAKEUP}}$ 端子によるSTOPモードからの復帰を“有効にする”あるいは“無効にする”かをマスク・オプションで指定できます。

WAKEUP機能を有効にしたとき、 $\overline{\text{WAKEUP}}$ 端子は $\overline{\text{INT4}}$ 端子と兼用で、通常は割り込み端子として機能します。STOPモード時のみ、 $\overline{\text{WAKEUP}}$ 端子として機能します（STOPモード時にアクティブにした場合、STOPモードからの復帰のみに使用され、割り込みベクタに分岐することはありません）。

## 8.3 $\mu$ PD77110のマスク・オプション相当機能

$\mu$  PD77110はマスク・オプションが存在しないため、そのままでは $\mu$  PD77111, 77112のようにPLLの通倍率などを設定することはできません。このため、 $\mu$  PD77110の外部端子は、マスク・オプションに相当する機能を持っています。 $\mu$  PD77111, 77112のエミュレーション・デバイスとして使用する場合を含めて $\mu$  PD77110を使用する場合は、注意してください。

### 8.3.1 クロック制御に関する設定

PLLの通倍率設定には外部端子PLL0-PLL2を用いて設定を行います。PLL0, PLL1は汎用入出力ポートP2, P3と兼用になっており、設定時のみPLL設定端子として機能します。

また、通倍率は1倍から8倍までの整数通倍になります。

< PLL2 : PLL1 : PLL0 >    000    m = 1  
                                   001    m = 2  
                                   :  
                                   111    m = 8

出力分周率は1/1固定、ホールド分周率は1/8固定です。

PLL通倍率をmとすると、各動作モードと動作クロックの関係は次のとおりです。

| 動作モード   | DSP内部に供給されるクロック |
|---------|-----------------|
| 通常動作モード | 外部入力クロックのm倍     |
| HALTモード | 外部入力クロックのm/8倍   |
| STOPモード | 停止              |

PLL通倍率の設定は、4.2 PLLの初期化を参照してください。PLL初期化モードにおいてPLL0-PLL2の設定が有効になるので、PLL初期化モードに入る前にPLL0-PLL2の値を固定しておく必要があります。

CLKOUT端子出力を有効/無効とするオプションは、“有効”固定になっています。

### 8.3.2 WAKEUP機能

$\mu$  PD77110では、WAKEUP機能は“有効”固定になっています。

## 9. インストラクション

### 9.1 インストラクションの概要

インストラクションは、一命令32ビットで構成されています。分岐命令など、一部の命令を除いたほとんどすべての命令を1システム・クロックで実行します。μ PD77110のインストラクション・サイクルは最高15.3 nsec.です。μ PD77111, 77112のインストラクション・サイクルは最高13.3 nsec.です。インストラクションには、以下の9種類があります。

#### (1) 3項演算命令

MACでの演算を指定する命令です。演算対象は汎用レジスタから3レジスタを任意に指定できます。

#### (2) 2項演算命令

MAC, ALUまたはBSFTでの演算を指定する命令です。演算対象は汎用レジスタから2レジスタを任意に指定できます。汎用レジスタの代わりにイミディエト値を1入力に指定できる命令もあります。

#### (3) 単項演算命令

ALUでの演算を指定する命令です。演算対象は汎用レジスタから1レジスタを任意に指定できます。

#### (4) ロード/ストア命令

メモリと汎用レジスタ間の16ビット・データ転送を指定する命令です。転送対象は汎用レジスタから任意に指定できます。

#### (5) レジスタ間転送命令

汎用レジスタと他のレジスタ間の転送を指定する命令です。

#### (6) 即値設定命令

汎用レジスタとアドレス演算ユニットの各レジスタに即値（イミディエト値）を設定する命令です。

#### (7) 分岐命令

プログラムの分岐を指定する命令です。

#### (8) ハードウェア・ループ命令

命令の繰り返し実行を指定する命令です。

#### (9) 制御命令

プログラム制御を指定する命令です。

## 9.2 命令セットとそのオペレーション

各命令のオペレーション欄には、その命令のオペレーション表現形式に対する記述法に従ってオペレーションを記述します。記述方法の中で、複数個あるものは、それらの要素の1つを選択します。

### (a) 表現形式と選択できるレジスタの対応

表現形式と選択できるレジスタの対応は、次の表のとおりです。

| 表現形式           | 選択できるレジスタ                                                                |
|----------------|--------------------------------------------------------------------------|
| ro, ro ', ro " | R0-R7                                                                    |
| rl, rl '       | R0L-R7L                                                                  |
| rh, rh '       | R0H-R7H                                                                  |
| re             | R0E-R7E                                                                  |
| reh            | R0EH-R7EH                                                                |
| dp             | DP0-DP7                                                                  |
| dn             | DN0-DN7                                                                  |
| dm             | DMX, DMY                                                                 |
| dpx            | DP0-DP3                                                                  |
| dpy            | DP4-DP7                                                                  |
| dpx_mod        | DPn, DPn + + , DPn - - , DPn # # , DPn % % , !DPn # # ( n = 0-3 )        |
| dpy_mod        | DPn, DPn + + , DPn - - , DPn # # , DPn % % , !DPn # # ( n = 4-7 )        |
| dp_imm         | DPn # # imm ( n = 0-7 )                                                  |
| * x x x        | x x x をアドレスとするメモリの内容<br>例 DP0レジスタの内容が1000のとき , * DP0はメモリの1000番地の内容を表します。 |

## (b) データ・ポインタのモディファイ

データ・ポインタのモディファイは、メモリ・アクセス後に行います。結果は直後の命令から有効になります。データ・ポインタのモディファイのみはできません。

| 記 述 例       | オペレーション                                                                                       |
|-------------|-----------------------------------------------------------------------------------------------|
| DPn         | 何もしません (DPnの値を変化させません。)                                                                       |
| DPn + +     | $DPn \leftarrow DPn + 1$                                                                      |
| DPn - -     | $DPn \leftarrow DPn - 1$                                                                      |
| DPn # #     | $DPn \leftarrow DPn + DNn$<br>(DP0-DP7に対応するDN0-DN7の値を加算します。)<br>例: $DP0 \leftarrow DP0 + DN0$ |
| DPn % %     | (n = 0-3) $DPn = ( (DP_L + DNn) \bmod (DMX + 1) ) + DP_H$                                     |
|             | (n = 4-7) $DPn = ( (DP_L + DNn) \bmod (DMY + 1) ) + DP_H$                                     |
| !DPn # #    | DPnをビット・リバース後メモリ・アクセスする。<br>メモリ・アクセス後 $DPn \leftarrow DPn + DNn$                              |
| DPn # # imm | $DPn \leftarrow DPn + imm$                                                                    |

## (c) 同時記述できる命令

同時記述できる命令は○で表します。

## (d) オーバフロー・フラグ(OV)の状態

オーバフロー・フラグの状態を次の記号で表します。

- : 変化なし
- ↑ : オーバフローが起きたとき、1にセットされます。

**注意** 演算の結果オーバフローが起きないとき、オーバフロー・フラグはリセットされず、演算前の状態を保持します。

## インストラクション・セット

| 命令群              | 命令名称                          | 二モニク                                         | オペレーション                                                                    | 同時記述できる命令 |        |        |                            |        |        |        |             |        |    | フラグ |
|------------------|-------------------------------|----------------------------------------------|----------------------------------------------------------------------------|-----------|--------|--------|----------------------------|--------|--------|--------|-------------|--------|----|-----|
|                  |                               |                                              |                                                                            | 3<br>項    | 2<br>項 | 単<br>項 | ロ<br>ス<br>ト<br>ア<br>ド<br>/ | 転<br>送 | 即<br>値 | 分<br>岐 | ル<br>ー<br>プ | 制<br>御 | OV |     |
| 3<br>項<br>演<br>算 | マルチプライ・アド                     | $ro = ro + rh * rh'$                         | $ro \leftarrow ro + rh * rh'$                                              |           |        |        | ○                          |        |        |        |             |        |    | ↑   |
|                  | マルチプライ・サブ                     | $ro = ro - rh * rh'$                         | $ro \leftarrow ro - rh * rh'$                                              |           |        |        | ○                          |        |        |        |             |        |    | ↑   |
|                  | サイン・アンサイン・<br>マルチプライ・アド       | $ro = ro + rh * rl$<br>(rlは正の整数フォーマット)       | $ro \leftarrow ro + rh * rl$                                               |           |        |        | ○                          |        |        |        |             |        |    | ↑   |
|                  | アンサイン・アンサ<br>イン・マルチプライ・<br>アド | $ro = ro + rl * rl'$<br>(rl, rl'は正の整数フォーマット) | $ro \leftarrow ro + rl * rl'$                                              |           |        |        | ○                          |        |        |        |             |        |    | ↑   |
|                  | 1ビット・シフト・マ<br>ルチプライ・アド        | $ro = (ro \ll 1) + rh * rh'$                 | $ro \leftarrow \frac{ro}{2} + rh * rh'$                                    |           |        |        | ○                          |        |        |        |             |        |    | ↑   |
|                  | 16ビット・シフト・<br>マルチプライ・アド       | $ro = (ro \ll 16) + rh * rh'$                | $ro \leftarrow \frac{ro}{2^{16}} + rh * rh'$                               |           |        |        | ○                          |        |        |        |             |        |    | ●   |
| 2<br>項<br>演<br>算 | マルチプライ                        | $ro = rh * rh'$                              | $ro \leftarrow rh * rh'$                                                   |           |        |        | ○                          |        |        |        |             |        |    | ●   |
|                  | アド                            | $ro'' = ro + ro'$                            | $ro'' \leftarrow ro + ro'$                                                 |           |        |        | ○                          |        |        |        |             |        |    | ↑   |
|                  | イミディエト・アド                     | $ro \leftarrow ro + imm$                     | $ro' \leftarrow ro + imm$<br>(ただしimm ≠ 1)                                  |           |        |        |                            |        |        |        |             |        |    | ↑   |
|                  | サブ                            | $ro'' = ro - ro'$                            | $ro'' \leftarrow ro - ro'$                                                 |           |        |        | ○                          |        |        |        |             |        |    | ↑   |
|                  | イミディエト・サブ                     | $ro \leftarrow ro - imm$                     | $ro' \leftarrow ro - imm$<br>(ただしimm ≠ 1)                                  |           |        |        |                            |        |        |        |             |        |    | ↑   |
|                  | 算術右シフト                        | $ro \leftarrow ro \gg rll$                   | $ro' \leftarrow ro \gg rll$                                                |           |        |        | ○                          |        |        |        |             |        |    | ●   |
|                  | イミディエト<br>算術右シフト              | $ro \leftarrow ro \gg rll$                   | $ro' \leftarrow ro \gg imm$                                                |           |        |        |                            |        |        |        |             |        |    | ●   |
|                  | 論理右シフト                        | $ro \leftarrow ro \gg rll$                   | $ro' \leftarrow ro \gg rll$                                                |           |        |        | ○                          |        |        |        |             |        |    | ●   |
|                  | イミディエト<br>論理右シフト              | $ro \leftarrow ro \gg rll$                   | $ro' \leftarrow ro \gg imm$                                                |           |        |        |                            |        |        |        |             |        |    | ●   |
|                  | 論理左シフト                        | $ro \leftarrow ro \ll rll$                   | $ro' \leftarrow ro \ll rll$                                                |           |        |        | ○                          |        |        |        |             |        |    | ●   |
|                  | イミディエト<br>論理左シフト              | $ro \leftarrow ro \ll rll$                   | $ro' \leftarrow ro \ll imm$                                                |           |        |        |                            |        |        |        |             |        |    | ●   |
|                  | アンド                           | $ro'' = ro \& ro'$                           | $ro'' \leftarrow ro \& ro'$                                                |           |        |        | ○                          |        |        |        |             |        |    | ●   |
|                  | イミディエト・<br>アンド                | $ro \leftarrow ro \& imm$                    | $ro' \leftarrow ro \& imm$                                                 |           |        |        |                            |        |        |        |             |        |    | ●   |
|                  | オア                            | $ro'' = ro \mid ro'$                         | $ro'' \leftarrow ro \mid ro'$                                              |           |        |        | ○                          |        |        |        |             |        |    | ●   |
|                  | イミディエト・オア                     | $ro \leftarrow ro \mid imm$                  | $ro' \leftarrow ro \mid imm$                                               |           |        |        |                            |        |        |        |             |        |    | ●   |
|                  | イクスクルーシブ・<br>オア               | $ro'' = ro \wedge ro'$                       | $ro'' \leftarrow ro \wedge ro'$                                            |           |        |        | ○                          |        |        |        |             |        |    | ●   |
|                  | イミディエト・イク<br>スクルーシブ・オア        | $ro \leftarrow ro \wedge imm$                | $ro' \leftarrow ro \wedge imm$                                             |           |        |        |                            |        |        |        |             |        |    | ●   |
|                  | レスザン                          | $ro'' = LT(ro, ro')$                         | if(ro < ro')<br>{ ro'' ← 0x000000000001 }<br>else{ ro'' ← 0x000000000000 } |           |        |        | ○                          |        |        |        |             |        |    | ●   |

| 命令群              | 命令名称       | 二モニック                                                                                                                              | オペレーション                                                                                                                                                   | 同時記述できる命令 |        |        |                            |        |        |        |             | フラグ    |    |
|------------------|------------|------------------------------------------------------------------------------------------------------------------------------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------|-----------|--------|--------|----------------------------|--------|--------|--------|-------------|--------|----|
|                  |            |                                                                                                                                    |                                                                                                                                                           | 3<br>項    | 2<br>項 | 単<br>項 | ロ<br>ス<br>ト<br>ア<br>ド<br>ン | 転<br>送 | 即<br>値 | 分<br>岐 | ル<br>ー<br>プ | 制<br>御 | OV |
| 単<br>項<br>演<br>算 | クリア        | CLR(ro)                                                                                                                            | ro ← 0x0000000000                                                                                                                                         |           |        |        | ○                          |        |        |        |             | ○      | ●  |
|                  | インクリメント    | ro ≒ ro + 1                                                                                                                        | ro '← ro + 1                                                                                                                                              |           |        |        | ○                          |        |        |        |             | ○      | ↑  |
|                  | デクリメント     | ro ≒ ro - 1                                                                                                                        | ro '← ro - 1                                                                                                                                              |           |        |        | ○                          |        |        |        |             | ○      | ↑  |
|                  | 絶対値        | ro ≒ ABS(ro)                                                                                                                       | if(ro < 0)<br>{ ro '← - ro }<br>else { ro '← ro }                                                                                                         |           |        |        | ○                          |        |        |        |             | ○      | ↑  |
|                  | 1の補数       | ro ≒ ~ro                                                                                                                           | ro '← ~ro                                                                                                                                                 |           |        |        | ○                          |        |        |        |             | ○      | ●  |
|                  | 2の補数       | ro ≒ - ro                                                                                                                          | ro '← - ro                                                                                                                                                |           |        |        | ○                          |        |        |        |             | ○      | ↑  |
|                  | クリップ       | ro ≒ CLIP(ro)                                                                                                                      | if(ro > 0x007FFFFFFF)<br>{ ro '← 0x007FFFFFFF }<br>elseif(ro < 0xFF80000000)<br>{ ro '← 0xFF80000000 }<br>else { ro '← ro }                               |           |        |        | ○                          |        |        |        |             | ○      | ●  |
|                  | 丸め         | ro ≒ ROUND(ro)                                                                                                                     | if(ro > 0x007FFF0000)<br>{ ro '← 0x007FFF0000 }<br>elseif(ro < 0xFF80000000)<br>{ ro '← 0xFF80000000 }<br>else { ro '← (ro + 0x8000)<br>& 0xFFFFFFF0000 } |           |        |        | ○                          |        |        |        |             | ○      | ●  |
|                  | 指数         | ro ≒ EXP(ro)                                                                                                                       | ro '← log <sub>2</sub> ( $\frac{1}{ro}$ )                                                                                                                 |           |        |        | ○                          |        |        |        |             | ○      | ●  |
|                  | 代入         | ro ≒ ro                                                                                                                            | ro '← ro                                                                                                                                                  |           |        |        | ○                          |        |        |        |             | ○      | ●  |
|                  | 累加算        | ro '+ = ro                                                                                                                         | ro '← ro '+ ro                                                                                                                                            |           |        |        | ○                          |        |        |        |             | ○      | ↑  |
| 累減算              | ro '- = ro | ro '← ro '- ro                                                                                                                     |                                                                                                                                                           |           |        | ○      |                            |        |        |        | ○           | ↑      |    |
| 除算               | ro '/ = ro | if(sign(ro ') = sign(ro))<br>{ ro '← (ro ' - ro) 1 }<br>else<br>{ ro '← (ro ' + ro) 1 }<br>if(sign(ro ') = 0)<br>{ ro '← ro '+ 1 } |                                                                                                                                                           |           |        | ○      |                            |        |        |        | ○           | ↑      |    |

| 命令群         | 命令名称                                       | 二モニツク                                | オペレーション                       | 同時記述できる命令 |        |        |             |        |        |        |             |        |    | フラグ |
|-------------|--------------------------------------------|--------------------------------------|-------------------------------|-----------|--------|--------|-------------|--------|--------|--------|-------------|--------|----|-----|
|             |                                            |                                      |                               | 3<br>項    | 2<br>項 | 単<br>項 | ロード/<br>ストア | 転<br>送 | 即<br>値 | 分<br>岐 | ル<br>ー<br>プ | 制<br>御 | OV |     |
| ロード/<br>ストア | 並列<br>ロード/ストア <sup>注1, 注2</sup>            | ro = *dpx_mod ro ← *dpy_mod          | ro ← *dpx, ro' ← *dpy         | ○         | ○      | ○      |             |        |        |        |             |        |    | ●   |
|             |                                            | ro = *dpx_mod *dpy_mod = rh          | ro ← *dpx, *dpy ← rh          |           |        |        |             |        |        |        |             |        |    |     |
|             |                                            | *dpx_mod = rh ro = *dpy_mod          | *dpx ← rh, ro ← *dpy          |           |        |        |             |        |        |        |             |        |    |     |
|             |                                            | *dpx_mod = rh *dpy_mod = rh'         | *dpx ← rh, *dpy ← rh'         |           |        |        |             |        |        |        |             |        |    |     |
|             | 部分<br>ロード/<br>ストア <sup>注1, 注2, 注3</sup>    | dest = *dpx_mod                      | dest ← *dpx,                  |           |        |        |             |        |        |        |             |        |    | ●   |
|             |                                            | dest ← *dpy_mod                      | dest' ← *dpy                  |           |        |        |             |        |        |        |             |        |    |     |
|             |                                            | dest = *dpx_mod<br>*dpy_mod = source | dest ← *dpx,<br>*dpy ← source |           |        |        |             |        |        |        |             |        |    |     |
|             |                                            | *dpx_mod = source<br>dest = *dpy_mod | *dpx ← source,<br>dest ← *dpy |           |        |        |             |        |        |        |             |        |    |     |
|             | ダイレクト・アドレ<br>シング・ロード/ス<br>トア <sup>注4</sup> | dest = *addr                         | dest ← *addr                  |           |        |        |             |        |        |        |             |        |    | ●   |
|             |                                            | *addr = source                       | *addr ← source                |           |        |        |             |        |        |        |             |        |    |     |
|             | 即値インデクス・ロ<br>ード/ストア <sup>注5</sup>          | dest = *dp_imm                       | dest ← *dp                    |           |        |        |             |        |        |        |             |        |    | ●   |
|             |                                            | *dp_imm = source                     | *dp ← source                  |           |        |        |             |        |        |        |             |        |    |     |
| レジスタ間       | レジスタ間転送 <sup>注6</sup>                      | dest = rl                            | dest ← rl                     |           |        |        |             |        |        |        |             | ○      |    | ●   |
|             |                                            | rl = source                          | rl ← source                   |           |        |        |             |        |        |        |             |        |    |     |
| 即値設定        | 即値設定                                       | rl = imm<br>(ただし, imm = 0-0xFFFF)    | rl ← imm                      |           |        |        |             |        |        |        |             |        |    | ●   |
|             |                                            | dp = imm<br>(ただし, imm = 0-0xFFFF)    | dp ← imm                      |           |        |        |             |        |        |        |             |        |    |     |
|             |                                            | dn = imm<br>(ただし, imm = 0-0xFFFF)    | dn ← imm                      |           |        |        |             |        |        |        |             |        |    |     |
|             |                                            | dm = imm<br>(ただし, imm = 1-0xFFFF)    | dm ← imm                      |           |        |        |             |        |        |        |             |        |    |     |

注1. 2つの二モニツクのうち、いずれか1つを記述することも、両方とも記述することも可能です。

2. 転送後、modで指定されたモディファイを行います。

3. dest, dest' = { ro, reh, re, rh, rl }, source, source' = { re, rh, rl } のいずれかを選択してください。

4. dest = { ro, reh, re, rh, rl }, source = { re, rh, rl }, addr =  $\begin{cases} 0 : X-0xFFFF : X (Xメモリ) \\ 0 : Y-0xFFFF : Y (Yメモリ) \end{cases}$  のいずれかを選択してください。

5. dest = { ro, reh, re, rh, rl }, source = { re, rh, rl } のいずれかを選択してください。

6. dest, sourceは汎用レジスタ以外の全レジスタのいずれかを選択してください。

| 命令群        | 命令名称             | 二モニック                     | オペレーション                                                                       | 同時記述できる命令 |        |        |             |        |        |        |             |        |    | フラグ |
|------------|------------------|---------------------------|-------------------------------------------------------------------------------|-----------|--------|--------|-------------|--------|--------|--------|-------------|--------|----|-----|
|            |                  |                           |                                                                               | 3<br>項    | 2<br>項 | 単<br>項 | ロード/<br>ストア | 転<br>送 | 即<br>値 | 分<br>岐 | ル<br>ー<br>プ | 制<br>御 | OV |     |
| 分岐         | ジャンプ             | JMP imm                   | PC← imm                                                                       |           |        |        |             |        |        |        |             |        | ○  | ●   |
|            | レジスタ間接ジャンプ       | JMP dp                    | PC← dp                                                                        |           |        |        |             |        |        |        |             |        | ○  | ●   |
|            | サブルーチン・コール       | CALL imm                  | SP← SP + 1<br>STK← PC + 1<br>PC← imm                                          |           |        |        |             |        |        |        |             |        | ○  | ●   |
|            | レジスタ間接サブルーチン・コール | CALL dp                   | SP← SP + 1<br>STK← PC + 1<br>PC← dp                                           |           |        |        |             |        |        |        |             |        | ○  | ●   |
|            | リターン             | RET                       | PC← STK<br>SP← SP - 1                                                         |           |        |        |             |        |        |        |             |        | ○  | ●   |
|            | 割り込みリターン         | RETI                      | PC← STK<br>STK← SP - 1<br>割り込み許可フラグの復帰                                        |           |        |        |             |        |        |        |             |        | ○  | ●   |
| ハードウェア・ループ | リピート             | REP count                 | 開始 RC← count<br>RF← 0<br>リピート中 PC← PC<br>RC← RC - 1<br>終了 PC← PC + 1<br>RF← 1 |           |        |        |             |        |        |        |             |        |    | ●   |
|            | ループ              | LOOP count<br>( 2行以上の命令 ) | 開始 RC← count<br>RF← 0<br>リピート中 PC← PC<br>RC← RC - 1<br>終了 PC← PC + 1<br>RF← 1 |           |        |        |             |        |        |        |             |        |    | ●   |
|            | ループ・ホップ          | LPOP                      | LC← LSR3<br>LE← LSR2<br>LS← LSR1<br>LSP← LSP - 1                              |           |        |        |             |        |        |        |             |        |    | ●   |
| 制御         | ノー・オペレーション       | NOP                       | PC← PC + 1                                                                    |           |        |        |             |        |        |        |             |        |    | ●   |
|            | ホールド             | HALT                      | CPU停止                                                                         |           |        |        |             |        |        |        |             |        |    | ●   |
|            | ストップ             | STOP                      | CPU, PLL, OSC停止                                                               |           |        |        |             |        |        |        |             |        |    | ●   |
|            | 条件               | IF(ro cond)               | 条件判定                                                                          |           |        | ○      |             | ○      |        | ○      |             |        |    | ●   |
|            | フォゲット・インタラプト     | FINT                      | 割り込み要求を破棄                                                                     |           |        |        |             |        |        |        |             |        |    | ●   |

## 10. 電気的特性

絶対最大定格 (T<sub>A</sub> = +25 )

| 項 目    | 略 号              | 条 件                                       | 定 格          | 単 位 |
|--------|------------------|-------------------------------------------|--------------|-----|
| 電源電圧   | IV <sub>DD</sub> | DSPコア用                                    | - 0.5 ~ +3.6 | V   |
|        | EV <sub>DD</sub> | I/O端子用                                    | - 0.5 ~ +4.6 | V   |
| 入力電圧   | V <sub>I</sub>   | V <sub>I</sub> < EV <sub>DD</sub> + 0.5 V | - 0.5 ~ +4.1 | V   |
| 出力電圧   | V <sub>O</sub>   |                                           | - 0.5 ~ +4.1 | V   |
| 保存温度   | T <sub>stg</sub> |                                           | - 65 ~ +150  |     |
| 動作周囲温度 | T <sub>A</sub>   |                                           | - 40 ~ +85   |     |

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

## 推奨動作条件

## μ PD77110

| 項 目  | 略 号              | 条 件    | MIN. | TYP. | MAX.             | 単 位 |
|------|------------------|--------|------|------|------------------|-----|
| 動作電圧 | IV <sub>DD</sub> | DSPコア用 | 2.3  |      | 2.7              | V   |
|      | EV <sub>DD</sub> | I/O端子用 | 2.7  |      | 3.6              | V   |
| 入力電圧 | V <sub>I</sub>   |        | 0    |      | EV <sub>DD</sub> | V   |

## μ PD77111, 77112

| 項 目  | 略 号              | 条 件    | MIN. | TYP. | MAX.             | 単 位 |
|------|------------------|--------|------|------|------------------|-----|
| 動作電圧 | IV <sub>DD</sub> | DSPコア用 | 1.8  |      | 2.7              | V   |
|      | EV <sub>DD</sub> | I/O端子用 | 2.7  |      | 3.3              | V   |
|      |                  |        |      |      | 3.6              |     |
| 入力電圧 | V <sub>I</sub>   |        | 0    |      | EV <sub>DD</sub> | V   |

容量 (T<sub>A</sub> = +25 , IV<sub>DD</sub> = 0 V, EV<sub>DD</sub> = 0 V)

| 項 目   | 略 号             | 条 件                      | MIN. | TYP. | MAX. | 単 位 |
|-------|-----------------|--------------------------|------|------|------|-----|
| 入力容量  | C <sub>i</sub>  | f = 1 MHz,<br>測定端子以外は0 V |      | 10   |      | pF  |
| 出力容量  | C <sub>o</sub>  |                          |      | 10   |      | pF  |
| 入出力容量 | C <sub>io</sub> |                          |      | 10   |      | pF  |

DC特性 (TA = -40 ~ +85 , IVDD, EVDDの範囲は推奨動作条件による)

| 項 目                                                       | 略 号               | 条 件                                                                  | MIN.     | TYP. | MAX.              | 単 位 |
|-----------------------------------------------------------|-------------------|----------------------------------------------------------------------|----------|------|-------------------|-----|
| ★ ハイ・レベル入力電圧                                              | VIHN              | 下記の端子以外                                                              | 0.7 EVDD |      | EVDD              | V   |
|                                                           | VIHS              | CLKIN, RESET, INT1-INT4,<br>SCK1, SIEN1 SOEN1,<br>SCK2, SIEN2, SOEN2 | 0.8 EVDD |      | EVDD              | V   |
| ロウ・レベル入力電圧                                                | VIL               |                                                                      | 0        |      | 0.2 EVDD          | V   |
| ★ ハイ・レベル出力電圧                                              | VOH               | IOH = - 2.0 mA                                                       | 0.7 EVDD |      |                   | V   |
|                                                           |                   | IOH = - 100 μA                                                       | 0.8 EVDD |      |                   | V   |
| ロウ・レベル出力電圧                                                | VOL               | IOL = 2.0 mA                                                         |          |      | 0.2 EVDD          | V   |
| ハイ・レベル入力リーク電流                                             | ILH               | TDI, TMS, TRST以外 ,<br>VI = EVDD                                      | 0        |      | 10                | μA  |
| ロウ・レベル入力リーク電流                                             | ILL               | TDI, TMS, TRST以外 ,<br>VI = 0 V                                       | - 10     |      | 0                 | μA  |
| プルアップ端子電流                                                 | IPIU              | TDI, TMS, 0 V VI EVDD                                                | - 250    |      | 0                 | μA  |
| プルダウン端子電流                                                 | IPDI              | TRST, 0 V VI EVDD                                                    | 0        |      | 250               | μA  |
| 内部電源電流<br>(<br>VIHN = VIHS = EVDD,<br>VIL = 0 V, 無負荷<br>) | IDD <sup>注1</sup> | 動作時tcc = 30 ns, IVDD = 2.7 V                                         |          | TBD  | 75                | mA  |
|                                                           | IDDH              | ホールド時tcc = 30 ns,<br>8分周, IVDD = 2.7 V                               |          | TBD  | 10                | mA  |
|                                                           | IDDS              | ストップ時0 < TA < 60                                                     |          |      | 100 <sup>注2</sup> | μA  |

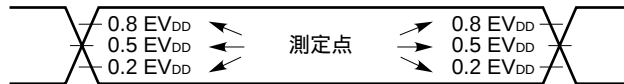
注1. TYP.値は, 一般的なプログラムを実行したときの値です。

MAX.値は, デバイス内部のスイッチングが極めて多いような特殊なプログラムを実行したときの値です。

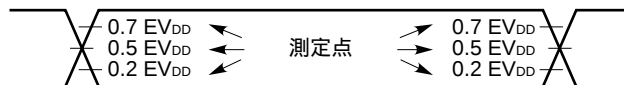
2. μ PD77111, 77112の値です。μ PD77110については評価中です。

### スイッチング特性の共通測定基準

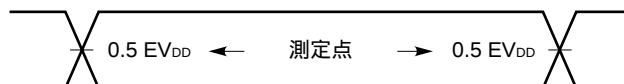
CLKIN, RESET, INT1-INT4,  
SCK1, SIEN1, SOEN1, SCK2,  
SIEN2, SOEN2



入力  
(上記以外)



出力



## μ PD77110

(1) μ PD77110 AC特性 (特に指定のないかぎり,  $T_A = -40 \sim +85$ ,  $IV_{DD}$ ,  $EV_{DD}$ の範囲は推奨動作条件による)

## クロック

## タイミング必要条件

| 項 目                               | 略 号         | 条 件                    | MIN.          | TYP. | MAX.          | 単 位 |
|-----------------------------------|-------------|------------------------|---------------|------|---------------|-----|
| CLKINサイクル・タイム <sup>注1</sup>       | $t_{cCX}$   |                        | 25            |      |               | ns  |
|                                   |             | PLLロック範囲 <sup>注2</sup> | $10 \times m$ |      | $50 \times m$ | ns  |
| CLKINハイ・レベル幅                      | $t_{wCXH}$  |                        | 12.5          |      |               | ns  |
| CLKINロウ・レベル幅                      | $t_{wCXL}$  |                        | 12.5          |      |               | ns  |
| CLKIN立ち上がり / 立ち下がり時間              | $t_{rCX}$   |                        |               |      | 5             | ns  |
| 内部クロック・サイクル・タイム必要条件 <sup>注3</sup> | $t_{cC(R)}$ |                        | 15.3          |      |               | ns  |

注1. m : 逓倍率

- PLLがロックする (安定して発振する) 範囲です。この範囲に収まるように $t_{cCX}$ を入力してください。
- ( $t_{cCX} \div m$ ) の値がこの条件を満たすように $t_{cCX}$ を入力してください。

タイミング必要条件 ( $T_A = -40 \sim +60$ ,  $IV_{DD} = 2.5 \sim 2.7$  V,  $EV_{DD} = 2.7 \sim 3.6$  V)

| 項 目                               | 略 号         | 条 件                    | MIN.          | TYP. | MAX.          | 単 位 |
|-----------------------------------|-------------|------------------------|---------------|------|---------------|-----|
| CLKINサイクル・タイム <sup>注1</sup>       | $t_{cCX}$   |                        | 25            |      |               | ns  |
|                                   |             | PLLロック範囲 <sup>注2</sup> | $10 \times m$ |      | $50 \times m$ | ns  |
| CLKINハイ・レベル幅                      | $t_{wCXH}$  |                        | 12.5          |      |               | ns  |
| CLKINロウ・レベル幅                      | $t_{wCXL}$  |                        | 12.5          |      |               | ns  |
| CLKIN立ち上がり / 立ち下がり時間              | $t_{rCX}$   |                        |               |      | 5             | ns  |
| 内部クロック・サイクル・タイム必要条件 <sup>注3</sup> | $t_{cC(R)}$ |                        | 13.3          |      |               | ns  |

注1. m : 逓倍率

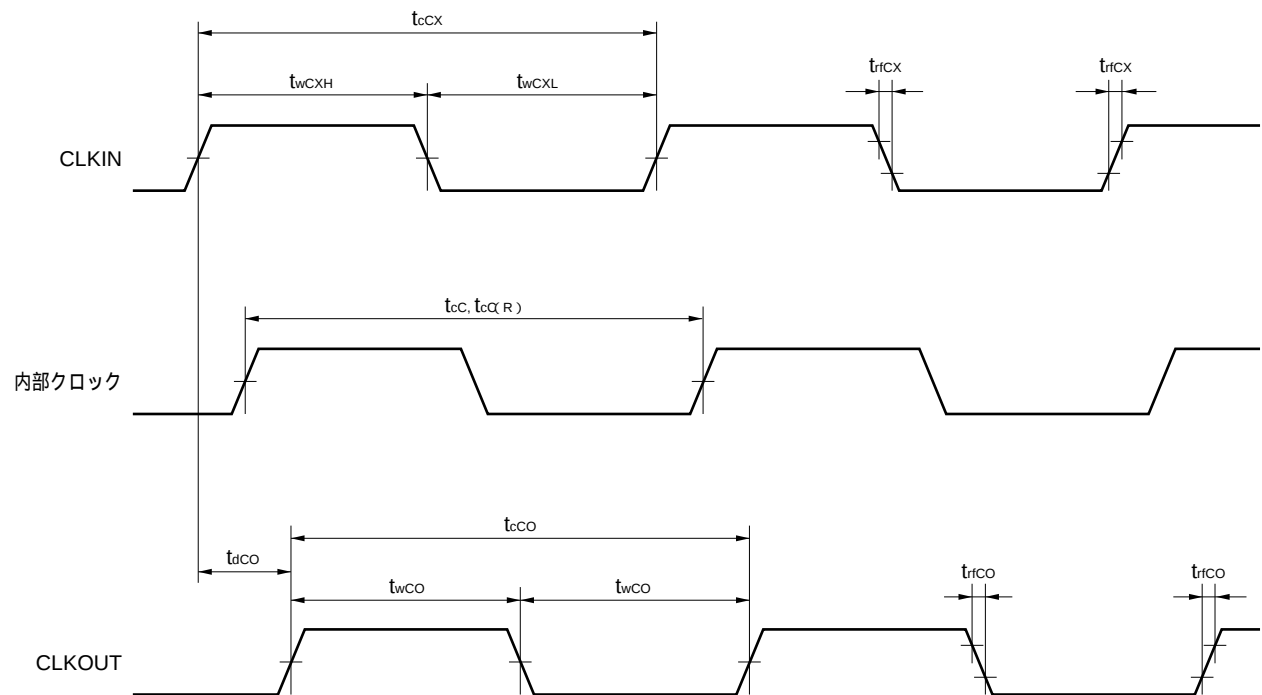
- PLLがロックする (安定して発振する) 範囲です。この範囲に収まるように $t_{cCX}$ を入力してください。
- ( $t_{cCX} \div m$ ) の値がこの条件を満たすように $t_{cCX}$ を入力してください。

## スイッチング特性

| 項 目                   | 略 号       | 条 件   | MIN.                 | TYP.                      | MAX. | 単 位 |
|-----------------------|-----------|-------|----------------------|---------------------------|------|-----|
| 内部クロック周期 <sup>注</sup> | $t_{cC}$  | 通常動作時 |                      | $t_{cCX} \div m$          |      | ns  |
|                       |           | HALT時 |                      | $t_{cCX} \div m \times I$ |      | ns  |
| CLKOUTサイクル・タイム        | $t_{cCO}$ |       |                      | $t_{cC}$                  |      | ns  |
| CLKOUT幅               | $t_{wCO}$ | 通常動作時 | $t_{cCX} \div 2 - 3$ |                           |      | ns  |
|                       |           | HALT時 | $t_{cCX} \div m - 3$ |                           |      | ns  |
| CLKOUT立ち上がり / 立ち下がり時間 | $t_{rCO}$ |       |                      |                           | 5    | ns  |
| CLKOUT遅延時間            | $t_{dCO}$ |       |                      |                           | 15   | ns  |

注 m : 逓倍率, I : HALT分周率

クロック入出力タイミング



## μ PD77110

## リセット、割り込み

## タイミング必要条件

| 項 目              | 略 号              | 条 件                        | MIN.                     | TYP. | MAX. | 単 位 |
|------------------|------------------|----------------------------|--------------------------|------|------|-----|
| RESETロウ・レベル幅     | $t_{w(RL)}$      | 電源投入時 <sup>注1</sup> ，STOP時 | 100 +<br>2048 $t_{cCX}$  |      |      | μ s |
|                  |                  | 通常動作時，HALT時                | 4 $t_{cC}$ <sup>注2</sup> |      | 注3   | ns  |
| RESETリカバリ時間      | $t_{rec(R)}$     | 電源投入時 <sup>注4</sup>        | 4 $t_{cCX}$              |      |      | ns  |
|                  |                  |                            | 4 $t_{cC}$ <sup>注2</sup> |      |      | ns  |
| WAKEUPロウ・レベル幅    | $t_{w(WAKEUPL)}$ |                            | 100                      |      |      | μ s |
| INT1-INT4ロウ・レベル幅 | $t_{w(INTL)}$    |                            | 3 $t_{cC}$ <sup>注2</sup> |      |      | ns  |
| INT1-INT4リカバリ時間  | $t_{rec(INT)}$   |                            | 3 $t_{cC}$               |      |      | ns  |

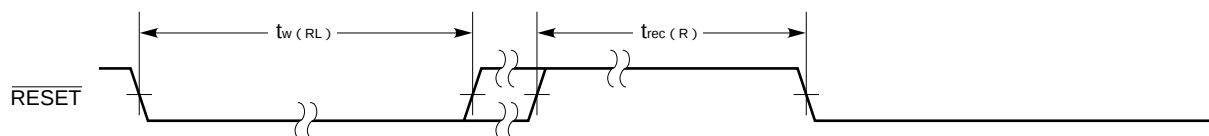
注1. 電源投入時の値は電源電圧が $IV_{DD} = 1.8$  Vおよび $EV_{DD} = 2.7$  Vに達した時点からの時間です。また，安定したクロックが入力されている必要があります。

2. HALT時は $t_{cC}$ が通常動作時の8倍になっていることに注意してください。

3. RESETロウ・レベル幅が1024 $t_{cC}$ を越えるとPLL初期化モードになります。PLL初期化モードにする必要がない場合は1024 $t_{cC}$ よりも短い時間に設定してください。

4. 電源投入時は，リセット入力前に4 $t_{cCX}$ のリカバリ期間が必要です。

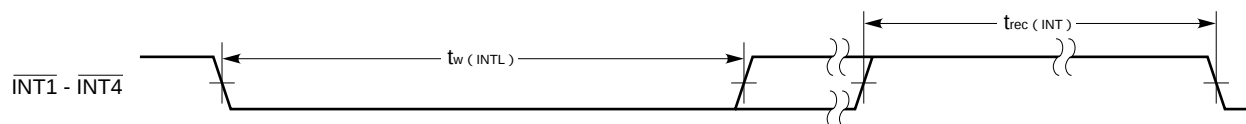
## リセット・タイミング



## WAKEUPタイミング



## 割り込みタイミング



## 外部データ・メモリ・アクセス

## タイミング必要条件

| 項 目              | 略 号         | 条 件 | MIN. | TYP. | MAX. | 単 位 |
|------------------|-------------|-----|------|------|------|-----|
| リード・データ・セットアップ時間 | $t_{sDDRd}$ |     | 18   |      |      | ns  |
| リード・データ・ホールド時間   | $t_{hDDRd}$ |     | 0    |      |      | ns  |

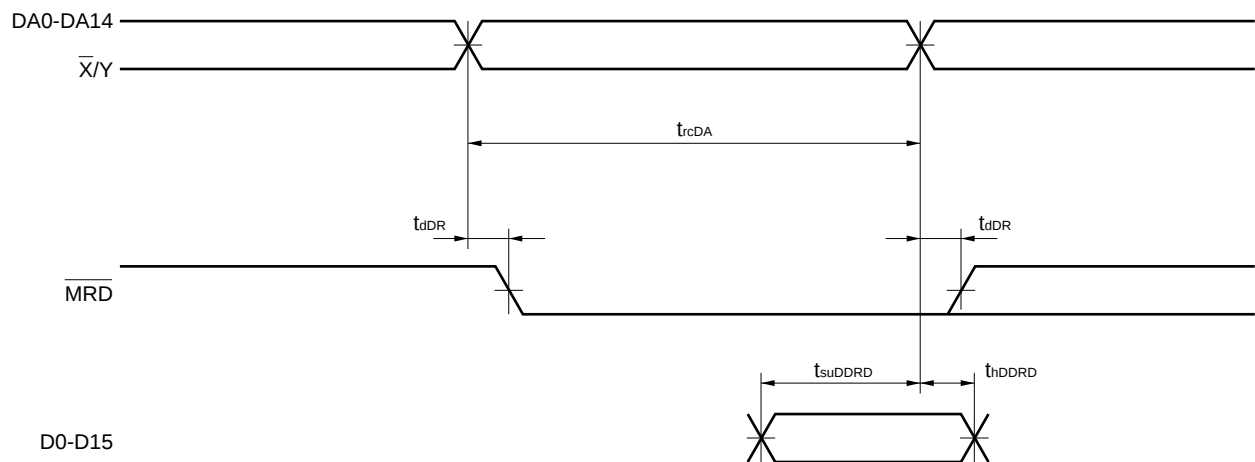
## スイッチング特性

| 項 目             | 略 号         | 条 件 | MIN.                        | TYP.                                 | MAX.        | 単 位 |
|-----------------|-------------|-----|-----------------------------|--------------------------------------|-------------|-----|
| アドレス・サイクル時間     | $t_{rcDA}$  |     |                             | $t_{cc} + (t_{cc} \times t_{cDW})$ 注 |             | ns  |
| アドレス出力ホールド時間    | $t_{hDA}$   |     | 0                           |                                      |             | ns  |
| MRD出力遅延時間       | $t_{dDR}$   |     |                             |                                      | 5           | ns  |
| ライト・データ出力有効時間   | $t_{vDDWD}$ |     |                             |                                      | 5           | ns  |
| ライト・データ出力ホールド時間 | $t_{hDDWD}$ |     | 0                           |                                      |             | ns  |
| MWR出力遅延時間       | $t_{dDW}$   |     | 0                           |                                      | $0.5t_{cc}$ | ns  |
| MWR出力ホールド時間     | $t_{hDA}$   |     | 0                           |                                      |             | ns  |
| MWRロウ・レベル幅      | $t_{wDWL}$  |     | $t_{cc} \times t_{cDW} - 3$ |                                      |             | ns  |
| MWRハイ・レベル幅      | $t_{wDWH}$  |     | $0.5t_{cc} - 3$             |                                      |             | ns  |

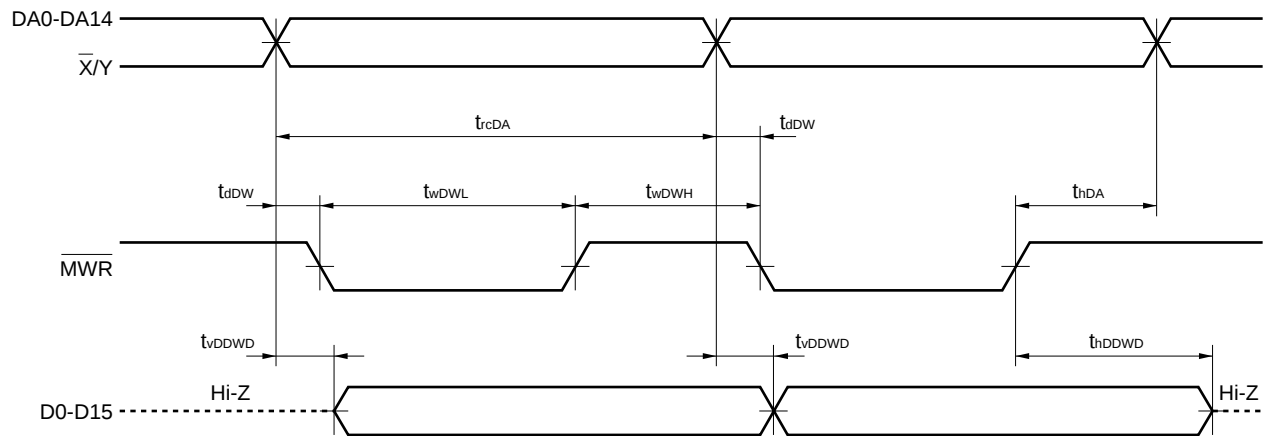
注  $t_{cDW}$  : データ・ウェイト・サイクル数。

μ PD77110

外部データ・メモリ・アクセス・タイミング（リード）



外部データ・メモリ・アクセス・タイミング（ライト）



## バス・アービトレーション

### タイミング必要条件

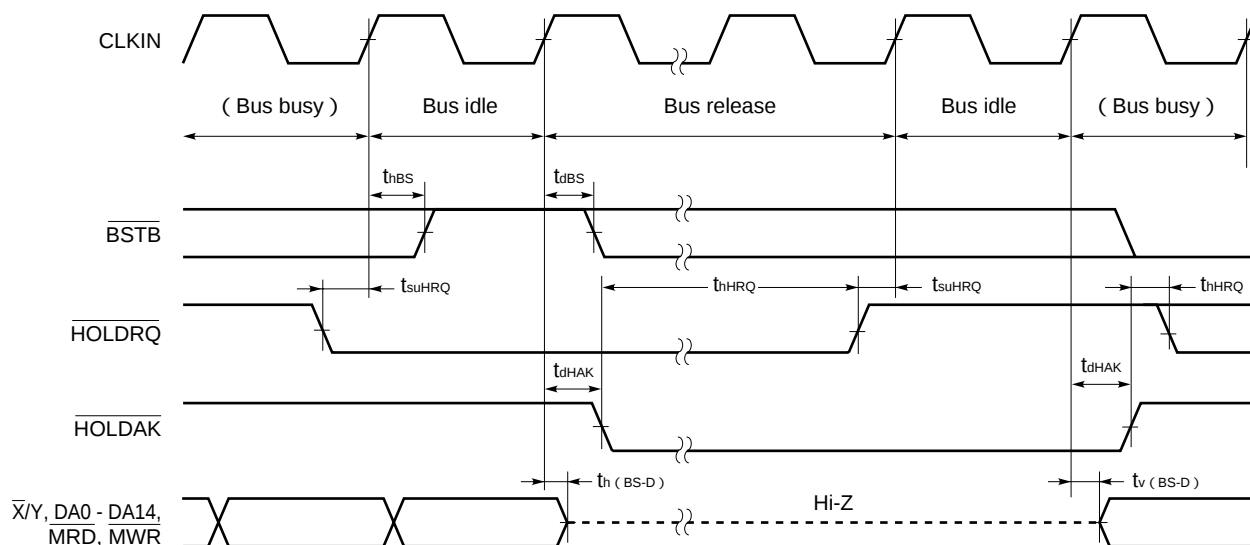
| 項 目            | 略 号                | 条 件 | MIN. | TYP. | MAX. | 単 位 |
|----------------|--------------------|-----|------|------|------|-----|
| HOLDRQセットアップ時間 | t <sub>suHRQ</sub> |     | 0    |      |      | ns  |
| HOLDRQホールド時間   | t <sub>hHRQ</sub>  |     | 0    |      |      | ns  |

### スイッチング特性

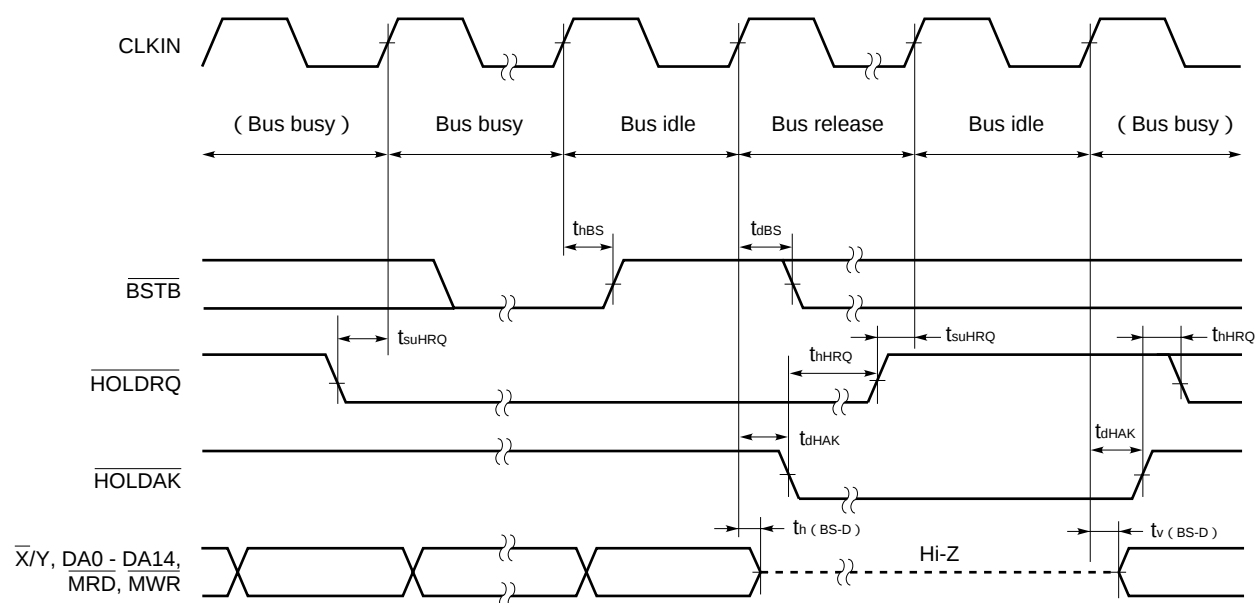
| 項 目                          | 略 号                  | 条 件 | MIN. | TYP. | MAX. | 単 位 |
|------------------------------|----------------------|-----|------|------|------|-----|
| BSTBホールド時間                   | t <sub>hBS</sub>     |     | 0    |      |      | ns  |
| BSTB出力遅延時間                   | t <sub>dBS</sub>     |     |      |      | 20   | ns  |
| HOLDAK出力遅延時間                 | t <sub>dHAK</sub>    |     |      |      | 18   | ns  |
| バス・アービトレーション時の<br>データ・ホールド時間 | t <sub>h(BS-D)</sub> |     |      |      | 25   | ns  |
| バス・アービトレーション後の<br>データ有効時間    | t <sub>v(BS-D)</sub> |     |      |      | 25   | ns  |

μ PD77110

バス・アービトレーション・タイミング (バス・アイドル時)



バス・アービトレーション・タイミング (バス・ビジー時)



## シリアル・インタフェース

## タイミング必要条件

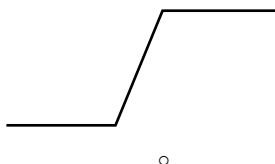
| 項 目                | 略 号         | 条 件 | MIN. | TYP. | MAX. | 単 位 |
|--------------------|-------------|-----|------|------|------|-----|
| SCKサイクル・タイム        | $t_{cSC}$   |     | 60   |      |      | ns  |
| SCKハイ / ロウ・レベル幅    | $t_{wSC}$   |     | 25   |      |      | ns  |
| SCK立ち上がり / 立ち下がり時間 | $t_{rSC}$   |     |      |      | 20   | ns  |
| SOENセットアップ時間       | $t_{suSOE}$ |     | 5    |      |      | ns  |
| SOENホールド時間         | $t_{hSOE}$  |     | 10   |      |      | ns  |
| SIENセットアップ時間       | $t_{suSIE}$ |     | 5    |      |      | ns  |
| SIENホールド時間         | $t_{hSIE}$  |     | 10   |      |      | ns  |
| SIセットアップ時間         | $t_{suSI}$  |     | 5    |      |      | ns  |
| SIホールド時間           | $t_{hSI}$   |     | 10   |      |      | ns  |

## スイッチング特性

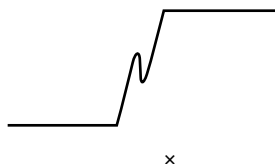
| 項 目        | 略 号        | 条 件 | MIN. | TYP. | MAX. | 単 位 |
|------------|------------|-----|------|------|------|-----|
| SORQ出力遅延時間 | $t_{dSOR}$ |     |      |      | 25   | ns  |
| SORQホールド時間 | $t_{hSOR}$ |     | 0    |      |      | ns  |
| SO出力遅延時間   | $t_{dSO}$  |     |      |      | 25   | ns  |
| SOホールド時間   | $t_{hSO}$  |     | 0    |      |      | ns  |
| SIQA出力遅延時間 | $t_{dSIA}$ |     |      |      | 25   | ns  |
| SIQAホールド時間 | $t_{hSIA}$ |     | 0    |      |      | ns  |

**注意** シリアル・クロックにノイズが重畳すると、シリアル・インタフェースがデッドロックする可能性があります。設計の際には、次の点に注意してください。

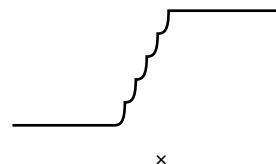
- 電源、グラウンドの配線を強化する（電源およびグラウンドにノイズが重畳すると、相対的にシリアル・クロックにノイズが重畳したように見えることがあります）。
- デバイスのSCK1, SCK2端子とクロック供給源との間の配線を極力短くする。
- シリアル・クロックの信号線と、ほかの信号線を交差させない。また、変化する大電流が流れる線と接近させない。
- デバイスのSCK1, SCK2端子とクロックの供給源が1対1になるようにし、1つのクロック供給源から複数のデバイスへクロックを供給しないようにする。
- シリアル・クロックは、オーバシュートおよびアンダシュートしないように注意する。特に、立ち上がり / 立ち下がり時の波形がきれいになるように配慮する。



直線的な立ち上がり / 立ち下がりにする。



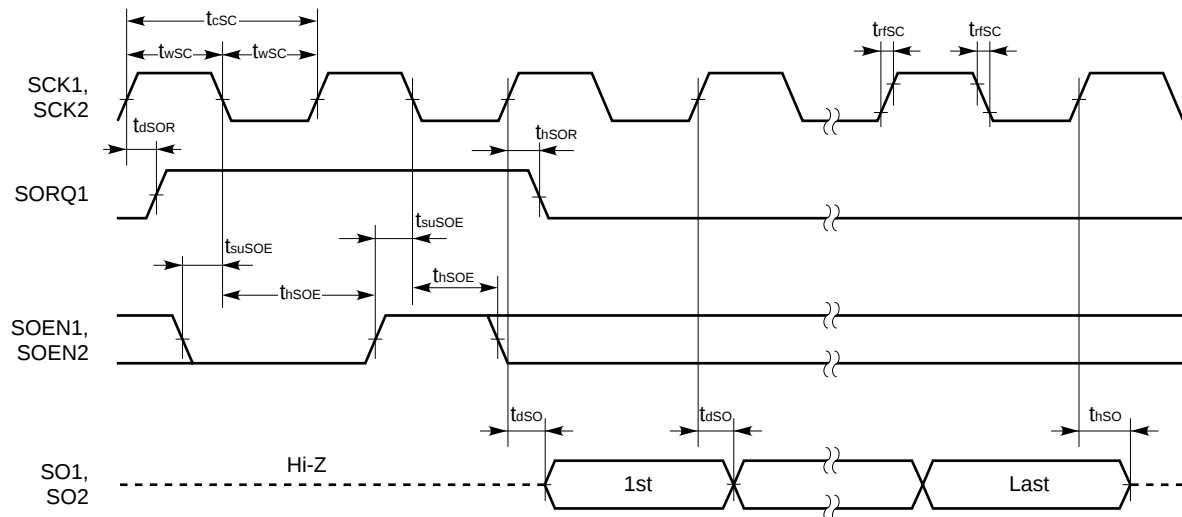
バウンドさせない。ノイズを重畳させない。



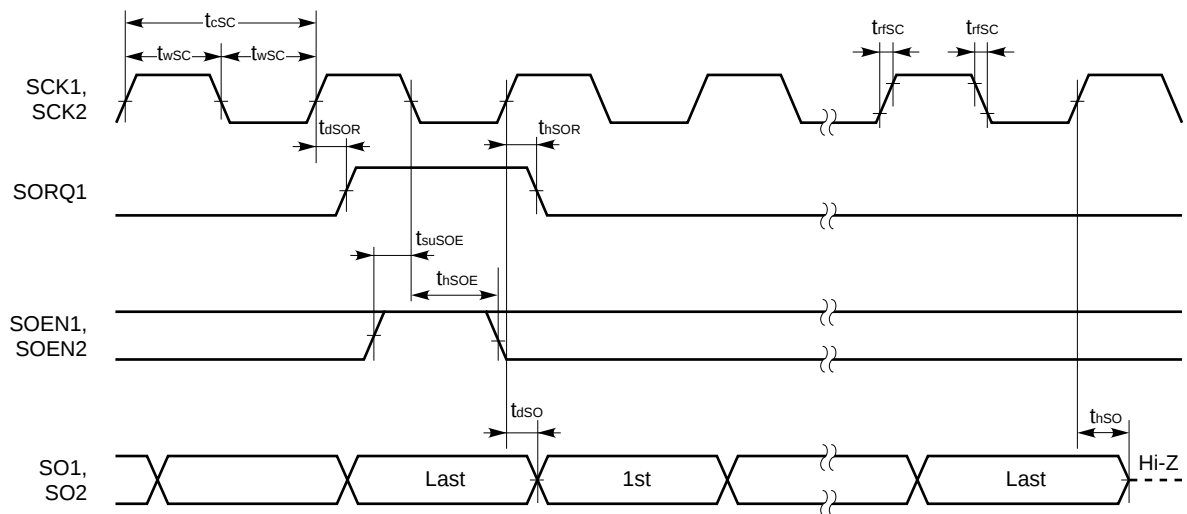
階段状にさせない。

μ PD77110

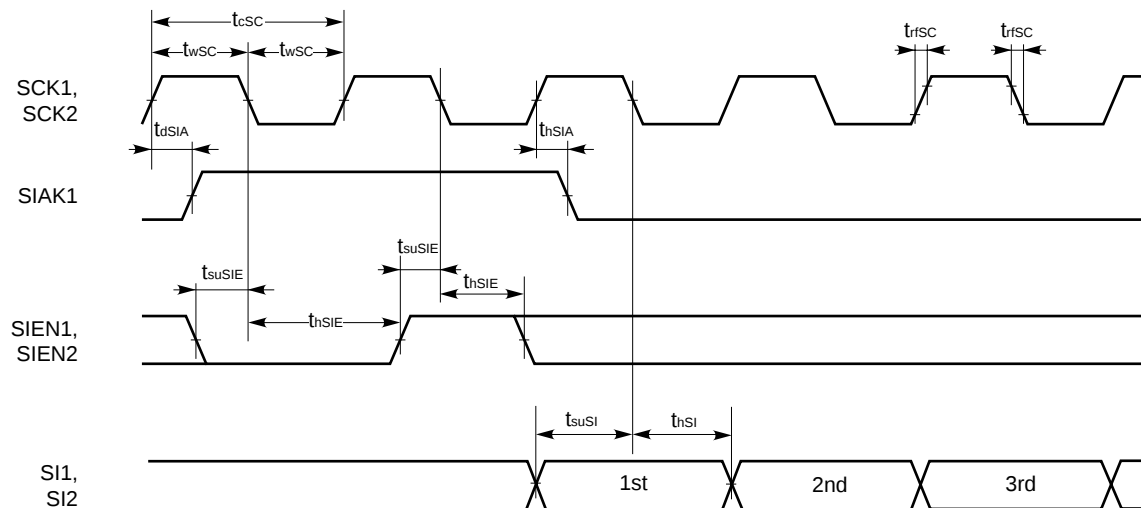
シリアル出力タイミング1



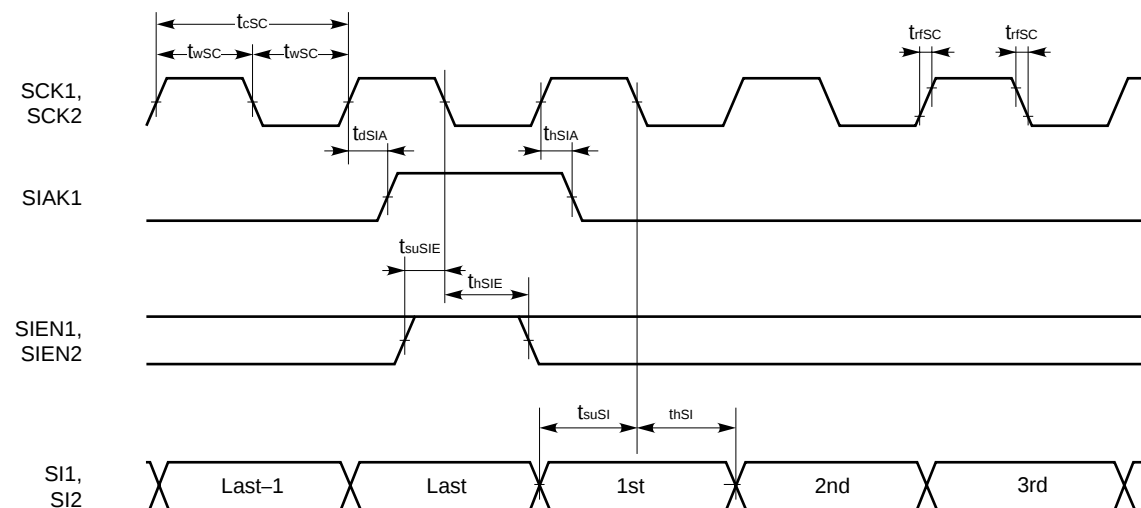
シリアル出力タイミング2 (連続出力時)



シリアル入力タイミング1



シリアル入力タイミング2 (連続入力時)



μ PD77110

ホスト・インタフェース

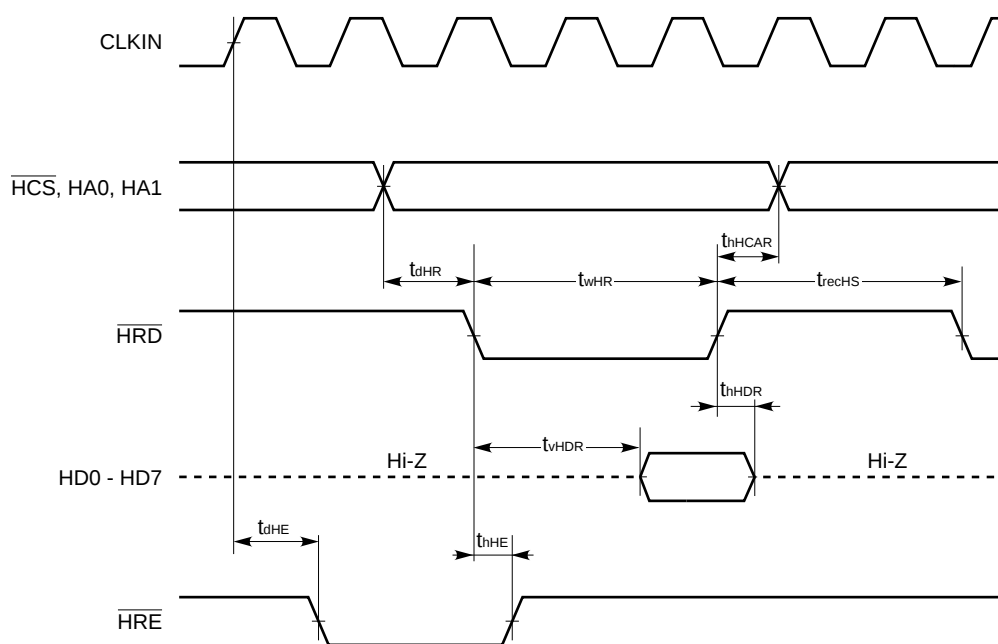
タイミング必要条件

| 項 目                     | 略 号                | 条 件 | MIN. | TYP. | MAX. | 単 位 |
|-------------------------|--------------------|-----|------|------|------|-----|
| HRD遅延時間                 | t <sub>dHR</sub>   |     | 10   |      |      | ns  |
| HRD幅                    | t <sub>wHR</sub>   |     | 60   |      |      | ns  |
| HCS, HA0, HA1リード・ホールド時間 | t <sub>hCAR</sub>  |     | 0    |      |      | ns  |
| HCS, HA0, HA1ライト・ホールド時間 | t <sub>hCAW</sub>  |     | 0    |      |      | ns  |
| HRD, HWRリカバリ時間          | t <sub>recHS</sub> |     | 60   |      |      | ns  |
| HWR遅延時間                 | t <sub>dHW</sub>   |     | 10   |      |      | ns  |
| HWR幅                    | t <sub>wHW</sub>   |     | 60   |      |      | ns  |
| HWRホールド時間               | t <sub>hHDW</sub>  |     | 0    |      |      | ns  |
| HWRセットアップ時間             | t <sub>suHDW</sub> |     | 10   |      |      | ns  |

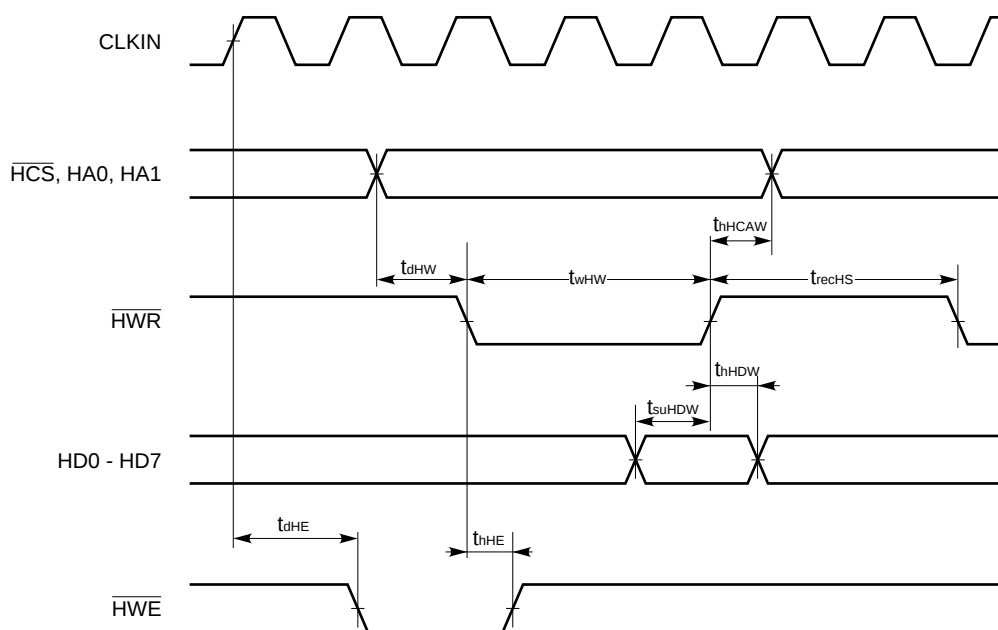
スイッチング特性

| 項 目            | 略 号               | 条 件 | MIN. | TYP. | MAX. | 単 位 |
|----------------|-------------------|-----|------|------|------|-----|
| HRE, HWE出力遅延時間 | t <sub>dHE</sub>  |     |      |      | 25   | ns  |
| HRE, HWEホールド時間 | t <sub>hHE</sub>  |     |      |      | 25   | ns  |
| HRD有効時間        | t <sub>vHDR</sub> |     |      |      | 25   | ns  |
| HRDホールド時間      | t <sub>hHDR</sub> |     | 0    |      |      | ns  |

ホスト・リード・インタフェース・タイミング



ホスト・ライト・インタフェース・タイミング



μ PD77110

汎用入出力ポート

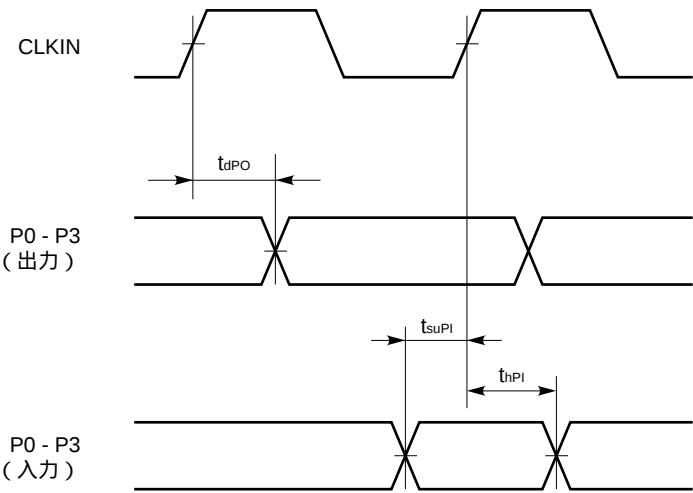
タイミング必要条件

| 項 目           | 略 号        | 条 件 | MIN. | TYP. | MAX. | 単 位 |
|---------------|------------|-----|------|------|------|-----|
| ポート入力セットアップ時間 | $t_{suPI}$ |     | 0    |      |      | ns  |
| ポート入力ホールド時間   | $t_{hPI}$  |     | 10   |      |      | ns  |

スイッチング特性

| 項 目       | 略 号       | 条 件 | MIN. | TYP. | MAX. | 単 位 |
|-----------|-----------|-----|------|------|------|-----|
| ポート出力遅延時間 | $t_{dPO}$ |     |      |      | 25   | ns  |

汎用入出力ポート・タイミング



## ディバグ用インタフェース (JTAG)

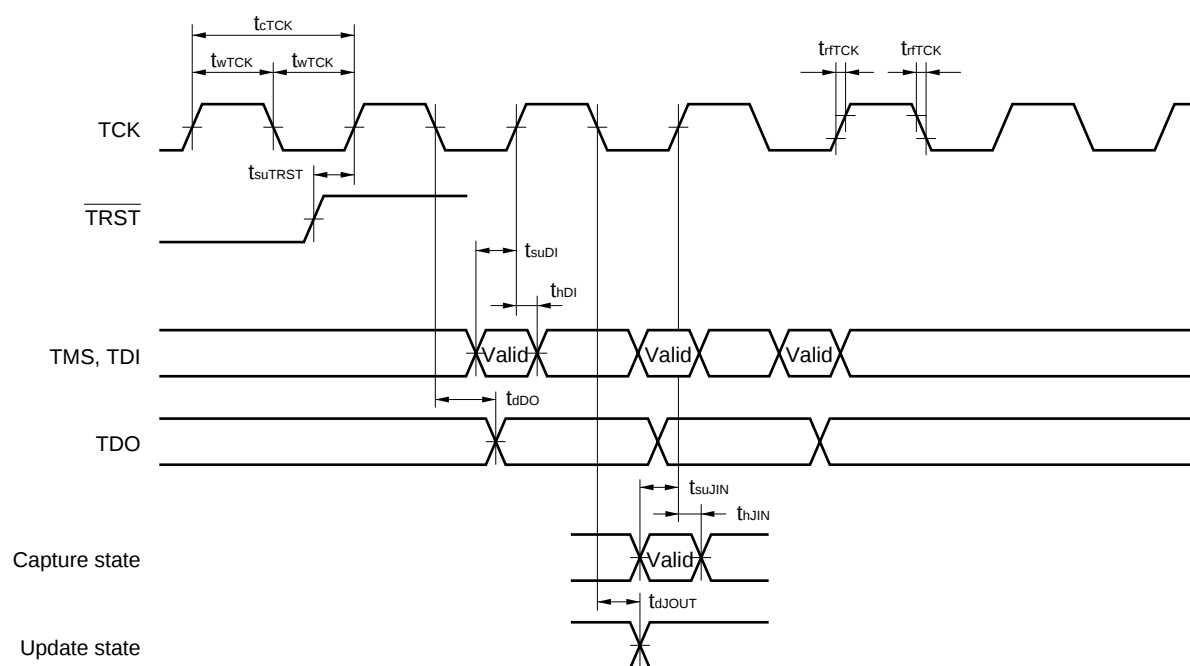
## タイミング必要条件

| 項 目                | 略 号          | 条 件 | MIN. | TYP. | MAX. | 単 位 |
|--------------------|--------------|-----|------|------|------|-----|
| TCKサイクル・タイム        | $t_{cTCK}$   |     | 120  |      |      | ns  |
| TCKハイ / ロウ・レベル幅    | $t_{wTCK}$   |     | 50   |      |      | ns  |
| TCK立ち上がり / 立ち下がり時間 | $t_{rTCK}$   |     |      |      | 20   | ns  |
| TMS, TDIセットアップ時間   | $t_{suDI}$   |     | 20   |      |      | ns  |
| TMS, TDIホールド時間     | $t_{hDI}$    |     | 20   |      |      | ns  |
| 入力ピン・セットアップ時間      | $t_{suJIN}$  |     | 20   |      |      | ns  |
| 入力ピン・ホールド時間        | $t_{hJIN}$   |     | 20   |      |      | ns  |
| TRSTセットアップ時間       | $t_{suTRST}$ |     | 100  |      |      | ns  |

## スイッチング特性

| 項 目        | 略 号         | 条 件 | MIN. | TYP. | MAX. | 単 位 |
|------------|-------------|-----|------|------|------|-----|
| TDO出力遅延時間  | $t_{dDO}$   |     |      |      | 20   | ns  |
| 出力ピン出力遅延時間 | $t_{dJOUT}$ |     |      |      | 20   | ns  |

## ディバグ用インタフェース・タイミング



**備考** JTAGの詳細については、IEEE1149.1を参照してください。

μ PD77111,77112

(2) μ PD77111, 77112 AC特性 (TA = - 40 ~ + 85 , IVDD, EVDD の範囲は推奨動作条件による)

## クロック

### タイミング必要条件

| 項 目                                   | 略 号    | 条 件                        | MIN.                  | TYP.   | MAX.   | 単 位 |
|---------------------------------------|--------|----------------------------|-----------------------|--------|--------|-----|
| CLKINサイクル・タイム <sup>注1</sup>           | tcCX   |                            | 25                    |        |        | ns  |
|                                       |        | PLLロック<br>範囲 <sup>注2</sup> | IVDD = 1.8 ~<br>2.7 V | 25 × m | 50 × m | ns  |
|                                       |        |                            | IVDD = 2.3 ~<br>2.7 V | 10 × m | 50 × m | ns  |
| CLKINハイ・レベル幅                          | twCXH  |                            | 12.5                  |        |        | ns  |
| CLKINロウ・レベル幅                          | twCXL  |                            | 12.5                  |        |        | ns  |
| CLKIN立ち上がり / 立ち下がり時間                  | trfCX  |                            |                       |        | 5      | ns  |
| 内部クロック・サイクル・タイム<br>必要条件 <sup>注3</sup> | tcC(R) | IVDD = 1.8 ~ 2.7 V         | 25                    |        |        | ns  |
|                                       |        | IVDD = 2.3 ~ 2.7 V         | 13.3                  |        |        | ns  |

注1. m : 逓倍率, n : 分周率

2. PLLがロックする (安定して発振する) 範囲です。この範囲に収まるようにtcCXを入力してください。

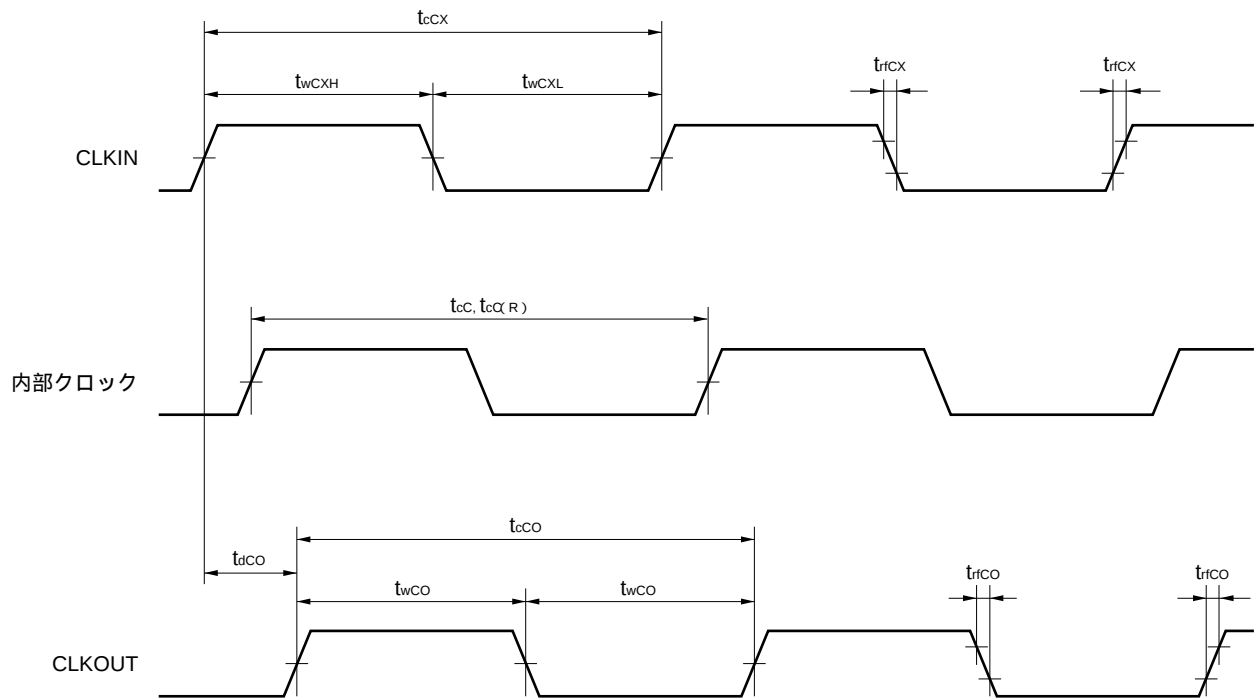
3. (tcCX ÷ m × n) の値がこの条件を満たすようにtcCXを入力してください。

### スイッチング特性

| 項 目                   | 略 号   | 条 件                | MIN.                         | TYP.                         | MAX. | 単 位 |
|-----------------------|-------|--------------------|------------------------------|------------------------------|------|-----|
| 内部クロック周期 <sup>注</sup> | tcC   | 通常動作時              |                              | tcCX × n ÷ m                 |      | ns  |
|                       |       | HALT時              |                              | tcCX × n ÷ m × l             |      | ns  |
| CLKOUTサイクル・タイム        | tcCO  |                    |                              | tcC                          |      | ns  |
| CLKOUT幅               | twCO  | 通常<br>動作時          | n = 1, または偶数<br>n = 奇数 (1以外) | tcCX ÷ 2 - 3<br>tcCX ÷ m - 3 |      | ns  |
|                       |       | HALT時              |                              | tcCX ÷ m × n - 3             |      | ns  |
|                       |       |                    |                              |                              |      |     |
| CLKOUT立ち上がり / 立ち下がり時間 | trfCO |                    |                              |                              | 5    | ns  |
| CLKOUT遅延時間            | tdCO  | IVDD = 1.8 ~ 2.7 V |                              |                              | 20   | ns  |
|                       |       | IVDD = 2.3 ~ 2.7 V |                              |                              | 15   | ns  |

注 m : 逓倍率, n : 分周率, l : HALT分周率

クロック入出力タイミング



μ PD77111,77112

リセット、割り込み

タイミング必要条件

| 項 目              | 略 号              | 条 件                        | MIN.                     | TYP. | MAX. | 単 位 |
|------------------|------------------|----------------------------|--------------------------|------|------|-----|
| RESETロウ・レベル幅     | $t_{w(RL)}$      | 電源投入時 <sup>注1</sup> ，STOP時 | 100 +<br>2048 $t_{cCX}$  |      |      | μ s |
|                  |                  | 通常動作時，HALT時                | 4 $t_{cC}$ <sup>注2</sup> |      | 注3   | ns  |
| RESETリカバリ時間      | $t_{rec(R)}$     | 電源投入時 <sup>注4</sup>        | 4 $t_{cCX}$              |      |      | ns  |
|                  |                  |                            | 4 $t_{cC}$ <sup>注2</sup> |      |      | ns  |
| WAKEUPロウ・レベル幅    | $t_{w(WAKEUPL)}$ |                            | 100                      |      |      | μ s |
| INT1-INT4ロウ・レベル幅 | $t_{w(INTL)}$    |                            | 3 $t_{cC}$ <sup>注2</sup> |      |      | ns  |
| INT1-INT4リカバリ時間  | $t_{rec(INT)}$   |                            | 3 $t_{cC}$               |      |      | ns  |

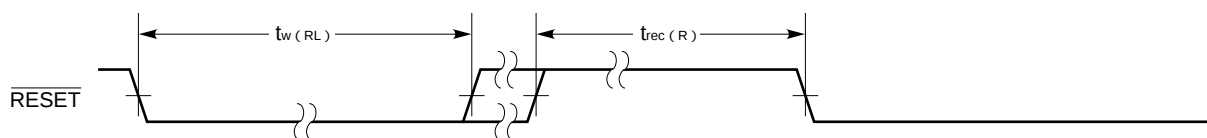
注1. 電源投入時の値は電源電圧が $IV_{DD} = 1.8$  Vおよび $EV_{DD} = 2.7$  Vに達した時点からの時間です。また，安定したクロックが入力されている必要があります。

2. HALT時は $t_{cC}$ が通常作動時の $l$  ( $l = 1-16$ の整数) 倍になっていることに注意してください。

3. RESETロウ・レベル幅が1024 $t_{cC}$ を越えるとPLL初期化モードになります。PLL初期化モードにする必要がない場合は1024 $t_{cC}$ よりも短い時間に設定してください。

4. 電源投入時は，リセット入力前に4 $t_{cCX}$ のリカバリ期間が必要です。

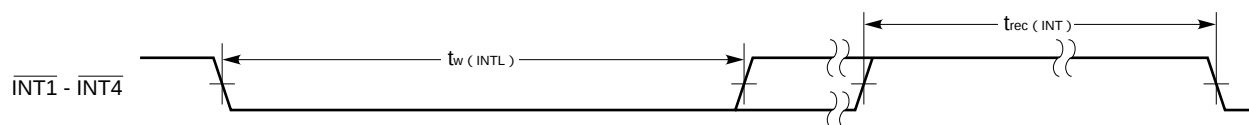
リセット・タイミング



WAKEUPタイミング



割り込みタイミング



## 外部データ・メモリ・アクセス (μ PD77112のみ)

## タイミング必要条件

| 項 目              | 略 号         | 条 件 | MIN. | TYP. | MAX. | 単 位 |
|------------------|-------------|-----|------|------|------|-----|
| リード・データ・セットアップ時間 | $t_{sDDRd}$ |     | 18   |      |      | ns  |
| リード・データ・ホールド時間   | $t_{hDDRd}$ |     | 0    |      |      | ns  |

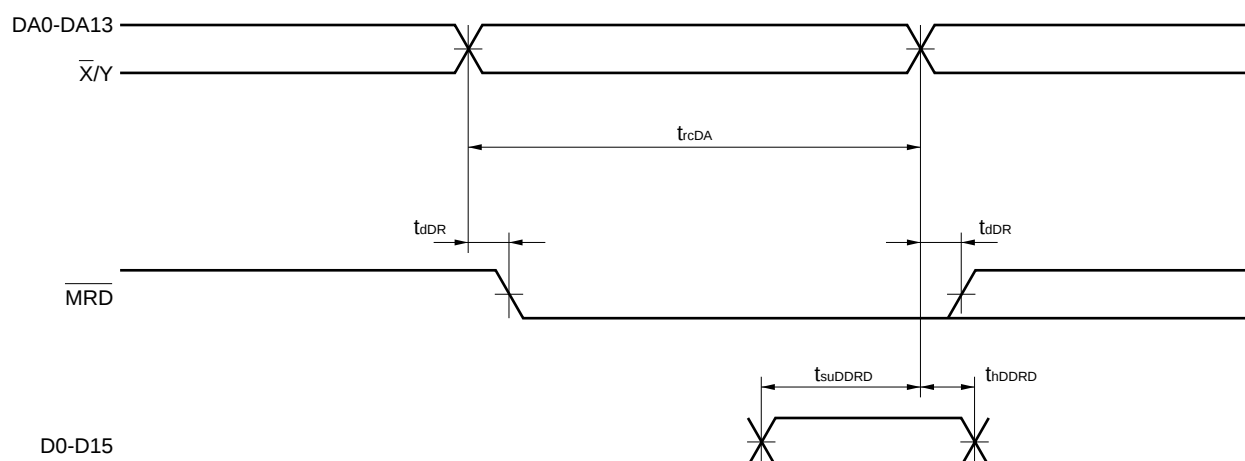
## スイッチング特性

| 項 目             | 略 号         | 条 件 | MIN.                        | TYP.                                 | MAX.        | 単 位 |
|-----------------|-------------|-----|-----------------------------|--------------------------------------|-------------|-----|
| アドレス・サイクル時間     | $t_{rcDA}$  |     |                             | $t_{cc} + (t_{cc} \times t_{cDW})$ 注 |             | ns  |
| アドレス出力ホールド時間    | $t_{hDA}$   |     | 0                           |                                      |             | ns  |
| MRD出力遅延時間       | $t_{dDR}$   |     |                             |                                      | 5           | ns  |
| ライト・データ出力有効時間   | $t_{vDDWD}$ |     |                             |                                      | 5           | ns  |
| ライト・データ出力ホールド時間 | $t_{hDDWD}$ |     | 0                           |                                      |             | ns  |
| MWR出力遅延時間       | $t_{dDW}$   |     | 0                           |                                      | $0.5t_{cc}$ | ns  |
| MWR出力ホールド時間     | $t_{hDA}$   |     | 0                           |                                      |             | ns  |
| MWRロウ・レベル幅      | $t_{wDWL}$  |     | $t_{cc} \times t_{cDW} - 3$ |                                      |             | ns  |
| MWRハイ・レベル幅      | $t_{wDWH}$  |     | $0.5t_{cc} - 3$             |                                      |             | ns  |

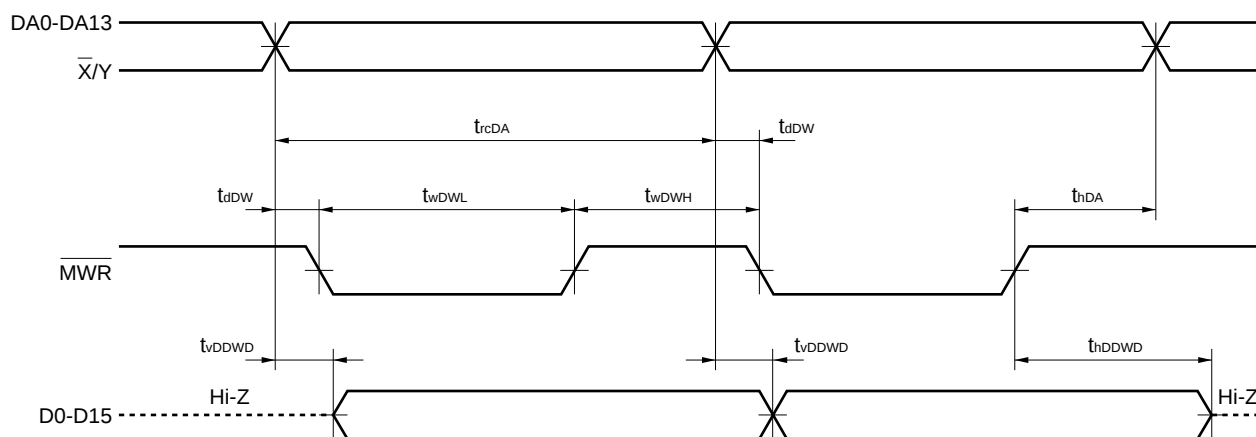
注  $t_{cDW}$  : データ・ウェイト・サイクル数。

μ PD77111,77112

外部データ・メモリ・アクセス・タイミング（リード）



外部データ・メモリ・アクセス・タイミング（ライト）



バス・アービトレーション ( $\mu$  PD77112のみ)

## タイミング必要条件

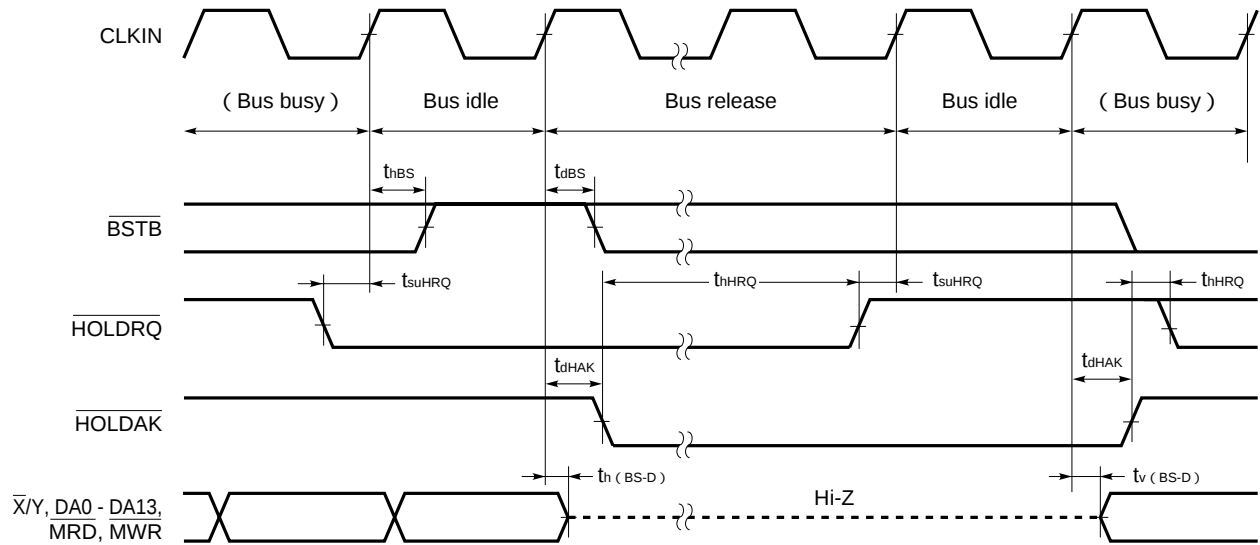
| 項 目            | 略 号         | 条 件 | MIN. | TYP. | MAX. | 単 位 |
|----------------|-------------|-----|------|------|------|-----|
| HOLDRQセットアップ時間 | $t_{suHRQ}$ |     | 0    |      |      | ns  |
| HOLDRQホールド時間   | $t_{hHRQ}$  |     | 0    |      |      | ns  |

## スイッチング特性

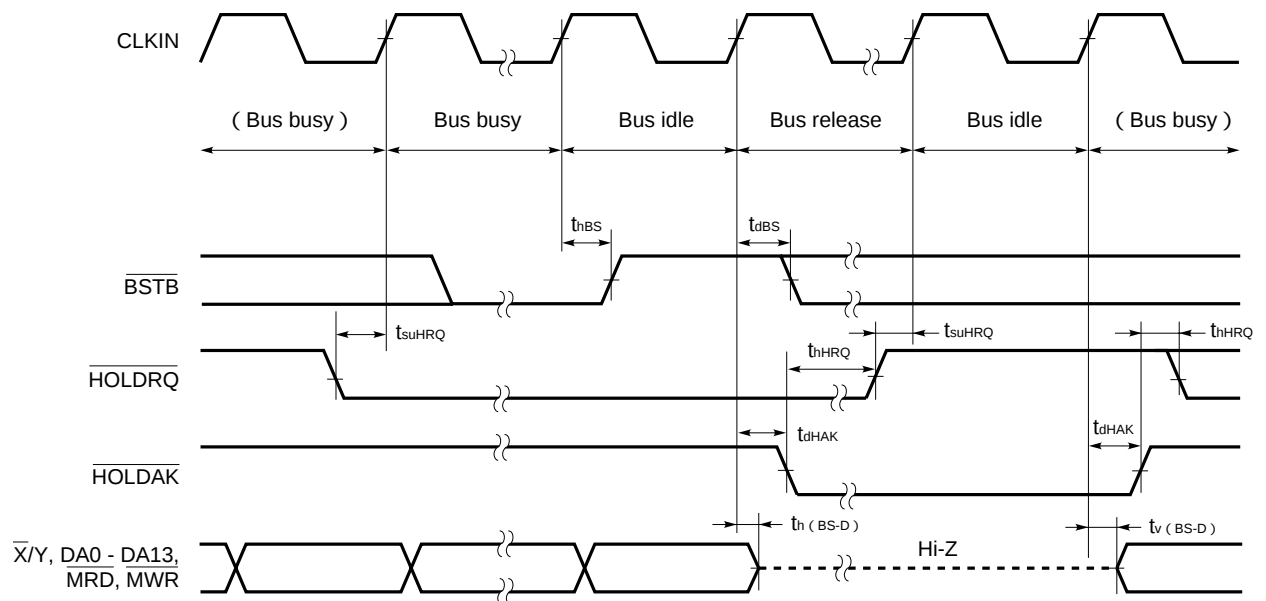
| 項 目                          | 略 号         | 条 件 | MIN. | TYP. | MAX. | 単 位 |
|------------------------------|-------------|-----|------|------|------|-----|
| BSTBホールド時間                   | $t_{hBS}$   |     | 0    |      |      | ns  |
| BSTB出力遅延時間                   | $t_{dBS}$   |     |      |      | 20   | ns  |
| HOLDAK出力遅延時間                 | $t_{dHAK}$  |     |      |      | 18   | ns  |
| バス・アービトレーション時の<br>データ・ホールド時間 | $t_h(BS-D)$ |     |      |      | 25   | ns  |
| バス・アービトレーション後の<br>データ有効時間    | $t_v(BS-D)$ |     |      |      | 25   | ns  |

μ PD77111,77112

バス・アービトレーション・タイミング (バス・アイドル時)



バス・アービトレーション・タイミング (バス・ビジー時)



## シリアル・インタフェース

## タイミング必要条件

| 項 目                | 略 号                | 条 件                            | MIN. | TYP. | MAX. | 単 位 |
|--------------------|--------------------|--------------------------------|------|------|------|-----|
| SCKサイクル・タイム        | t <sub>cSC</sub>   |                                | 60   |      |      | ns  |
| SCKハイ / ロウ・レベル幅    | t <sub>wSC</sub>   |                                | 25   |      |      | ns  |
| SCK立ち上がり / 立ち下がり時間 | t <sub>rfSC</sub>  |                                |      |      | 20   | ns  |
| SOENセットアップ時間       | t <sub>suSOE</sub> | IV <sub>DD</sub> = 1.8 ~ 2.7 V | 10   |      |      | ns  |
|                    |                    | IV <sub>DD</sub> = 2.3 ~ 2.7 V | 5    |      |      | ns  |
| SOENホールド時間         | t <sub>hSOE</sub>  | IV <sub>DD</sub> = 1.8 ~ 2.7 V | 15   |      |      | ns  |
|                    |                    | IV <sub>DD</sub> = 2.3 ~ 2.7 V | 10   |      |      | ns  |
| SIENセットアップ時間       | t <sub>suSIE</sub> | IV <sub>DD</sub> = 1.8 ~ 2.7 V | 10   |      |      | ns  |
|                    |                    | IV <sub>DD</sub> = 2.3 ~ 2.7 V | 5    |      |      | ns  |
| SIENホールド時間         | t <sub>hSIE</sub>  | IV <sub>DD</sub> = 1.8 ~ 2.7 V | 15   |      |      | ns  |
|                    |                    | IV <sub>DD</sub> = 2.3 ~ 2.7 V | 10   |      |      | ns  |
| SIセットアップ時間         | t <sub>suSI</sub>  | IV <sub>DD</sub> = 1.8 ~ 2.7 V | 10   |      |      | ns  |
|                    |                    | IV <sub>DD</sub> = 2.3 ~ 2.7 V | 5    |      |      | ns  |
| SIホールド時間           | t <sub>hSI</sub>   | IV <sub>DD</sub> = 1.8 ~ 2.7 V | 15   |      |      | ns  |
|                    |                    | IV <sub>DD</sub> = 2.3 ~ 2.7 V | 10   |      |      | ns  |

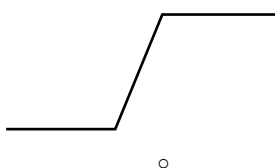
## スイッチング特性

| 項 目        | 略 号               | 条 件                            | MIN. | TYP. | MAX. | 単 位 |
|------------|-------------------|--------------------------------|------|------|------|-----|
| SORQ出力遅延時間 | t <sub>dSOR</sub> | IV <sub>DD</sub> = 1.8 ~ 2.7 V |      |      | 30   | ns  |
|            |                   | IV <sub>DD</sub> = 2.3 ~ 2.7 V |      |      | 25   | ns  |
| SORQホールド時間 | t <sub>hSOR</sub> |                                | 0    |      |      | ns  |
| SO出力遅延時間   | t <sub>dSO</sub>  | IV <sub>DD</sub> = 1.8 ~ 2.7 V |      |      | 30   | ns  |
|            |                   | IV <sub>DD</sub> = 2.3 ~ 2.7 V |      |      | 25   | ns  |
| SOホールド時間   | t <sub>hSO</sub>  |                                | 0    |      |      | ns  |
| SIAK出力遅延時間 | t <sub>dSIA</sub> | IV <sub>DD</sub> = 1.8 ~ 2.7 V |      |      | 30   | ns  |
|            |                   | IV <sub>DD</sub> = 2.3 ~ 2.7 V |      |      | 25   | ns  |
| SIAKホールド時間 | t <sub>hSIA</sub> |                                | 0    |      |      | ns  |

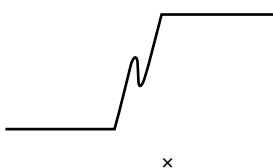
$\mu$  PD77111,77112

**注意** シリアル・クロックにノイズが重畳すると、シリアル・インタフェースがデッドロックする可能性があります。設計の際には、次の点に注意してください。

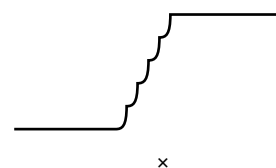
- 電源、グラウンドの配線を強化する（電源およびグラウンドにノイズが重畳すると、相対的にシリアル・クロックにノイズが重畳したように見ることがあります）。
- デバイスのSCK1, SCK2端子とクロック供給源との間の配線を極力短くする。
- シリアル・クロックの信号線と、ほかの信号線を交差させない。また、変化する大電流が流れる線と接近させない。
- デバイスのSCK1, SCK2端子とクロックの供給源が1対1になるようにし、1つのクロック供給源から複数のデバイスへクロックを供給しないようにする。
- シリアル・クロックは、オーバシュートおよびアンダシュートしないように注意する。特に、立ち上がり / 立ち下がり時の波形がきれいになるように配慮する。



直線的な立ち上がり / 立ち下がりにする。

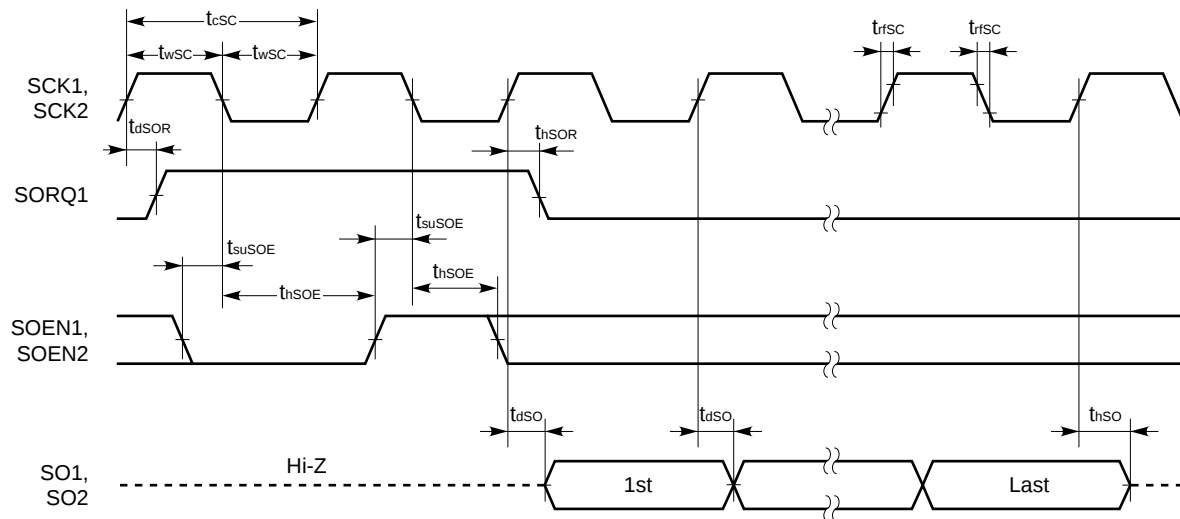


バウンドさせない。ノイズを重畳させない。

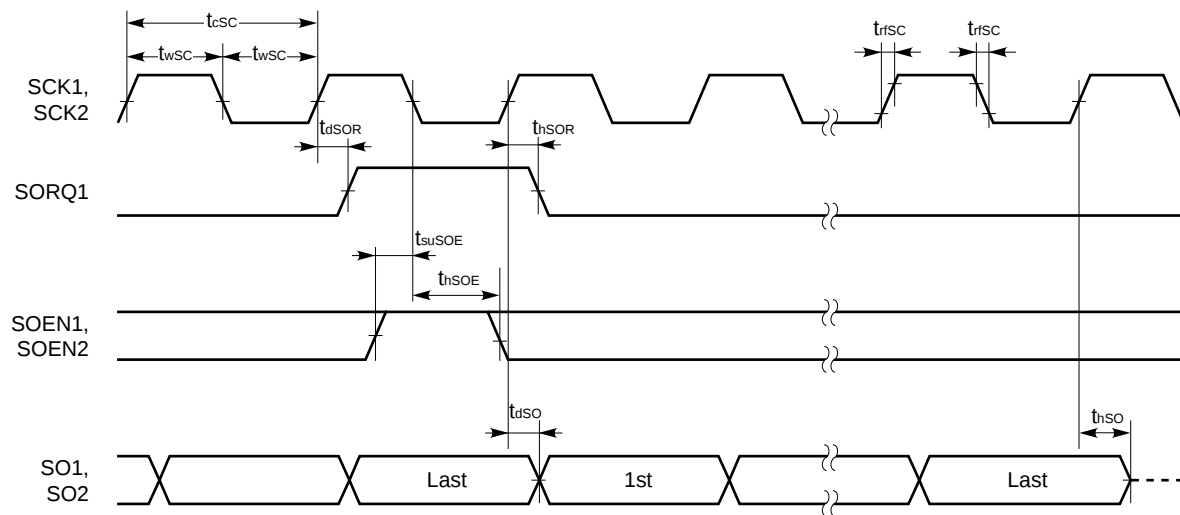


階段状にさせない。

# シリアル出力タイミング1

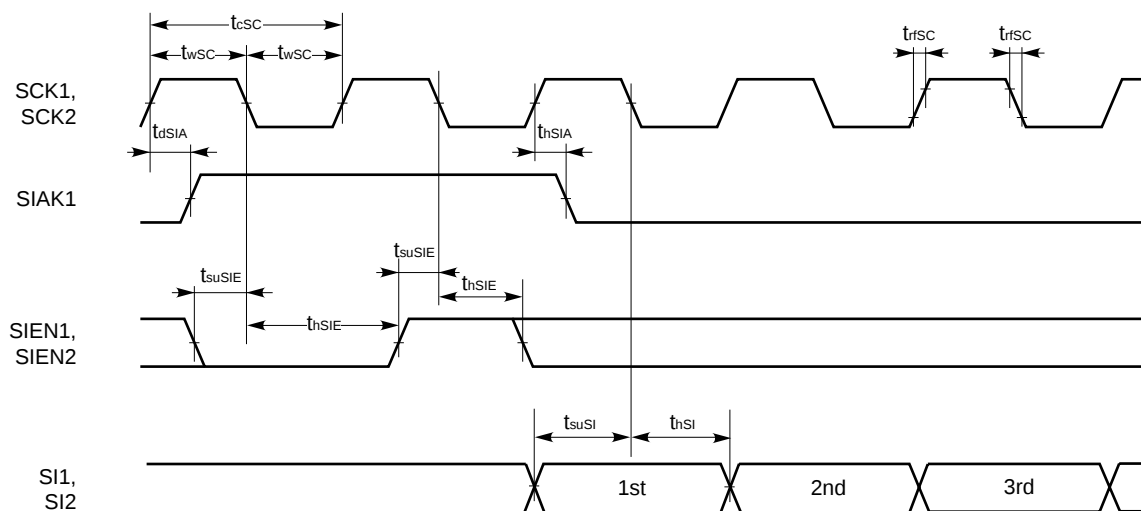


# シリアル出力タイミング2 (連続出力時)

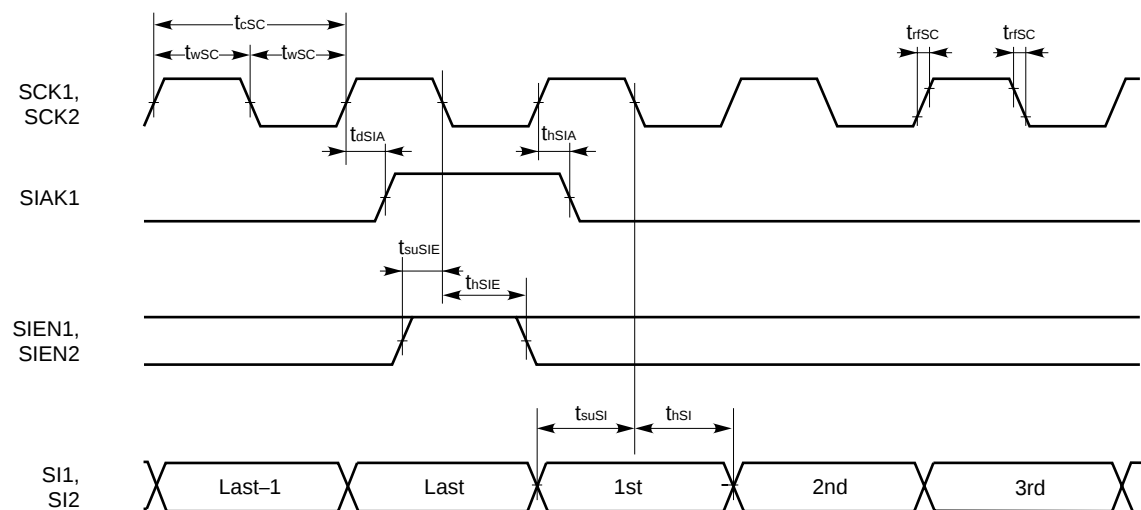


μ PD77111,77112

シリアル入力タイミング1



シリアル入力タイミング2 (連続入力時)



## ホスト・インタフェース

## タイミング必要条件

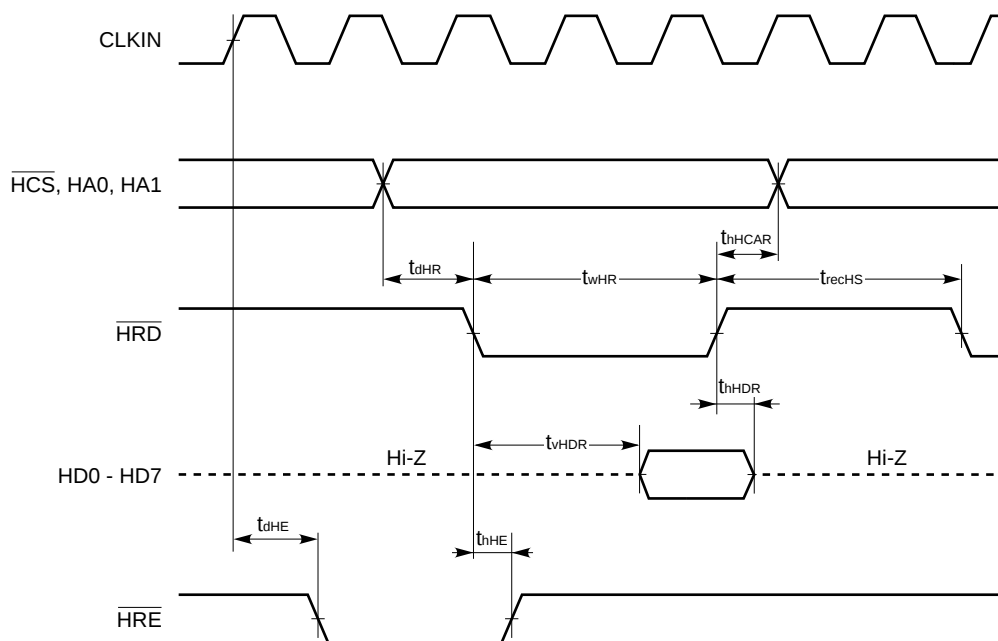
| 項 目                     | 略 号                | 条 件                            | MIN. | TYP. | MAX. | 単 位 |
|-------------------------|--------------------|--------------------------------|------|------|------|-----|
| HRD遅延時間                 | t <sub>dHR</sub>   | IV <sub>DD</sub> = 1.8 ~ 2.7 V | 15   |      |      | ns  |
|                         |                    | IV <sub>DD</sub> = 2.3 ~ 2.7 V | 10   |      |      | ns  |
| HRD幅                    | t <sub>wHR</sub>   |                                | 60   |      |      | ns  |
| HCS, HA0, HA1リード・ホールド時間 | t <sub>hCAR</sub>  |                                | 0    |      |      | ns  |
| HCS, HA0, HA1ライト・ホールド時間 | t <sub>hCAW</sub>  |                                | 0    |      |      | ns  |
| HRD, HWRリカバリ時間          | t <sub>recHS</sub> |                                | 60   |      |      | ns  |
| HWR遅延時間                 | t <sub>dHW</sub>   | IV <sub>DD</sub> = 1.8 ~ 2.7 V | 15   |      |      | ns  |
|                         |                    | IV <sub>DD</sub> = 2.3 ~ 2.7 V | 10   |      |      | ns  |
| HWR幅                    | t <sub>wHW</sub>   |                                | 60   |      |      | ns  |
| HWRホールド時間               | t <sub>hHDW</sub>  |                                | 0    |      |      | ns  |
| HWRセットアップ時間             | t <sub>suHDW</sub> | IV <sub>DD</sub> = 1.8 ~ 2.7 V | 15   |      |      | ns  |
|                         |                    | IV <sub>DD</sub> = 2.3 ~ 2.7 V | 10   |      |      | ns  |

## スイッチング特性

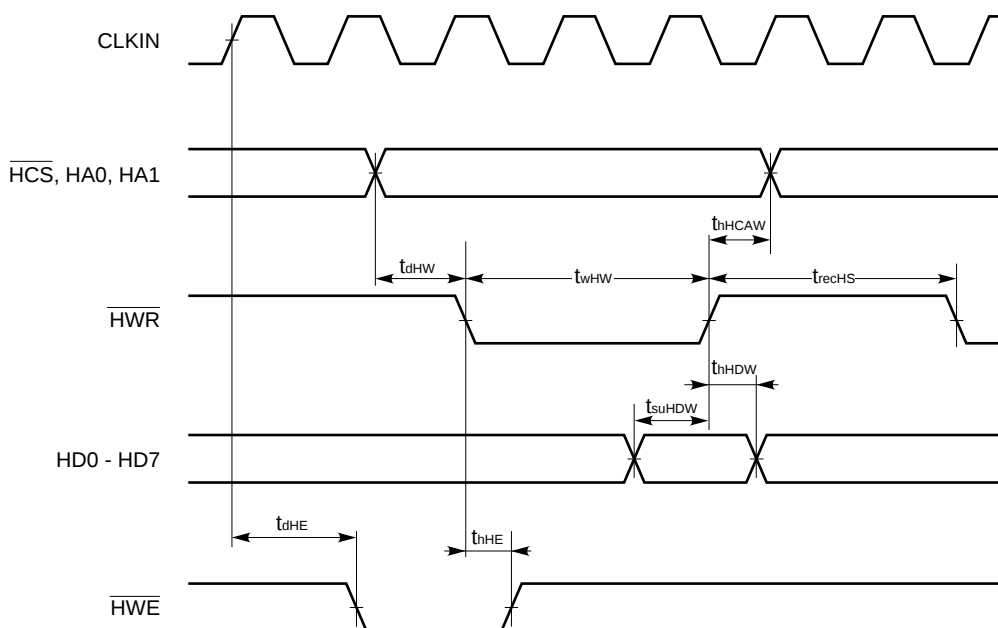
| 項 目            | 略 号               | 条 件                            | MIN. | TYP. | MAX. | 単 位 |
|----------------|-------------------|--------------------------------|------|------|------|-----|
| HRE, HWE出力遅延時間 | t <sub>dHE</sub>  | IV <sub>DD</sub> = 1.8 ~ 2.7 V |      |      | 30   | ns  |
|                |                   | IV <sub>DD</sub> = 2.3 ~ 2.7 V |      |      | 25   | ns  |
| HRE, HWEホールド時間 | t <sub>hHE</sub>  | IV <sub>DD</sub> = 1.8 ~ 2.7 V |      |      | 30   | ns  |
|                |                   | IV <sub>DD</sub> = 2.3 ~ 2.7 V |      |      | 25   | ns  |
| HRD有効時間        | t <sub>vHDR</sub> | IV <sub>DD</sub> = 1.8 ~ 2.7 V |      |      | 30   | ns  |
|                |                   | IV <sub>DD</sub> = 2.3 ~ 2.7 V |      |      | 25   | ns  |
| HRDホールド時間      | t <sub>hHDR</sub> |                                | 0    |      |      | ns  |

μ PD77111,77112

ホスト・リード・インタフェース・タイミング



ホスト・ライト・インタフェース・タイミング



## 汎用入出力ポート

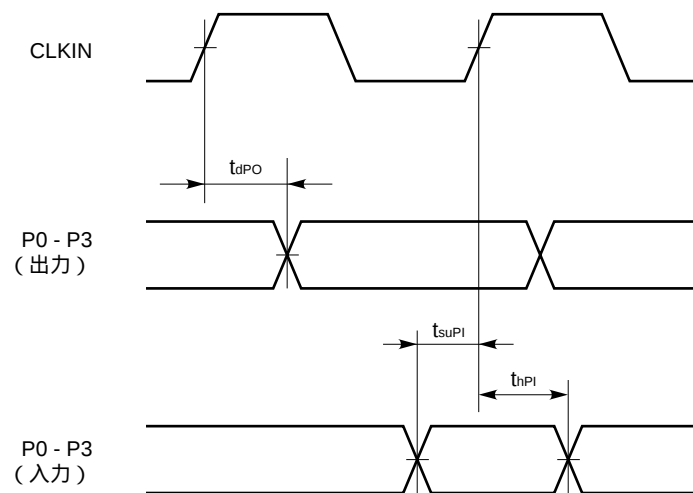
## タイミング必要条件

| 項 目           | 略 号        | 条 件                               | MIN. | TYP. | MAX. | 単 位 |
|---------------|------------|-----------------------------------|------|------|------|-----|
| ポート入力セットアップ時間 | $t_{suPI}$ |                                   | 0    |      |      | ns  |
| ポート入力ホールド時間   | $t_{hPI}$  | $V_{DD} = 1.8 \sim 2.7 \text{ V}$ | 15   |      |      | ns  |
|               |            | $V_{DD} = 2.3 \sim 2.7 \text{ V}$ | 10   |      |      | ns  |

## スイッチング特性

| 項 目       | 略 号       | 条 件                               | MIN. | TYP. | MAX. | 単 位 |
|-----------|-----------|-----------------------------------|------|------|------|-----|
| ポート出力遅延時間 | $t_{dPO}$ | $V_{DD} = 1.8 \sim 2.7 \text{ V}$ |      |      | 30   | ns  |
|           |           | $V_{DD} = 2.3 \sim 2.7 \text{ V}$ |      |      | 25   | ns  |

## 汎用入出力ポート・タイミング



## ディバグ用インタフェース (JTAG)

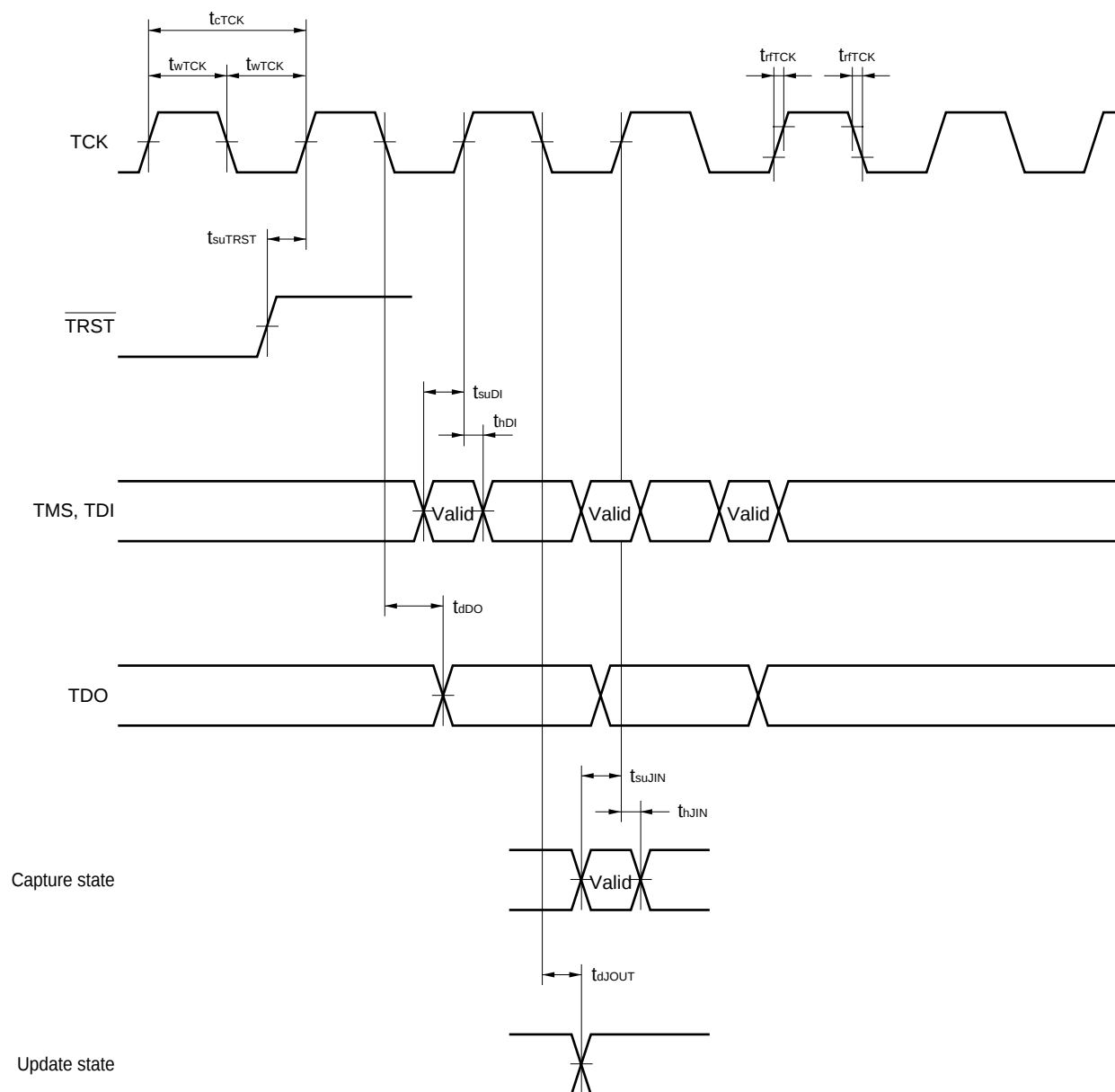
## タイミング必要条件

| 項 目                | 略 号          | 条 件                        | MIN. | TYP. | MAX. | 単 位 |
|--------------------|--------------|----------------------------|------|------|------|-----|
| TCKサイクル・タイム        | $t_{cTCK}$   |                            | 120  |      |      | ns  |
| TCKハイ / ロウ・レベル幅    | $t_{wTCK}$   |                            | 50   |      |      | ns  |
| TCK立ち上がり / 立ち下がり時間 | $t_{rTCK}$   |                            |      |      | 20   | ns  |
| TMS, TDIセットアップ時間   | $t_{suDI}$   | $IV_{DD} = 1.8 \sim 2.7 V$ | 25   |      |      | ns  |
|                    |              | $IV_{DD} = 2.3 \sim 2.7 V$ | 20   |      |      | ns  |
| TMS, TDIホールド時間     | $t_{hDI}$    | $IV_{DD} = 1.8 \sim 2.7 V$ | 25   |      |      | ns  |
|                    |              | $IV_{DD} = 2.3 \sim 2.7 V$ | 20   |      |      | ns  |
| 入力ピン・セットアップ時間      | $t_{suJIN}$  | $IV_{DD} = 1.8 \sim 2.7 V$ | 25   |      |      | ns  |
|                    |              | $IV_{DD} = 2.3 \sim 2.7 V$ | 20   |      |      | ns  |
| 入力ピン・ホールド時間        | $t_{hJIN}$   | $IV_{DD} = 1.8 \sim 2.7 V$ | 25   |      |      | ns  |
|                    |              | $IV_{DD} = 2.3 \sim 2.7 V$ | 20   |      |      | ns  |
| TRSTセットアップ時間       | $t_{suTRST}$ |                            | 100  |      |      | ns  |

## スイッチング特性

| 項 目        | 略 号         | 条 件                        | MIN. | TYP. | MAX. | 単 位 |
|------------|-------------|----------------------------|------|------|------|-----|
| TDO出力遅延時間  | $t_{dDO}$   | $IV_{DD} = 1.8 \sim 2.7 V$ |      |      | 25   | ns  |
|            |             | $IV_{DD} = 2.3 \sim 2.7 V$ |      |      | 20   | ns  |
| 出力ピン出力遅延時間 | $t_{dJOUT}$ | $IV_{DD} = 1.8 \sim 2.7 V$ |      |      | 25   | ns  |
|            |             | $IV_{DD} = 2.3 \sim 2.7 V$ |      |      | 20   | ns  |

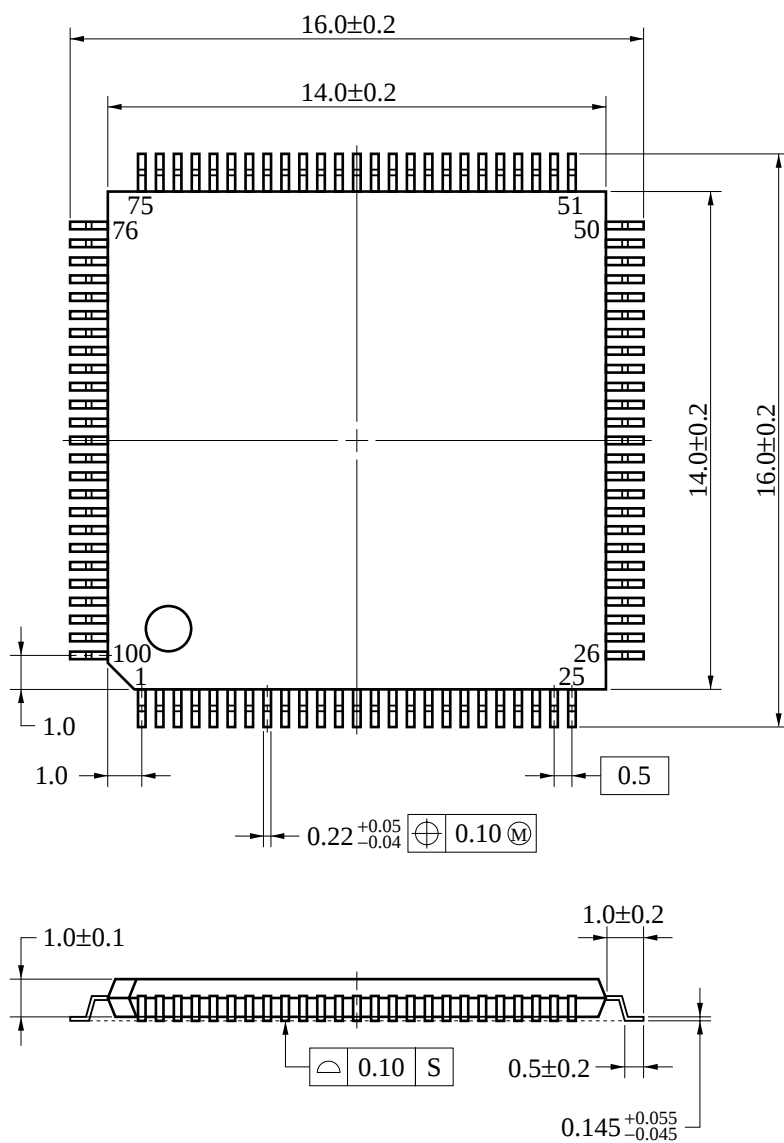
ディバグ用インタフェース・タイミング



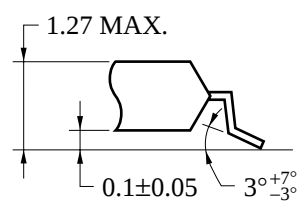
**備考** JTAGの詳細い内容については、IEEE1149.1を参照してください。

# 11. 外形図

100ピン・プラスチック TQFP (ファインピッチ)(14x14) 外形図 (単位: mm)

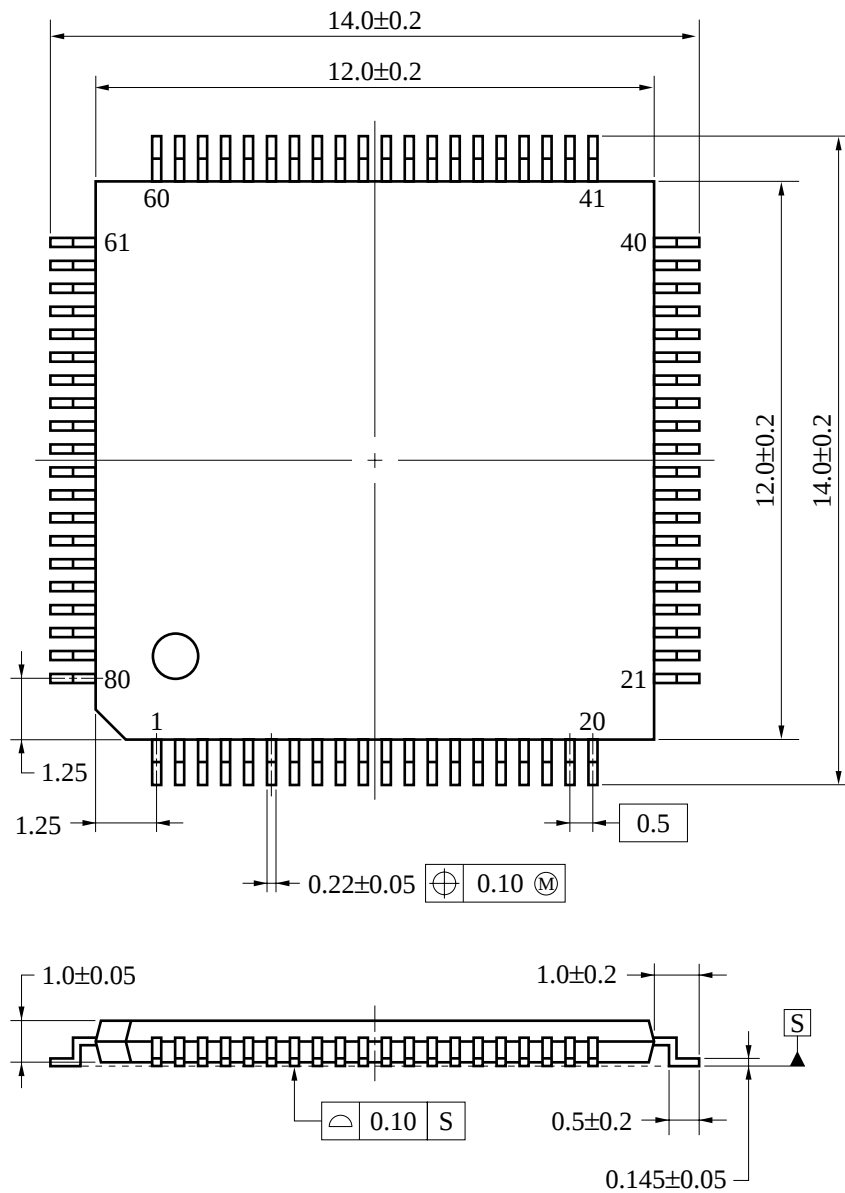


端子先端形状詳細図

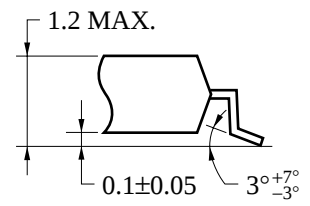


S100GC-50-9EU-2

80ピン・プラスチック TQFP (ファインピッチ)(12x12) 外形図 (単位: mm)

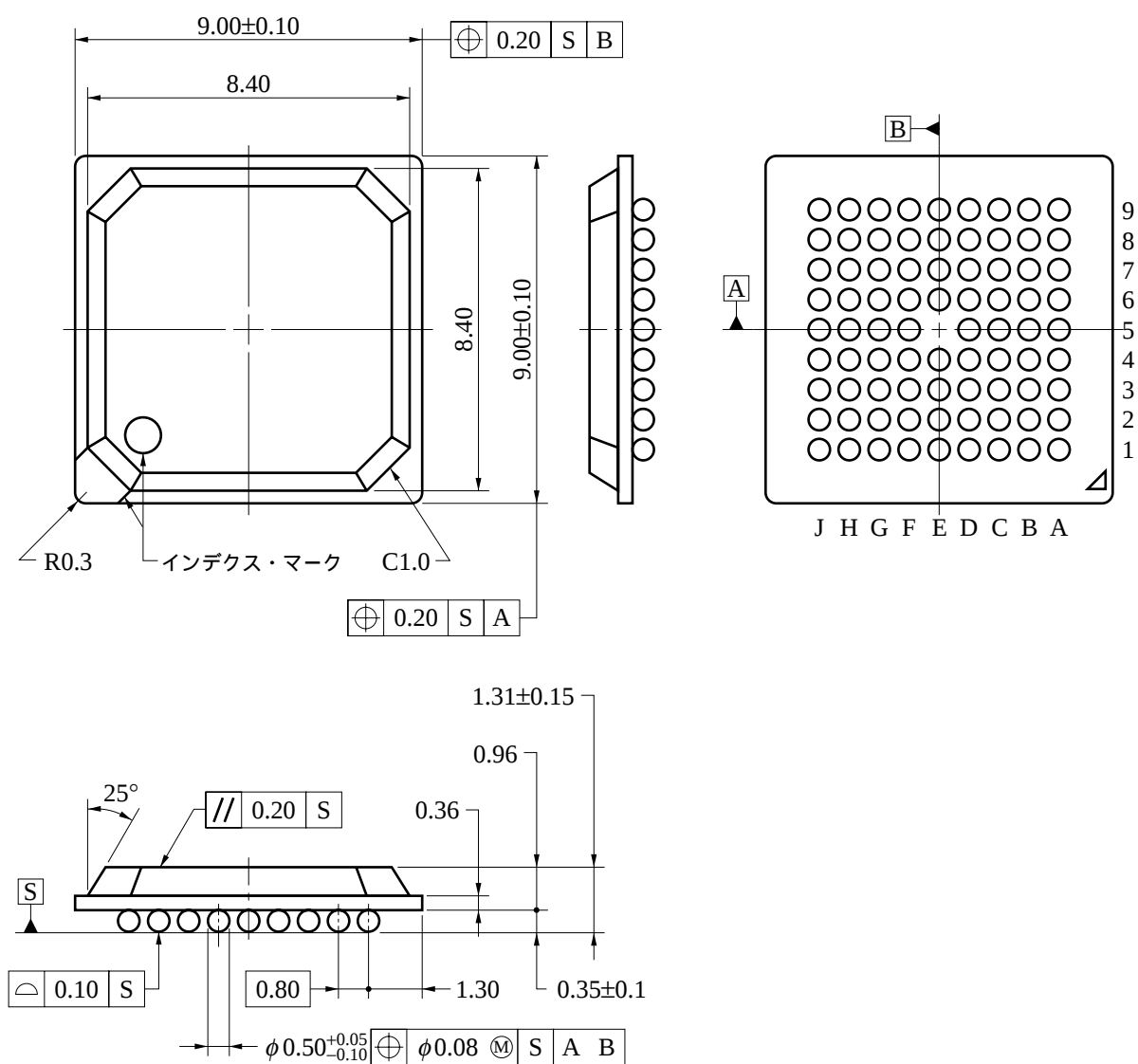


端子先端形状詳細図



S80GK-50-9EU-1

80ピン・プラスチック FBGA (9x9) 外形図 (単位: mm)



S80F1-80-CN1-1

## 12. 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の詳細は、インフォメーション資料「半導体デバイス実装マニュアル」(C10535J)を参照してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

## 表面実装タイプ

μ PD77110GC-9EU：100ピン・プラスチックTQFP（ファインピッチ）（14×14）

μ PD77111GK-×××-9EU：80ピン・プラスチックTQFP（ファインピッチ）（12×12）

| 半田付け方式 | 半田付け条件                                                                                                                                                     | 推奨条件記号     |
|--------|------------------------------------------------------------------------------------------------------------------------------------------------------------|------------|
| 赤外線リフロ | パッケージ・ピーク温度：235℃，時間：30秒以内（210℃以上），<br>回数：2回以内，制限日数：3日間 <sup>注</sup> （以降は125℃プリベーク10～72時間必要）<br>留意事項<br>耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーク<br>キングができません。 | IR35-103-2 |
| VPS    | パッケージ・ピーク温度：215℃，時間：40秒以内（200℃以上），<br>回数：2回以内，制限日数：3日間 <sup>注</sup> （以降は125℃プリベーク10～72時間必要）<br>留意事項<br>耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーク<br>キングができません。 | VP15-103-2 |
| 端子部分加熱 | 端子温度300℃以下，時間：3秒以内（デバイスの一辺当たり）                                                                                                                             | —          |

μ PD77112GC-×××-9EU：100ピン・プラスチックTQFP（ファインピッチ）（14×14）

| 半田付け方式 | 半田付け条件                                                                                                                                                     | 推奨条件記号     |
|--------|------------------------------------------------------------------------------------------------------------------------------------------------------------|------------|
| 赤外線リフロ | パッケージ・ピーク温度：235℃，時間：30秒以内（210℃以上），<br>回数：3回以内，制限日数：7日間 <sup>注</sup> （以降は125℃プリベーク10～72時間必要）<br>留意事項<br>耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーク<br>キングができません。 | IR35-107-3 |
| VPS    | パッケージ・ピーク温度：215℃，時間：40秒以内（200℃以上），<br>回数：3回以内，制限日数：7日間 <sup>注</sup> （以降は125℃プリベーク10～72時間必要）<br>留意事項<br>耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーク<br>キングができません。 | VP15-107-3 |
| 端子部分加熱 | 端子温度300℃以下，時間：3秒以内（デバイスの一辺当たり）                                                                                                                             | —          |

注 ドライパック開封後の保管日数で，保管条件は25℃，65 %RH以下。

注意 半田付け方式の併用はお避けください（ただし端子部分加熱を除く）。

★ μ PD77111F1- × × × -CN1 : 80ピン・プラスチック・ファインピッチBGA (9×9)

| 半田付け方式 | 半田付け条件                                                                                                                                                                                   | 推奨条件記号     |
|--------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|------------|
| 赤外線リフロ | パッケージ・ピーク温度：230     , 時間：30秒以内 ( 210     以上 ) ,<br>回数：2回以内 , 制限日数：3日間 <sup>注</sup> ( 以降は125     プリバーク10～72時間必要 )<br>留意事項<br>耐熱トレイ以外 ( マガジン , テーピング , 非耐熱トレイ ) は , 包装状態でのペー<br>キングができません。 | IR30-103-2 |

注    ドライパック開封後の保管日数で , 保管条件は25     , 65 %RH以下。

注意   半田付け方式の併用はお避けください ( ただし端子部分加熱を除く ) 。

## CMOSデバイスの一般的注意事項

### 静電気対策（MOS全般）

**注意** MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

### 未使用入力の処理（CMOS特有）

**注意** CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して $V_{DD}$ またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

### 初期化以前の状態（MOS全般）

**注意** 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

本製品のうち、外国為替および外国貿易管理法の規定により規制貨物等（または役務）に該当するものについては、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

非該当品 : μ PD77110GC-9EU

ユーザ判定品 : μ PD77111GK- × × × -9EU

μ PD77111F1- × × × -CN1

μ PD77112GC- × × × -9EU

- 本資料の内容は予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。
- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
- 本資料に記載された回路、ソフトウェア、及びこれらに付随する情報は、半導体製品の動作例、応用例を説明するためのものです。従って、これら回路・ソフトウェア・情報をお客様の機器に使用される場合には、お客様の責任において機器設計をしてください。これらの使用に起因するお客様もしくは第三者の損害に対して、当社は一切その責を負いません。
- 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。  
 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット  
 特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災／防犯装置、各種安全装置、生命維持を直接の目的としない医療機器  
 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等  
 当社製品のデータ・シート／データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

M7 98.8

## — お問い合わせ先 —

### 【技術的なお問い合わせ先】

NEC半導体テクニカルホットライン  
（電話：午前 9:00～12:00、午後 1:00～5:00）

電話 : 044-435-9494  
FAX : 044-435-9608  
E-mail : s-info@saed.tmg.nec.co.jp

### 【営業関係お問い合わせ先】

| 第一販売事業部                            | 第二販売事業部                      | 第三販売事業部                                        |
|------------------------------------|------------------------------|------------------------------------------------|
| 東京 (03)3798-6106, 6107, 6108       | 東京 (03)3798-6110, 6111, 6112 | 東京 (03)3798-6151, 6155, 6586, 1622, 1623, 6156 |
| 名古屋 (052)222-2375                  | 立川 (042)526-5981, 6167       | 水戸 (029)226-1702                               |
| 大阪 (06)6945-3178, 3200, 3208, 3212 | 松本 (0263)35-1662             | 広島 (082)242-5504                               |
| 仙台 (022)267-8740                   | 静岡 (054)254-4794             | 高崎 (027)326-1303                               |
| 郡山 (024)923-5591                   | 金沢 (076)232-7303             | 鳥取 (0857)27-5313                               |
| 千葉 (043)238-8116                   | 松山 (089)945-4149             | 太田 (0276)46-4014                               |
|                                    |                              | 名古屋 (052)222-2170, 2190                        |
|                                    |                              | 福岡 (092)261-2806                               |

### 【資料の請求先】

上記営業関係お問い合わせ先またはNEC特約店へお申しつけください。

### 【インターネット電子デバイス・ニュース】

NECエレクトロニクスデバイスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.ic.nec.co.jp/>