

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

## 16ビット固定小数点デジタル・シグナル・プロセッサ

$\mu$ PD77016は高速，高精度が要求されるデジタル信号処理用に開発された16ビット固定小数点DSP ( Digital Signal Processor ) です。

## 特 徴

## 機 能

- ・インストラクション・サイクル 最高30 ns  
(動作クロック 最大33 MHz)
- ・デュアル・ロード/ストアによる並列実行
- ・ハードウェア・ループ
- ・条件実行
- ・積和演算を1インストラクション・サイクルで実行

## プログラミング

- ・16ビット×16ビット+40ビット 40ビット・マルチプライ・アキュムレータ
- ・8個×40ビットの汎用レジスタ
- ・8個のデータ・メモリ用ポインタ・レジスタ  
(2つのメモリ空間に4個ずつ)
- ・10レベルの割り込み  
(外部4レベル，内部6レベル)
- ・3オペランド命令 ( $R0 = R0 + R1L * R2L$ )
- ・実行ステージではパイプラインなし

## メモリ空間

- ・プログラム用メモリ空間：64 Kワード×32ビット
- ・データ用メモリ空間：64 Kワード×16ビット×2面  
(Xメモリ，Yメモリ)

## 内蔵ペリフェラル

- ・4本のI/Oポート
- ・2セットの16ビット・シリアルI/O

## そ の 他

- ・CMOSプロセス
- ・5V単一電源

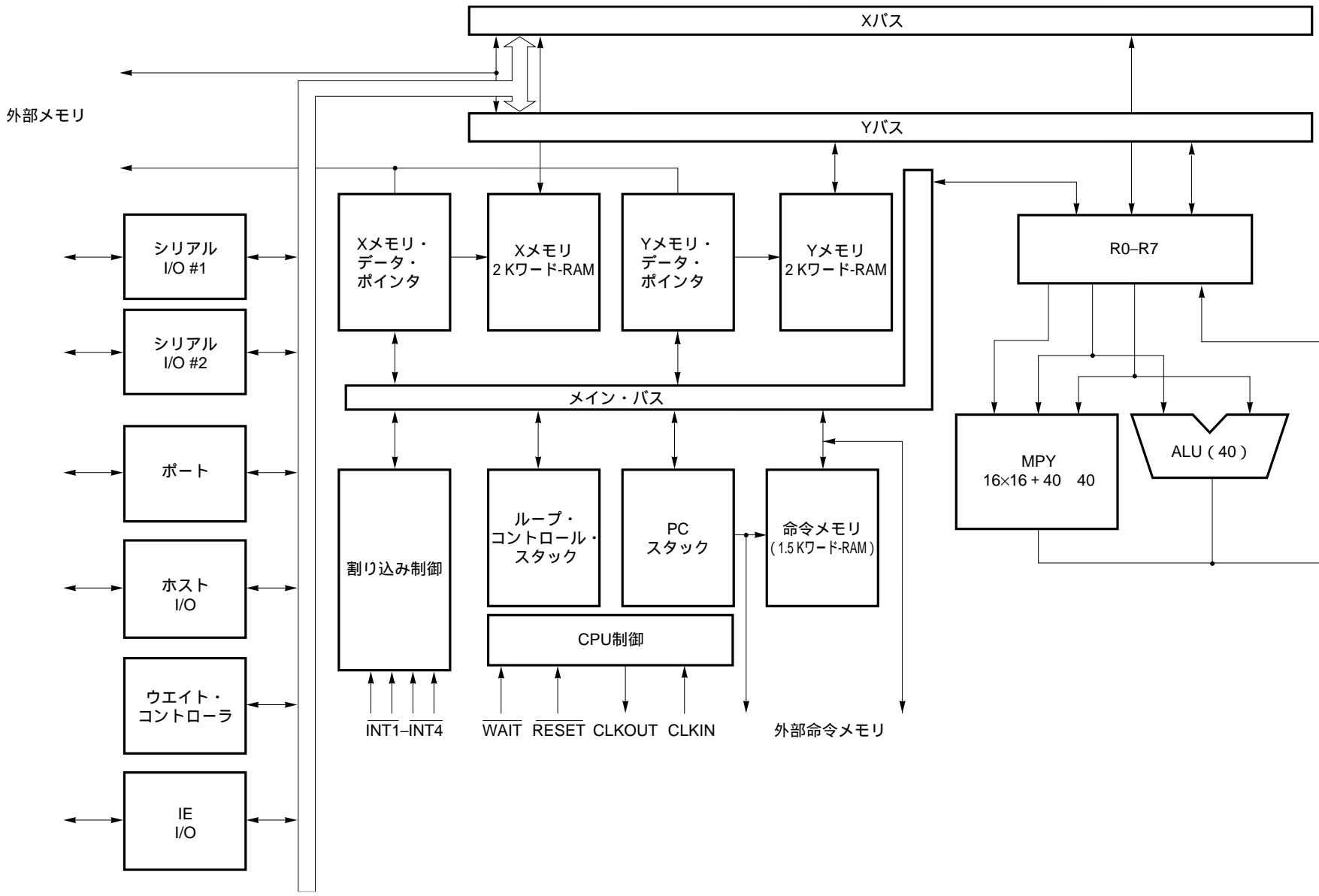
## オーダ情報

オーダ名称	パッケージ
$\mu$ PD77016GM-KMD	160ピン・プラスチックQFP (ファインピッチ) ( 24 mm )

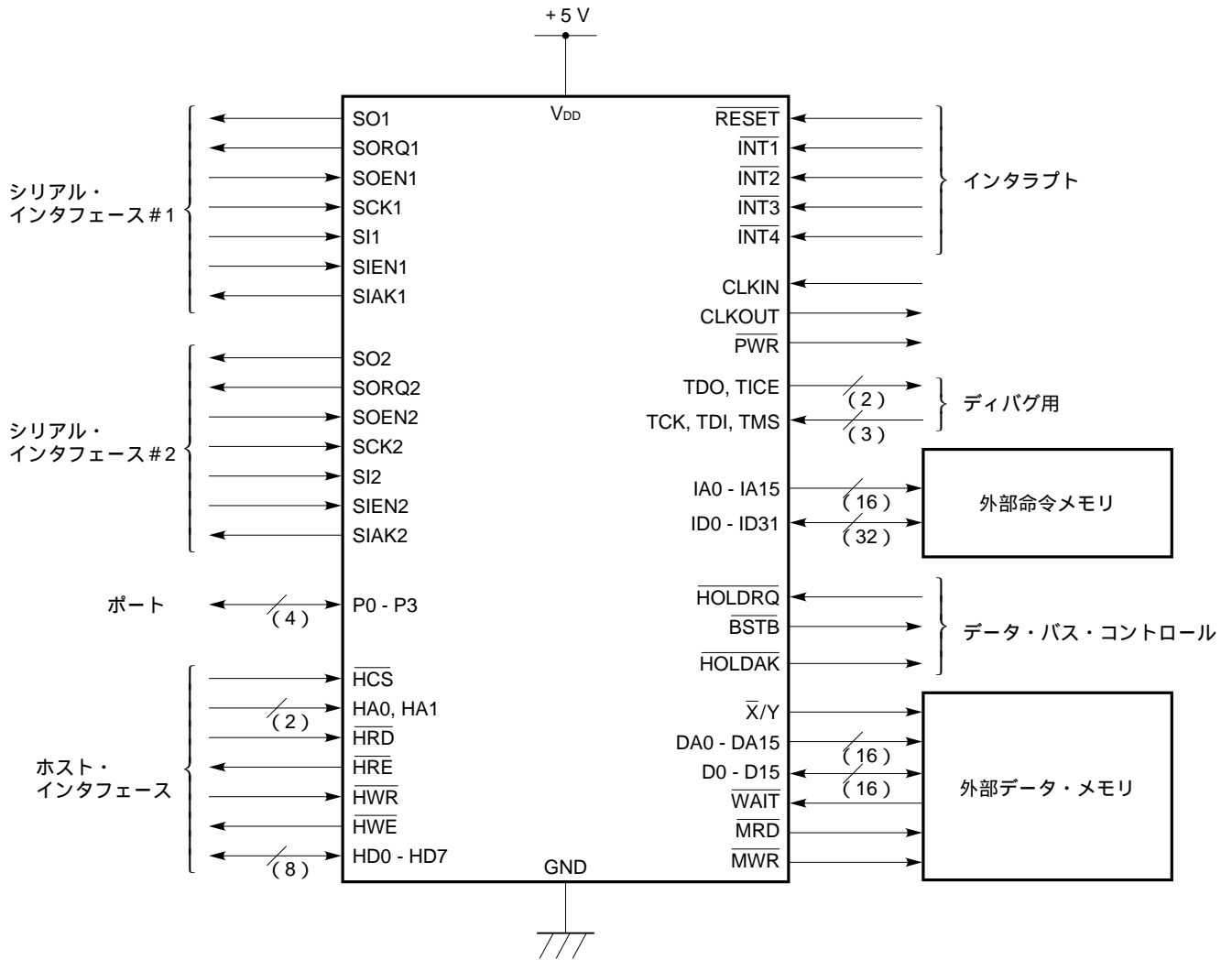
本資料の内容は，後日変更する場合があります。

保守 / 廃止

ブロック図



端子構成図

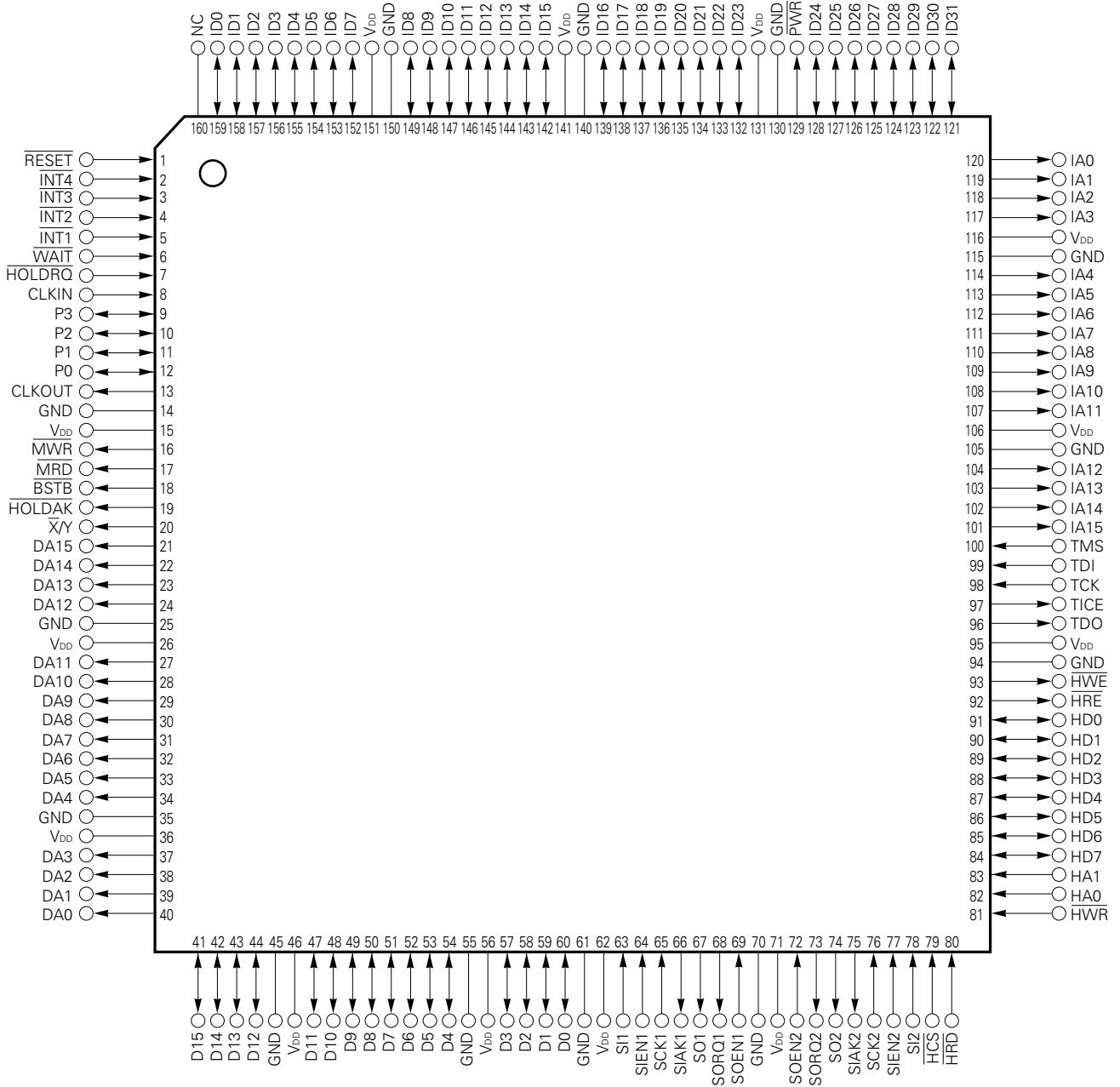


★  $\mu$ PD7701 x ファミリの相違点

項 目		$\mu$ PD77016	$\mu$ PD77015	$\mu$ PD77017	$\mu$ PD77018	$\mu$ PD77018A	$\mu$ PD77019
メモ リ 空 間	内部命令RAM	1.5 Kワード	256ワード				4 Kワード
	内部命令ROM	なし	4 Kワード	12 Kワード	24 Kワード		
	外部命令メモリ	48 Kワード	なし				
	データRAM(X/Yメモリ)	各2 Kワード	各1 Kワード	各2 Kワード	各3 Kワード		
	データROM(X/Yメモリ)	なし	各2 Kワード	各4 Kワード	各12 Kワード		
	外部データ・メモリ(X/Yメモリ)	各48 Kワード	各16 Kワード				
	インストラクション・サイクル (最大動作周波数)	30 ns( 33 MHz )					19 ns( 52 MHz )
外部クロック(最大動作周波数動作時)	66 MHz	33/16.5/8.25/4.125 MHz 通倍率( $\times 1/2/4/8$ はマスク・オプション )				52/26/17.333/13/6.5 MHz 通倍率( $\times 1/2/3/4/8$ はマスク・オプション )	
水晶振動子使用時(最大動作周波数動作時)	-	33 MHz				52 MHz	
インストラクション	-	STOP命令追加( 対 $\mu$ PD77016 )					
シリアル・インタフェース( 2チャンネル内蔵 )	チャンネル1とチャンネル2は同機能	チャンネル1は $\mu$ PD77016と同機能, チャンネル2はSORQ2およびSIAK2端子なし( コーデックなどの接続用 )					
電源	5 V	3 V					
パッケージ	160ピン・プラスチックQFP	100ピン・プラスチックTQFP					

端子接続図

160ピン・プラスチックQFP (ファインピッチ) ( 24 mm ) ( Top View )



## 端子名称

$\overline{\text{BSTB}}$ :	Bus Strobe
CLKIN :	Clock Input
CLKOUT :	Clock Output
D0-D15 :	16 Bits Data Bus
DA0-DA15 :	External Data Memory Address Bus
GND :	Ground
HA0 , HA1 :	Host Data Access
$\overline{\text{HCS}}$ :	Host Chip Select
HD0-HD7 :	Host Data Bus
$\overline{\text{HOLDAK}}$ :	Hold Acknowledge
$\overline{\text{HOLDRQ}}$ :	Hold Request
$\overline{\text{HRD}}$ :	Host Read
$\overline{\text{HRE}}$ :	Host Read Enable
$\overline{\text{HWE}}$ :	Host Write Enable
$\overline{\text{HWR}}$ :	Host Write
IA0-IA15 :	Instruction Memory Address Output
ID0-ID31 :	Instruction Data Input
$\overline{\text{INT1-INT4}}$ :	Interrupt
$\overline{\text{MRD}}$ :	Memory Read Output
$\overline{\text{MWR}}$ :	Memory Write Output
NC :	No Connection
P0-P3 :	Port
$\overline{\text{PWR}}$ :	Program Memory Write Strobe
$\overline{\text{RESET}}$ :	Reset
SCK1 , SCK2 :	Serial Clock Input
SI1 , SI2 :	Serial Data Input
SIK1 , SIK2 :	Serial Input Acknowledge
SIEN1 , SIEN2 :	Serial Input Enable
SO1 , SO2 :	Serial Data Output
SOEN1 , SOEN2 :	Serial Output Enable
SORQ1 , SORQ2 :	Serial Output Request
TCK :	Test Clock Input
TDI :	Test Data Input
TDO :	Test Data Output
TICE :	Test In-Circuit Emulator
TMS :	Test Mode Select
V <sub>DD</sub> :	Power Supply
$\overline{\text{WAIT}}$ :	Wait Input
$\overline{\text{X/Y}}$ :	$\overline{\text{X/Y}}$ Memory Select



端子番号	端子名	端子番号	端子名	端子番号	端子名	端子番号	端子名
1	RESET	41	D15	81	HWR	121	ID31
2	INT4	42	D14	82	HA0	122	ID30
3	INT3	43	D13	83	HA1	123	ID29
4	INT2	44	D12	84	HD7	124	ID28
5	INT1	45	GND	85	HD6	125	ID27
6	WAIT	46	V <sub>DD</sub>	86	HD5	126	ID26
7	HOLDRQ	47	D11	87	HD4	127	ID25
8	CLKIN	48	D10	88	HD3	128	ID24
9	P3	49	D9	89	HD2	129	PWR
10	P2	50	D8	90	HD1	130	GND
11	P1	51	D7	91	HD0	131	V <sub>DD</sub>
12	P0	52	D6	92	HRE	132	ID23
13	CLKOUT	53	D5	93	HWE	133	ID22
14	GND	54	D4	94	GND	134	ID21
15	V <sub>DD</sub>	55	GND	95	V <sub>DD</sub>	135	ID20
16	MWR	56	V <sub>DD</sub>	96	TDO	136	ID19
17	MRD	57	D3	97	TICE	137	ID18
18	BSTB	58	D2	98	TCK	138	ID17
19	HOLDAK	59	D1	99	TDI	139	ID16
20	X/Y	60	D0	100	TMS	140	GND
21	DA15	61	GND	101	IA15	141	V <sub>DD</sub>
22	DA14	62	V <sub>DD</sub>	102	IA14	142	ID15
23	DA13	63	SI1	103	IA13	143	ID14
24	DA12	64	SIEN1	104	IA12	144	ID13
25	GND	65	SCK1	105	GND	145	ID12
26	V <sub>DD</sub>	66	SIK1	106	V <sub>DD</sub>	146	ID11
27	DA11	67	SO1	107	IA11	147	ID10
28	DA10	68	SORQ1	108	IA10	148	ID9
29	DA9	69	SOEN1	109	IA9	149	ID8
30	DA8	70	GND	110	IA8	150	GND
31	DA7	71	V <sub>DD</sub>	111	IA7	151	V <sub>DD</sub>
32	DA6	72	SOEN2	112	IA6	152	ID7
33	DA5	73	SORQ2	113	IA5	153	ID6
34	DA4	74	SO2	114	IA4	154	ID5
35	GND	75	SIK2	115	GND	155	ID4
36	V <sub>DD</sub>	76	SCK2	116	V <sub>DD</sub>	156	ID3
37	DA3	77	SIEN2	117	IA3	157	ID2
38	DA2	78	SI2	118	IA2	158	ID1
39	DA1	79	HCS	119	IA1	159	ID0
40	DA0	80	HRD	120	IA0	160	NC

## 目 次

1 . 端子機能	...	9
1.1 端子機能の説明	...	9
1.2 未使用端子の処理について	...	14
2 . 機能概要	...	15
2.1 バイブライン処理	...	15
2.2 プログラム制御ユニット	...	16
2.3 演算ユニット	...	16
2.4 メモリ	...	18
2.5 内蔵ペリフェラル	...	20
3 . インストラクション	...	21
3.1 インストラクションの概要	...	21
3.2 命令セットとそのオペレーション	...	22
4 . 電気的特性	...	28
5 . 外形図	...	53
6 . 半田付け推奨条件	...	54

## 1. 端子機能

## 1.1 端子機能の説明

## ・電 源

端子名称	端子番号	入出力	機 能
V <sub>DD</sub>	15, 26, 36, 46, 56, 62, 71, 95, 106, 116, 131, 141, 151	-	+5V電源
GND	14, 25, 35, 45, 55, 61, 70, 94, 105, 115, 130, 140, 150	-	接 地

## ・システム・コントロール

端子名称	端子番号	入出力	機 能
CLKIN	8	入力	クロック入力
CLKOUT	13	出力	内部システム・クロック出力
RESET	1	入力	内部システム・リセット信号入力

## ・割り込み

端子名称	端子番号	入出力	機 能
INT4-INT1	2, 3, 4, 5	入力	マスカブル外部割り込み入力 ・立ち下がりエッジで検出されます。

・外部データ・メモリ・インタフェース

端子名称	端子番号	入出力	機能
$\overline{X/Y}$	20	出力 (3S)	メモリ選択信号出力 ・ 0 : Xメモリを使用します。 ・ 1 : Yメモリを使用します。
DA15-DA0	注1	出力 (3S)	外部データ・メモリのアドレス・バス ・ 外部メモリをアクセスします。 ・ 外部メモリをアクセスしないときは、最後にアクセスした外部メモリのアドレスを出力し続けます。リセット後、外部メモリを一度もアクセスしていないときはロウ・レベル(0000H)を出力し続けます。
D15-D0	注2	入出力 (3S)	16ビット・データ・バス ・ 外部メモリをアクセスします。
$\overline{MRD}$	17	出力 (3S)	リード出力 ・ 外部メモリ・リード
$\overline{MWR}$	16	出力 (3S)	ライト出力 ・ 外部メモリ・ライト
$\overline{WAIT}$	6	入力	ウエイト信号入力 ・ 外部メモリを読み出したとき、ウエイト・サイクルを挿入します。 0 : ウエイト 1 : ノーウエイト
$\overline{HOLDRQ}$	7	入力	ホールド・リクエスト信号 ・ 外部データ・メモリ・バスを使用したいときにロウ・レベルを入力します。
$\overline{BSTB}$	18	出力	バス・ストロープ信号 ・ μPD77016が外部データ・メモリ・バスを使用しているとき、ロウ・レベルになります。
HOLDAK	19	出力	ホールド・アクノリッジ信号 ・ 外部デバイスに、外部データ・メモリ・バスの使用を許可するとき、ロウ・レベルになります。

注1 . DA15-DA0は、21-24、27-34、37-40番ピンです。

2 . D15-D0は、41-44、47-54、57-60番ピンです。

備考 表中入出力欄に“3S”を付記した端子は、バス解放時 ( $\overline{HOLDAK}$  = ロウ・レベル) にハイ・インピーダンス状態になります。

## ・シリアル・インタフェース

端子名称	端子番号	入出力	機能
SCK1	65	入力	シリアル1用クロック入力
SORQ1	68	出力	シリアル出力1リクエスト
SOEN1	69	入力	シリアル出力1イネーブル
SO1	67	出力 (3S)	シリアル・データ出力1
SIEN1	64	入力	シリアル入力1イネーブル
SI1	63	入力	シリアル・データ入力1
SCK2	76	入力	シリアル2用クロック入力
SORQ2	73	出力	シリアル出力2リクエスト
SOEN2	72	入力	シリアル出力2イネーブル
SO2	74	出力 (3S)	シリアル・データ出力2
SIEN2	77	入力	シリアル入力2イネーブル
SI2	78	入力	シリアル・データ入力2
SIAK1	66	出力	シリアル入力1応答
SIAK2	75	出力	シリアル入力2応答

**備考** 表中入出力欄に“3S”を付記した端子は、データ送出完了時、およびハードウェア・リセット（RESET）入力により、ハイ・インピーダンス状態になります。

・ホスト・インタフェース

端子名称	端子番号	入出力	機能
HA1	83	入力	HD7-HD0がアクセスするレジスタを指定します。 ・ 1 : ホスト・インタフェース・ステータス・レジスタ(HST)をアクセスします。 ・ 0 : 読み出し( $\overline{\text{HRD}} = 0$ )のとき, ホスト送信データ・レジスタ( $\text{HDT}_{(\text{out})}$ )を, 書き込み( $\text{HWR} = 0$ )のとき, ホスト受信データ・レジスタ( $\text{HDT}_{(\text{in})}$ )をアクセスします。
HA0	82	入力	HD7-HD0がアクセスするレジスタを指定します。 ・ 1 : HST, $\text{HDT}_{(\text{out})}$ , $\text{HDT}_{(\text{in})}$ のビット15-8をアクセスします。 ・ 0 : HST, $\text{HDT}_{(\text{out})}$ , $\text{HDT}_{(\text{in})}$ のビット7-0をアクセスします。
$\overline{\text{HCS}}$	79	入力	チップ・セレクト入力
$\overline{\text{HRD}}$	80	入力	ホスト・リード入力
$\overline{\text{HWR}}$	81	入力	ホスト・ライト入力
$\overline{\text{HRE}}$	92	出力	ホスト・リード・イネーブル出力
$\overline{\text{HWE}}$	93	出力	ホスト・ライト・イネーブル出力
HD7-HD0	84-91	入出力 (3S)	8ビット・ホスト・データ・バス

備考 表中入出力欄に“3S”を付記した端子は, ホストI/F非アクセス時に, ハイ・インピーダンス状態になります。

・入出力ポート

端子名称	端子番号	入出力	機能
P3-P0	9-12	入出力	汎用入出力ポート

## ・外部命令メモリ・インタフェース

端子名称	端子番号	入出力	機能
IA15-IA0	注1	出力 (3S)	外部命令メモリのアドレス・バス ・ μPD77016内部の命令メモリをアクセスしているときも、内部でアクセスしているアドレスを外部に出力します。このとき、外部インストラクション・メモリから出力されているデータは無視されます。
ID31-ID0	注2	入出力 (3S)	32ビット・インストラクション入力
$\overline{\text{PWR}}$	129	出力 (3S)	プログラム・メモリ・ライト・ストロープ ・ μPD77016がブート動作中、プログラムを内蔵メモリではなく外部命令メモリにロードするときの、外部命令メモリへのライト・ストロープです。

注1．IA15-IA0は、101-104、107-114、117-120番ピンです。

2．ID31-ID0は、121-128、132-139、142-149、152-159番ピンです。

**備考** 表中入出力欄に“3S”を付記した端子は、ハードウェア・リセット ( $\overline{\text{RESET}}$ ) 入力により、ハイ・インピーダンス状態になります。

## ・ディバグ用インタフェース

端子名称	端子番号	入出力	機能
TDO	96	出力	ディバグ用
TICE	97	出力	ディバグ用
TCK	98	入力	ディバグ用
TDI	99	入力	ディバグ用
TMS	100	入力	ディバグ用

## 1.2 未使用端子の処理について

端子	I/O	推奨接続方法
INT1-INT4	I	V <sub>DD</sub> に接続
X/Y	O	オープン
DA0-DA15	O	
D0-D15 <sup>注1</sup>	I/O	プルアップ抵抗を介してV <sub>DD</sub> に接続,またはプルダウン抵抗を介してGNDに接続
MRD	O	オープン
MWR	O	
WAIT	I	V <sub>DD</sub> に接続
HOLDRQ	I	
BSTB	O	オープン
HOLDAK	O	
SCK1, SCK2	I	V <sub>DD</sub> またはGNDに接続
SI1, SI2	I	
SIEN1, SIEN2	I	GNDに接続
SOEN1, SOEN2	I	
SORQ1, SORQ2	O	オープン
SO1, SO2	O	
SIK1, SIK2	O	
HA0, HA1	I	V <sub>DD</sub> またはGNDに接続
HCS	I	V <sub>DD</sub> に接続
HRD	I	
HWR	I	
HRE	O	オープン
HWE	O	
HD0-HD7 <sup>注2</sup>	I/O	プルアップ抵抗を介してV <sub>DD</sub> に接続,またはプルダウン抵抗を介してGNDに接続
P0-P3	I/O	
ID0-ID31	I/O	
IA0-IA15	O	オープン
PWR	O	
TCK	I	プルダウン抵抗を介してGNDに接続
TDO, TICE	O	オープン
TMS, TDI	I	オープン(内部でプルアップされています)
CLKOUT	O	オープン

注1. プログラム中で外部データ・メモリをアクセスしない場合はオープン可。

2. HCS, HRD, HWRがハイ・レベル固定ならばオープン可。

備考 I: 入力ピン, O: 出力ピン, I/O: 入出力ピン



## 2. 機能概要

### 2.1 バイプライン処理

μPD77016のバイプライン動作について説明します。

#### 2.1.1 バイプライン処理の概要

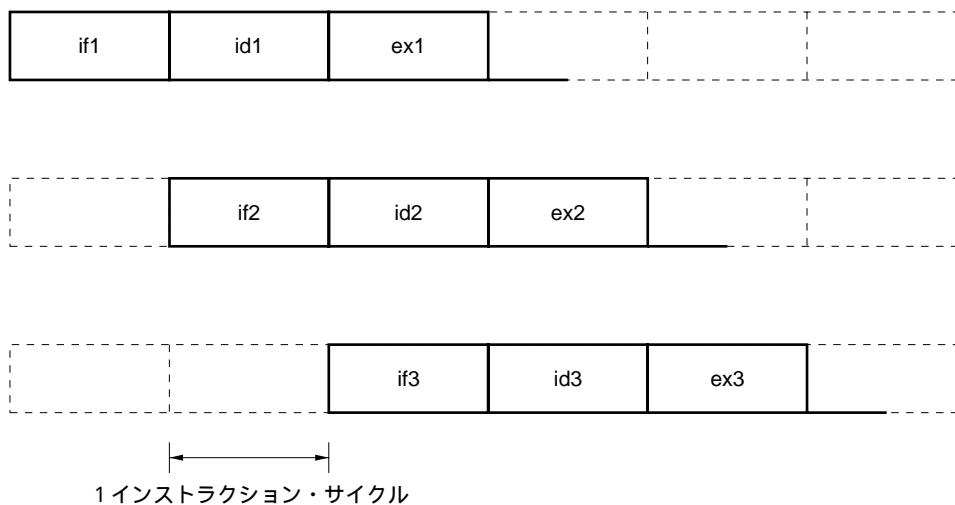
μPD77016の基本動作は、次の3ステージのバイプラインで実行します。

- (1) 命令フェッチ (if)
- (2) 命令デコード (id)
- (3) 実行 (ex)

直前の命令の実行結果を演算対象とする場合、汎用レジスタへ書き戻すと同時に演算器にも入力することで、実行、汎用レジスタへの書き戻しのバイプラインを意識しないプログラミングができます。

前後の命令とのタイミングを次の図に示します。

バイプライン処理のタイミング



#### 2.1.2 遅延が生じる命令

遅延が生じる命令には、次の2つがあります。

##### (1) 割り込みを制御する命令

命令フェッチから実行までの期間の遅延が生じます。割り込み制御情報を更新するまでに、2 インストラクション・サイクルを必要とします。

##### (2) レジスタ間転送命令および即値 (イミーディエト値) 設定命令

レジスタ間転送命令および即値 (イミーディエト値) 設定命令で、データ・ポインタに値を設定したとき、その値でメモリをアクセスできるのは、2 インストラクション・サイクル後からです。

## 2.2 プログラム制御ユニット

プログラム制御ユニットは、通常動作のプログラム・カウンタのカウント・アップのほかに、ループ、リピート、分岐、ホールドおよび割り込みを制御します。

多重ループおよび多重割り込み/サブルーチン・コールに対応するため、ループ4レベルのループ・スタックと、15レベルのプログラム・スタックに加え、ソフトウェア・スタックを構築することができます。

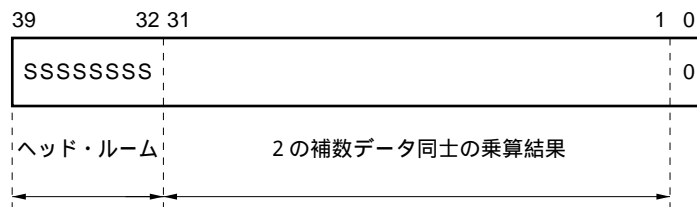
割り込みは、4本の外部割り込みと、ペリフェラルからの6本の内部割り込みがあり、許可/禁止を独立に指定できます。

ホールド命令は、μPD77016待機時の低消費電力対応命令です。ホールド命令を実行すると、ホールド・モードになり、消費電流は低下します。ホールド・モードからの復帰は外部または内部からの割り込み、またはハードウェア・リセットによって行い、数システム・クロックかかります。

## 2.3 演算ユニット

演算ユニットは、データのロード/ストアおよび演算データの入出力を行う8個×40ビットの汎用レジスタ、16ビット×16ビット+40ビット 40ビットのマルチプライ・アキュムレータ、40ビットのデータALU、40ビットの平行・シフトおよびシフト量検出回路で構成されています。

16ビット×16ビットの乗算結果を、精度を落とすことなくアキュムレーションでき、オーバフローのチェック、補正の煩わしさを軽減するため、演算ユニットの語長は40ビットを基本としています。



### 2.3.1 汎用レジスタ (R0-R7: general Register)

汎用レジスタは、演算の入出力、メモリとのロード/ストアなどを行う8つの40ビット・レジスタです。

汎用レジスタ (R0-R7) は、R0L-R7L (ビット15-0), R0H-R7H (ビット31-16) およびR0E-R7E (ビット39-32) の、3つの部分で構成しています。また、RnL, RnH, RnEをそれぞれ1つのレジスタとして扱うこともあります。

#### (1) 40ビット・レジスタとしての汎用レジスタ

汎用レジスタを次に示す目的に使用した場合、40ビット・レジスタとして扱います。

- (a) 3項演算の入力オペランド (乗算器入力を除く)
- (b) 2項演算の入力オペランド (乗算器入力, シフト量を除く)
- (c) 単項演算の入力オペランド (指数命令を除く)
- (d) 演算の出力オペランド
- (e) 条件判定の入力オペランド
- (f) ロード命令のデスティネーション (符号拡張, 0クリアを伴う)

#### (2) 32ビット・レジスタとしての汎用レジスタ

汎用レジスタを指数命令の入力オペランドに使用した場合、ビット31-0を32ビット・レジスタとして扱います。

**(3) 24ビット・レジスタとしての汎用レジスタ**

汎用レジスタを、ロード命令のデスティネーション（符号拡張を伴う）のレジスタに指定した場合、ビット39-16を24ビット・レジスタとして扱います。

**(4) 16ビット・レジスタとしての汎用レジスタ**

汎用レジスタを次に示す目的に使用した場合、ビット31-16を16ビット・レジスタとして扱います。

(a) 乗算器の入力オペランド（符号付き）

(b) ロード/ストア命令のソース/デスティネーション

また、汎用レジスタを次に示す目的に使用した場合、ビット15-0を16ビット・レジスタとして扱います。

(c) 乗算器の入力オペランド（符号なし）

(d) シフト命令のシフト量

(e) ロード/ストア命令のソース/デスティネーション

(f) レジスタ間転送命令のソース/デスティネーション

(g) 即値設定命令のデスティネーション

(h) ハードウェア・ループ命令の回数

**(5) 8ビット・レジスタとしての汎用レジスタ**

汎用レジスタをロード/ストア命令のソース/デスティネーションのレジスタに指定した場合、ビット39-32を8ビット・レジスタとして扱います。

**2.3.2 マルチプライ・アキュムレータ (MAC : Multiply ACcumulator)**

MACは2つの16ビット・データの乗算と、乗算結果と1つの40ビット・データの加減算を行い、40ビット・データを出力します。

乗数および被乗数として、符号付きデータ×符号付きデータ、符号付きデータ×符号なしデータ、符号なしデータ×符号なしデータのいずれの乗算もできます。

また、乗算結果と加算する40ビット・データを、1または16ビット算術右シフトしてから加算することができます。

**2.3.3 算術論理演算回路 (ALU : Arithmetic Logic Unit)**

ALUは40ビット・データを入力し、算術演算および論理演算を行い、40ビット・データを出力します。

**2.3.4 パレル・シフタ (BSFT : Barrel ShiFTer)**

BSFTは、40ビット・データを入力し、左右シフト処理を行い、40ビット・データを出力します。右シフトには、符号拡張を伴う算術右シフトと、MSBから0を挿入する論理右シフトがあります。

**2.3.5 シフト量検出回路 (SAC : Shifter And Count circuit)**

SACは、32ビット・データを入力し、正規化するためのシフト量を求め、結果の40ビット・データを出力します。出力データのビット39-5は常に0になります。

2.3.6 条件判定回路 (CJC : Condition Judge Circuit)

CJCは、40ビット・データを入力し、条件の真偽を判定します。条件が真の場合、条件付加した命令を実行します。条件が偽の場合、条件付加した命令は実行しません。

2.4 メモリ

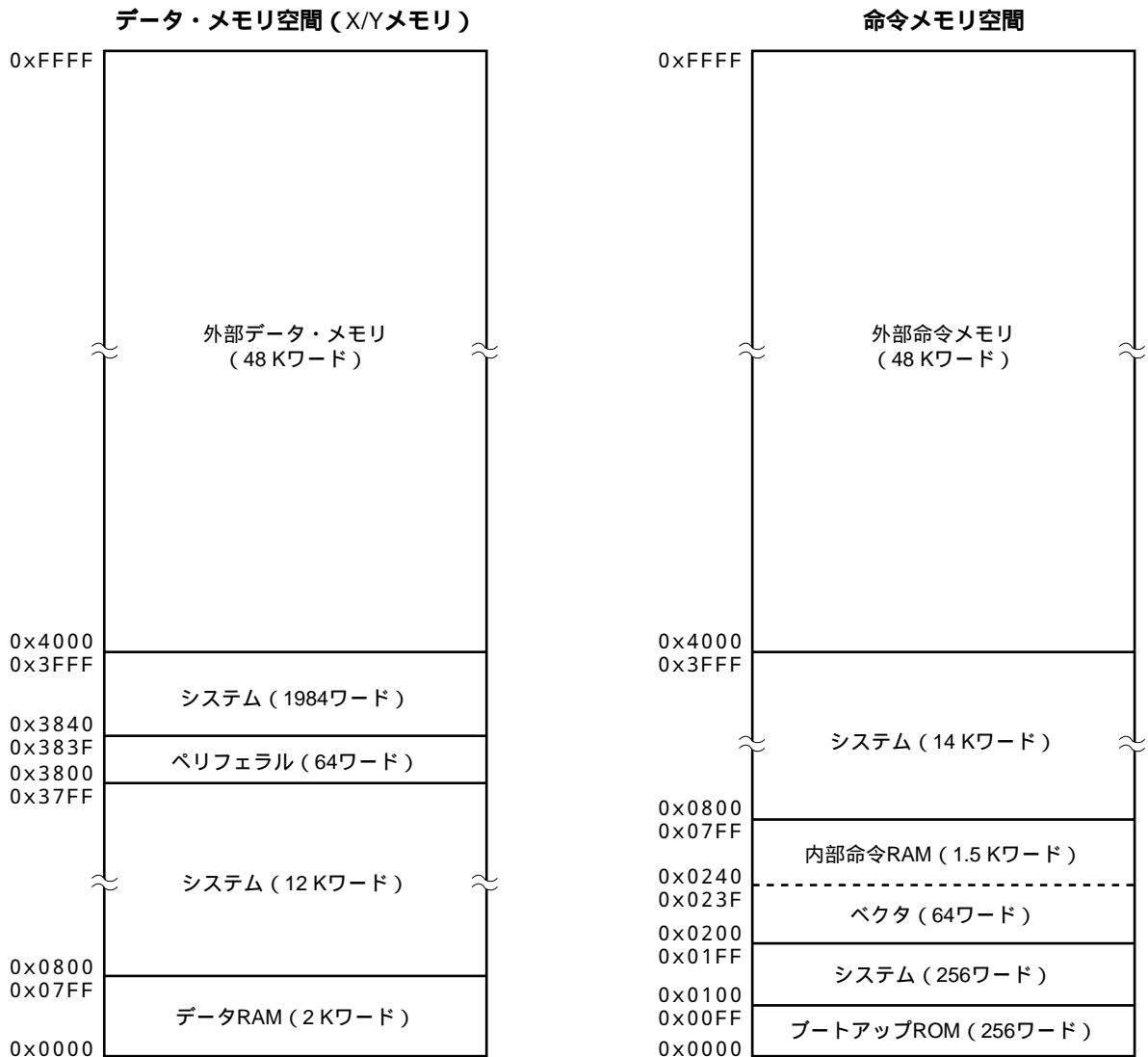
μPD77016は64 Kワード×32ビットの命令メモリ空間を1面と64 Kワード×16ビットのデータ・メモリ空間を2面持っています。命令メモリ空間とデータ・メモリ空間を分離したハーバード・アーキテクチャを採用しています。

データ・メモリ空間のアドレッシングのため、2組のデータ・アドレッシング・ユニットを持っています。それぞれのデータ・アドレッシング・ユニットは、4つのデータ・ポインタ (DP)、4つのインデクス・レジスタ、1つのモジュロ・レジスタおよびアドレスALUを持っています。

DP0-DP3はXメモリのアドレスを指定するレジスタです。DN0-DN3はそれぞれDP0-DP3のモディファイを行うレジスタです。DMXはXメモリ・アドレッシング時にモジュロ計算を行うためのレジスタです。

DP4-DP7はYメモリのアドレスを指定するレジスタです。DN4-DN7はそれぞれDP4-DP7のモディファイを行うレジスタです。DMYはYメモリ・アドレッシング時にモジュロ計算を行うためのレジスタです。

μPD77016のメモリ・マップを次に示します。



**注意** システム用となっているアドレスには、プログラムやデータを置くことも、アクセスすることもできません。これらのアドレスをアクセスしたとき、μPD77016の正常な動作は保証されません。

#### 2.4.1 命令メモリの概要

μPD77016は、1.5 Kワード×32ビットの命令RAMを内蔵しています。命令RAMのうち64ワードを、システム・ベクタに割り当てています。内部命令RAMは、ブート・プログラムによって初期設定および書き換えをします。

このほか、μPD77016は、外部命令メモリ・インタフェースがあり、命令メモリを外部拡張することができます。外部命令メモリにRAMを用いる場合、ブート・プログラムによって初期設定および書き換えができます。

ブートアップROMには、内部命令RAMおよび外部命令RAMに、命令コードをロードするプログラムが格納されています。

外部命令メモリをアクセスする場合、ウエイト機能により、実行サイクルを2サイクル以上にすることができます。

#### 2.4.2 データ・メモリの概要

μPD77016のデータ・メモリ空間は、それぞれ64 Kワード×16ビットのXメモリ空間およびYメモリ空間で構成されています。

μPD77016は、各空間にそれぞれ2 Kワード×16ビットのデータRAMを内蔵しています。さらに、外部データ・メモリ・インタフェースを持っていて、データ・メモリを拡張できます。

また、データ・メモリ空間には、64ワードの内蔵ペリフェラル領域があります。

外部データ・メモリをアクセスする場合、ウエイト機能により、実行サイクルを2サイクル以上にすることができます。

#### 2.4.3 データ・メモリ・アドレッシング

データ・メモリのアドレッシングの方法には、命令フィールドでアドレスを指定する直接アドレッシングと、データ・ポインタでアドレスを指定する間接アドレッシングがあります。間接アドレッシングでは、データ・ポインタの値をビット・リパースしたアドレスで、メモリをアクセスすることができます。また、メモリ・アクセス後のデータ・ポインタの更新も指定することができます。

## 2.5 内蔵ペリフェラル

内蔵ペリフェラルとして、シリアル・インタフェース、ホスト・インタフェース、汎用入出力ポートおよびウエイト・サイクル・レジスタがあります。いずれの内蔵ペリフェラルも、Xメモリ空間およびYメモリ空間にメモリ・マップしてあり、μPD77016のCPUからはメモリ・マップトI/Oとしてアクセスします。

### 2.5.1 シリアル・インタフェースの概要

シリアル入出力がそれぞれ2チャンネルあります。シリアル・クロックは外部から入力します。フレーム長は入出力およびチャンネルで独立に、8ビットまたは16ビットに設定できます。MSBファーストまたはLSBファーストを選択できます。データの入出力は、外部とは端子を使ったハンドシェイクで行い、内部では割り込み、ポーリングまたはウエイト機能を使って行います。

### 2.5.2 ホスト・インタフェースの概要

ホスト・インタフェースには、ホストCPUまたはDMAコントローラなどと、データの入出力を行うための8ビットの平行ポートがあります。ホスト・インタフェースを外部からアクセスする場合、データとステータス、ビット15-8とビット7-0の指定は、ホスト・アドレス入力端子HA0、HA1で行います。μPD77016の内部では入力データ用、出力データ用およびステータス用にそれぞれ16ビット・レジスタをメモリ・マップしてあります。データの入出力は、外部、内部とも割り込み、ポーリングまたはウエイト機能を使って行います。

### 2.5.3 汎用入出力ポートの概要

4ビットの入出力ポートで、入出力の本数の組み合わせを設定することができます。μPD77016の内部では入出力データ用に4ビット、およびコマンド入力用に16ビット・レジスタをメモリ・マップしてあります。

### 2.5.4 ウエイト・サイクル・レジスタ

外部メモリ・アクセス時に挿入するウエイト数を指定する16ビット・レジスタです。

データ領域を8分割し、分割した領域ごとに、0、1、3および7ウエイトから指定できます。また、命令領域を4分割し、領域ごとに、0、1、3および7ウエイトから指定できます。

データ領域アクセス時のウエイトの挿入は、 $\overline{\text{WAIT}}$ 端子によるウエイトの挿入と併用できます。

### 3. インストラクション

#### 3.1 インストラクションの概要

μPD77016のインストラクションは、一命令32ビットで構成されており、インストラクション・サイクルは最高30 nsec.です。インストラクションには、以下の9種類があります。

##### (1) 3項演算命令

乗累算器での演算を指定する命令です。演算対象は汎用レジスタから3レジスタを任意に指定できます。

##### (2) 2項演算命令

乗累算器、ALUまたはシフタでの演算を指定する命令です。演算対象は汎用レジスタから2レジスタを任意に指定できます。汎用レジスタの代わりにイミディエト値を1入力に指定できる命令もあります。

##### (3) 単項演算命令

ALUでの演算を指定する命令です。演算対象は汎用レジスタから1レジスタを任意に指定できます。

##### (4) ロード/ストア命令

メモリと汎用レジスタ間の16ビット・データ転送を指定する命令です。転送対象は汎用レジスタから任意に指定できます。

##### (5) レジスタ間転送命令

汎用レジスタと他のレジスタ間の転送を指定する命令です。

##### (6) 即値設定命令

汎用レジスタとアドレス演算ユニットの各レジスタに即値（イミディエト値）を設定する命令です。

##### (7) 分岐命令

プログラムの分岐を指定する命令です。

##### (8) ハードウェア・ループ命令

命令の繰り返し実行を指定する命令です。

##### (9) 制御命令

プログラム制御を指定する命令です。

### 3.2 命令セットとそのオペレーション

各命令のオペレーション欄には、その命令のオペレーション表現形式に対する記述法に従ってオペレーションを記述します。記述方法の中で、複数個あるものは、それらの要素の1つを選択します。

#### (a) 表現形式と選択できるレジスタの対応

表現形式と選択できるレジスタの対応は、次の表のとおりです。

表現形式	選択できるレジスタ
ro, ro', ro"	R0-R7
rl, rl'	R0L-R7L
rh, rh'	R0H-R7H
re	R0E-R7E
reh	R0EH-R7EH
dp	DP0-DP7
dn	DN0-DN7
dm	DMX, DMY
dpx	DP0-DP3
dpy	DP4-DP7
dpx_mod	DPn, DPn + +, DPn - -, DPn # #, DPn%%, ! DPn # # (n = 0-3)
dpy_mod	DPn, DPn + +, DPn - -, DPn # #, DPn%%, ! DPn # # (n = 4-7)
dp_imm	DPn # # imm (n = 0-7)
* x x x	x x xをアドレスとするメモリの内容 例 DP0レジスタの内容が1000のとき、*DP0はメモリの1000番地の内容を表します。



(b) データ・ポインタのモディファイ

データ・ポインタのモディファイは、メモリ・アクセス後に行います。結果は直後の命令から有効になります。データ・ポインタのモディファイのみはできません。

記述例	オペレーション
DPn	何もしません( DPnの値を変化させません )。
DPn++	DPn DPn + 1
DPn--	DPn DPn - 1
DPn##	DPn DPn + DNn ( DP0-DP7に対応するDN0-DN7の値を加算します。 ) 例 : DP0 DP0 + DN0
DPn%%	( n = 0 - 3 ) $DPn = (( DP_L + DNn ) \bmod ( DMX + 1 )) + DP_H$ ( n = 4 - 7 ) $DPn = (( DP_L + DNn ) \bmod ( DMY + 1 )) + DP_H$
! DPn##	DPnをビット・リバース後メモリ・アクセスする。 メモリ・アクセス後 DPn DPn + DNn
DPn# #imm	DPn DPn + imm

(c) 同時記述できる命令

同時記述できる命令は で表します。

(d) オーバフロー・フラグ(OV)の状態

μPD77016のオーバフロー・フラグの状態を次の記号で表します。

- : 変化なし
- : オーバフローが起きたとき、1にセットされます。

**注意** 演算の結果オーバフローが起きないとき、オーバフロー・フラグはリセットされず、演算前の状態を保持します。

μPD77016 インストラクション・セット

命令群	命令名称	二モニック	オペレーション	同時記述できる命令										フラグ	
				3 項	2 項	単 項	□ スト ド/ ア	転 送	即 値	分 岐	ル プ	制 御	OV		
3 項 演 算	マルチプライ・アド	$ro = ro + rh * rh'$	$ro \quad ro + rh * rh'$												
	マルチプライ・サブ	$ro = ro - rh * rh'$	$ro \quad ro - rh * rh'$												
	サイン・アンサイン・ マルチプライ・アド	$ro = ro + rh * rl$ (rlは正の整数フォーマット)	$ro \quad ro + rh * rl$												
	アンサイン・アンサイ ン・マルチプライ・ア ド	$ro = ro + rl * rl'$ (rl, rl'は正の整数フォーマット)	$ro \quad ro + rl * rl'$												
	1ビット・シフト・ マルチプライ・アド	$ro = (ro \ll 1) + rh * rh'$	$ro \quad \frac{ro}{2} + rh * rh'$												
	16ビット・シフト・ マルチプライ・アド	$ro = (ro \ll 16) + rh * rh'$	$ro \quad \frac{ro}{2^{16}} + rh * rh'$												
2 項 演 算	マルチプライ	$ro = rh * rh'$	$ro \quad rh * rh'$												
	アド	$ro'' = ro + ro'$	$ro'' \quad ro + ro'$												
	イミディエト・アド	$ro' = ro + imm$	$ro' \quad ro + imm$ (ただしimm 1)												
	サブ	$ro'' = ro - ro'$	$ro'' \quad ro - ro'$												
	イミディエト・サブ	$ro' = ro - imm$	$ro' \quad ro - imm$ (ただしimm 1)												
	算術右シフト	$ro' = ro \gg r1$	$ro' \quad ro \gg r1$												
	イミディエト 算術右シフト	$ro' = ro \gg imm$	$ro' \quad ro \gg imm$												
	論理右シフト	$ro' = ro \gg r1$	$ro' \quad ro \gg r1$												
	イミディエト 論理右シフト	$ro' = ro \gg imm$	$ro' \quad ro \gg imm$												
	論理左シフト	$ro' = ro \ll r1$	$ro' \quad ro \ll r1$												
	イミディエト・ 論理左シフト	$ro' = ro \ll imm$	$ro' \quad ro \ll imm$												
	アンド	$ro'' = ro \& ro'$	$ro'' \quad ro \& ro'$												
	イミディエト・ アンド	$ro' = ro \& imm$	$ro' \quad ro \& imm$												
	オア	$ro'' = ro   ro'$	$ro'' \quad ro   ro'$												
	イミディエト・オア	$ro' = ro   imm$	$ro' \quad ro   imm$												
	イクスクルーシブ・ オア	$ro'' = ro \wedge ro'$	$ro'' \quad ro \wedge ro'$												
イミディエト・イク スクルーシブ・オア	$ro' = ro \wedge imm$	$ro' \quad ro \wedge imm$													
レスザン	$ro'' = LT(ro, ro')$	$if(ro < ro')$ { $ro'' \quad 0000000001H$ } else { $ro'' \quad 0000000000H$ }													

命令群	命令名称	二モニク	オペレーション	同時記述できる命令								フラグ	
				3 項	2 項	単 項	□ スト ア	転 送	即 値	分 岐	ル プ		制 御
単 項 演 算	クリア	CLR( ro )	ro 0H										
	インクリメント	ro' = ro + 1	ro' ro + 1										
	デクリメント	ro' = ro - 1	ro' ro - 1										
	絶対値	ro' = ABS( ro )	if( ro < 0 ) { ro' - ro } else { ro' ro }										
	1の補数	ro' = ~ ro	ro' ~ ro										
	2の補数	ro' = - ro	ro' - ro										
	クリップ	ro' = CLIP( ro )	if( ro > 007FFFFFFFH ) { ro' 007FFFFFFFH } else if( ro < FF80000000H ) { ro' FF80000000H } else { ro' ro }										
	丸め	ro' = ROUND( ro )	if( ro > 007FFF0000H ) { ro' 007FFF0000H } else if( ro > FF80000000H ) { ro' FF80000000H } else { ro' ( ro + 8000H ) & FFFFFFF0000H }										
	指数	ro' = EXP( ro )	ro' log <sub>e</sub> ( $\frac{1}{ro}$ )										
	代入	ro' = ro	ro' ro										
	累加算	ro' + = ro	ro' ro' + ro										
	累減算	ro' - = ro	ro' ro' - ro										
除算	ro' / = ro	if( sigr( ro' ) = = sigr( ro ) ) { ro' ( ro' - ro ) 1 } else { ro' ( ro' + ro ) 1 } if( sigr( ro' ) = = 0 ) { ro' ro' + 1 }											

命令群	命令名称	二モニク	オペレーション	同時記述できる命令								フラグ	
				3 項	2 項	単 項	□ ストア/ ストア	転 送	即 値	分 岐	ル プ		制 御
ロード / ストア	並列 ロード / ストア <sup>注1, 注2</sup>	ro = *dpx_mod ro' = *dpy_mod	ro *dpx, ro' *dpy										
		ro = *dpx_mod *dpy_mod = rh	ro *dpx, *dpy rh										
		*dpx_mod = rh ro = *dpy_mod	*dpx rh, ro *dpy										
		*dpx_mod = rh *dpy_mod = rh'	*dpx rh, *dpy rh'										
	部分 ロード / ストア <sup>注1, 注2, 注3</sup>	dest = *dpx_mod	dest *dpx,										
		dest' = *dpy_mod	dest' *dpy										
		dest = *dpx_mod *dpy_mod = source	dest *dpx, *dpy source										
		*dpx_mod = source dest = *dpy_mod	*dpx source, dest *dpy										
		*dpx_mod = source *dpy_mod = source'	*dpx source, *dpy source'										
	ダイレクト・アドレッシング・ロード / ストア <sup>注4</sup>	dest = *addr	dest *addr										
		*addr = source	*addr source										
	即値インデクス・ロード / ストア <sup>注5</sup>	dest = *dp_imm	dest *dp										
*dp_imm = source		*dp source											
レジスタ間転送 <sup>注6</sup>	dest = rl	dest rl											
	rl = source	rl source											
即値設定	rl = imm (ただし, imm = 0-0xFFFF)	rl imm											
	dp = imm (ただし, imm = 0-0xFFFF)	dp imm											
	dn = imm (ただし, imm = 0-0xFFFF)	dn imm											
	dm = imm (ただし, imm = 1-0xFFFF)	dm imm											

注1 . 2つの二モニクのうち、いずれか1つを記述することも、両方とも記述することも可能です。

2 . 転送後、modで指定されたモディファイを行います。

3 . dest, dest' = { ro, reh, re, rh, rl } , source, source' = { re, rh, rl } のいずれかを選択してください。

4 . dest = { ro, reh, re, rh, rl } , source = { re, rh, rl } , addr =  $\begin{cases} 0 : X-0xFFFF : X (Xメモリ) \\ 0 : Y-0xFFFF : Y (Yメモリ) \end{cases}$  のいずれかを選択してください。

5 . dest = { ro, reh, re, rh, rl } , source = { re, rh, rl } のいずれかを選択してください。

6 . dest, sourceは汎用レジスタ以外の全レジスタのうちのいずれかを選択してください。

命令群	命令名称	二モニック	オペレーション	同時記述できる命令								フラグ	
				3 項	2 項	単 項	□ スト ア	転 送	即 値	分 岐	ル プ		制 御
分岐	ジャンプ	JMP imm	PC imm										
	レジスタ間接ジャンプ	JMP dp	PC dp										
	サブルーチン・コール	CALL imm	SP SP + 1 STK PC + 1 PC imm										
	レジスタ間接サブルーチン・コール	CALL dp	SP SP + 1 STK PC + 1 PC dp										
	リターン	RET	PC STK SP SP - 1										
	割り込みリターン	RETI	PC STK STK SP - 1 割り込み許可フラグの復帰										
ハードウェア・ループ	リピート	REP count	開始 RC count RF 0 リピート中 PC PC RC RC - 1 終了 PC PC + 1 RF 1										
	ループ	LOOP count ( 2 行以上の命令 )	開始 RC count RF 0 リピート中 PC PC RC RC - 1 終了 PC PC + 1 RF 1										
	ループ・ポップ	LPOP	LC LSR3 LE LSR2 LS LSR1 LSP LSP - 1										
制御	ノー・オペレーション	NOP	PC PC + 1										
	ホールド	HALT	CPU停止										
	条件	IF( ro cond )	条件判定										
	フォーゲット・インタラプト	FINT	割り込み要求を破棄										

4. 電気的特性

絶対最大定格 (TA = +25 )

項 目	略 号	条 件	定 格	単 位
電源電圧	V <sub>DD</sub>		- 0.5 ~ + 7.0	V
入力電圧	V <sub>I</sub>		- 0.5 ~ V <sub>DD</sub> + 0.5	V
出力電圧	V <sub>O</sub>		- 0.5 ~ V <sub>DD</sub> + 0.5	V
保存温度	T <sub>stg</sub>		- 65 ~ + 150	
動作周囲温度	T <sub>A</sub>		- 40 ~ + 85	

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

容量 (TA = +25 , V<sub>DD</sub> = 0 V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
入力容量	C <sub>I</sub>	f <sub>c</sub> = 1 MHz 被測定端子以外は0 V			15	pF
出力容量	C <sub>O</sub>				15	pF

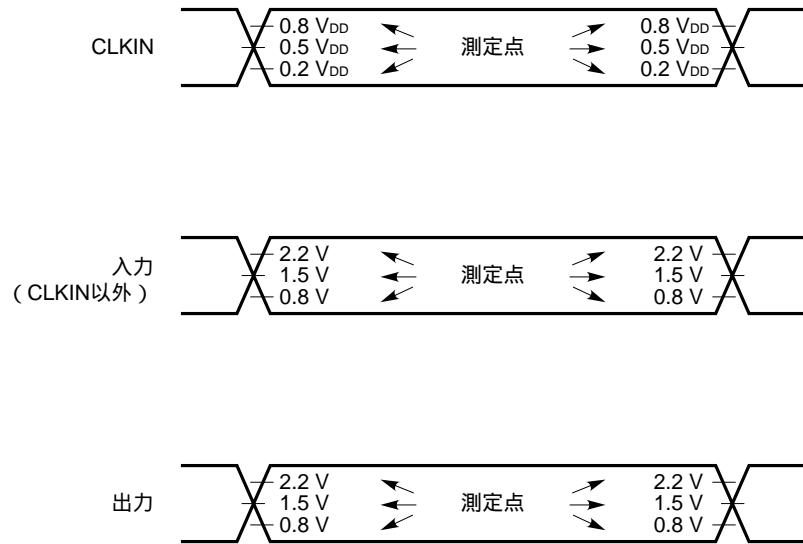
DC特性 (TA = -40 ~ +85 , VDD = 5 V ± 10 %)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ハイ・レベル入力電圧	V <sub>IH</sub>	RESET, CLKIN, INT1-INT4, WAIT, HCS, HRD, HWR, TCK, TDI, TMS以外	2.2		V <sub>DD</sub> + 0.5	V
	V <sub>IHC</sub>	RESET, INT1-INT4, WAIT, HCS, HRD, HWR, TCK, TDI, TMS	0.7 V <sub>DD</sub>		V <sub>DD</sub> + 0.5	V
ロウ・レベル入力電圧	V <sub>IL</sub>	RESET, CLKIN, INT1-INT4, WAIT, HCS, HRD, HWR, TCK, TDI, TMS以外	- 0.5		+ 0.8	V
	V <sub>ILC</sub>	RESET, INT1-INT4, WAIT, HCS, HRD, HWR, TCK, TDI, TMS	- 0.5		0.2 V <sub>DD</sub>	V
ハイ・レベルCLKIN入力電圧	V <sub>IHX</sub>		0.8 V <sub>DD</sub>		V <sub>DD</sub> + 0.5	V
ロウ・レベルCLKIN入力電圧	V <sub>ILX</sub>		- 0.5		0.2 V <sub>DD</sub>	V
ハイ・レベル出力電圧	V <sub>OH</sub>	I <sub>OH</sub> = - 2.5 mA	0.8 V <sub>DD</sub>			V
ロウ・レベル出力電圧	V <sub>OL</sub>	I <sub>OL</sub> = 2.5 mA			0.4	V
ロウ・レベル入力電流	I <sub>IL</sub>	TDI, TMS, V <sub>i</sub> = 0 V			- 400	μ A
ハイ・レベル入力リーク電流	I <sub>LIH</sub>	V <sub>i</sub> = V <sub>DD</sub>			10	μ A
ロウ・レベル入力リーク電流	I <sub>LIL</sub>	TDI, TMS以外, V <sub>i</sub> = 0 V			- 10	μ A
電源電流	I <sub>DD</sub> <sup>注</sup>	動作時, t <sub>cl</sub> = 15 ns V <sub>IH</sub> = V <sub>DD</sub> , V <sub>IL</sub> = 0 V, 無負荷		140	300	mA
	I <sub>DDH</sub>	HALT時, t <sub>cl</sub> = 15 ns V <sub>IH</sub> = V <sub>DD</sub> , V <sub>IL</sub> = 0 V, 無負荷		80		mA
	I <sub>DDS</sub>	CLKIN = 0 V V <sub>IH</sub> = V <sub>DD</sub> , V <sub>IL</sub> = 0 V, 無負荷		10		μ A

注 TYP.値は, V<sub>DD</sub> = 5 V時に一般的なプログラムを実行したときの値です。

MAX.値は, V<sub>DD</sub> = 5.5 V時に, デバイス内部のスイッチングが極めて多いような特殊なプログラムを実行したときの値です。

スイッチング特性の共通測定基準





AC特性 (TA = -40 ~ +85 , VDD = 5 V ± 10 % , CL = 30 pF)

クロック

タイミング必要条件

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
CLKINサイクル・タイム	t <sub>cCl</sub>		15		500	ns
CLKINハイ・レベル幅	t <sub>wClH</sub>		6.75		0.55t <sub>cCl</sub>	ns
CLKINロウ・レベル幅	t <sub>wClL</sub>		6.75		0.55t <sub>cCl</sub>	ns
CLKIN立ち上がり / 立ち下がり時間	t <sub>trCl</sub>				6	ns

スイッチング特性

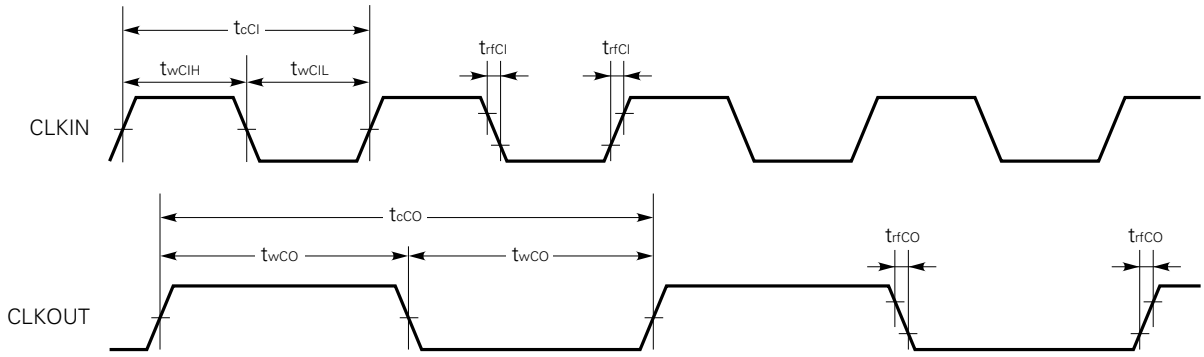
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
CLKOUTサイクル・タイム	t <sub>cCO</sub>			2t <sub>cCl</sub>		ns
CLKOUT幅	t <sub>wCO</sub>		t <sub>cCl</sub> - 3			ns
CLKOUT立ち上がり / 立ち下がり時間	t <sub>trCO</sub>				3	ns

リセット , 割り込み

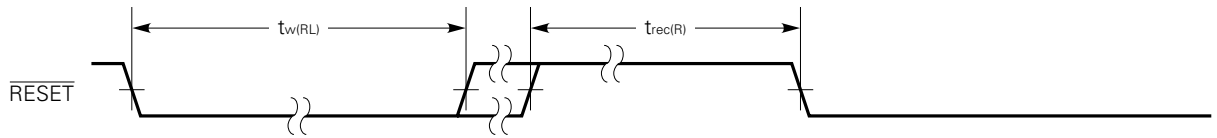
タイミング必要条件

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
RESETロウ・レベル幅	t <sub>w(RL)</sub>		4t <sub>cCO</sub>			ns
RESETリカバリ時間	t <sub>trα(R)</sub>		4t <sub>cCO</sub>			ns
INT1-INT4ロウ・レベル幅	t <sub>w(INTL)</sub>		3t <sub>cCO</sub>			ns
INT1-INT4リカバリ時間	t <sub>trα(INT)</sub>		3t <sub>cCO</sub>			ns

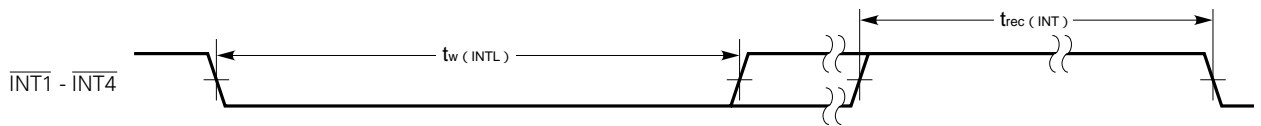
クロック入出力タイミング



リセット・タイミング



割り込みタイミング



外部データ・メモリ・アクセス

タイミング必要条件

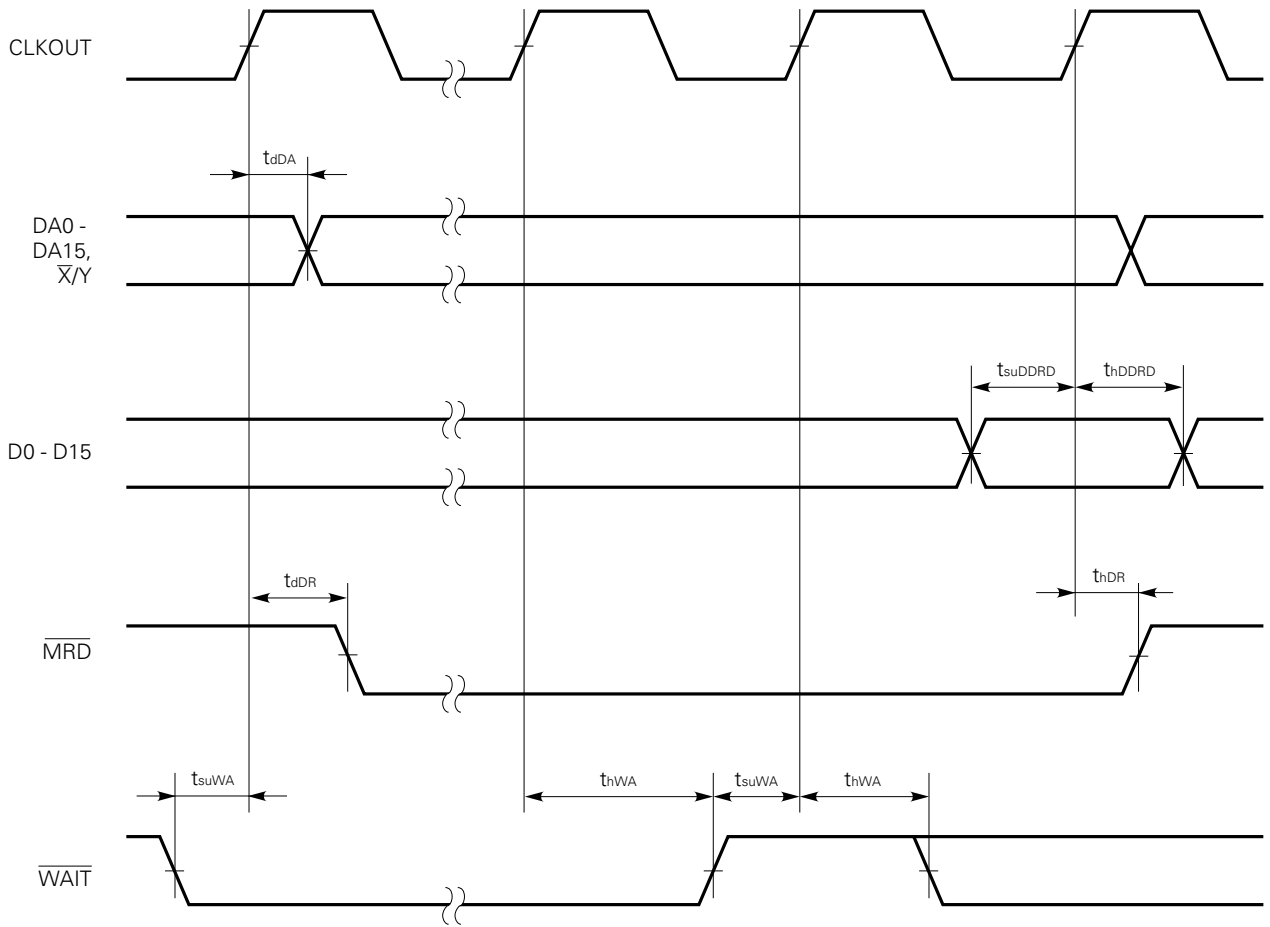
項目	略号	条件	MIN.	TYP.	MAX.	単位
リード・データ・セットアップ時間	t <sub>suDDR</sub>		14			ns
リード・データ・ホールド時間	t <sub>hDDR</sub>		0			ns
WAITセットアップ時間	t <sub>suWA</sub>		8			ns
WAITホールド時間	t <sub>hWA</sub>		0			ns

スイッチング特性

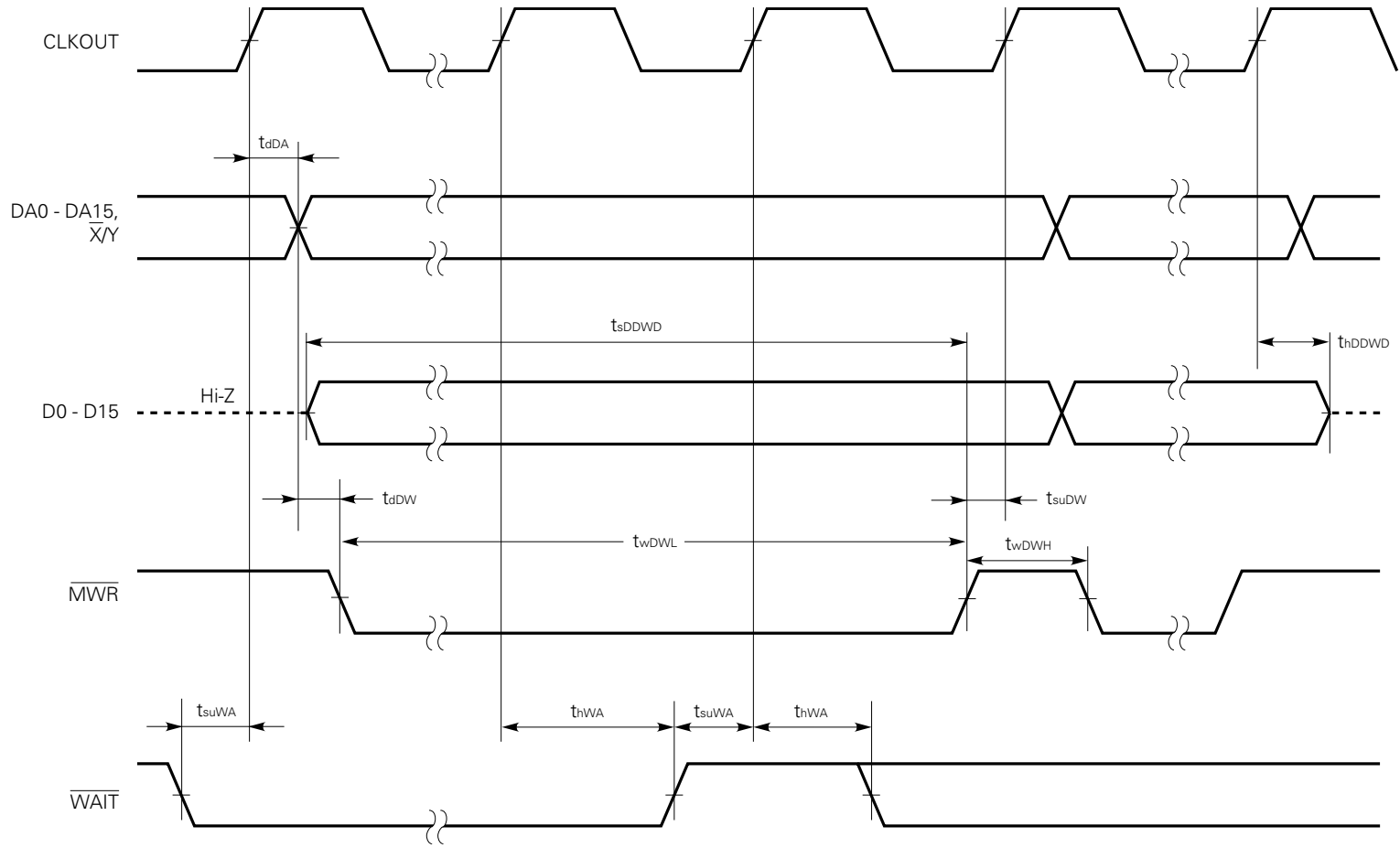
項目	略号	条件	MIN.	TYP.	MAX.	単位
アドレス出力遅延時間	t <sub>dA</sub>		0		6	ns
MRD出力遅延時間	t <sub>dR</sub>		0		8	ns
MRDホールド時間	t <sub>hR</sub>		0		8	ns
ライト・データ・セットアップ時間	t <sub>suDDW</sub>		t <sub>cCl</sub> + t <sub>wClH</sub> - 15 + t <sub>cDW</sub> <sup>注</sup>			ns
ライト・データ出力ホールド時間	t <sub>hDDW</sub>		0		15	ns
MWR出力遅延時間	t <sub>dW</sub>		t <sub>wClH</sub> - 4			ns
MWRセットアップ時間	t <sub>suDW</sub>		t <sub>wClL</sub> - 4			ns
MWRロウ・レベル幅	t <sub>wDWL</sub>		t <sub>cCl</sub> - 4 + t <sub>cDW</sub> <sup>注</sup>			ns
MWRハイ・レベル幅	t <sub>wDWH</sub>		t <sub>cCl</sub> - 4			ns

注 t<sub>cDW</sub> : データ・ウエイト・サイクル

外部データ・メモリ・リード・オペレーション



外部データ・メモリ・ライト・オペレーション



外部命令メモリ・アクセス

タイミング必要条件

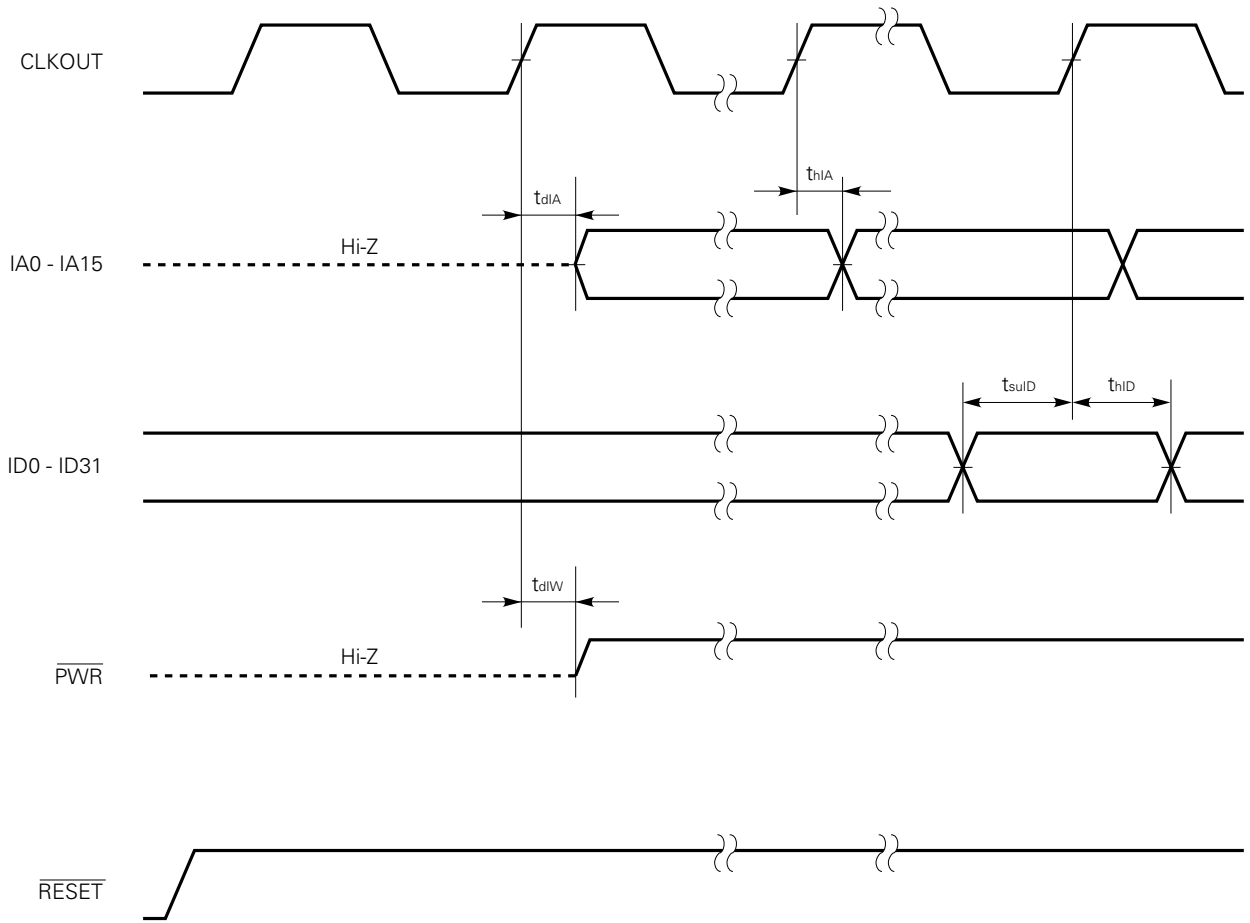
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
IDセットアップ時間(対CLKOUT )	t <sub>suID</sub>		14			ns
IDホールド時間(対CLKOUT )	t <sub>hID</sub>		0			ns

スイッチング特性

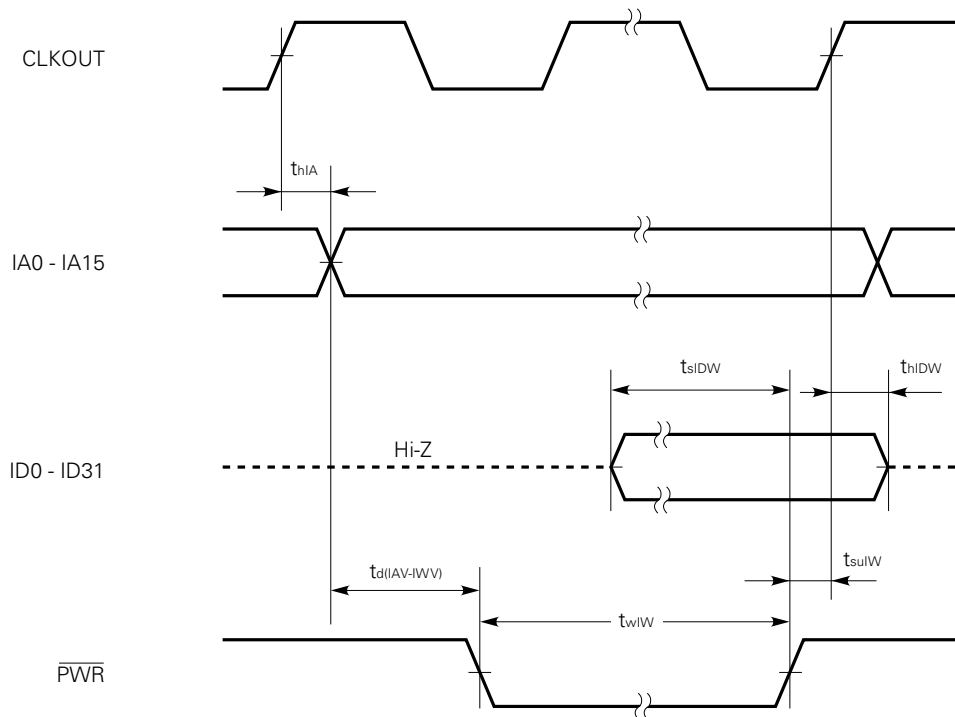
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
IA出力遅延時間	t <sub>dIA</sub>			10		ns
IAホールド時間	t <sub>hIA</sub>		0		6	ns
IDライト・セットアップ時間	t <sub>suIDW</sub>		t <sub>cCl</sub> + t <sub>wClH</sub> - 15			ns
IDライト・ホールド時間	t <sub>hIDW</sub>		0			ns
PWR出力遅延時間	t <sub>dIW</sub>			10		ns
アドレス PWRセットアップ時間	t <sub>d(IAV-IWV)</sub>		t <sub>cCl</sub> + t <sub>wClH</sub> - 4			ns
PWRセットアップ時間	t <sub>suIW</sub>		t <sub>wClL</sub> - 4			ns
PWRライト幅	t <sub>wIW</sub>		t <sub>cCO</sub> - 4 + t <sub>clW</sub>			ns

備考 t<sub>clW</sub> : インストラクション・ウエイト・サイクル

外部命令メモリ・リード・オペレーション



外部命令メモリ・ライト・オペレーション



バス・アービトレーション

タイミング必要条件

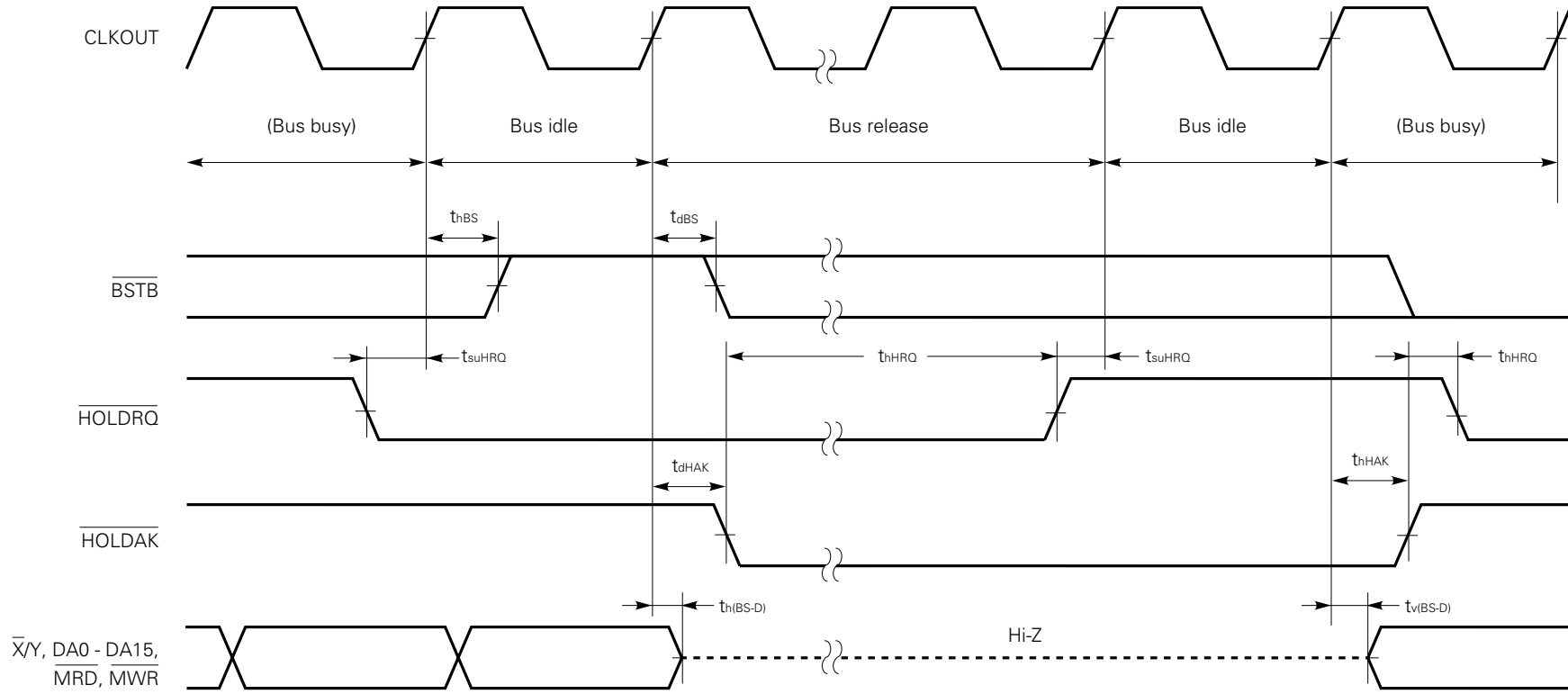
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
HOLDRQセットアップ時間	t <sub>suHRQ</sub>		8			ns
HOLDRQホールド時間	t <sub>hHRQ</sub>		0			ns

スイッチング特性

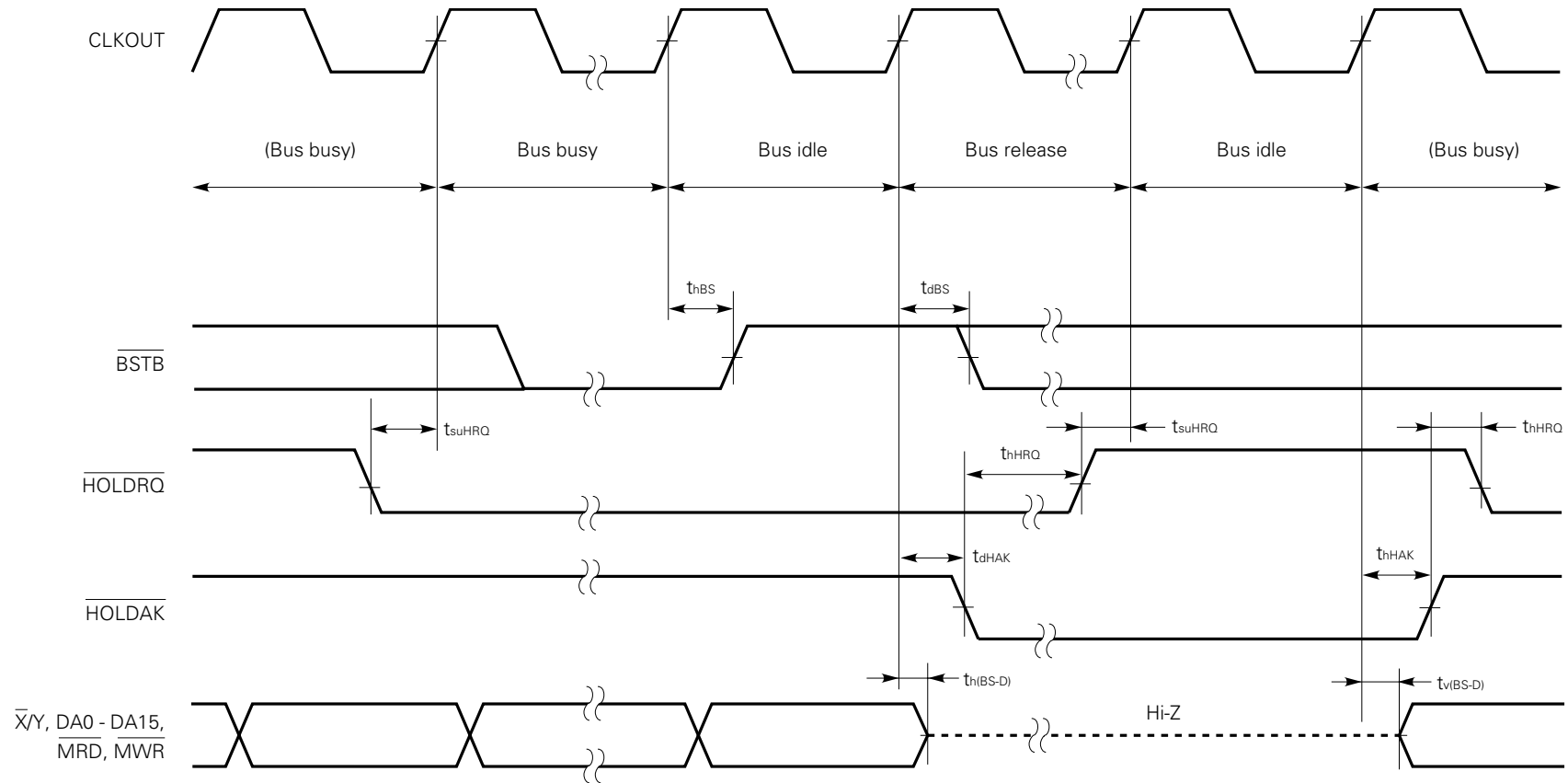
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
BSTBホールド時間	t <sub>hBS</sub>		0		6	ns
BSTB出力遅延時間	t <sub>dB</sub>		0		6	ns
HOLDAK出力遅延時間	t <sub>dHAK</sub>		0		6	ns
HOLDAKホールド時間	t <sub>hHAK</sub>		0		6	ns
バス・アービトレーション時のデータ・ホールド時間	t <sub>t(BS-D)</sub>				15	ns
バス・アービトレーション後のデータ有効時間	t <sub>v(BS-D)</sub>				15	ns



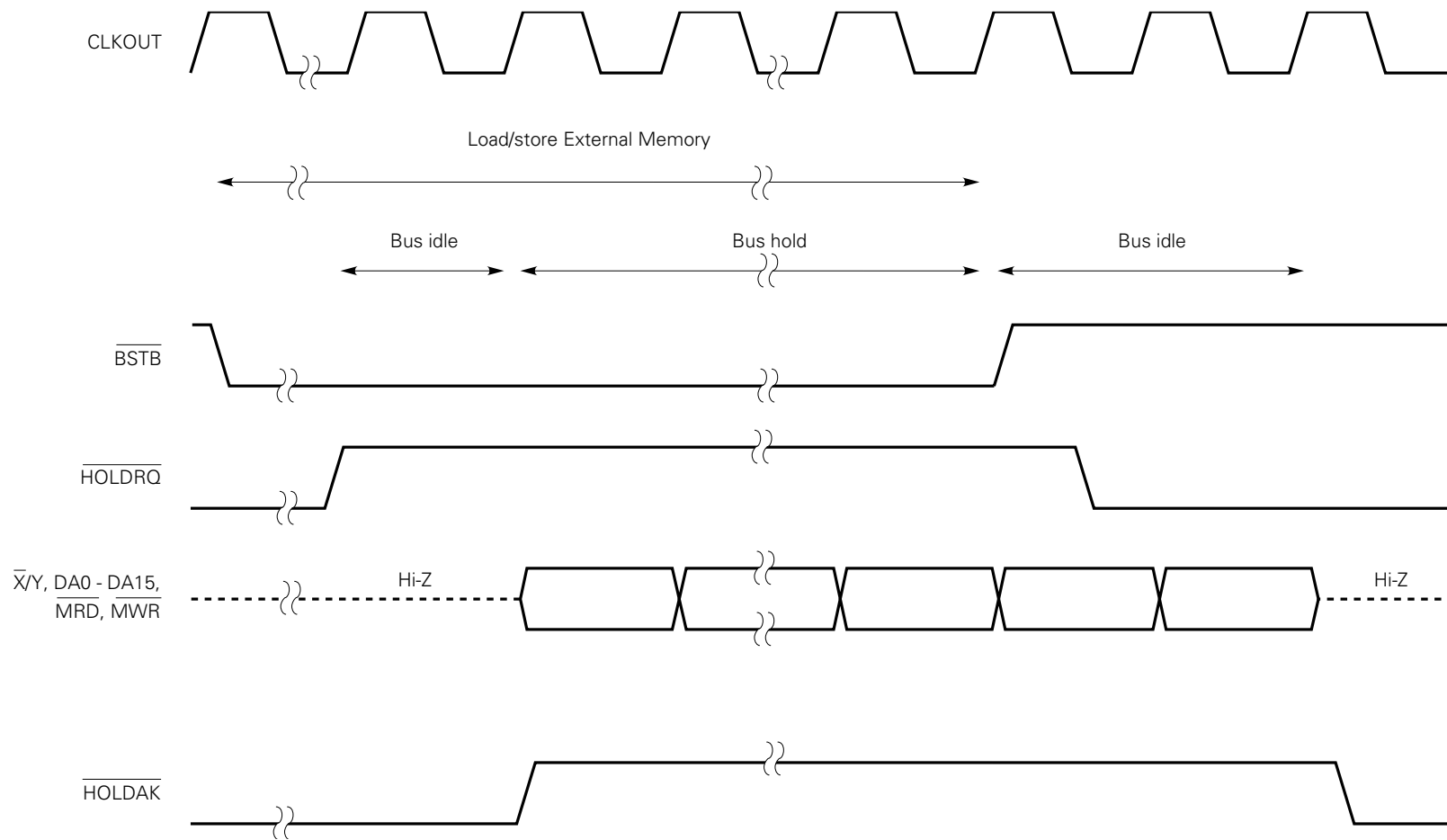
バス・アービトレーション・タイミング (バス・アイドル時)



## バス・アービトレーション・タイミング (バス・ビジィ時)



バス・アービトレーション・タイミング (バス・スレーブ時)



シリアル・インタフェース

タイミング必要条件

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCKサイクル・タイム	$t_{cSC}$		$2t_{cco}$			ns
SCKハイ/ロウ・レベル幅	$t_{wSC}$		25			ns
SCK立ち上がり/立ち下がり時間	$t_{rSC}$			3	20	ns
SOENリカバリ時間	$t_{recSOE}$		10			ns
SOENホールド時間	$t_{hSOE}$		5			ns
SIENリカバリ時間	$t_{recSIE}$		10			ns
SIENホールド時間	$t_{hSIE}$		5			ns
SIセットアップ時間	$t_{suSI}$		10			ns
SIホールド時間	$t_{hSI}$		0			ns

スイッチング特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
SORQ出力遅延時間	$t_{dSOR}$		0		30	ns
SORQホールド時間	$t_{hSOR}$		0		30	ns
SO有効時間	$t_{vSO}$		0		30	ns
SOホールド時間	$t_{hSO}$				60	ns
SI AK出力遅延時間	$t_{dSIA}$		0		30	ns
SI AKホールド時間	$t_{hSIA}$		0		30	ns

★ 注意 シリアル・クロックにノイズが重畳すると、シリアル・インタフェースがデッドロックする可能性があります。設計の際には、次の点に注意してください。

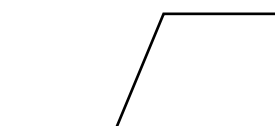
電源、グラウンドの配線を強化する（電源およびグラウンドにノイズが重畳すると、相対的にシリアル・クロックにノイズが重畳したように見ることがあります）。

デバイスのSCK1, SCK2端子とクロック供給源との間の配線を極力短くする。

シリアル・クロックの信号線と、ほかの信号線を交差させない。また、変化する大電流が流れる線と接近させない。

デバイスのSCK1, SCK2端子とクロックの供給源が1対1になるようにし、1つのクロック供給源から複数のデバイスへクロックを供給しないようにする。

シリアル・クロックは、オーバシュートおよびアンダシュートしないように注意する。特に、立ち上がり/立ち下がり時の波形がきれいになるように配慮する。



直線的な立ち上がり/立ち下がりにする。

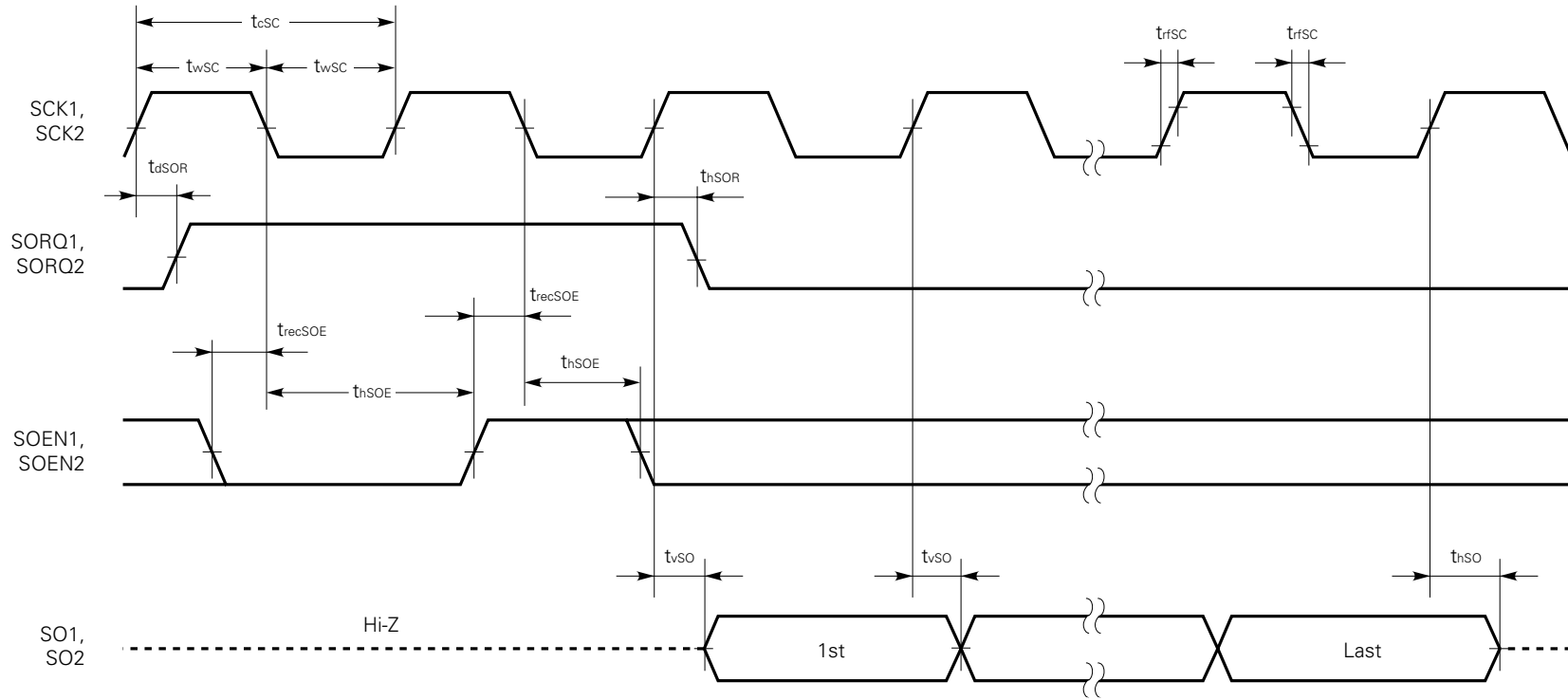


× バウンドさせない。ノイズを重畳させない。

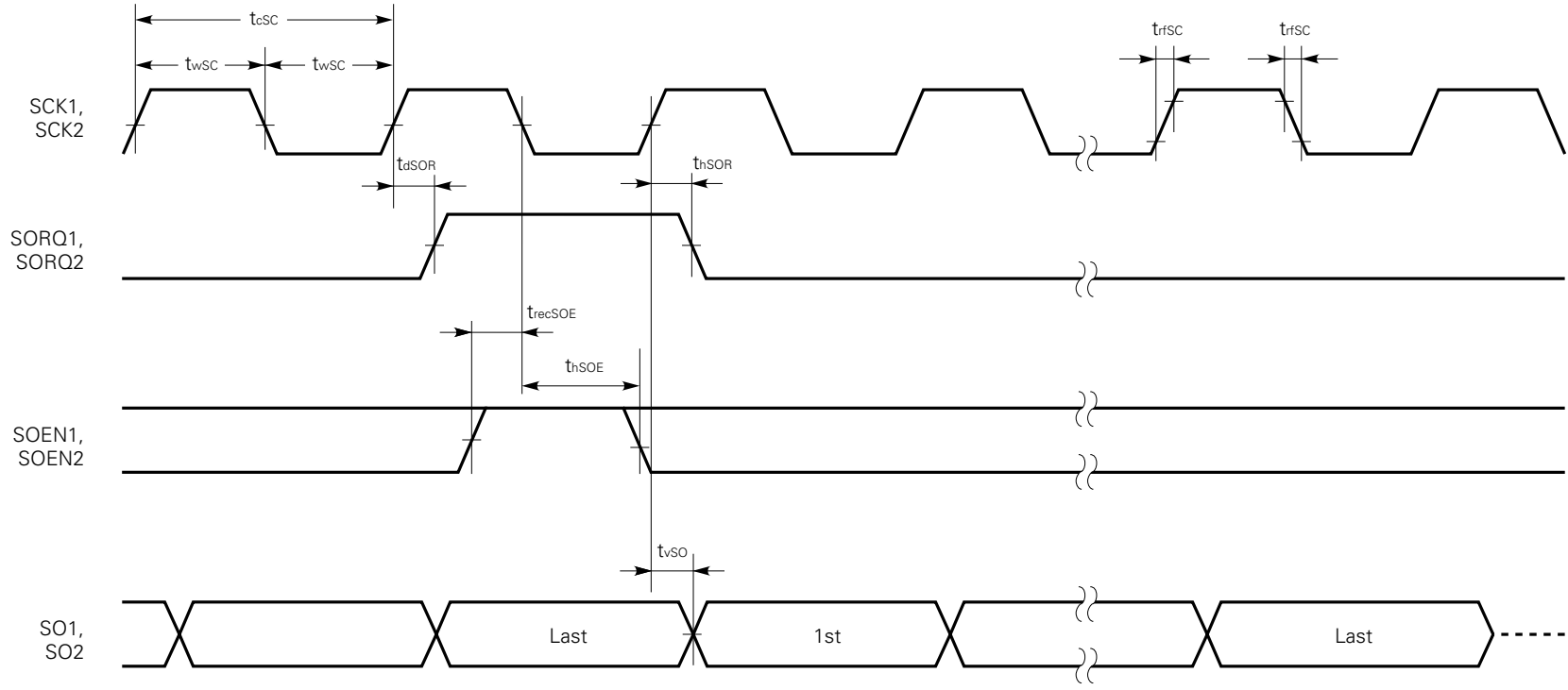


× 階段状にさせない。

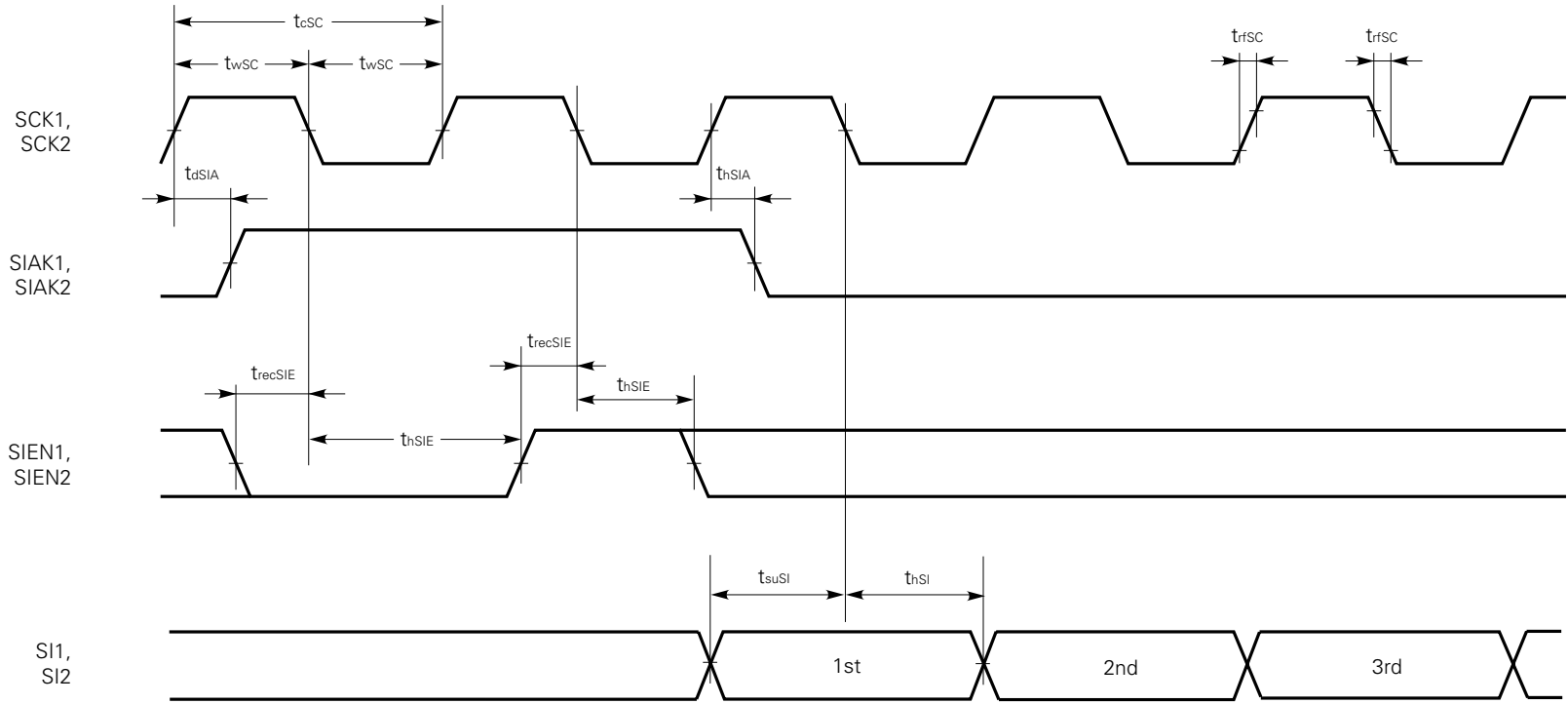
シリアル出力タイミング1



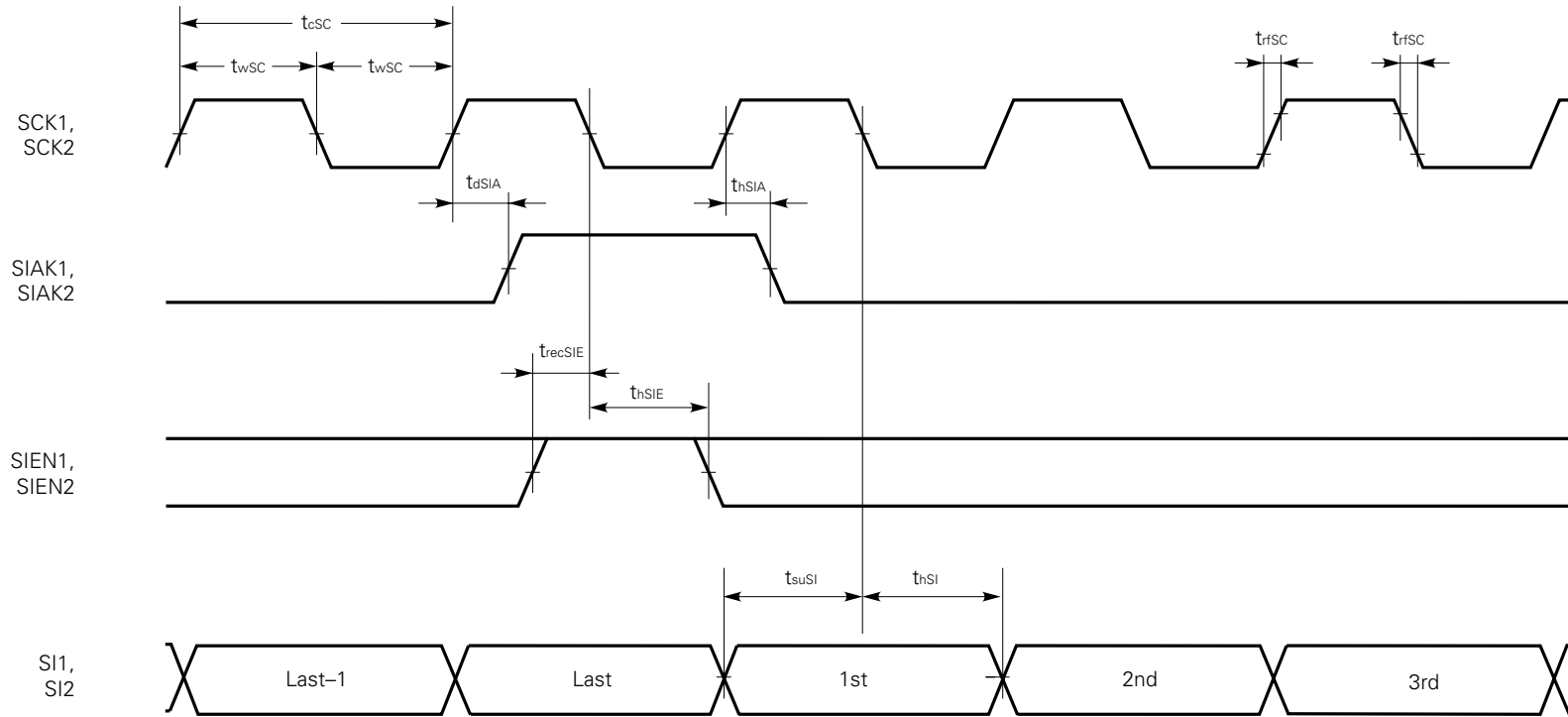
シリアル出力タイミング2 (連続出力時)



シリアル入力タイミング1



## シリアル入力タイミング2 (連続入力時)



保守 / 廃止



ホスト・インタフェース

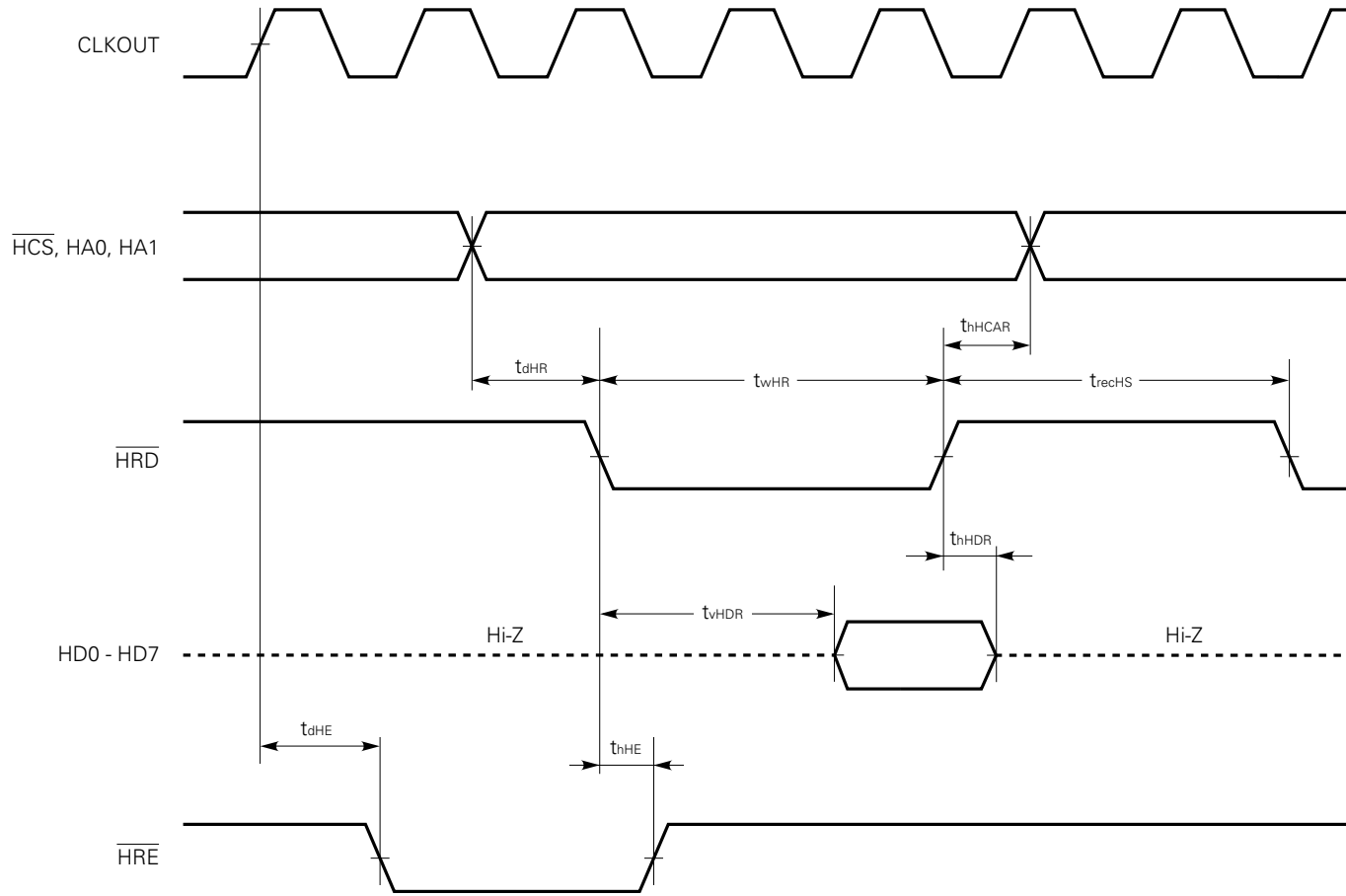
タイミング必要条件

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
$\overline{\text{HRD}}$ 遅延時間	$t_{dHR}$		0			ns
$\overline{\text{HRD}}$ 幅	$t_{wHR}$		$2t_{cCO}$			ns
$\overline{\text{HCS}}$ , HA0, HA1リード・ホールド時間	$t_{nHCAR}$		5			ns
$\overline{\text{HCS}}$ , HA0, HA1ライト・ホールド時間	$t_{nHCAW}$		5			ns
$\overline{\text{HRD}}$ , $\overline{\text{HWR}}$ リカバリ時間	$t_{reCHS}$		$2t_{cCO}$			ns
$\overline{\text{HWR}}$ 遅延時間	$t_{dHW}$		0			ns
$\overline{\text{HWR}}$ 幅	$t_{wHW}$		$2t_{cCO}$			ns
$\overline{\text{HWR}}$ ホールド時間	$t_{nHDW}$		5			ns
$\overline{\text{HWR}}$ セットアップ時間	$t_{suHDW}$		20			ns

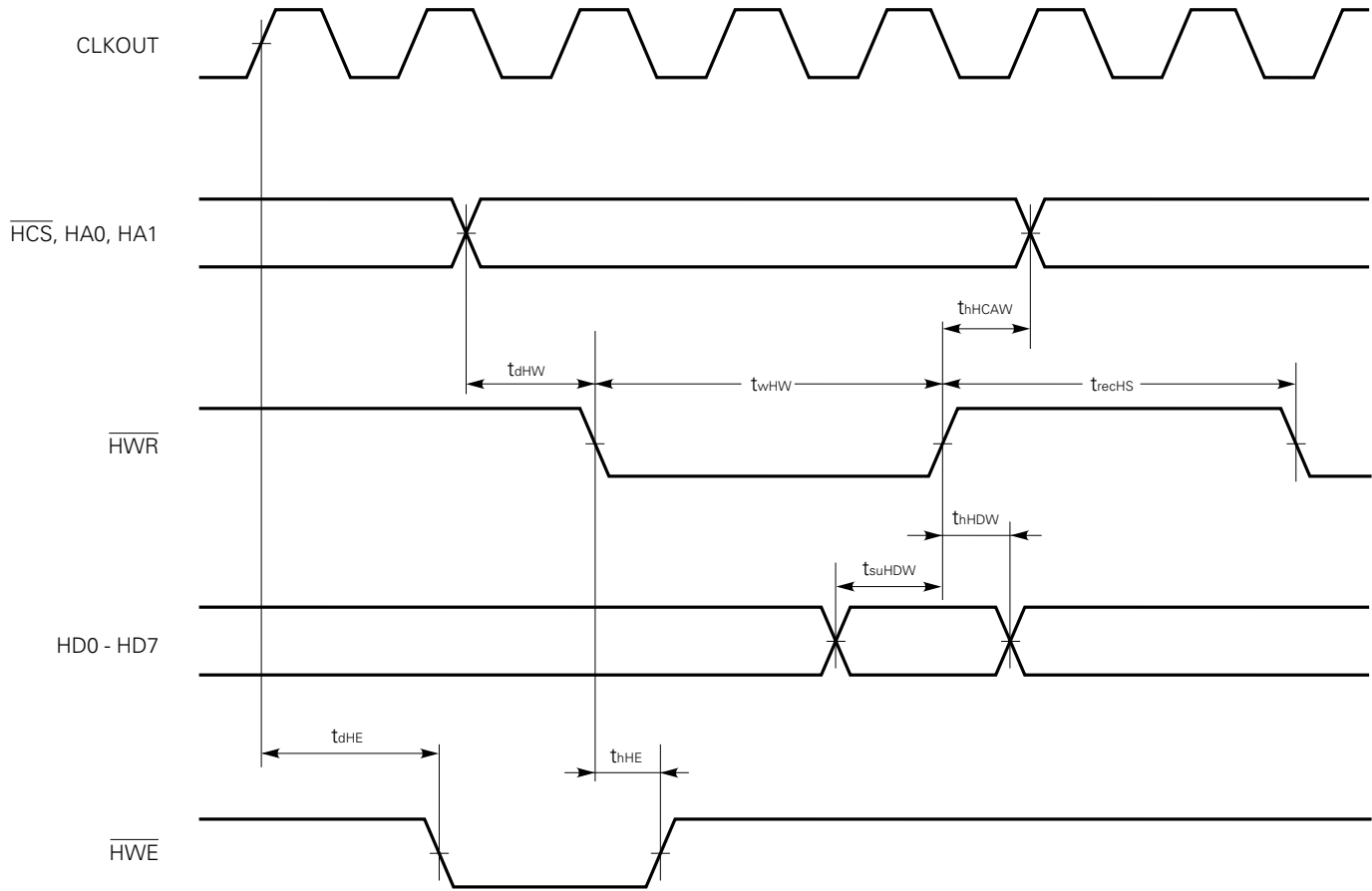
スイッチング特性

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
$\overline{\text{HRE}}$ , $\overline{\text{HWE}}$ 出力遅延時間	$t_{dHE}$				30	ns
$\overline{\text{HRE}}$ , $\overline{\text{HWE}}$ ホールド時間	$t_{nHE}$				20	ns
$\overline{\text{HRD}}$ 有効時間	$t_{vHDR}$				30	ns
$\overline{\text{HRD}}$ ホールド時間	$t_{nHDR}$		0			ns

## ホスト・リード・インタフェース・タイミング



ホスト・ライト・インタフェース・タイミング



汎用入出力ポート

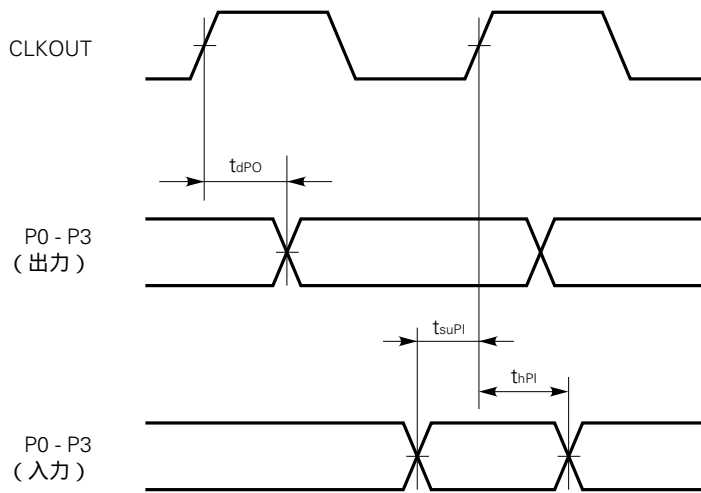
タイミング必要条件

項目	略号	条件	MIN.	TYP.	MAX.	単位
ポート入力セットアップ時間	$t_{suPI}$		10			ns
ポート入力ホールド時間	$t_{hPI}$		10			ns

スイッチング特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
ポート出力遅延時間	$t_{dPO}$		0		30	ns

汎用入出力ポート・タイミング



## ディバグ用インタフェース (JTAG)

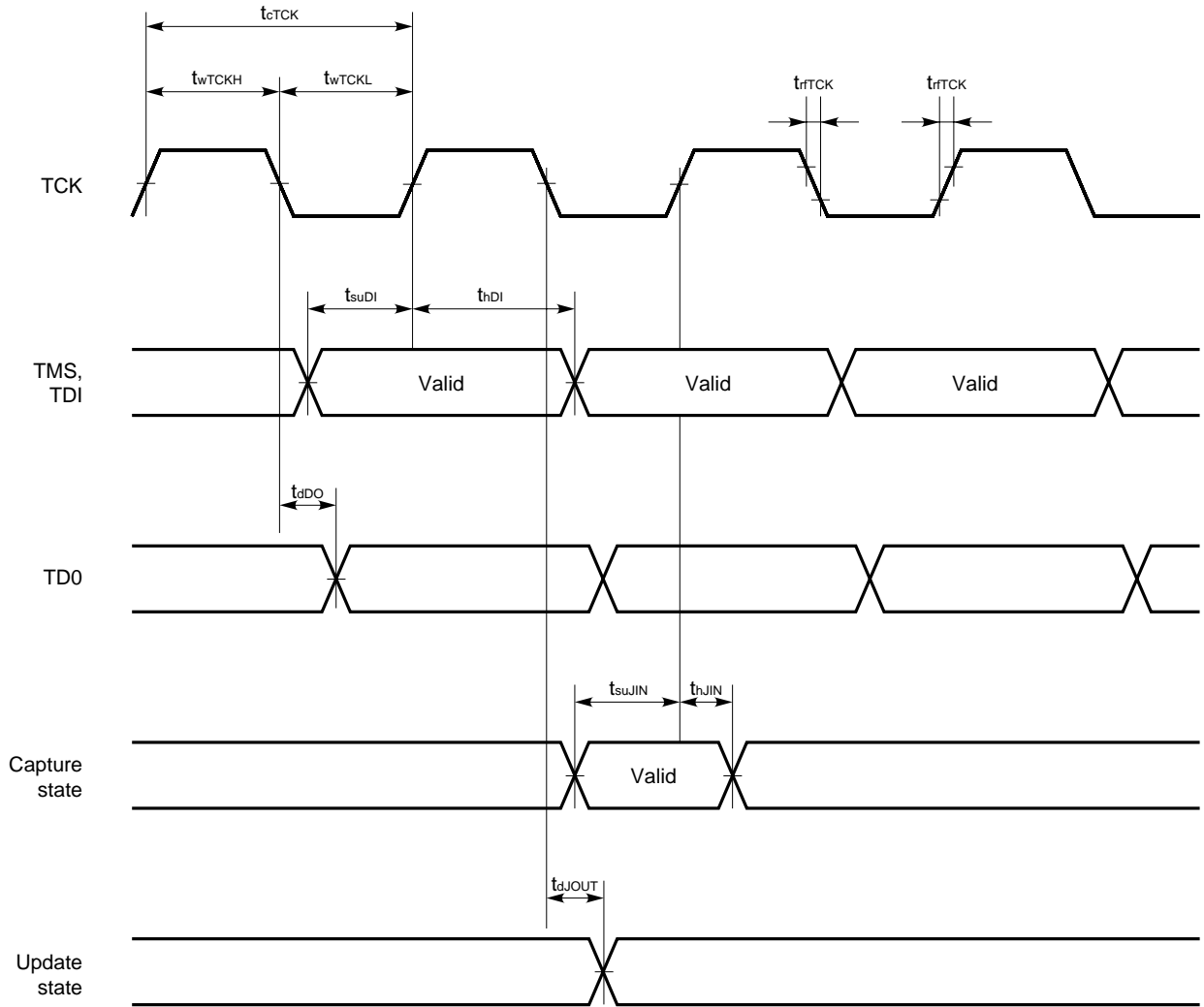
## タイミング必要条件

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
TCKサイクル・タイム	$t_{cTCK}$		$4t_{cCO}$			ns
TCKハイ・レベル幅	$t_{wTCKH}$		50			ns
TCKロウ・レベル幅	$t_{wTCKL}$		50			ns
TCK立ち上がり/立ち下がり時間	$t_{rTCK}$			3	20	ns
TMS, TDIセットアップ時間	$t_{suDI}$		10			ns
TMS, TDIホールド時間	$t_{hDI}$		15			ns
入力ピン・セットアップ時間	$t_{suJIN}$		10			ns
入力ピン・ホールド時間	$t_{hJIN}$		0			ns

## スイッチング特性

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
TDO出力遅延時間	$t_{dDO}$		0		30	ns
出力ピン出力遅延時間	$t_{dJOUT}$				30	ns

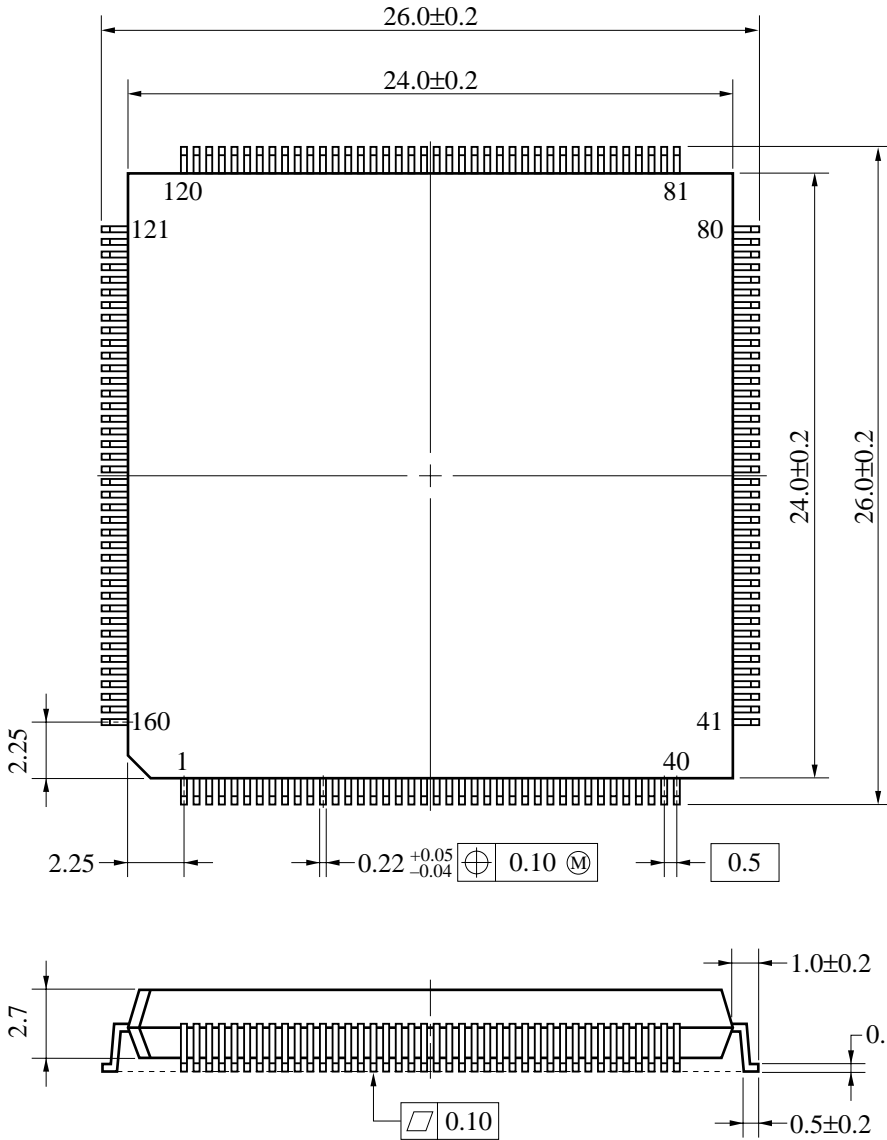
ディバグ用インタフェース・タイミング



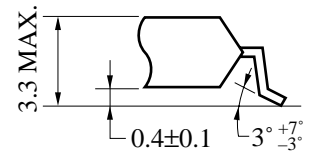
備考 JTAGの詳しい内容については、IEEE1149.1を参照してください。

5. 外形図

160ピン・プラスチック QFP (ファインピッチ) ( 24 ) 外形図 (単位 : mm)



端子先端形状詳細図



S160GM-50-JMD, KMD

6 . 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の詳細は、インフォメーション資料「**半導体デバイス実装マニュアル**」(C10535J)を参照してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

μPD77016GM-KMD : 160ピン・プラスチックQFP (ファインピッチ) ( 24 mm )

半田付け方式	半 田 付 け 条 件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃，時間：30秒以内( 210℃以上 )，回数：1回， 制限日数：7日間 <sup>※</sup> (以降は125℃プリバーク20時間必要)  留意事項 耐熱トレイ以外(マガジン，テーピング，非耐熱トレイ)は、包装状態でのベーキングができません。	IR35-207-1
VPS	パッケージ・ピーク温度：215℃，時間：40秒以内( 200℃以上 )，回数：1回， 制限日数：7日間 <sup>※</sup> (以降は125℃プリバーク20時間必要)  留意事項 耐熱トレイ以外(マガジン，テーピング，非耐熱トレイ)は、包装状態でのベーキングができません。	VP15-207-1
端子部分加熱	端子温度：300℃以下，時間：3秒以内( デバイスの一辺当たり )	-

注 ドライパック開封後の保管制限日数で、保管条件は25℃，65 %RH以下。

注意 半田付け方式の併用はお避けください(ただし端子部分加熱方式は除く)。



## CMOSデバイスの一般的注意事項

**静電気対策（MOS全般）**

**注意** MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

**未使用入力の処理（CMOS特有）**

**注意** CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してV<sub>DD</sub>またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

**初期化以前の状態（MOS全般）**

**注意** 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

文書による当社の承諾なしに本資料の転載複製を禁じます。

本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。

当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。

当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、列車、船舶等）、交通信号機器、防災／防犯装置、各種安全装置、生命維持を直接の目的としない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート／データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

この製品は耐放射線設計をしておりません。

M4 94.11

— お問い合わせは、最寄りのNECへ —

**【営業関係お問い合わせ先】**

半導体第一販売事業部 半導体第二販売事業部 半導体第三販売事業部	〒108-01 東京都港区芝五丁目7番1号（NEC本社ビル）	東京 (03)3454-1111	(大代表)
中部支社 半導体第一販売部 半導体第二販売部	〒460 名古屋市中区錦一丁目17番1号（NEC中部ビル）	名古屋 (052)222-2170 名古屋 (052)222-2190	
関西支社 半導体第一販売部 半導体第二販売部 半導体第三販売部	〒540 大阪市中央区城見一丁目4番24号（NEC関西ビル）	大阪 (06) 945-3178 大阪 (06) 945-3200 大阪 (06) 945-3208	
北海道支社 札幌 (011)231-0161 東北支社 仙台 (022)267-8740 岩手支店 盛岡 (019)651-4344 山形支店 山形 (0236)23-5511 郡山支店 郡山 (0249)23-5511 いわき支店 いわき (0246)21-5511 長岡支店 長岡 (0258)36-2155 土浦支店 土浦 (0298)23-6161 水戸支店 水戸 (029)226-1717 神奈川支社 横浜 (045)324-5524 群馬支店 高崎 (0273)26-1255	太田支店 太田 (0276)46-4011 宇都宮支店 宇都宮 (028)621-2281 小山支店 小山 (0285)24-5011 長野支店 長野 (0263)35-1662 甲府支店 甲府 (0552)24-4141 埼玉支店 大宮 (048)641-1411 立川支店 立川 (0425)26-5981 千葉支店 千葉 (043)238-8116 静岡支店 静岡 (054)255-2211 北陸支店 金沢 (0762)23-1621 福井支店 福井 (0776)22-1866	富山支店 富山 (0764)31-8461 三重支店 津 (0592)25-7341 京都支社 京都 (075)344-7824 神戸支社 神戸 (078)333-3854 中国支社 広島 (082)242-5504 鳥取支店 鳥取 (0857)27-5311 岡山支店 岡山 (086)225-4455 四国支社 高松 (0878)36-1200 新居浜支店 新居浜 (0897)32-5001 松山支店 松山 (089)945-4149 九州支社 福岡 (092)271-7700	

**【本資料に関する技術お問い合わせ先】**

半導体ソリューション技術本部 システムマイクロ技術部	〒210 川崎市幸区塚越三丁目484番地	川崎 (044)548-8857	半導体 インフォメーションセンター FAX (044)548-7900 (FAXにてお願い致します)
半導体販売技術本部 東日本販売技術部	〒108-01 東京都港区芝五丁目7番1号（NEC本社ビル）	東京 (03)3798-9619	
半導体販売技術本部 中部販売技術部	〒460 名古屋市中区錦一丁目17番1号（NEC中部ビル）	名古屋 (052)222-2125	
半導体販売技術本部 西日本販売技術部	〒540 大阪市中央区城見一丁目4番24号（NEC関西ビル）	大阪 (06) 945-3383	