

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

4ビット・シングルチップ・マイクロコンピュータ

μ PD75P3018Aは、 μ PD753017Aの内蔵マスクROMをワン・タイムPROMで置き換え、さらにROM容量を拡張した製品です。また、 μ PD75P3018の機能を継承し、低電圧1.8Vでの高速動作を可能にした製品です。

μ PD75P3018Aは、ユーザによるプログラムの書き込みが可能のため、 μ PD753012A、753016A、753017Aのシステム開発時の試作用、または少量生産用に適しています。

詳しい機能説明などは、次のユーザズ・マニュアルに記載しております。設計の際には、必ずお読みください。

μ PD753017 ユーザズ・マニュアル：U11282J

特 徴

μ PD753017Aコンパチブル

メモリ容量

・PROM : 32768 × 8 ビット

・RAM : 1024 × 4 ビット

マスク品 μ PD753017Aと同じ電源電圧で動作可能

・ $V_{DD} = 1.8 \sim 5.5$ V

LCDコントローラ/ドライバ内蔵

オーダ情報

	オーダ名称	パッケージ
	μ PD75P3018AGC-3B9	80ピン・プラスチックQFP (14 × 14 mm, 樹脂厚2.7 mm)
★	μ PD75P3018AGC-3B9-A	"
★	μ PD75P3018AGC-8BT	80ピン・プラスチックQFP (14 × 14 mm, 樹脂厚1.4 mm)
★	μ PD75P3018AGC-8BT-A	"
	μ PD75P3018AGK-BE9	80ピン・プラスチックTQFP (ファインピッチ) (12 × 12 mm, 樹脂厚1.05 mm)
★	μ PD75P3018AGK-9EU	80ピン・プラスチックTQFP (ファインピッチ) (12 × 12 mm, 樹脂厚1.00 mm)
★	μ PD75P3018AGK-9EU-A	"

注意 マスク・オプションによるブルアップ抵抗の内蔵機能はありません。

備考 オーダ名称末尾「-A」の製品は、鉛フリー製品です。

本資料の内容は、予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。

機能一覧

項 目		機 能	
命令実行時間		<ul style="list-style-type: none"> ・ 0.95, 1.91, 3.81, 15.3 μs (メイン・システム・クロック : 4.19 MHz動作時) ・ 0.67, 1.33, 2.67, 10.7 μs (" : 6.0 MHz動作時) ・ 122 μs (サブシステム・クロック : 32.768 kHz動作時) 	
内蔵メモリ	PROM	32768 x 8 ビット	
	RAM	1024 x 4 ビット	
汎用レジスタ		<ul style="list-style-type: none"> ・ 4 ビット操作時 : 8 個 x 4 バンク ・ 8 ビット操作時 : 4 個 x 4 バンク 	
入出力ポート	CMOS入力	8 本	ソフトウェアにより、内蔵プルアップ抵抗の接続を指定可能 : 23本
	CMOS入出力	16本	
	CMOS出力	8 本	セグメント端子と兼用
	N-chオープン・ドレイン入出力	8 本	13 V耐圧
	合計	40本	
LCDコントローラ / ドライバ		<ul style="list-style-type: none"> ・ セグメント数選択 : 24/28/32セグメント (4本単位でCMOS出力ポートに切り替え可能, 最大8本) ・ 表示モード選択 : スタティック, 1/2デューティ(1/2バイアス), 1/3デューティ(1/2バイアス), 1/3 デューティ (1/3 バイアス), 1/4デューティ (1/3 バイアス) 	
タイマ		<p>5チャンネル</p> <ul style="list-style-type: none"> ・ 8ビット・タイマ / イベント・カウンタ : 3チャンネル (16ビット・タイマ / イベント・カウンタ, キャリア・ジェネレータ, ゲート付きタイマとして使用可能) ・ ベーシック・インターバル・タイマ / ウォッチドッグ・タイマ : 1チャンネル ・ 時計用タイマ : 1チャンネル 	
シリアル・インタフェース		<ul style="list-style-type: none"> ・ 3線式シリアルI/Oモード...MSB/LSB先頭切り替え ・ 2線式シリアルI/Oモード ・ SBIモード 	
ビット・シーケンシャル・バッファ (BSB)		16ビット	
クロック出力 (PCL)		<ul style="list-style-type: none"> ・ , 524, 262, 65.5 kHz (メイン・システム・クロック : 4.19 MHz動作時) ・ , 750, 375, 93.8 kHz (" : 6.0 MHz動作時) 	
ブザー出力 (BUZ)		<ul style="list-style-type: none"> ・ 2, 4, 32 kHz (メイン・システム・クロック : 4.19 MHz動作時 またはサブシステム・クロック : 32.768 kHz動作時) ・ 2.93, 5.86, 46.9 kHz (メイン・システム・クロック : 6.0 MHz動作時) 	
ベクタ割り込み		外部 : 3 本, 内部 : 5 本	
テスト入力		外部 : 1 本, 内部 : 1 本	
システム・クロック発振回路		<ul style="list-style-type: none"> ・ メイン・システム・クロック発振用セラミック / クリスタル発振回路 ・ サブシステム・クロック発振用クリスタル発振回路 	
スタンバイ機能		STOPモード / HALTモード	
電源電圧		V _{DD} = 1.8 ~ 5.5 V	
パッケージ		<ul style="list-style-type: none"> ・ 80ピン・プラスチックQFP (14 x 14 mm) ・ 80ピン・プラスチックTQFP (ファインピッチ) (12 x 12 mm) 	

目 次

1 . 端子接続図 (Top View) ...	4
2 . ブロック図 ...	5
3 . 端子機能 ...	6
3.1 ポート端子 ...	6
3.2 ポート端子以外の端子 ...	8
3.3 端子の入出力回路 ...	10
3.4 未使用端子の処理について ...	12
4 . Mk モードとMk モードの切り替え機能 ...	13
4.1 Mk モードとMk モードの違い ...	13
4.2 スタック・バンク選択レジスタ (SBS) の設定方法 ...	14
5 . μ PD75P3018Aと μ PD753012A, 753016A, 753017Aとの違い ...	15
6 . メモリ構成 ...	16
6.1 プログラム・カウンタ (PC) ...	16
6.2 プログラム・メモリ (PROM) ...	16
6.3 データ・メモリ (RAM) ...	19
7 . 命令セット ...	20
8 . ワン・タイムPROM (プログラム・メモリ) の書き込みとベリファイ ...	31
8.1 プログラム・メモリ書き込み/ベリファイ時の動作モード ...	31
8.2 プログラム・メモリ書き込みの手順 ...	32
8.3 プログラム・メモリ読み出しの手順 ...	33
8.4 ワン・タイムPROMのスクリーニングについて ...	34
9 . 電気的特性 ...	35
10 . 外形図 ...	49
11 . 半田付け推奨条件 ...	53
付録A . μ PD75316B, 753017A, 75P3018Aの機能一覧表 ...	56
付録B . 開発ツール ...	58
付録C . 関連資料 ...	62

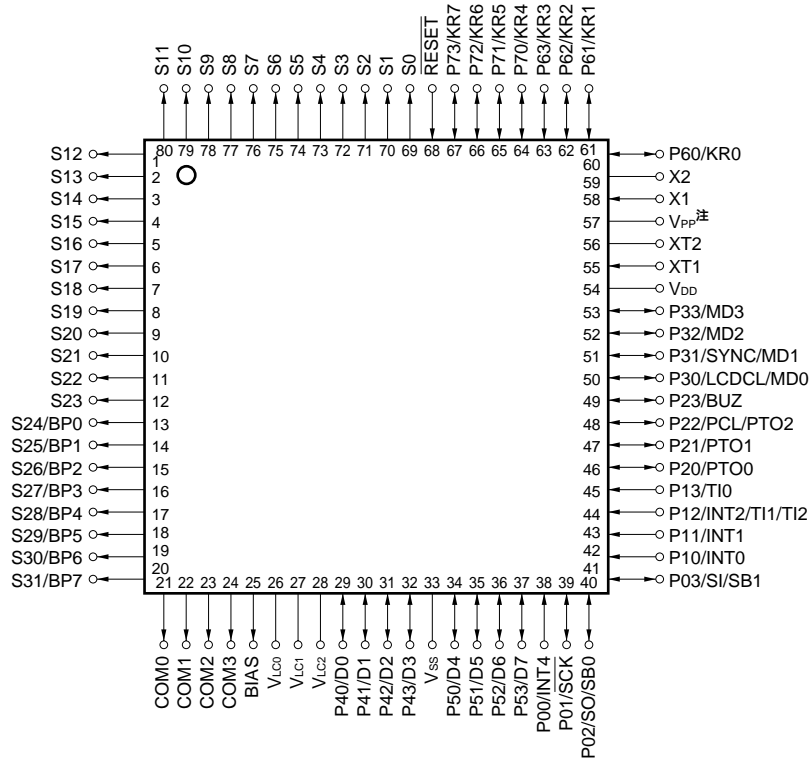
1. 端子接続図 (Top View)

・ 80ピン・プラスチックQFP (14 × 14 mm)

★ μ PD75P3018AGC-3B9, 75P3018AGC-3B9-A, 75P3018AGC-8BT, 75P3018AGC-8BT-A

・ 80ピン・プラスチックTQFP (ファインピッチ) (12 × 12 mm)

★ μ PD75P3018AGK-BE9, 75P3018AGK-9EU, 75P3018AGK-9EU-A

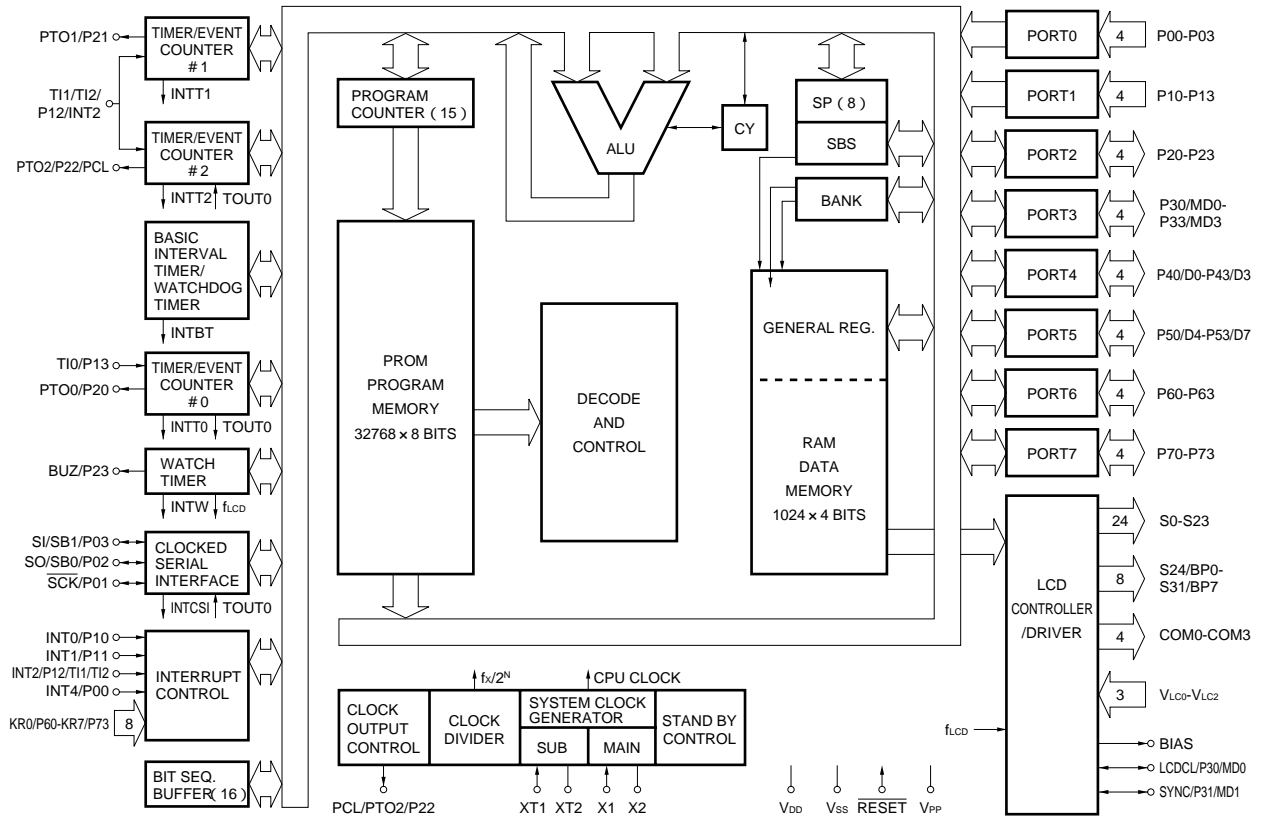


注 V_{PP}は、通常動作時は必ずV_{DD}に直接接続してください。

端子名称

BIAS	: LCD Power Supply Bias Control	P70-P73	: Port7
BP0-BP7	: Bit Port 0-7	PCL	: Programmable Clock
BUZ	: Buzzer Clock	PTO0-PTO2	: Programmable Timer Output 0-2
COM0-COM3	: Common Output 0-3	RESET	: Reset
D0-D7	: Data Bus 0-7	S0-S31	: Segment Output 0-31
INT0, 1, 4	: External Vectored Interrupt 0, 1, 4	SB0, SB1	: Serial Bus 0, 1
INT2	: External Test Input 2	SCK	: Serial Clock
KR0-KR7	: Key Return 0-7	SI	: Serial Input
LCDCL	: LCD Clock	SO	: Serial Output
MD0-MD3	: Mode Selection 0-3	SYNC	: LCD Synchronization
P00-P03	: Port0	TI0-TI2	: Timer Input 0-2
P10-P13	: Port1	V _{DD}	: Positive Power Supply
P20-P23	: Port2	V _{Lc0} -V _{Lc2}	: LCD Power Supply 0-2
P30-P33	: Port3	V _{PP}	: Programming Power Supply
P40-P43	: Port4	V _{SS}	: Ground
P50-P53	: Port5	X1, X2	: Main System Clock Oscillation 1, 2
P60-P63	: Port6	XT1, XT2	: Subsystem Clock Oscillation 1, 2

2. ブロック図



3. 端子機能

3.1 ポート端子 (1/2)

端子名称	入出力	兼用端子	機能	8ビット I/O	リセット時	入出力 ^{注1} 回路 TYPE
P00	入 力	INT4	4ビット入力ポート (PORT0)。 P01-P03は3ビット単位で、ソフトウェアにより 内蔵プルアップ抵抗の接続を指定可能。	×	入 力	B
P01		$\overline{\text{SCK}}$				F-A
P02		SO/SB0				F-B
P03		SI/SB1				M-C
P10	入 力	INT0	4ビット入力ポート (PORT1)。 4ビット単位で、ソフトウェアにより内蔵プルア ップ抵抗の接続を指定可能。 P10/INT0はノイズ除去回路を選択可能。	×	入 力	B-C
P11		INT1				
P12		TI1/TI2/INT2				
P13		TI0				
P20	入出力	PTO0	4ビット入出力ポート (PORT2)。 4ビット単位で、ソフトウェアにより内蔵プルア ップ抵抗の接続を指定可能。	×	入 力	E-B
P21		PTO1				
P22		PCL/PTO2				
P23		BUZ				
P30	入出力	LCDCL/MD0	プログラマブル4ビット入出力ポート (PORT3)。 ビット単位で入力/出力指定可能。 4ビット単位で、ソフトウェアにより内蔵プルア ップ抵抗の接続を指定可能。	×	入 力	E-B
P31		SYNC/MD1				
P32		MD2				
P33		MD3				
P40 ^{注2}	入出力	D0	N-chオープン・ドレイン4ビット入出力ポート (PORT4)。オープン・ドレイン時、13V耐圧。 プログラム・メモリ (PROM) 書き込み/ペリフ アイ時のデータ入出力端子 (下位4ビット)。		ハイ・インピ ーダンス	M-E
P41 ^{注2}		D1				
P42 ^{注2}		D2				
P43 ^{注2}		D3				
P50 ^{注2}	入出力	D4	N-chオープン・ドレイン4ビット入出力ポート (PORT5)。オープン・ドレイン時、13V耐圧。 プログラム・メモリ (PROM) 書き込み/ペリフ アイ時のデータ入出力端子 (上位4ビット)。		ハイ・インピ ーダンス	M-E
P51 ^{注2}		D5				
P52 ^{注2}		D6				
P53 ^{注2}		D7				

注1. 印はシュミット・トリガ入力を示します。

2. 入力命令, ビット操作命令を行ったときにロウ・レベル入力リーク電流が増加します。

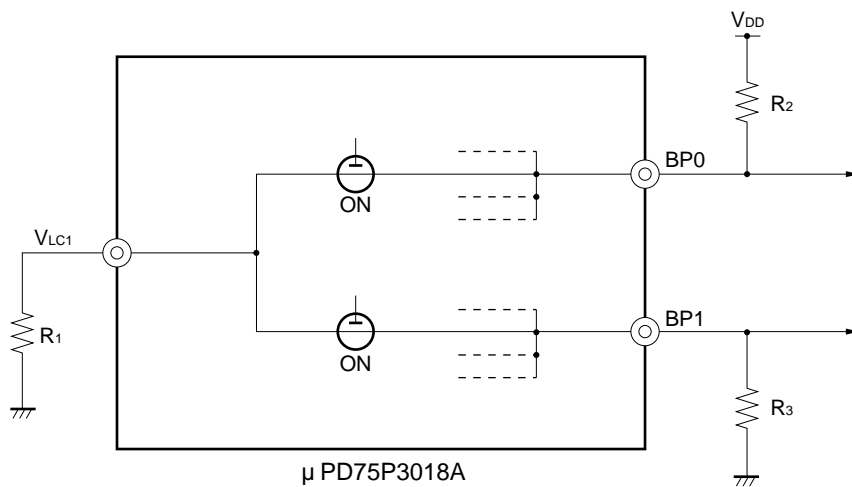
3.1 ポート端子 (2/2)

端子名称	入出力	兼用端子	機能	8ビット ON/OFF	リセット時	入出力 ^{注1} 回路 TYPE
P60	入出力	KR0	プログラマブル4ビット入出力ポート (PORT6)。 ビット単位で入力/出力指定可能。 4ビット単位で、ソフトウェアにより内蔵プルアップ抵抗の接続を指定可能。		入力	F-A
P61		KR1				
P62		KR2				
P63		KR3				
P70	入出力	KR4	4ビット入出力ポート (PORT7)。 4ビット単位で、ソフトウェアにより内蔵プルアップ抵抗の接続を指定可能。		入力	F-A
P71		KR5				
P72		KR6				
P73		KR7				
BP0	出力	S24	1ビット出力ポート (BIT PORT)。セグメント 出力端子と兼用。	×	注2	H-A
BP1		S25				
BP2		S26				
BP3		S27				
BP4	出力	S28				
BP5		S29				
BP6		S30				
BP7		S31				

注1 . 印はシュミット・トリガ入力。

2 . BP0-7は、 V_{LC1} を入力ソースとして選択します。ただし、出力レベルはBP0-7と V_{LC1} の外部回路によって変わります。

例 BP0-7は、下図のようにμ PD75P3018Aの内部を通して相互に接続されるので、 R_1 , R_2 , R_3 の大きさによってBP0-7の出力レベルが決まります。



3.2 ポート端子以外の端子 (1/2)

端子名称	入出力	兼用端子	機能		リセット時	入出力 ^{注1} 回路 TYPE
TI0	入 力	P13	タイマ/イベント・カウンタへの外部イベント・パルス入力。		入 力	B - C
TI1, TI2		P12/INT2				
PTO0	出 力	P20	タイマ/イベント・カウンタ出力。		入 力	E - B
PTO1		P21				
PTO2		P22				
PCL		P22	クロック出力。			
BUZ		P23	任意の周波数出力（ブザー用，またはシステム・クロックのトリミング用）。			
SCK	入出力	P01	シリアル・クロック入出力。		入 力	F - A
SO/SB0		P02	シリアル・データ出力。 シリアル・データ・バス入出力。			F - B
SI/SB1		P03	シリアル・データ入力。 シリアル・データ・バス入出力。			M - C
INT4	入 力	P00	エッジ検出ベクタ割り込み入力（立ち上がりおよび立ち下がり両エッジ検出）。			B
INT0	入 力	P10	エッジ検出ベクタ割り込み入力 （検出エッジ選択可能）。	ノイズ除去回路付き / 非同期選択可	入 力	B - C
INT1		P11	INT0/P10はノイズ除去回路を選択可能。	非同期		
INT2		P12/TI1/TI2	立ち上がりエッジ検出テスト入力。	非同期		
KR0-KR3	入 力	P60-P63	立ち下がりエッジ検出テスト入力。		入 力	F - A
KR4-KR7	入 力	P70-P73	立ち下がりエッジ検出テスト入力。		入 力	F - A
X1	入 力	-	メイン・システム・クロック発振用クリスタル/セラミック接続。外部クロックの場合，X1へ入力しX2へその逆相を入力。		-	-
X2	-					
XT1	入 力	-	サブシステム・クロック発振用クリスタル接続。外部クロックの場合，XT1へ入力しXT2へその逆相を入力。 <u>XT1は1ビット入力（テスト）として使用可能。</u>		-	-
XT2	-					
RESET	入 力	-	システム・リセット入力（ロウ・レベル・アクティブ）。		-	B
MD0	入 力	P30/LCDCL	プログラム・メモリ（PROM）書き込み/ベリファイ時のモード選択。		入 力	E - B
MD1		P31/SYNC				
MD2, MD3		P32, P33				
D0-D3	入出力	P40-P43	プログラム・メモリ（PROM）書き込み/ベリファイ時のデータ・バス端子。		入 力	M - E
D4-D7		P50-P53				
V _{PP} ^{注2}	-	-	プログラム・メモリ（PROM）書き込み/ベリファイ時のプログラム電圧印加。 通常動作時はV _{DD} と直接接続。 PROM書き込み/ベリファイ時は+12.5Vを印加。		-	-

注1 . 印はシュミット・トリガ入力を示します。

2 . V_{PP}端子は，通常動作時はV_{DD}端子と接続されていないと正常動作しません。

3.2 ポート端子以外の端子 (2/2)

端子名称	入出力	兼用端子	機能	リセット時	入出力回路 TYPE
V _{DD}	—	—	正電源。	—	—
V _{SS}	—	—	GND電位。	-	—
S0-S23	出力	-	セグメント信号出力。	注1	G-A
S24-S31	出力	BP0-BP7	セグメント信号出力。	注1	H-A
COM0-COM3	出力	-	コモン信号出力。	注1	G-B
V _{LC0} -V _{LC2}	-	-	LCD駆動用電源。	-	-
BIAS	出力	-	外付け分割抵抗カット用出力。	ハイ・インピーダンス	-
LCDCL ^{注2}	入出力	P30/MD0	外部拡張ドライバ駆動用クロック出力。	入力	E-B
SYNC ^{注2}	入出力	P31/MD1	外部拡張ドライバ同期用クロック出力。	入力	E-B

注1．各表示出力は、次に示すV_{LCX} (X=0, 1, 2) を入力ソースとして選択します。

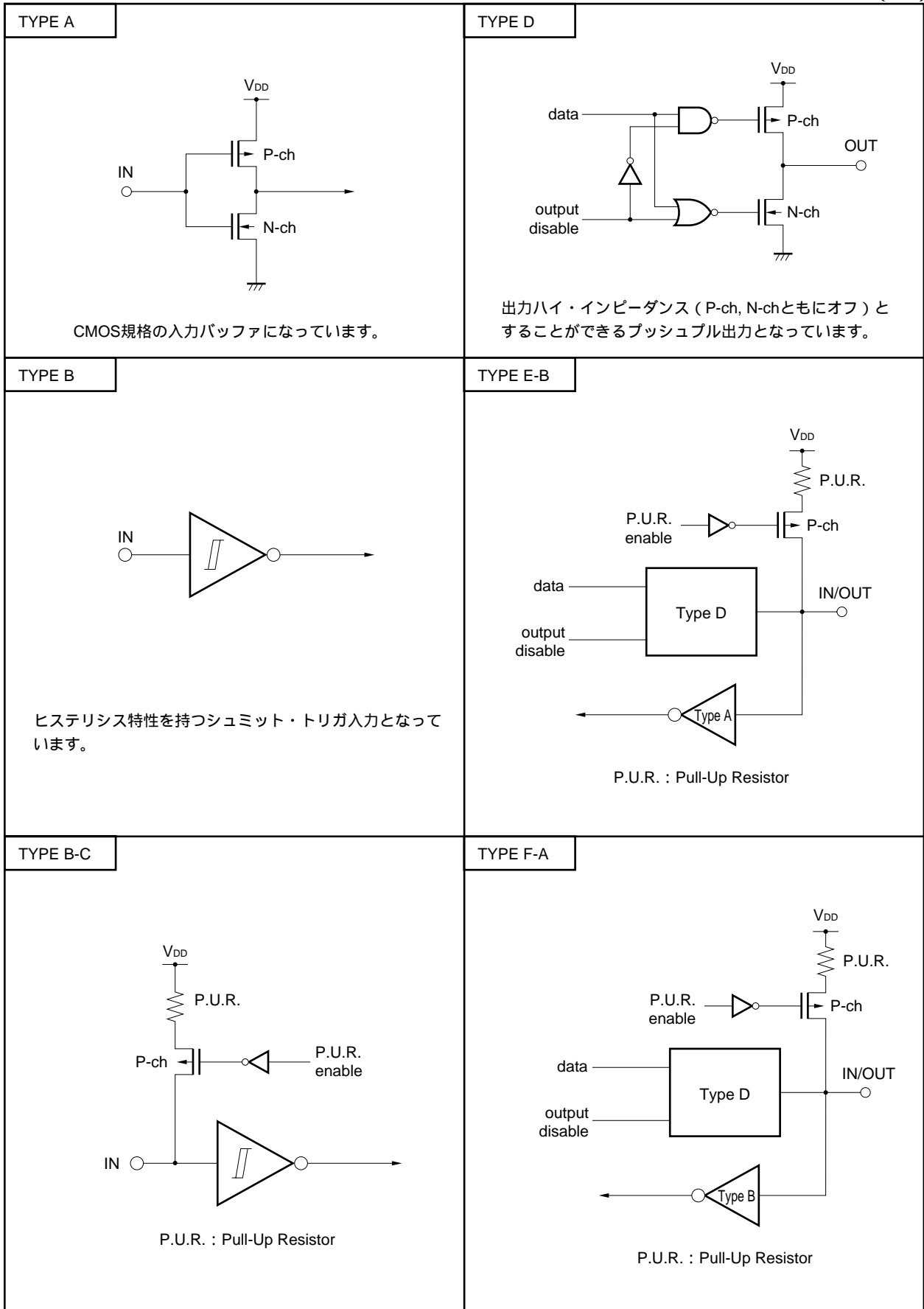
S0-S31 : V_{LC1} , COM0-COM2 : V_{LC2} , COM3 : V_{LC0}

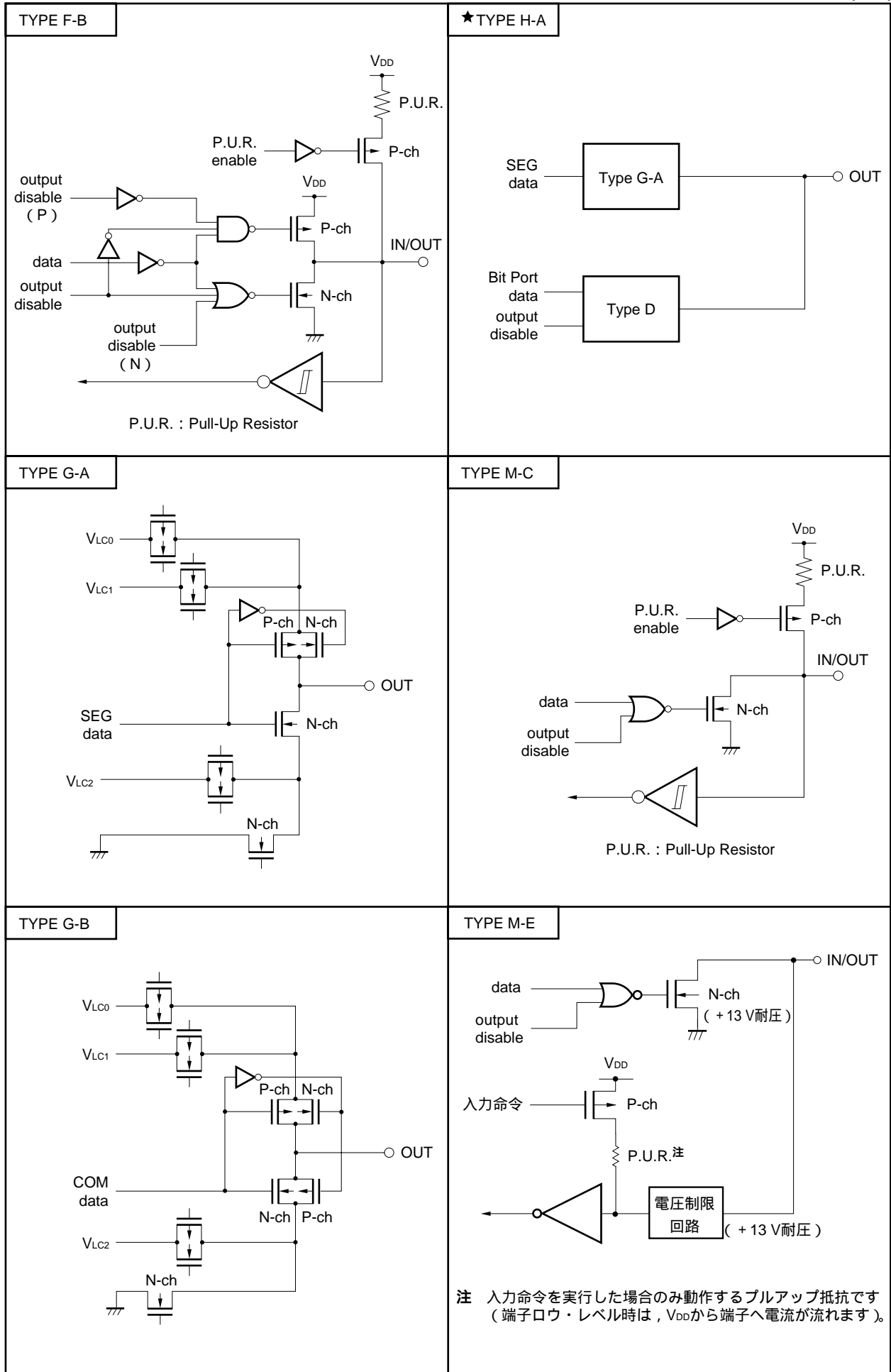
2．将来のシステム拡張に備えた端子です。現在はP30, P31端子としてのみ使用します。

3.3 端子の入出力回路

μ PD75P3018Aの各端子の入出力回路を一部簡略した形式を用いて示します。

(1/2)





3.4 未使用端子の処理について

端 子	推奨接続方法
P00/INT4	V _{SS} またはV _{DD} に接続してください。
P01/ $\overline{\text{SCK}}$	個別に抵抗を介して、V _{SS} またはV _{DD} に接続してください。
P02/SO/SB0	
P03/SI/SB1	V _{SS} に接続してください。
P10/INT0, P11/INT1	V _{SS} またはV _{DD} に接続してください。
P12/TI1/TI2/INT2	
P13/TI0	
P20/PTO0	入力時；個別に抵抗を介して、V _{SS} またはV _{DD} に接続してください。
P21/PTO1	
P22/PTO2/PCL	出力時；オープンにしてください。
P23/BUZ	
P30/LCDCL/MD0	
P31/SYNC/MD1	
P32/MD2, P33/MD3	
P40/D0-P43/D3	V _{SS} に接続してください。
P50/D4-P53/D7	
P60/KR0-P63/KR3	入力時：個別に抵抗を介して、V _{SS} またはV _{DD} に接続してください。
P70/KR4-P73/KR7	
S0-S23	オープンにしてください。
S24/BP0-S31/BP7	
COM0-COM3	
V _{LC0} -V _{LC2}	V _{SS} に接続してください。
BIAS	V _{LC0} -V _{LC2} のすべてが未使用のときのみV _{SS} に接続、ほかの場合はオープンにしてください。
XT1 ^注	V _{SS} に接続してください。
XT2 ^注	オープンにしてください。

★

注 サブシステム・クロックを使用しない場合は、SOS.0 = 1（内蔵フィードバック抵抗を接続しない）を選択してください。

4. Mk モードとMk モードの切り替え機能

μPD75P3018Aは、スタック・バンク選択レジスタ (SBS) の設定により、プログラム・メモリをMk モードまたはMk モードに切り替えて使用することができます。この機能は、μPD75P3018Aを使用して、μPD753012A、753016A、753017Aの評価を可能にするためのものです。

SBSのビット 3 = 1 : Mk モード (μPD753012A, 753016A, 753017AのMk モードに対応)
 0 : Mk モード (μPD753012A, 753016A, 753017AのMk モードに対応)

4.1 Mk モードとMk モードの違い

μPD75P3018AのMk モードとMk モードの違いを表4 - 1 に示します。

表4 - 1 Mk モードとMk モードの違い

項 目		Mk モード	Mk モード
プログラム・カウンタ		PC ₁₃₋₀ PC ₁₄ は0に固定	PC ₁₄₋₀
プログラム・メモリ (バイト)		16384	32768
データ・メモリ (ビット)		1024 × 4	
スタック	スタック・バンク	メモリ・バンク 0-3 より選択可能	
	スタック・バイト数	2 バイト	3 バイト
命令	BRA !addr1命令	なし	あり
	CALLA !addr1命令		
命令実行	CALL !addr命令	3 マシン・サイクル	4 マシン・サイクル
時間	CALLF !faddr命令	2 マシン・サイクル	3 マシン・サイクル
対応するマスクROM品		μPD753012A, 753016A, 753017AのMk モード	μPD753012A, 753016A, 753017AのMk モード

注意 Mk モードは、75Xおよび75XLシリーズにおいて、16 Kバイトを越えるプログラム領域をサポートするモードです。このモードにより、16 Kバイトを越える製品とのソフトウェア上の互換性を高めることができます。なお、Mk モードを選択すると、サブルーチン・コール命令実行時のスタック・バイト数がMk モードに比べ1スタックごとに1バイト分使用エリアが増えます。また、CALL !addr、CALLF !faddr命令使用時は、マシン・サイクルがそれぞれ1マシン・サイクル分長くかかります。したがって、ソフトウェアの互換性よりRAMの使用効率や処理能力を重視する場合は、Mk モードを使用してください。

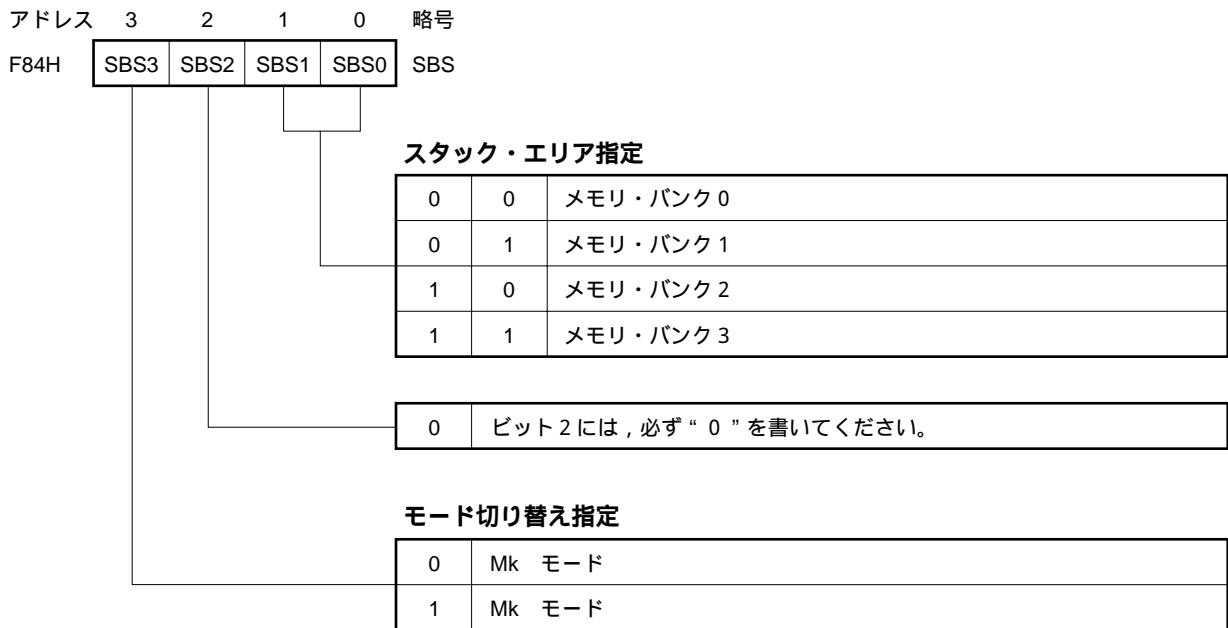
4.2 スタック・バンク選択レジスタ (SBS) の設定方法

Mk モードとMk モードの切り替えは、スタック・バンク選択レジスタによって行います。図4 - 1にそのフォーマットを示します。

スタック・バンク選択レジスタは、4ビット・メモリ操作命令により設定します。Mk モードを使用する場合は、プログラムの初期で必ずスタック・バンク選択レジスタを10××B[※]にイニシャライズしてください。また、Mk モードを使用する場合は、必ず00××B[※]にイニシャライズしてください。

注 ××には希望の値を設定してください。

図4 - 1 スタック・バンク選択レジスタのフォーマット



注意1 . SBS3はRESET入力後“1”になるので、CPUはMk モードで動作します。Mk モードの命令を使用する場合は、SBS3を“0”にし、Mk モードに設定してから使用してください。

2 . Mk モードを使用する場合は、RESET入力後、スタック・バンク選択レジスタを設定したのちに、サブルーチン・コール命令および割り込み命令を実行してください。

5 . μ PD75P3018Aとμ PD753012A, 753016A, 753017Aとの違い

μ PD75P3018Aは、マスクROM内蔵のμ PD753012A, 753016A, 753017Aのプログラム・メモリをワン・タイムPROMに置き換え、ROM容量を拡大した製品です。μ PD75P3018AのMk モードはμ PD753012A, 753016A, 753017AのMk モード時に、μ PD75P3018AのMk モードはμ PD753012A,753016A, 753017AのMk モード時に対応しています。

表5 - 1 にμ PD75P3018Aとμ PD753012A, 753016A, 753017Aとの違いを示します。PROMを使用して応用システムのデバッグや試作を行い、そのあとマスクROMを使用して量産化する場合などは、これらの製品の違いをよく確認のうえ移行してください。

なお、CPU機能や内蔵しているハードウェアについてはμ PD753017 ユーザーズ・マニュアル (U11282J) を参照してください。

表5 - 1 μ PD75P3018Aとμ PD753012A, 753016A, 753017Aとの違い

項 目	μ PD753012A	μ PD753016A	μ PD753017A	μ PD75P3018A
プログラム・カウンタ	14ビット		15ビット	
プログラム・メモリ (バイト)	マスクROM			ワン・タイムPROM
Mk モード時	12288	16384	16384	16384
Mk モード時	12288	16384	24576	32768
データ・メモリ (×4ビット)	1024			
マスク・オプション	ポート4, 5のブルアップ抵抗	あり (内蔵する / しないの指定可能)		なし (内蔵不可)
	LCD分割抵抗			
	サブシステム・クロックのフィードバック抵抗	あり (使用する / しないの選択可能)		なし (使用する)
	RESET時のウェイト時間	あり (2 ¹⁷ /fx, 2 ¹⁵ /fxの2つから選択可能) ^注		なし (2 ¹⁵ /fx固定) ^注
端子接続	29-32番ピン	P40-P43		P40/D0-P43/D3
	34-37番ピン	P50-P53		P50/D4-P53/D7
	50番ピン	P30/LCDCL		P30/LCDCL/MD0
	51番ピン	P31/SYNC		P31/SYNC/MD1
	52, 53番ピン	P32, P33		P32/MD2, P33/MD3
	57番ピン	IC		V _{PP}
その他	回路の規模やマスク・レイアウトが異なるため、ノイズ耐量、ノイズ輻射などが異なります。			

注 2¹⁷/fxは、6.0 MHz動作時：21.8 ms, 4.19動作時：31.3 msです。

2¹⁵/fxは、6.0 MHz動作時：5.46 ms, 4.19動作時：7.81 msです。

注意 PROMとマスクROMでは、ノイズ耐量、ノイズ輻射が異なります。試作から量産の過程でPROM品からマスクROM品への置き換えを検討される場合は、マスクROM品のCS品 (ES品ではなく) で十分な評価を行ってください。

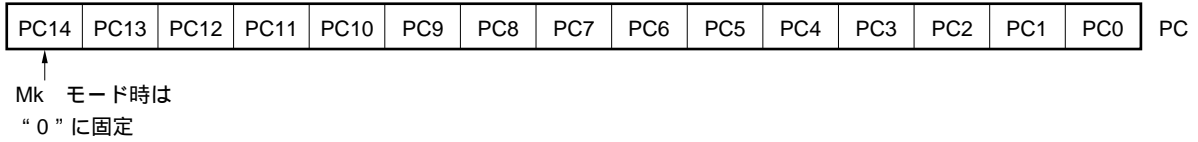
6 . メモリ構成

6.1 プログラム・カウンタ (PC) ...15ビット

プログラム・メモリのアドレス情報を保持する15ビットのバイナリ・カウンタです。

Mk モード時には15ビットが有効, Mk モード時にはPC14は“ 0 ”に固定され, 以下14ビットが有効になります。

図 6 - 1 プログラム・カウンタの構成



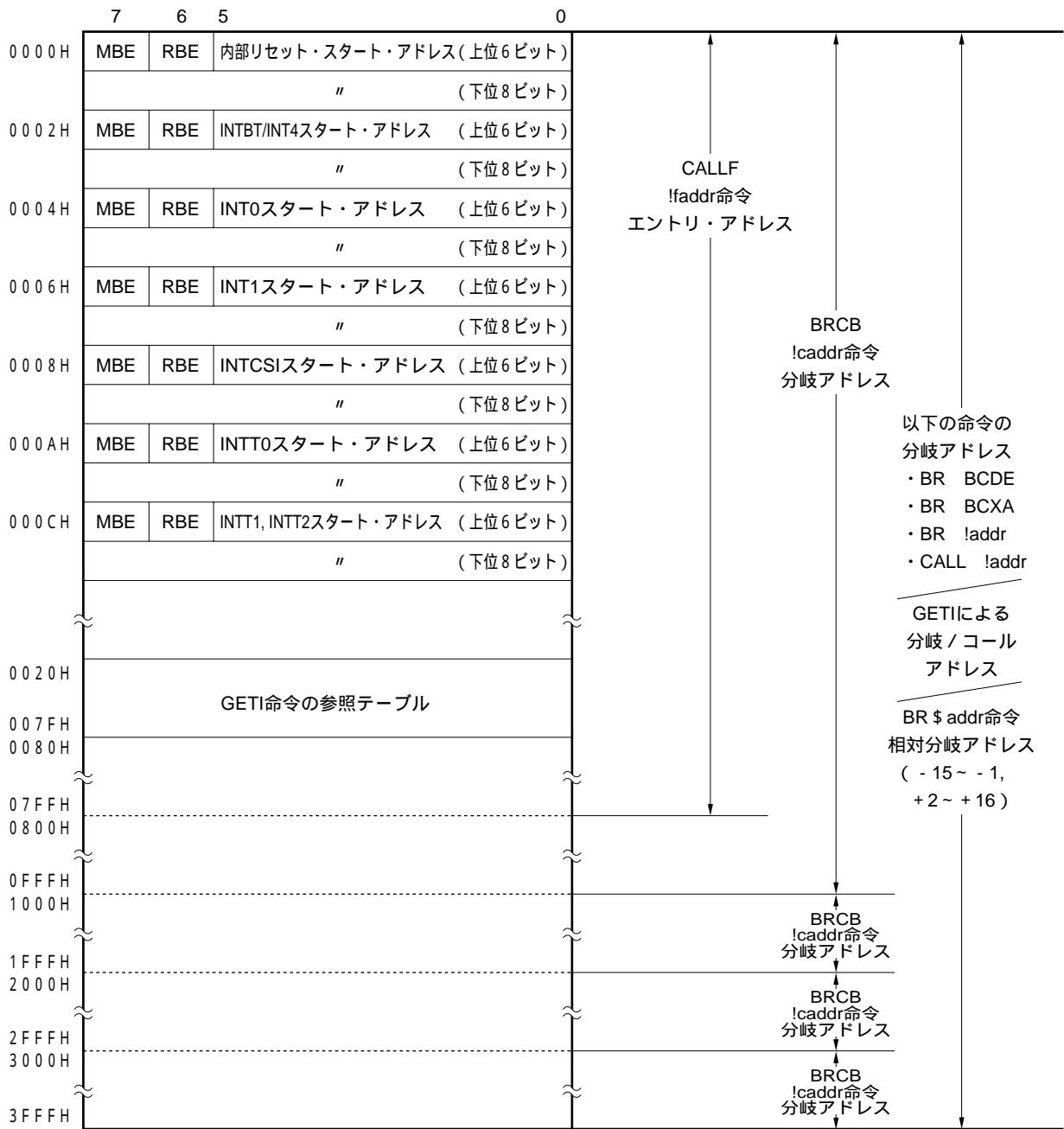
6.2 プログラム・メモリ (PROM) ...32768 × 8 ビット

プログラム・メモリは32768 × 8 ビットのワン・タイムPROMで構成されており, スタック・バンク選択レジスタ (SBS) の設定により, プログラム・メモリのアドレスを次のように選択することができます。

	Mk モード	Mk モード
使用可能なアドレス	0000H-3FFFH	0000H-7FFFH

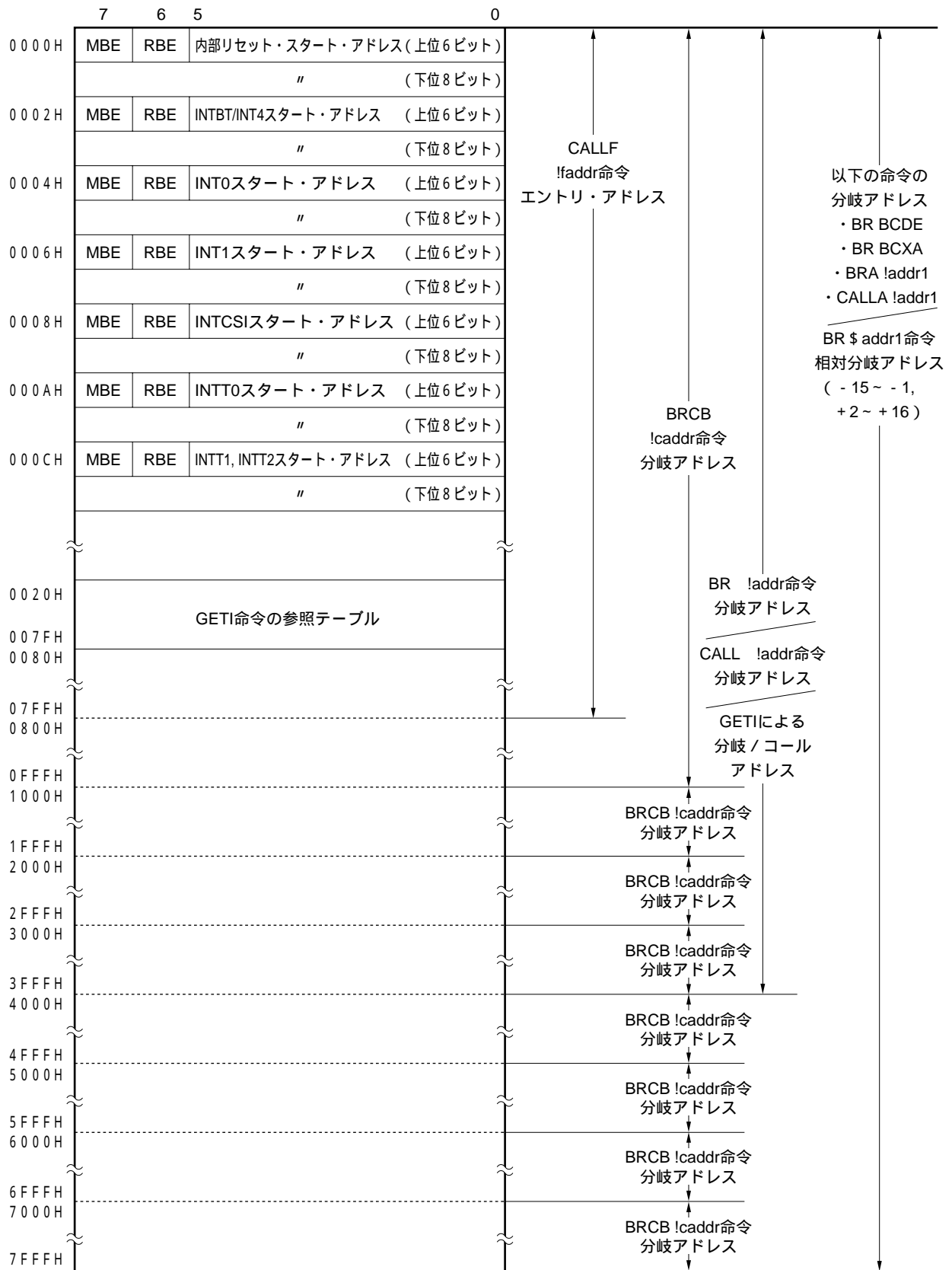
図 6 - 2 , 図 6 - 3 に, Mk モード時, Mk モード時それぞれのプログラム・メモリおよび分岐命令, サブルーチン・コール命令のアドレッシング範囲を示します。

図 6 - 2 プログラム・メモリ・マップ (Mk モード時)



備考 上記の命令以外では、BR PCDE, BR PCXA命令により、PCの下位8ビットのみ変更したアドレスへ分岐することができます。

図6-3 プログラム・メモリ・マップ (Mk モード時)



注意 上記、割り込みベクタのスタート・アドレスは14ビットですので、16 K空間内 (0000H-3FFFH) に設定してください。

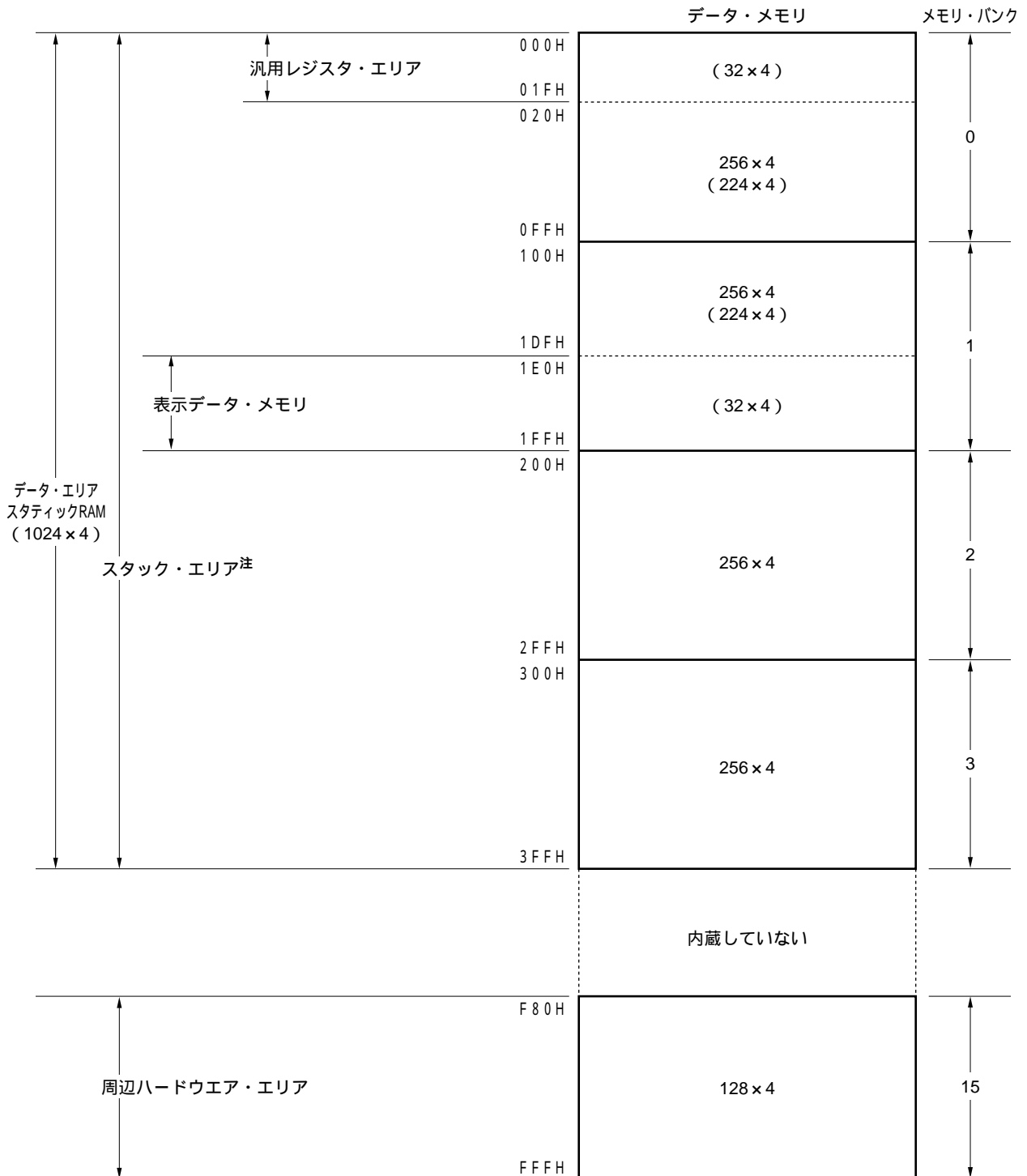
備考 上記の命令以外では、BR PCDE, BR PCXA命令により、PCの低位8ビットのみ変更したアドレスへ分岐することができます。

6.3 データ・メモリ (RAM) ...1024 × 4 ビット

データ・メモリの構成を図 6 - 4 に示します。

データ・メモリは、データ・エリアと周辺ハードウェア・エリアで構成されています。また、データ・エリアは、1024 × 4 ビットのスタティックRAMで構成されています。

図 6 - 4 データ・メモリ・マップ



注 スタック・エリアとして、メモリ・バンク 0-3 のうち 1 つを選択できます。

7. 命令セット

(1) オペランドの表現形式と記述方法

★ 各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述します（詳細はRA75X **アセンブラ・パッケージ ユーザーズ・マニュアル 言語編** (U12385J)を参照してください）。記述方法の中で、複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および+、-記号はキー・ワードであり、そのまま記述します。

イミューディエト・データの場合は、適当な数値またはレーベルを記述します。

レーベルとしてmem, fmem, pmem, bitなどの代わりに各種レジスタ・フラグの略号を記述できます（詳細はμPD753017 **ユーザーズ・マニュアル** (U11282J)を参照してください）。ただし、fmem, pmemは記述できるレーベルに制限があります。

表現形式	記述方法
reg	X, A, B, C, D, E, H, L
reg1	X, B, C, D, E, H, L
rp	XA, BC, DE, HL
rp1	BC, DE, HL
rp2	BC, DE
rp'	XA, BC, DE, HL, XA', BC', DE', HL'
rp'1	BC, DE, HL, XA', BC', DE', HL'
rpa	HL, HL+, HL-, DE, DL
rpa1	DE, DL
n4	4ビット・イミューディエト・データまたはレーベル
n8	8ビット・イミューディエト・データまたはレーベル
mem	8ビット・イミューディエト・データまたはレーベル ^注
bit	2ビット・イミューディエト・データまたはレーベル
fmem	FB0H-FBFH, FF0H-FFFHイミューディエト・データまたはレーベル
pmem	FC0H-FFFHイミューディエト・データまたはレーベル
addr	0000H-3FFFHイミューディエト・データまたはレーベル
addr1	0000H-7FFFHイミューディエト・データまたはレーベル (Mk モード時のみ)
caddr	12ビット・イミューディエト・データまたはレーベル
faddr	11ビット・イミューディエト・データまたはレーベル
taddr	20H-7FHイミューディエト・データ (ただしbit0=0) またはレーベル
PORTn	PORT0-PORT7
IE x x x	IEBT, IECSI, IET0, IET1, IET2, IE0-IE2, IE4, IEW
RBn	RB0-RB3
MBn	MB0-MB3, MB15

注 8ビット・データ処理の場合は、偶数アドレスのみ指定できます。

(2) オペレーション説明上の凡例

A	: Aレジスタ; 4ビット・アキュムレータ
B	: Bレジスタ
C	: Cレジスタ
D	: Dレジスタ
E	: Eレジスタ
H	: Hレジスタ
L	: Lレジスタ
X	: Xレジスタ
XA	: レジスタ・ペア (XA); 8ビット・アキュムレータ
BC	: レジスタ・ペア (BC)
DE	: レジスタ・ペア (DE)
HL	: レジスタ・ペア (HL)
XA'	: 拡張レジスタ・ペア (XA')
BC'	: 拡張レジスタ・ペア (BC')
DE'	: 拡張レジスタ・ペア (DE')
HL'	: 拡張レジスタ・ペア (HL')
PC	: プログラム・カウンタ
SP	: スタック・ポインタ
CY	: キャリー・フラグ; ビット・アキュムレータ
PSW	: プログラム・ステータス・ワード
MBE	: メモリ・バンク許可フラグ
RBE	: レジスタ・バンク許可フラグ
PORTn	: ポートn (n=0-7)
IME	: 割り込みマスタ許可フラグ
IPS	: 割り込みプライオリティ選択レジスタ
IE x x x	: 割り込み許可フラグ
RBS	: レジスタ・バンク選択レジスタ
MBS	: メモリ・バンク選択レジスタ
PCC	: プロセッサ・クロック・コントロール・レジスタ
.	: アドレス, ビット区切り
(x x)	: x x でアドレスされる内容
x x H	: 16進データ

(3) アドレッシング・エリア欄の記号説明

* 1	MB = MBE・MBS MBS = 0-3, 15	データ・メモリ・アドレッシング
* 2	MB = 0	
* 3	MBE = 0 : MB = 0 (000H-07FH) MB = 15 (F80H-FFFH) MBE = 1 : MB = MBS MBS = 0-3, 15	
* 4	MB = 15, fmem = FB0H-FBFH, FF0H-FFFH	
* 5	MB = 15, pmem = FC0H-FFFH	
* 6	addr = 0000H-3FFFH	プログラム・メモリ・アドレッシング
* 7	addr, addr1 = (Current PC) - 15 ~ (Current PC) - 1 (Current PC) + 2 ~ (Current PC) + 16	
* 8	caddr = 0000H-0FFFH (PC _{14,13,12} = 000B) or 1000H-1FFFH (PC _{14,13,12} = 001B) or 2000H-2FFFH (PC _{14,13,12} = 010B) or 3000H-3FFFH (PC _{14,13,12} = 011B) or 4000H-4FFFH (PC _{14,13,12} = 100B : Mk モード時のみ) or 5000H-5FFFH (PC _{14,13,12} = 101B : Mk モード時のみ) or 6000H-6FFFH (PC _{14,13,12} = 110B : Mk モード時のみ) or 7000H-7F7FH (PC _{14,13,12} = 111B : Mk モード時のみ)	
* 9	faddr = 0000H-07FFH	
* 10	taddr = 0020H-007FH	
* 11	addr1 = 0000H-7FFFH (Mk モード時のみ)	

備考1 . MBはアクセス可能なメモリ・バンクを示します。

- 2 . * 2 ではMBE, MBSに関係なくMB = 0 です。
- 3 . * 4 , * 5 では , MBE, MBSに関係なくMB = 15です。
- 4 . * 6 ~ * 11は , それぞれアドレッシング可能な領域を示します。

(4) マシン・サイクル欄の説明

S は、スキップ付き命令がスキップ動作をするときに要するマシン・サイクル数を示します。S の値は次のように変わります。

- ・スキップしないとき S = 0
- ・スキップされる命令が、1 バイト命令、または2 バイト命令のとき ... S = 1
- ・スキップされる命令が、3 バイト命令^注のとき S = 2

注 3 バイト命令 : BR !addr, BRA !addr1, CALL !addr, CALLA !addr1 命令

注意 GETI 命令は1 マシン・サイクルでスキップされます。

1 マシン・サイクルはCPUクロックΦの1 サイクル分 (= t_{CY}) に等しく、PCCの設定により4通りの時間が選択できます。

命令群	二モニック	オペランド	バイト数	マシン・サイクル	オペレーション	アドレッシング・エリア	スキップ条件
転送	MOV	A, #n4	1	1	A n4		たてづみA
		reg1, #n4	2	2	reg1 n4		
		XA, #n8	2	2	XA n8		たてづみA
		HL, #n8	2	2	HL n8		たてづみB
		rp2, #n8	2	2	rp2 n8		
		A, @HL	1	1	A (HL)	* 1	
		A, @HL +	1	2 + S	A (HL), then L L + 1	* 1	L = 0
		A, @HL -	1	2 + S	A (HL), then L L - 1	* 1	L = FH
		A, @rpa1	1	1	A (rpa1)	* 2	
		XA, @HL	2	2	XA (HL)	* 1	
		@HL, A	1	1	(HL) A	* 1	
		@HL, XA	2	2	(HL) XA	* 1	
		A, mem	2	2	A (mem)	* 3	
		XA, mem	2	2	XA (mem)	* 3	
		mem, A	2	2	(mem) A	* 3	
		mem, XA	2	2	(mem) XA	* 3	
		A, reg	2	2	A reg		
		XA, rp'	2	2	XA rp'		
		reg1, A	2	2	reg1 A		
		rp'1, XA	2	2	rp'1 XA		
	XCH	A, @HL	1	1	A (HL)	* 1	
		A, @HL +	1	2 + S	A (HL), then L L + 1	* 1	L = 0
		A, @HL -	1	2 + S	A (HL), then L L - 1	* 1	L = FH
		A, @rpa1	1	1	A (rpa1)	* 2	
		XA, @HL	2	2	XA (HL)	* 1	
		A, mem	2	2	A (mem)	* 3	
		XA, mem	2	2	XA (mem)	* 3	
		A, reg1	1	1	A reg1		
XA, rp'	2	2	XA rp'				
テーブル参照	MOV ^{注1}	XA, @PCDE	1	3	XA (PC ₁₃₋₈ + DE) _{ROM}		
					XA (PC ₁₄₋₈ + DE) _{ROM}		
		XA, @PCXA	1	3	XA (PC ₁₃₋₈ + XA) _{ROM}		
					XA (PC ₁₄₋₈ + XA) _{ROM}		
		XA, @BCDE	1	3	XA (BCDE) _{ROM} ^{注2}	* 6	
					XA (BCDE) _{ROM} ^{注2}	* 11	
	XA, @BCXA	1	3	XA (BCXA) _{ROM} ^{注2}	* 6		
				XA (BCXA) _{ROM} ^{注2}	* 11		

注1 . に示す部分はMk モード時のみ対応可能です。そのほかは、Mk モード時にのみ対応可能です。

2 . Bレジスタは、下位3ビットのみ有効です。

命令群	二モニック	オペランド	バイト数	マシン・サイクル	オペレーション	アドレッシング・エリア	スキップ条件
ビット転送	MOV1	CY, fmem.bit	2	2	CY (fmem.bit)	* 4	
		CY, pmem.@L	2	2	CY (pmem ₇₋₂ + L ₃₋₂ .bit (L ₁₋₀))	* 5	
		CY, @H + mem.bit	2	2	CY (H + mem ₃₋₀ .bit)	* 1	
		fmem.bit, CY	2	2	(fmem.bit) CY	* 4	
		pmem.@L, CY	2	2	(pmem ₇₋₂ + L ₃₋₂ .bit (L ₁₋₀)) CY	* 5	
		@H + mem.bit, CY	2	2	(H + mem ₃₋₀ .bit) CY	* 1	
演算	ADDS	A, #n4	1	1 + S	A A + n4		carry
		XA, #n8	2	2 + S	XA XA + n8		carry
		A, @HL	1	1 + S	A A + (HL)	* 1	carry
		XA, rp'	2	2 + S	XA XA + rp'		carry
		rp'1, XA	2	2 + S	rp'1 rp'1 + XA		carry
	ADDC	A, @HL	1	1	A, CY A + (HL) + CY	* 1	
		XA, rp'	2	2	XA, CY XA + rp' + CY		
		rp'1, XA	2	2	rp'1, CY rp'1 + XA + CY		
	SUBS	A, @HL	1	1 + S	A A - (HL)	* 1	borrow
		XA, rp'	2	2 + S	XA XA - rp'		borrow
		rp'1, XA	2	2 + S	rp'1 rp'1 - XA		borrow
	SUBC	A, @HL	1	1	A, CY A - (HL) - CY	* 1	
		XA, rp'	2	2	XA, CY XA - rp' - CY		
		rp'1, XA	2	2	rp'1, CY rp'1 - XA - CY		
	AND	A, #n4	2	2	A A n4		
		A, @HL	1	1	A A (HL)	* 1	
		XA, rp'	2	2	XA XA rp'		
		rp'1, XA	2	2	rp'1 rp'1 XA		
	OR	A, #n4	2	2	A A n4		
		A, @HL	1	1	A A (HL)	* 1	
XA, rp'		2	2	XA XA rp'			
rp'1, XA		2	2	rp'1 rp'1 XA			
XOR	A, #n4	2	2	A A ∨ n4			
	A, @HL	1	1	A A ∨ (HL)	* 1		
	XA, rp'	2	2	XA XA ∨ rp'			
	rp'1, XA	2	2	rp'1 rp'1 ∨ XA			
操作	RORC	A	1	1	CY A ₀ , A ₃ CY, A _{n-1} A _n		
	NOT	A	2	2	A \bar{A}		
増減	INCS	reg	1	1 + S	reg reg + 1		reg=0
		rp1	1	1 + S	rp1 rp1 + 1		rp1=00H
		@HL	2	2 + S	(HL) (HL) + 1	* 1	(HL) = 0
		mem	2	2 + S	(mem) (mem) + 1	* 3	(mem) = 0
	DECS	reg	1	1 + S	reg reg - 1		reg=FFH
		rp'	2	2 + S	rp' rp' - 1		rp'=FFH

命令群	二モニック	オペランド	バイト数	マシン・サイクル	オペレーション	アドレッシング・エリア	スキップ条件
比較	SKE	reg, #n4	2	2 + S	Skip if reg=n4		reg=n4
		@HL, #n4	2	2 + S	Skip if (HL) =n4	* 1	(HL) =n4
		A, @HL	1	1 + S	Skip if A= (HL)	* 1	A= (HL)
		XA, @HL	2	2 + S	Skip if XA= (HL)	* 1	XA= (HL)
		A, reg	2	2 + S	Skip if A=reg		A=reg
		XA, rp'	2	2 + S	Skip if XA=rp'		XA=rp'
キャリア・フラグ操作	SET1	CY	1	1	CY 1		
	CLR1	CY	1	1	CY 0		
	SKT	CY	1	1 + S	Skip if CY= 1		CY= 1
	NOT1	CY	1	1	CY \overline{CY}		
メモリ・ビット操作	SET1	mem.bit	2	2	(mem.bit) 1	* 3	
		fmem.bit	2	2	(fmem.bit) 1	* 4	
		pmem.@L	2	2	(pmem ₇₋₂ + L ₃₋₂ .bit (L ₁₋₀)) 1	* 5	
		@H + mem.bit	2	2	(H + mem ₃₋₀ .bit) 1	* 1	
	CLR1	mem.bit	2	2	(mem.bit) 0	* 3	
		fmem.bit	2	2	(fmem.bit) 0	* 4	
		pmem.@L	2	2	(pmem ₇₋₂ + L ₃₋₂ .bit (L ₁₋₀)) 0	* 5	
		@H + mem.bit	2	2	(H + mem ₃₋₀ .bit) 0	* 1	
	SKT	mem.bit	2	2 + S	Skip if (mem.bit) = 1	* 3	(mem.bit) = 1
		fmem.bit	2	2 + S	Skip if (fmem.bit) = 1	* 4	(fmem.bit) = 1
		pmem.@L	2	2 + S	Skip if (pmem ₇₋₂ + L ₃₋₂ .bit (L ₁₋₀)) = 1	* 5	(pmem.@L) = 1
		@H + mem.bit	2	2 + S	Skip if (H + mem ₃₋₀ .bit) = 1	* 1	(@H + mem.bit) = 1
	SKF	mem.bit	2	2 + S	Skip if (mem.bit) = 0	* 3	(mem.bit) = 0
		fmem.bit	2	2 + S	Skip if (fmem.bit) = 0	* 4	(fmem.bit) = 0
		pmem.@L	2	2 + S	Skip if (pmem ₇₋₂ + L ₃₋₂ .bit (L ₁₋₀)) = 0	* 5	(pmem.@L) = 0
		@H + mem.bit	2	2 + S	Skip if (H + mem ₃₋₀ .bit) = 0	* 1	(@H + mem.bit) = 0
	SKTCLR	fmem.bit	2	2 + S	Skip if (fmem.bit) =1 and clear	* 4	(fmem.bit) = 1
		pmem.@L	2	2 + S	Skip if (pmem ₇₋₂ + L ₃₋₂ .bit (L ₁₋₀)) =1 and clear	* 5	(pmem.@L) = 1
		@H + mem.bit	2	2 + S	Skip if (H + mem ₃₋₀ .bit) =1 and clear	* 1	(@H + mem.bit) = 1
	AND1	CY, fmem.bit	2	2	CY \overline{CY} (fmem.bit)	* 4	
		CY, pmem.@L	2	2	CY \overline{CY} (pmem ₇₋₂ + L ₃₋₂ .bit (L ₁₋₀))	* 5	
		CY, @H + mem.bit	2	2	CY \overline{CY} (H + mem ₃₋₀ .bit)	* 1	
	OR1	CY, fmem.bit	2	2	CY \overline{CY} (fmem.bit)	* 4	
		CY, pmem.@L	2	2	CY \overline{CY} (pmem ₇₋₂ + L ₃₋₂ .bit (L ₁₋₀))	* 5	
CY, @H + mem.bit		2	2	CY \overline{CY} (H + mem ₃₋₀ .bit)	* 1		
XOR1	CY, fmem.bit	2	2	CY \overline{CY} $\overline{\overline{CY}}$ (fmem.bit)	* 4		
	CY, pmem.@L	2	2	CY \overline{CY} $\overline{\overline{CY}}$ (pmem ₇₋₂ + L ₃₋₂ .bit (L ₁₋₀))	* 5		
	CY, @H + mem.bit	2	2	CY \overline{CY} $\overline{\overline{CY}}$ (H + mem ₃₋₀ .bit)	* 1		

命令群	二モニック	オペランド	バイト数	マシン・サイクル	オペレーション	アドレッシング・エリア	スキップ条件
分岐	BR ^{注1}	addr	-	-	PC ₁₄ 0, PC ₁₃₋₀ addr (アセンブラにより, 次の命令から最適な命令を選択します。 ・ BR !addr ・ BRCB !caddr ・ BR \$addr)	* 6	
		addr1	-	-	PC ₁₄₋₀ addr1 (アセンブラにより, 次の命令から最適な命令を選択します。 ・ BRA !addr1 ・ BR !addr ・ BRCB !caddr ・ BR \$addr1)	* 11	
		!addr	3	3	PC ₁₄ 0, PC ₁₃₋₀ addr	* 6	
		\$addr	1	2	PC ₁₄ 0, PC ₁₃₋₀ addr	* 7	
		\$addr1	1	2	PC ₁₄₋₀ addr1		
		PCDE	2	3	PC ₁₄ 0, PC ₁₃₋₀ PC ₁₃₋₈ + DE		
	PC ₁₄₋₀ PC ₁₄₋₈ + DE						
		PCXA	2	3	PC ₁₄ 0, PC ₁₃₋₀ PC ₁₃₋₈ + XA		
	PC ₁₄₋₀ PC ₁₄₋₈ + XA						
		BCDE	2	3	PC ₁₄ 0, PC ₁₃₋₀ BCDE ^{注2}	* 6	
	PC ₁₄₋₀ BCDE ^{注2}				* 11		
		BCXA	2	3	PC ₁₄ 0, PC ₁₃₋₀ BCXA ^{注2}	* 6	
	PC ₁₄₋₀ BCXA ^{注2}				* 11		
		BRA ^{注1}	!addr	3	3	PC ₁₄ 0, PC ₁₃₋₀ addr	* 6
			3	3	PC ₁₄₋₀ addr1	* 11	
	BRCB ^{注1}	!caddr	2	2	PC ₁₄ 0, PC ₁₃₋₀ PC _{13, 12} + caddr ₁₁₋₀	* 8	
					PC ₁₄₋₀ PC _{14, 13, 12} + caddr ₁₁₋₀		

注1 . に示す部分は, Mk モード時にのみ対応可能です。そのほかは, Mk モード時にのみ対応可能です。

2 . Bレジスタは, 下記のビットのみ有効です。

Mk モード時: 下位 2 ビット

Mk モード時: 下位 3 ビット

命令群	二モニック	オペランド	バイト数	マシン・サイクル	オペレーション	アドレッシング・エリア	スキップ条件
サブルーチン・スタック制御	CALLA ^注	!addr1	3	3	(SP - 5) 0, PC ₁₄₋₁₂ (SP - 6) (SP - 3) (SP - 4) PC ₁₁₋₀ (SP - 2) x, x, MBE, RBE PC ₁₄₋₀ addr1, SP SP - 6	* 11	
	CALL ^注	!addr	3	3	(SP - 4) (SP - 1) (SP - 2) PC ₁₁₋₀ (SP - 3) MBE, RBE, PC _{13, 12} PC ₁₄ 0, PC ₁₃₋₀ addr, SP SP - 4	* 6	
				4	(SP - 5) 0, PC ₁₄₋₁₂ (SP - 6) (SP - 3) (SP - 4) PC ₁₁₋₀ (SP - 2) x, x, MBE, RBE PC ₁₄ 0, PC ₁₃₋₀ addr, SP SP - 6		
	CALLF ^注	!faddr	2	2	(SP - 4) (SP - 1) (SP - 2) PC ₁₁₋₀ (SP - 3) MBE, RBE, PC _{13, 12} PC ₁₄ 0, PC ₁₃₋₀ 000 + faddr, SP SP - 4	* 9	
				3	(SP - 5) 0, PC ₁₄₋₁₂ (SP - 6) (SP - 3) (SP - 4) PC ₁₁₋₀ (SP - 2) x, x, MBE, RBE PC ₁₄₋₀ 0000 + faddr, SP SP - 6		
RET ^注		1	3	MBE, RBE, PC _{13, 12} (SP + 1) PC ₁₁₋₀ (SP) (SP + 3) (SP + 2) PC ₁₄ 0, SP SP + 4 x, x, MBE, RBE (SP + 4) 0, PC ₁₄₋₁₂ (SP + 1) PC ₁₁₋₀ (SP) (SP + 3) (SP + 2) SP SP + 6			
RETS ^注		1	3 + S	MBE, RBE, PC _{13, 12} (SP + 1) PC ₁₁₋₀ (SP) (SP + 3) (SP + 2) PC ₁₄ 0, SP SP + 4 then skip unconditionally x, x, MBE, RBE (SP + 4) 0, PC ₁₄₋₁₂ (SP + 1) PC ₁₁₋₀ (SP) (SP + 3) (SP + 2) SP SP + 6 then skip unconditionally		無条件	

注 に示した部分は、Mk モード時にのみ対応可能です。そのほかは、Mk モード時にのみ対応可能です。

命令群	二モニック	オペランド	バイト数	マシン・サイクル	オペレーション	アドレッシング・エリア	スキップ条件
サブルーチン・スタック制御	RET ^{注1}		1	3	MBE, RBE, PC _{13,12} (SP+1), PC ₁₄ 0 PC ₁₁₋₀ (SP) (SP+3) (SP+2) PSW (SP+4)(SP+5), SP SP+6 0, PC ₁₄₋₁₂ (SP+1) PC ₁₁₋₀ (SP) (SP+3) (SP+2) PSW (SP+4)(SP+5), SP SP+6		
	PUSH	rp	1	1	(SP-1) (SP-2) rp, SP SP-2		
		BS	2	2	(SP-1) MBS, (SP-2) RBS, SP SP-2		
	POP	rp	1	1	rp (SP+1) (SP), SP SP+2		
		BS	2	2	MBS (SP+1), RBS (SP), SP SP+2		
	割り込み制御	EI		2	2	IME (IPS.3) 1	
IE x x x			2	2	IE x x x 1		
DI			2	2	IME (IPS.3) 0		
		IE x x x	2	2	IE x x x 0		
入出力	IN ^{注2}	A, PORT _n	2	2	A PORT _n (n=0-7)		
		XA, PORT _n	2	2	XA PORT _{n+1} , PORT _n (n=4, 6)		
	OUT ^{注2}	PORT _n , A	2	2	PORT _n A (n=2-7)		
		PORT _n , XA	2	2	PORT _{n+1} , PORT _n XA (n=4, 6)		
CPU制御	HALT		2	2	Set HALT Mode (PCC.2 1)		
	STOP		2	2	Set STOP Mode (PCC.3 1)		
	NOP		1	1	No Operation		
特殊	SEL	RB _n	2	2	RBS n (n=0-3)		
		MB _n	2	2	MBS n (n=0-3, 15)		

注1 . に示した部分は、Mk モード時にのみ対応可能です。そのほかは、Mk モード時にのみ対応可能です。

2 . IN/OUT命令実行時には、MBE=0またはMBE=1 , MBS=15としておく必要があります。

命令群	二モニック	オペランド	バイト数	マシン・サイクル	オペレーション	アドレッシング・エリア	スキップ条件
特殊	GETI ^{注1,2}	taddr	1	3	・ TBR命令のとき $PC_{13-0} (taddr)_{5-0} + (taddr + 1), PC_{14} 0$	* 10	
					・ TCALL命令のとき $(SP - 4) (SP - 1) (SP - 2) PC_{11-0}$ $(SP - 3) MBE, RBE, PC_{13,12}, PC_{14} 0$ $PC_{13-0} (taddr)_{5-0} + (taddr + 1)$ SP SP - 4		
					・ TBR, TCALL命令以外のとき $(taddr) (taddr + 1)$ の命令実行		
			1	3	・ TBR命令のとき $PC_{13-0} (taddr)_{5-0} + (taddr + 1), PC_{14} 0$	* 10	
				4	・ TCALL命令のとき $(SP - 5) 0, PC_{14-12}$ $(SP - 6) (SP - 3) (SP - 4) PC_{11-0}$ $(SP - 2) x, x, MBE, RBE, PC_{14} 0$ $PC_{13-0} (taddr)_{5-0} + (taddr + 1)$ SP SP - 6		
				3	・ TBR, TCALL命令以外のとき $(taddr) (taddr + 1)$ の命令実行		

注1 . TBR, TCALL命令はGETI命令のテーブル定義用アセンブラ疑似命令です。

2 . に示す部分は、Mk モード時にのみ対応可能です。そのほかは、Mk モード時にのみ対応可能です。

8. ワン・タイムPROM (プログラム・メモリ) の書き込みとベリファイ

μ PD75P3018Aに内蔵されているプログラム・メモリは32768 × 8 ビットの電氣的書き込み可能なワン・タイムPROMです。このワン・タイムPROMの書き込み/ベリファイのために次の表に示すような端子を使用します。なお、アドレス入力はなく、代わりにX1端子からのクロック入力により、アドレスを更新する方法をとっています。

端子名	機能
V _{PP}	プログラム・メモリ書き込み/ベリファイ時のプログラム電圧印加端子 (通常はV _{DD} 電位)。
X1, X2	プログラム・メモリ書き込み/ベリファイ時のアドレス更新クロック入力。X2端子にはX1端子の逆相信号を入力。
MD0-MD3	プログラム・メモリ書き込み/ベリファイ時の動作モード選択端子。
D0/P40-D3/P43 (下位4ビット) D4/P50-D7/P53 (上位4ビット)	プログラム・メモリ書き込み/ベリファイ時の8ビット・データ入出力端子。
V _{DD}	電源電圧印加端子。通常動作時はV _{DD} = 1.8 ~ 5.5 V, プログラム・メモリ書き込み/ベリファイ時は + 6 Vを印加。

★ 注意 プログラム・メモリの書き込み/ベリファイ時に使用しない端子は、個別に抵抗を介してV_{SS}に接続します。

8.1 プログラム・メモリ書き込み/ベリファイ時の動作モード

μ PD75P3018Aは、V_{DD}端子に + 6 V, V_{PP}端子に + 12.5 Vを印加すると、プログラム・メモリ書き込み/ベリファイ・モードになります。このモードは、MD0-MD3端子の設定により次のような動作モードとなります。

動作モードの指定						動作モード
V _{PP}	V _{DD}	MD0	MD1	MD2	MD3	
+ 12.5 V	+ 6 V	H	L	H	L	プログラム・メモリ・アドレスの0クリア
		L	H	H	H	書き込みモード
		L	L	H	H	ベリファイ・モード
		H	x	H	H	プログラム・インヒビット・モード

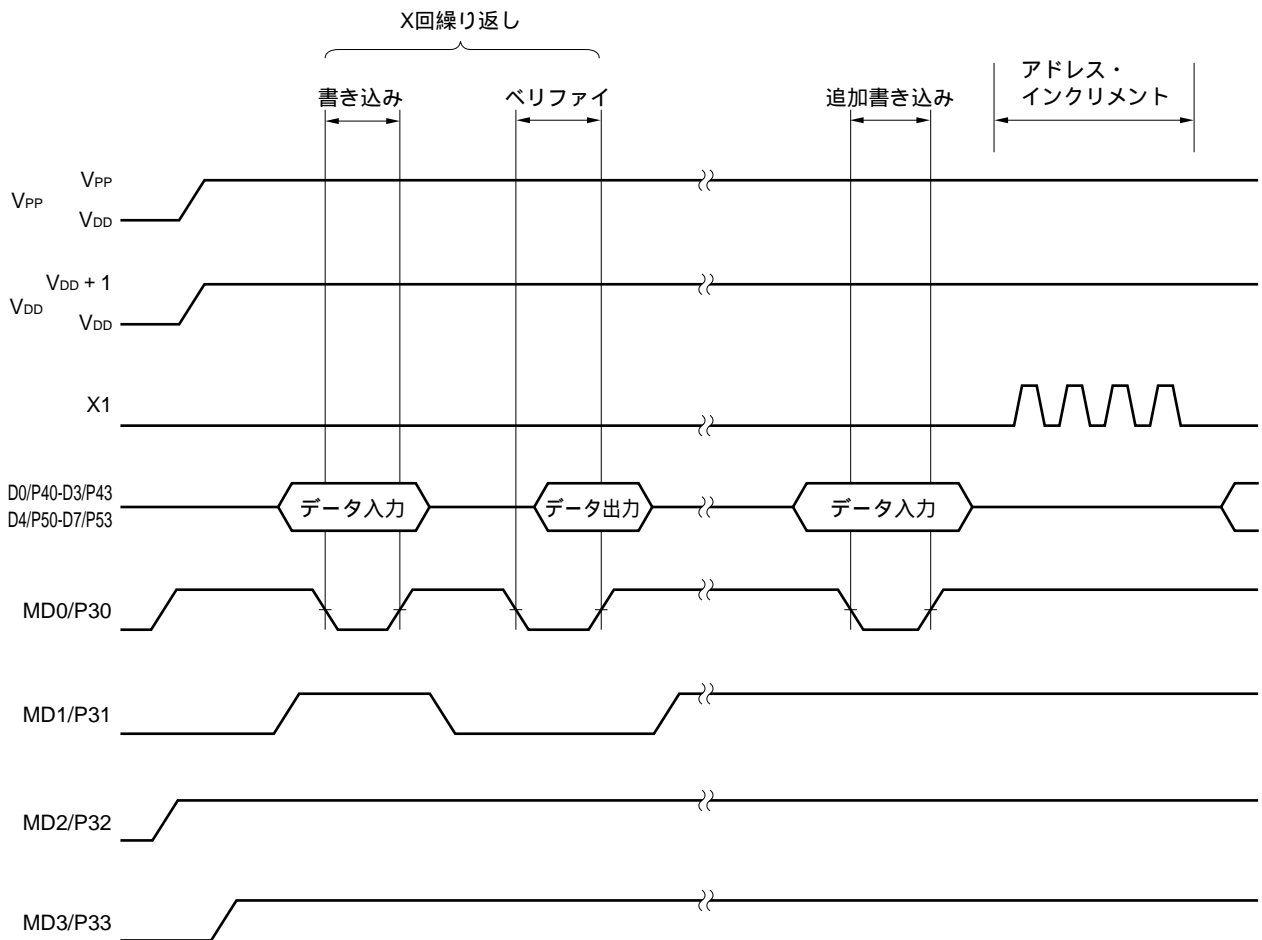
x : LまたはH

8.2 プログラム・メモリ書き込みの手順

プログラム・メモリ書き込みの手順は次のようになっており、高速書き込みが可能です。

- (1) 使用しない端子を抵抗を介してV_{SS}にプルダウン。X1端子はロウ・レベル。
- (2) V_{DD} , V_{PP}端子に 5 Vを供給。
- (3) 10 μsウエイト。
- (4) プログラム・メモリ・アドレスの 0 クリア・モード。
- (5) V_{DD}に 6 V , V_{PP}に 12.5 Vを供給。
- (6) 1 msの書き込みモードでデータを書き込む。
- (7) ベリファイ・モード。書き込めていれば (8) へ、書き込めていなければ (6) , (7) を繰り返す。
- (8) ((6) , (7) で書き込んだ回数 : X) × 1 msの追加書き込み。
- (9) X1端子にパルスを 4 発入力することにより、プログラム・メモリ・アドレスを更新 (+ 1) 。
- (10) (6) ~ (9) を最終アドレスまで繰り返す。
- (11) プログラム・メモリ・アドレスの 0 クリア・モード。
- (12) V_{DD} , V_{PP}端子の電圧を 5 Vに変更。
- (13) 電源オフ。

この (2) ~ (9) の手順を下図に示します。

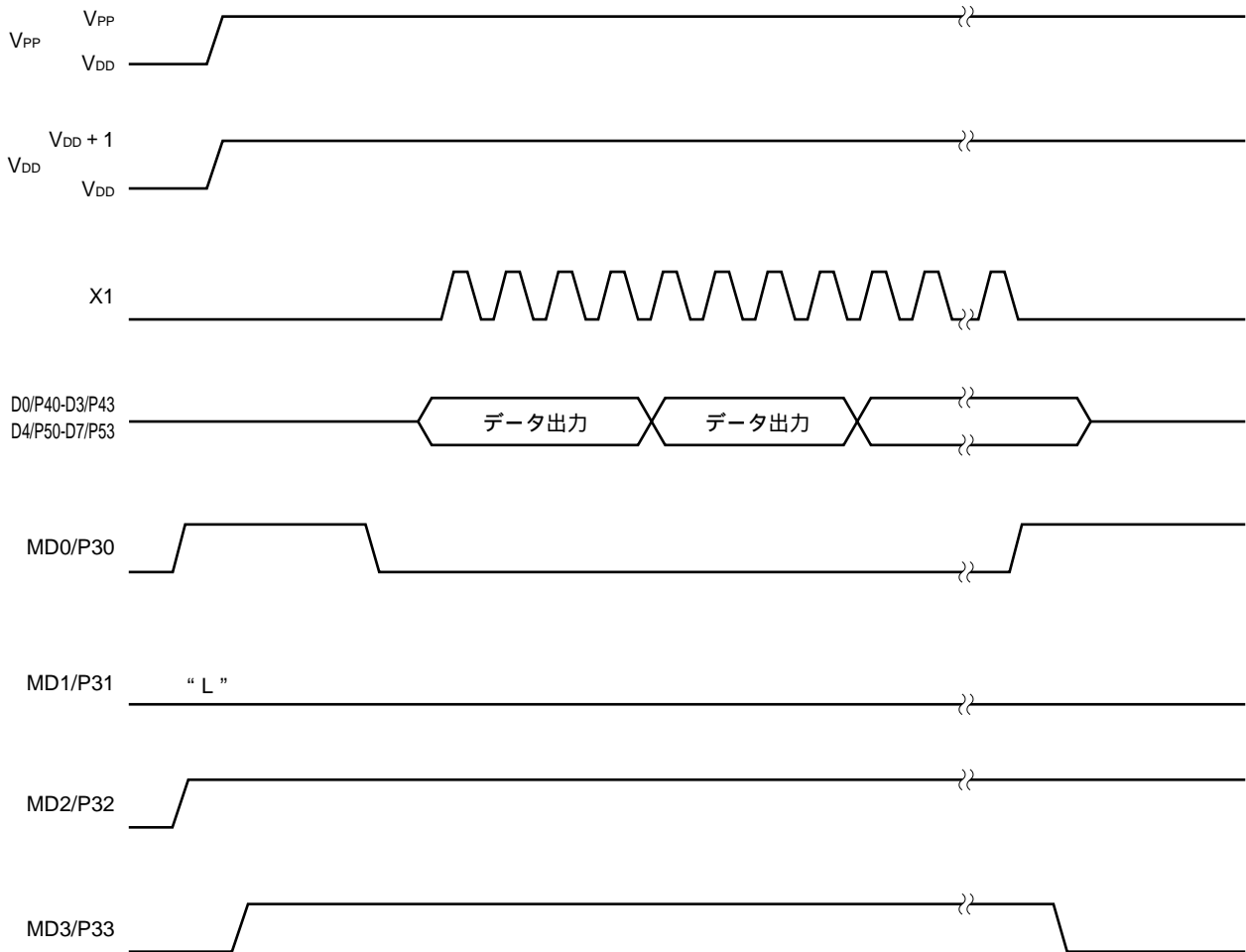


8.3 プログラム・メモリ読み出しの手順

μ PD75P3018Aは、次の手順によりプログラム・メモリの内容の読み出しができます。

- (1) 使用しない端子を抵抗を介してV_{SS}にプルダウン。X1端子はロウ・レベル。
- (2) V_{DD}, V_{PP}端子に 5 Vを供給。
- (3) 10 μ sウエイト。
- (4) プログラム・メモリ・アドレスの 0 クリア・モード。
- (5) V_{DD}に 6 V, V_{PP}に 12.5 Vを供給。
- (6) ベリファイ・モード。X1端子にクロック・パルスを入力すると 4 発入力する周期でデータを 1 アドレスずつ順次出力。
- (7) プログラム・メモリ・アドレスの 0 クリア・モード。
- (8) V_{DD}, V_{PP}端子の電圧を 5 Vに変更。
- (9) 電源オフ。

この (2) ~ (7) の手順を下図に示します。



8.4 ワン・タイムPROMのスクリーニングについて

ワン・タイムPROM製品は、その構造上、当社にて完全な試験をして出荷することはできません。必要なデータを書き込んだあと、下記の条件で高温保管後、PROMのベリファイを行うスクリーニングを実施することを推奨します。

保管温度	保管時間
125	24時間

9 . 電気的特性

絶対最大定格 (TA = 25)

項 目	略 号	条 件	定 格	単 位
電源電圧	VDD		- 0.3 ~ + 7.0	V
PROM電源電圧	VPP		- 0.3 ~ + 13.5	V
入力電圧	Vi1	ポート 4 , 5 以外	- 0.3 ~ VDD + 0.3	V
	Vi2	ポート 4 , 5 (N-chオープン・ドレイン)	- 0.3 ~ + 14	V
出力電圧	Vo		- 0.3 ~ VDD + 0.3	V
ハイ・レベル出力電流	IoH	1 端子当たり	- 10	mA
		全端子合計	- 30	mA
ロウ・レベル出力電流	IoL	1 端子当たり	30	mA
		全端子合計	220	mA
動作周囲温度	TA		- 40 ~ + 85 ^注	
保存温度	Tstg		- 65 ~ + 150	

注 LCDを通常モードで駆動する場合, TA = - 10 ~ + 85

注意 各項目のうち1項目でも, また一瞬でも絶対最大定格を越えると, 製品の品質を損なう恐れがあります。つまり絶対最大定格とは, 製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で, 製品をご使用ください。

容 量 (TA = 25 , VDD = 0 V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
入力容量	CIN	f = 1 MHz			15	pF
出力容量	COU _T	被測定端子以外は0 V			15	pF
入出力容量	CIO				15	pF

メイン・システム・クロック発振回路特性 (TA = -40 ~ +85 , VDD = 1.8 ~ 5.5 V)

発振子	推奨定数	項目	条件	MIN.	TYP.	MAX.	単位
セラミック 発振子		発振周波数 (fx) 注1		1.0		6.0注2	MHz
		発振安定時間注3	VDDが発振電圧範囲のMIN. 値に達したあと			4	ms
水晶 振動子		発振周波数 (fx) 注1		1.0		6.0注2	MHz
		発振安定時間注3	VDD = 4.5 ~ 5.5 V			10	ms
						30	
外部 クロック		X1入力周波数 (fx) 注1		1.0		6.0注2	MHz
		X1入力ハイ, ロウ・レベル幅 (txH, txL)			83.3		500

注1 . 発振周波数およびX1入力周波数は、発振回路の特性だけを示すものです。命令実行時間はAC特性を参照してください。

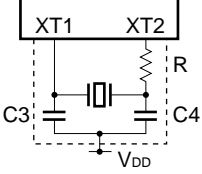
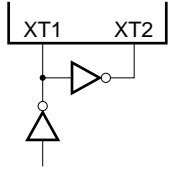
- 2 . 1.8 V VDD < 2.7 Vで発振周波数が4.19 MHz < fx < 6.0 MHzの場合、プロセッサ・クロック・コントロール・レジスタ (PCC) を0011に設定すると、1マシン・サイクル・タイムが規定の0.95 μsを満たせなくなるため、PCCは0011以外の値を設定してください。
- 3 . 発振安定時間は、VDD印加後、またはSTOPモード解除後、発振が安定するのに必要な時間です。

注意 メイン・システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を実線のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接続点は、常にVDDと同電位になるようにする。
- ・大電流が流れる電源パターンには接続しない。
- ・発振回路から信号を取り出さない。

★ 備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

サブシステム・クロック発振回路特性 (TA = -40 ~ +85 , VDD = 1.8 ~ 5.5 V)

発振子	推奨定数	項目	条件	MIN.	TYP.	MAX.	単位
水晶 振動子		発振周波数 (f _{XT}) 注1		32	32.768	35	kHz
		発振安定時間注2	V _{DD} = 4.5 ~ 5.5 V		1.0	2	s
外部 クロック		XT1入力周波数 (f _{XT}) 注1		32		100	kHz
		XT1入力ハイ、ロウ・レベル幅 (t _{XTH} , t _{XTL})		5		15	μs

注1 . 発振回路の特性だけを示すものです。命令実行時間はAC特性を参照してください。

2 . V_{DD}印加後、発振が安定するのに必要な時間です。

注意 サブシステム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接続点は、常にV_{DD}と同電位になるようにする。
- ・大電流が流れる電源パターンには接続しない。
- ・発振回路から信号を取り出さない。

サブシステム・クロック発振回路は、低消費電流にするために増幅度の低い回路になっており、ノイズに対する誤動作がメイン・システム・クロックよりも起こりやすくなっています。したがって、サブシステム・クロックを使用する場合は、配線方法について特にご注意ください。

★ 備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

DC特性 (TA = -40 ~ +85 , VDD = 1.8 ~ 5.5 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位		
ロウ・レベル出力電流	IOL	1端子当たり				15	mA		
		全端子合計				150	mA		
ハイ・レベル入力電圧	VIH1	ポート2, 3	2.7 V VDD 5.5 V	0.7 VDD		VDD	V		
			1.8 V VDD < 2.7 V	0.9 VDD		VDD	V		
	VIH2	ポート0, 1, 6, 7, RESET	2.7 V VDD 5.5 V	0.8 VDD		VDD	V		
			1.8 V VDD < 2.7 V	0.9 VDD		VDD	V		
	VIH3	ポート4, 5 (N-chオープン・ドレイン)	2.7 V VDD 5.5 V	0.7 VDD		13	V		
			1.8 V VDD < 2.7 V	0.9 VDD		13	V		
VIH4	X1, XT1		VDD - 0.1		VDD	V			
ロウ・レベル入力電圧	VIL1	ポート2-5	2.7 V VDD 5.5 V	0		0.3 VDD	V		
			1.8 V VDD < 2.7 V	0		0.1 VDD	V		
	VIL2	ポート0, 1, 6, 7, RESET	2.7 V VDD 5.5 V	0		0.2 VDD	V		
			1.8 V VDD < 2.7 V	0		0.1 VDD	V		
VIL3	X1, XT1		0		0.1	V			
ハイ・レベル出力電圧	VOH	SCK, SO, ポート2, 3, 6, 7, BP0-BP7 I _{OH} = -1.0 mA		VDD - 0.5			V		
ロウ・レベル出力電圧	VOL1	SCK, SO, ポート2-7, BP0-BP7	I _{OL} = 15 mA		0.2	2.0	V		
			VDD = 4.5 ~ 5.5 V						
	I _{OL} = 1.6 mA			0.4	V				
VOL2	SB0, SB1	N-chオープン・ドレイン プルアップ抵抗 1 k				0.2 VDD	V		
ハイ・レベル入力 リーク電流	ILIH1	V _{IN} = VDD	X1, XT1以外の端子			3	μA		
	ILIH2		X1, XT1			20	μA		
	ILIH3	V _{IN} = 13 V	ポート4, 5(N-chオープン・ドレイン)			20	μA		
ロウ・レベル入力 リーク電流	ILIL1	V _{IN} = 0 V	X1, XT1, ポート4, 5以外の端子			-3	μA		
	ILIL2		X1, XT1			-20	μA		
	ILIL3			ポート4, 5(N-chオープン・ドレイン)			-3	μA	
				入力命令実行時以外					
				ポート4, 5(N-ch オープン・ドレイン)	VDD = 5.0 V		-10	-27	μA
				入力命令実行時	VDD = 3.0 V		-3	-8	μA
ハイ・レベル出力 リーク電流	ILOH1	V _{OUT} = VDD	SCK, SO/SB0, SB1, ポート2, 3, 6, 7			3	μA		
	ILOH2	V _{OUT} = 13 V	ポート4, 5(N-chオープン・ドレイン)			20	μA		
ロウ・レベル出力 リーク電流	ILOL	V _{OUT} = 0 V				-3	μA		
内蔵プルアップ抵抗	RL	V _{IN} = 0 V	ポート0-3, 6, 7 (P00端子を除く)	50	100	200	k		

DC特性 (TA = -40 ~ +85 , VDD = 1.8 ~ 5.5 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位			
LCD駆動電圧	VLCD	VAC0 = 0	TA = -40 ~ +85	2.7		VDD	V			
			TA = -10 ~ +85	2.2		VDD	V			
		VAC0 = 1		1.8		VDD	V			
VAC電流 ^{注1}	IVAC	VAC0 = 1, VDD = 2.0 V ± 10 %			1	4	μA			
LCD出力電圧偏差 ^{注2} (コモン)	VODC	Io = ± 1.0 μA	VLCD0 = VLCD	0		± 0.2	V			
			VLCD1 = VLCD × 2/3							
LCD出力電圧偏差 ^{注2} (セグメント)	VODS	Io = ± 0.5 μA	VLCD2 = VLCD × 1/3 1.8 V VLCD VDD	0		± 0.2	V			
電源電流 ^{注3}	IDD1	6.0 MHz ^{注4} 水晶発振	VDD = 5.0 V ± 10 % ^{注5}			3.7	11.0	mA		
			VDD = 3.0 V ± 10 % ^{注6}			0.73	2.2	mA		
	IDD2	C1 = C2 = 22 pF	HALT モード	VDD = 5.0 V ± 10 %			0.92	2.6	mA	
				VDD = 3.0 V ± 10 %			0.3	0.9	mA	
	IDD1	4.19 MHz ^{注4} 水晶発振	VDD = 5.0 V ± 10 % ^{注5}			2.7	8.0	mA		
			VDD = 3.0 V ± 10 % ^{注6}			0.57	1.7	mA		
	IDD2	C1 = C2 = 22 pF	HALT モード	VDD = 5.0 V ± 10 %			0.90	2.5	mA	
				VDD = 3.0 V ± 10 %			0.28	0.8	mA	
	IDD3	32.768 kHz ^{注7} 水晶発振	低電圧 モード ^{注8}	VDD = 3.0 V ± 10 %			42	126	μA	
				VDD = 2.0 V ± 10 %			37	110	μA	
				VDD = 3.0 V, TA = 25			42	84	μA	
			低消費電 流モード ^{注9}	VDD = 3.0 V ± 10 %			39	117	μA	
	VDD = 3.0 V, TA = 25				39	78	μA			
	IDD4		HALT モード	低電圧 モード ^{注8}	VDD = 3.0 V ± 10 %			8.5	25	μA
					VDD = 2.0 V ± 10 %			5.8	17	μA
VDD = 3.0 V, TA = 25					8.5	17	μA			
低消費電 流モード ^{注9}			VDD = 3.0 V ± 10 %			3.5	12	μA		
	VDD = 3.0 V, TA = 25			3.5	7	μA				
IDD5	XT1 = 0 V ^{注10} STOPモード	VDD = 5.0 V ± 10 %			0.05	10	μA			
		VDD = 3.0 V ± 10 %			0.02	5	μA			
		TA = 25			0.02	3	μA			

注1．低消費電流モードおよびSTOPモード設定時にはVAC0 = 0にしてください。VAC0 = 1に設定すると、電流が1μA程度増加します。

2．電圧偏差とは、セグメント、コモン出力の理想値 (VLCDn; n = 0, 1, 2) に対する出力電圧との差です。

3．内蔵プルアップ抵抗に流れる電流は含みません。

4．サブシステム・クロックを発振させた場合も含まれます。

5．プロセッサ・クロック・コントロール・レジスタ (PCC) を0011に設定し、高速モードで動作させた場合。

6．PCCを0000に設定し、低速モードで動作させた場合。

7．システム・クロック・コントロール・レジスタ (SCC) を1001に設定し、メイン・システム・クロックの発振を停止させ、サブシステム・クロックで動作させた場合。

8．サブ発振回路コントロール・レジスタ (SOS) を0000に設定した場合。

9．SOSを0010に設定した場合。

10．SOSを00×1に設定し、サブ発振回路のフィードバック抵抗をカットした場合 (X: don't care)。

AC特性 (TA = -40 ~ +85 , VDD = 1.8 ~ 5.5 V)

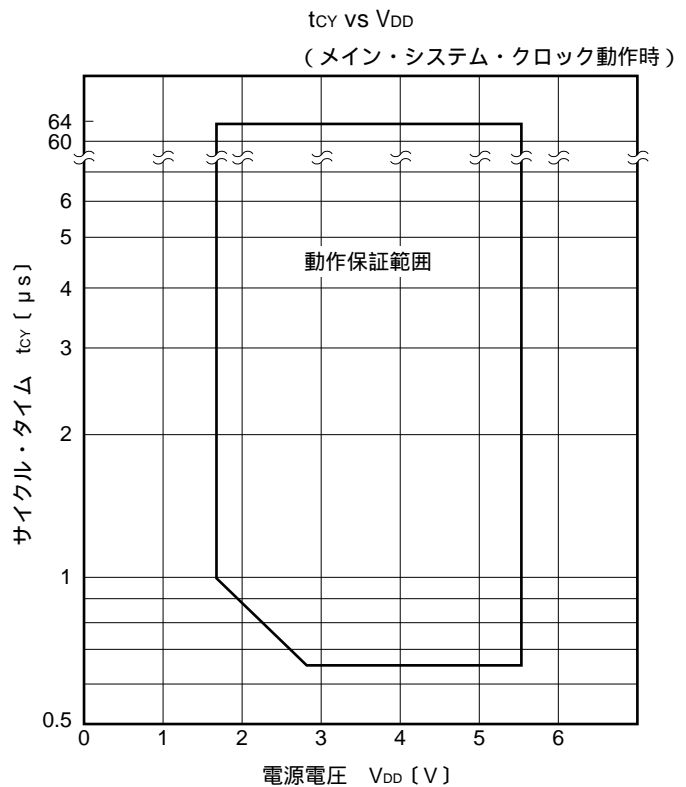
項目	略号	条件	MIN.	TYP.	MAX.	単位	
CPUクロック・サイクル・タイム ^{注1} (最小命令実行時間 = 1マシン・サイクル)	tcy	メイン・システム・ クロックで動作	VDD = 2.7 ~ 5.5 V	0.67		64	μs
				0.95		64	μs
		サブシステム・クロックで動作		114	122	125	μs
TIO, TI1, TI2入力周波数	fri	VDD = 2.7 ~ 5.5 V	0		1.0	MHz	
			0		275	kHz	
TIO, TI1, TI2入力ハイ, ロウ・レベル幅	tT1H, tT1L	VDD = 2.7 ~ 5.5 V	0.48			μs	
			1.8			μs	
割り込み入力ハイ, ロウ・レベル幅	tINTH, tINTL	INT0	IM02 = 0	注2		μs	
			IM02 = 1	10		μs	
		INT1, 2, 4		10		μs	
		KR0-7		10		μs	
RESETロウ・レベル幅	trSL		10			μs	

注1 . CPUクロック () のサイクル・タイム

(最小命令実行時間) は, 接続された発振子 (および外部クロック) の発振周波数とシステム・クロック・コントロール・レジスタ (SCC), プロセッサ・クロック・コントロール・レジスタ (PCC) によって決まります。

右図は, メイン・システム・クロック動作時の電源電圧VDDに対するサイクル・タイムtcy特性を示します。

- 2 . 割り込みモード・レジスタ (IM0) の設定により, 2tcyまたは128/fxとなります。



シリアル転送オペレーション

2線式, 3線式シリアル/Oモード (SCK...内部クロック出力) : (TA = -40 ~ +85 , VDD = 1.8 ~ 5.5 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCKサイクル・タイム	tkCY1	VDD = 2.7 ~ 5.5 V	1300			ns
			3800			ns
SCKハイ, ロウ・レベル幅	tkL1, tkH1	VDD = 2.7 ~ 5.5 V	tkCY1/2 - 50			ns
			tkCY1/2 - 150			ns
Si ^{注1} セットアップ時間 (対SCK)	tsiK1	VDD = 2.7 ~ 5.5 V	150			ns
			500			ns
Si ^{注1} ホールド時間 (対SCK)	tkSi1	VDD = 2.7 ~ 5.5 V	400			ns
			600			ns
SCK SO ^{注1} 出力遅延時間	tkSO1	RL = 1 k , 注2 CL = 100 pF	VDD = 2.7 ~ 5.5 V		250	ns
			0		1000	ns

注1 . 2線式シリアル/Oモード時は, SB0またはSB1に読み替えてください。

2 . RL, CLはSO出力ラインの負荷抵抗, 負荷容量です。

2線式, 3線式シリアル/Oモード (SCK...外部クロック入力) : (TA = -40 ~ +85 , VDD = 1.8 ~ 5.5 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCKサイクル・タイム	tkCY2	VDD = 2.7 ~ 5.5 V	800			ns
			3200			ns
SCKハイ, ロウ・レベル幅	tkL2, tkH2	VDD = 2.7 ~ 5.5 V	400			ns
			1600			ns
Si ^{注1} セットアップ時間 (対SCK)	tsiK2	VDD = 2.7 ~ 5.5 V	100			ns
			150			ns
Si ^{注1} ホールド時間 (対SCK)	tkSi2	VDD = 2.7 ~ 5.5 V	400			ns
			600			ns
SCK SO ^{注1} 出力遅延時間	tkSO2	RL = 1 k , 注2 CL = 100 pF	VDD = 2.7 ~ 5.5 V		300	ns
			0		1000	ns

注1 . 2線式シリアル/Oモード時は, SB0またはSB1に読み替えてください。

2 . RL, CLはSO出力ラインの負荷抵抗, 負荷容量です。

SBIモード (SCK...内部クロック出力 (マスタ)) : (TA = -40 ~ +85 , VDD = 1.8 ~ 5.5 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCKサイクル・タイム	tkCY3	VDD = 2.7 ~ 5.5 V	1300			ns
			3800			ns
SCKハイ, ロウ・レベル幅	tkL3, tkH3	VDD = 2.7 ~ 5.5 V	tkCY3/2 - 50			ns
			tkCY3/2 - 150			ns
SB0, 1セットアップ時間 (対SCK)	tsIK3	VDD = 2.7 ~ 5.5 V	150			ns
			500			ns
SB0, 1ホールド時間 (対SCK)	tkSI3		tkCY3/2			ns
SCK SB0, 1出力遅延時間	tkSO3	RL = 1 k , 注 CL = 100 pF	VDD = 2.7 ~ 5.5 V	0	250	ns
				0	1000	ns
SCK SB0, 1	tkSB		tkCY3			ns
SB0, 1 SCK	tsBK		tkCY3			ns
SB0, 1ロウ・レベル幅	tsBL		tkCY3			ns
SB0, 1ハイ・レベル幅	tsBH		tkCY3			ns

注 RL, CLはSB0, 1出力ラインの負荷抵抗, 負荷容量です。

SBIモード (SCK...外部クロック入力 (スレーブ)) : (TA = -40 ~ +85 , VDD = 1.8 ~ 5.5 V)

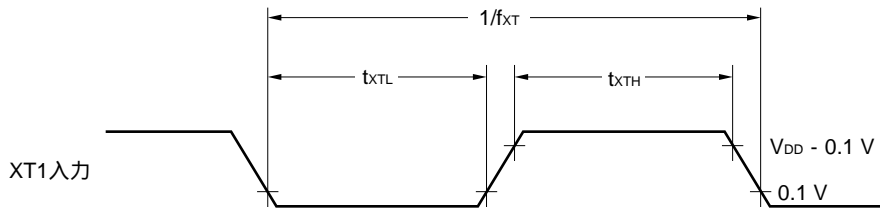
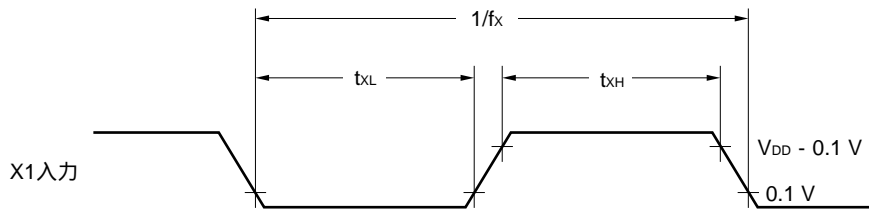
項目	略号	条件	MIN.	TYP.	MAX.	単位
SCKサイクル・タイム	tkCY4	VDD = 2.7 ~ 5.5 V	800			ns
			3200			ns
SCKハイ, ロウ・レベル幅	tkL4, tkH4	VDD = 2.7 ~ 5.5 V	400			ns
			1600			ns
SB0, 1セットアップ時間 (対SCK)	tsIK4	VDD = 2.7 ~ 5.5 V	100			ns
			150			ns
SB0, 1ホールド時間 (対SCK)	tkSI4		tkCY4/2			ns
SCK SB0, 1出力遅延時間	tkSO4	RL = 1 k , 注 CL = 100 pF	VDD = 2.7 ~ 5.5 V	0	300	ns
				0	1000	ns
SCK SB0, 1	tkSB		tkCY4			ns
SB0, 1 SCK	tsBK		tkCY4			ns
SB0, 1ロウ・レベル幅	tsBL		tkCY4			ns
SB0, 1ハイ・レベル幅	tsBH		tkCY4			ns

注 RL, CLはSB0, 1出力ラインの負荷抵抗, 負荷容量です。

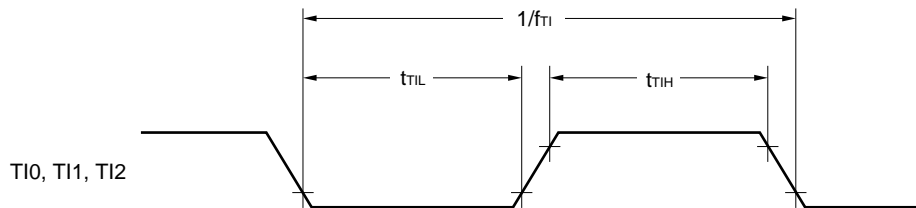
ACタイミング測定点 (X1, XT1入力を除く)



クロック・タイミング

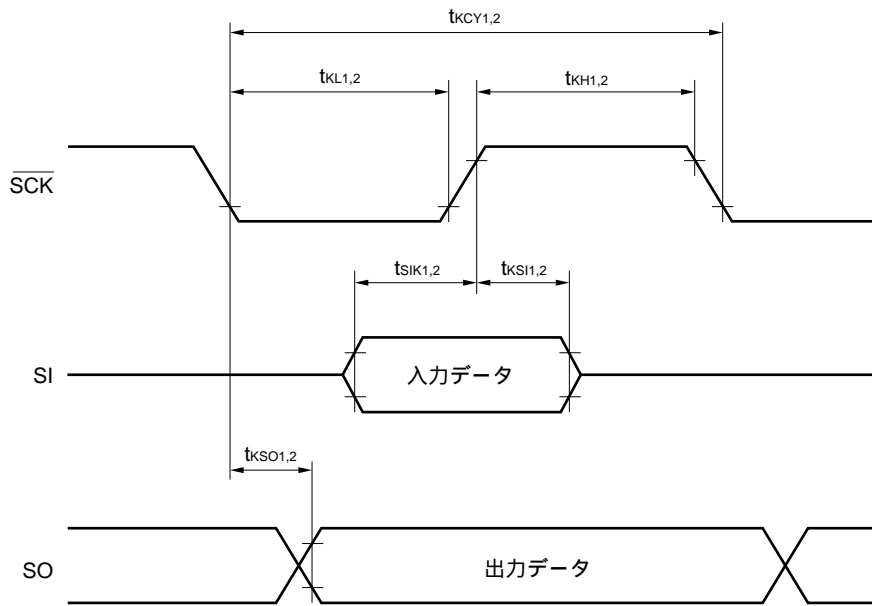


T10, T11, T12タイミング

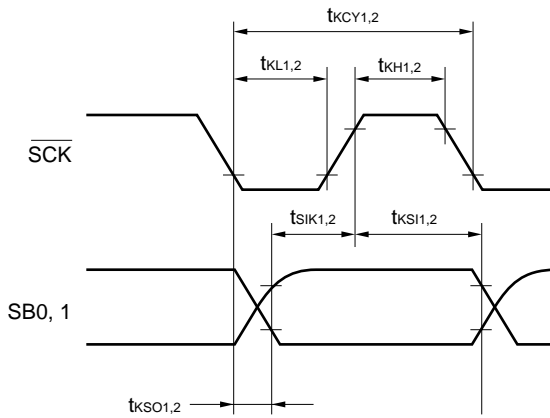


シリアル転送タイミング

3線式シリアル/Oモード

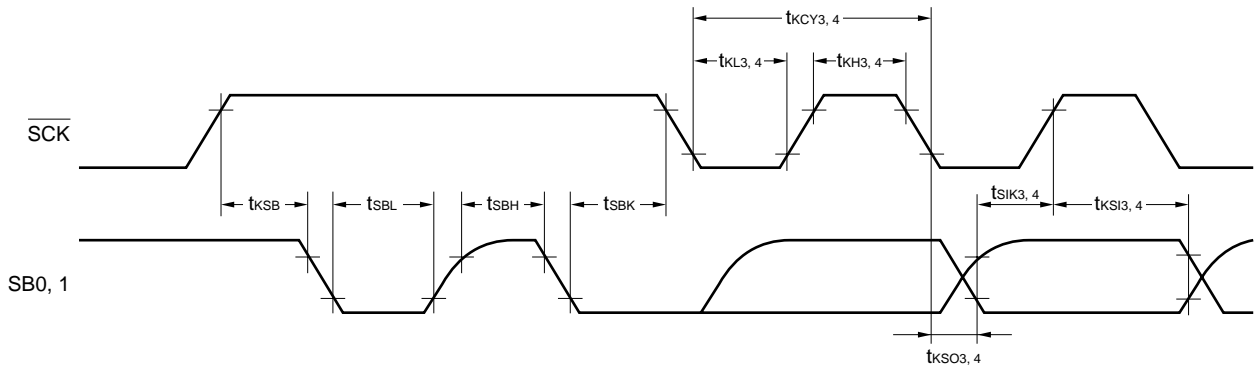


2線式シリアル/Oモード

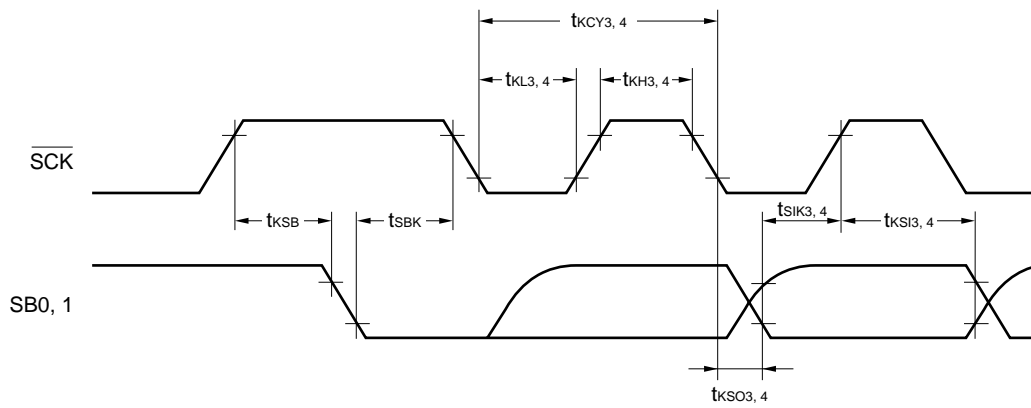


シリアル転送タイミング

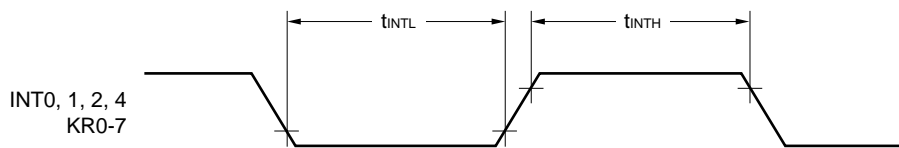
バス・リリース信号転送



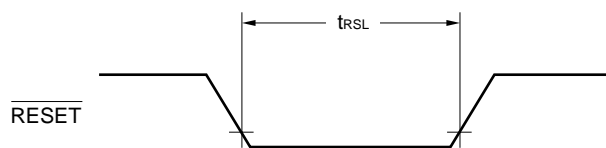
コマンド信号転送



割り込み入力タイミング



RESET入力タイミング



データ・メモリSTOPモード低電源電圧データ保持特性 (TA = -40 ~ +85)

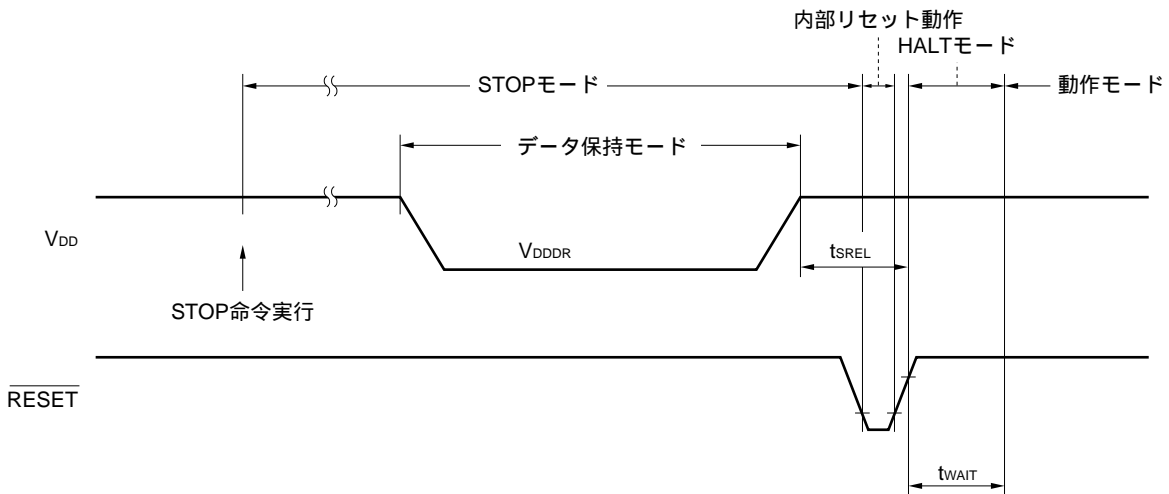
項目	略号	条件	MIN.	TYP.	MAX.	単位
★ データ保持電源電圧	VDDDR		1.8		5.5	V
リリース信号セット時間	tsREL		0			μs
発振安定ウエイト時間 ^{注1}	tWAIT	RESETによる解除		2 ¹⁵ /fx		ms
		割り込み要求による解除		注2		ms

注1．発振安定ウエイト時間は、発振開始時の不安定な動作を防ぐため、CPUの動作を停止しておく時間です。

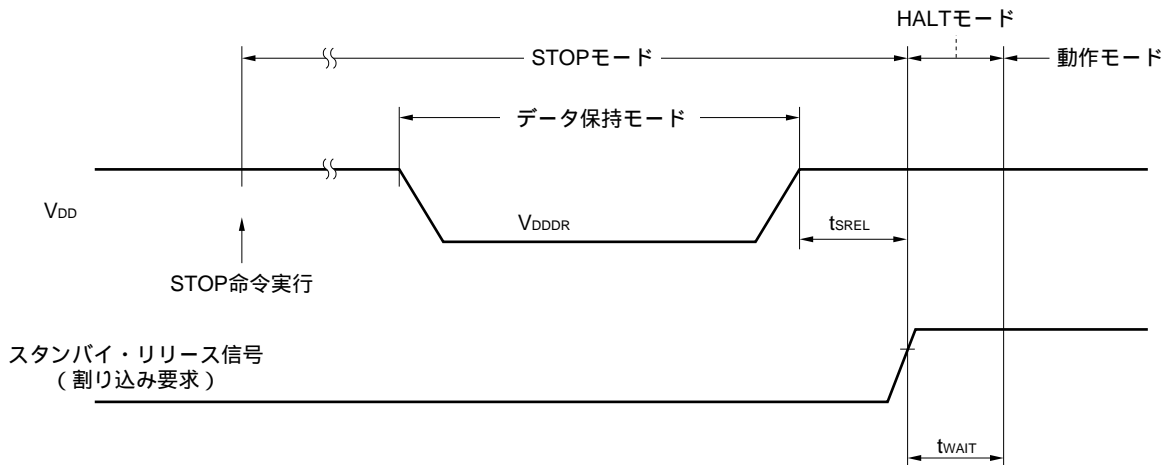
2．ベーシック・インターバル・タイマ・モード・レジスタ (BTM) の設定によります。(下表)

BTM3	BTM2	BTM1	BTM0	ウエイト時間	
				fx = 4.19 MHz時	fx = 6.0 MHz時
-	0	0	0	2 ²⁰ /fx (約250 ms)	2 ²⁰ /fx (約175 ms)
-	0	1	1	2 ¹⁷ /fx (約31.3 ms)	2 ¹⁷ /fx (約21.8 ms)
-	1	0	1	2 ¹⁵ /fx (約7.81 ms)	2 ¹⁵ /fx (約5.46 ms)
-	1	1	1	2 ¹³ /fx (約1.95 ms)	2 ¹³ /fx (約1.37 ms)

データ保持タイミング (RESETによるSTOPモード解除)



データ保持タイミング (スタンバイ・リリース信号：割り込み信号によるSTOPモード解除)



DCプログラミング特性 (TA = 25 ± 5 , VDD = 6.0 ± 0.25 V , VPP = 12.5 ± 0.3 V , VSS = 0 V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ハイ・レベル入力電圧	VIH1	X1, X2以外の端子	0.7 VDD		VDD	V
	VIH2	X1, X2	VDD - 0.5		VDD	V
ロウ・レベル入力電圧	VIL1	X1, X2以外の端子	0		0.3 VDD	V
	VIL2	X1, X2	0		0.4	V
入力リーク電流	I _{LI}	V _{IN} = V _{IL} or V _{IH}			10	μA
ハイ・レベル出力電圧	VOH	I _{OH} = - 1 mA	VDD - 1.0			V
ロウ・レベル出力電圧	VOL	I _{OL} = 1.6 mA			0.4	V
VDD電源電流	IDD				30	mA
VPP電源電流	I _{PP}	MD0 = V _{IL} , MD1 = V _{IH}			30	mA

注意 1 . VPPはオーバシュートを含めて + 13.5 V以上にならないようにしてください。

2 . VDDはVPPより前に印加し, VPPのあとから切断するようにしてください。

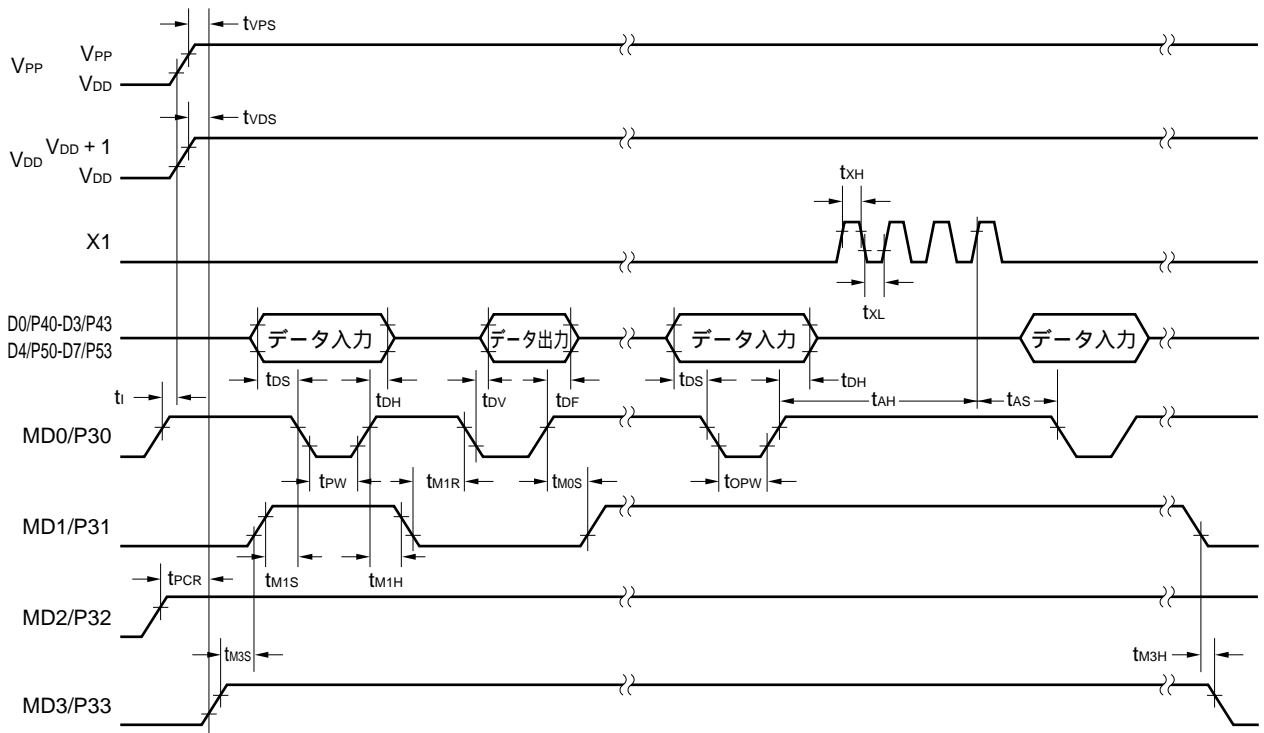
ACプログラミング特性 (TA = 25 ± 5 , VDD = 6.0 ± 0.25 V , VPP = 12.5 ± 0.3 V , VSS = 0 V)

項 目	略 号	注 1	条 件	MIN.	TYP.	MAX.	単 位
アドレス・セットアップ時間 ^{注2} (対MD0)	tAS	tAS		2			μs
MD1セットアップ時間 (対MD0)	tM1S	toES		2			μs
データ・セットアップ時間 (対MD0)	tDS	tDS		2			μs
アドレス・ホールド時間 ^{注2} (対MD0)	tAH	tAH		2			μs
データ・ホールド時間 (対MD0)	tDH	tDH		2			μs
MD0 データ出力フロート遅延時間	tDF	tDF		0		130	ns
VPPセットアップ時間 (対MD3)	tVPS	tVPS		2			μs
VDDセットアップ時間 (対MD3)	tVDS	tVCS		2			μs
初期プログラム・パルス幅	tPW	tPW		0.95	1.0	1.05	ms
追加プログラム・パルス幅	tOPW	tOPW		0.95		21.0	ms
MD0セットアップ時間 (対MD1)	tM0S	tCES		2			μs
MD0 データ出力遅延時間	tDV	tDV	MD0 = MD1 = V _{IL}			1	μs
MD1ホールド時間 (対MD0)	tM1H	toEH	tM1H + tM1R 50 μs	2			μs
MD1回復時間 (対MD0)	tM1R	toR		2			μs
プログラム・カウンタ・リセット時間	tPCR	-		10			μs
X1入力ハイ, ロウ・レベル幅	tXH, tXL	-		0.125			μs
X1入力周波数	fX	-				4.19	MHz
イニシャル・モード・セット時間	tI	-		2			μs
MD3セットアップ時間 (対MD1)	tM3S	-		2			μs
MD3ホールド時間 (対MD1)	tM3H	-		2			μs
MD3セットアップ時間 (対MD0)	tM3SR	-	プログラム・メモリ読み出し時	2			μs
アドレス ^{注2} データ出力遅延時間	tDAD	tACC	"			2	μs
アドレス ^{注2} データ出力ホールド時間	tHAD	toH	"	0		130	μs
MD3ホールド時間 (対MD0)	tM3HR	-	"	2			μs
MD3 データ出力フロート遅延時間	tDFR	-	"			2	μs

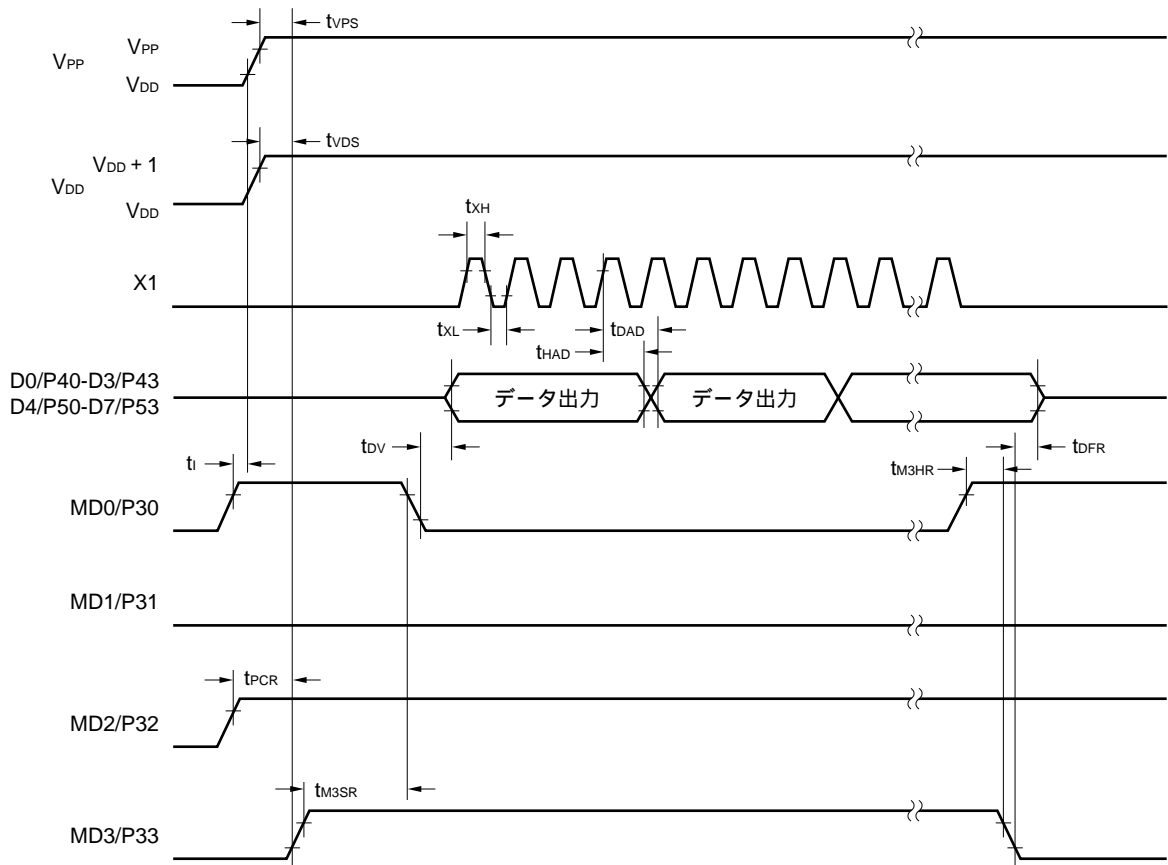
注 1 . 対応する μPD27C256Aの略号です。

2 . 内部アドレス信号は4発目のX1入力立ち上がりで + 1 され, 端子には接続されていません。

プログラム・メモリ書き込みタイミング

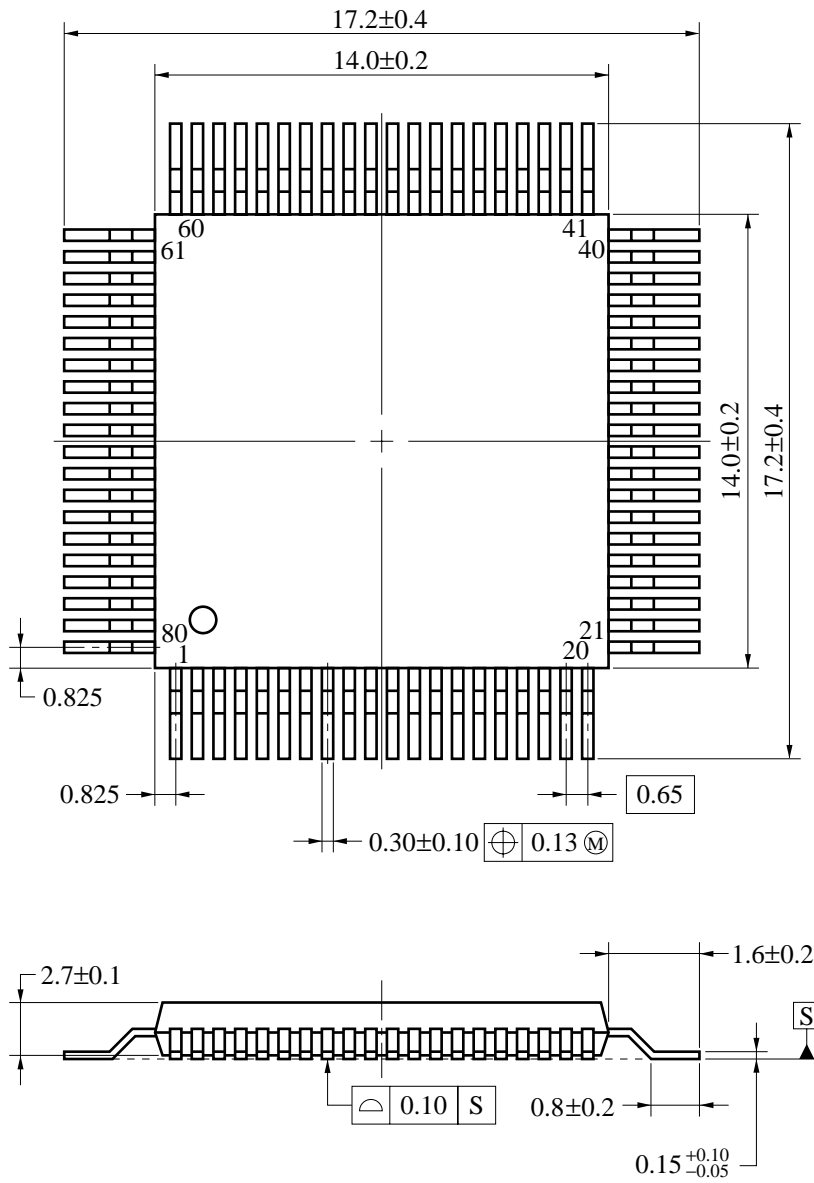


プログラム・メモリ読み出しタイミング

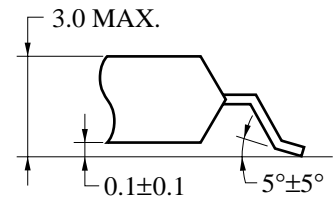


10. 外形図

★ 80ピン・プラスチック QFP (14x14) 外形図 (単位: mm)

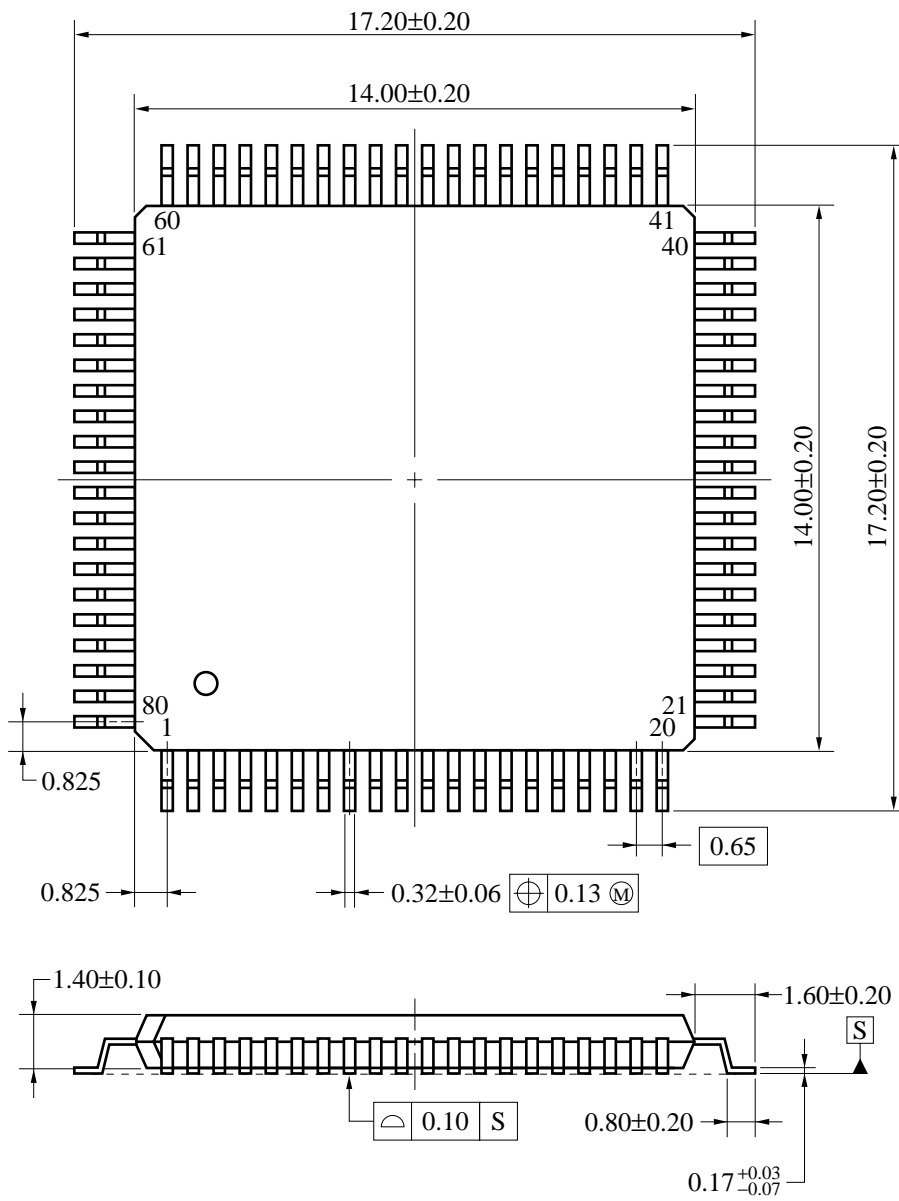


端子先端形状詳細図

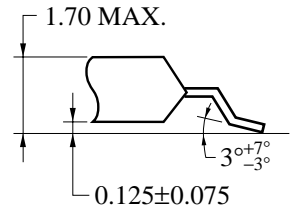


S80GC-65-3B9-6

★ 80ピン・プラスチック QFP (14x14) 外形図 (単位: mm)

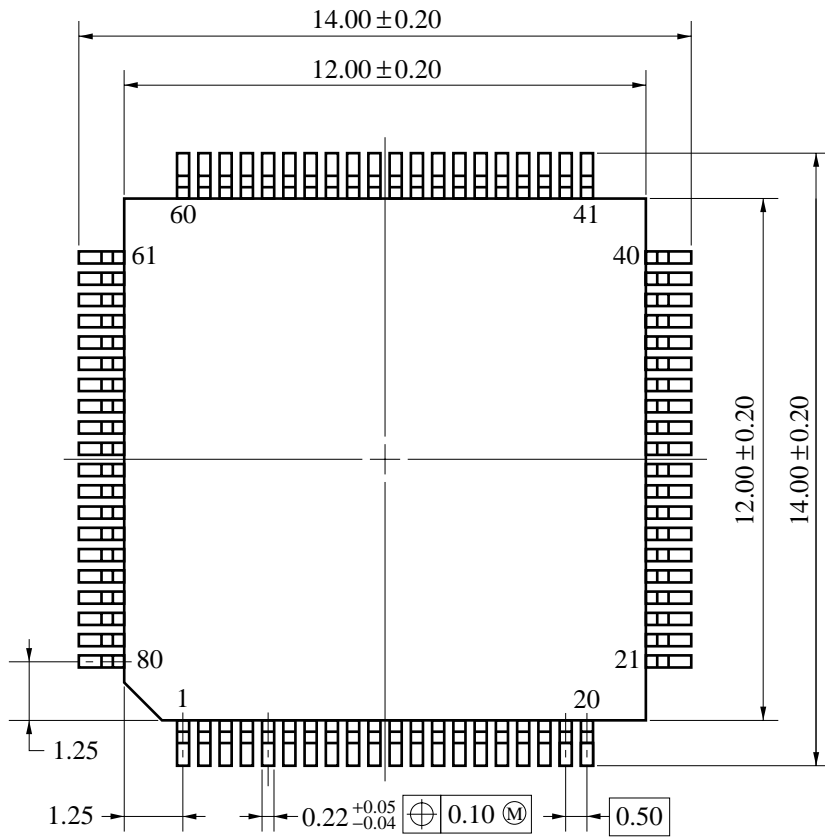


端子先端形状詳細図

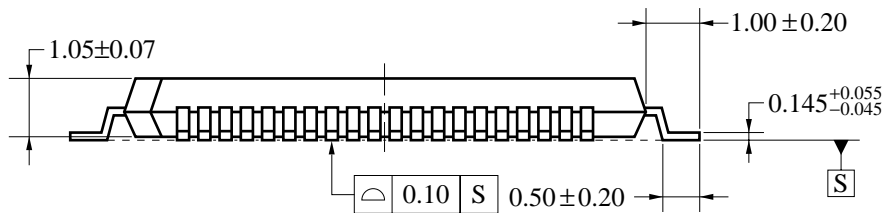
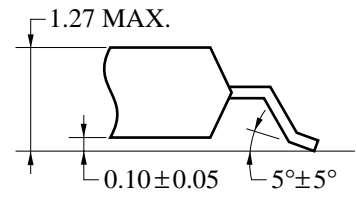


P80GC-65-8BT-1

★ 80ピン・プラスチック TQFP (ファインピッチ)(12x12) 外形図 (単位: mm)

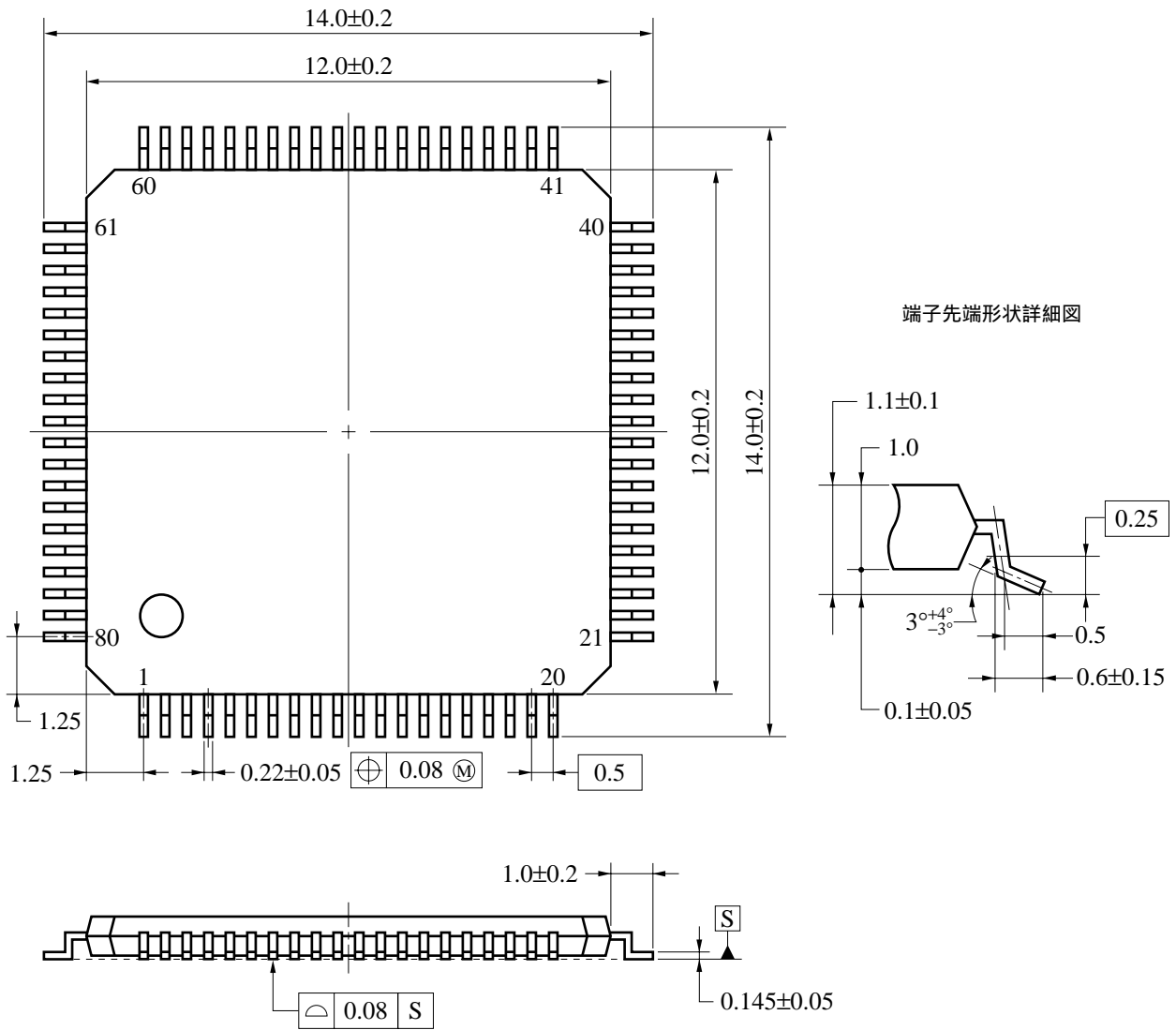


端子先端形状詳細図



P80GK-50-BE9-6

★ 80ピン・プラスチック TQFP (ファインピッチ)(12x12) 外形図 (単位 : mm)



P80GK-50-9EU-1

11. 半田付け推奨条件

μ PD75P3018Aの半田付け実装は、次の推奨条件で実施してください。
半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」 (<http://www.necel.com/pkg/ja/jissou/index.html>)

表11 - 1 表面実装タイプの半田付け条件 (1/3)

(1) μ PD75P3018AGC-3B9 : 80ピン・プラスチックQFP (14 × 14 mm, 樹脂厚2.7 mm)

半田付け方式	半 田 付 け 条 件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 ，時間：30秒以内（210 以上），回数：3回以内	IR35-00-3
VPS	パッケージ・ピーク温度：215 ，時間：40秒以内（200 以上），回数：3回以内	VP15-00-3
ウエーブ・ ソルダリング	半田槽温度：260 以下，時間：10秒以内，回数：1回 予備加熱温度：120 MAX. (パッケージ表面温度)	WS60-00-1
端子部分加熱	端子温度：350 以下，時間：3秒以内（デバイスの一辺当たり）	-

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱は除く）。

備考 推奨条件以外の半田付け方式および半田付け条件については，当社販売員にお問い合わせください。

★ (2) μ PD75P3018AGC-8BT : 80ピン・プラスチックQFP (14 × 14 mm, 樹脂厚1.4 mm)

半田付け方式	半 田 付 け 条 件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 ，時間：30秒以内（210 以上），回数：2回以内	IR35-00-2
VPS	パッケージ・ピーク温度：215 ，時間：40秒以内（200 以上），回数：2回以内	VP15-00-2
ウエーブ・ ソルダリング	半田槽温度：260 以下，時間：10秒以内，回数：1回 予備加熱温度：120 MAX. (パッケージ表面温度)	WS60-00-1
端子部分加熱	端子温度：350 以下，時間：3秒以内（デバイスの一辺当たり）	-

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱は除く）。

備考 推奨条件以外の半田付け方式および半田付け条件については，当社販売員にお問い合わせください。

表11 - 1 表面実装タイプの半田付け条件 (2/3)

★ (3) μPD75P3018AGK-BE9 : 80ピン・プラスチックTQFP (ファインピッチ) (12×12 mm, 樹脂厚1.05 mm)

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 ，時間：30秒以内 (210 以上)，回数：3回以内， 制限日数：7日間 ^注 (以降は125 プリベーク10~72時間必要) 留意事項 耐熱トレイ以外 (マガジン，テーピング，非耐熱トレイ) は，包装状態でのベーキングができません。	IR35-107-3
VPS	パッケージ・ピーク温度：215 ，時間：40秒以内 (200 以上)，回数：3回以内， 制限日数：7日間 ^注 (以降は125 プリベーク10~72時間必要) 留意事項 耐熱トレイ以外 (マガジン，テーピング，非耐熱トレイ) は，包装状態でのベーキングができません。	VP15-107-3
端子部分加熱	端子温度：350 以下，時間：3秒以内 (デバイスの一辺当たり)	-

注 ドライパック開封後の保管日数で，保管条件は25 ，65 %RH以下。

注意 半田付け方式の併用はお避けください (ただし，端子部分加熱は除く)。

備考 推奨条件以外の半田付け方式および半田付け条件については，当社販売員にお問い合わせください。

★ (4) μPD75P3018AGK-9EU : 80ピン・プラスチックTQFP (ファインピッチ) (12×12 mm, 樹脂厚1.00 mm)

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 ，時間：30秒以内 (210 以上)，回数：2回以内， 制限日数：7日間 ^注 (以降は125 プリベーク10~72時間必要) 留意事項 耐熱トレイ以外 (マガジン，テーピング，非耐熱トレイ) は，包装状態でのベーキングができません。	IR35-107-2
VPS	パッケージ・ピーク温度：215 ，時間：40秒以内 (200 以上)，回数：2回以内， 制限日数：7日間 ^注 (以降は125 プリベーク10~72時間必要) 留意事項 耐熱トレイ以外 (マガジン，テーピング，非耐熱トレイ) は，包装状態でのベーキングができません。	VP15-107-2
端子部分加熱	端子温度：350 以下，時間：3秒以内 (デバイスの一辺当たり)	-

注 ドライパック開封後の保管日数で，保管条件は25 ，65 %RH以下。

注意 半田付け方式の併用はお避けください (ただし，端子部分加熱は除く)。

備考 推奨条件以外の半田付け方式および半田付け条件については，当社販売員にお問い合わせください。

表11 - 1 表面実装タイプの半田付け条件 (3/3)

- ★ (5) μPD75P3018AGC-3B9-A : 80ピン・プラスチックQFP (14×14 mm, 樹脂厚2.7 mm)
 μPD75P3018AGC-8BT-A : 80ピン・プラスチックQFP (14×14 mm, 樹脂厚1.4 mm)

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260℃，時間：60秒以内（220℃以上），回数：3回以内 制限日数：7日間 ^注 （以降は125℃プリバーク20～72時間必要） 留意事項 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR60-207-3
ウェーブ・ソルダリング	詳細については，当社販売員にお問い合わせください。	-
端子部分加熱	端子温度：350℃以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライパック開封後の保管日数で，保管条件は25℃，65%RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱は除く）。

備考1．オーダ名称末尾「-A」の製品は，鉛フリー製品です。

2．推奨条件以外の半田付け方式および半田付け条件については，当社販売員にお問い合わせください。

- ★ (6) μPD75P3018AGK-9EU-A : 80ピン・プラスチックTQFP（ファインピッチ）（12×12 mm, 樹脂厚1.00 mm）

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260℃，時間：60秒以内（220℃以上），回数：3回以内 制限日数：7日間 ^注 （以降は125℃プリバーク20～72時間必要） 留意事項 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR60-207-3
端子部分加熱	端子温度：350℃以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライパック開封後の保管日数で，保管条件は25℃，65%RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱は除く）。

備考1．オーダ名称末尾「-A」の製品は，鉛フリー製品です。

2．推奨条件以外の半田付け方式および半田付け条件については，当社販売員にお問い合わせください。

付録A . μPD75316B, 753017A, 75P3018Aの機能一覧表

項 目	μ PD75316B	μ PD753017A	μ PD75P3018A
プログラム・メモリ	マスクROM 0000H-3F7FH (16256 × 8 ビット)	マスクROM 0000H-5FFFH (24576 × 8 ビット)	ワン・タイムPROM 0000H-7FFFH (32768 × 8 ビット)
データ・メモリ	000H-3FFH (1024 × 4 ビット)		
CPU	75X Standard	75XL CPU	
命令実行時間	メイン・システム・クロック 選択時	0.95, 1.91, 15.3 μs (4.19 MHz動作時) ・ 0.95, 1.91, 3.81, 15.3 μs (4.19 MHz動作時) ・ 0.67, 1.33, 2.67, 10.7 μs (6.0 MHz動作時)	
	サブシステム・クロック 選択時	122 μs (32.768 kHz動作時)	
端子接続	29-32番	P40-P43	P40/D0-P43/D3
	34-37番	P50-P53	P50/D4-P53/D7
	44番	P12/INT2	P12/INT2/TI1/TI2
	47番	P21	P21/PTO1
	48番	P22/PCL	P22/PCL/PTO2
	50-53番	P30-P33	P30/MD0-P33/MD3
	57番	IC	V _{PP}
スタック	SBSレジスタ	なし	SBS.3 = 1 : Mk モード選択 SBS.3 = 0 : Mk モード選択
	スタック・エリア	000H-0FFH	n00H-nFFH (n=0-3)
	サブルーチン・コール命令の スタック動作	2 バイト・スタック	Mk モード時 : 2 バイト・スタック Mk モード時 : 3 バイト・スタック
命令	BRA !addr1	使用不可	Mk モード時 : 使用不可
	CALLA !addr1		Mk モード時 : 使用可能
	MOV _T XA, @BCDE		使用可能
	MOV _T XA, @BCXA		
	BR BCDE		
BR BCXA			
CALL !addr	3 マシン・サイクル	Mk モード時 : 3 マシン・サイクル, Mk モード時 : 4 マシン・サイクル	
CALLF !faddr	2 マシン・サイクル	Mk モード時 : 2 マシン・サイクル, Mk モード時 : 3 マシン・サイクル	
マスク・オプション	あり		なし
タイマ	3チャンネル ・ ベーシック・インターバル・タイマ : 1チャンネル ・ 8ビット・タイマ/イベント・カウンタ : 1チャンネル ・ 時計用タイマ : 1チャンネル	5チャンネル ・ ベーシック・インターバル・タイマ/ウォッチドッグ・タイマ : 1チャンネル ・ 8ビット・タイマ/イベント・カウンタ : 3チャンネル (16ビット・タイマ/イベント・カウンタ, キャリア・ジェネレータ, ゲート付きタイマとして使用可能) ・ 時計用タイマ : 1チャンネル	

項 目		μ PD75316B	μ PD753017A	μ PD75P3018A
クロック出力 (PCL)		, 524, 262, 65.5 kHz (メイン・システム・クロック : 4.19 MHz動作時)	・ , 524, 262, 65.5 kHz (メイン・システム・クロック : 4.19 MHz動作時) ・ , 750, 375, 93.8 kHz (メイン・システム・クロック : 6.0 MHz動作時)	
BUZ出力 (BUZ)		2 kHz (メイン・システム・クロック : 4.19 MHz動作時)	・ 2, 4, 32 kHz (メイン・システム・クロック : 4.19 MHz動作時またはサブシステム・クロック : 32.768 kHz動作時) ・ 2.93, 5.86, 46.9 kHz (メイン・システム・クロック : 6.0 MHz動作時)	
シリアル・インタフェース		3種のモードに対応可能 ・ 3線式シリアルI/Oモード...MSB/LSB先頭切り替え可能 ・ 2線式シリアルI/Oモード ・ SBIモード		
SOSレジスタ	フィードバック抵抗カット・フラグ (SOS.0)	なし	内蔵	
	サブ発振器電流カット・フラグ (SOS.1)	なし	内蔵	
レジスタ・バンク選択レジスタ (RBS)		なし	あり	
INT0によるスタンバイ解除		不可	可能	
割り込みプライオリティ選択レジスタ (IPS)		なし	あり	
ベクタ割り込み		外部 : 3本, 内部 : 3本	外部 : 3本, 内部 : 5本	
電源電圧		V _{DD} = 2.0 ~ 6.0 V	V _{DD} = 1.8 ~ 5.5 V	
動作周囲温度		T _A = - 40 ~ + 85		
パッケージ		・ 80ピン・プラスチックTQFP (ファインピッチ) (12 × 12 mm) ・ 80ピン・プラスチックQFP (14 × 14 mm)		

付録B．開発ツール

μ PD75P3018Aを使用するシステム開発のために次のような開発ツールを用意しております。75XLシリーズでは、シリーズ共通のリロケータブル・アセンブラを品種ごとのデバイス・ファイルと組み合わせて使用します。

★ RA75X リロケータブル・アセンブラ	ホスト・マシン			オーダ名称（品名）
		OS	供給媒体	
	PC-9800シリーズ	MS-DOS™ (Ver. 3.30 Ver.6.2 ^注)	3.5インチ2HD	μ S5A13RA75X
IBM PC/AT™ およびその互換機	「IBM PC用のOSに ついて」参照	3.5インチ2HC	μ S7B13RA75X	

★ デバイス・ファイル	ホスト・マシン			オーダ名称（品名）
		OS	供給媒体	
	PC-9800シリーズ	MS-DOS (Ver. 3.30 Ver.6.2 ^注)	3.5インチ2HD	μ S5A13DF753017
IBM PC/AT およびその互換機	「IBM PC用のOSに ついて」参照	3.5インチ2HC	μ S7B13DF753017	

注 Ver.5.00以降にはタスク・スワップ機能がありますが、このソフトウェアではタスク・スワップ機能は使用できません。

備考 アセンブラ、デバイス・ファイルの動作は、上記のホスト・マシンとOS上でのみ保証されます。

PROM書き込み用ツール

★ ★	ハードウェア	PG-1500	付属のボードおよび別売りのプログラマ・アダプタを接続することにより、PROM内蔵のシングルチップ・マイクロコンピュータをスタンド・アロンまたは、ホスト・マシンからの操作によりプログラミングできるPROMプログラマです。 また、256 Kビットから4 Mビットまでの代表的なPROMをプログラミングすることもできます。			
		PA-75P316BGC	μ PD75P3018AGC-3B9用のPROMプログラマ・アダプタで、PG-1500に接続して使用します。			
		PA-75P316BGK	μ PD75P3018AGK-BE9用のPROMプログラマ・アダプタで、PG-1500に接続して使用します。			
		PA-75P3018AGC-8BT	μ PD75P3018AGC-8BT用のPROMプログラマ・アダプタで、PG-1500に接続して使用します。			
		PA-75P3018AGK-9EU	μ PD75P3018AGK-9EU用のPROMプログラマ・アダプタで、PG-1500に接続して使用します。			
	ソフトウェア	PG-1500コントローラ	PG-1500とホスト・マシンをシリアルおよびパラレル・インタフェースで接続し、ホスト・マシン上でPG-1500を制御します。			
			ホスト・マシン			オーダ名称（品名）
				OS	供給媒体	
		PC-9800シリーズ	MS-DOS (Ver.3.30 } Ver.6.2注)	3.5インチ2HD	μ S5A13PG1500	
	IBM PC/AT およびその互換機	「IBM PC用のOSについて」参照	3.5インチ2HD	μ S7B13PG1500		

注 Ver.5.00以降にはタスク・スワップ機能がありますが、このソフトウェアではタスク・スワップ機能は使用できません。

備考 PG-1500コントローラの動作は、上記のホスト・マシンとOS上でのみ保証されます。

ディバグ用ツール

μ PD75P3018Aのプログラム・ディバグ用ツールとしてインサーキット・エミュレータ (IE-75000-R, IE-75001-R) を用意しています。

それぞれのシステム構成を次に示します。

ハードウェア	IE-75000-R ^{注1}	IE-75000-Rは、75Xシリーズ、75XLシリーズを使用する応用システムを開発する際に、ハードウェア、ソフトウェアのディバグを行うためのインサーキット・エミュレータです。 μ PD75P3018Aを開発する場合、IE-75000-Rと別売りのエミュレーション・ボードIE-75300-R-EM、およびエミュレーション・プローブEP-753018GC-RまたはEP-753018GK-Rを組み合わせ使用します。 ホスト・マシン、PROMプログラマと接続して効率的にディバグを行うことができます。 なお、IE-75000-R内にはエミュレーション・ボードIE-75000-R-EMが含まれており、接続されています。			
	IE-75001-R	IE-75001-Rは、75Xシリーズ、75XLシリーズを使用する応用システムを開発する際に、ハードウェア、ソフトウェアのディバグを行うためのインサーキット・エミュレータです。 別売りのエミュレーション・ボードIE-75300-R-EMおよびエミュレーション・プローブEP-753018GC-RまたはEP-753018GK-Rと組み合わせ使用します。 ホスト・マシン、PROMプログラマを接続して効率的にディバグを行うことができます。			
	IE-75300-R-EM	μ PD75P3018Aを使用する応用システムの評価を行うためのエミュレーション・ボードです。 IE-75000-RまたはIE-75001-Rと組み合わせ使用します。			
	EP-753018GC-R	μ PD75P3018AGC用のエミュレーション・プローブです。 IE-75000-RまたはIE-75001-Rと、IE-75300-R-EMに接続して使用します。			
	EV-9200GC-80	ターゲット・システムとの接続を容易にする80ピン変換ソケットEV-9200GC-80を添付しています。			
	EP-753018GK-R	μ PD75P3018AGK用のエミュレーション・プローブです。 IE-75000-RまたはIE-75001-Rと、IE-75300-R-EMに接続して使用します。			
	TGK-080SDW ^{注2}	ターゲット・システムとの接続を容易にする80ピン変換アダプタTGK-080SDWを添付しています。			
ソフトウェア	IEコントロール・プログラム	IE-75000-RまたはIE-75001-Rとホスト・マシンをRS-232-CおよびセントロニクスI/Fで接続し、ホスト・マシン上でIE-75000-RまたはIE-75001-Rを制御します。			
		ホスト・マシン		オーダ名称 (品名)	
			OS	供給媒体	
		PC-9800シリーズ	MS-DOS (Ver.3.30 } Ver.6.2 ^{注3})	3.5インチ2HD 5インチ2HD	μ S5A13IE75X μ S5A10IE75X
		IBM PC/AT およびその互換機	「IBM PC用のOSについて」参照	3.5インチ2HC 5インチ2HC	μ S7B13IE75X μ S7B10IE75X

注1 . 保守品です。

★ 2 . 東京エレクトック株式会社の製品です。

問い合わせ先：大丸興業株式会社 東京電子部 (TEL (03) 3820-7112)

大阪電子部 (TEL (06) 6244-6672)

3 . Ver.5.00以降にはタスク・スワップ機能がありますが、このソフトウェアではタスク・スワップ機能は使用できません。

備考 IEコントロール・プログラムの動作は、上記のホスト・マシンとOS上でのみ保証されます。

IBM PC用のOSについて

IBM PC用のOSとして、次のものがサポートされています。

OS	バージョン
PC DOS™	Ver.5.02 ~ Ver.6.3 J6.1/V ^注 ~ J6.3/V ^注
MS-DOS	Ver.5.0 ~ Ver.6.22 5.0/V ^注 ~ 6.2/V ^注
IBM DOS™	J5.02/V ^注

注 英語モードのみサポートしています。

注意 Ver.5.0以降にはタスク・スワップ機能がありますが、このソフトウェアでは、タスク・スワップ機能は使用できません。

★ 付録C . 関連資料

関連資料は暫定版の場合がありますが，この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイス関連資料一覧

資料名	資料番号	
	和文	英文
μ PD753012A, 753016A, 753017A データ・シート	U11662J	U11662E
μ PD75P3018A データ・シート	U11917J (この資料)	U11917E
μ PD753017 ユーザーズ・マニュアル	U11282J	U11282E
μ PD753017 インストラクション活用表	IEM-5598	-
75XLシリーズ セレクション・ガイド	U10453J	U10453E

開発ツール関連資料一覧

資料名	資料番号			
	和文	英文		
ハードウェア	IE-75000-R/IE-75001-R ユーザーズ・マニュアル	EEU-846	EEU-1416	
	IE-75300-R-EM ユーザーズ・マニュアル	U11354J	U11354E	
	EP-753017GC/GK-R ユーザーズ・マニュアル	EEU-967	EEU-1495	
	PG-1500 ユーザーズ・マニュアル	U11940J	U11940E	
ソフトウェア	RA75X アセンブラ・パッケージ	操作編	U12622J	U12622E
	ユーザーズ・マニュアル	言語編	U12385J	U12385E
	PG-1500コントローラ ユーザーズ・マニュアル	PC-9800シリーズ (MS-DOS) ベース	EEU-704	EEU-1291
		IBM PCシリーズ (PC DOS) ベース	EEU-5008	U10540E

その他の関連資料一覧

資料名	資料番号	
	和文	英文
SEMICONDUCTOR SELECTION GUIDE Products & Package (CD-ROM)	X13769X	
半導体デバイス 実装マニュアル	C10535J	C10535E
NEC半導体デバイスの品質水準	C11531J	C11531E
NEC半導体デバイスの信頼性品質管理	C10983J	C10983E
静電気放電 (ESD) 破壊対策ガイド	C11892J	C11892E
半導体品質 / 信頼性ハンドブック	C12769J	-
マイクロコンピュータ関連製品ガイド 社外メーカー編	U11416J	-

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには必ず最新の資料をご使用ください。

CMOSデバイスの一般的注意事項

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力がノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

MS-DOSは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

IBM DOS, PC/AT, PC DOSは、米国IBM社の商標です。

- 本資料に記載されている内容は2005年8月現在のものです。今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命、身体および財産に対する損害の危険を最小限度にするために、冗長設計、延焼対策設計、誤動作防止設計等安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

- (1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- (2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

M8E 02.11

【発行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

お問い合わせ先

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

【営業関係、技術関係お問い合わせ先】

半導体ホットライン

(電話：午前 9:00～12:00、午後 1:00～5:00)

電話：044-435-9494

E-mail：info@necel.com

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか、NECエレクトロニクスの販売特約店へお申し付けください。