

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

4ビット・シングルチップ・マイクロコンピュータ

μ PD75P0076は、 μ PD750068の内蔵マスクROMをワン・タイムPROMで置き換え、さらにROM容量を拡張した製品です。

μ PD75P0076は、ユーザによるプログラムの書き込みが可能のため、 μ PD750064, 750066, 750068のシステム開発時の試作用、または少量生産用に適しています。

詳しい機能説明などは次のユーザズ・マニュアルに記載しております。設計の際には必ずお読みください。

μ PD750068 ユーザズ・マニュアル：U10670J

特 徴

μ PD750068コンパチブル

メモリ容量

・ PROM : 16384 × 8 ビット

・ RAM : 512 × 4 ビット

マスク品 μ PD750068と同じ電源電圧で動作可能

$V_{DD} = 1.8 \sim 5.5 V$

低電圧動作可能なA/Dコンバータを内蔵 ($AV_{REF} = 1.8 \sim 5.5 V$)

8ビット分解能 × 8チャンネル

小型のシュリンクSOPパッケージを採用

オーダ情報

オーダ名称	パッケージ
μ PD75P0076CU	42ピン・プラスチック・シュリンクDIP (600 mil, 1.778 mmピッチ)
μ PD75P0076CU-A	"
μ PD75P0076GT	42ピン・プラスチック・シュリンクSOP (375 mil, 0.8 mmピッチ)
μ PD75P0076GT-A	"

注意 マスク・オプションによるプルアップ抵抗の内蔵機能はありません。

備考 オーダ名称末尾「-A」の製品は、鉛フリー製品です。

本資料の内容は、予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。

機能一覧

項 目		機 能	
命令実行時間		<ul style="list-style-type: none"> ・ 0.95, 1.91, 3.81, 15.3 μs (メイン・システム・クロック : 4.19 MHz動作時) ・ 0.67, 1.33, 2.67, 10.7 μs (" : 6.0 MHz動作時) ・ 122 μs (サブシステム・クロック : 32.768 kHz動作時) 	
内蔵メモリ	PROM	16384 × 8 ビット	
	RAM	512 × 4 ビット	
汎用レジスタ		<ul style="list-style-type: none"> ・ 4 ビット操作時 : 8 個 × 4 バンク ・ 8 ビット操作時 : 4 個 × 4 バンク 	
入出力 ポート	CMOS入力	12本	ソフトウェアにより内蔵プルアップ抵抗の接続を指定可能 : 7本 アナログ入力端子と兼用 : 4本
	CMOS入出力	12本	ソフトウェアにより内蔵プルアップ抵抗の接続を指定可能 : 12本 アナログ入力端子と兼用 : 4本
	N-chオープン・ドレイン入出力	8本	13V耐圧
	合計	32本	
タイマ		4チャンネル <ul style="list-style-type: none"> ・ 8ビット・タイマ/イベント・カウンタ : 2チャンネル (16ビット・タイマ/イベント・カウンタとして使用可能) ・ 8ビット・ベーシック・インターバル・タイマ/ウォッチドッグ・タイマ : 1チャンネル ・ 時計用タイマ : 1チャンネル 	
シリアル・インタフェース		<ul style="list-style-type: none"> ・ 3線式シリアルI/Oモード...MSB/LSB先頭切り替え ・ 2線式シリアルI/Oモード 	
A/Dコンバータ		8ビット分解能 × 8チャンネル (1.8V AVREF VDD)	
ビット・シーケンシャル・バッファ		16ビット	
クロック出力 (PCL)		<ul style="list-style-type: none"> ・ , 1.05 MHz, 262 kHz, 65.5 kHz (メイン・システム・クロック : 4.19 MHz動作時) ・ , 1.5 MHz, 375 kHz, 93.8 kHz (" : 6.0 MHz動作時) 	
ブザー出力 (BUZ)		<ul style="list-style-type: none"> ・ 2, 4, 32 kHz (メイン・システム・クロック : 4.19 MHz動作時 またはサブシステム・クロック : 32.768 kHz動作時) ・ 2.93, 5.86, 46.9 kHz (メイン・システム・クロック : 6.0 MHz動作時) 	
ベクタ割り込み		外部 : 3本, 内部 : 4本	
テスト入力		外部 : 1本, 内部 : 1本	
システム・クロック発振回路		<ul style="list-style-type: none"> ・ メイン・システム・クロック発振用セラミック/クリスタル発振回路 ・ サブシステム・クロック発振用クリスタル発振回路 	
スタンバイ機能		STOPモード/HALTモード	
動作周囲温度		TA = -40 ~ +85	
電源電圧		VDD = 1.8 ~ 5.5V	
パッケージ		<ul style="list-style-type: none"> ・ 42ピン・プラスチック・シュリンクDIP (600 mil, 1.778 mmピッチ) ・ 42ピン・プラスチック・シュリンクSOP (375 mil, 0.8 mmピッチ) 	

目 次

1 . 端子接続図 (Top View) ...	4
2 . ブロック図 ...	5
3 . 端子機能 ...	6
3.1 ポート端子 ...	6
3.2 ポート端子以外の端子 ...	7
3.3 端子の入出力回路 ...	9
3.4 未使用端子の処理について ...	12
4 . Mk モードとMk モードの切り替え機能 ...	13
4.1 Mk モードとMk モードの違い ...	13
4.2 スタック・バンク選択レジスタ (SBS) の設定方法 ...	14
5 . μ PD75P0076と μ PD750064, 750066, 750068との違い ...	15
6 . メモリ構成 ...	16
7 . 命令セット ...	18
8 . ワン・タイムPROM (プログラム・メモリ) の書き込みとベリファイ ...	29
8.1 プログラム・メモリ書き込み / ベリファイ時の動作モード ...	29
8.2 プログラム・メモリ書き込みの手順 ...	30
8.3 プログラム・メモリ読み出しの手順 ...	31
8.4 ワン・タイムPROMのスクリーニングについて ...	32
9 . 電気的特性 ...	33
10 . 特性曲線 (参考値) ...	48
11 . 外形図 ...	50
12 . 半田付け推奨条件 ...	52
付録 A . μ PD75068, 750068, 75P0076の機能比較一覧表 ...	54
付録 B . 開発ツール ...	56
付録 C . 関連資料 ...	60

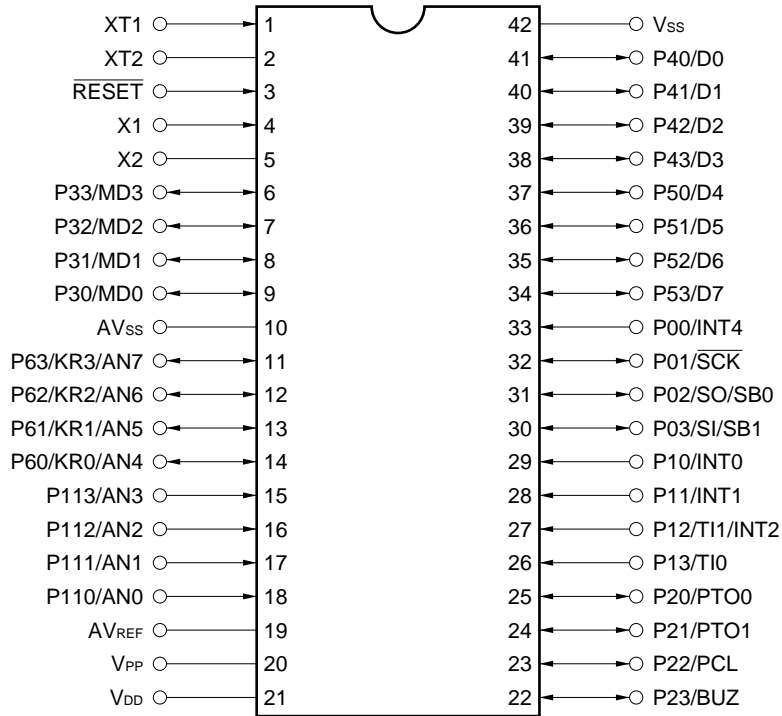
1. 端子接続図 (Top View)

42ピン・プラスチック・シュリンクDIP (600 mil, 1.778 mmピッチ)

μPD75P0076CU, μPD75P0076CU-A

42ピン・プラスチック・シュリンクSOP (375 mil, 0.8 mmピッチ)

μPD75P0076GT, μPD75P0076GT-A

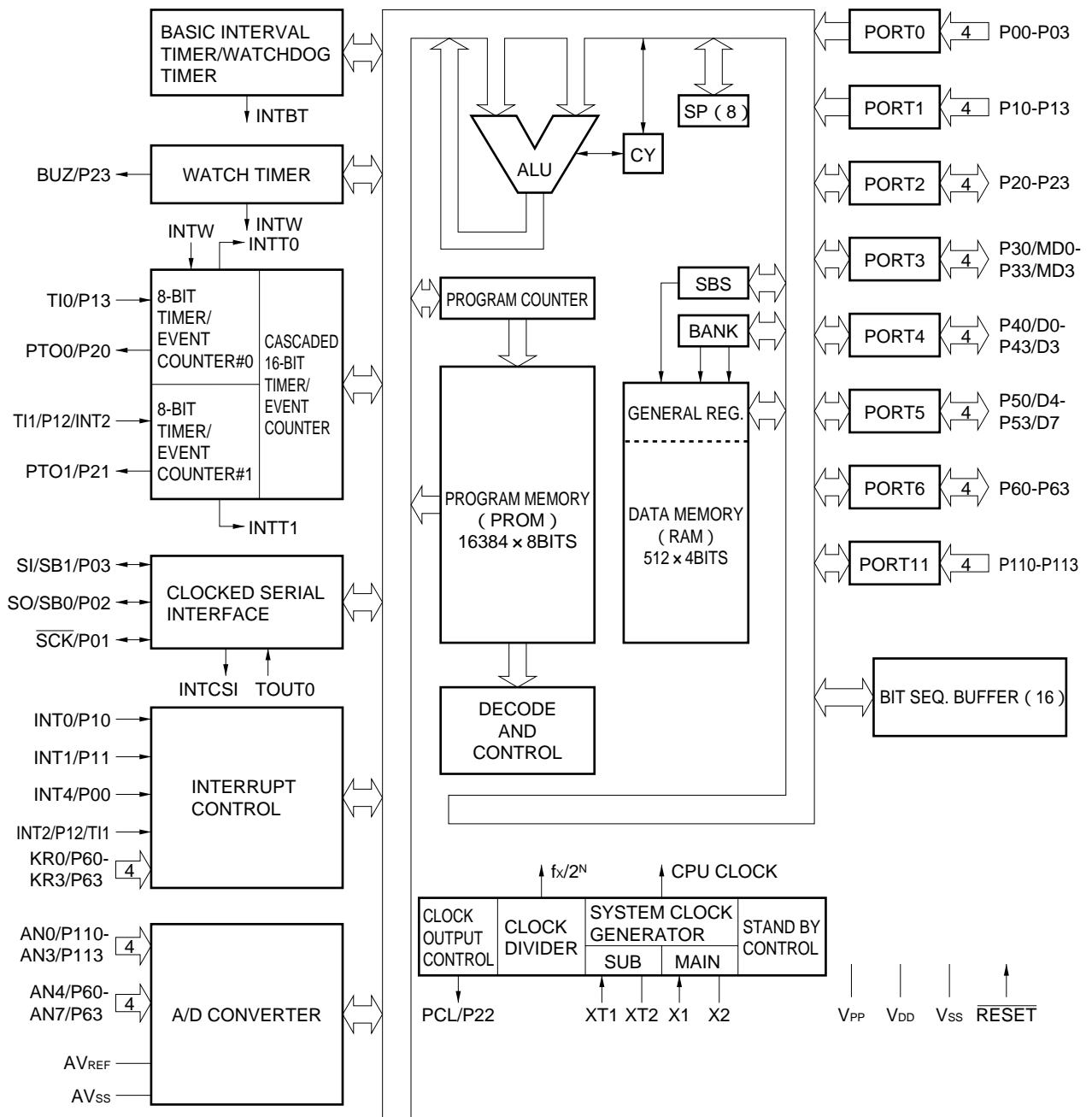


V_{PP}は、通常動作時は必ずV_{DD}と直接接続してください。

端子名称

AN0-AN7	: Analog Input 0-7	P110-P113	: Port11
AV _{REF}	: Analog Reference	PCL	: Programmable Clock
AV _{SS}	: Analog Ground	PTO0, PTO1	: Programmable Timer Output 0, 1
BUZ	: Buzzer Clock	RESET	: Reset Input
D0-D7	: Data Bus 0-7	SB0, SB1	: Serial Data Bus 0, 1
INT0, INT1, INT4	: External Vectored Interrupt 0, 1, 4	SCK	: Serial Clock
INT2	: External Test Input 2	SI	: Serial Input
KR0-KR3	: Key Return 0-3	SO	: Serial Output
MD0-MD3	: Mode Selection 0-3	TI0, TI1	: Timer Input 0, 1
P00-P03	: Port0	V _{DD}	: Positive Power Supply
P10-P13	: Port1	V _{PP}	: Programming Power Supply
P20-P23	: Port2	V _{SS}	: Ground
P30-P33	: Port3	X1, X2	: Main System Clock Oscillation 1, 2
P40-P43	: Port4	XT1, XT2	: Subsystem Clock Oscillation 1, 2
P50-P53	: Port5		
P60-P63	: Port6		

2. ブロック図



3. 端子機能

3.1 ポート端子

端子名称	入出力	兼用端子	機 能	リセット時	入出力 ^{注1} 回路TYPE	
P00	入 力	INT4	4ビット入力ポート (PORT0)。	×	入 力	Ⓑ
P01	入出力	$\overline{\text{SCK}}$	P01-P03は3ビット単位で、ソフトウェアにより内蔵プルアップ抵抗の接続を指定可能。			Ⓕ-A
P02	入出力	SO/SB0				Ⓕ-B
P03	入出力	SI/SB1				Ⓜ-C
P10	入 力	INT0	4ビット入力ポート (PORT1)。	×	入 力	Ⓑ-C
P11		INT1	4ビット単位で、ソフトウェアにより内蔵プルアップ抵抗			
P12		T11/INT2	の接続を指定可能。			
P13		T10	P10/INT0はノイズ除去回路を選択可能。			
P20	入出力	PTO0	4ビット入出力ポート (PORT2)。	×	入 力	E-B
P21		PTO1	4ビット単位で、ソフトウェアにより内蔵プルアップ抵抗			
P22		PCL	の接続を指定可能。			
P23		BUZ				
P30	入出力	MD0	プログラマブル4ビット入出力ポート (PORT3)。	×	入 力	E-B
P31		MD1	ビット単位で入力/出力指定可能。			
P32		MD2	4ビット単位で、ソフトウェアにより内蔵プルアップ抵抗			
P33		MD3	の接続を指定可能。			
P40 ^{注2}	入出力	D0	N-chオープン・ドレイン4ビット入出力ポート (PORT4)。 オープン・ドレイン時、13V耐圧。 プログラム・メモリ (PROM) 書き込み/ベリファイ時の データ入出力端子 (下位4ビット)。	×	ハイ・インピー ダンス	M-E
P41 ^{注2}		D1				
P42 ^{注2}		D2				
P43 ^{注2}		D3				
P50 ^{注2}	入出力	D4	N-chオープン・ドレイン4ビット入出力ポート (PORT5)。 オープン・ドレイン時、13V耐圧。 プログラム・メモリ (PROM) 書き込み/ベリファイ時の データ入出力端子 (上位4ビット)。	×	ハイ・インピー ダンス	M-E
P51 ^{注2}		D5				
P52 ^{注2}		D6				
P53 ^{注2}		D7				
P60	入出力	KR0/AN4	プログラマブル4ビット入出力ポート (PORT6)。	×	入 力	Ⓜ-D
P61		KR1/AN5	ビット単位で入力/出力指定可能。			
P62		KR2/AN6	4ビット単位で、ソフトウェアにより内蔵プルアップ抵抗			
P63		KR3/AN7	の接続を指定可能。			
P110	入 力	AN0	4ビット入力ポート (PORT11)。	×	入 力	Y-A
P111		AN1				
P112		AN2				
P113		AN3				

注1. 印はシュミット・トリガ入力を示します。

2. 入力命令、ビット操作命令を行ったときにロウ・レベル入力リーク電流が増加します。

3.2 ポート端子以外の端子 (1/2)

端子名称	入出力	兼用端子	機能	リセット時	入出力回路 TYPE ^注
Ti0	入 力	P13	タイマ/イベント・カウンタへの外部イベント・パルス入力。	入 力	ⓑ-C
Ti1		P12/INT2			
PTO0	出 力	P20	タイマ/イベント・カウンタ出力。	入 力	E-B
PTO1		P21			
PCL		P22	クロック出力。		
BUZ		P23	任意の周波数出力 (ブザー用またはシステム・クロックのトリミング用)。		
SCK	入出力	P01	シリアル・クロック入出力。	入 力	Ⓕ-A
SO/SB0		P02	シリアル・データ出力。 シリアル・データ・バス入出力。		Ⓕ-B
SI/SB1		P03	シリアル・データ入力。 シリアル・データ・バス入出力。		Ⓜ-C
INT4	入 力	P00	エッジ検出ベクタ割り込み入力 (立ち上がりおよび立ち下りの両エッジ検出)。		ⓑ
INT0	入 力	P10	エッジ検出ベクタ割り込み入力 (検出エッジ 選択可能)。	入 力	ⓑ-C
INT1		P11	INT0/P10はノイズ除去回路を選択可能。 非同期		
INT2		P12/Ti1	立ち上がりエッジ検出テストブル入力。 非同期		
KR0-KR3	入 力	P60/AN4-P63/AN7	立ち下がりエッジ検出テストブル入力。	入 力	Ⓨ-D
AN0-AN3	入 力	P110-P113	アナログ信号入力。	入 力	Y-A
AN4-AN7		P60/KR0- P63/KR3			Ⓨ-D
AVREF	-	-	A/Dコンバータ基準電圧。	-	Z-N
AVSS	-	-	A/Dコンバータ基準GND電位。	-	Z-N
X1	入 力	-	メイン・システム・クロック発振用クリスタル/セラミック接 続端子。外部クロックの場合、X1へ入力しX2へその逆相を入 力。	-	-
X2	-				
XT1	入 力	-	サブシステム・クロック発振用クリスタル接続端子。外部クロ ックの場合、XT1へ入力し、XT2へその逆相を入力。XT1は1 ビット入力 (テスト) 端子として使用可能。	-	-
XT2	-				
RESET	入 力	-	システム・リセット入力 (ロウ・レベル・アクティブ)。	-	ⓑ

注 印はシュミット・トリガ入力を示します。

3.2 ポート端子以外の端子 (2/2)

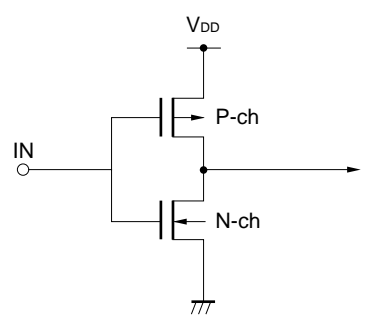
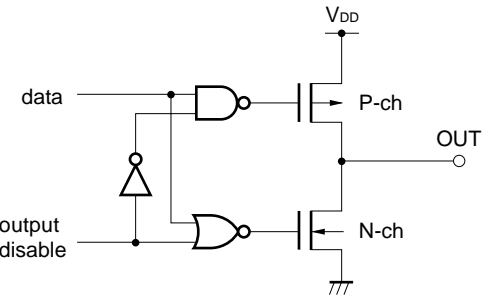
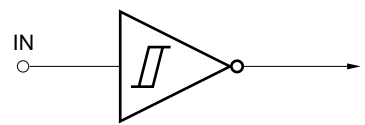
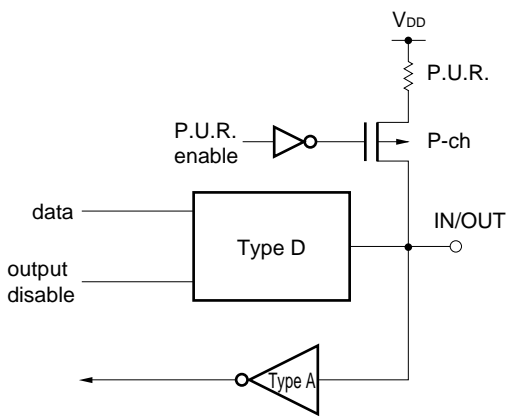
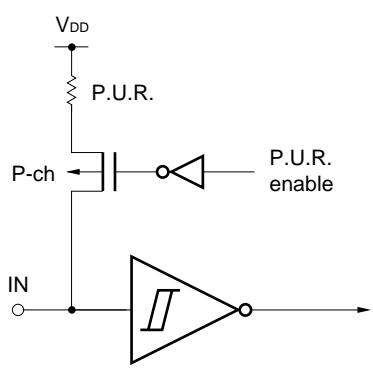
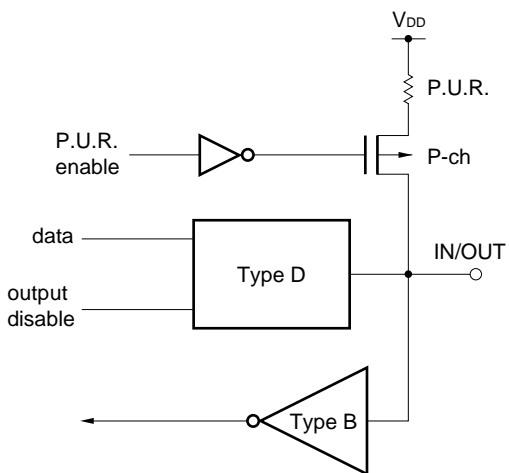
端子名称	入出力	兼用端子	機能	リセット時	入出力回路 TYPE
MD0-MD3	入力	P30-P33	プログラム・メモリ (PROM) 書き込み / ベリファイ時のモード選択。	入力	E-B
D0-D3	入出力	P40-P43	プログラム・メモリ (PROM) 書き込み / ベリファイ時のデータ・バス端子。	入力	M-E
D4-D7		P50-P53			
V _{PP} 注	-	-	プログラム・メモリ (PROM) 書き込み / ベリファイ時のプログラム電圧印加。 通常動作時はV _{DD} と直接接続。 PROM書き込み / ベリファイ時は + 12.5 V を印加。	-	-
V _{DD}	-	-	正電源。	-	-
V _{SS}	-	-	GND電位。	-	-

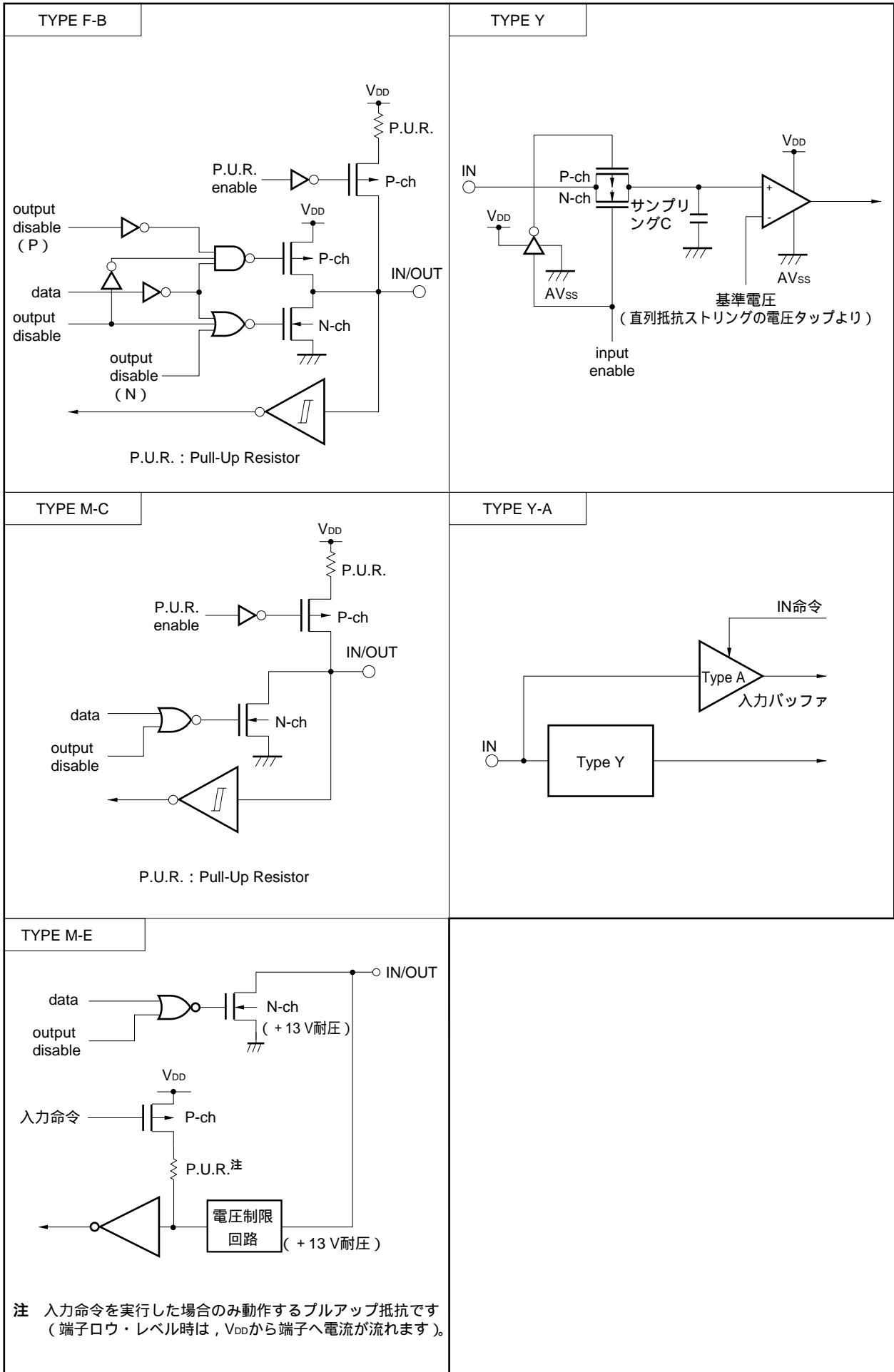
注 V_{PP} 端子は、通常動作時はV_{DD} 端子と接続されていないと正常動作しません。

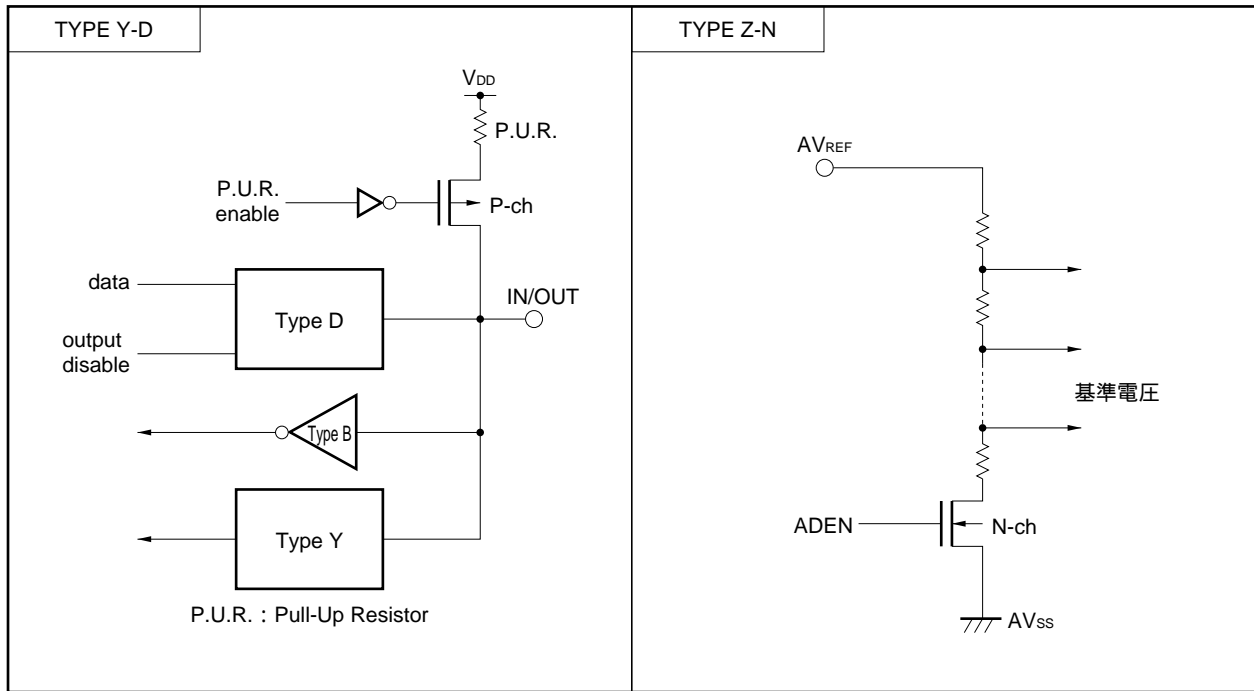
3.3 端子の入出力回路

μPD75P0076の各端子の入出力回路を一部簡略した形式を用いて示します。

(1/3)

<p>TYPE A</p>  <p>CMOS規格の入力バッファになっています。</p>	<p>TYPE D</p>  <p>出力ハイ・インピーダンス（P-ch, N-chともにオフ） とすることができるプッシュプル出力となっています。</p>
<p>TYPE B</p>  <p>ヒステリシス特性を有するシュミット・トリガ入力となっています。</p>	<p>TYPE E-B</p>  <p>P.U.R. : Pull-Up Resistor</p>
<p>TYPE B-C</p>  <p>P.U.R. : Pull-Up Resistor</p> <p>ヒステリシス特性を有するシュミット・トリガ入力となっています。</p>	<p>TYPE F-A</p>  <p>P.U.R. : Pull-Up Resistor</p>





3.4 未使用端子の処理について

端 子	推奨接続方法
P00/INT4	V _{SS} またはV _{DD} に接続
P01/SCK	個別に抵抗を介して、V _{SS} またはV _{DD} に接続
P02/SO/SB0	
P03/SI/SB1	V _{SS} に接続
P10/INT0, P11/INT1	V _{SS} またはV _{DD} に接続
P12/TI1/INT2	
P13/TI0	
P20/PTO0	入力状態：個別に抵抗を介して、V _{SS} またはV _{DD} に接続
P21/PTO1	
P22/PCL	出力状態：オープン
P23/BUZ	
P30/MD0-P33/MD3	
P40/D0-P43/D3	
P50/D4-P53/D7	V _{SS} に接続
P60/KR0/AN4-P63/KR3/AN7	入力状態：個別に抵抗を介して、V _{SS} またはV _{DD} に接続 出力状態：オープン
P110/AN0-P113/AN3	
XT1 ^注	V _{SS} またはV _{DD} に接続
XT2 ^注	オープン
V _{PP}	必ずV _{DD} に直接接続
AV _{REF}	V _{SS} に接続
AV _{SS}	

注 サブシステム・クロックを使用しない場合は、SOS.0 = 1
(内蔵フィードバック抵抗を使用しない)を設定してください。

4. Mk モードとMk モードの切り替え機能

μPD75P0076は、スタック・バンク選択レジスタ（SBS）の設定により、プログラム・メモリをMk モードまたはMk モードに切り替えて使用することができます。この機能はμPD75P0076を使用して、μPD750064, 750066, 750068の評価を可能にするためのものです。

SBSのビット3 = 1 : Mk モード（μPD750064, 750066, 750068のMk モード時に対応）

0 : Mk モード（μPD750064, 750066, 750068のMk モード時に対応）

4.1 Mk モードとMk モードの違い

μPD75P0076のMk モードとMk モードの違いを表4 - 1 に示します。

表4 - 1 Mk モードとMk モードの違い

項 目		Mk モード	Mk モード
プログラム・カウンタ		PC ₁₃₋₀	
プログラム・メモリ（バイト）		16384	
データ・メモリ（ビット）		512 × 4	
スタック	スタック・バンク	メモリ・バンク 0, 1 より選択可能	
	スタック・バイト数	2 バイト	3 バイト
命令	BRA !addr1命令	なし	あり
	CALLA !addr1命令		
命令実	CALL !addr命令	3 マシン・サイクル	4 マシン・サイクル
行時間	CALLF !faddr命令	2 マシン・サイクル	3 マシン・サイクル
対応するマスクROM品		μPD750064, 750066, 750068の Mk モード時	μPD750064, 750066, 750068の Mk モード時

注意 Mk モードは、75Xおよび75XLシリーズにおいて、16 Kバイトを越えるプログラム領域をサポートするモードです。このモードにより、16 Kバイトを越える製品とのソフトウェア上の互換性を高めることができます。

なお、Mk モードを選択すると、サブルーチン・コール命令実行時のスタック・バイト数がMk モードに比べ1スタックごとに1バイト分使用エリアが増えます。また、CALL !addr, CALLF !faddr命令使用時は、マシン・サイクルがそれぞれ1マシン・サイクル分長くかかります。したがって、ソフトウェアの互換性よりRAMの使用効率や処理能力を重視する場合は、Mk モードを使用してください。

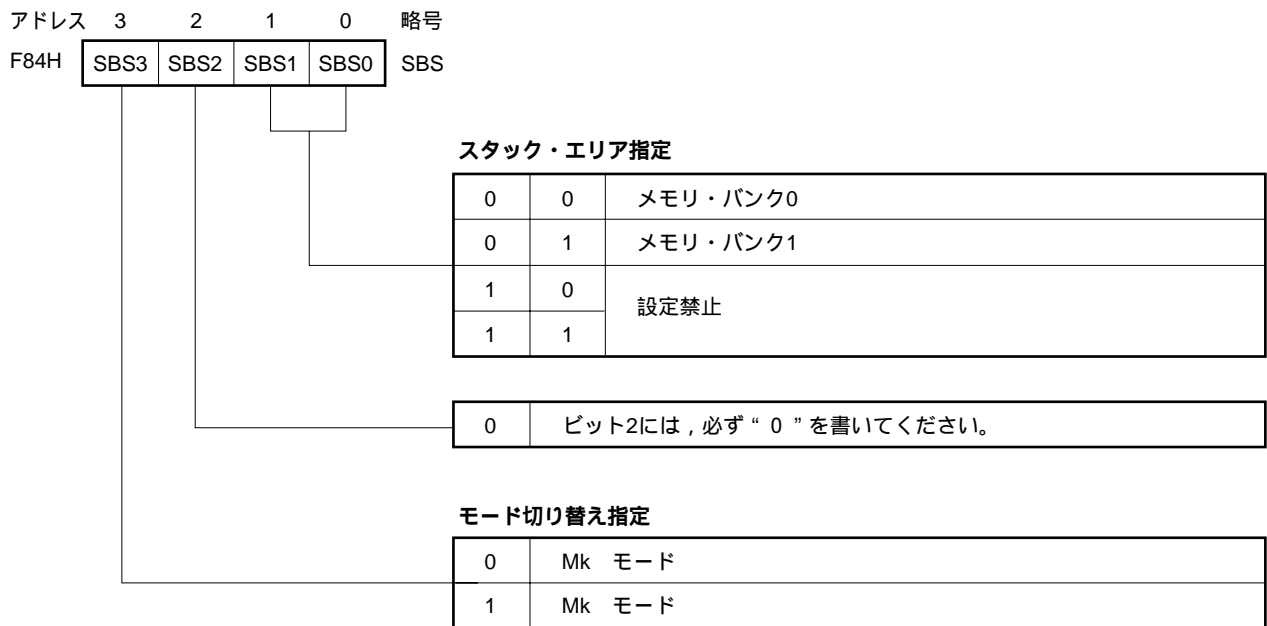
4.2 スタック・バンク選択レジスタ (SBS) の設定方法

Mk モードとMk モードの切り替えは、スタック・バンク選択レジスタによって行います。図4 - 1にそのフォーマットを示します。

スタック・バンク選択レジスタは、4ビット・メモリ操作命令により設定します。Mk モードを使用する場合は、プログラムの初期で必ずスタック・バンク選択レジスタを100×B[※]にイニシャライズしてください。また、Mk モードを使用する場合は、必ず000×B[※]にイニシャライズしてください。

注 xには希望の値を設定してください。

図4 - 1 スタック・バンク選択レジスタのフォーマット



注意1 . SBS 3はRESET入力後“1”になるので、CPUはMk モードで動作します。Mk モードの命令を使用する場合は、SBS3を“0”にし、Mk モードに設定してから使用してください。

2 . Mk モードを使用する場合は、RESET入力後、スタック・バンク選択レジスタを設定したのちに、サブルーチン・コール命令および割り込み命令を実行してください。

5. μPD75P0076とμPD750064, 750066, 750068との違い

μPD75P0076は、マスクROM内蔵のμPD750064, 750066, 750068のプログラム・メモリをワン・タイムPROMに置き換え、ROM容量を拡大した製品です。μPD75P0076のMkモードはμPD750064, 750066, 750068のMkモード時に、μPD75P0076のMkモードはμPD750064, 750066, 750068のMkモード時に対応しています。

表5 - 1 にμPD75P0076とμPD750064, 750066, 750068との違いを示します。PROMを使用して応用システムのデバッグや試作を行い、そのあとマスクROMを使用して量産化する場合などは、これらの製品の違いをよく確認のうえ移行してください。

なお、CPU機能や内蔵しているハードウェアについての詳細はμPD750068 ユーザーズ・マニュアル (U10670J) を参照してください。

表5 - 1 μPD75P0076とμPD750064, 750066, 750068との違い

項 目		μPD750064	μPD750066	μPD750068	μPD75P0076
プログラム・カウンタ		12ビット		13ビット	14ビット
プログラム・メモリ (バイト)		マスクROM 4096	マスクROM 6144	マスクROM 8192	ワン・タイムPROM 16384
データ・メモリ (×4ビット)		512			
マスク・オプション	ポート4, 5のプルアップ抵抗	あり (内蔵する / しないの指定可能)			なし (内蔵不可)
	RESET時のウェイト時間	あり ($2^{17}/f_x$, $2^{15}/f_x$ の2つから選択可能) 注			なし ($2^{15}/f_x$ 固定) 注
	サブシステム・クロックのフィードバック抵抗	あり (使用する / しないの選択可能)			なし (使用する)
端子接続	6-9番ピン	P33-P30			P33/MD3-P30/MD0
	20番ピン	IC			V _{PP}
	34-37番ピン	P53-P50			P53/D7-P50/D4
	38-41番ピン	P43-P40			P43/D3-P40/D0
その他		回路の規模やマスク・レイアウトが異なるため、ノイズ耐量、ノイズ輻射などが異なります。			

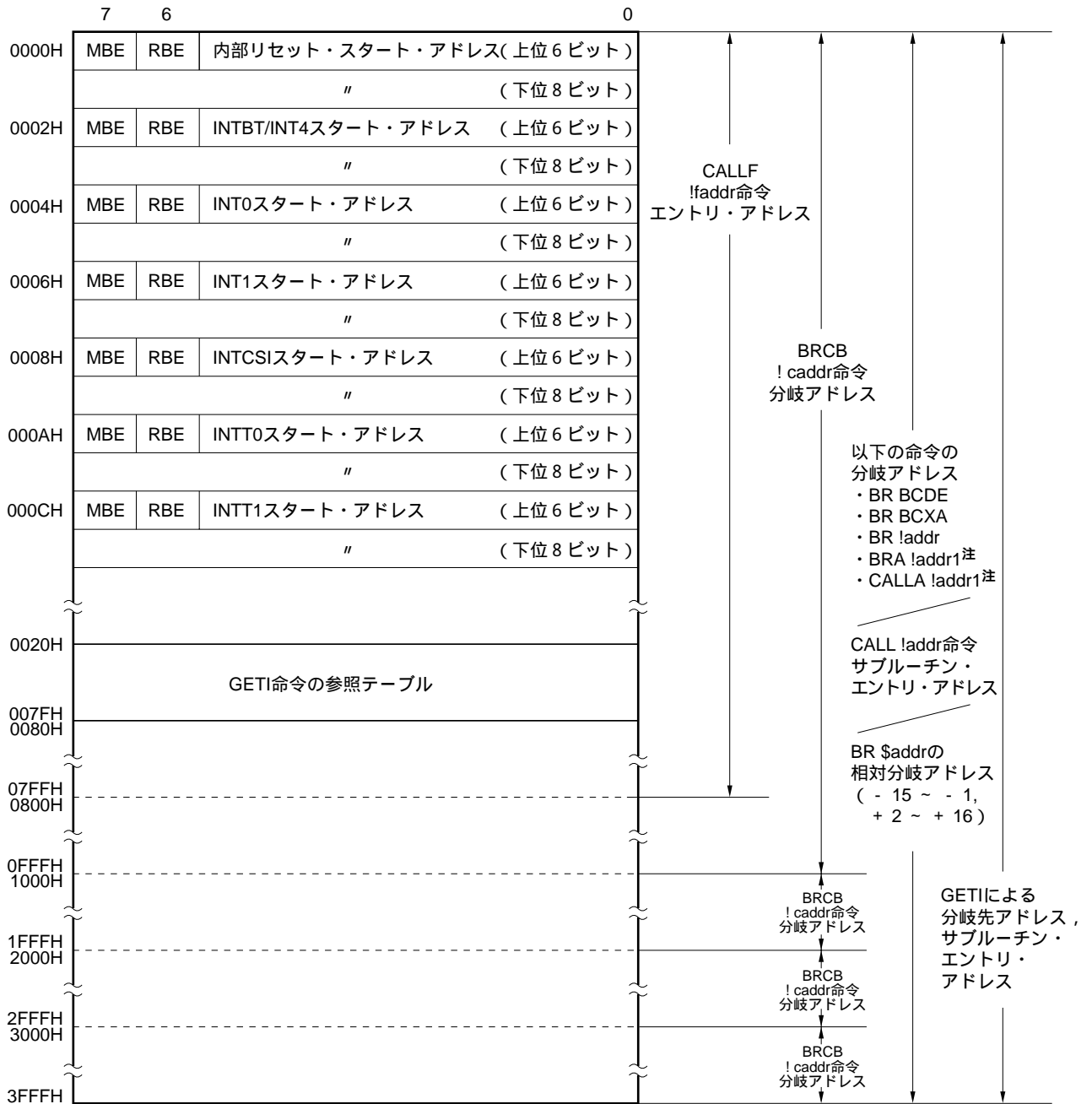
注 $2^{17}/f_x$ は、6.0 MHz動作時：21.8 ms, 4.19 MHz動作時：31.3 msです。

$2^{15}/f_x$ は、6.0 MHz動作時：5.46 ms, 4.19 MHz動作時：7.81 msです。

注意 PROMとマスクROMでは、ノイズ耐量、ノイズ輻射が異なります。試作から量産の過程でPROM品からマスクROM品への置き換えを検討される場合は、マスクROM品のCS品 (ES品ではなく) で十分な評価を行ってください。

6. メモリ構成

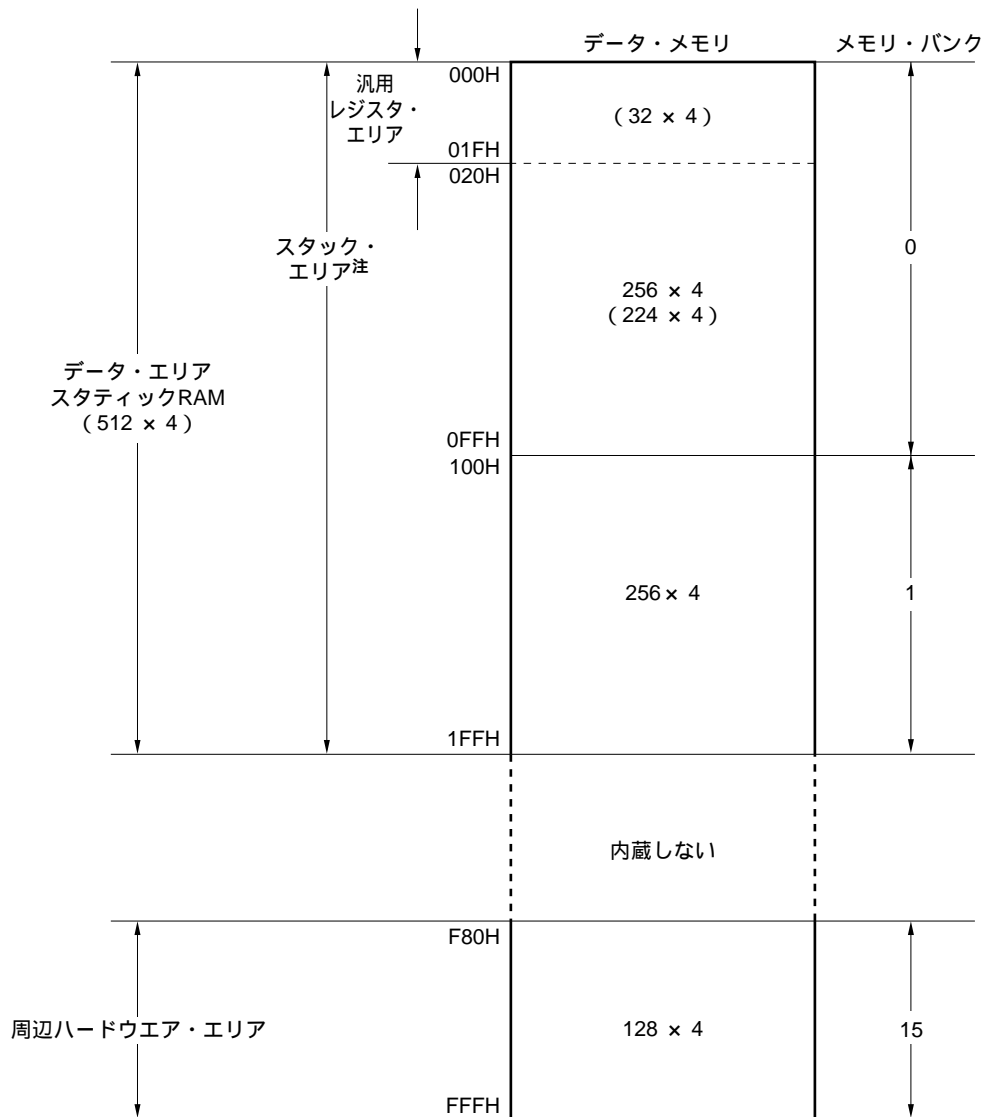
図6-1 プログラム・メモリ・マップ



注 Mk モードでのみ使用できます。

備考 上記の命令以外では、BR PCDE, BR PCXA命令により、PCの下位8ビットのみ変更したアドレスへ分岐することができます。

図6 - 2 データ・メモリ・マップ



注 スタック・エリアとして、メモリ・バンク 0, 1のうち1つを選択できます。

7. 命令セット

(1) オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述します（詳細はRA75X **アセンブラ・パッケージ ユーザーズ・マニュアル 言語編** (EEU-730)を参照してください）。記述方法の中で、複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および+、-記号はキー・ワードであり、そのまま記述します。

イミディエト・データの場合は、適当な数値またはレーベルを記述します。

レーベルとしてmem, fmem, pmem, bitなどの代わりに各種レジスタ・フラグの略号を記述できます（詳細はμPD750068 **ユーザーズ・マニュアル** (U10670J)を参照してください）。ただし、fmem, pmemは記述できるレーベルに制限があります。

表現形式	記述方法
reg	X, A, B, C, D, E, H, L
reg1	X, B, C, D, E, H, L
rp	XA, BC, DE, HL
rp1	BC, DE, HL
rp2	BC, DE
rp'	XA, BC, DE, HL, XA', BC', DE', HL'
rp'1	BC, DE, HL, XA', BC', DE', HL'
rpa	HL, HL +, HL -, DE, DL
rpa1	DE, DL
n4	4ビット・イミディエト・データまたはレーベル
n8	8ビット・イミディエト・データまたはレーベル
mem	8ビット・イミディエト・データまたはレーベル ^注
bit	2ビット・イミディエト・データまたはレーベル
fmem	FB0H-FBFH, FF0H-FFFHイミディエト・データまたはレーベル
pmem	FC0H-FFFHイミディエト・データまたはレーベル
addr	0000H-3FFFHイミディエト・データまたはレーベル
addr1	000H-3FFFHイミディエト・データまたはレーベル (Mk モード時のみ)
caddr	12ビット・イミディエト・データまたはレーベル
faddr	11ビット・イミディエト・データまたはレーベル
taddr	20H-7FHイミディエト・データ (ただしbit0 = 0) またはレーベル
PORTn	PORT0-PORT6, PORT11
IE x x x	IEBT, IECSI, IET0, IET1, IE0-IE2, IE4, IEW
RBn	RB0-RB3
MBn	MB0, MB1, MB15

注 8ビット・データ処理の場合は、偶数アドレスのみ指定できます。

(2) オペレーション説明上の凡例

A	: Aレジスタ; 4ビット・アキュムレータ
B	: Bレジスタ
C	: Cレジスタ
D	: Dレジスタ
E	: Eレジスタ
H	: Hレジスタ
L	: Lレジスタ
X	: Xレジスタ
XA	: レジスタ・ペア (XA); 8ビット・アキュムレータ
BC	: レジスタ・ペア (BC)
DE	: レジスタ・ペア (DE)
HL	: レジスタ・ペア (HL)
XA'	: 拡張レジスタ・ペア (XA')
BC'	: 拡張レジスタ・ペア (BC')
DE'	: 拡張レジスタ・ペア (DE')
HL'	: 拡張レジスタ・ペア (HL')
PC	: プログラム・カウンタ
SP	: スタック・ポインタ
CY	: キャリー・フラグ; ビット・アキュムレータ
PSW	: プログラム・ステータス・ワード
MBE	: メモリ・バンク許可フラグ
RBE	: レジスタ・バンク許可フラグ
PORTn	: ポートn (n=0-6, 11)
IME	: 割り込みマスタ許可フラグ
IPS	: 割り込みプライオリティ選択レジスタ
IE x x x	: 割り込み許可フラグ
RBS	: レジスタ・バンク選択レジスタ
MBS	: メモリ・バンク選択レジスタ
PCC	: プロセッサ・クロック・コントロール・レジスタ
.	: アドレス, ビット区切り
(x x)	: x x でアドレスされる内容
x x H	: 16進データ

(3) アドレッシング・エリア欄の記号説明

*1	MB = MBE・MBS MBS = 0, 1, 15	データ・メモリ・アドレッシング
*2	MB = 0	
*3	MBE = 0 : MB = 0(000H-07FH) MB = 15(F80H-FFFH) MBE = 1 : MB = MBS MBS = 0, 1, 15	
*4	MB = 15, fmem = F80H-FBFH, FF0H-FFFH	
*5	MB = 15, pmem = FC0H-FFFH	
*6	addr = 0000H-3FFFH	プログラム・メモリ・アドレッシング
*7	addr, addr1 = (Current PC) - 15 ~ (Current PC) - 1 (Current PC) + 2 ~ (Current PC) + 16	
*8	caddr = 0000H-0FFFH(PC _{13,12} = 00B)or 1000H-1FFFH(PC _{13,12} = 01B)or 2000H-2FFFH(PC _{13,12} = 10B)or 3000H-3FFFH(PC _{13,12} = 11B)	
*9	faddr = 0000H-07FFH	
*10	taddr = 0020H-007FH	
*11	addr1 = 0000H-3FFFH(Mk モード時のみ)	

備考1 . MBはアクセス可能なメモリ・バンクを示します。

- 2 . *2ではMBE, MBSに関係なくMB = 0です。
- 3 . *4, *5では, MBE, MBSに関係なくMB = 15です。
- 4 . *6 ~ *11は, それぞれアドレッシング可能な領域を示します。

(4) マシン・サイクル欄の説明

Sは、スキップ付き命令がスキップ動作するときに要するマシン・サイクル数を示します。Sの値は次のように変わります。

- ・スキップしないとき S = 0
- ・スキップされる命令が、1バイト命令、または2バイト命令のとき S = 1
- ・スキップされる命令が、3バイト命令^注のとき S = 2

注 3バイト命令：BR !addr, BRA !addr1, CALL !addr, CALLA !addr1命令

注意 GETI命令は1マシン・サイクルでスキップされます。

1マシン・サイクルはCPUクロック の1サイクル分 (= t_{CY}) に等しく、PCCの設定により4通りの時間が選択できます。

命令群	二モニック	オペランド 数	バイト	マシン・サイクル	オペレーション	アドレッシング・エリア	スキップ条件
転送	MOV	A, #n4	1	1	A n4		たてづみA
		reg1, #n4	2	2	reg1 n4		
		XA, #n8	2	2	XA n8		たてづみA
		HL, #n8	2	2	HL n8		たてづみB
		rp2, #n8	2	2	rp2 n8		
		A, @HL	1	1	A (HL)	*1	
		A, @HL +	1	2 + S	A (HL), then L L + 1	*1	L = 0
		A, @HL -	1	2 + S	A (HL), then L L - 1	*1	L = FH
		A, @rpa1	1	1	A (rpa1)	*2	
		XA, @HL	2	2	XA (HL)	*1	
		@HL, A	1	1	(HL) A	*1	
		@HL, XA	2	2	(HL) XA	*1	
		A, mem	2	2	A (mem)	*3	
		XA, mem	2	2	XA (mem)	*3	
		mem, A	2	2	(mem) A	*3	
		mem, XA	2	2	(mem) XA	*3	
		A, reg1	2	2	A reg1		
		XA, rp'	2	2	XA rp'		
		reg1, A	2	2	reg1 A		
		rp'1, XA	2	2	rp'1 XA		
	XCH	A, @HL	1	1	A (HL)	*1	
		A, @HL +	1	2 + S	A (HL), then L L + 1	*1	L = 0
		A, @HL -	1	2 + S	A (HL), then L L - 1	*1	L = FH
		A, @rpa1	1	1	A (rpa1)	*2	
		XA, @HL	2	2	XA (HL)	*1	
		A, mem	2	2	A (mem)	*3	
		XA, mem	2	2	XA (mem)	*3	
		A, reg1	1	1	A reg1		
XA, rp'		2	2	XA rp'			
テーブル参照	MOV _T	XA, @PCDE	1	3	XA (PC ₁₃₋₈ + DE) _{ROM}		
		XA, @PCXA	1	3	XA (PC ₁₃₋₈ + XA) _{ROM}		
		XA, @BCDE	1	3	XA (BCDE) _{ROM} ^注	*6	
		XA, @BCXA	1	3	XA (BCXA) _{ROM} ^注	*6	

注 Bレジスタは、下位2ビットのみ有効です。

命令群	二モニック	オペランド 数	バイト	マシン・サイクル	オペレーション	アドレッシング・エリア	スキップ条件
ビット転送	MOV1	CY, fmem.bit	2	2	CY (fmem.bit)	* 4	
		CY, pmem.@L	2	2	CY (pmem ₇₋₂ + L ₃₋₂ .bit(L ₁₋₀))	* 5	
		CY, @H + mem.bit	2	2	CY (H + mem ₃₋₀ .bit)	* 1	
		fmem.bit, CY	2	2	(fmem.bit) CY	* 4	
		pmem.@L, CY	2	2	(pmem ₇₋₂ + L ₃₋₂ .bit(L ₁₋₀)) CY	* 5	
		@H + mem.bit, CY	2	2	(H + mem ₃₋₀ .bit) CY	* 1	
演算	ADDS	A, #n4	1	1 + S	A A + n4		carry
		XA, #n8	2	2 + S	XA XA + n8		carry
		A, @HL	1	1 + S	A A + (HL)	* 1	carry
		XA, rp'	2	2 + S	XA XA + rp'		carry
		rp'1, XA	2	2 + S	rp'1 rp'1 + XA		carry
	ADDC	A, @HL	1	1	A, CY A + (HL) + CY	* 1	
		XA, rp'	2	2	XA, CY XA + rp' + CY		
		rp'1, XA	2	2	rp'1, CY rp'1 + XA + CY		
	SUBS	A, @HL	1	1 + S	A A - (HL)	* 1	borrow
		XA, rp'	2	2 + S	XA XA - rp'		borrow
		rp'1, XA	2	2 + S	rp'1 rp'1 - XA		borrow
	SUBC	A, @HL	1	1	A, CY A - (HL) - CY	* 1	
		XA, rp'	2	2	XA, CY XA - rp' - CY		
		rp'1, XA	2	2	rp'1, CY rp'1 - XA - CY		
	AND	A, #n4	2	2	A A n4		
		A, @HL	1	1	A A (HL)	* 1	
		XA, rp'	2	2	XA XA rp'		
		rp'1, XA	2	2	rp'1 rp'1 XA		
	OR	A, #n4	2	2	A A n4		
		A, @HL	1	1	A A (HL)	* 1	
XA, rp'		2	2	XA XA rp'			
rp'1, XA		2	2	rp'1 rp'1 XA			
XOR	A, #n4	2	2	A A ∨ n4			
	A, @HL	1	1	A A ∨ (HL)	* 1		
	XA, rp'	2	2	XA XA ∨ rp'			
	rp'1, XA	2	2	rp'1 rp'1 ∨ XA			

命令群	二モニック	オペランド 数	バイト	マシン・サイクル	オペレーション	アドレッシング・エリア	スキップ条件
ア キ ム レ タ 作	RORC	A	1	1	CY A ₀ , A ₃ CY, A _{n-1} A _n		
	NOT	A	2	2	A \bar{A}		
増 減	INCS	reg	1	1 + S	reg reg + 1		reg = 0
		rp1	1	1 + S	rp1 rp1 + 1		rp1 = 00H
		@HL	2	2 + S	(HL) (HL) + 1	* 1	(HL) = 0
		mem	2	2 + S	(mem) (mem) + 1	* 3	(mem) = 0
	DECS	reg	1	1 + S	reg reg - 1		reg = FH
		rp'	2	2 + S	rp' rp' - 1		rp' = FFH
比 較	SKE	reg, # n4	2	2 + S	Skip if reg = n4		reg = n4
		@HL, # n4	2	2 + S	Skip if (HL) = n4	* 1	(HL) = n4
		A, @HL	1	1 + S	Skip if A = (HL)	* 1	A = (HL)
		XA, @HL	2	2 + S	Skip if XA = (HL)	* 1	XA = (HL)
		A, reg	2	2 + S	Skip if A = reg		A = reg
		XA, rp'	2	2 + S	Skip if XA = rp'		XA = rp'
キ ャ リ ・ フ ラ グ 作	SET1	CY	1	1	CY 1		
	CLR1	CY	1	1	CY 0		
	SKT	CY	1	1 + S	Skip if CY = 1		CY = 1
	NOT1	CY	1	1	CY \bar{CY}		

命令群	二モニック	オペランド 数	バイト	マシン・サイクル	オペレーション	アドレッシング・エリア	スキップ条件
メモリ・ビット操作	SET1	mem.bit	2	2	(mem.bit) 1	* 3	
		fmem.bit	2	2	(fmem.bit) 1	* 4	
		pmem.@L	2	2	(pmem ₇₋₂ + L ₃₋₂ .bi(L ₁₋₀)) 1	* 5	
		@H + mem.bit	2	2	(H + mem ₃₋₀ .bit) 1	* 1	
	CLR1	mem.bit	2	2	(mem.bit) 0	* 3	
		fmem.bit	2	2	(fmem.bit) 0	* 4	
		pmem.@L	2	2	(pmem ₇₋₂ + L ₃₋₂ .bi(L ₁₋₀)) 0	* 5	
		@H + mem.bit	2	2	(H + mem ₃₋₀ .bit) 0	* 1	
	SKT	mem.bit	2	2 + S	Skip if(mem.bit)= 1	* 3	(mem.bit)= 1
		fmem.bit	2	2 + S	Skip if(fmem.bit)= 1	* 4	(fmem.bit)= 1
		pmem.@L	2	2 + S	Skip if(pmem ₇₋₂ + L ₃₋₂ .bi(L ₁₋₀))= 1	* 5	(pmem.@L)= 1
		@H + mem.bit	2	2 + S	Skip if(H + mem ₃₋₀ .bit)= 1	* 1	(@H + mem.bit)= 1
	SKF	mem.bit	2	2 + S	Skip if(mem.bit)= 0	* 3	(mem.bit)= 0
		fmem.bit	2	2 + S	Skip if(fmem.bit)= 0	* 4	(fmem.bit)= 0
		pmem.@L	2	2 + S	Skip if(pmem ₇₋₂ + L ₃₋₂ .bi(L ₁₋₀))= 0	* 5	(pmem.@L)= 0
		@H + mem.bit	2	2 + S	Skip if(H + mem ₃₋₀ .bit)= 0	* 1	(@H + mem.bit)= 0
	SKTCLR	fmem.bit	2	2 + S	Skip if(fmem.bit)= 1 and clear	* 4	(fmem.bit)= 1
		pmem.@L	2	2 + S	Skip if(pmem ₇₋₂ + L ₃₋₂ .bi(L ₁₋₀))= 1 and clear	* 5	(pmem.@L)= 1
		@H + mem.bit	2	2 + S	Skip if(H + mem ₃₋₀ .bit)= 1 and clear	* 1	(@H + mem.bit)= 1
	AND1	CY, fmem.bit	2	2	CY CY (fmem.bit)	* 4	
		CY, pmem.@L	2	2	CY CY (pmem ₇₋₂ + L ₃₋₂ .bi(L ₁₋₀))	* 5	
		CY, @H + mem.bit	2	2	CY CY (H + mem ₃₋₀ .bit)	* 1	
	OR1	CY, fmem.bit	2	2	CY CY (fmem.bit)	* 4	
		CY, pmem.@L	2	2	CY CY (pmem ₇₋₂ + L ₃₋₂ .bi(L ₁₋₀))	* 5	
CY, @H + mem.bit		2	2	CY CY (H + mem ₃₋₀ .bit)	* 1		
XOR1	CY, fmem.bit	2	2	CY CY ∨ (fmem.bit)	* 4		
	CY, pmem.@L	2	2	CY CY ∨ (pmem ₇₋₂ + L ₃₋₂ .bi(L ₁₋₀))	* 5		
	CY, @H + mem.bit	2	2	CY CY ∨ (H + mem ₃₋₀ .bit)	* 1		

命令群	二モニック	オペランド 数	バイト	マシン・サイクル	オペレーション	アドレッシング・エリア	スキップ条件
分岐	BR ^{注1}	addr	-	-	PC ₁₃₋₀ addr (アセンブラにより、次の命令から最適な命令を選択します。 ・ BR !addr ・ BRCB !caddr ・ BR \$ addr)	* 6	
		addr1	-	-	PC ₁₃₋₀ addr1 (アセンブラにより、次の命令から最適な命令を選択します。 ・ BRA !addr1 ・ BR !addr ・ BRCB !caddr ・ BR \$ addr1)	* 11	
		!addr	3	3	PC ₁₃₋₀ addr	* 6	
		\$addr	1	2	PC ₁₃₋₀ addr	* 7	
		\$addr1	1	2	PC ₁₃₋₀ addr1		
		PCDE	2	3	PC ₁₃₋₀ PC ₁₃₋₈ + DE		
		PCXA	2	3	PC ₁₃₋₀ PC ₁₃₋₈ + XA		
		BCDE	2	3	PC ₁₃₋₀ BCDE ^{注2}	* 6	
		BCXA	2	3	PC ₁₃₋₀ BCXA ^{注2}	* 6	
		BRA ^{注1}	!addr1	3	3	PC ₁₃₋₀ addr1	* 11
	BRCB	!caddr	2	2	PC ₁₃₋₀ PC _{13,12} + caddr ₁₁₋₀	* 8	
サブルーチン・スタック制御	CALLA ^{注1}	!addr1	3	3	(SP - 6) (SP - 3) (SP - 4) PC ₁₁₋₀ (SP - 5) 0, 0, PC _{13,12} (SP - 2) x, x, MBE, RBE PC ₁₃₋₀ addr1, SP SP - 6	* 11	
	CALL ^{注1}	!addr	3	3	(SP - 4) (SP - 1) (SP - 2) PC ₁₁₋₀ (SP - 3) MBE, RBE, PC _{13,12} PC ₁₃₋₀ addr, SP SP - 4	* 6	
			4	(SP - 6) (SP - 3) (SP - 4) PC ₁₁₋₀ (SP - 5) 0, 0, PC _{13,12} (SP - 2) x, x, MBE, RBE PC ₁₃₋₀ addr, SP SP - 6			

注1 . [] に示す部分は、Mk モード時にのみ対応可能です。そのほかは、MK モード時にのみ対応可能です。

2 . Bレジスタは下位2ビットのみ有効です。

命令群	二モニック	オペランド 数	バイト	マシン・サイクル	オペレーション	アドレッシング・エリア	スキップ条件
サブルーチン・スタック制御	CALLF ^注	lfaddr	2	2	(SP - 4) (SP - 1) (SP - 2) PC ₁₁₋₀ (SP - 3) MBE, RBE, PC _{13,12} PC ₁₃₋₀ 000 + faddr, SP SP - 4	* 9	
				3	(SP - 6) (SP - 3) (SP - 4) PC ₁₁₋₀ (SP - 5) 0, 0, PC _{13,12} (SP - 2) x, x, MBE, RBE PC ₁₃₋₀ 000 + faddr, SP SP - 6		
	RET ^注		1	3	MBE, RBE, PC _{13,12} (SP + 1) PC ₁₁₋₀ (SP) (SP + 3) (SP + 2) SP SP + 4		
					x, x, MBE, RBE (SP + 4) PC ₁₁₋₀ (SP) (SP + 3) (SP + 2) 0, 0, PC _{13,12} (SP + 1) SP SP + 6		
	RETS ^注		1	3 + S	MBE, RBE, PC _{13,12} (SP + 1) PC ₁₁₋₀ (SP) (SP + 3) (SP + 2) SP SP + 4 then skip unconditionally		無条件
					x, x, MBE, RBE (SP + 4) PC ₁₁₋₀ (SP) (SP + 3) (SP + 2) 0, 0, PC _{13,12} (SP + 1) SP SP + 6 then skip unconditionally		
	RETI		1	3	MBE, RBE, PC _{13,12} (SP + 1) PC ₁₁₋₀ (SP) (SP + 3) (SP + 2) PSW (SP + 4) (SP + 5), SP SP + 6		
0, 0, PC _{13,12} SP + 1 PC ₁₁₋₀ (SP) (SP + 3) (SP + 2) PSW (SP + 4) (SP + 5), SP SP + 6							
PUSH	rp	1	1	(SP - 1) (SP - 2) rp, SP SP - 2			
	BS	2	2	(SP - 1) MBS, (SP - 2) RBS, SP SP - 2			
POP	rp	1	1	rp (SP + 1) (SP), SP SP + 2			
	BS	2	2	MBS (SP + 1), RBS (SP), SP SP + 2			

注 に示す部分は、Mk モード時にのみ対応可能です。そのほかは、Mk モード時にのみ対応可能です。

命令群	二モニック	オペランド 数	バイト	マシン・サイクル	オペレーション	アドレッシング・エリア	スキップ条件
割り込み制御	EI		2	2	IME(IPS.3) 1		
		IE x x x	2	2	IE x x x 1		
	DI		2	2	IME(IPS.3) 0		
		IE x x x	2	2	IE x x x 0		
入出力	IN ^{注1}	A, PORTn	2	2	A PORTn (n=0-6, 11)		
		XA, PORTn	2	2	XA PORTn+1, PORTn (n=4)		
	OUT ^{注1}	PORTn, A	2	2	PORTn A (n=2-6)		
		PORTn, XA	2	2	PORTn+1, PORTn XA (n=4)		
CPU制御	HALT		2	2	Set HALT Mode(PCC.2 1)		
	STOP		2	2	Set STOP Mode(PCC.3 1)		
	NOP		1	1	No Operation		
特	SEL	RBn	2	2	RBS n (n=0-3)		
		MBn	2	2	MBS n (n=0, 1, 15)		
殊	GETI ^{注2, 3}	taddr	1	3	・TBR命令のとき PC ₁₃₋₀ (taddr) ₅₋₀ + (taddr + 1)	*10	
					・TCALL命令のとき (SP - 4) (SP - 1) (SP - 2) PC ₁₁₋₀ (SP - 3) MBE, RBE, PC _{13, 12} PC ₁₃₋₀ (taddr) ₅₋₀ + (taddr + 1) SP SP - 4		
					・TBR, TCALL命令以外のとき (taddr) (taddr + 1)の命令実行		
			1	3	・TBR命令のとき PC ₁₃₋₀ (taddr) ₅₋₀ + (taddr + 1)	*10	
				4	・TCALL命令のとき (SP - 6) (SP - 3) (SP - 4) PC ₁₁₋₀ (SP - 5) 0, 0, PC _{13, 12} (SP - 2) x, x, MBE, RBE PC ₁₃₋₀ (taddr) ₅₋₀ + (taddr + 1) SP SP - 6		
				3	・TBR, TCALL命令以外のとき (taddr) (taddr + 1)の命令実行		参照した命令による

注1 . IN / OUT命令実行時には、MBE = 0またはMBE = 1、MBS = 15としておく必要があります。

2 . TBR, TCALL命令はGETI命令のテーブル定義用アセンブラ疑似命令です。

3 . に示す部分は、Mk モード時にのみ対応可能です。そのほかは、Mk モード時にのみ対応可能です。

8. ワン・タイムPROM (プログラム・メモリ) の書き込みとベリファイ

μPD75P0076に内蔵されているプログラム・メモリは16384 × 8ビットの電氣的書き込み可能なワン・タイムPROMです。このワン・タイムPROMの書き込み/ベリファイのために次の表に示すような端子を使用します。なお、アドレス入力はなく、代わりにX1端子からのクロック入力により、アドレスを更新する方法をとっています。

端子名	機能
V _{PP}	プログラム・メモリ書き込み/ベリファイ時のプログラム電圧印加端子 (通常はV _{DD} 電位)。
X1, X2	プログラム・メモリ書き込み/ベリファイ時のアドレス更新クロック入力。X2端子にはX1端子の逆相信号を入力。
MD0-MD3	プログラム・メモリ書き込み/ベリファイ時の動作モード選択端子。
D0/P40-D3/P43 (下位4) D4/P50-D7/P53 (上位4)	プログラム・メモリ書き込み/ベリファイ時の8ビット・データ入出力端子。
V _{DD}	電源電圧印加端子。 通常動作時は1.8~5.5V, プログラム・メモリ書き込み/ベリファイ時は6Vを印加。

注意 プログラム・メモリの書き込み/ベリファイ時に使用しない端子は、次のように処理します。

- ・XT2端子以外.....プルダウン抵抗を介してV_{SS}に接続
- ・XT2端子.....オープン

8.1 プログラム・メモリ書き込み/ベリファイ時の動作モード

μPD75P0076は、V_{DD}端子に + 6 V, V_{PP}端子に + 12.5 Vを印加すると、プログラム・メモリ書き込み/ベリファイ・モードになります。このモードは、MD0-MD3端子の設定により次のような動作モードとなります。

動作モードの指定						動作モード
V _{PP}	V _{DD}	MD0	MD1	MD2	MD3	
+ 12.5 V	+ 6 V	H	L	H	L	プログラム・メモリ・アドレスの0クリア
		L	H	H	H	書き込みモード
		L	L	H	H	ベリファイ・モード
		H	x	H	H	プログラム・インヒビット・モード

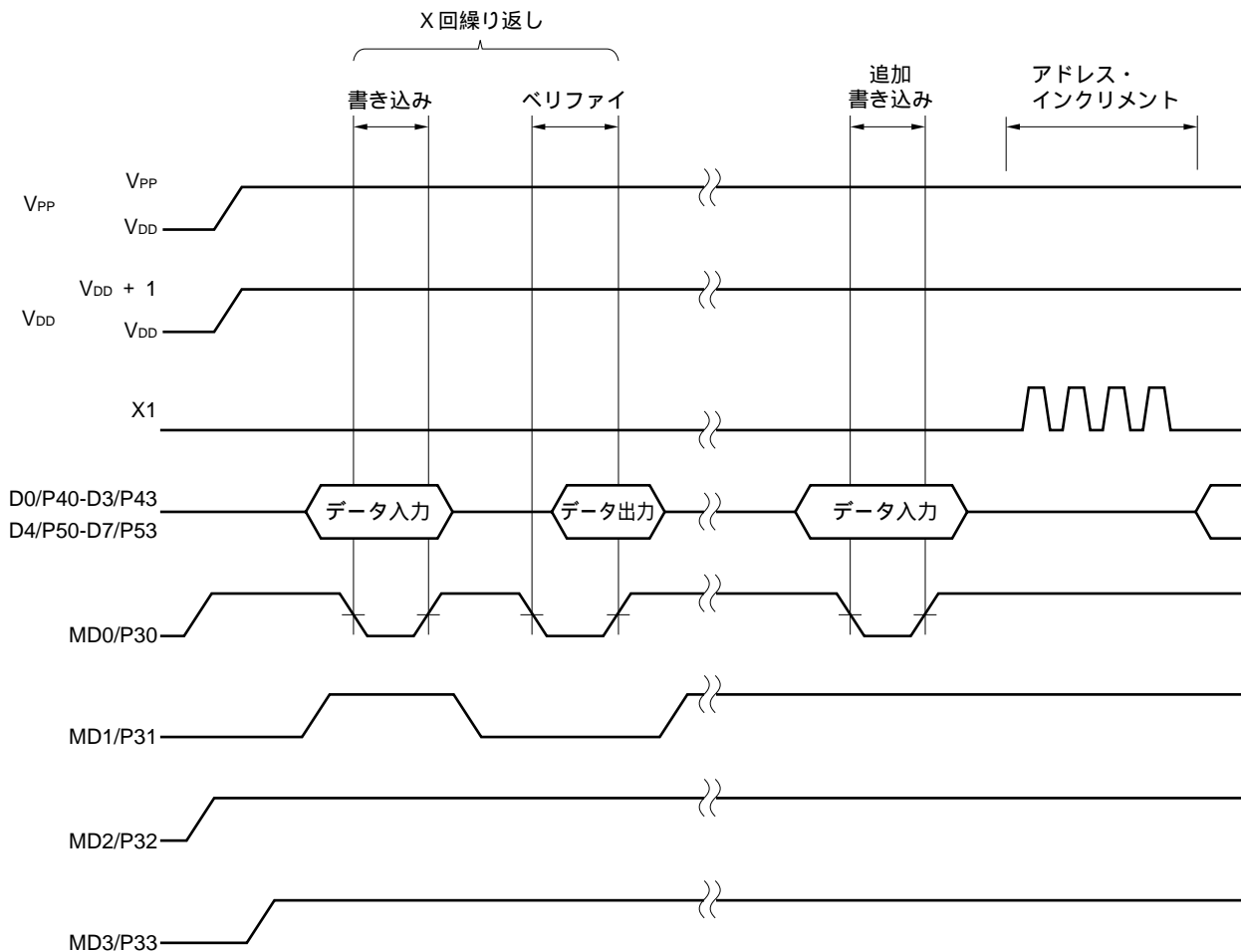
x : LまたはH

8.2 プログラム・メモリ書き込みの手順

プログラム・メモリ書き込みの手順は次のようになっており、高速書き込みが可能です。

- (1) 使用しない端子を抵抗を介してV_{SS}にプルダウン。X1端子はロウ・レベル。
- (2) V_{DD} , V_{PP}端子に5 Vを供給。
- (3) 10 μsウエイト。
- (4) プログラム・メモリ・アドレスの0クリア・モード。
- (5) V_{DD}に6 V , V_{PP}に12.5 Vを供給。
- (6) 1 msの書き込みモードでデータを書き込む。
- (7) ベリファイ・モード。書き込めていれば(8)へ、書き込めていなければ(6) , (7)を繰り返す。
- (8) ((6) , (7)で書き込んだ回数 : X) × 1 msの追加書き込み。
- (9) X1端子にパルスを4発入力することにより、プログラム・メモリ・アドレスを更新(+ 1)。
- (10) (6) ~ (9)を最終アドレスまで繰り返す。
- (11) プログラム・メモリ・アドレスの0クリア・モード。
- (12) V_{DD} , V_{PP}端子の電圧を5 Vに変更。
- (13) 電源オフ。

この(2) ~ (9)の手順を下図に示します。

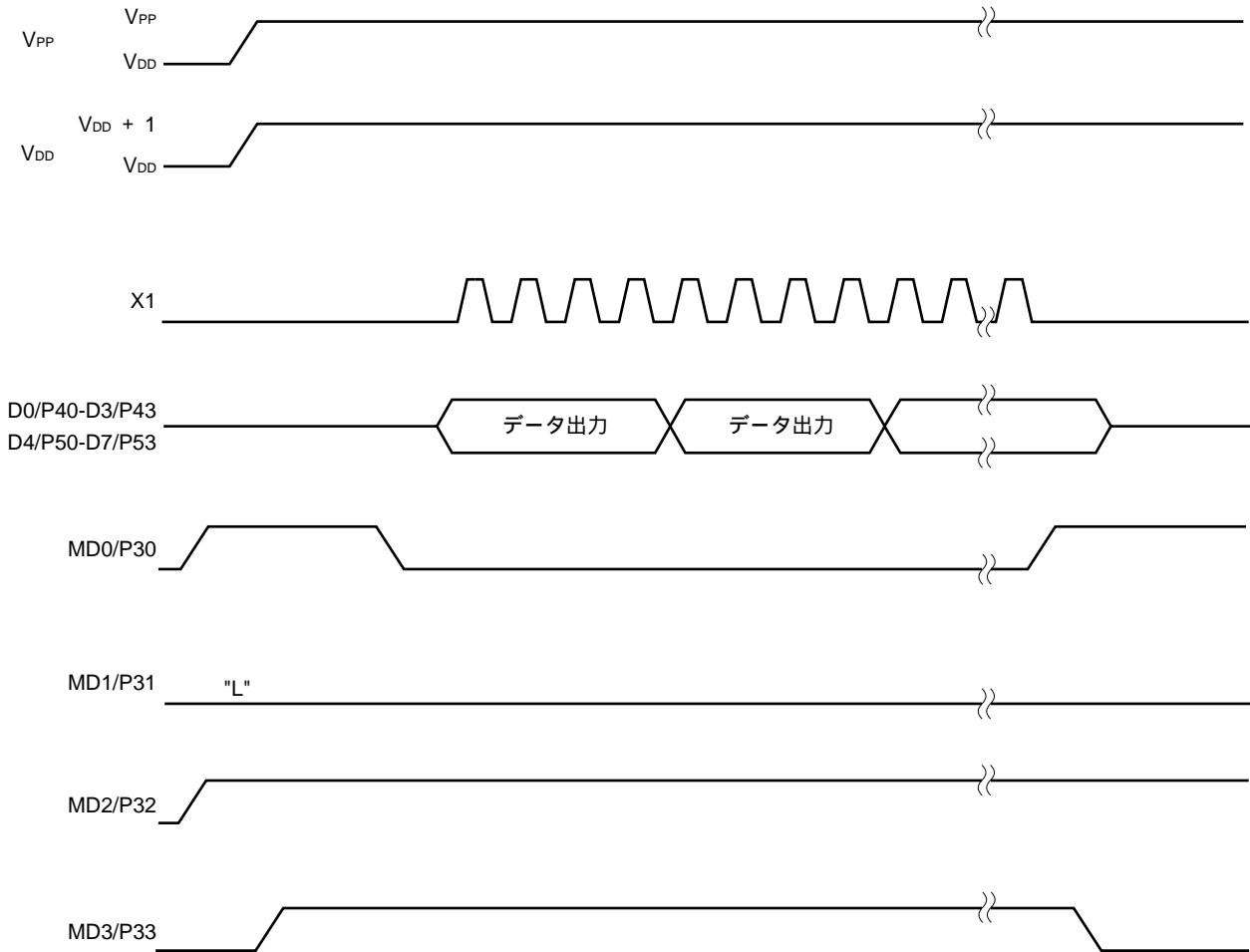


8.3 プログラム・メモリ読み出しの手順

μPD75P0076は、次の手順によりプログラム・メモリの内容の読み出しができます。

- (1) 使用しない端子を抵抗を介してV_{SS}にプルダウン。X1端子はロウ・レベル。
- (2) V_{DD} , V_{PP}端子に5 Vを供給。
- (3) 10 μsウエイト。
- (4) プログラム・メモリ・アドレスの0クリア・モード。
- (5) V_{DD}に6 V , V_{PP}に12.5 Vを供給。
- (6) ベリファイ・モード。X1端子にクロック・パルスを入力すると4発入力する周期でデータを1アドレスずつ順次出力。
- (7) プログラム・メモリ・アドレスの0クリア・モード。
- (8) V_{DD} , V_{PP}端子の電圧を5 Vに変更。
- (9) 電源オフ。

この(2) ~ (7) の手順を下図に示します。



8.4 ワン・タイムPROMのスクリーニングについて

ワン・タイムPROM製品は、その構造上、当社にて完全な試験をして出荷することはできません。必要なデータを書き込んだあと、下記の条件で高温保管後、PROMのベリファイを行うスクリーニングを実施することを推奨します。

保管温度	保管時間
125	24時間

9. 電気的特性

絶対最大定格 (TA = 25)

項目	略号	条件	定格	単位
電源電圧	VDD		- 0.3 ~ + 7.0	V
PROM電源電圧	VPP		- 0.3 ~ + 13.5	V
入力電圧	Vi1	ポート 4, 5 以外	- 0.3 ~ VDD + 0.3	V
	Vi2	ポート 4, 5 (N-chオープン・ドレイン)	- 0.3 ~ + 14	V
出力電圧	Vo		- 0.3 ~ VDD + 0.3	V
ハイ・レベル出力電流	IoH	1 端子当たり	- 10	mA
		全端子合計	- 30	mA
ロウ・レベル出力電流	IoL	1 端子当たり	30	mA
		全端子合計	220	mA
動作周囲温度	TA		- 40 ~ + 85	
保存温度	Tstg		- 65 ~ + 150	

注意 各項目のうち 1 項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

容量 (TA = 25 , VDD = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	CIN	f = 1 MHz			15	pF
出力容量	COU	被測定端子以外は 0 V			15	pF
入出力容量	CIO				15	pF

メイン・システム・クロック発振回路特性 (TA = -40 ~ +85 , VDD = 1.8 ~ 5.5 V)

発振子	推奨定数	項目	条件	MIN.	TYP.	MAX.	単位
セラミック 発振子		発振周波数 (fx) 注1		1.0		6.0注2	MHz
		発振安定時間注3	VDDが発振電圧範囲のMIN. 値に達したあと			4	ms
水晶 振動子		発振周波数 (fx) 注1		1.0		6.0注2	MHz
		発振安定時間注3	VDD = 4.5 ~ 5.5 V			10 30	ms
外部 クロック		X1入力周波数 (fx) 注1		1.0		6.0注2	MHz
		X1入力ハイ、ロウ・レベル幅 (txH, txL)		83.3		500	ns

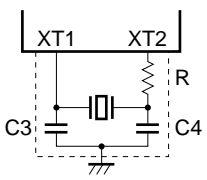
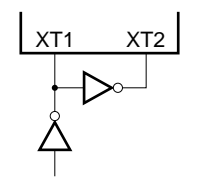
注1 . 発振周波数およびX1入力周波数は、発振回路の特性だけを示すものです。命令実行時間はAC特性を参照してください。

- 2 . 1.8 V VDD < 2.7 Vで発振周波数が4.19 MHz < fx < 6.0 MHzの場合、プロセッサ・クロック・コントロール・レジスタ (PCC) を0011に設定すると、1マシン・サイクル・タイムが規定の0.95 μsを満たせなくなるため、PCCは0011以外の値を設定してください。
- 3 . 発振安定時間は、VDD印加後、またはSTOPモード解除後、発振が安定するのに必要な時間です。

注意 メイン・システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接続点は、常にVSSと同電位になるようにする。
- ・大電流が流れるグラウンド・パターンには接続しない。
- ・発振回路から信号を取り出さない。

サブシステム・クロック発振回路特性 (TA = -40 ~ +85 , VDD = 1.8 ~ 5.5 V)

発振子	推奨定数	項目	条件	MIN.	TYP.	MAX.	単位
水晶 振動子		発振周波数 (fXT) 注1		32	32.768	35	kHz
		発振安定時間注2	VDD = 4.5 ~ 5.5 V		1.0	2	s
外部 クロック		XT1入力周波数 (fXT) 注1		32		100	kHz
		XT1入力ハイ, ロウ・レベル幅 (tXTH, tXTL)		5		15	μs

注1 . 発振回路の特性だけを示すものです。命令実行時間はAC特性を参照してください。

2 . VDD印加後, 発振が安定するのに必要な時間です。

注意 サブシステム・クロック発振回路を使用する場合は, 配線容量などの影響を避けるために, 図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接続点は, 常にVSSと同電位になるようにする。
- ・大電流が流れるグランド・パターンには接続しない。
- ・発振回路から信号を取り出さない。

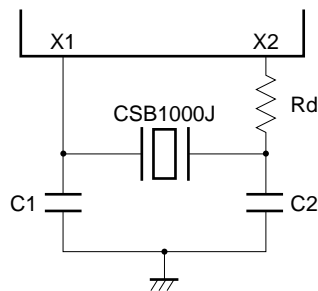
サブシステム・クロック発振回路は, 低消費電流にするために増幅度の低い回路になっており, ノイズに対する誤動作がメイン・システム・クロックよりも起こりやすくなっています。したがって, サブシステム・クロックを使用する場合は, 配線方法について特にご注意ください。

推奨発振回路定数

セラミック発振子 (TA = -20 ~ +80)

メーカー	品名	周波数 (MHz)	発振回路定数 (pF)		発振電圧範囲 (V _{DD})		備考
			C1	C2	MIN.	MAX.	
村田製作所	CSB1000J ^注	1.0	100	100	2.2	5.5	Rd = 5.6 k
	CSA2.00MG040	2.0	100	100	2.0		-
	CST2.00MG040		-	-		コンデンサ内蔵品	
	CSA4.00MG	4.0	30	30	1.8	-	
	CST4.00MGW		-	-		コンデンサ内蔵品	
	CSA4.19MG	4.19	30	30	1.8	-	
	CST4.19MGW		-	-		コンデンサ内蔵品	
	CSA6.00MG	6.0	30	30	2.6	-	
	CST6.00MGW		-	-		コンデンサ内蔵品	
	CSA6.00MGU	6.0	30	30	1.8	-	
	CST6.00MGWU		-	-		コンデンサ内蔵品	

注 セラミック発振子として村田製作所のCSB1000J (1.0 MHz) を使用する場合には、制限抵抗 (Rd = 5.6 k) が 必要です (下図参照)。その他の推奨発振子を使用する場合は制限抵抗は不要です。



注意 発振回路定数ならびに発振電圧範囲は、安定して発振する条件を示すものであり、発振周波数精度を保証するものではありません。実装回路にて発振周波数精度を必要とする場合、実装回路にて発振子の発振周波数を調整する必要がありますので、ご使用になる発振子のメーカーに直接お問い合わせください。

DC特性 (TA = -40 ~ +85 , VDD = 1.8 ~ 5.5 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位		
ロウ・レベル出力電流	IOL	1端子当たり				15	mA		
		全端子合計				150	mA		
ハイ・レベル入力電圧	VIH1	ポート2, 3, 11	2.7 VDD 5.5 V	0.7 VDD		VDD	V		
			1.8 VDD < 2.7 V	0.9 VDD		VDD	V		
	VIH2	ポート0, 1, 6, RESET	2.7 VDD 5.5 V	0.8 VDD		VDD	V		
			1.8 VDD < 2.7 V	0.9 VDD		VDD	V		
	VIH3	ポート4, 5 (N-chオープン・ドレイン)	2.7 VDD 5.5 V	0.7 VDD		13	V		
			1.8 VDD < 2.7 V	0.9 VDD		13	V		
VIH4	X1, XT1		VDD - 0.1		VDD	V			
ロウ・レベル入力電圧	VIL1	ポート2-5, 11	2.7 VDD 5.5 V	0		0.3 VDD	V		
			1.8 VDD < 2.7 V	0		0.1 VDD	V		
	VIL2	ポート0, 1, 6, RESET	2.7 VDD 5.5 V	0		0.2 VDD	V		
			1.8 VDD < 2.7 V	0		0.1 VDD	V		
	VIL3	X1, XT1		0		0.1	V		
ハイ・レベル出力電圧	VOH	SCK, SO, ポート2, 3, 6	IOH = -1.0 mA	VDD - 0.5			V		
ロウ・レベル出力電圧	VOL1	SCK, SO, ポート2-6	IOL = 15 mA, VDD = 4.5 ~ 5.5 V		0.2	2.0	V		
			IOL = 1.6 mA			0.4	V		
	VOL2	SB0, SB1	N-chオープン・ドレイン プルアップ抵抗 1k			0.2 VDD	V		
ハイ・レベル入力 リーク電流	ILIH1	VIN = VDD	X1, XT1以外の端子			3	μA		
	ILIH2		X1, XT1			20	μA		
	ILIH3	VIN = 13 V	ポート4, 5 (N-chオープン・ドレイン)			20	μA		
ロウ・レベル入力 リーク電流	ILIL1	VIN = 0 V	ポート4, 5, X1, XT1以外の端子			-3	μA		
	ILIL2		X1, XT1			-20	μA		
	ILIL3	ポート4, 5 (N-chオープン・ドレイン) 入力命令実行時以外	ポート4, 5 (N-chオープン・ドレイン)入力 命令実行時	VDD = 5.0 V		-10	-27	μA	
				VDD = 3.0 V		-3	-8	μA	
ハイ・レベル出力 リーク電流	ILOH1	VOUT = VDD	SCK, SO/SB0, SB1, ポート2, 3, 6			3	μA		
	ILOH2	VOUT = 13 V	ポート4, 5 (N-chオープン・ドレイン)			20	μA		
ロウ・レベル出力 リーク電流	ILOL	VOUT = 0 V				-3	μA		
内蔵プルアップ抵抗	RL	VIN = 0 V	ポート0-3, 6 (P00端子を除く)	50	100	200	k		

DC特性 (TA = -40 ~ +85 , VDD = 1.8 ~ 5.5 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位		
電源電流 ^{注1}	IDD1	6.0 MHz ^{注2} 水晶発振	VDD = 5.0 V ± 10 % ^{注3}			3.4	10.2	mA	
			VDD = 3.0 V ± 10 % ^{注4}			0.8	2.4	mA	
	IDD2	C1 = C2 = 22 pF	HALT	VDD = 5.0 V ± 10 %		0.9	2.7	mA	
			モード	VDD = 3.0 V ± 10 %		0.5	1.5	mA	
	IDD1	4.19 MHz ^{注2} 水晶発振	VDD = 5.0 V ± 10 % ^{注3}			2.7	7.4	mA	
			VDD = 3.0 V ± 10 % ^{注4}			0.6	1.8	mA	
	IDD2	C1 = C2 = 22 pF	HALT	VDD = 5.0 V ± 10 %		0.8	2.4	mA	
			モード	VDD = 3.0 V ± 10 %		0.4	1.2	mA	
	IDD3	32.768 kHz ^{注5} 水晶発振	低電圧 モード ^{注6}	VDD = 3.0 V ± 10 %			42	126	μA
				VDD = 2.0 V ± 10 %			23	69	μA
				VDD = 3.0 V, TA = 25			42	84	μA
			低消費電流 モード ^{注7}	VDD = 3.0 V ± 10 %			40	120	μA
				VDD = 3.0 V, TA = 25			40	80	μA
	IDD4	HALT モード	低電圧 モード ^{注6}	VDD = 3.0 V ± 10 %			8	24	μA
VDD = 2.0 V ± 10 %					4	12	μA		
VDD = 3.0 V, TA = 25				8	16	μA			
低消費電流 モード ^{注7}			VDD = 3.0 V ± 10 %			7	21	μA	
	VDD = 3.0 V, TA = 25			7	14	μA			
IDD5	XT1 = 0 V STOPモード ^{注8}	VDD = 5.0 V ± 10 %			0.05	10	μA		
		VDD = 3.0 V ± 10 %			0.02	5.0	μA		
		TA = 25			0.02	3.0	μA		

注1．内蔵プルアップ抵抗に流れる電流は含みません。

2．サブシステム・クロックを発振させた場合も含みます。

3．プロセッサ・クロック・コントロール・レジスタ (PCC) を0011に設定し、高速モードで動作させた場合。

4．PCCを0000に設定し、低速モードで動作させた場合。

5．システム・クロック・コントロール・レジスタ (SCC) を1001に設定し、メイン・システム・クロックの発振を停止させ、サブシステム・クロックで動作させた場合。

6．サブ発振回路コントロール・レジスタ (SOS) を0000に設定した場合。

7．SOSを0010に設定した場合。

8．SOSを00×1に設定し、サブ発振回路のフィードバック抵抗をカットした場合 (× : don't care)。

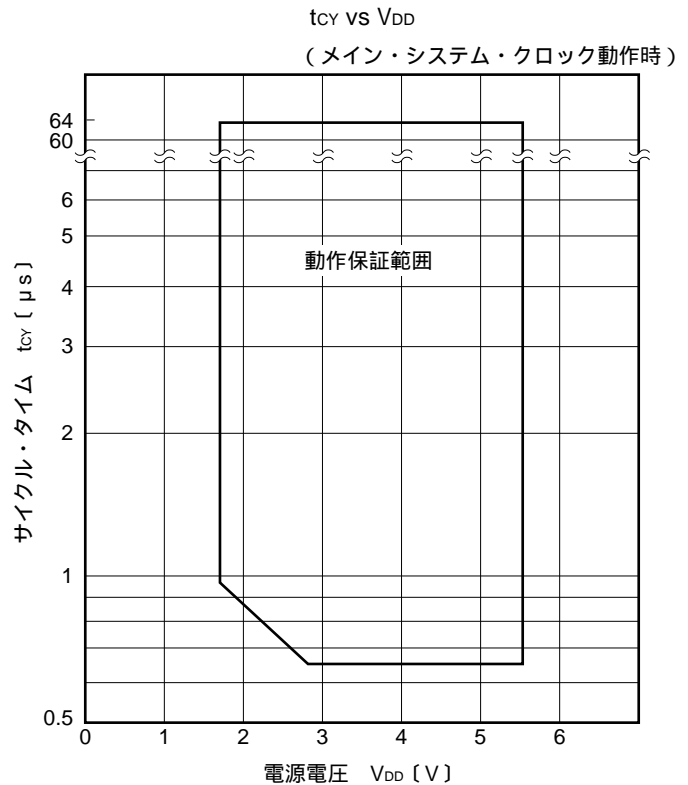
AC特性 (TA = -40 ~ +85 , VDD = 1.8 ~ 5.5 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
CPUクロック・サイクル・タイム ^{注1} (最小命令実行時間 = 1マシン・サイクル)	tcy	メイン・システム・ クロックで動作	VDD = 2.7 ~ 5.5 V	0.67		64	μs
				0.95		64	μs
		サブシステム・ク ロックで動作		114	122	125	μs
TIO, T11入力周波数	fri	VDD = 2.7 ~ 5.5 V		0		1.0	MHz
				0		275	kHz
TIO, T11入力ハイ, ロウ・レベル幅	tT1H, tT1L	VDD = 2.7 ~ 5.5 V		0.48			μs
				1.8			μs
割り込み入力ハイ, ロウ・レベル幅	tINTH, tINTL	INT0	IM02 = 0	注2			μs
			IM02 = 1	10			μs
		INT1, 2, 4		10			μs
		KR0-KR3		10			μs
RESETロウ・レベル幅	trSL			10			μs

注1 . CPUクロック () のサイクル・タイム (最小命令実行時間) は, 接続された発振子 (および外部クロック) の発振周波数とシステム・クロック・コントロール・レジスタ (SCC), プロセッサ・クロック・コントロール・レジスタ (PCC) によって決まります。

右図は, メイン・システム・クロック動作時の電源電圧VDDに対するサイクル・タイムtcy特性を示します。

2 . 割り込みモード・レジスタ (IM0) の設定により, 2tcyまたは128/fxとなります。



シリアル転送オペレーション

2線式, 3線式シリアル/Oモード (SCK...内部クロック出力) : (TA = -40 ~ +85 , VDD = 1.8 ~ 5.5 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCKサイクル・タイム	tkCY1	VDD = 2.7 ~ 5.5 V	1300			ns
			3800			ns
SCKハイ, ロウ・レベル幅	tkL1, tkH1	VDD = 2.7 ~ 5.5 V	tkCY1/2 - 50			ns
			tkCY1/2 - 150			ns
Si ^{注1} セットアップ時間 (対SCK)	tsiK1	VDD = 2.7 ~ 5.5 V	150			ns
			500			ns
Si ^{注1} ホールド時間 (対SCK)	tkS11	VDD = 2.7 ~ 5.5 V	400			ns
			600			ns
SCK SO ^{注1} 出力遅延時間	tkSO1	RL = 1 k , 注2 CL = 100 pF	VDD = 2.7 ~ 5.5 V		250	ns
			0		1000	ns

注1 . 2線式シリアル/Oモード時は, SB0またはSB1に読み替えてください。

2 . RL, CLはSO出力ラインの負荷抵抗, 負荷容量です。

2線式, 3線式シリアル/Oモード (SCK...外部クロック入力) : (TA = -40 ~ +85 , VDD = 1.8 ~ 5.5 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCKサイクル・タイム	tkCY2	VDD = 2.7 ~ 5.5 V	800			ns
			3200			ns
SCKハイ, ロウ・レベル幅	tkL2, tkH2	VDD = 2.7 ~ 5.5 V	400			ns
			1600			ns
Si ^{注1} セットアップ時間 (対SCK)	tsiK2	VDD = 2.7 ~ 5.5 V	100			ns
			150			ns
Si ^{注1} ホールド時間 (対SCK)	tkS12	VDD = 2.7 ~ 5.5 V	400			ns
			600			ns
SCK SO ^{注1} 出力遅延時間	tkSO2	RL = 1 k , 注2 CL = 100 pF	VDD = 2.7 ~ 5.5 V		300	ns
			0		1000	ns

注1 . 2線式シリアル/Oモード時は, SB0またはSB1に読み替えてください。

2 . RL, CLはSO出力ラインの負荷抵抗, 負荷容量です。

A/Dコンバータ特性 (T_A = -40 ~ +85 , V_{DD} = 1.8 ~ 5.5 V , 1.8 V AV_{REF} V_{DD})

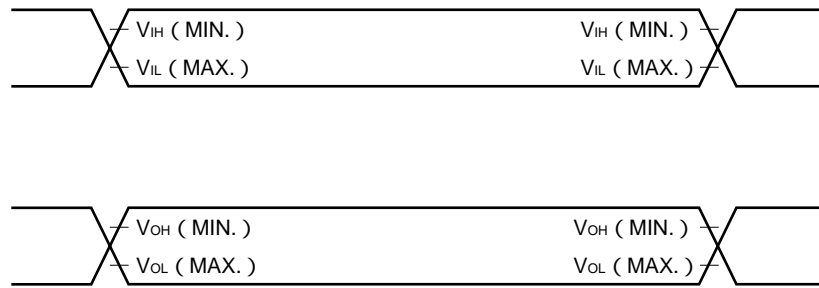
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
分解能			8	8	8	bit
絶対確度 ^{注1}		V _{DD} = AV _{REF}			1.5	LSB
		2.7 V V _{DD}				
		1.8 V V _{DD} < 2.7 V			3	LSB
		V _{DD} AV _{REF}			3	LSB
変換時間 ^{注2}	t _{CONV}				168/f _x	μs
サンプリング時間 ^{注3}	t _{SAMP}				44/f _x	μs
アナログ入力電圧	V _{IAN}		AV _{SS}		AV _{REF}	V
アナログ入力インピーダンス	R _{AN}			1000		M
AV _{REF} 電流	I _{REF}			0.25	2.0	mA

注1 . 量子化誤差 (± 1/2LSB) を除いた絶対確度です。

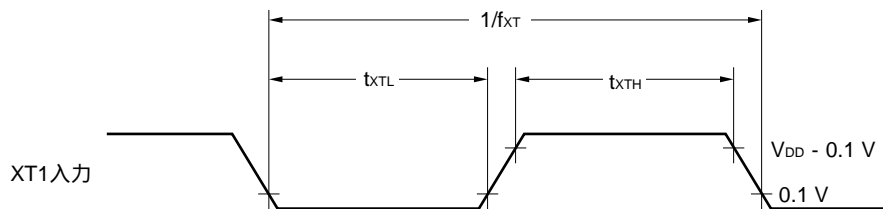
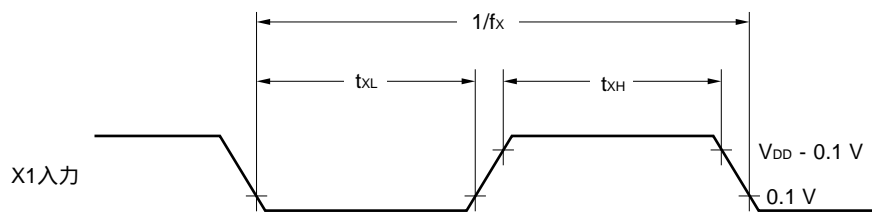
2 . 変換スタート命令実行後, 変換終了 (EOC = 1) までの時間 (40.1 μs : f_x = 4.19 MHz動作時)。

3 . 変換スタート命令後, サンプリング終了までの時間 (10.5 μs : f_x = 4.19 MHz動作時)。

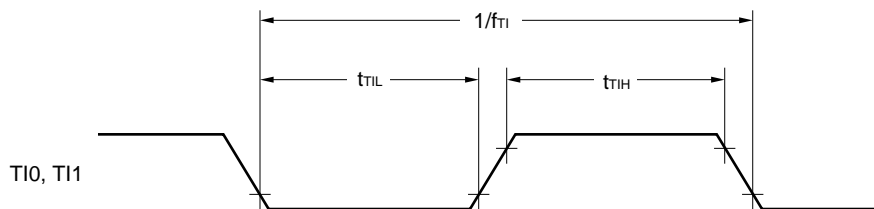
ACタイミング測定点 (X1, XT1入力を除く)



クロック・タイミング

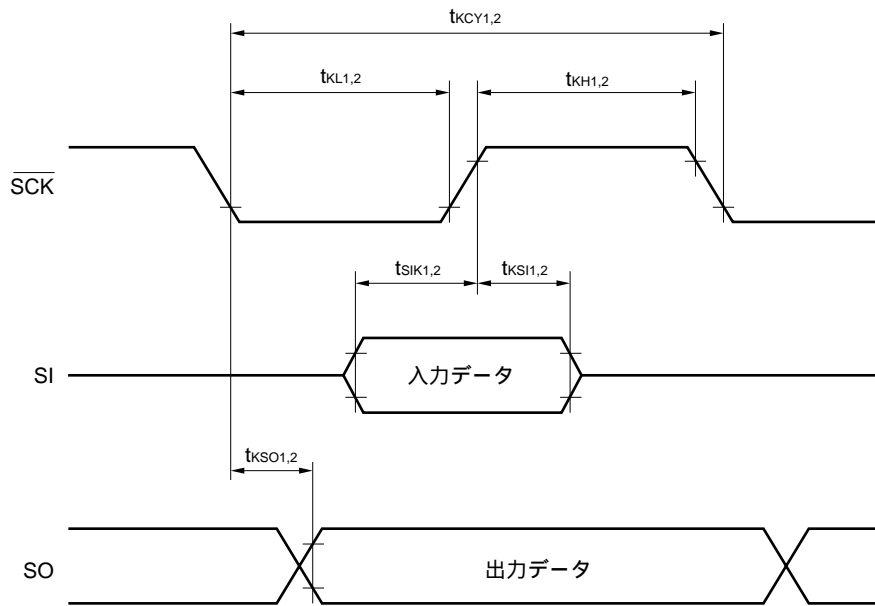


T10, T11 タイミング

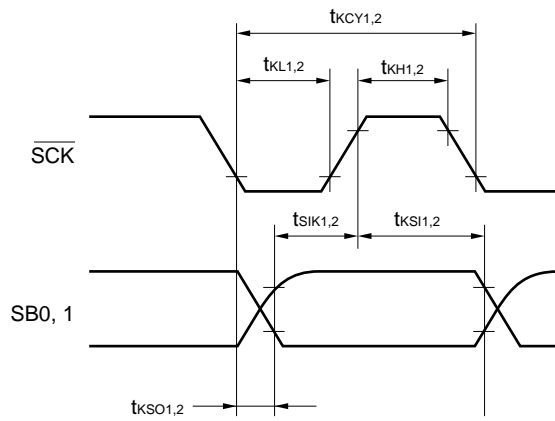


シリアル転送タイミング

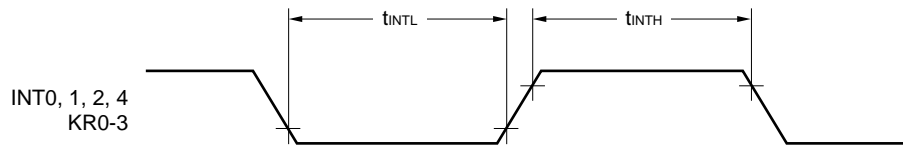
3線式シリアル/Oモード



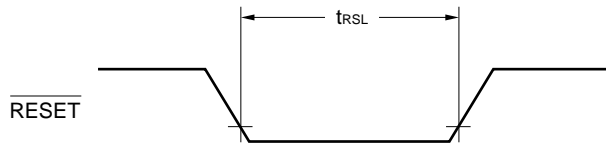
2線式シリアル/Oモード



割り込み入力タイミング



RESET入力タイミング



データ・メモリSTOPモード低電源電圧データ保持特性 (TA = -40 ~ +85)

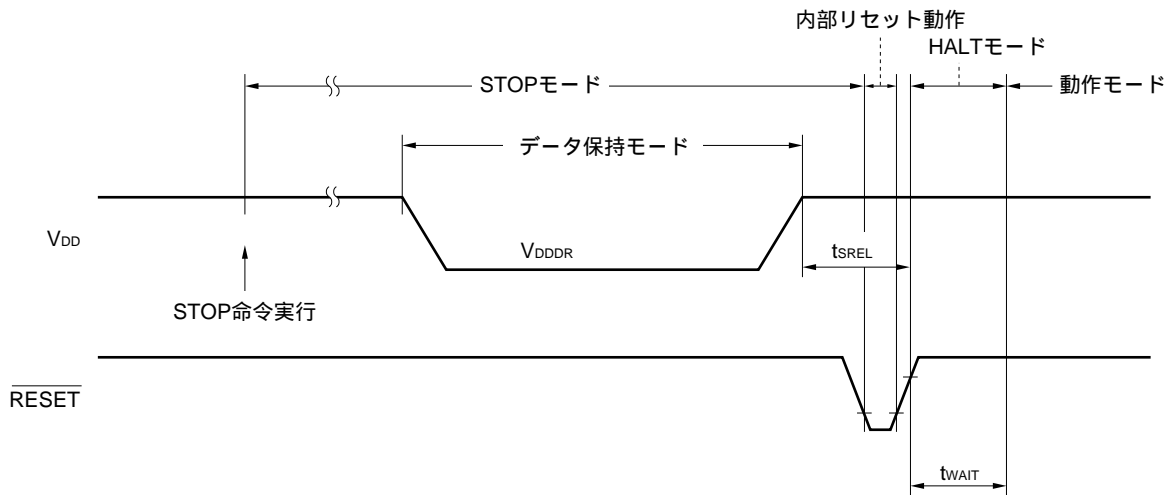
項目	略号	条件	MIN.	TYP.	MAX.	単位
リリース信号セット時間	tsREL		0			μs
発振安定ウエイト時間 ^{注1}	tWAIT	RESETによる解除		2 ¹⁵ /fx		ms
		割り込み要求による解除		注2		ms

注1．発振安定ウエイト時間は、発振開始時の不安定な動作を防ぐため、CPUの動作を停止しておく時間です。

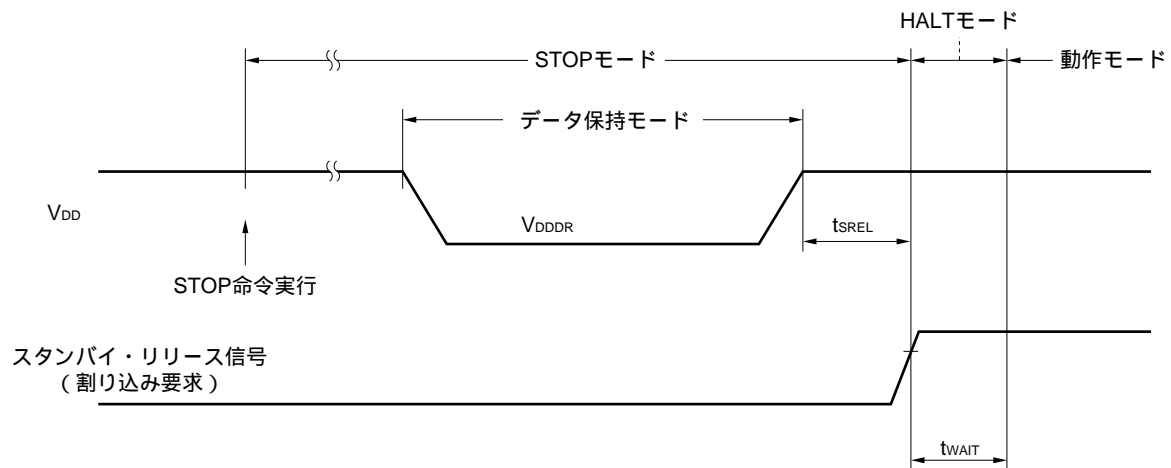
2．ベーシック・インターバル・タイマ・モード・レジスタ (BTM) の設定によります。(下表)

BTM3	BTM2	BTM1	BTM0	ウエイト時間	
				fx = 4.19 MHz時	fx = 6.0 MHz時
-	0	0	0	2 ²⁰ /fx (約250 ms)	2 ²⁰ /fx (約175 ms)
-	0	1	1	2 ¹⁷ /fx (約31.3 ms)	2 ¹⁷ /fx (約21.8 ms)
-	1	0	1	2 ¹⁵ /fx (約7.81 ms)	2 ¹⁵ /fx (約5.46 ms)
-	1	1	1	2 ¹³ /fx (約1.95 ms)	2 ¹³ /fx (約1.37 ms)

データ保持タイミング (RESETによるSTOPモード解除)



データ保持タイミング (スタンバイ・リリース信号：割り込み信号によるSTOPモード解除)



DCプログラミング特性 (TA = 25 ± 5 , VDD = 6.0 ± 0.25 V, VPP = 12.5 ± 0.3 V, VSS = 0 V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ハイ・レベル入力電圧	VIH1	X1, X2以外	0.7 VDD		VDD	V
	VIH2	X1, X2	VDD - 0.5		VDD	V
ロウ・レベル入力電圧	VIL1	X1, X2以外	0		0.3 VDD	V
	VIL2	X1, X2	0		0.4	V
入力リーク電流	I _{LI}	V _{IN} = V _{IL} or V _{IH}			10	μA
ハイ・レベル出力電圧	VOH	I _{OH} = - 1 mA	VDD - 1.0			V
ロウ・レベル出力電圧	VOL	I _{OL} = 1.6 mA			0.4	V
VDD電源電流	IDD				30	mA
VPP電源電流	I _{PP}	MD0 = V _{IL} , MD1 = V _{IH}			30	mA

注意 1 . VPPはオーバシュートを含めて + 13.5 V以上にならないようにしてください。

2 . VDDはVPPより前に印加し, VPPのあとから切断するようにしてください。

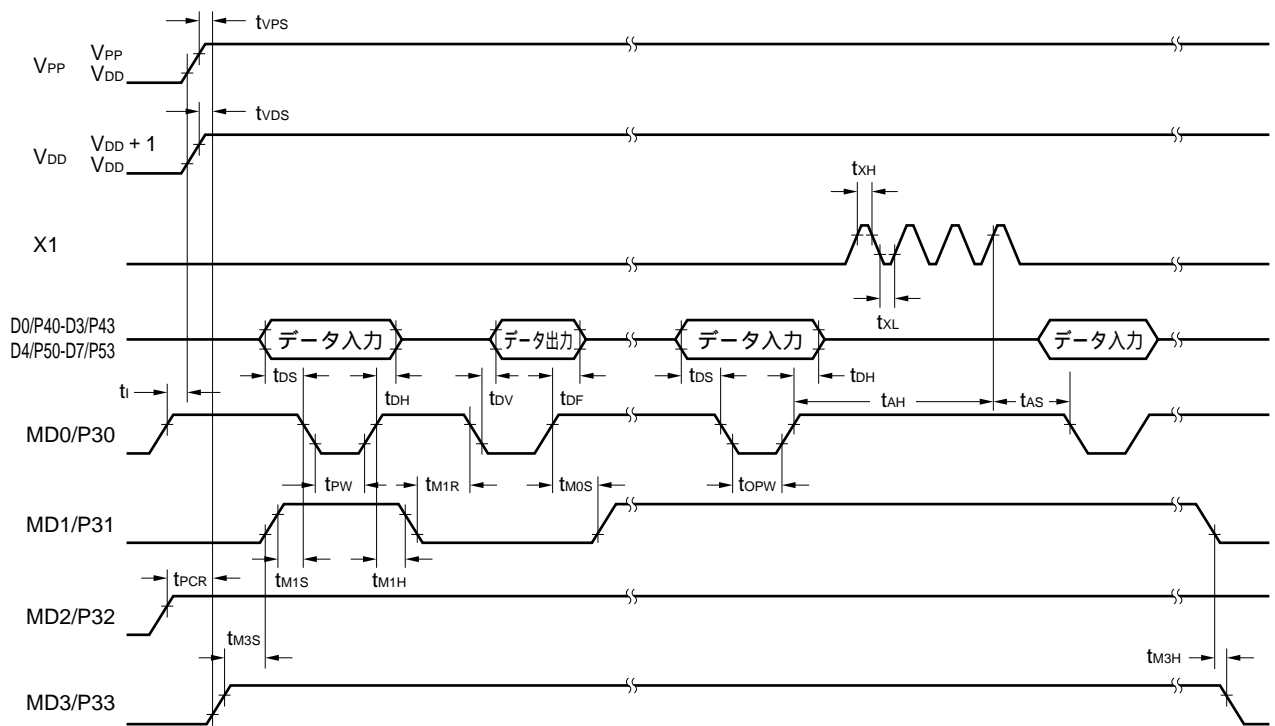
ACプログラミング特性 (TA = 25 ± 5 , VDD = 6.0 ± 0.25 V, VPP = 12.5 ± 0.3 V, VSS = 0 V)

項 目	略 号	注 1	条 件	MIN.	TYP.	MAX.	単 位
アドレス・セットアップ時間 ^{注2} (対MD0)	tAS	tAS		2			μs
MD1セットアップ時間 (対MD0)	tM1S	toES		2			μs
データ・セットアップ時間(対MD0)	tDS	tDS		2			μs
アドレス・ホールド時間 ^{注2} (対MD0)	tAH	tAH		2			μs
データ・ホールド時間 (対MD0)	tDH	tDH		2			μs
MD0 データ出力フロート遅延時間	tDF	tDF		0		130	ns
VPPセットアップ時間 (対MD3)	tVPS	tVPS		2			μs
VDDセットアップ時間 (対MD3)	tVDS	tVCS		2			μs
初期プログラム・パルス幅	tPW	tPW		0.95	1.0	1.05	ms
追加プログラム・パルス幅	tOPW	tOPW		0.95		21.0	ms
MD0セットアップ時間 (対MD1)	tM0S	tCES		2			μs
MD0 データ出力遅延時間	tDV	tDV	MD0 = MD1 = V _{IL}			1	μs
MD1ホールド時間 (対MD0)	tM1H	toEH	tM1H + tM1R 50 μs	2			μs
MD1回復時間 (対MD0)	tM1R	toR		2			μs
プログラム・カウンタ・リセット時間	tPCR	-		10			μs
X1入力ハイ, ロウ・レベル幅	tXH, tXL	-		0.125			μs
X1入力周波数	fX	-				4.19	MHz
イニシャル・モード・セット時間	tI	-		2			μs
MD3セットアップ時間 (対MD1)	tM3S	-		2			μs
MD3ホールド時間 (対MD1)	tM3H	-		2			μs
MD3セットアップ時間 (対MD0)	tM3SR	-	プログラム・メモリ読み出し時	2			μs
アドレス ^{注2} データ出力遅延時間	tDAD	tACC	"			2	μs
アドレス ^{注2} データ出力ホールド時間	tHAD	toH	"	0		130	μs
MD3ホールド時間 (対MD0)	tM3HR	-	"	2			μs
MD3 データ出力フロート遅延時間	tDFR	-	"			2	μs

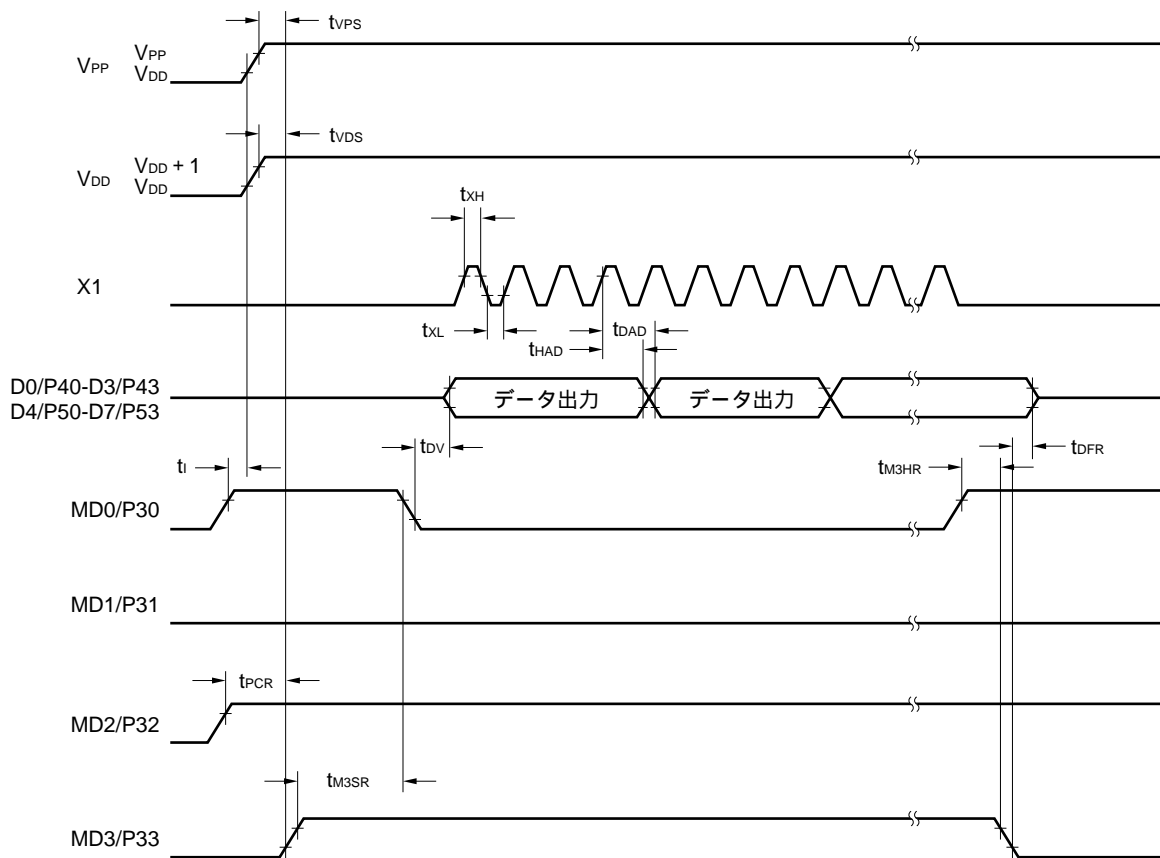
注 1 . 対応する μPD27C256Aの略号です。

2 . 内部アドレス信号は 4 発目のX1入力立ち上がりで + 1 され, 端子には接続されていません。

プログラム・メモリ書き込みタイミング



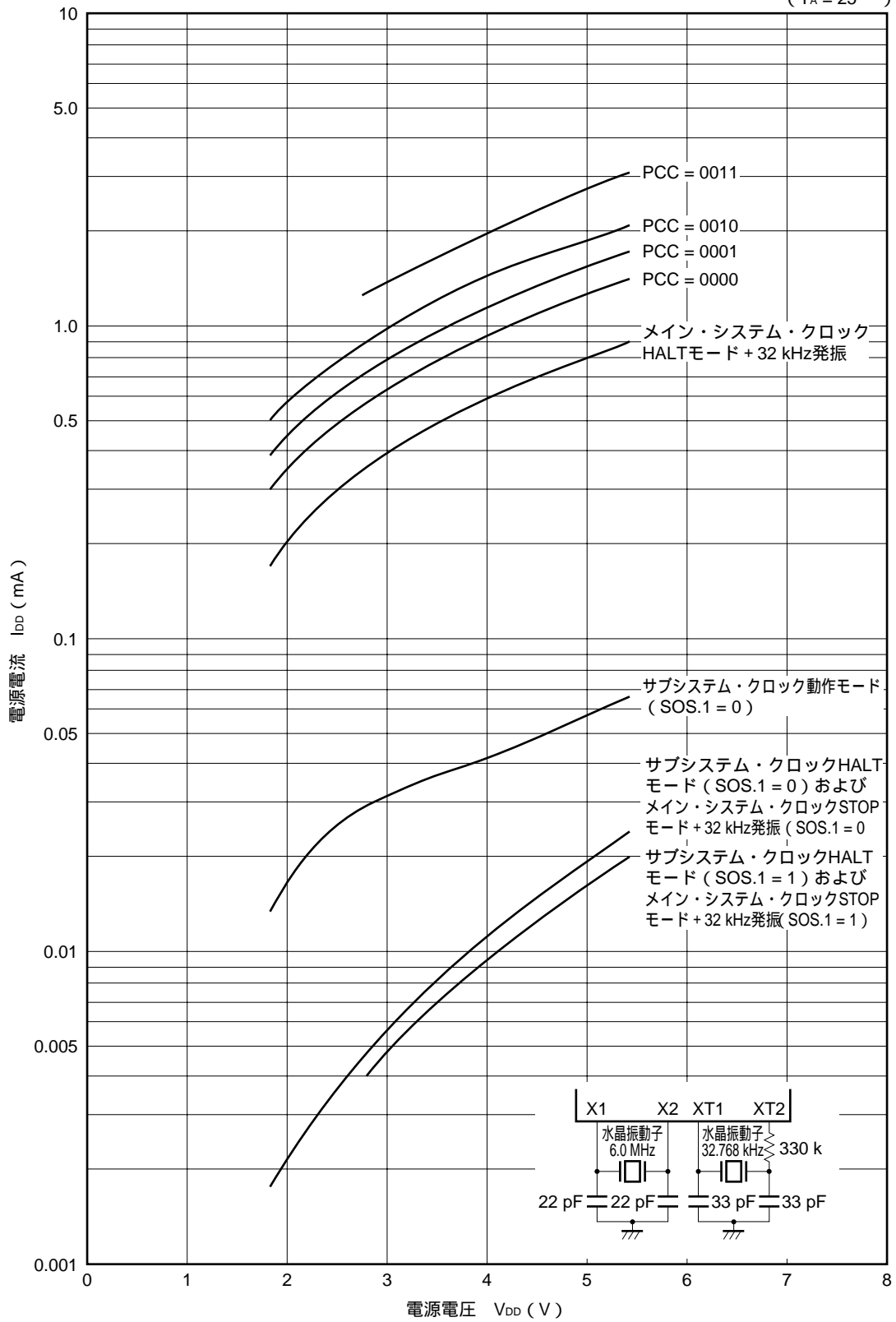
プログラム・メモリ読み出しタイミング



10. 特性曲線 (参考値)

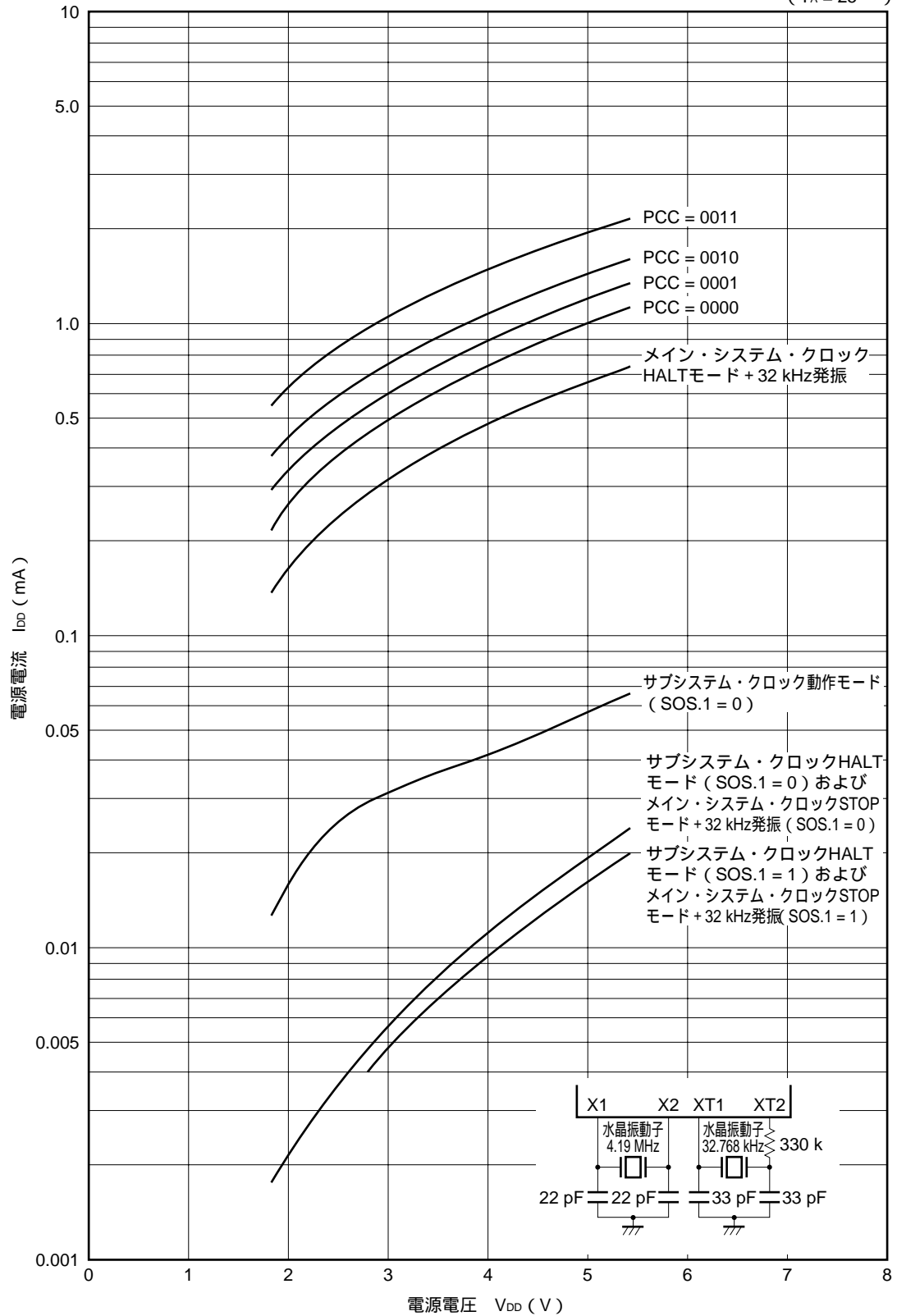
I_{DD} vs V_{DD} (メイン・システム・クロック : 6.0 MHz水晶振動子)

(T_A = 25)



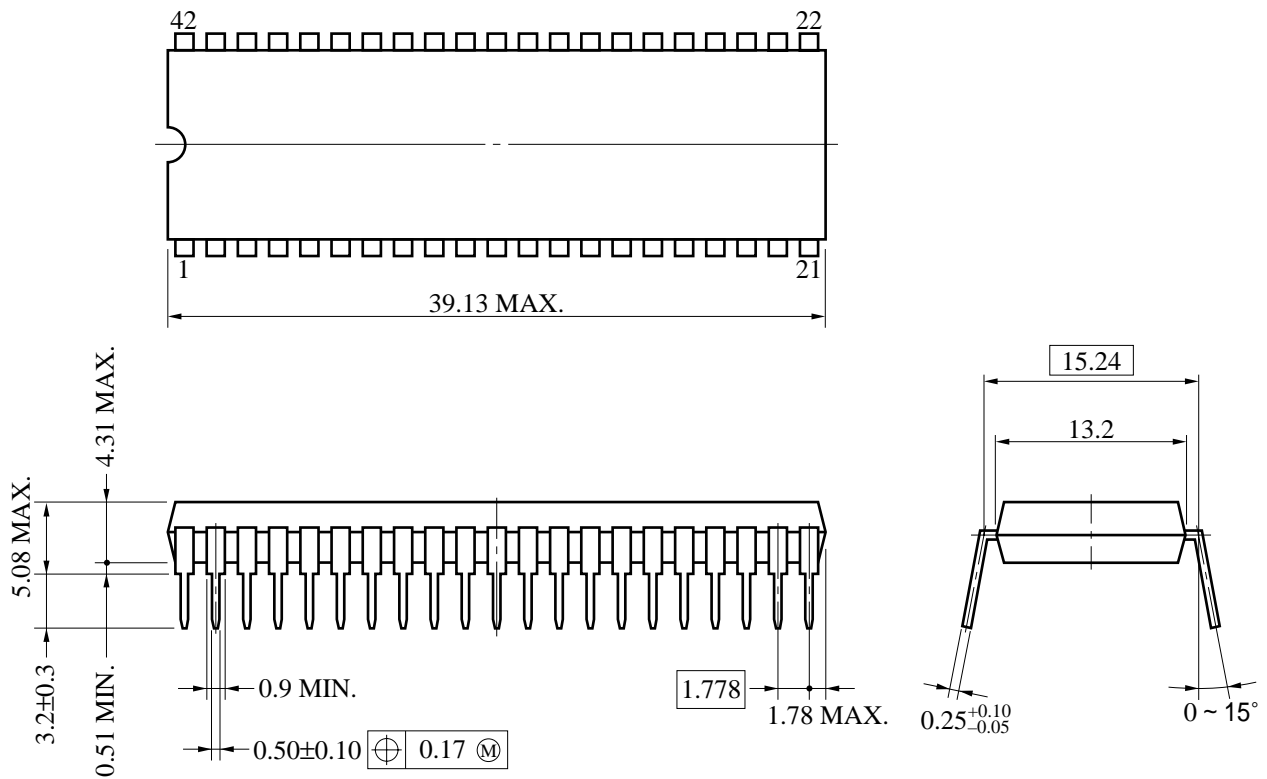
I_{DD} vs V_{DD} (メイン・システム・クロック : 4.19 MHz水晶振動子)

(T_A = 25)



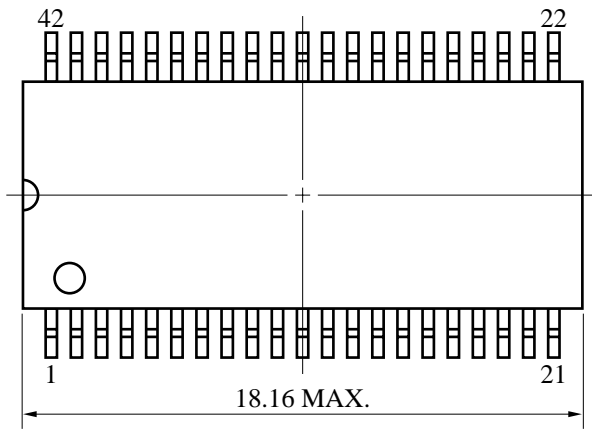
11. 外形図

42ピン・プラスチック・シュリンク DIP (600 mil) 外形図 (単位: mm)

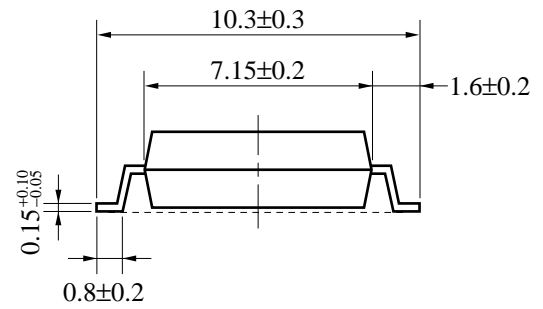
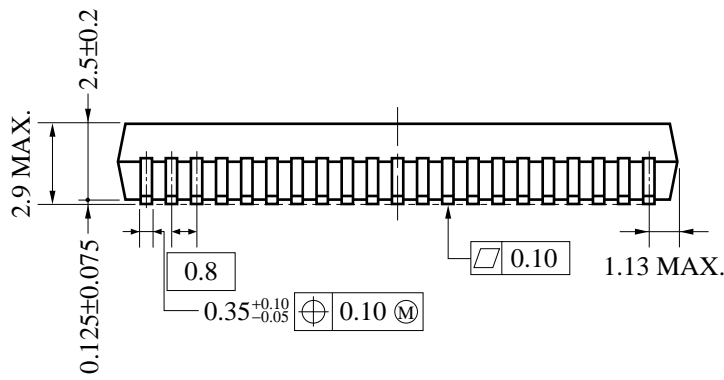
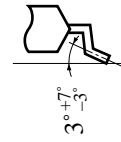


P42C-70-600A-1

42ピン・プラスチック・シュリンク SOP (375 mil) 外形図 (単位 : mm)



端子先端形状詳細図



S42GT-80-375B-1

12. 半田付け推奨条件

μPD75P0076の半田付け実装は、次の推奨条件で実施してください。
半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」 (<http://www.necel.com/pkg/ja/jissou/index.html>)

表12 - 1 表面実装タイプの半田付け条件

(1) μPD75P0076GT : 42ピン・プラスチック・シュリンクSOP (375 mil, 0.8 mmピッチ)

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 ，時間：30秒以内（210 以上），回数：2回以内	IR35-00-2
VPS	パッケージ・ピーク温度：215 ，時間：40秒以内（200 以上），回数：2回以内	VP15-00-2
ウェーブ・ソルダリング	半田槽温度：260 以下，時間：10秒以内，回数：1回 予備加熱温度：120 MAX.（パッケージ表面温度）	WS60-00-1
端子部分加熱	端子温度：350 以下，時間3秒以内（デバイスの一辺当たり）	-

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱は除く）。

備考 推奨条件以外の半田付け方式および半田付け条件については，当社販売員にお問い合わせください。

(2) μPD75P0076GT-A : 42ピン・プラスチック・シュリンクSOP (375 mil, 0.8 mmピッチ)

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260 ，時間：60秒以内（220 以上），回数：3回以内 制限日数：7日間 ^注 （以降は125 プリバーク20～72時間必要） 留意事項 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR60-207-3
ウェーブ・ソルダリング	詳細については，当社販売員にお問い合わせください。	-
端子部分加熱	端子温度：350 以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライパック開封後の保管日数で，保管条件は25 ，65%RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱は除く）。

備考 1. オーダ名称末尾「-A」の製品は，鉛フリー製品です。

2. 推奨条件以外の半田付け方式および半田付け条件については，当社販売員にお問い合わせください。

表12 - 2 挿入タイプの半田付け条件

μPD75P0076CU : 42ピン・プラスチック・シュリンクDIP (600 mil, 1.778 mmピッチ)

μPD75P0076CU-A : "

半田付け方式	半田付け条件
ウエーブ・ソルダリング (端子のみ)	半田槽温度: 260 以下, 時間: 10秒以内
端子部分加熱	端子温度: 300 以下, 時間: 3秒以内 (1端子当たり)

注意 ウエーブ・ソルダリングは端子のみとし、噴流半田が直接本体に接触しないようにしてください。

備考 1 . オータ名称末尾「-A」の製品は、鉛フリー製品です。

2 . 推奨条件以外の半田付け方式および半田付け条件については、当社販売員にお問い合わせください。

付録A . μPD75068, 750068, 75P0076の機能比較一覧表

項 目		μPD75068	μPD750068	μPD75P0076
プログラム・メモリ		マスクROM 0000H-1F7FH (8064 × 8 ビット)	マスクROM 0000H-1FFFH (8192 × 8 ビット)	ワン・タイムPROM 0000H-3FFFH (16384 × 8 ビット)
データ・メモリ		000H-1FFH (512 × 4 ビット)		
CPU		75X Standard CPU	75XL CPU	
汎用レジスタ		4 ビット × 8 または 8 ビット × 4	(4 ビット × 8 または 8 ビット × 4) × 4 バンク	
命令実行時間	メイン・システム・クロック 選択時	0.95, 1.91, 15.3 μs (4.19 MHz動作時)	・0.67, 1.33, 2.67, 10.7 μs (6.0 MHz動作時) ・0.95, 1.91, 3.81, 15.3 μs (4.19 MHz動作時)	
	サブシステム・クロック 選択時	122 μs (32.768 kHz動作時)		
入出力ポート	CMOS入力	12本 (ソフトウェアにより内蔵プルアップ抵抗の接続を指定可能: 7本)		
	CMOS入出力	12本 (ソフトウェアにより内蔵プルアップ抵抗の接続を指定可能)		
	N-chオープン・ドレイン入出力	8本 (マスク・オプションによるプルアップ抵抗内蔵可能) 10 V耐圧	8本 (マスク・オプションによるプルアップ抵抗内蔵可能) 13 V耐圧	8本 (マスク・オプションなし) 13 V耐圧
	合計	32本		
タイマ		3チャンネル ・8ビット・タイマ/イベント・カウンタ ・8ビット・ベーシック・インターバル・タイマ ・時計用タイマ	4チャンネル ・8ビット・タイマ/イベント・カウンタ0 (時計用タイマ出力追加) ・8ビット・タイマ/イベント・カウンタ1 (16ビット・タイマ/イベント・カウンタとして使用可能) ・8ビット・ベーシック・インターバル・タイマ/ウォッチドッグ・タイマ ・時計用タイマ	
A/Dコンバータ		・8ビット分解能 × 8チャンネル (逐次比較型) ・V _{DD} = 2.7 Vから動作可能	・8ビット分解能 × 8チャンネル (逐次比較型) ・V _{DD} = 1.8 Vから動作可能	
クロック出力 (PCL)		, 524, 262, 65.5 kHz (メイン・システム・クロック: 4.19 MHz動作時)	, 1.05 MHz, 262 kHz, 65.5 kHz (メイン・システム・クロック: 4.19 MHz動作時) , 1.5 MHz, 375 kHz, 93.8 kHz (メイン・システム・クロック: 6.0 MHz動作時)	
ブザー出力 (BUZ)		2, 4, 32 kHz (メイン・システム・クロック: 4.19 MHz動作時またはサブシステム・クロック: 32.768 kHz動作時)	・2, 4, 32 kHz (メイン・システム・クロック: 4.19 MHz動作時またはサブシステム・クロック: 32.768 kHz動作時) ・2.93, 5.86, 46.9 kHz (メイン・システム・クロック: 6.0 MHz動作時)	

項 目	μPD75068	μPD750068	μPD75P0076
シリアル・インタフェース	3種類のモードに対応可能 ・ 3線式シリアルI/Oモード ...MSB/LSB先頭切り替え可能 ・ 2線式シリアルI/Oモード ・ SBIモード	2種類のモードに対応可能 ・ 3線式シリアルI/Oモード...MSB/LSB先頭切り替え可能 ・ 2線式シリアルI/Oモード	
ベクタ割り込み	外部：3本，内部：3本	外部：3本，内部：4本	
テスト入力	外部：1本，内部：1本		
電源電圧	V _{DD} = 2.7 ~ 6.0 V	V _{DD} = 1.8 ~ 5.5 V	
動作周囲温度	T _A = - 40 ~ + 85		
パッケージ	・ 42ピン・プラスチック・ シュリンクDIP (600 mil) ・ 44ピン・プラスチックQFP (10 mm)	・ 42ピン・プラスチック・シュリンクDIP (600 mil, 1.778 mmピッチ) ・ 42ピン・プラスチック・シュリンクSOP (375 mil, 0.8 mmピッチ)	

付録B．開発ツール

μPD75P0076を使用するシステム開発のために次のような開発ツールを用意しております。75XLシリーズでは、シリーズ共通のリロケータブル・アセンブラを品種ごとのデバイス・ファイルと組み合わせて使用します。

RA75X リロケータブル・ アセンブラ	ホスト・マシン			オーダ名称（品名）
		OS	供給媒体	
PC-9800シリーズ		MS-DOS™ { Ver.3.30 } Ver.6.2 ^注	3.5インチ2HD	μ S5A13RA75X
			5インチ2HD	μ S5A10RA75X
IBM PC/AT™ およびその互換機		「IBM PC用のOSについて」参照	3.5インチ2HC	μ S7B13RA75X
			5インチ2HC	μ S7B10RA75X

デバイス・ファイル	ホスト・マシン			オーダ名称（品名）
		OS	供給媒体	
PC-9800シリーズ		MS-DOS { Ver.3.30 } Ver.6.2 ^注	3.5インチ2HD	μ S5A13DF750068
			5インチ2HD	μ S5A10DF750068
IBM PC/AT およびその互換機		「IBM PC用のOSについて」参照	3.5インチ2HC	μ S7B13DF750068
			5インチ2HC	μ S7B10DF750068

注 Ver.5.00以降にはタスク・スワップ機能がありますが、このソフトウェアではタスク・スワップ機能は使用できません。

備考 アセンブラ、およびデバイス・ファイルの動作は、上記のホスト・マシンとOS上でのみ保証されます。

PROM書き込み用ツール

ハードウェア	PG-1500	付属のボードおよび別売りのプログラマ・アダプタを接続することにより、PROM内蔵のシングルチップ・マイクロコンピュータをスタンド・アロンまたは、ホスト・マシンからの操作によりプログラミングできるPROMプログラマです。 また、256 Kビットから4 Mビットまでの代表的なPROMをプログラミングすることもできます。			
	PA-75P0076CU	μPD75P0076CU, 75P0076GT用の専用PROMプログラマ・アダプタで、PG-1500に接続して使用します。			
ソフトウェア	PG-1500 コントローラ	PG-1500とホスト・マシンをシリアルおよびパラレル・インタフェースで接続し、ホスト・マシン上でPG-1500を制御します。			
		ホスト・マシン	OS	供給媒体	オーダ名称 (品名)
		PC-9800シリーズ	MS-DOS (Ver.3.30) } (Ver.6.2 ^注)	3.5インチ2HD	μ S5A13PG1500
				5インチ2HD	μ S5A10PG1500
		IBM PC/AT およびその互換機	「IBM PC用のOSについて」参照	3.5インチ2HD	μ S7B13PG1500
5インチ2HC	μ S7B10PG1500				

注 Ver.5.00以降にはタスク・スワップ機能がありますが、このソフトウェアではタスク・スワップ機能は使用できません。

備考 PG-1500コントローラの動作は、上記のホスト・マシンとOS上でのみ保証されます。

ディバグ用ツール

μPD75P0076のプログラム・ディバグ用ツールとしてインサーキット・エミュレータ (IE-75000-R, IE-75001-R) を用意しています。

それぞれのシステム構成を次に示します。

ハードウェア	IE-75000-R ^{注1}	IE-75000-Rは、75Xシリーズ、75XLシリーズを使用する応用システムを開発する際に、ハードウェア、ソフトウェアのディバグを行うためのインサーキット・エミュレータです。μPD750068サブシリーズを開発する場合、IE-75000-Rと別売りのエミュレーション・ボードIE-75300-R-EM、およびエミュレーション・プローブを組み合わせ使用します。 ホスト・マシン、PROMプログラマと接続して効率的にディバグを行うことができます。 なお、IE-75000-R内にはエミュレーション・ボードIE-75000-R-EMが含まれており、接続されています。			
	IE-75001-R	IE-75001-Rは、75Xシリーズ、75XLシリーズを使用する応用システムを開発する際に、ハードウェア、ソフトウェアのディバグを行うためのインサーキット・エミュレータです。 別売りのエミュレーション・ボードIE-75300-R-EM、およびエミュレーション・プローブと組み合わせ使用します。 ホスト・マシン、PROMプログラマを接続して効率的にディバグを行うことができます。			
	IE-75300-R-EM	μPD750068サブシリーズを使用する応用システムの評価を行うためのエミュレーション・ボードです。 IE-75000-RまたはIE-75001-Rと組み合わせ使用します。			
	EP-750068CU-R	μPD75P0076CU用エミュレーション・プローブです。 IE-75000-RまたはIE-75001-Rと、IE-75300-R-EMに接続して使用します。			
	EP-750068GT-R	μPD75P0076GT用エミュレーション・プローブです。 IE-75000-RまたはIE-75001-Rと、IE-75300-R-EMに接続して使用します。			
	EV-9500GT-42	ターゲット・システムの接続を容易にするフレキシブル基板EV-9500GT-42を添付しています。			
ソフトウェア	IEコントロール・プログラム	IE-75000-RまたはIE-75001-Rとホスト・マシンをRS-232-C、およびセントロニクスI/Fで接続し、ホスト・マシン上でIE-75000-RまたはIE-75001-Rを制御します。			
		ホスト・マシン	OS	供給媒体	オーダ名称 (品名)
		PC-9800シリーズ	MS-DOS Ver.3.30 } Ver.6.2 ^{注2}	3.5インチ2HD	μS5A13IE75X
				5インチ2HD	μS5A10IE75X
		IBM PC/AT およびその互換機	「IBM PC用のOSについて」参照	3.5インチ2HC	μS7B13IE75X
	5インチ2HC			μS7B10IE75X	

注1．保守品です。

- 2．Ver.5.00以降にはタスク・スワップ機能がありますが、このソフトウェアではタスク・スワップ機能は使用できません。

備考1．IEコントロール・プログラムの動作は、上記のホスト・マシンとOS上でのみ保証されます。

- 2．μPD750064, 750066, 750068, 75P0076を総称してμPD750068サブシリーズといいます。

IBM PC用のOSについて

IBM PC用のOSとして、次のものがサポートされています。

OS	バージョン
PC DOS™	Ver.5.02 ~ Ver.6.3 J6.1/V ^注 ~ J6.3/V ^注
MS-DOS	Ver.5.0 ~ Ver.6.22 5.0/V ^注 ~ 6.2/V ^注
IBM DOS™	J5.02/V ^注

注 英語モードのみサポートしています。

注意 Ver.5.0以降にはタスク・スワップ機能がありますが、このソフトウェアでは、タスク・スワップ機能は使用できません。

付録C . 関連資料

関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイス関連資料一覧

資料名	資料番号	
	和文	英文
μPD750064, 750066, 750068, 750064(A), 750066(A), 750068(A) データ・シート	U10165J	U10165E ^注
μPD75P0076 データ・シート	U10232J(この資料)	U10232E ^注
μPD750068 ユーザーズ・マニュアル	U10670J	U10670E
μPD750068 インストラクション活用表	IEM-5606	-
75XLシリーズ セレクション・ガイド	U10453J	U10453E

注 ペーパー・マシン

開発ツール関連資料一覧

資料名	資料番号			
	和文	英文		
ハードウェア	IE-75000-R/IE-75001-R ユーザーズ・マニュアル	EEU-846	EEU-1416	
	IE-75300-R-EM ユーザーズ・マニュアル	U11354J	U11354E	
	EP-750068GT-R ユーザーズ・マニュアル	U10950J	U10950E	
	PG-1500 ユーザーズ・マニュアル	EEU-651	EEU-1335	
ソフトウェア	RA75X アセンブラ・パッケージ ユーザーズ・マニュアル	操作編	EEU-731	EEU-1346
		言語編	EEU-730	EEU-1363
	PG-1500 コントローラ ユーザーズ・マニュアル	PC-9800 シリーズ (MS-DOS) ベース	EEU-704	EEU-1291
		IBM PCシリーズ (PC DOS) ベース	EEU-5008	U10540E

その他の関連資料一覧

資料名	資料番号	
	和文	英文
IC PACKAGE MANUAL	C10943X	
半導体デバイス 実装マニュアル	C10535J	C10535E
NEC半導体デバイスの品質水準	C11531J	C11531E
NEC半導体デバイスの信頼性品質管理	C10983J	C10983E
静電気放電 (ESD) 試験について	MEM-539	-
半導体デバイスの品質保証ガイド	MEI-603	MEI-1202
マイクロコンピュータ関連製品ガイド 社外メーカ編	U11416J	-

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには必ず最新の資料をご使用ください。

[メ モ]

CMOSデバイスの一般的注意事項

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力がノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入口に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序 内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

MS-DOSは、米国マイクロソフト社の商標です。

IBM DOS, PC/AT, PC DOSは、米国IBM社の商標です。

- 本資料に記載されている内容は2005年8月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命、身体および財産に対する損害の危険を最小限度にするために、冗長設計、延焼対策設計、誤動作防止設計等安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

- (1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- (2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

【発行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

お問い合わせ先

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>**【営業関係、技術関係お問い合わせ先】**

半導体ホットライン

(電話：午前 9:00～12:00, 午後 1:00～5:00)

電話 : 044-435-9494

E-mail : info@necel.com**【資料請求先】**

NECエレクトロニクスのホームページよりダウンロードいただくか、NECエレクトロニクスの販売特約店へお申し付けください。