

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

4ビット・シングルチップ・マイクロコンピュータ

μ PD7566は、 μ PD7500シリーズの低位低価格機種で、ポート数を減らして小形パッケージを採用していますが、コンパレータ入力を内蔵しており、簡単な温度制御等に威力を発揮します。

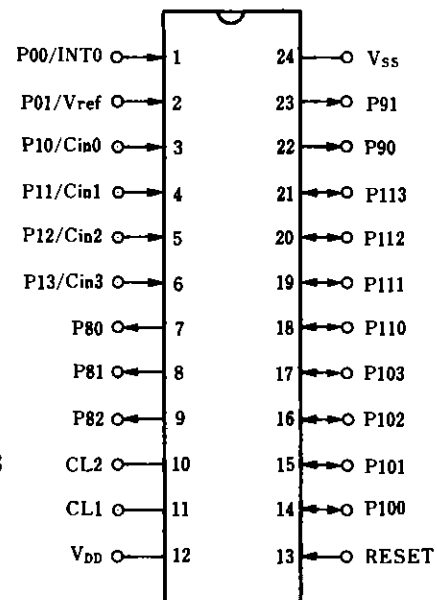
また、 μ PD7566は、トライアックやLEDを直接駆動可能な出力を備え、マスク・オプションによって各種入出力回路を選択できるなど、外部回路を大幅に節減できます。

エアコン・電子レンジ・冷蔵庫・炊飯器・洗濯機・カセット・デッキ・コントローラ等の制御に最適です。

特徴

- 45種のインストラクション
 - (μ PD7500H SETBのサブセット)
- インストラクション・サイクル
 - ・セラミック発振：2.86 μ s/700 kHz, 5 V
- プログラム・メモリ (ROM) 容量：1024 \times 8ビット
- データ・メモリ (RAM) 容量：64 \times 4ビット
- テスト・ソース：外部1, 内部1
- 8ビット・タイマ/イベント・カウンタ
- 19 I/Oライン (全端子出力合計電流：100 mA)
 - ・トライアック, LEDを直接駆動 (5本)：P80-P82, P90-91
 - ・LEDを直接駆動 (8本)：P100-P103, P110-P113
 - ・コンパレータ入力 (4本)：P10/Cin 0 - P13/Cin 3
 - ・すべてのポートにマスク・オプション機能あり
- スタンバイ (STOP/HALT) 機能
- データメモリの低電源電圧保持機能
- システム・クロック用セラミック発振回路内蔵
- CMOS
- 低消費電力
- 単一電源 (2.7~6.0 V)

端子接続図 (Top View)



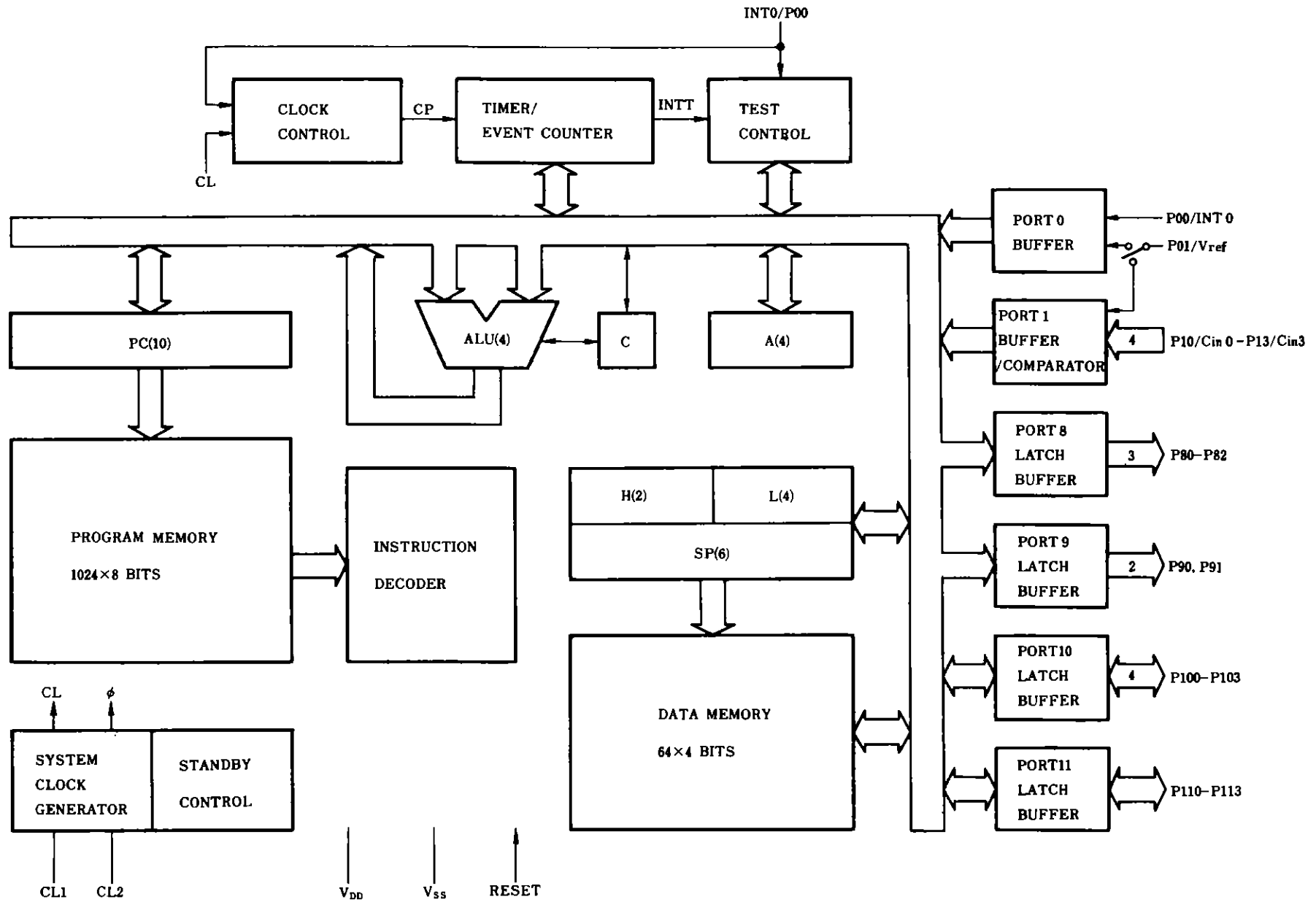
オーダ情報★

オーダ名称	パッケージ
μ PD7566CS- $\times\times\times$	24ピン・プラスチック・シュリンク DIP (300 mil)
μ PD7566G- $\times\times\times$	24ピン・プラスチック SOP (300 mil)

注意 発注の際は必ず、マスク・オプションを指定してください。

本資料の内容は、後日変更する場合があります。

保守/廃止



目次

1. 端子機能	5
1.1 ポート機能	5
1.2 ポート以外の機能	5
1.3 端子のマスク・オプション	6
1.4 端子の入出力回路	6
1.5 μPD7566未使用端子の処理について	8
1.6 入出力ポート動作	9
2. 内部ブロック機能	11
2.1 プログラム・カウンタ(PC)	11
2.2 スタック・ポインタ(SP)	11
2.3 プログラム・メモリ(ROM)	12
2.4 汎用レジスタ	12
2.5 データ・メモリ(RAM)	13
2.6 アキュムレータ(A)	14
2.7 演算論理ユニット(ALU)	14
2.8 プログラム・ステータス・ワード(PSW)	14
2.9 システム・クロック発生回路	15
2.10 クロック制御回路	16
2.11 タイマ/イベント・カウンタ	17
2.12 テスト・コントロール回路	18
3. スタンバイ機能	19
3.1 STOPモード	19
3.2 HALTモード	19
3.3 RESET入力によるSTOPモードの解除	19
3.4 テスト・リクエスト・フラグによるHALTモードの解除	20
3.5 RESET入力によるHALTモードの解除	20

4. リセット機能	21
4.1 イニシャライズ内容	21
4.2 パワー・オン・リセット回路	21
5. μPD7566命令セット	22
6. μPD7566電気的特性	27
7. 特性曲線	33
8. μPD7566応用回路	35
9. 外形図	40
10. SOPの推奨実装パターン（単位：mm）	44
11. SOPのはんだ付け方法	45
12. ファミリ製品リスト	46
付録 開発ツール	47

1. 端子機能

1.1 ポート機能

端子名称	入出力	兼用端子	機 能	RESET時	入出力回路 Type
P00	入 力	INT 0	2ビット入力ポート (PORT 0)	入 力	S
P01		Vref	P00はカウント・クロック(イベント・パルス)入力を兼用		T
P10-P13	入 力	Cin0-Cin3	4ビット入力ポート (PORT 1)	入 力	U
P80-P82	出 力	-	3ビット出力ポート (PORT 8) 大電流 (15 mA), 中耐圧 (12 V) 出力	ハイ・イン ピーダンス	O
P90, P91	出 力	-	2ビット出力ポート (PORT 9) 大電流 (15 mA), 中耐圧 (12 V) 出力		
P100-P103	入出力	-	4ビット入出力ポート (PORT10) 中電流 (10 mA), 中耐圧 (12 V) 入出力	ハイ・イン ピーダンス or ハイ・レベル 出力	P
P110-P113	入出力	-	4ビット入出力ポート (PORT11) 中電流 (10 mA), 中耐圧 (12 V) 入出力		

1.2 ポート以外の機能

端子名称	入出力	兼用端子	機 能	RESET時	入出力回路 Type
INT 0	入 力	P00	エッジ検出テスト入力端子 (立ち上がりエッジ)	入 力	S
Vref	入 力	P01	コンパレータ基準電圧入力端子 (P01として使用するかVrefとして使用するかをマスク ・オプションで指定)	入 力	T
Cin0-Cin3	入 力	P10-P13	4ビット・コンパレータ入力端子 (P10-P13(デジタル入力)として使用するか, Cin0-Cin3 (コンパレータ入力)として使用するかをビットごとにマ スク・オプション指定)	入 力	U
CL 1			セラミック発振用のセラミック発振子接続端子。		
CL 2					
RESET			システム・リセット入力端子。 (ハイ・レベル・アクティブ) マスク・オプションでプルダウン抵抗を内蔵可能。		R
V _{DD}			正電源端子		
V _{SS}			GND電位端子		

1.3 端子のマスク・オプション

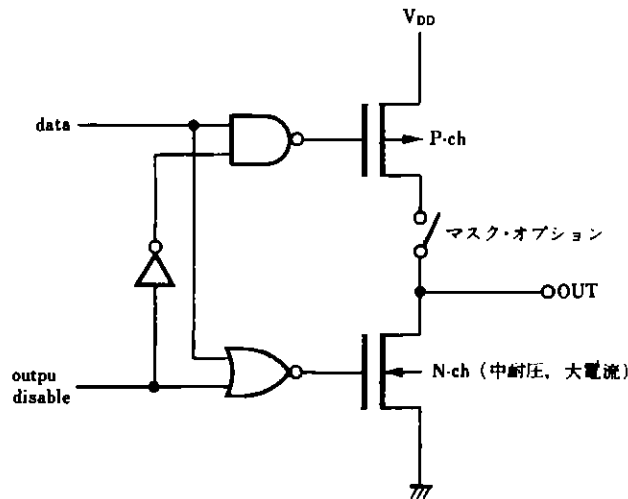
各端子には、次のようなマスク・オプションがあり、目的に応じて、ビットごとに選択できます。

端子名称	マスク・オプション
P00	① 内蔵抵抗なし ② プルアップ抵抗内蔵 ③ プルダウン抵抗内蔵
P01/Vref	① 内蔵抵抗なし ② プルアップ抵抗内蔵 ③ プルダウン抵抗内蔵 ④ Vref として使用 ① Vref へおV _{DD} の内部バイアスを与える。 ② 内部バイアスを与えない。
P10/Cin0-P13/Cin3	① 内蔵抵抗なし。② プルアップ抵抗内蔵 ③ プルダウン抵抗内蔵 ④ コンパレータ入力
P80-P82, P90, P91	① CMOS (プッシュプル) 出力 ② N-ch オープン・ドレイン出力
P100-P103 P110-P113	① N-ch オープン・ドレイン入出力 ② CMOS (プッシュプル) 入出力 ③ N-ch オープン・ドレイン+プルアップ抵抗内蔵入出力
RESET	① プルダウン抵抗を内蔵する ② プルダウン抵抗を内蔵しない

1.4 端子の入出力回路

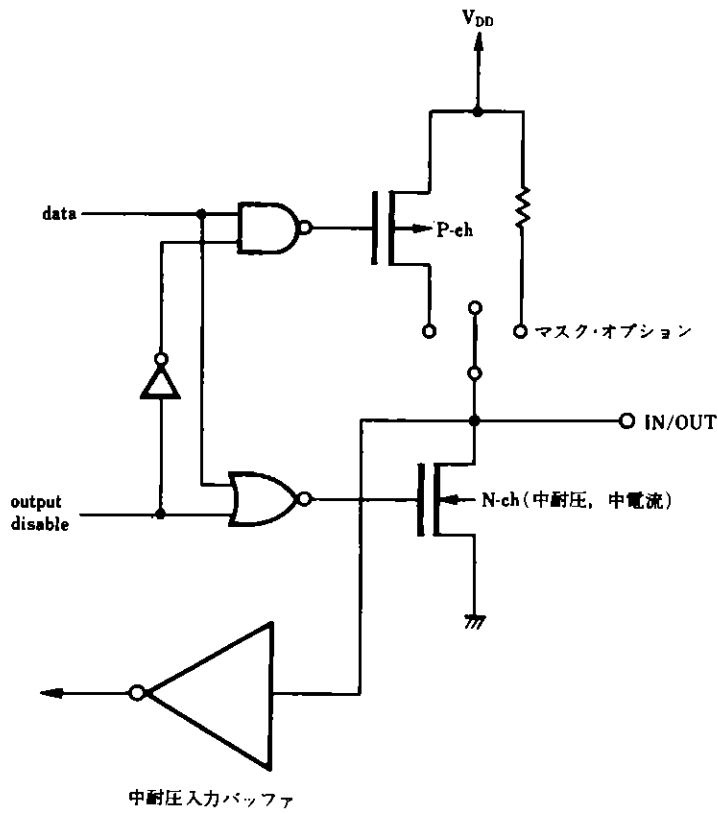
μPD7566の各端子の入出力回路を一部簡略した形式を用いて示します。

(1) Type O

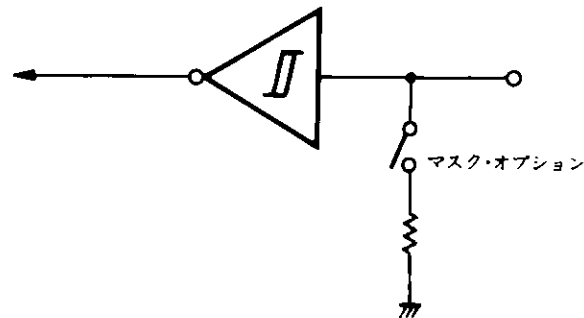


保守/廃止

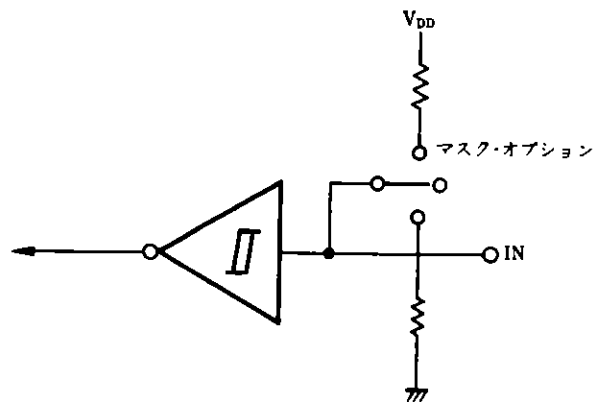
(2) Type P



(3) Type R

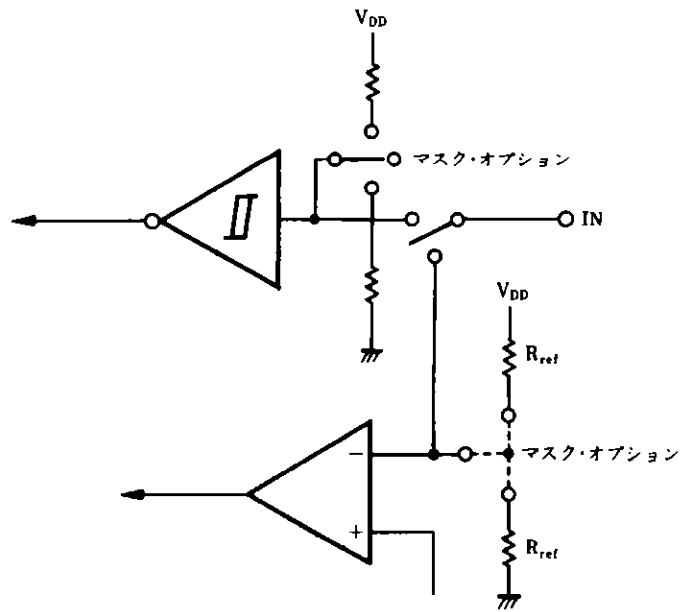


(4) Type S

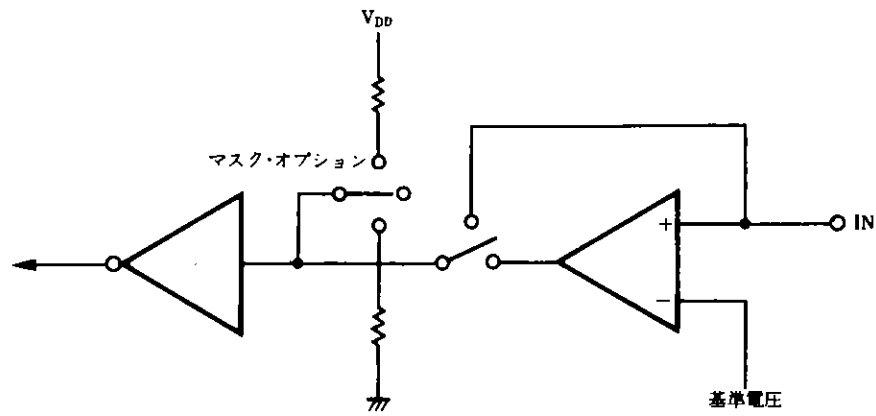


保守/廃止

(5) Type T



(6) Type U



1.5 μPD7566未使用端子の処理について

端子	推奨接続方法
P00/INT0	V _{SS} に接続
P01/V _{ref}	V _{SS} またはV _{DD} に接続
P10-P13	
P80-P82	オープン
P90, P91	
P100-P103	入力状態: V _{SS} またはV _{DD} に接続
P110-P113	出力状態: オープン

1.6 入出力ポート動作

(1) P00, P01 (Port 0)

ポート0 (2ビット入力ポート) の2ビット入力端子ですが、ポート入力として動く以外に、P00はカウント・クロック入力またはテスタブル入力 (INT0), として、P01はコンパレータの基準電圧入力 (Vref) として用いられます。

P00をカウント・クロック入力として動作させるにはクロック・モード・レジスタのビット2, 1 (CM2,1) を "01" にセットします。(2.10 クロック制御回路参照)

P00をINT0として動作させるには、SM3を "1" にセットします。

P01/Vrefをコンパレータの基準電圧入力端子として使用する場合は、マスク・オプションで指定します。この場合P01入力端子としての機能はなくなります。

ポート入力命令 (IPL, L=0) を実行することによって、いつでもP00, P01ライン上のデータをアキュムレータ (A0, A1) にロードすることができます。

(2) P10/Cin 0- P13/Cin 3 (PORT 1)

ポート1 (4ビット入力ポート) の4ビット入力端子ですが、マスク・オプションによってコンパレータ入力としてアナログ電圧を入力することができます。

ポート1をコンパレータ入力として使用するには、マスク・オプションでコンパレータを選択し、ポート入力命令 (IPL, L=1) を実行することによって行ないます。コンパレータの選択はビット毎に指定できます。

コンパレータ入力として選択された端子に入力されるアナログ電圧は常に基準電圧と比較されていますが、この比較には最大3マシンサイクル必要です。従ってポート出力によりVref端子へ印加する電圧を変化させ、抵抗ラダーによるA/Dコンバータを構成する場合にはポート出力命令 (OPL) 実行に続く3マシンサイクルのウェイト後入力命令 (IPL, L=1) を実行して比較結果を得るようにして下さい。

また、比較結果を入力するIPL命令 (L=1) に先行する3マシン・サイクルの間に出力命令を実行すると、コンパレータの精度が得られなくなるおそれがありますので、IPLの直前の3マシン・サイクル間はOPL命令を実行しないようにして下さい。

```
例)  LHLI    0AH ; L=10
      OPL          ; ポート10出力 (Vref 変更)
      NOP
      NOP
      LHLI    1  ; L=1
      IPL          ; 比較結果入力
```

(3) P80- P82 (Port 8), P90-P91 (Port 9)

P80-P82はポート8 (出力ラッチ付き出力ポート) の3ビット出力端子、P90-P91はポート9 (出力ラッチ付き出力ポート) の2ビット出力端子です。

ポート出力命令 (OPL, L=8またはL=9) によってアキュムレータの内容が出力ラッチにラッチされ、同時にP80-P82, P90-P91端子に出力されます。

P80-P82, P90-P91は、SPBL, RPBL命令によってビット単位にセット、リセット可能です。

P80-P82は、CMOS(プッシュプル)出力かN-chオープン・ドレイン出力かをマスク・オプションで選択できます。

N-chオープン・ドレイン出力では出力バッファが12Vの耐圧を持っていますので、電源電圧の異なる回路とのインタフェースに効果的です。

(4) P100 - P103 (Port10), P110 - P113 (Port 11) ……疑似双方向入出力

P100 - P103 はポート10 (出力ラッチ付き4ビット入出力ポート), P110 - P113 はポート11 (出力ラッチ付き4ビット入出力ポート) の4ビット入出力端子です。

ポート出力命令 (OPL, L=10またはL=11) によってアキュムレータの内容が出力ラッチにラッチされるのと同時に4ビット端子に出力されます。

一度出力ラッチに書き込まれたデータおよび出力バッファの状態は、次にポート10またはポート11を操作する出力命令が実行されるか、RESET入力があるまで保持されます。これらのポートに対して入力命令が実行されても出力ラッチおよび出力バッファの状態は変化しません。

P100 - P103, P110 - P113 はSPBL, RPBL 命令によってビット単位にセット, リセット可能です。

ポート10, 11の入出力形式として、N-ch オープン・ドレイン入出力, N-ch オープン・ドレイン+プルアップ抵抗内蔵入出力, CMOS(プッシュプル)入出力の3つのうちいずれかをマスク・オプションで選択できます。

N-ch オープン・ドレイン入出力では12Vの耐圧を持っていますので、電源電圧の異なる回路とのインタフェースに効果的です。

CMOS (プッシュプル) 入出力を選択し、一度出力命令を実行すると入力モードに戻すことはできません。しかし、ポート入力命令 (IPL) によって端子の状態を読み出して確認することは可能です。

他の2つの形式を選択した場合、ポートにハイ・レベルを出力することによって入力モードとし、4ビットライン上のデータをアキュムレータにロードすることができます。(疑似双方向ポート)

3種類の入出力形式はそれぞれ次のような場合に選択します。

①CMOS入出力

- i) 各ポートについて4ビットすべてを入力ポートとして使う場合。
- ii) 中耐圧出力が要求されない出力端子として使う場合。

②N-chオープン・ドレイン入出力

- i) 中耐圧が必要な入出力端子として使う場合。
- ii) 各ポートについて、入力端子と出力端子が混在するときの入力端子として使う場合。
- iii) 1つの端子で入力と出力を切り替えて使う場合。

③N-chオープン・ドレイン+プルアップ抵抗内蔵入出力

- i) 各ポートについて、入力端子と出力端子が混在するときの入力端子でプルアップ抵抗が必要な場合。
- ii) 1つの端子で入力と出力を切り替えて使う端子でプルアップ抵抗が必要な場合。

注意：②、③で入力端子として使う場合はあらかじめ出力ラッチに“1”を書き込みN-chトランジスタをOFFさせておく必要があります。

保守/廃止

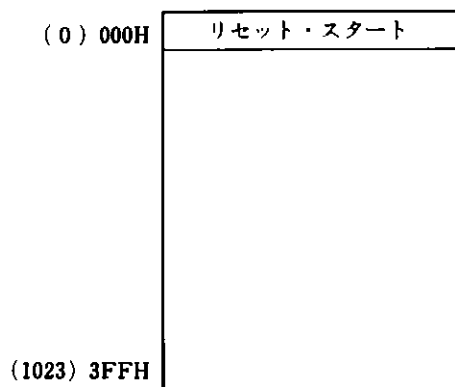
注意：SPはRESET入力により不定となりますので、プログラムの初期で必ず設定してください。

```
例：  LHLI  00H
      LAI   0
      ST
      LAI   4
      TAMSP      ; SP=40H
```

2.3 プログラム・メモリ (ROM)……1024ワード×8ビット

1024ワード×8ビット構成のマスクプログラマブルROMで、プログラム・カウンタによってアドレスされます。プログラム・メモリには、プログラムを格納します。000H番地はリセット・スタート番地になっています。

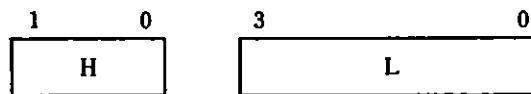
図2-4 プログラム・メモリ・マップ



2.4 汎用レジスタ

汎用レジスタにはH(2ビット)とL(4ビット)があり個々に操作されるほか、ペアレジスタHLを形成(Hが上位、Lが下位)してデータ・ポインタとして働き、データ・メモリのアドレッシングに用いられます。

図2-5 汎用レジスタの構成



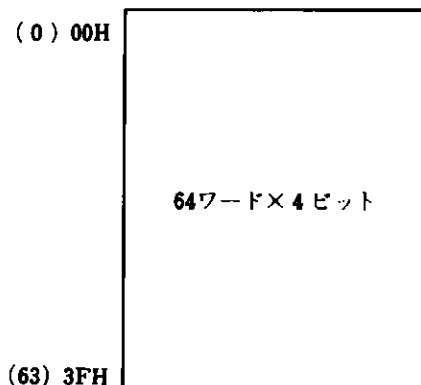
Lレジスタは、入出力命令 (IPL, OPL) 実行時に入出力ポートやモード・レジスタを指定するためにも使用されます。またLレジスタはSPBL, RPBL 命令実行時にポートのビット指定を行うために使用されます。

保守/廃止

2.5 データ・メモリ (RAM)……64×4 ビット

データ・メモリは64ワード×4ビット構成のスタティックRAMで、処理データのストアおよびスタック領域に利用されます。またデータ・メモリはアキュムレータとペアになって、8ビット単位で処理されることもあります。

図2-6 データ・メモリ・マップ

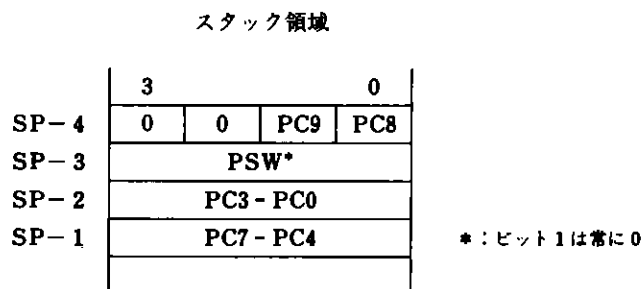


データ・メモリのアドレッシングには、次に示す3種があります。

- ダイレクト：命令のイミディエイト・データで直接アドレス指定を行います。
- レジスタ・インダイレクト：ペアレジスタHLの内容によって、間接にアドレス指定を行います。(オートインクリメント, オートデクリメントを含む)
- スタック：スタック・ポインタ(SP)の内容によって、間接にアドレス指定を行います。

データ・メモリの任意の空間がスタック・メモリとして利用できます。スタック領域の境界はTAMSP 命令でSPをイニシャライズすることによって決定され、その後はコール命令, リターン命令によって自動的にアクセスされます。

コール命令実行時には、PC, PSWの内容が次図に示す順でストアされます。

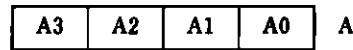


リターン命令実行時にPCの内容はリストアされますが、PSWはリストアされません。データ・メモリの内容は、STOPモードにおいて低電源電圧データ保持が可能です。

2.6 アキュムレータ (A)……4ビット

アキュムレータは4ビット構成のレジスタで、各種演算はアキュムレータを中心に行われます。またアキュムレータは、ペアレジスタHLでアドレスされるデータ・メモリとペアになって8ビット単位で処理されることもあります。

図2-7 アキュムレータの構成



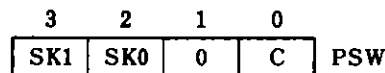
2.7 演算論理ユニット (ALU)……4ビット

演算論理ユニットは4ビット構成の演算回路で、2進加算、論理演算、増減、比較などの演算処理やビット処理などを行います。

2.8 プログラム・ステータス・ワード (PSW)……4ビット

プログラム・ステータス・ワードは、スキップ・フラグ(SK1, SK0)とキャリー・フラグ(C)で構成されています。PSWのビット1は常に0になっています。

図2-8 プログラム・ステータス・ワードの構成



(1) スキップ・フラグ (SK1, SK0)

スキップ・フラグは次に示すスキップ状態を記憶するフラグです。

- LAI命令によるたてづみ
- LHLI命令によるたてづみ
- たてづみ以外の命令によるスキップ条件成立

スキップ・フラグは命令の実行により自動的にセット、リセットされます。

(2) キャリー・フラグ(C)

キャリーフラグは、加算命令(ACSC)実行時にALUのビット3からのキャリーが発生するとセット(1)され、発生しなければリセット(0)されます。さらにSC命令でセット、RC命令でリセットされ、SKC命令でその内容がテストされます。

PSWの内容はコール命令実行時に自動的にスタック領域にストアされますが、リターン命令によってリストアされません。

RESET入力時には、SK1, SK0はクリア(0)され、Cは不定となります。

2.9 システム・クロック発生回路

システム・クロック発生回路は、セラミック発振回路、1/2分周回路、スタンバイ(STOP/HALT)モードの制御回路などで構成されています。

セラミック発振回路は、CL1、CL2端子に接続されるセラミック発振子によって発振します。

セラミック発振回路出力はシステム・クロック(CL)となり、これが1/2分周されてCPUクロック(ϕ)となります。スタンバイ・モードの制御回路はSTOP F/FとHALT F/Fを中心に構成されています。

STOP F/FはSTOP命令でセットされ、セラミック発振動作を停止させ、すべてのクロックの供給を停止させます(STOPモード)。STOP F/FはRESET入力(ハイ・レベル)によってリセットされ、セラミック発振を再開させます。この後RESET入力が行くと各クロックの供給が再開されます。

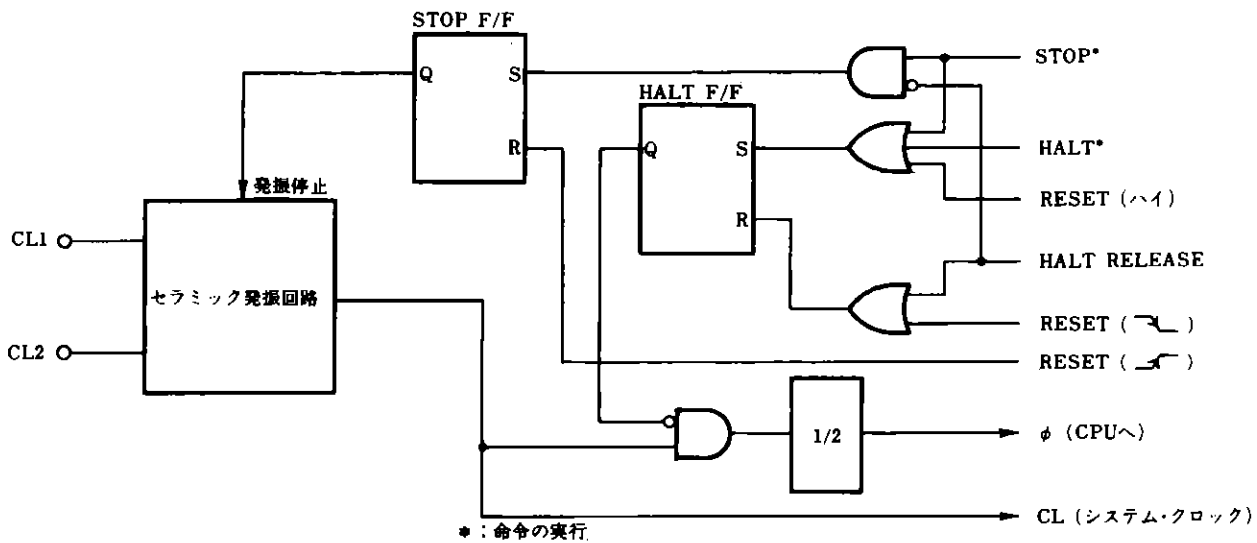
HALT F/FはHALT命令によってセットされ、CPUクロック ϕ を生成するための1/2分周回路の入力を禁止し、CPUクロック ϕ のみを停止させます(HALTモード)。

HALT F/FはHALT RELEASE信号(テスト・リクエスト・フラグが1つでもセットされるとアクティブになる)またはRESET入力の立ち下がりによってリセットされ、 ϕ の供給を開始させます。

HALT F/FはRESET入力(ハイ・レベル)の間もセットされ、HALTモードと同じ動作をします。

パワー・オン・リセット時、セラミック発振はRESET入力信号が立ち上がると起動されますが、その後、発振出力のレベルが安定するまでに一定時間を必要とします。不安定なクロックでCPUが誤動作するのを防ぐためにRESET入力がハイの間はHALT F/Fをセットして、CPUクロック ϕ が出ないようにしています。従って、RESET入力のハイ・レベル幅は、採用するセラミック発振子の要求する安定時間を上回るように設定して下さい。

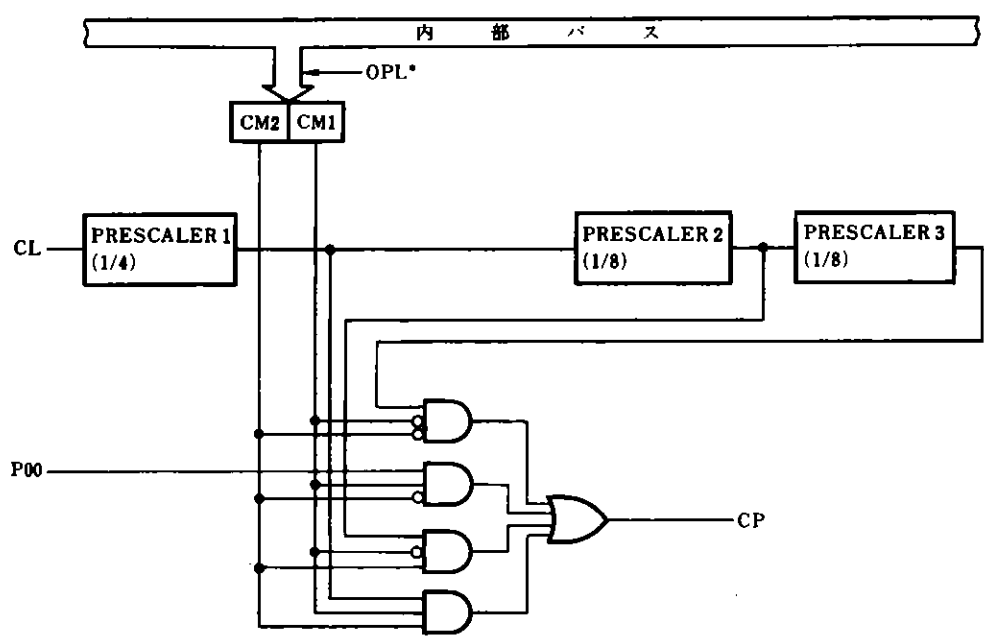
図2-9 システム・クロック発生回路



2.10 クロック制御回路

クロック制御回路は、2ビット・クロック・モード・レジスタ (CM2, 1), プリスケアラ1, 2, 3およびマルチプレクサで構成されており、システム・クロック発生回路出力 (CL) とイベント・パルス (P00) を入力し、クロック・モード・レジスタの指定により、クロック・ソースとプリスケアラの選択を行い、タイマ/イベント・カウンタへカウント・パルス (CP) を供給します。

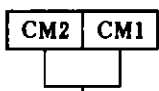
図 2-10 クロック制御回路



備考：*は命令の実行

クロック・モード・レジスタへは、OPL 命令 (L=12) でコードをセットします。

図 2-11 クロック・モード・レジスタのフォーマット



クロック・モード・レジスタ

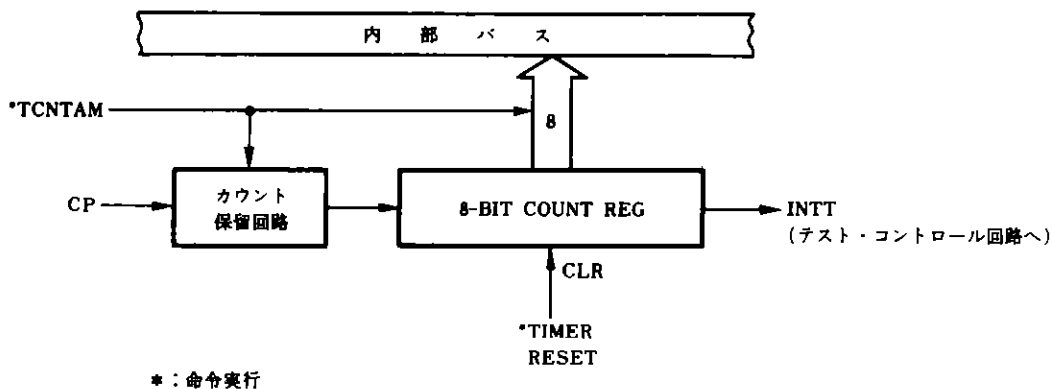
CM2	CM1	カウント・パルス周波数 (CP)
0	0	$CL \times \frac{1}{256}$
0	1	P00
1	0	$CL \times \frac{1}{4}$
1	1	$CL \times \frac{1}{8}$

注意：OPL命令でクロック・モード・レジスタにコードをセットする際、アキュムレータのビット0 (エミュレーション時に EVAKIT-7500; μPD7500のCM0に対応) は必ず "0" としてください。

2.11 タイマ/イベント・カウンタ

タイマ/イベント・カウンタは、8ビット・カウント・レジスタを中心に構成されています。

図2-12 タイマ/イベント・カウンタ



8ビット・カウント・レジスタは、2進8ビットのアップカウンタで、カウント・パルス(CP)が入力されるごとにインクリメントされ、TIMER命令実行時、RESET入力時およびオーバフロー時(FFH→00H)にクリアされて00Hになります。

カウント・パルスとしてはクロック・モード・レジスタによって次の4種のうちいずれかを選択できます(2.10クロック制御回路参照)

$$CP: CL \times \frac{1}{4}, CL \times \frac{1}{32}, CL \times \frac{1}{256}, P00$$

カウント・レジスタは、カウント・パルスが入力されている限り、常にカウント・アップを続けています。従って、TIMER命令でカウント・レジスタの内容をクリア(00H)してタイマ動作をトリガします。

カウント・レジスタは、CPに同期(外部クロックの場合は、P00入力の立ち上がりに同期)してインクリメントされ、256カウントを終了するとカウント値をFFHから00Hに戻してオーバフロー信号(INTT)を発生し、INTTテスト・フラグ(INTT RQF)をセットします。

こうしてカウント・レジスタは、再び00Hからカウント・アップを繰り返します。

オーバフローは、INTT RQFをSKI命令でテストすることによって知ることができます。

タイマとして働くとき、基準時間はCPの周波数で決定されるため、その精度はシステム・クロック系を選択した場合はシステム・クロック発振周波数で決まり、P00入力を選択した場合はP00入力周波数で決まります。

カウント・レジスタの内容は、TCNTAM命令によっていつでも読み出すことができます。これを利用してタイマの途中時間をチェックしたり、P00入力にイベント・パルスを入力してそれをカウントし、現在までに何回のイベント・パルスが発生しているかを知ることができます(イベント・カウンタ動作)。

カウント保留回路は、TCNTAM命令によってカウント・レジスタの内容を読み取る場合、カウント更新中の不安定なデータを読み取ってしまうのを防ぐため、TCNTAM命令実行中はカウント・パルス(CP)の変化を無視する回路です。

タイマ/イベント・カウンタは、システム・クロック系(CL)またはP00入力をカウント・パルスとして動作するため、CPUクロックφが停止するHALTモードの解除に利用されます。(3.スタンバイ機能 参照)

保守/廃止

2.12 テスト・コントロール回路

テスト・コントロール回路は、2種のテスト・ソース（外部テスト入力：INT0、タイマ・オーバーフロー：INTT）によりセットされるテスト・リクエスト・フラグ（INT0 RQF;INTT RQF）、INT0入力をイネーブルにするかどうかを決定するSM3フラグ、そしてSKI命令実行によりテスト・リクエスト・フラグの内容をチェックし、それをリセットする制御を行うテスト・リクエスト・フラグ・コントロール回路で構成されています。

SM3フラグはOPL命令(L=OFH)でセット(A3に対応)され、SM3=1のときINT0入力をイネーブルにします。

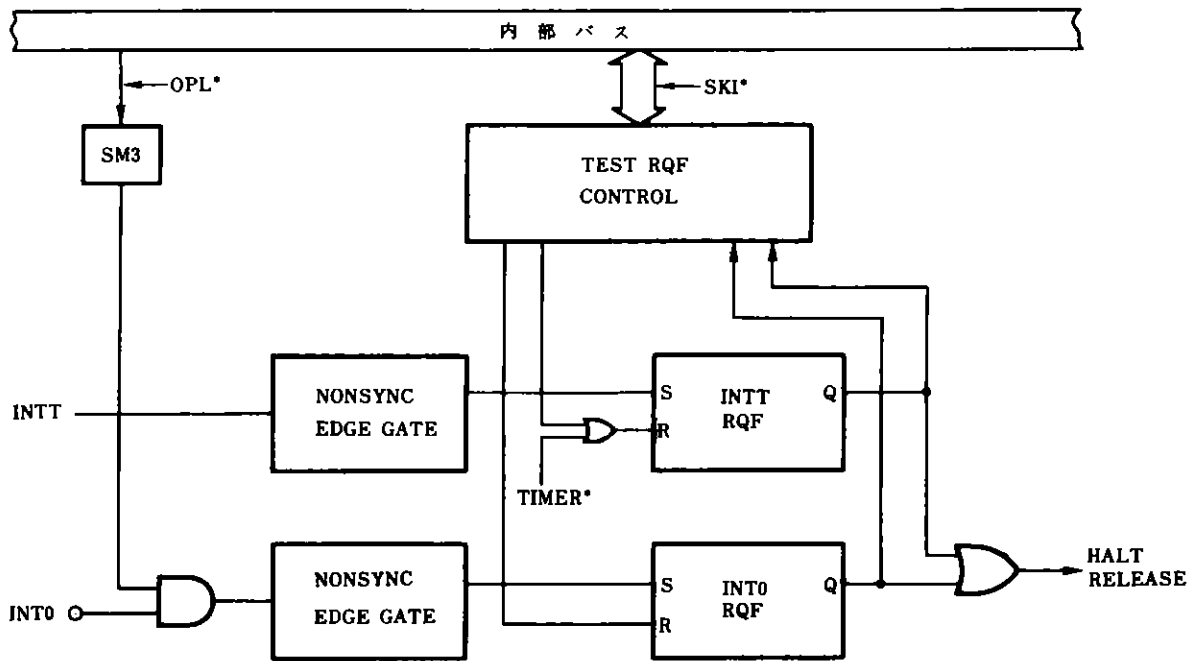
INT0 RQFはINT0端子に立ち上がりエッジ信号が入力されるとセットされ、SKI命令によってリセットされます。

INTT RQFはタイマ・オーバーフローが発生するとセットされ、SKIおよびTIMER命令によってリセットされます。

テスト・リクエスト・フラグの出力はHALTモードの解除に利用され、いずれか一方または両方がセットされるとHALTモードを解除します。

RESET入力によって両テスト・リクエスト・フラグとSM3フラグがリセットされます。従ってリセット初期状態ではINT0入力は禁止されています。

図2-18 テスト・コントロール回路ブロック図



備考：*は命令の実行

3. スタンバイ機能

μPD7566には、プログラム待機中の消費電力を節約するために2種類のスタンバイモード(STOPモード、HALTモード)が用意されています。STOPモードにはSTOP命令、HALTモードにはHALT命令で設定されます。STOPモードではすべてのクロックが停止し、HALTモードではCPUクロックφのみが停止します。HALTモードに入るとプログラムの実行は停止されますが、その直前の内部のすべてのレジスタ、データ・メモリの内容は保持されます。HALTモード中でもタイマ/イベント・カウンタは動作可能です。

STOPモードはRESET入力によってのみ解除され、HALTモードはテスト・リクエスト・フラグ(INTT RQF, INT0 RQF)がセットされた場合、またはRESET入力時に解除されます。なお、テスト・リクエスト・フラグが1個でもセットされている状態では、STOP/HALT命令を実行してもSTOP/HALTモードには入れません。従ってテスト・リクエスト・フラグがセットされている可能性のある箇所ではSTOP/HALTモードを設定しようとする場合、あらかじめSKI命令を実行することによって、テスト・リクエスト・フラグをリセットしておくようにして下さい。

3.1 STOPモード

STOP命令を実行するとテスト・リクエスト・フラグがセットされていない限り、いつでもSTOPモードに入ります。

STOPモードではデータ・メモリの内容が保持されるほかは、STOPモードの解除に使用されるRESET入力が有効なだけで、そのほかのすべての機能が停止し、消費電力が最少限に押さえられます。

注意：STOPモードではセラミック発振回路のリークを押さえるためCL1入力が内部でV_{DD}(ハイ・レベル)にショートされます。

3.2 HALTモード

HALTモードではシステム・クロック発生回路の1/2分周回路のみが停止(CLは動作、φは停止)されます。従ってφ信号を必要とするCPUの動作は停止します。

しかし、クロック制御回路は動作でき、クロック制御回路はクロック発生回路からのCL信号とP00端子からのイベント・パルスを入力し、両系統のカウント・パルス(CP)をタイマ/イベント・カウンタに選択供給できます。これによりタイマ/イベント・カウンタは両系統のカウント・パルスで動作でき、計時動作等続けることができます。

3.3 RESET入力によるSTOPモードの解除

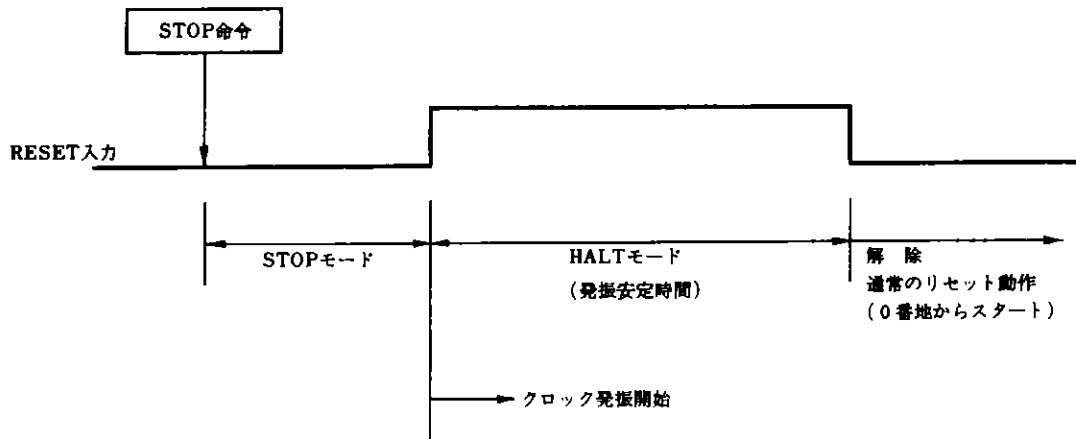
STOPモード中にRESET入力がロウからハイに上がるとHALTモードに変わり、同時にセラミック発振を開始します。

RESET入力がロウに戻るとHALTモードが解除され、通常のリセット動作の後、CPUは0番地よりプログラムをスタートします。こうしてSTOPモードが解除されます。

なお、解除動作の間もデータ・メモリの内容は保持されていますが、他のレジスタ類は不定となります。

保守/廃止

図3-1 STOPモードの解除タイミング



注意：STOPモードは、テスト・リクエスト・フラグのセットによっては解除されません。

3.4 テスト・リクエスト・フラグによるHALTモードの解除

HALTモードはテスト・リクエスト・フラグ (INTT RQF または INT0 RQF) がセットされると解除され、HALT命令の次の命令からプログラムの実行が再開されます。

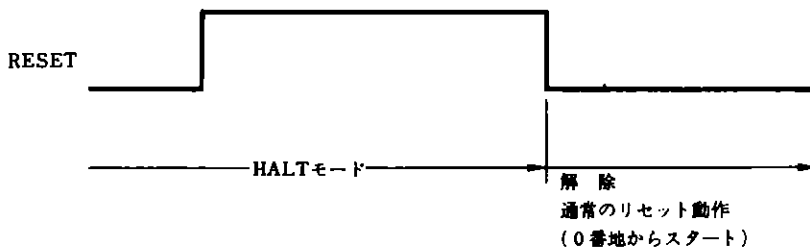
HALTモード中に保持されていたすべてのレジスタおよびデータ・メモリの内容は、この解除によって影響されません。

3.5 RESET入力によるHALTモードの解除

RESET入力によってHALTモードは無条件に解除されます。

図3-2に解除のタイミングを示します。

図3-2 RESET入力によるHALTモードの解除タイミング



RESET入力がアクティブ (ハイ・レベル) の間はHALTモードが続行され、RESET入力がロウに下がるとHALTモードは解除され、通常のリセット動作の後、0番地よりプログラムをスタートします。

なお、HALTモードで保持されていたデータ・メモリの内容は、RESET入力によっても影響されず、そのまま保持されていますが、他のレジスタ類は不定となります。

4. リセット機能

RESET端子にハイ・レベル・アクティブのRESET信号を入力することでμPD7566はリセットされ、次に示すようにイニシャライズされます。

4.1 イニシャライズ内容

- (1) プログラム・カウンタ(PC9-PC0)が0にクリアされます。
- (2) プログラム・ステータス・ワードのうちスキップ・フラグ(SK1, SK0)がリセット(0)されます。
- (3) タイマ/イベント・カウンタのカウント・レジスタが00Hにクリアされます。
- (4) クロック制御回路は次のようになります。
 - クロック・モード・レジスタ(CM2, 1)=0

$$\Rightarrow CP=CL \times \frac{1}{256}$$

○プリスケラ1, 2, 3=0

- (5) SM3フラグがリセット(0)されます。
 - ⇒ 外部テスト入力(INT0)禁止
- (6) テスト・リクエスト・フラグ(INTT RQF, INT0 RQF)がリセット(0)されます。
- (7) データ・メモリおよび次に示すレジスタの内容は不定となります。

スタック・ポインタ(SP)

アキュムレータ(A)

キャリー・フラグ(C)

汎用レジスタ(H, L)

各ポートの出力ラッチ

- (8) すべてのポートの出力バッファはオフし、出力ハイ・インピーダンスとなります。入出力ポートは入力モードに設定されます。

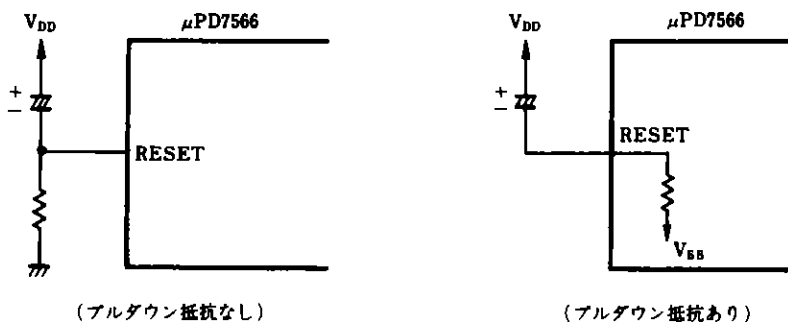
注意：RESET入力をスタンバイ・モードの解除に使用した場合、データ・メモリの内容は不定とならず保持されます。

RESET入力が解除されると000H番地からプログラムの実行が開始されますが、各種レジスタの内容はプログラムの中で必要に応じてイニシャライズまたは再イニシャライズしてください。

4.2 パワー・オン・リセット回路

最も簡単なリセット制御回路として、抵抗とキャパシタを用いたパワー・オン・リセット回路例を図4-1に示します。マスク・オプションでRESET端子にプルダウン抵抗を内蔵することができます。

図4-1 パワー・オン・リセット回路



5. μPD7566命令セット

(i) オペランドの表現形式と記述方法

addr	10ビット・イミューディエト・データまたはレーベル
caddr	10ビット "
caddr 1	100H-107H, 140H-147H "
	180H-187H, 1C0H-1C7H "
mem	6ビット "
n5	5ビット "
n4	4ビット "
n2	2ビット "
bit	2ビット "
pr	HL-, HL+, HL

(ii) オペレーション説明上の凡例

- A : アキュムレータ
 H : Hレジスタ
 L : Lレジスタ
 HL : ペアレジスタ(HL)
 pr : ペアレジスタ(HL-, HL+, HL)
 SP : スタック・ポインタ
 PC : プログラム・カウンタ
 C : キャリー・フラグ
 PSW : プログラム・ステータス・ワード
 CT : カウント・レジスタ
 In : n5, n4, n2 に対応するイミューディエト・データ
 Pn : addr, caddr, caddr 1 "
 Bn : bit "
 Dn : mem "
 Rn : pr "
 (××) : ××でアドレスされる内容
 ×H : 16進データ

保守/廃止

(iii) ポート/モード・レジスタの選択

IPL命令

L	ポート
0	ポート 0
1	ポート 1
AH	ポート 10
BH	ポート 11

OPL命令

L	ポート/モード・レジスタ
8	ポート 8
9	ポート 9
AH	ポート 10
BH	ポート 11
CH	クロック・モード・レジスタ
FH	SM 3 フラグ

RPBL ; SPBL命令

L	FH	EH	DH	CH	BH	AH	9	8	5	4	2	1	0
ビット	3	2	1	0	3	2	1	0	1	0	2	1	0
ポート	ポート 11				ポート 10				ポート 9		ポート 8		

(iv) ベアレジスタによるアドレッシングの選択

pr	R ₁	R ₀
HL-	0	0
HL+	0	1
HL	1	0

命令群	ニモニック	オペランド	命令コード		オペレーション		スキップ条件
			B1	B2			
ロード・ストア命令	LAI	n4	0 0 0 1 I ₃ I ₂ I ₁ I ₀		A←n4	n4をアキュムレータにロードする。	たてづみLAI
	LHI	n2	0 0 1 0 1 0 I ₁ I ₀		H←n2	n2をHレジスタにロードする。	
	LAM	pr	0 1 0 1 0 0 R ₁ R ₀		A←(pr) pr=HL-, HL+, HL	prでアドレスされるメモリの内容をアキュムレータにロードする。	L=FH(HL-) L=0 (HL+)
	LHLI	n5	1 1 0 I ₄ I ₃ I ₂ I ₁ I ₀		H←0 I ₄ , L←I ₃₋₀	n5をペアレジスタHLにロードする。	たてづみLHLI
	ST		0 1 0 1 0 1 1 1		(HL)←A	アキュムレータの内容をHLでアドレスされるメモリへストアする。	
	STH	n4	0 1 0 0 I ₃ I ₂ I ₁ I ₀		(HL)←n4, L←L+1	n4をHLでアドレスされるメモリへストアした後、Lレジスタをインクリメントする。	
	XAL		0 1 1 1 1 0 1 1		A↔L	アキュムレータとLレジスタの内容を交換する。	
	XAM	pr	0 1 0 1 0 1 R ₁ R ₀		A↔(pr) pr=HL-, HL+, HL	アキュムレータとprでアドレスされるメモリの内容を交換する。	L=FH(HL-) L=0 (HL+)
演算命令	AISC	n4	0 0 0 0 I ₃ I ₂ I ₁ I ₀		A↔A+n4	アキュムレータとn4を加算する。	Carry
	ASC		0 1 1 1 1 1 0 1		A←A+(HL)	アキュムレータとHLでアドレスされるメモリの内容を加算する。	Carry
	ACSC		0 1 1 1 1 1 0 0		A, C←A+(HL)+C	アキュムレータとHLでアドレスされるメモリの内容を、キャリー・フラグも含めて加算する。	Carry
	EXL		0 1 1 1 1 1 1 0		A←A ∨ (HL)	アキュムレータとHLでアドレスされるメモリの内容との排他的論理和をとる。	
アキュムレータ・フラグ操作命令	CMA		0 1 1 1 1 1 1 1		A← \overline{A}	アキュムレータの補数をとる。	
	RC		0 1 1 1 1 0 0 0		C←0	キャリー・フラグをリセットする。	
	SC		0 1 1 1 1 0 0 1		C←1	キャリー・フラグをセットする。	
増減命令	ILS		0 1 0 1 1 0 0 1		L←L+1	Lレジスタをインクリメントする。	L=0
	IDRS	mem	0 0 1 1 1 1 0 1	0 0 D ₅ D ₄ D ₃ D ₂ D ₁ D ₀	(mem)←(mem)+1	memでアドレスされるメモリの内容をインクリメントする。	(mem)=0
	DLS		0 1 0 1 1 0 0 0		L←L-1	Lレジスタをデクリメントする。	L=FH
	DDRS	mem	0 0 1 1 1 1 0 0	0 0 D ₅ D ₄ D ₃ D ₂ D ₁ D ₀	(mem)←(mem)-1	memでアドレスされるメモリの内容をデクリメントする。	(mem)=FH
メモリビット操作命令	RMB	bit	0 1 1 0 1 0 B ₁ B ₀		(HL) _{bit} ←0	HLでアドレスされるメモリ、B ₁₋₀ で指定されるビットをリセットする。	
	SMB	bit	0 1 1 0 1 1 B ₁ B ₀		(HL) _{bit} ←1	HLでアドレスされるメモリ、B ₁₋₀ で指定されるビットをセットする。	

保守/廃止

命令群	ニモニック	オペランド	命令コード		オペレーション	スキップ条件	
			B1	B2			
ジャンプ命令	JMP	addr	0 0 1 0 0 0 P ₉ P ₈	P ₇ P ₆ P ₅ P ₄ P ₃ P ₂ P ₁ P ₀	PC ₉₋₀ ←P ₉₋₀	P ₉₋₀ で示される番地にジャンプする。	
	JCP	addr	1 0 P ₅ P ₄ P ₃ P ₂ P ₁ P ₀		PC ₅₋₀ ←P ₅₋₀	PC ₅₋₀ をP ₅₋₀ で置き換えた番地にジャンプする。	
サブルーチン・スタック制御命令	CALL	caddr	0 0 1 1 0 0 P ₉ P ₈	P ₇ P ₆ P ₅ P ₄ P ₃ P ₂ P ₁ P ₀	(SP-1)(SP-2)(SP-4)←PC ₉₋₀ (SP-3)←PSW, SP←SP-4 PC ₉₋₀ ←P ₉₋₀	PC, PSWの内容をスタック・メモリへ退避し, SPを-4した後, caddrで示される番地をコールする。	
	CAL	caddr1	1 1 1 P ₄ P ₃ P ₂ P ₁ P ₀		(SP-1)(SP-2)(SP-4)←PC ₉₋₀ (SP-3)←PSW, SP←SP-4 PC ₉₋₀ ←0 1 P ₄ P ₃ 0 0 0 P ₂ P ₁ P ₀	PC, PSWの内容をスタック・メモリへ退避し, SPを-4した後, caddr1で示される番地をコールする。	
	RT		0 1 0 1 0 0 1 1		PC ₉₋₀ ←(SP)(SP+2)(SP+3) SP←SP+4	スタック・メモリの内容をPCにリストアし, SPを+4する。	
	RTS		0 1 0 1 1 0 1 1		PC ₉₋₀ ←(SP)(SP+2)(SP+3) SP←SP+4 then skip unconditionally	スタック・メモリの内容をPCにリストアし, SPを+4した後, 無条件にスキップする。	無条件
	TAMSP		0 0 1 1 1 1 1 1	0 0 1 1 0 0 0 1	SP ₅₋₄ ←A ₁₋₀ SP ₃₋₁ ←(HL) ₃₋₁ , SP ₀ ←0	SP ₅₋₄ にアキュムレータの下位2ビットを, SP ₃₋₁ にHLでアドレスされるメモリの内容の上位3ビットを転送する。	
スキップ命令	SKC		0 1 0 1 1 0 1 0		Skip if C=1	キャリー・フラグが1ならスキップする。	C=1
	SKABT	bit	0 1 1 1 0 1 B ₁ B ₀		Skip if A _{bit} =1	アキュムレータの, B ₁₋₀ で指定されるビットが1ならスキップする。	A _{bit} =1
	SKMBT	bit	0 1 1 0 0 1 B ₁ B ₀		Skip if (HL) _{bit} =1	HLでアドレスされるメモリの, B ₁₋₀ で指定されるビットが1ならスキップする。	(HL) _{bit} =1
	SKMBF	bit	0 1 1 0 0 0 B ₁ B ₀		Skip if (HL) _{bit} =0	HLでアドレスされるメモリの, B ₁₋₀ で指定されるビットが0ならスキップする。	(HL) _{bit} =0
	SKAEM		0 1 0 1 1 1 1 1		Skip if A=(HL)	アキュムレータとHLでアドレスされるメモリの内容が等しければスキップする。	A=(HL)
	SKAEI	n4	0 0 1 1 1 1 1 1	0 1 1 0 I ₃ I ₂ I ₁ I ₀	Skip if A=n4	アキュムレータとn4が等しければスキップする。	A=n4
	SKI	n2	0 0 1 1 1 1 1 1	0 1 0 0 0 0 I ₁ I ₀	Skip if INT RQF=1 Then reset INT RQF	INT RQFが1ならスキップし, その後INT RQFを0にする。	INT RQF=1

命令群	ニモニック	オペランド	命令コード		オペレーション		スキップ条件
			B1	B2			
制御命令	TIMER		0 0 1 1 1 1 1 1	0 0 1 1 0 0 1 0	Start Timer	タイマ動作を開始する。	
	TCNTAM		0 0 1 1 1 1 1 1	0 0 1 1 1 0 1 1	A←CT ₇₋₄ (HL)←CT ₃₋₀	カウント・レジスタの上位4ビットをアキュムレータに、下位4ビットをHLでアドレスされるメモリに転送する。	
入出力命令	IPL		0 1 1 1 0 0 0 0		A←Port (L)	Lレジスタで指定されるポートの内容をアキュムレータにロードする。	
	IP1		0 1 1 1 0 0 0 1		A←Port 1	ポートの内容をアキュムレータに入力する。	
	OPL		0 1 1 1 0 0 1 0		Port/Mode reg.(L)←A	アキュムレータの内容を、Lレジスタで指定されるポートまたはモード・レジスタに出力する。	
	RPBL ^注		0 1 0 1 1 1 0 0		Port bit (L)←0	Lレジスタで指定されるポート 8, 10, 11のビットをリセットする。	
	SPBL ^注		0 1 0 1 1 1 0 1		Port bit (L)←1	Lレジスタで指定されるポート 8, 10, 11のビットをセットする。	
制御命令	HALT		0 0 1 1 1 1 1 1	0 0 1 1 0 1 1 0	Set Halt Mode	HALTモードをセットする。	
	STOP		0 0 1 1 1 1 1 1	0 0 1 1 0 1 1 1	Set Stop Mode	STOPモードをセットする。	
	NOP		0 0 0 0 0 0 0 0		No operation	何もせず1マシン・サイクル費やす。	

★ 注 SPBL, RPBLはビット単位のセット/リセット命令ですが、セット/リセット動作と同時に、指定ビットを含むポート（4ビット）単位での出力を行います（指定ビット以外の端子には出力ラッチの内容を出力）。これら命令を実行する際には、前もって出力ラッチの内容をOPL命令によりイニシャライズしてください。

保守/廃止

6. μPD7566電気的特性

絶対最大定格 (T_a=25 °C)

項目	略号	条件		定格	単位
電源電圧	V _{DD}			-0.3~+7.0	V
入力電圧	V _I	ポート10, 11以外		-0.3~V _{DD} +0.3	V
		ポート10, 11	(1)	-0.3~V _{DD} +0.3	V
			(2)	-0.3~+13	V
出力電圧	V _O	ポート8~11以外		-0.3~V _{DD} +0.3	V
		ポート8~11	(1)	-0.3~V _{DD} +0.3	V
			(2)	-0.3~+13	V
ハイ・レベル出力電流	I _{OH}	1端子		-5	mA
		全端子合計		-15	mA
ロウ・レベル出力電流	I _{OL}	1端子	ポート8, 9	30	mA
			その他	15	mA
		全端子合計		100	mA
動作温度	T _{opt}			-10~+70	°C
保存温度	T _{stg}			-65~+150	°C
消費電力	P _d	T _a =70 °C	シュリンクDIP	480	mW
			ミニフラット	250	

備考1. CMOS入出力またはN-chオープン・ドレイン出力+プルアップ抵抗内蔵入出力

2. N-chオープン・ドレイン入出力

容量 (T_a=25 °C, V_{DD}=0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
入力容量	C _{IN}	f=1 MHz 被測定端子以外は0 V	P00, P01, P10~P13			15	pF
出力容量	C _{OUT}		C _{in0} ~C _{in3}			15	pF
入出力容量	C _{IO}		ポート8, 9			35	pF
			ポート10, 11			35	pF

保守/廃止

発振器特性 ($T_a = -10 \sim 70 \text{ }^\circ\text{C}$, $V_{DD} = 2.7 \sim 6.0 \text{ V}$)

発振子	外部回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック発振子 *1		発振周波数 (f_{cc})	$V_{DD} = 4.5 \sim 6.0 \text{ V}$	290	700	710	kHz
			$V_{DD} = 4.0 \sim 6.0 \text{ V}$	290	500	510	kHz
			$V_{DD} = 3.5 \sim 6.0 \text{ V}$	290	400	410	kHz
			$V_{DD} = 2.7 \sim 6.0 \text{ V}$	290	300	310	kHz
		発振安定時間 (t_{os})	動作電圧範囲の MIN.に達した後	20			

*1: セラミック発振子としては、下記を推奨致します。

メーカー	品名	推奨定数			動作電圧範囲 [V]	
		C1 [pF]	C2 [pF]	R2 [kΩ]	MIN.	MAX.
村田製作所	CSB300D	330	330	6.8	2.7	6.0
	CSB400P	220	220	6.8	3.5	6.0
	CSB500E	100	100	6.8	4.0	6.0
	CSB700A	100	100	6.8	4.5	6.0
京セラ	KBR-300B	470	470	0	2.7	6.0
	KBR-400B	330	330	0	3.5	6.0
	KBR-500B	220	220	0	4.0	6.0
	KBR-700B	220	220	0	4.5	6.0
東光	CRK-400	150	150	2.8	3.5	6.0
	CRK-500	150	150	2.8	4.0	6.0
	CRK-600	150	150	2.8	4.5	6.0

保守/廃止

DC特性 ($T_a = -10 \sim +70 \text{ }^\circ\text{C}$, $V_{DD} = 2.7 \sim 6.0 \text{ V}$)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V_{IH1}	ポート10, 11以外		$0.7V_{DD}$		V_{DD}	V
	V_{IH2}	ポート10, 11 (3)		$0.7V_{DD}$		12	V
ロウ・レベル入力電圧	V_{IL}			0		$0.3V_{DD}$	V
ハイ・レベル出力電圧	V_{OH}	ポート8~11	$V_{DD} = 4.5 \sim 6.0 \text{ V}$ $I_{OH} = -1 \text{ mA}$	$V_{DD} - 2.0$			V
			$I_{OH} = -100 \text{ } \mu\text{A}$	$V_{DD} - 1.0$			V
ロウ・レベル出力電圧	V_{OL}	ポート10, 11	$V_{DD} = 4.5 \sim 6.0 \text{ V}$ $I_{OL} = 1.6 \text{ mA}$			0.4	V
			$V_{DD} = 4.5 \sim 6.0 \text{ V}$ $I_{OL} = 10 \text{ mA}$			2.0	V
		ポート8, 9	$I_{OL} = 400 \text{ } \mu\text{A}$			0.5	V
			$V_{DD} = 4.5 \sim 6.0 \text{ V}$ $I_{OL} = 15 \text{ mA}$			2.0	V
		$I_{OL} = 600 \text{ } \mu\text{A}$			0.5	V	
ハイ・レベル入力リーク電流	I_{LIH1}	$V_{IN} = V_{DD}$				3	μA
	I_{LIH2}	$V_{IN} = 12 \text{ V}$, ポート10, 11 (3)				10	μA
ロウ・レベル入力リーク電流	I_{LIL}	$V_{IN} = 0 \text{ V}$				-3	μA
ハイ・レベル出力リーク電流	I_{LOH1}	$V_{OUT} = V_{DD}$				3	μA
	I_{LOH2}	$V_{OUT} = 12 \text{ V}$, ポート8, 9, 10, 11 (3)				10	μA
ロウ・レベル出力リーク電流	I_{LOL}	$V_{OUT} = 0 \text{ V}$				-3	μA
入力端子内蔵抵抗 (プルアップ, プルダウン)		ポート0, 1, RESET		23.5	47	70.5	k Ω
出力端子内蔵抵抗 (プルアップ)		ポート10, 11		7.5	15	22.5	k Ω
電源電流	I_{DD1}	動作モード	$V_{DD} = 5 \text{ V} \pm 10 \%$ $f_{CC} = 700 \text{ kHz}$		650	2200	μA
			$V_{DD} = 3 \text{ V} \pm 10 \%$ $f_{CC} = 300 \text{ kHz}$		120	360	μA
	I_{DD2}	HALTモード	$V_{DD} = 5 \text{ V} \pm 10 \%$ $f_{CC} = 700 \text{ kHz}$		450	1500	μA
			$V_{DD} = 3 \text{ V} \pm 10 \%$ $f_{CC} = 300 \text{ kHz}$		65	200	μA
	I_{DD3}	STOPモード	$V_{DD} = 5 \text{ V} \pm 10 \%$		0.1	10	μA
			$V_{DD} = 3 \text{ V} \pm 10 \%$		0.1	5	μA

備考3. N-chオープン・ドレイン入出力選択時。

4. 内蔵プルアップ, プルダウン抵抗, コンパレータ回路, 内蔵バイアス抵抗に流れる電流は除く。

保守/廃止

コンパレータ回路特性 ($T_a = -10 \sim +70 \text{ }^\circ\text{C}$, $V_{DD} = 3 \sim 6 \text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
コンパレータ回路消費電流 ⁽⁵⁾		Cin 0~Cin 3 1回路 $V_{DD} = 5 \text{ V} \pm 10 \%$		50		μA
コンパレータ入力	入力電圧範囲	V_{cin} V_{ref}	0		V_{DD}	V
	応答時間		2		4	t _{cy}
	分解能				100	mV
			$V_{DD} = 5 \text{ V} \pm 10 \%$		10	50
	入力リーク電流				±3	μA
内蔵バイアス抵抗	R_{ref}			100		kΩ

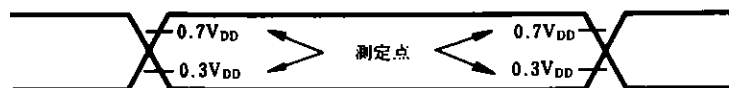
備考5. 内蔵バイアス抵抗に流れる電流は除く。

AC特性 ($T_a = -10 \sim +70 \text{ }^\circ\text{C}$, $V_{DD} = 2.7 \sim 6.0 \text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
内部クロック・サイクル・タイム	t _{cy}	(6) $V_{DD} = 4.5 \sim 6.0 \text{ V}$	2.8		6.9	μs
			6.4		6.9	μs
P00 イベント入力周波数	f _{po}	duty = 50% $V_{DD} = 4.5 \sim 6.0 \text{ V}$	0		710	kHz
			0		350	kHz
P00入力立ち上がり, 立ち下がり時間	t _{por} , t _{pod}				0.2	μs
P00入力ハイ, ロウ・レベル幅	t _{poH} , t _{poL}	$V_{DD} = 4.5 \sim 6.0 \text{ V}$	0.7			μs
			1.45			μs
INT0 ハイ, ロウ・レベル幅	t _{ioH} , t _{ioL}		10			μs
RESET ハイ, ロウ・レベル幅	t _{rsh} , t _{rsl}		10			μs

備考6. t_{cy} = 2/f_{cc} (ここの規格に示されていない電源条件については特性曲線を参考にして下さい。)

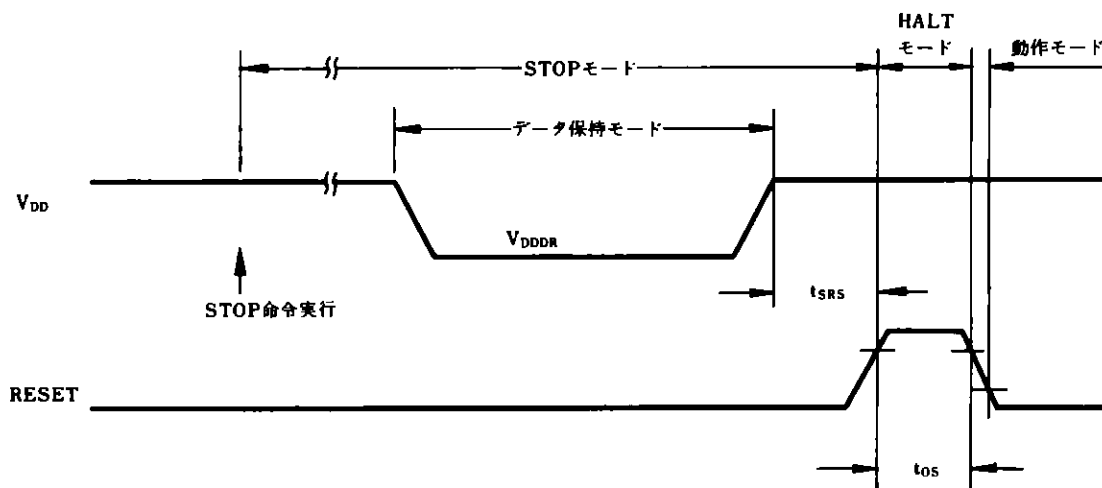
ACタイミング測定点 (CL1入力以外)



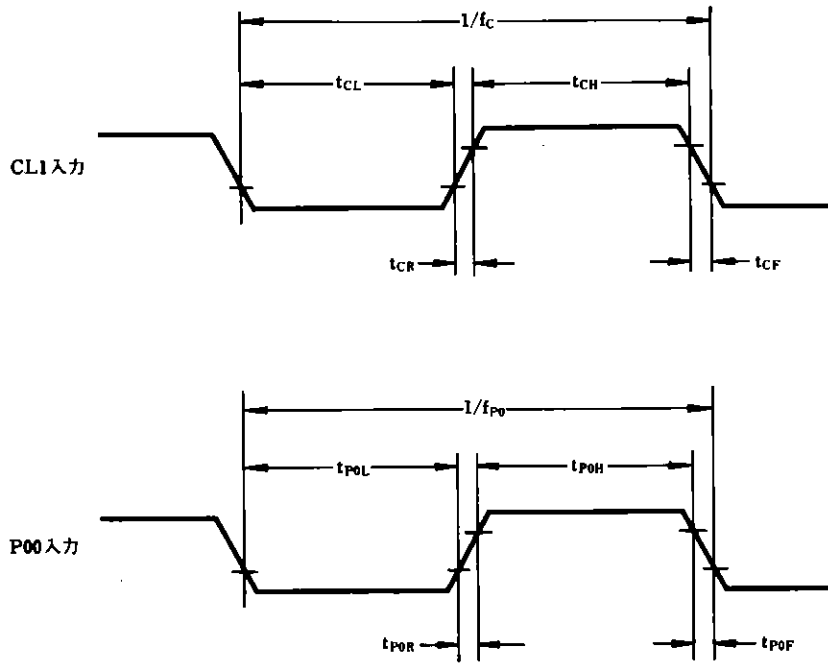
データ・メモリSTOPモード低電源電圧データ保持特性 ($T_a = -10 \sim +70 \text{ }^\circ\text{C}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V _{DDDR}		2.0		6.0	V
データ保持電源電流	I _{DDDR}	V _{DDDR} =2.0 V		0.1	5	μA
RESETセットアップ時間	t _{SRS}		0			μs
発振安定時間	t _{OS}	V _{DD} が4.5 Vに達した後	20			ms

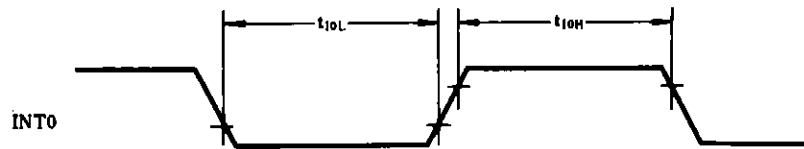
データ保持タイミング



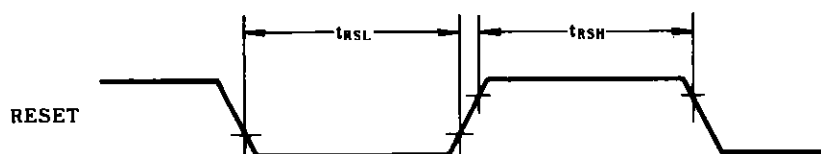
クロック・タイミング



テスト入力タイミング



RESET入力タイミング

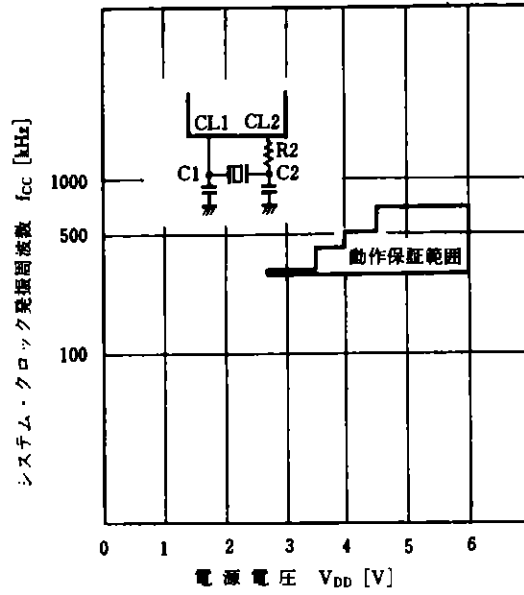


保守/廃止

7. 特性曲線

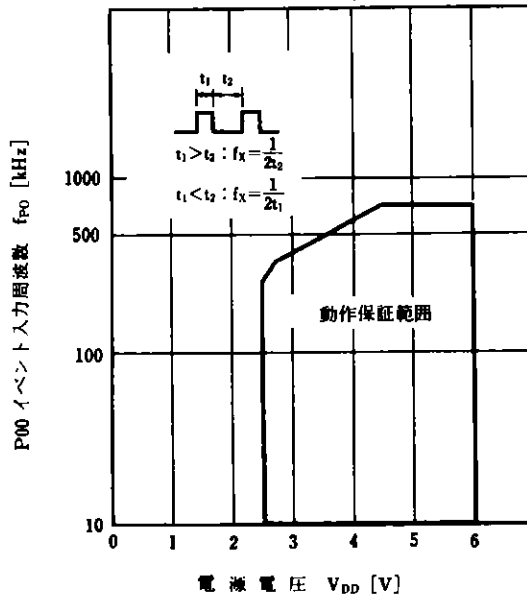
f_{CC} vs V_{DD} 動作保証範囲

($T_a = -10 \sim +70^\circ C$)



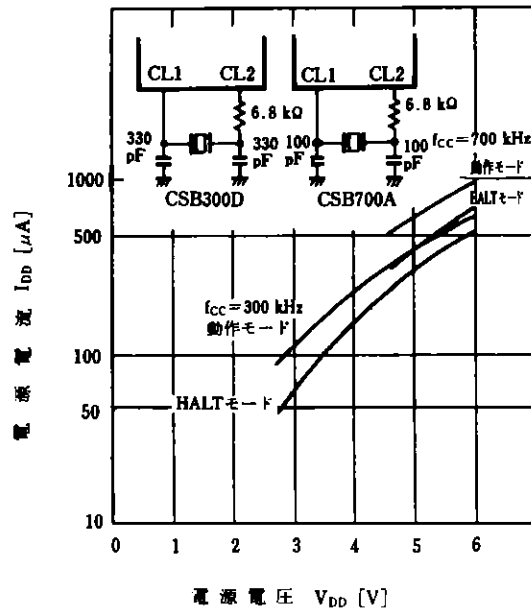
f_{PO} vs V_{DD} 動作保証範囲

($T_a = -10 \sim +70^\circ C$)



I_{DD} vs V_{DD} 特性例

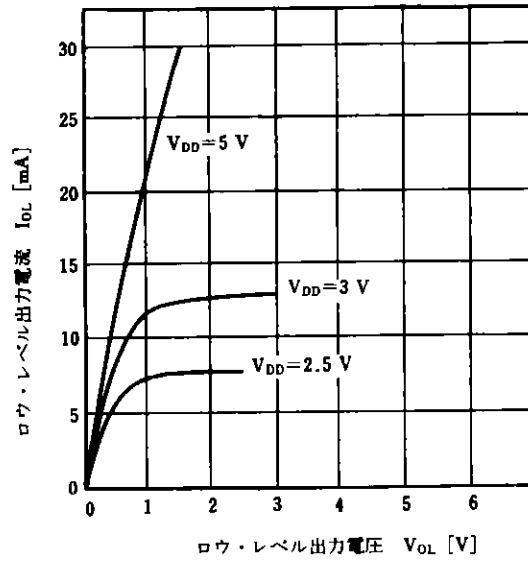
($T_a = 25^\circ C$)



保守 / 廃止

I_{OL} vs V_{OL} 特性例 (ポート 8, 9)

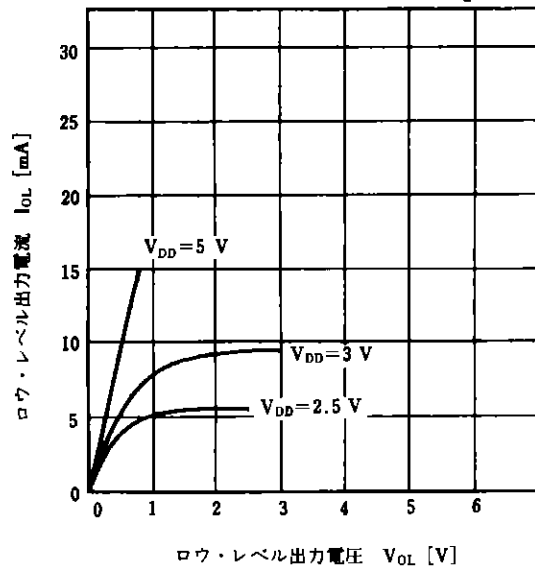
($T_a=25^\circ\text{C}$)



注) 絶対最大定格は1端子あたり30 mAです。

I_{OL} vs V_{OL} 特性例 (ポート 10, 11)

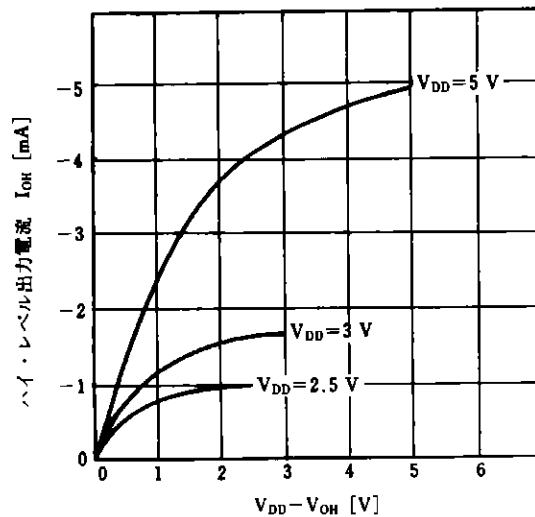
($T_a=25^\circ\text{C}$)



注) 絶対最大定格は1端子あたり15 mAです。

I_{OH} vs V_{OH} 特性例

($T_a=25^\circ\text{C}$)

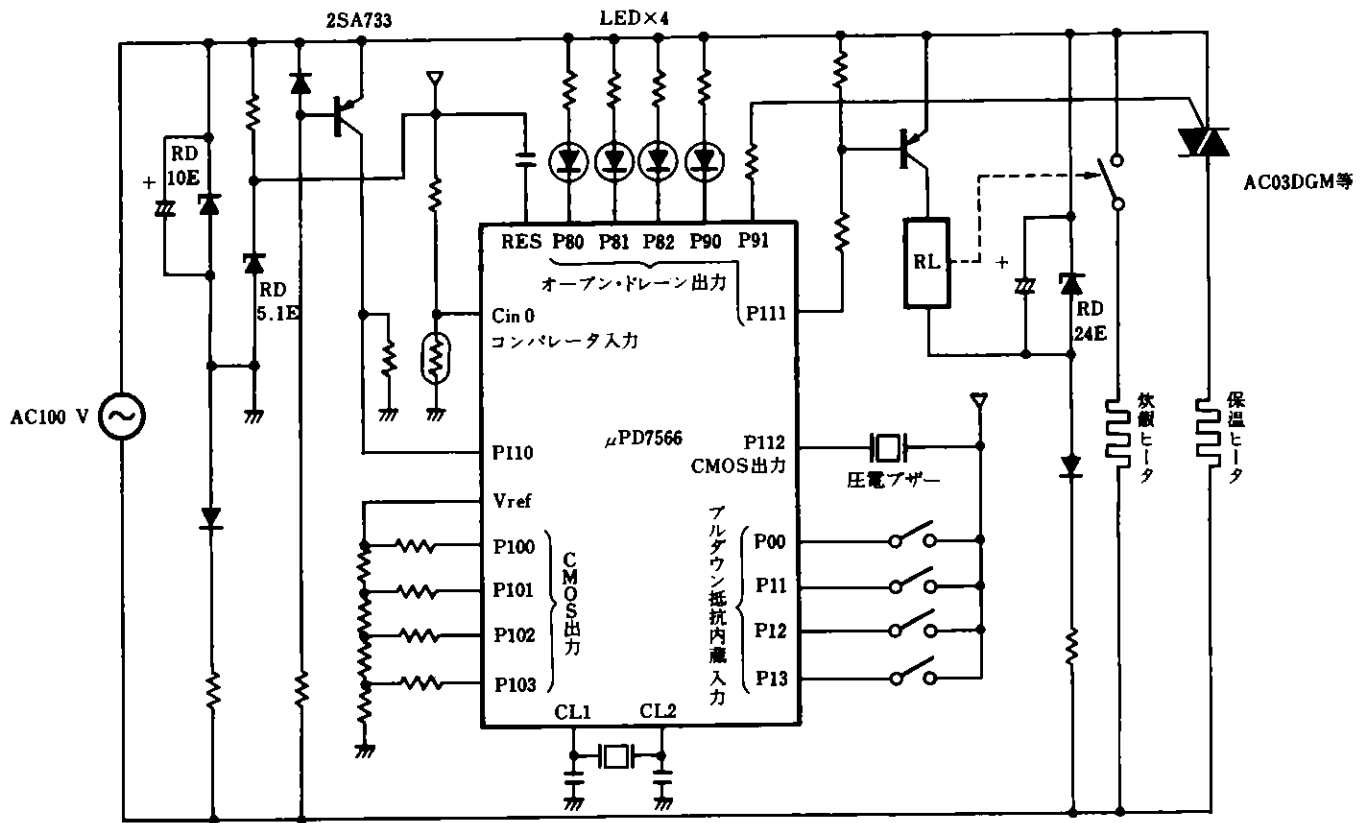


注) 絶対最大定格は1端子あたり-5 mAです。

備考: 特性曲線のうち、保証範囲と記述されていないものはすべて参考値を示します。

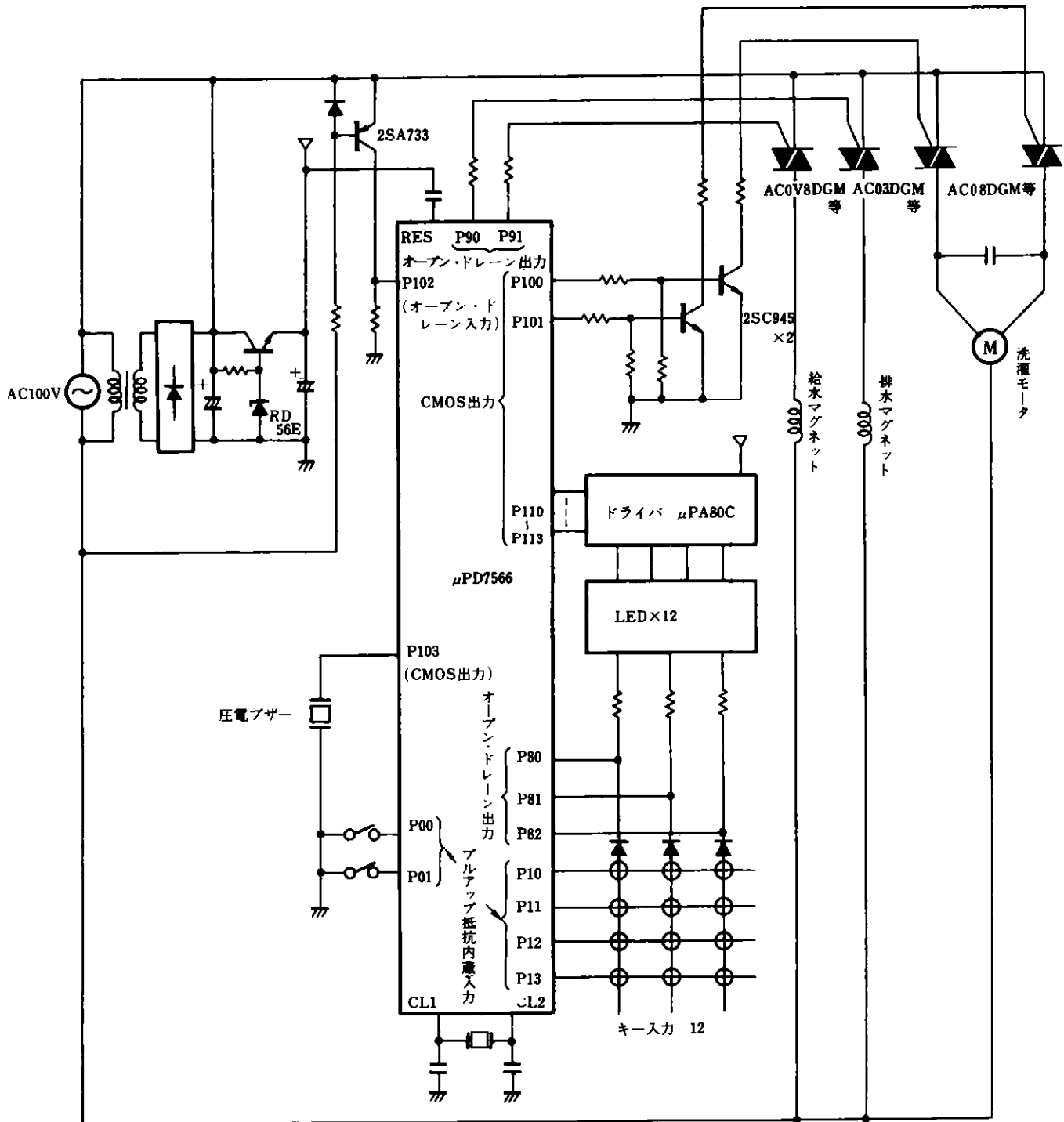
保守/廃止

(2) 炊飯器



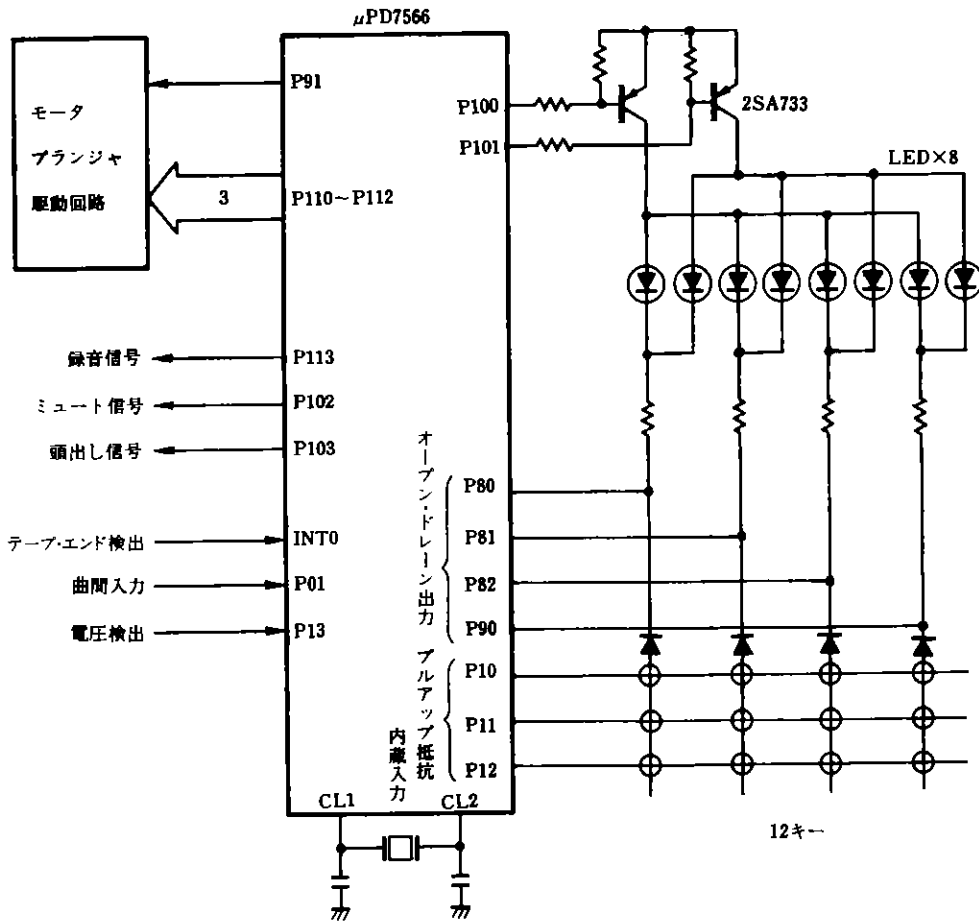
保守/廃止

(3) 洗濯機



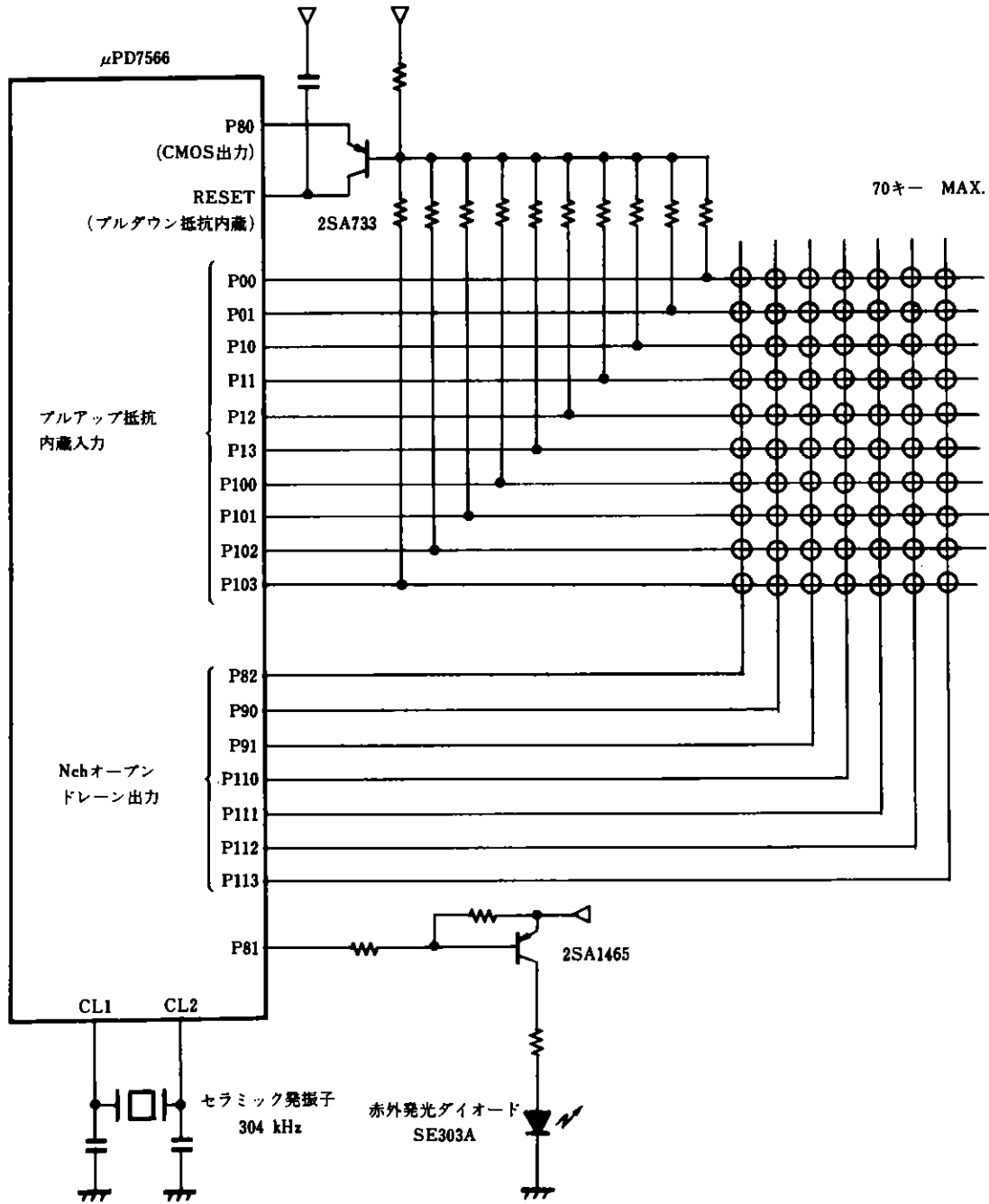
保守/廃止

(4) カセット・デッキ・コントローラ



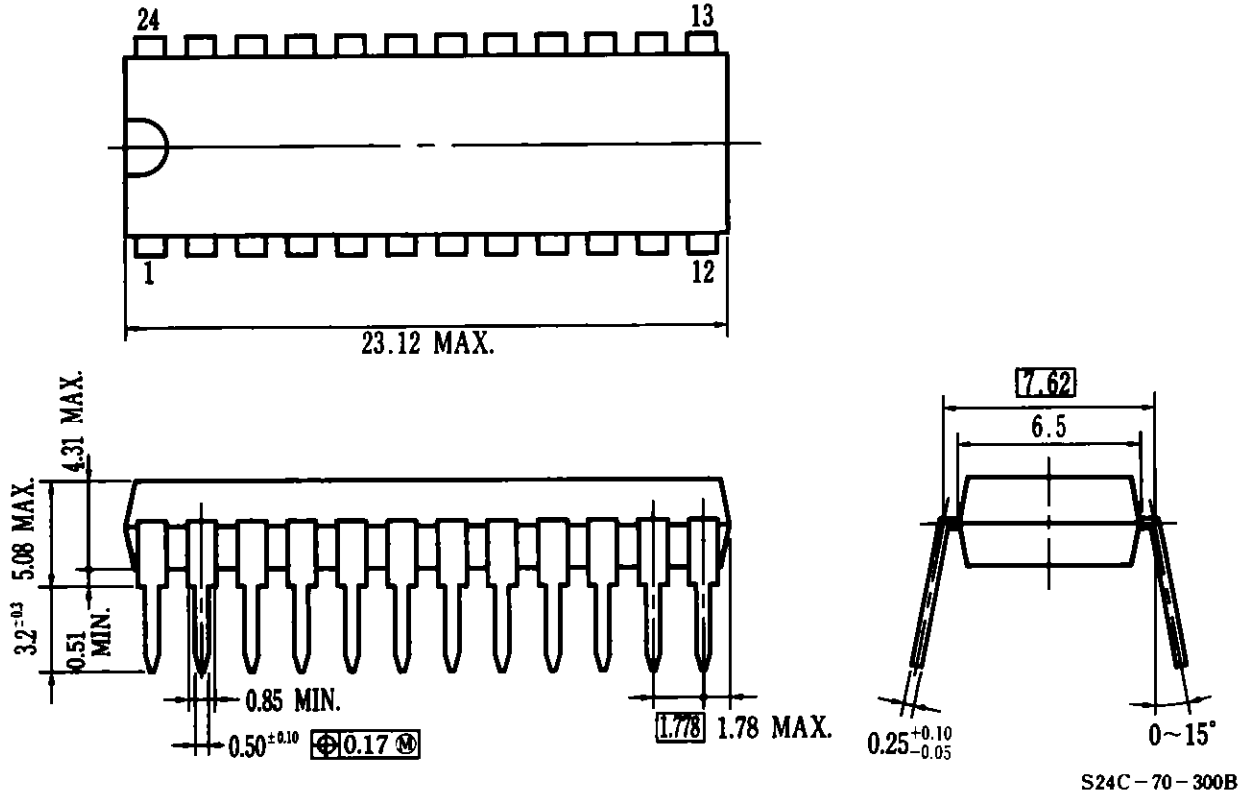
保守/廃止

(5) リモコン送信

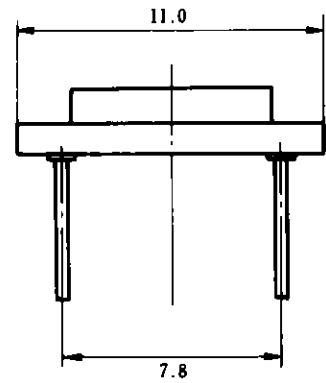
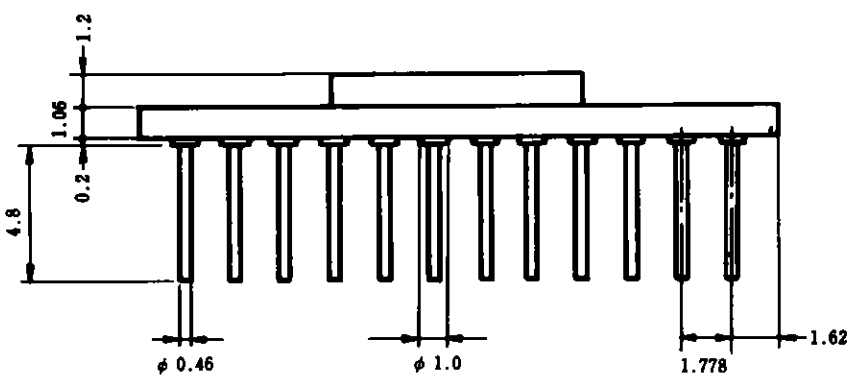
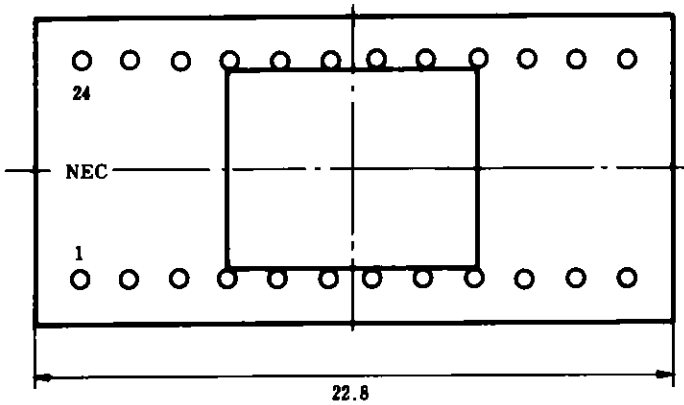


9. 外形図

24ピン・プラスチック・シュリンクDIP (300 mil) 外形図 (単位: mm)



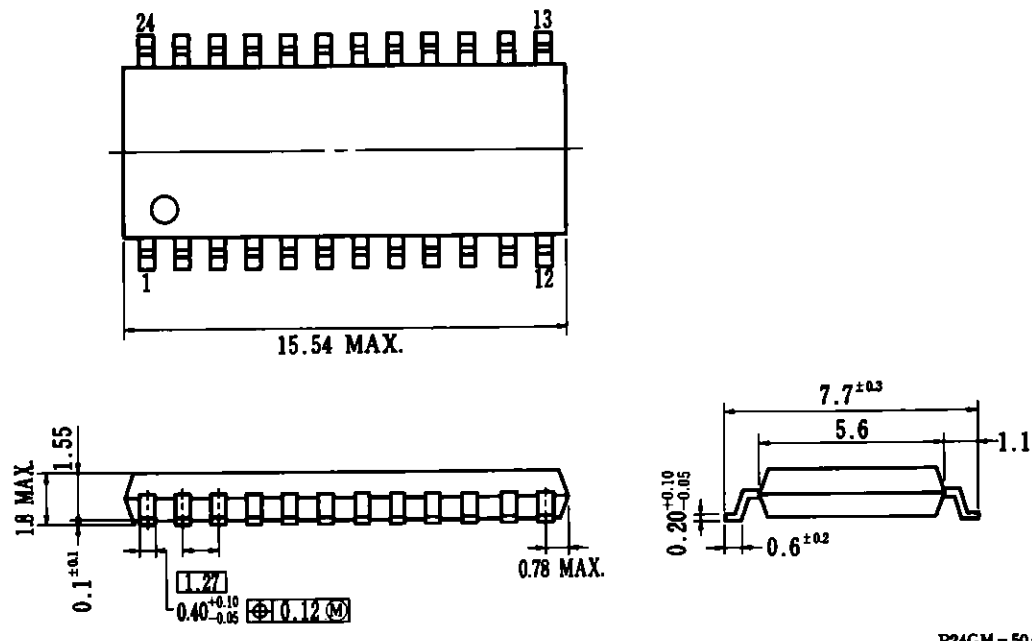
ES用24ピン・シュリンクDIP 外形図(参考) (単位: mm)



24Z-70B

保守 / 廃止

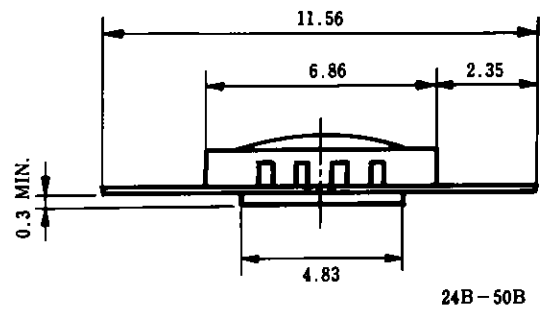
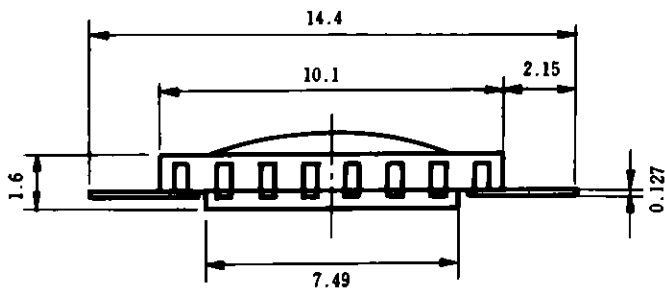
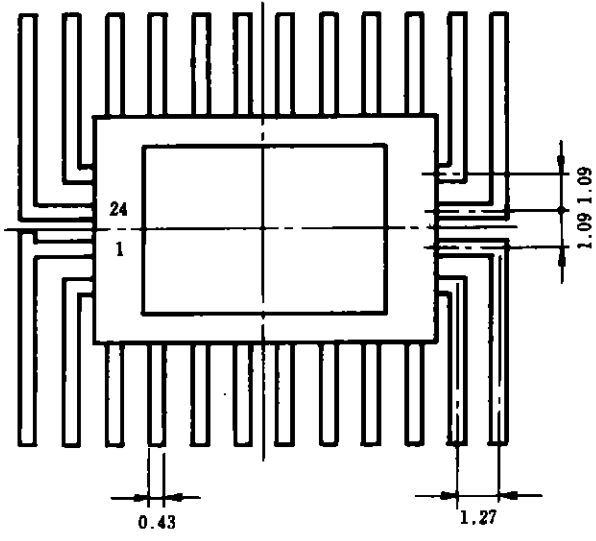
24ピン・プラスチック SOP (300 mil) 外形図 (単位: mm)



P24GM-50-300B

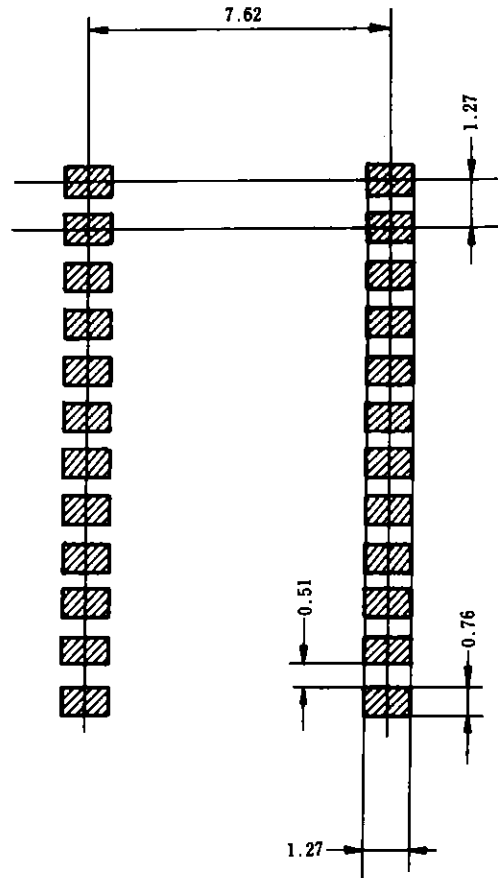
保守/廃止

ES用24ピン・セラミック SOP 外形図 (参考) (単位: mm)



24B-50B

10. SOPの推奨実装パターン (単位: mm) (参考)



- 本推奨パターンは、日本電子機械工業会 (EIAJ) の集積回路外形通則 (IC-74-2) に準拠するものです。
- 本パターン寸法は、EIAJのフラット・ディップ (ミニフラット) “フォームA 300 milタイプ” を呼称するすべての製品に適合します。
- はんだブリッジ等のご心配のある場合は、各パッドの長さ(1.27)を確保しつつ、幅(0.76)を細めに調整してください。

11. SOPのはんだ付け方法

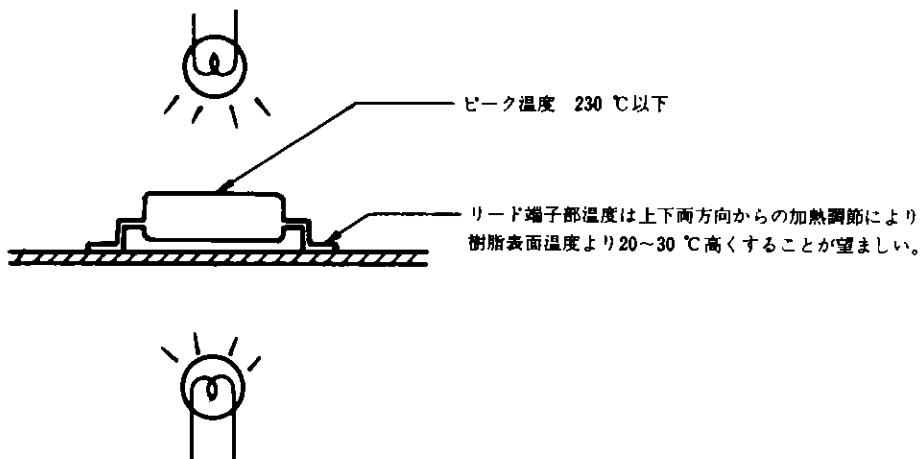
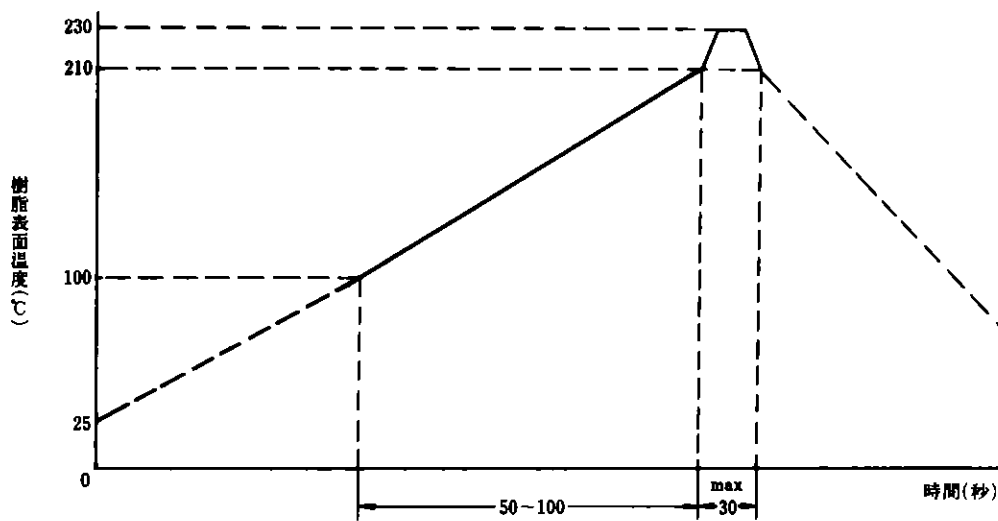
μPD7566Gの実装は、赤外線リフローまたは熱圧着によるはんだ付けを推奨致します。(実装条件は下記を参照してください。)

なお、はんだディップ法(はんだじゃぶ漬け法)についてはご相談ください。

(1)はんだリフローによる実装条件

- ・ピーク温度 230 °C以下(樹脂表面温度)
- ・時間 30秒以内(樹脂表面温度が210 °C以上となる時間)
- ・リフロー回数 1回
- ・フラックス 塩素分の少ないロジン系フラックスを推奨

図11-1 はんだリフロー温度プロファイル



(2)熱圧着による実装条件

- ・温度 300 °C以下(リード端子部温度)
- ・時間 10秒以内
- ・フラックス 塩素分の少ないロジン系フラックスを推奨

保守/廃止

12. ファミリー製品リスト

項 目		μPD7554CS/G	μPD7564CS/G	μPD7556CS/G	
インストラクション・ サイクル/ システム・クロック (5V)	RC	4 μs/500 kHz	—	4 μs/500 kHz	—
	外部	2.86 μs/700 kHz	—	2.86 μs/700 kHz	—
	セラミック	—	2.86 μs/700 kHz	—	2.86 μs/700 kHz
インストラクション・セット		47種 (SETB)		45種 (SETB)	
ROM		1024×8			
RAM		64×4			
I / O ポ ー ト	総 数	16 (MAX.)	15	20 (MAX.)	19
	ポート 0	P00 - P03		P00, P01	
	ポート 1	—		P10 - P13	
	ポート 8	P80 - P83 P83 (CL2)	P80 - P82	P80 - P83 P83 (CL2)	P80 - P82
	ポート 9	—		P90, P91	
	ポート 10, 11	P100 - P103, P110 - P113			
タイマ/イベント・カウンタ		8ビット			
シリアル・インタフェース		8ビット		—	
コンパレータ		—		4-ch	
プロセス		CMOS			
パッケージ		20ピン・プラスチック・シュリンクDIP 20ピン・プラスチックSOP		24ピン・プラスチック・シュリンクDIP 24ピン・プラスチックSOP	

保守/廃止

付録 開発ツール★

μPD7566を使用するシステム開発のために以下のような開発ツールを用意しております。

ハードウェア	EVAKIT-7500B		EVAKIT-7500Bは、μPD7500シリーズに共通に使用できる評価ボードです。 EVAKIT-7500Bは単体でも動作可能ですが、ボード上にシリアル・インタフェースを組み込んでおり、TTY/タイピュータ/RS-232-C等のコンソールを接続してデバッグを行うことができます。 リアルタイム・トレーサでプログラム・カウンタと出力ポートの状態をリアルタイムにトレースすることができます。また、PROMライターが組み込まれており、デバッグ効率を飛躍的に向上させることができます。		
	EV-7554A		μPD7566の評価を行うためのオプション・ボードで、EVAKIT-7500Bに接続して使用します。		
ソフトウェア	EVAKIT-7500B コントロール・プログラム (EC-7500)		EVAKIT-7500Bとホスト・マシン (MDシリーズ、およびPC-9800シリーズ) の接続により、EVAKITのモニタ機能以外に、オンライン・アセンブルや逆アセンブル機能とホスト・マシン上のファイルとのデータ転送機能が使用でき、効率のよいデバッグができます。		
			ホスト・マシン	オーダ名称 (品名)	
				OS	
			MD-086/116シリーズ	コンカレント CP/M™	μS171EV7500
			PC-9800シリーズ	MS-DOS™	μS5A1EV7500-P01 μS5A10EV7500-P01
				CP/M-86™	μS6A1EV7500-P01 μS6A10EV7500-P01
	μPD7500シリーズ・アセンブラ		ホスト・マシン	オーダ名称 (品名)	
			OS		
		MD-086/116シリーズ	コンカレント CP/M	μS171AS7500	
		PC-9800シリーズ	MS-DOS	μS5A1AS7500 μS5A10AS7500	
			CP/M-86	μS6A1AS7500 μS6A10AS7500	

備考1. ソフトウェアは両面倍密度のフロッピー・ディスクにより供給されます。

- アセンブラ、EVAKIT コントローラ等の動作は、NECのホスト・マシン (PC-9800シリーズとMDシリーズ) でNECより供給しているOSで保証されます。

注意 MS-DOSはバージョン2.11をご使用ください。



コンカレントCP/M, CP/M-86は米国デジタル・リサーチ社の商標です。

MS-DOSは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

本製品が外国為替および外国貿易管理法の規定による戦略物資等（または役務）に該当するか否かは、ユーザ（仕様を決定した者）が判定してください。

- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的所有権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
- 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意ください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。
 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
 特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災/防犯装置、各種安全装置、生命維持を直接の目的としない医療機器
 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
 当社製品のデータ・シート/データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。
- この製品は耐放射線設計をしておりません。

M4 94.11

— お問い合わせは、最寄りのNECへ —

【営業関係お問い合わせ先】

半導体第一販売事業部 半導体第二販売事業部 半導体第三販売事業部	〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3464-1111 (大代表)	
中部支社 半導体第一販売部 半導体第二販売部	〒460 名古屋市中区錦一丁目17番1号 (NEC中部ビル)	名古屋 (052)222-2170 名古屋 (052)222-2190	
関西支社 半導体第一販売部 半導体第二販売部 半導体第三販売部	〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3178 大阪 (06) 945-3200 大阪 (06) 945-3208	
北海道支社 東北支社 岩手支店 山形支店 山形支店 山形支店 いわき支店 長岡支店 土浦支店 水戸支店 神奈川支社 群馬支店	札幌 (011)231-0161 仙台 (022)267-8740 盛岡 (019)651-4344 山形 (0236)23-5511 山形 (0249)23-5511 いわき (0246)21-5511 長岡 (0258)36-2155 土浦 (0298)23-8161 水戸 (026)226-1717 神奈川 (045)324-5524 群馬 (0273)26-1255	太田支店 太田 (0276)46-4011 宇都宮支店 宇都宮 (028)621-2261 小山支店 小山 (0285)24-5011 長野支店 松本 (0263)35-1662 甲府支店 甲府 (0552)24-4141 埼玉支店 大宮 (048)641-1411 立川支店 立川 (0425)26-5981 千葉支店 千葉 (043)238-8116 静岡支店 静岡 (054)255-2211 北陸支店 金沢 (0762)23-1621 福井支店 福井 (0776)22-1866	富山支店 富山 (0764)31-8481 三重支店 津 (0592)25-7341 京都支社 京都 (075)344-7824 神戸支社 神戸 (078)333-3854 中国支社 広島 (082)242-5504 鳥取支店 鳥取 (0857)27-5311 岡山支店 岡山 (086)225-4455 四国支店 高松 (0878)36-1200 新居浜支店 新居浜 (0897)32-5001 松山支店 松山 (089)945-4149 九州支社 福岡 (092)271-7700

【本資料に関する技術お問い合わせ先】

半導体ソリューション技術本部 マイクロコンピュータ技術部	〒210 川崎市幸区厚畑三丁目484番地	川崎 (044)548-7923	半導体 インフォメーションセンター FAX(044)548-7900 (FAXにてお問い合わせ)
半導体販売技術本部 東日本販売技術部	〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3798-9619	
半導体販売技術本部 中部販売技術部	〒460 名古屋市中区錦一丁目17番1号 (NEC中部ビル)	名古屋 (052)222-2125	
半導体販売技術本部 西日本販売技術部	〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3383	