

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

1チップ・4ビット・マイクロコンピュータ

μ PD7554は、 μ PD7500シリーズの下位低価格機種で、ポート数を減らして小形パッケージを採用しておりますが、シリアル・インタフェースを内蔵しており、 μ PD7500シリーズの上位機種または μ COM-87ファミリのスレーブCPUとしてシステムの分散処理に威力を発揮します。

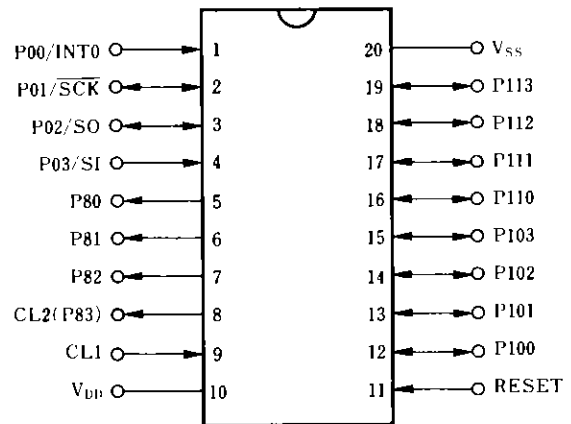
また、 μ PD7554は、トリアックやLEDを直接駆動可能な出力を備え、マスク・オプションによって各種入出力回路を選択できるため、外部回路を大幅に節減できます。

PPC、プリンタ、VTR、オーディオ製品等の制御に最適です。

特 徴

- 47種のインストラクション
(μ PD7500H SET Bのサブセット)
- インストラクション・サイクル
外部クロック：2.86 μ s/700 kHz, 5 V
RC発振：4 μ s/500 kHz, 5 V
- プログラム・メモリ (ROM) 容量：1024×8 ビット
- データ・メモリ (RAM) 容量：64×4 ビット
- テスト・ソース：外部1, 内部2
- 8ビット・タイマ/イベント・カウンタ
- 16 I/Oライン (全端子合計出力電流：100 mA)
 - ・トリアック, LEDを直接駆動：P80-P83
 - ・LEDを直接駆動：P100-P103, P110-P113
 - ・すべてのポートにマスク・オプション機能あり
- 8ビット・シリアル・インタフェース
- スタンバイ (STOP/HALT) 機能
- データ・メモリの低電源電圧データ保持機能
- システム・クロック用RC発振回路内蔵
外付け抵抗R1本で発振 (キャパシタC内蔵)
- CMOS
- 低消費電力
- 単一電源 (2.5~6.0 V)

端子接続図 (Top View)



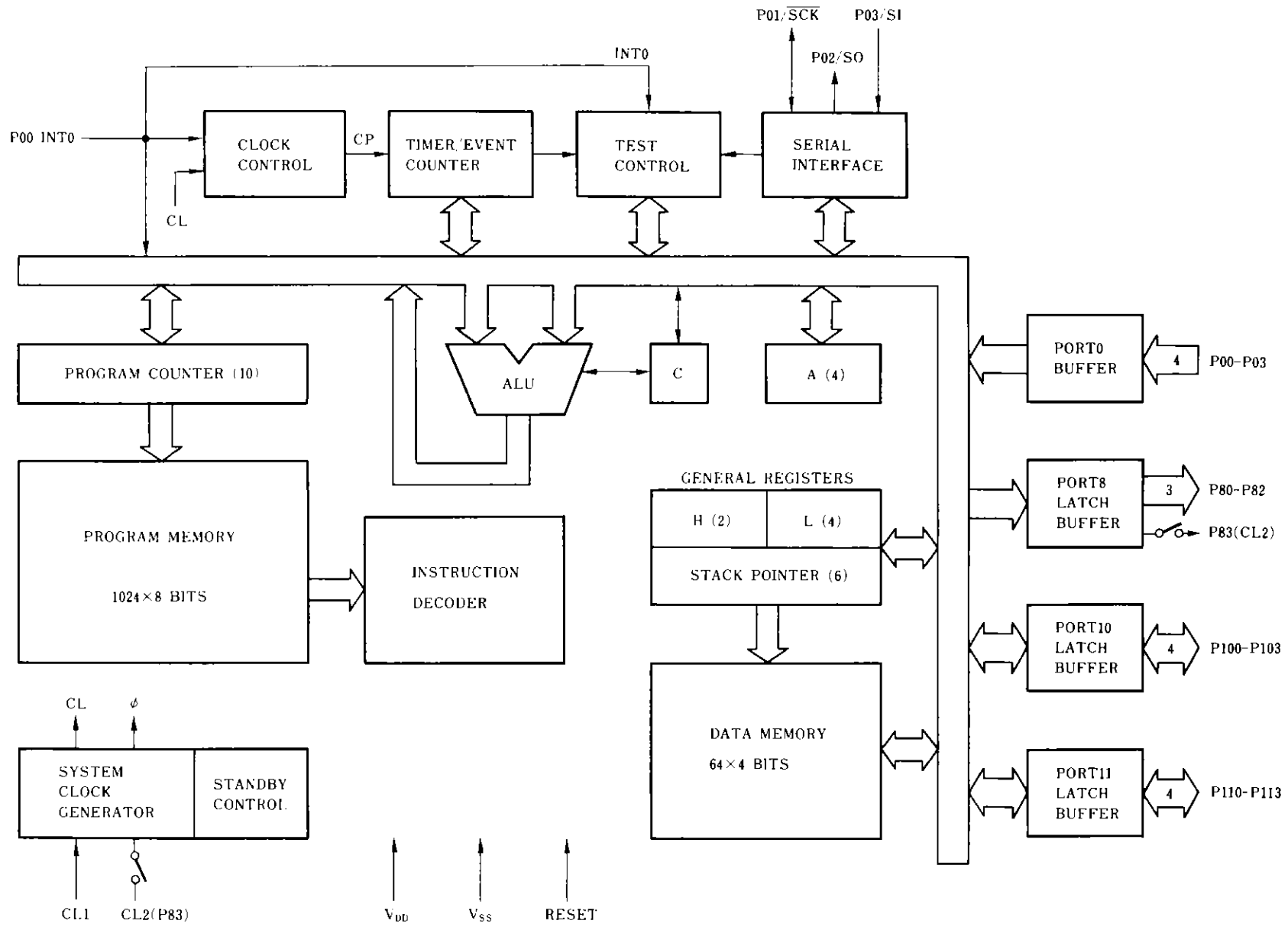
★ オーダ情報

オーダ名称	パッケージ
μ PD7554CS- $\times\times\times$	20ピン・プラスチック・シュリンク DIP (300 mil)
μ PD7554G- $\times\times\times$	20ピン・プラスチック SOP

注意 発注の際はマスク・オプションの指定を必ずお願いします。

本資料の内容は後日変更する場合があります。

保守/廃止



目 次

1. 端子機能	5
1.1 ポート機能	5
1.2 ポート以外の機能	5
1.3 端子のマスク・オプション	6
1.4 端子の入出力回路	6
1.5 μPD7554未使用端子の処理について	9
1.6 入出力ポート動作	10
2. 内部ブロック機能	12
2.1 プログラム・カウンタ (PC)	12
2.2 スタック・ポインタ (SP)	12
2.3 プログラム・メモリ (ROM)	13
2.4 汎用レジスタ	13
2.5 データ・メモリ (RAM)	14
2.6 アキュムレータ (A)	15
2.7 演算論理ユニット (ALU)	15
2.8 プログラム・ステータス・ワード (PSW)	15
2.9 システム・クロック発生回路	16
2.10 クロック制御回路	17
2.11 タイマ/イベント・カウンタ	18
2.12 シリアル・インタフェース	19
2.13 テスト・コントロール回路	21
3. スタンバイ機能	23
3.1 STOPモード	23
3.2 HALTモード	23
3.3 スタンバイ・モードの解除	24
4. リセット機能	24
4.1 イニシャライズ内容	24
4.2 パワー・オン・リセット回路	25

5. μ PD7554 命令セット	26
6. μ PD7554 電気的特性	31
7. 特性曲線	40
8. μ PD7554 応用回路	44
9. 外形図	45
10. プラスチック SOP の推奨実装パターン (単位: mm)	48
11. プラスチック SOP のはんだ付け方法	49
12. ファミリ製品リスト	50
13. システム開発のための開発ツール	51

1. 端子機能

1.1 ポート機能

端子名称	入出力	兼用端子	機能	RESET時	入出力回路 Type
P00	入力	INT0	4ビット入力ポート (PORT 0) P00はカウント・クロック (イベント・パルス) 入力を兼用	入力	S
P01	入出力	SCK			X
P02		SO			W
P03	入力	SI			S
P80 - P82	出力	—	4ビット出力ポート (PORT 8)	ハイ・インピーダンス	O
P83	出力	CL2	大電流 (15mA)、中耐圧 (12V) 出力		
P100 - P103	入出力	—	4ビット入出力ポート (PORT 10)	ハイ・インピーダンス or ハイ・レベル出力	P
P110 - P113	入出力	—	4ビット入出力ポート (PORT 11)		

*：外部クロック (CL1) 使用の場合のみ、マスク・オプションでポート機能指定可。

1.2 ポート以外の機能

端子名称	入出力	兼用端子	機能	RESET時	入出力回路 Type
INT0	入力	P00	エッジ検出テストابل入力端子 (立ち上がりエッジ)		S
SCK	入出力	P01	シリアル・クロックの入出力端子	入力	X
SO	出力	P02	シリアル・データ出力端子	入力	W
SI	入力	P03	シリアル・データ入力端子	入力	S
CL1			RC発振用の抵抗R接続端子 外部クロックの場合、CL1へ入力し、CL2はマスク・オプションによってP83として使用可能		Q
CL2		P83			
RESET			システム・リセット入力端子 (ハイ・レベル・アクティブ) マスク・オプションでプルダウン抵抗を内蔵可能		R
V _{DD}			正電源端子		
V _{SS}			GND電位端子		

1.3 端子のマスク・オプション

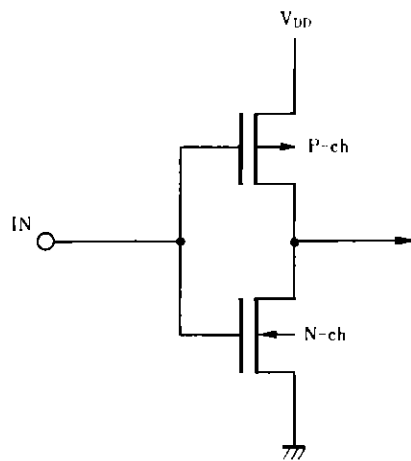
端子には、次のようなマスク・オプションがあり、目的に応じて、ビットごとに選択できます。

端子名称	マ ス ク ・ オ プ シ ョ ン
P00-P03	① 内蔵抵抗なし ② プルアップ抵抗内蔵 ③ プルダウン抵抗内蔵
P80-P82	① CMOS (プッシュプル) 出力 ② N-chオープン・ドレイン出力
P83/CL2	① P83として使用する ② CL2として使用する
	① CMOS (プッシュプル) 出力 ② N-chオープン・ドレイン出力 (P83として使用)
P100-P103 P110-P113	① N-chオープン・ドレイン入出力 ② CMOS (プッシュプル) 入出力 ③ N-chオープン・ドレイン+プルアップ抵抗内蔵入出力
RESET	① プルダウン抵抗を内蔵する ② プルダウン抵抗を内蔵しない

1.4 端子の入出力回路

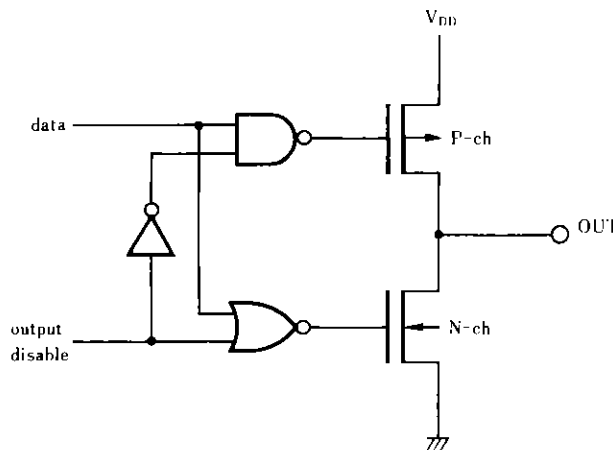
μPD7554の各端子の入出力回路を一部簡略した形式を用いて示します。

(1) Type A (Type W用)



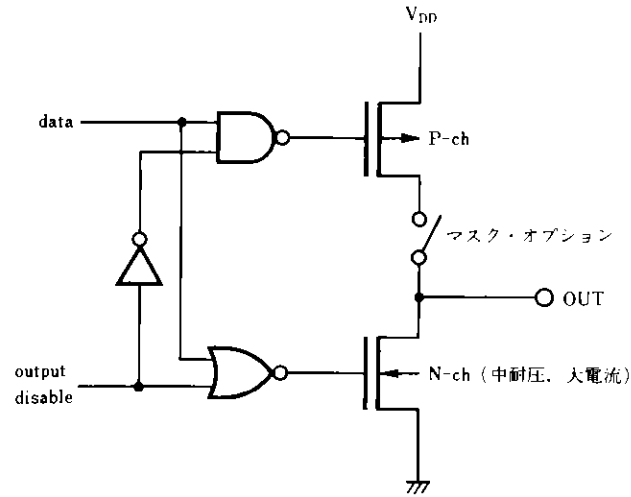
CMOS規格の入力バッファになっています。

(2) Type D (Type W, X用)

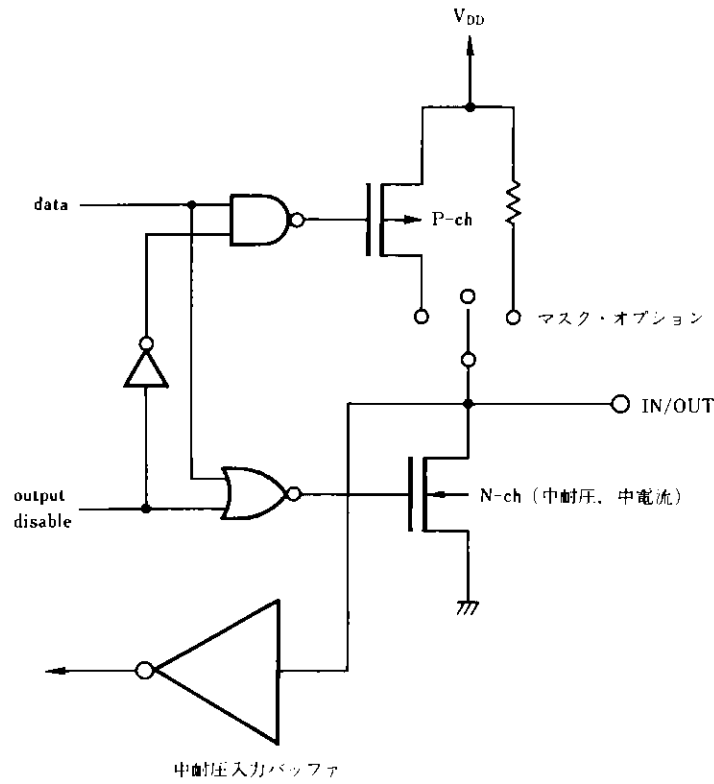


RESET入力によりハイ・インピーダンス (P-ch, N-chともにオフ) となるプッシュプル出力となっています。

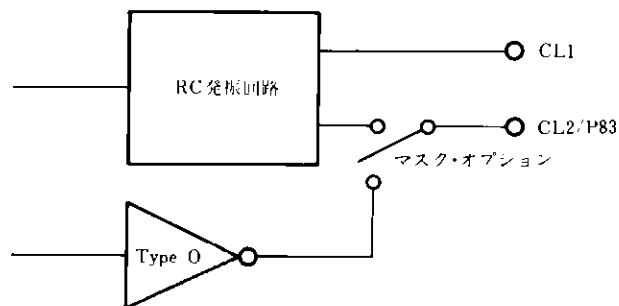
(3) Type O



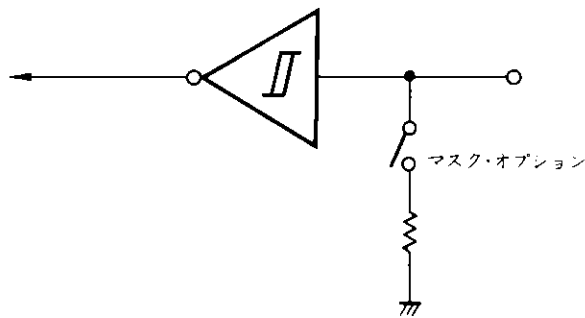
(4) Type P



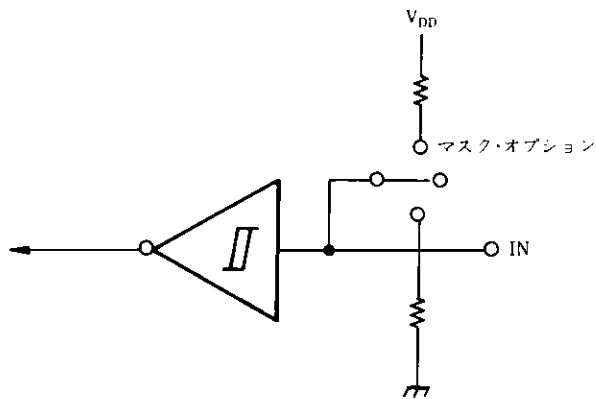
(5) Type Q



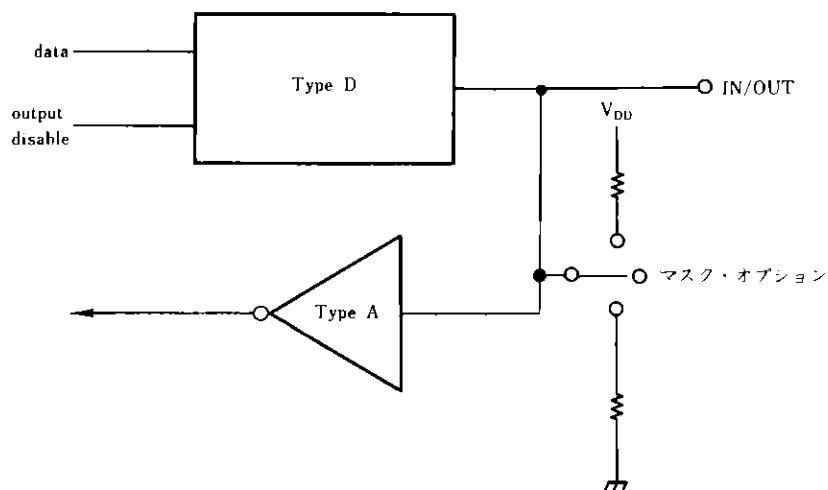
(6) Type R



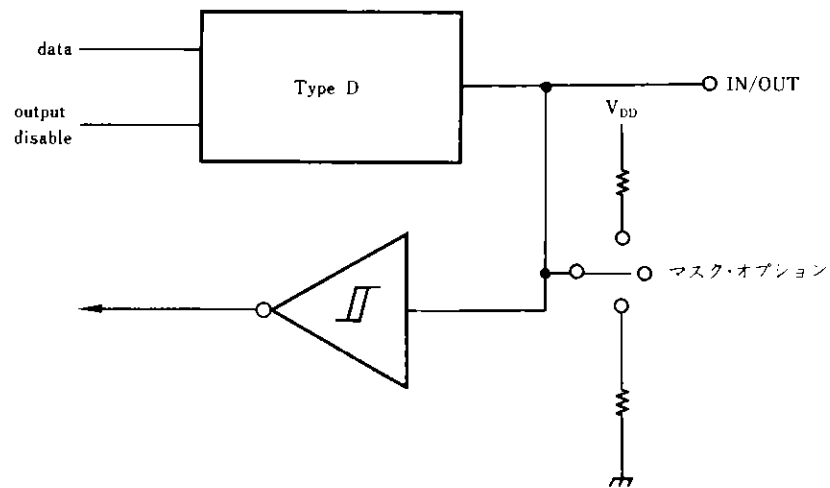
(7) Type S



(8) Type W



(9) Type X



1.5 μPD7554未使用端子の処理について

端子	推奨接続方法
P00/INT0	V_{SS} に接続
P01-P03	V_{SS} または V_{DD} に接続
P80-P83	オープン
P100-P103	入力状態： V_{SS} または V_{DD} に接続
P110-P113	出力状態：オープン

1.6 入出力ポート動作

(1) P00 - P03 (Port 0)

ポート0（4ビット入力ポート）の4ビット入力端子ですが、ポート入力として働く以外に、P00はカウント・クロック入力またはテスト入力（INT0）として、P01 - P03はシリアル・インタフェース入出力として用いられます。

P00をカウント・クロック入力として動作させるにはクロック・モード・レジスタのビット2, 1 (CM2, 1) を“01”にセットします。(2.10 クロック制御回路参照)

P00をINT0として動作させるには、シフト・モード・レジスタのビット3 (SM3) を“1”にセットします。

また、P01 - P03をシリアル・インタフェース入出力として使用する場合のシリアル・インタフェース機能はシフト・モード・レジスタのビット2, 1 (SM2, 1) によって決定されます(2.12 シリアル・インタフェース参照)

ポート以外の機能で動作している場合も含めて、ポート入力命令 (IPL) を実行することによって、いつでもP00 - P03ライン上のデータをアキュムレータ (A0 - A3) にロードすることができます。

(2) P80 - P83 (Port 8)

ポート8（出力ラッチ付き4ビット出力ポート）の4ビット出力端子です。

ポート出力命令 (OPL) によってアキュムレータ (A0 - A3) の内容が出力ラッチにラッチされ、同時にP80 - P83端子に出力されます。

P80 - P83は、SPBL, RPBL 命令^注によってビット単位にセット、リセット可能です。

ただし、P83はRC発振用の抵抗Rの接続端子の一方 (CL2) として動作させるかポート8のビット3出力として動作させるかをマスク・オプションで選択するようになっております。従ってRC発振を行う場合はポート8は3ビット出力 (P80 - P82) となり、外部クロックを使用する場合にのみ4ビット出力 (P80 - P83) を構成できます。

P80 - P83は、CMOS (プッシュプル) 出力かN-chオープン・ドレイン出力かをマスク・オプションで選択できます。

N-chオープン・ドレイン出力では出力バッファが12Vの耐圧を持っていますので、電源電圧の異なる回路とのインタフェースに効果的です。

★ RESET入力により出力ラッチの内容は不定となり、出力はハイ・インピーダンスとなります。

★ 注 RPBL, SPBLはビット単位のセット/リセット命令ですが、セット/リセット動作と同時に、指定ビットを含むポート（4ビット）単位での出力を行います（指定ビット以外の端子には出力ラッチの内容を出力）。これら命令を実行する際には、前もって出力ラッチの内容をOPL命令によりイニシャライズしてください。

(3) P100 - P103 (Port 10), P110 - P113 (Port 11)……擬似双方向入出力

P100 - P103 はポート10 (出力ラッチ付き 4 ビット入出力ポート), P110 - P113 はポート11 (出力ラッチ付き 4 ビット入出力ポート) の 4 ビット入出力端子です。

ポート出力命令 (OPL) によってアキュムレータの内容が出力ラッチにラッチされるのと同時に 4 ビット端子に出力されます。

一度出力ラッチに書き込まれたデータおよび出力バッファの状態は、次にポート10またはポート11を操作する出力命令が実行されるか、RESET 入力があるまで保持されます。これらのポートに対して入力命令が実行されても出力ラッチおよび出力バッファの状態は変化しません。

P100 - P103, P110 - P113 は SPBL, RPBL 命令によってビット単位にセット, リセット可能です。

ポート10, 11の入出力形式として、N-ch オープン・ドレイン入出力, N-ch オープン・ドレイン+プルアップ抵抗内蔵入出力, CMOS(プッシュプル)入出力の 3 つのうちいずれかをマスク・オプションで選択できます。

N-ch オープン・ドレイン入出力では 12 V の耐圧を持っていますので、電源電圧の異なる回路とのインタフェースに効果的です。

CMOS (プッシュプル) 入出力を選択し、一度出力命令を実行すると入力モードに戻すことはできません。しかし、ポート入力命令 (IPL) によって端子の状態を読み出して確認することは可能です。

他の 2 つの形式を選択した場合、ポートにハイ・レベルを出力することによって入力モードとし、4 ビットライン上のデータをアキュムレータにロードすることができます。(擬似双方向ポート)

3 種類の入出力形式はそれぞれ次のような場合に選択します。

① CMOS 入出力

- i) 各ポートについて 4 ビットすべてを入力ポートとして使う場合。
- ii) 中耐圧出力が要求されない出力端子として使う場合。

② N-ch オープン・ドレイン入出力

- i) 中耐圧が必要な入出力端子として使う場合。
- ii) 各ポートについて、入力端子と出力端子が混在するときの入力端子として使う場合。
- iii) 1 つの端子で入力と出力を切り替えて使う場合。

③ N ch オープン・ドレイン+プルアップ抵抗内蔵入出力

- i) 各ポートについて、入力端子と出力端子が混在するときの入力端子でプルアップ抵抗が必要な場合。
- ii) 1 つの端子で入力と出力を切り替えて使う端子でプルアップ抵抗が必要な場合。

注意: ②、③で入力端子として使う場合はあらかじめ出力ラッチに "1" を書き込み N-ch トランジスタを OFF させておく必要があります。

RESET 入力により出力ラッチの内容は不定となり、N-ch オープン・ドレイン + プルアップ抵抗内蔵の場合にはハイ・レベル出力、その他の場合はハイ・インピーダンスとなります。

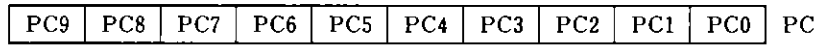
★

2. 内部ブロック機能

2.1 プログラム・カウンタ(PC)……10ビット

プログラム・メモリ (ROM) のアドレス情報を保持する10ビットのバイナリ・カウンタです。

図2-1 プログラム・カウンタの構成



通常、命令を1個実行することにより、その命令のバイト数に応じて自動的にインクリメントされます。

コール命令実行時には、そのときのPCの内容 (リターン・アドレス) がスタック・メモリに退避された後、PCには新たにコール・アドレスがロードされます。リターン命令実行時には、スタック・メモリの内容 (リターン・アドレス) がPCにロードされます。ジャンプ命令実行時には、ジャンプ先を示すイミューディエト・データが、PCの全部または一部のビットにロードされます。

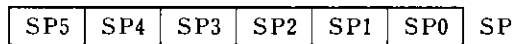
スキップ時には、次の命令のバイト数に応じて、1マシン・サイクルの間に+2または+3されます。

RESET入力時には、全ビット0にクリアされます。

2.2 スタック・ポインタ (SP)……6ビット

データ・メモリの一部をスタック・メモリ (LIFO形式) として用いる場合、その先頭アドレス情報を保持している6ビット・レジスタです。

図2-2 スタック・ポインタの構成

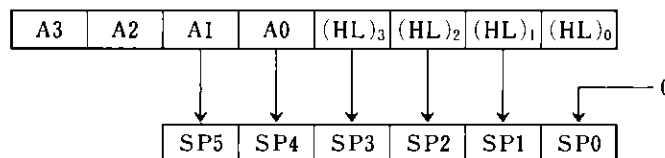


コール命令実行時にデクリメントされ、リターン命令実行時にインクリメントされます。

スタック領域を決定するには、TAMSP命令でSPをイニシャライズします。ただし、TAMSP命令実行時、SP0には無条件に0がロードされます。スタック動作はSPのデクリメントで始まりますので、SPにはスタック領域の最上位アドレス+1をセットします。

スタック領域の最上位アドレスをデータ・メモリの最上位アドレスである3FHとする場合、SP5-0の初期値は00Hとする必要がありますが、μPD7500H(EVAKIT-7500)でエミュレーションする場合を考慮してTAMSP命令実行の際、AMに用意するデータは40Hとして下さい。

図2-3 TAMSP命令の実行



なお、SPの内容を読み出すことはできません。

注意：SPはRESET入力により不定となりますので、プログラムの初期で必ず設定して下さい。

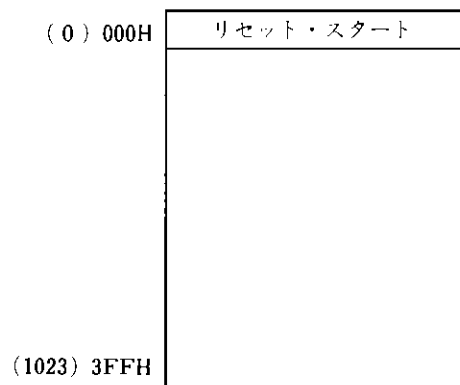
```

例：  LHLI   00H
      LAI    0
      ST
      LAI    4
      TAMSP          ; SP=40H
    
```

2.3 プログラム・メモリ (ROM).....1024ワード×8ビット

1024ワード×8ビット構成のマスクプログラマブルROMで、プログラム・カウンタによってアドレスされます。プログラム・メモリには、プログラムを格納します。000H番地はリセット・スタート番地になっています。

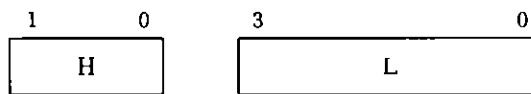
図2-4 プログラム・メモリ・マップ



2.4 汎用レジスタ

汎用レジスタにはH(2ビット)とL(4ビット)があり個々に操作されるほか、ペアレジスタHLを形成(Hが上位、Lが下位)してデータ・ポインタとして働き、データ・メモリのアドレッシングに用いられます。

図2-5 汎用レジスタの構成

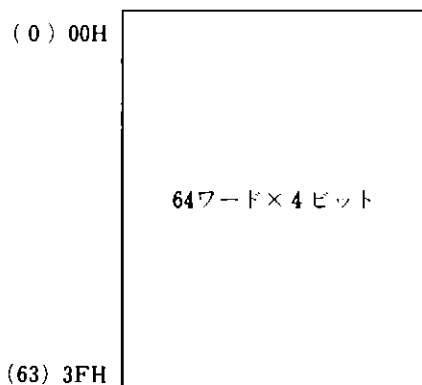


Lレジスタは、入出力命令 (IPL, OPL) 実行時に入出力ポートやモード・レジスタを指定するためにも使用されます。またLレジスタはSPBL, RPBL命令実行時にポートのビット指定を行うために使用されます。

2.5 データ・メモリ (RAM)……64×4ビット

データ・メモリは64ワード×4ビット構成のスタティックRAMで、処理データのストアおよびスタック領域に利用されます。またデータ・メモリはアキュムレータとペアになって、8ビット単位で処理されることもあります。

図2-6 データ・メモリ・マップ



データ・メモリのアドレッシングには、次に示す3種があります。

- ダイレクト：命令のイミディエイト・データで直接アドレス指定を行います。
- レジスタ・インダイレクト：ペアレジスタHLの内容によって、間接にアドレス指定を行います。(オートインクリメント、オートデクリメントを含む)
- スタック：スタック・ポインタ (SP) の内容によって、間接にアドレス指定を行います。

データ・メモリの任意の空間がスタック・メモリとして利用できます。スタック領域の境界はTAMSP 命令でSPをイニシャライズすることによって決定され、その後はコール命令、リターン命令によって自動的にアクセスされます。

コール命令実行時には、PC、PSWの内容が次図に示す順でストアされます。

スタック領域

	3	0		
SP-4	0	0	PC9	PC8
SP-3	PSW*			
SP-2	PC3 - PC0			
SP-1	PC7 - PC4			

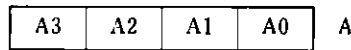
*：ビット1は常に0

リターン命令実行時にPCの内容はリストアされますが、PSWはリストアされません。データ・メモリの内容は、STOPモードにおいて低電源電圧データ保持が可能です。

2.6 アキュムレータ (A)……4ビット

アキュムレータは4ビット構成のレジスタで、各種演算はアキュムレータを中心に行われます。またアキュムレータは、ペアレジスタHLでアドレスされるデータ・メモリとペアになって8ビット単位で処理されることもあります。

図2-7 アキュムレータの構成



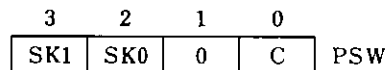
2.7 演算論理ユニット (ALU)……4ビット

演算論理ユニットは4ビット構成の演算回路で、2進加算、論理演算、増減、比較などの演算処理やビット処理などを行います。

2.8 プログラム・ステータス・ワード (PSW)……4ビット

プログラム・ステータス・ワードは、スキップ・フラグ (SK1, SK0) とキャリー・フラグ (C) で構成されています。PSWのビット1は常に0になっています。

図2-8 プログラム・ステータス・ワードの構成



(1) スキップ・フラグ (SK1, SK0)

スキップ・フラグは次に示すスキップ状態を記憶するフラグです。

- LAI命令によるたてづみ
- LHLI命令によるたてづみ
- たてづみ以外の命令によるスキップ条件成立

スキップ・フラグは命令の実行により自動的にセット、リセットされます。

(2) キャリー・フラグ (C)

キャリーフラグは、加算命令 (ACSC) 実行時に ALU のビット 3 からのキャリーが発生するとセット (1) され、発生しなければリセット (0) されます。さらに SC 命令でセット、RC 命令でリセットされ、SKC 命令でその内容がテストされます。

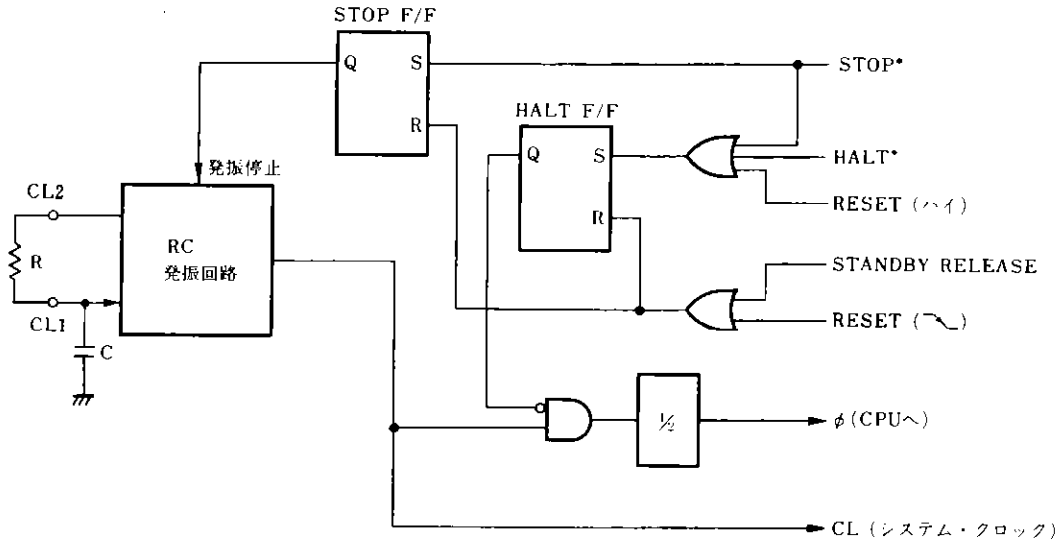
PSW の内容はコール命令実行時に自動的にスタック領域にストアされますが、リターン命令によってリストアされません。

RESET 入力時には、SK1, SK0 はクリア (0) され、C は不定となります。

2.9 システム・クロック発生回路

システム・クロック発生回路はRC発振回路、1/2分周回路、スタンバイ(STOP/HALT)モードの制御回路などで構成されています。

図2-9 システム・クロック発生回路



*: 命令の実行

RC発振回路は、CL1、CL2 端子間に接続される1本の外付け抵抗Rによって発振します(キャパシタCは内蔵)。RC発振によらず、CL1入力より外部クロックを入力することもでき、その場合RC発振回路は単に反転バッファとして働きます。

RC発振回路出力はシステム・クロック(CL)となり、これが1/2分周されてCPUクロック(ϕ)となります。スタンバイ・モードの制御回路は、STOP F/F と HALT F/F を中心に構成されています。

STOP F/FはSTOP命令によってセットされ、クロックの供給を停止させます。また、RC発振回路が動作している場合には、その発振を停止させます(STOPモード)。

STOP F/FはSTANDBY RELEASE信号(テスト・リクエスト・フラグが1つでもセットされるとアクティブになる)またはRESET入力の立ち下がりによってリセットされ、RC発振とクロックの供給を開始させます。

HALT F/FはHALT命令によってセットされ、CPUクロック ϕ を生成するための1/2分周回路の入力を禁止し、CPUクロック ϕ のみを停止させます(HALTモード)。

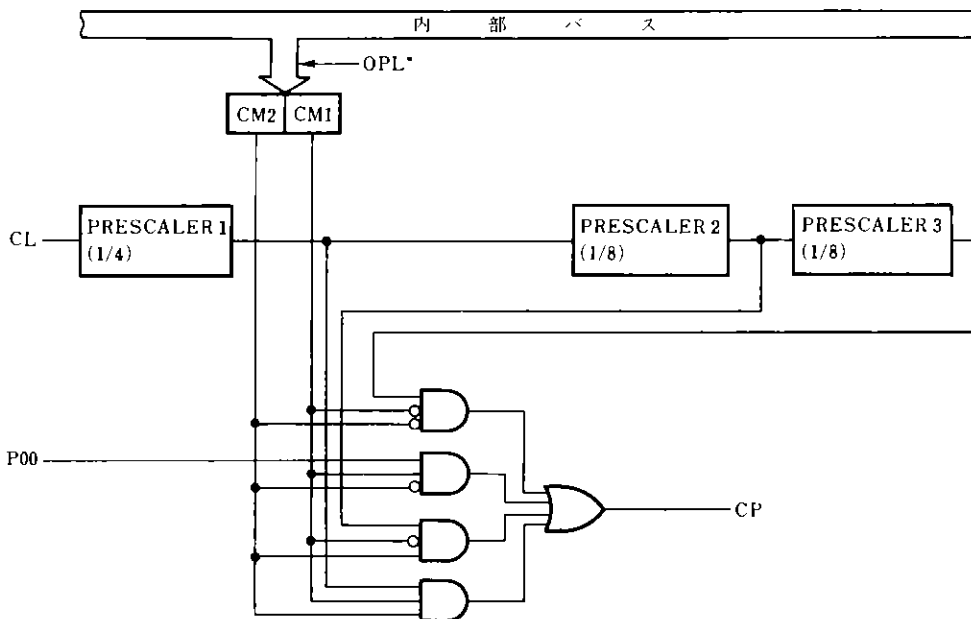
HALT F/FはまたSTOP F/Fがセットされるのと同じ条件でセットされ、STOP F/Fがリセットされるのと同じ条件でリセットされます。

HALT F/FがリセットされるとCPUクロック ϕ の供給が開始されます。

2.10 クロック制御回路

クロック制御回路は、2ビット・クロック・モード・レジスタ (CM2, 1)、プリスケアラ1, 2, 3およびマルチプレクサで構成されており、システム・クロック発生回路出力 (CL) とイベント・パルス (P00) を入力し、クロック・モード・レジスタの指定により、クロック・ソースとプリスケアラの選択を行い、タイマ/イベント・カウンタへカウント・パルス (CP) を供給します。

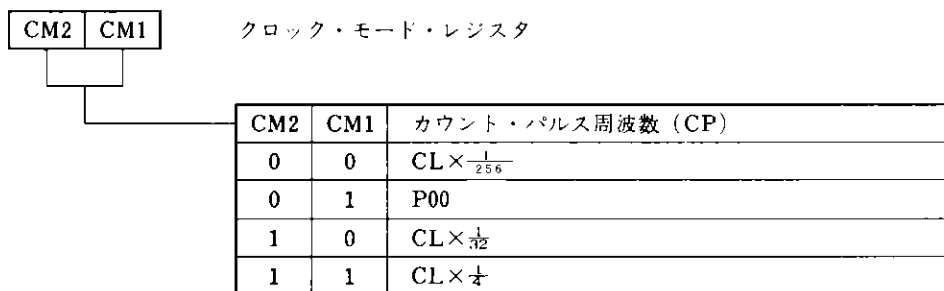
図 2-10 クロック制御回路



備考：*は命令の実行

クロック・モード・レジスタへは、OPL命令でコードをセットします。

図 2-11 クロック・モード・レジスタのフォーマット

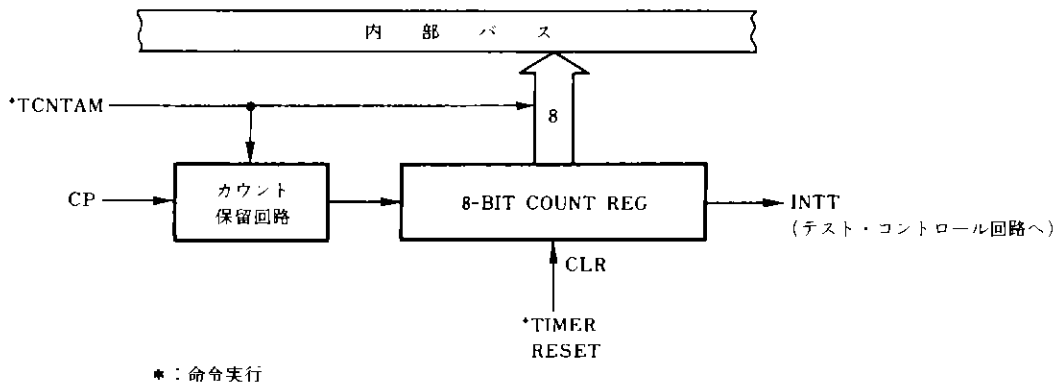


注意：OPL命令でクロック・モード・レジスタにコードをセットする際、アキュムレータのビット0 (エミュレーション時に EVAKIT-7500; μPD7500のCM0に対応) は必ず“0”として下さい。

2.11 タイマ/イベント・カウンタ

タイマ/イベント・カウンタは、8ビット・カウント・レジスタを中心に構成されています。

図 2-12 タイマ/イベント・カウンタ



8ビット・カウント・レジスタは、2進8ビットのアップカウンタで、カウント・パルス (CP) が入力されるごとにインクリメントされ、TIMER 命令実行時、RESET 入力時およびオーバーフロー時 (FFH→00H) にクリアされて 00H になります。

カウント・パルスとしてはクロック・モード・レジスタによって次の4種のうちいずれかを選択できます (2.10 クロック制御回路参照)

$$CP : CL \times \frac{1}{4}, CL \times \frac{1}{32}, CL \times \frac{1}{256}, P00$$

カウント・レジスタは、カウント・パルスが入力されている限り、常にカウント・アップを続けています。従って、TIMER 命令でカウント・レジスタの内容をクリア (00H) してタイマ動作をトリガします。

カウント・レジスタは、CP に同期 (外部クロックの場合は、P00 入力の立ち上がりに同期) してインクリメントされ、256 カウントを終了するとカウント値を FFH から 00H に戻してオーバーフロー信号 (INTT) を発生し、INTT テスト・フラグ (INTT RQF) をセットします。

こうしてカウント・レジスタは、再び 00H からカウント・アップを繰り返します。

オーバーフローは、INTT RQF を SKI 命令でテストすることによって知ることができます。

タイマとして働くとき、基準時間は CP の周波数で決定されるため、その精度はシステム・クロック系を選択した場合は RC 発振周波数または CL1 外部入力周波数で決まり、P00 入力を選択した場合は P00 入力周波数で決まります。

カウント・レジスタの内容は、TCNTAM 命令によっていつでも読み出すことができます。これを利用してタイマの途中時間をチェックしたり、P00 入力にイベント・パルスを入力してそれをカウントし、現在までに何回のイベント・パルスが発生しているかを知ることができます (イベント・カウンタ動作)。

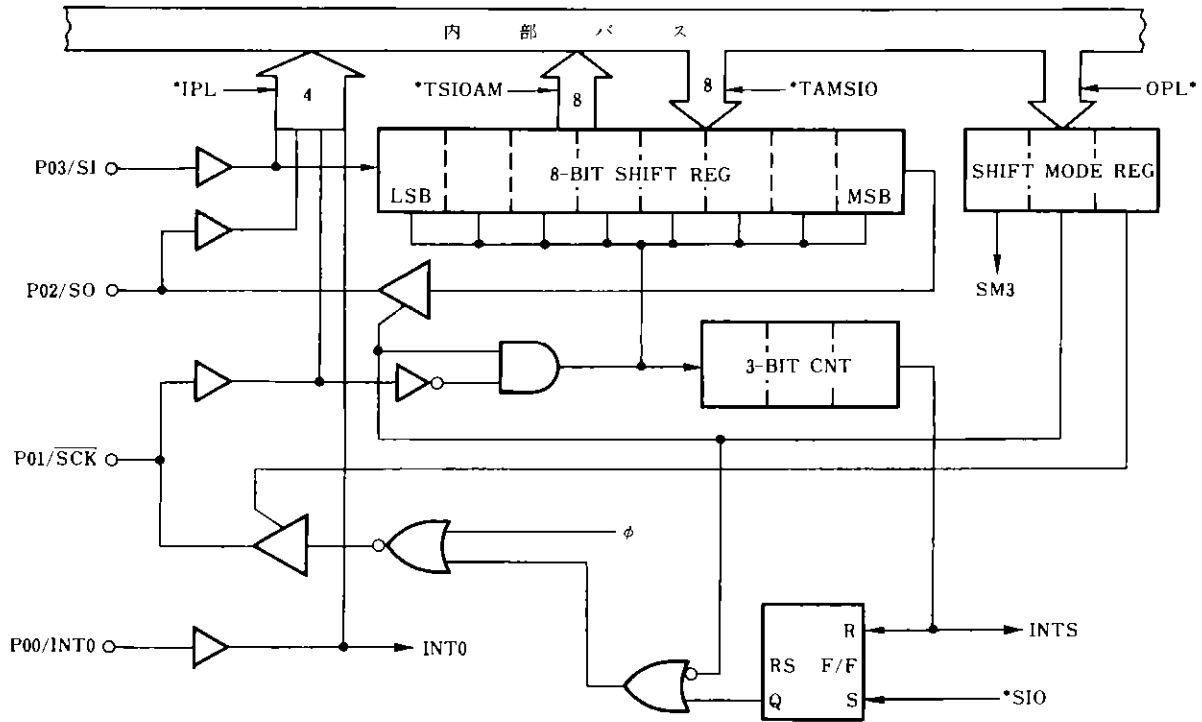
カウント保留回路は、TCNTAM 命令によってカウント・レジスタの内容を読み取る場合、カウント更新中の不安定なデータを読み取ってしまうのを防ぐため、TCNTAM 命令実行中はカウント・パルス (CP) の変化を無視する回路です。

タイマ/イベント・カウンタは、システム・クロック系 (CL) または P00 入力をカウント・パルスとして動作するため、CPU クロック ϕ が停止する HALT モードはもとより、システム・クロック CL が停止する STOP モードにおいても動作可能で、これらのモードの解除に利用されます。(3. スタンバイ機能 参照)

2.12 シリアル・インタフェース

シリアル・インタフェースは、8ビット・シフト・レジスタ、3ビット・シフト・モード・レジスタ、3ビット・カウンタで構成され、シリアル・データの入出力に使用します。

図2-13 シリアル・インタフェース・ブロック図

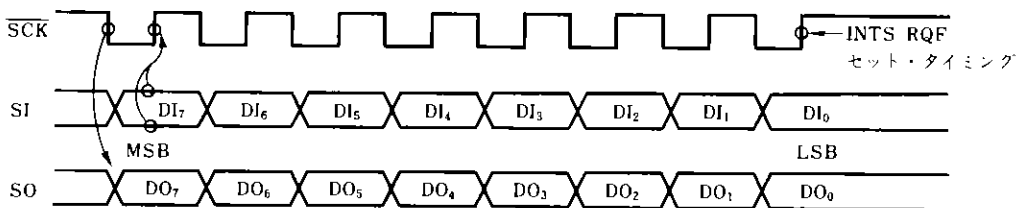


- 備考 1. φは内部クロック信号(システム・クロック)
- 2. *は命令の実行
- 3. SM3, INT0はテスト・コントロール回路へ

シリアル・データの入出力はシリアル・クロックによって制御されます。シリアル・クロック (SCK端子信号) の立ち下がりでシフト・レジスタの最上位ビット(ビット7)がSOラインより出力され、立ち上がりでシフト・レジスタの内容が1ビット・シフト(ビットn→ビットn+1)されると同時に、SIライン上のデータがシフト・レジスタの最下位ビット(ビット0)にロードされます。

3ビット・カウンタ(8進カウンタ)はシリアル・クロックをカウントし、8回カウントする(1バイト・シリアル・データの転送終了)ごとに内部テスト・リクエスト信号INTSを発生し、テスト・リクエスト・フラグ(INT0/S RQF)をセットします。

図2-14 シフト・タイミング



- 備考 DI : シリアル・データの入力
- DO : シリアル・データの出力

シリアル・データ送信の場合は、TAMSIO命令でシフト・レジスタに送信データをセットした後、SIO命令で転送をスタートさせます。1バイト転送終了はテスト・リクエスト・フラグ (INT 0/S RQF) を命令でテストすることによって分かります。

シリアル・データ受信の場合は、SIO命令で受信をスタートさせ、1バイト転送終了を命令で確認した後、TSIOAM命令を実行してシフト・レジスタより受信データを引き取ります。

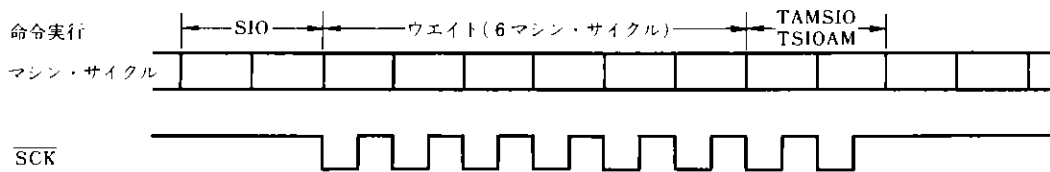
シリアル・クロック・ソースとしてシステム・クロックφ、外部クロック ($\overline{\text{SCK}}$ 入力) の2種類があり、シフト・モード・レジスタのビット2, 1 (SM2, 1) によって選択されます。

φが選択された場合、φはSIO命令の実行でシリアル・クロックとしてシリアル・インタフェースに供給開始され、シリアル・データの入出力を制御する一方、 $\overline{\text{SCK}}$ 端子より出力されます。

φが8回供給されると自動的にシリアル・インタフェースへの供給は停止され、 $\overline{\text{SCK}}$ 出力はハイ・レベルに保持されます。従って、1バイト転送後、シリアル・データの入出力は自動的に止まるため、プログラムがシリアル・クロックの制御を行う必要はありません。この場合、転送速度はシステム・クロック周波数で決まります。

なお、このモードでは、INT0/S RQFがセットされるのを待たなくとも、プログラム上でSIO命令実行後6マシン・サイクルの間、時間待ちするだけでシフト・レジスタから受信データを読み出したり (TSIOAM命令実行)、次の送信データを書き込んだり (TAMSIO命令実行) することが可能となります。

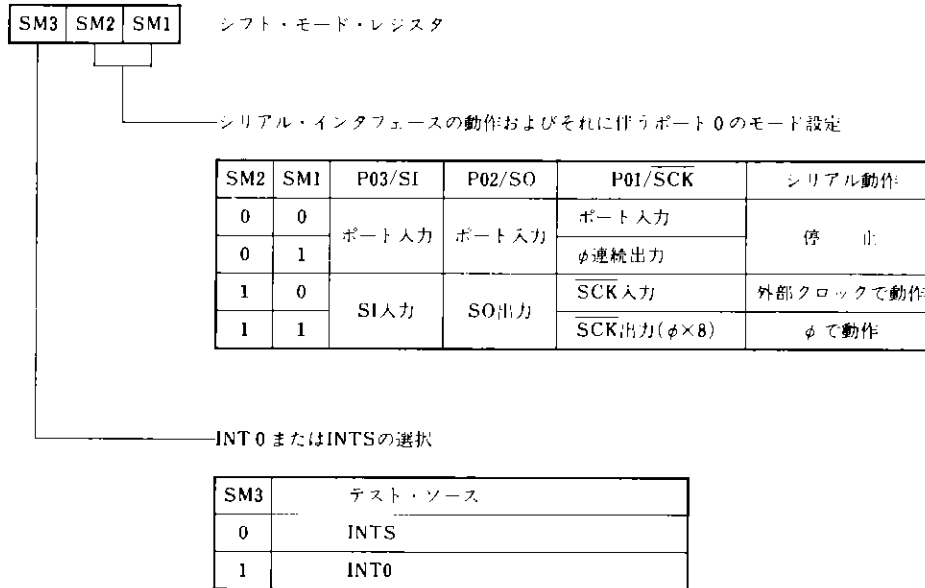
図2-15 TAMSIO, TSIOAM命令実行タイミング



外部クロック ($\overline{\text{SCK}}$ 入力) が選択された場合、 $\overline{\text{SCK}}$ 入力よりシリアル・クロックを入力します。この場合、外部シリアル・クロックが8回入力されるとINT0/S RQFはセットされ、1バイト転送終了を知ることはできませんが、内部ではシリアル・クロックの禁止制御を行っていませんので、外部クロック・ソース側で8回カウントして入力する必要があります。転送速度は外部シリアル・クロックによって決まり、DCから規格で制限される最大値の間で動作可能です。

外部クロックを用いる場合、SIO, TAMSIO, TSIOAMの各命令実行は、シリアル・クロック ($\overline{\text{SCK}}$) がハイ・レベルの間に行ってください。 $\overline{\text{SCK}}$ の立ち上がりや立ち下がり途中、またはロウ・レベル間にこれらの命令を実行しても動作は保証されません。

図 2-16 シフト・モード・レジスタのフォーマット



注意：OPL 命令でシフト・モード・レジスタにコードをセットする際、アキュムレータのビット 0 (エミュレーション時に EVAKIT-7500; μPD7500H の SM0 に対応) は必ず "0" として下さい。

シリアル転送を必要としないシステムでは、シリアル動作停止の状態では、8 ビット・シフト・レジスタを単なるレジスタとして利用でき、TSIOAM、TAMSIO 命令によりデータのリード、ライトが行えます。

2.13 テスト・コントロール回路

μPD7554 には次の表に示すように 3 種 (外部 1, 内部 2) のテスト・ソースがあります。

テスト・ソース	内/外	リクエスト・フラグ
INTT (タイマ/イベント・カウンタからのオーバフロー)	内	INTT RQF
INT0 (P00 端子からのテスト・リクエスト信号)	外	INT0/S RQF
INTS (シリアル・インタフェースからの転送終了信号)	内	

テスト・コントロール回路は、3 種のテスト・ソースによりセットされるテスト・リクエスト・フラグ (INTT RQF, INT0/S RQF) と SKI 命令実行によりテスト・リクエスト・フラグの内容をチェックし、それをリセットする制御を行うテスト・リクエスト・フラグ・コントロール回路で構成されています。

INT0 と INTS はリクエスト・フラグが共通になっており、どちらのソースを選択するかは、シフト・モード・レジスタのビット 3 (SM3) によって決定されます。

SM3	テスト・ソース
0	INTS
1	INT0

INTT RQFはタイマ・オーバーフローが発生するとセットされ、SKIおよびTIMER命令によってリセットされます。

INT0/S リクエスト・フラグはSM3の内容により次に示す二通りの動きをします。

(i) SM3=0の場合

INTSが有効となり、INT0/S RQFは8ビット分のシリアル・データの転送終了を示すINTS信号が発生されるとセットされ、SKI命令およびSIO命令によってリセットされます。

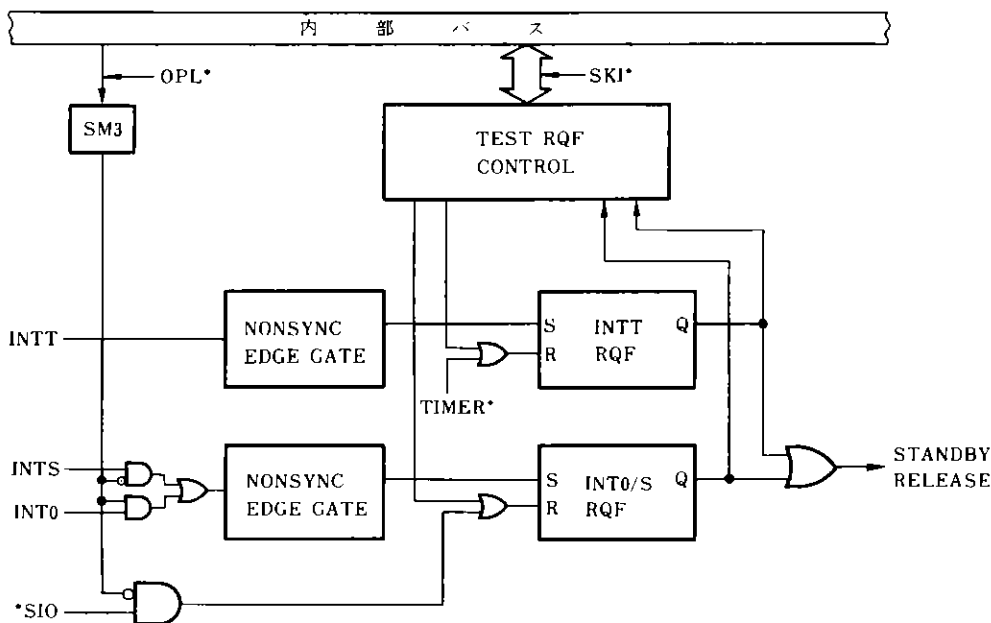
(ii) SM3=1の場合

INT0が有効となり、INT0/S RQFはINT0/P00端子に立ち上がりエッジ信号が入力されるとセットされ、SKI命令によってリセットされます。

各テスト・リクエスト・フラグの論理和出力はスタンバイ・モード (STOP/HALTモード) の解除に利用され、スタンバイ・モード中にいずれか1つまたは複数のリクエスト・フラグがセットされるとスタンバイ・モードを解除します。

RESET入力によってすべてのリクエスト・フラグとSM3がリセットされます。従ってリセット初期状態では、INTSが選択され、INT0入力は禁止されています。

図2-17 テスト・コントロール回路ブロック図



備考 1. SM3はシフト・モード・レジスタのビット3
 2. *は命令実行

3. スタンバイ機能

μPD7554には、プログラム待機中の消費電力を節約するために2種類のスタンバイ・モード（STOPモード、HALTモード）が用意されています。STOPモードにはSTOP命令、HALTモードにはHALT命令で設定されます。スタンバイ・モードに入るとプログラムの実行は停止されますが、その直前の内部のすべてのレジスタ、データ・メモリの内容は保持されます。

スタンバイ・モード中でもタイマは動作可能です。

スタンバイ・モードは、テスト・リクエスト・フラグ(INTT RQF, INT0/S RQF)がセットされた場合またはRESET入力時に解除されます。

スタンバイ・モードの解除にテスト・リクエスト・フラグが用いられる関係上、テスト・リクエスト・フラグが1個でもセットされている状態では、STOP命令、HALT命令を実行してもそれぞれのモードには入れません。従って、テスト・リクエスト・フラグがセットされている可能性のある個所でスタンバイ・モードを設定しようとする場合、あらかじめSKI命令を実行してテスト・リクエスト・フラグをリセットしておくようにして下さい。

STOPモードとHALTモードの比較を表3-1に示しますが、大きな違いはシステム・クロックをRC発振によって供給している場合、RC発振が止まってCL出力が止まる(STOPモード)か、止まらない(HALTモード)かということです。すなわち、RC発振回路の消費電力が、STOPモードとHALTモードの基本的消費電力の差ということになります。

またSTOPモードにおいては、データ・メモリの低電源電圧データ保持が可能です。

表3-1 STOPモードとHALTモードの比較

	設定命令	RC発振 (CL)	φ	P00	CPU	タイマ	解除要因
STOPモード	STOP	×	×	○	×	△	INTT RQF INT0/S RQF RESET入力
HALTモード	HALT	○				○	

- — 動作可能
- △ — モードの選択により動作可能
- × — 停止

3.1 STOPモード

STOPモードではシステム・クロック発生回路は停止(RC発振と1/2分周動作が停止)します。従ってCPUをはじめシステム・クロック系(CL, φ)を必要とする動作は停止します。しかし、クロック制御回路は動作しているため、タイマはカウント・パルス(CP)としてP00入力を選択しておけば動作できます。

なお、システム・クロック発生をRC発振によらず外部CL1入力ドライブしている場合はCLは停止せず、φのみ停止され、次に説明するHALTモードと同じ状態になります。従って、STOPモードに設定するためのSTOP命令の実行は、RC発振時にのみ意味を持ちます。

3.2 HALTモード

HALTモードでは、システム・クロック発生回路のうち1/2分周回路のみ停止(CLは動作、φは停止)されます。従ってφ信号を必要とするCPUの動作は停止します。しかし、クロック制御回路は動作しているため、クロック制御回路はシステム・クロック発生回路からのCL信号と外部カウント・クロック(P00)を入力し、両系統のカウント・パルス(CP)をタイマに選択供給できます。これによりタイマは両系統のカウント・パルスで動作でき、計時動作等が止まることもありません。

3.3 スタンバイ・モードの解除

(1) テスト・リクエスト・フラグによる解除

STOPモード、HALTモードともにテスト・リクエスト・フラグ(INTT RQFまたはINT0/S RQF)がセットされると解除され、STOPまたはHALT命令の次の命令からプログラムの実行が再開されます。

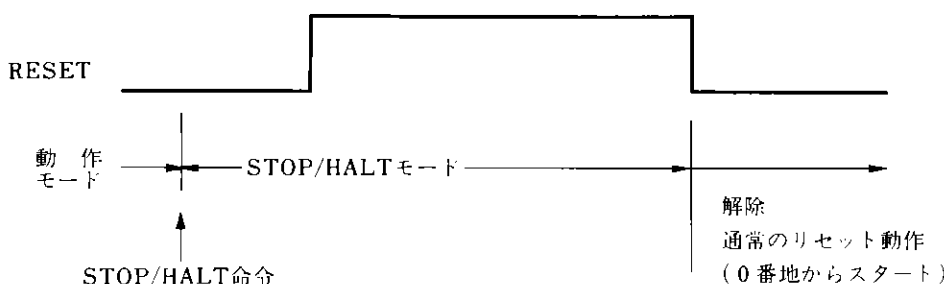
スタンバイ・モード中に保持されていたすべてのレジスタおよびデータ・メモリの内容は、この解除によって影響されません。

(2) RESET入力による解除

RESET入力によってスタンバイ・モードはSTOPモード、HALTモードともに無条件に解除されます。

図3-1に解除のタイミングを示します。

図3-1 RESET入力によるスタンバイ・モードの解除タイミング



RESET入力がアクティブ(ハイ・レベル)の間はスタンバイ・モードが続行され、RESET入力がロウに下がるとスタンバイ・モードは解除され、通常のリセット動作の後、0番地よりプログラムをスタートします。

なお、スタンバイ・モードで保持されていたデータ・メモリの内容は、RESET入力によって影響されず、そのまま保持されていますが、その他のレジスタ類は不定となります。

4. リセット機能

RESET端子にハイ・レベル・アクティブのRESET信号を入力することでμPD7554はリセットされ、次に示すようにイニシャライズされます。

4.1 イニシャライズ内容

- (1) プログラム・カウンタ(PC9-PC0)が0にクリアされます。
- (2) プログラム・ステータス・ワードのうちスキップ・フラグ(SK1, SK0)がリセット(0)されます。
- (3) タイマ/イベント・カウンタのカウント・レジスタが00Hにクリアされます。
- (4) クロック制御回路は次のようになります。

○クロック・モード・レジスタ(CM2, 1)=0

$$\Rightarrow CP = CL \times \frac{1}{256}$$

○プリスケラ1, 2, 3=0

- (5) シフト・モード・レジスタ(SM3-SM1)が0にクリアされます。

- シリアル・インタフェースのシフト動作停止
- ポート0は入力モード(ハイ・インピーダンス)^{注1}
- INT0/SはINTS選択

- (6) テスト・リクエスト・フラグ(INTT RQF, INT0/S RQF)がリセット(0)されます。
- (7) データ・メモリおよび次に示すレジスタの内容は不定となります。
- スタック・ポインタ(SP)
 - アキュムレータ(A)
 - キャリー・フラグ(C)
 - 汎用レジスタ(H, L)
 - 各ポートの出力ラッチ
- (8) すべてのポートの出力バッファはオフし、出力ハイ・インピーダンス^{注2}となります。入出力ポートは入力モードに設定されます。

注1. マスク・オプションでプルアップ/プルダウン抵抗を選択した場合には、それぞれハイ/ロウ・レベルになります。★

2. ポート 0 において、マスク・オプションでプルアップ/プルダウン抵抗を選択した場合には、それぞれハイ/ロウ・レベルになります。

ポート 10, およびポート 11 においてマスク・オプションでプルアップ抵抗を選択した場合には、ハイ・レベルになります。

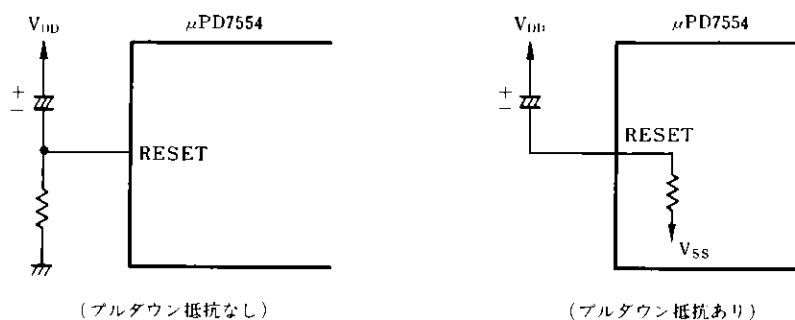
注意: RESET 入力をスタンバイ・モードの解除に使用した場合、データ・メモリの内容は不定とならず保持されます。

RESET 入力解除されると 000H 番地からプログラムの実行が開始されますが、各種レジスタの内容はプログラムの中で必要に応じてイニシャライズまたは再イニシャライズして下さい。

4.2 パワー・オン・リセット回路

最も簡単なリセット制御回路として、抵抗とキャパシタを用いたパワー・オン・リセット回路例を図4-1に示します。マスク・オプションでRESET端子にプルダウン抵抗を内蔵することができます。

図4-1 パワー・オン・リセット回路



5. μPD7554命令セット

(i) オペランドの表現形式と記述方法

addr	10ビット・イミューディエト・データまたはレーベル
caddr	10ビット "
caddr 1	100H-107H, 140H-147H 180H-187H, 1C0H-1C7H "
mem	6ビット "
n5	5ビット "
n4	4ビット "
n2	2ビット "
bit	2ビット "
pr	HL-, HL+, HL

(ii) オペレーション説明上の凡例

- A : アキュムレータ
 H : Hレジスタ
 L : Lレジスタ
 HL : ペアレジスタ(HL)
 pr : ペアレジスタ(HL-, HL+, HL)
 SP : スタック・ポインタ
 PC : プログラム・カウンタ
 C : キャリー・フラグ
 PSW : プログラム・ステータス・ワード
 SIO : シフト・レジスタ
 CT : カウント・レジスタ
 In : n5, n4, n2 に対応するイミューディエト・データ
 Pn : addr, caddr, caddr 1 "
 Bn : bit "
 Dn : mem "
 Rn : pr "
 (××) : ××でアドレスされる内容
 ×H : 16進データ

(iii) ポート/モード・レジスタの選択

IPL命令

L	ポート
0	ポート 0
AH	ポート 10
BH	ポート 11

OPL命令

L	ポート/モード・レジスタ
8	ポート 8
AH	ポート 10
BH	ポート 11
CH	クロック・モード・レジスタ
FH	シフト・モード・レジスタ

RPBL ; SPBL命令

L	FH	EH	DH	CH	BH	AH	9	8	3	2	1	0
ビット	3	2	1	0	3	2	1	0	3	2	1	0
ポート	ポート 11				ポート 10			ポート 8				

(iv) ペアレジスタによるアドレッシングの選択

pr	R ₁	R ₀
HL-	0	0
HL+	0	1
HL	1	0

保守 / 廃止

命令群	ニモニック	オペランド	命令コード		オペレーション	スキップ条件	
			B1	B2			
ロード・ストア命令	LAI	n4	0 0 0 1 I ₃ I ₂ I ₁ I ₀		A←n4	n4をアキュムレータにロードする。	たてづみLAI
	LHI	n2	0 0 1 0 1 0 I ₁ I ₀		H←n2	n2をHレジスタにロードする。	
	LAM	pr	0 1 0 1 0 0 R ₁ R ₀		A←(pr) pr=HL-, HL+, HL	prでアドレスされるメモリの内容をアキュムレータにロードする。	L=FH(HL-) L=0 (HL+)
	LHLI	n5	1 1 0 I ₄ I ₃ I ₂ I ₁ I ₀		H←0I ₄ , L←I ₃₋₀	n5をペアレジスタHLにロードする。	たてづみLHLI
	ST		0 1 0 1 0 1 1 1		(HL)←A	アキュムレータの内容をHLでアドレスされるメモリへストアする。	
	STII	n4	0 1 0 0 I ₃ I ₂ I ₁ I ₀		(HL)←n4, L←L+1	n4をHLでアドレスされるメモリへストアした後、Lレジスタをインクリメントする。	
	XAL		0 1 1 1 1 0 1 1		A↔L	アキュムレータとLレジスタの内容を交換する。	
	XAM	pr	0 1 0 1 0 1 R ₁ R ₀		A↔(pr) pr=HL-, HL+, HL	アキュムレータとprでアドレスされるメモリの内容を交換する。	L=FH(HL-) L=0 (HL+)
演算命令	AISC	n4	0 0 0 0 I ₃ I ₂ I ₁ I ₀		A←A+n4	アキュムレータとn4を加算する。	Carry
	ASC		0 1 1 1 1 1 0 1		A←A+(HL)	アキュムレータとHLでアドレスされるメモリの内容を加算する。	Carry
	ACSC		0 1 1 1 1 1 0 0		A, C←A+(HL)+C	アキュムレータとHLでアドレスされるメモリの内容を、キャリー・フラグも含めて加算する。	Carry
	EXL		0 1 1 1 1 1 1 0		A←A ∨ (HL)	アキュムレータとHLでアドレスされるメモリの内容との排他的論理和をとる。	
アキュムレータ・キャリー・フラグ操作命令	CMA		0 1 1 1 1 1 1 1		A← \bar{A}	アキュムレータの補数をとる。	
	RC		0 1 1 1 1 0 0 0		C←0	キャリー・フラグをリセットする。	
	SC		0 1 1 1 1 0 0 1		C←1	キャリー・フラグをセットする。	
増減命令	ILS		0 1 0 1 1 0 0 1		L←L+1	Lレジスタをインクリメントする。	L=0
	IDRS	mem	0 0 1 1 1 1 0 1	0 0 D ₅ D ₄ D ₃ D ₂ D ₁ D ₀	(mem)←(mem)+1	memでアドレスされるメモリの内容をインクリメントする。	(mem)=0
	DLS		0 1 0 1 1 0 0 0		L←L-1	Lレジスタをデクリメントする。	L=FH
	DDRS	mem	0 0 1 1 1 1 0 0	0 0 D ₅ D ₄ D ₃ D ₂ D ₁ D ₀	(mem)←(mem)-1	memでアドレスされるメモリの内容をデクリメントする。	(mem)=FH
メモリビット操作命令	RMB	bit	0 1 1 0 1 0 B ₁ B ₀		(HL) _{bit} ←0	HLでアドレスされるメモリ、B ₁₋₀ で指定されるビットをリセットする。	
	SMB	bit	0 1 1 0 1 1 B ₁ B ₀		(HL) _{bit} ←1	HLでアドレスされるメモリ、B ₁₋₀ で指定されるビットをセットする。	

保守 / 廃止

命令群	ニモニック	オペランド	命令コード		オペレーション		スキップ条件
			B1	B2			
ジャンプ命令	JMP	addr	0 0 1 0 0 0 P ₉ P ₈	P ₇ P ₆ P ₅ P ₄ P ₃ P ₂ P ₁ P ₀	PC ₉₋₀ ←P ₉₋₀	P ₉₋₀ で示される番地にジャンプする。	
	JCP	addr	1 0 P ₅ P ₄ P ₃ P ₂ P ₁ P ₀		PC ₅₋₀ ←P ₅₋₀	PC ₅₋₀ をP ₅₋₀ で置き換えた番地にジャンプする。	
サブルーチン・スタック制御命令	CALL	caddr	0 0 1 1 0 0 P ₉ P ₈	P ₇ P ₆ P ₅ P ₄ P ₃ P ₂ P ₁ P ₀	(SP-1)(SP-2)(SP-4)←PC ₉₋₀ (SP-3)←PSW, SP←SP-4 PC ₉₋₀ ←P ₉₋₀	PC, PSWの内容をスタック・メモリへ退避し, SPを-4した後, caddrで示される番地をコールする。	
	CAL	caddr1	1 1 1 P ₄ P ₃ P ₂ P ₁ P ₀		(SP-1)(SP-2)(SP-4)←PC ₉₋₀ (SP-3)←PSW, SP←SP-4 PC ₉₋₀ ←0 1 P ₄ P ₃ 0 0 0 P ₂ P ₁ P ₀	PC, PSWの内容をスタック・メモリへ退避し, SPを-4した後, caddr1で示される番地をコールする。	
	RT		0 1 0 1 0 0 1 1		PC ₉₋₀ ←(SP)(SP+2)(SP+3) SP←SP+4	スタック・メモリの内容をPCにリストアし, SPを+4する。	
	RTS		0 1 0 1 1 0 1 1		PC ₉₋₀ ←(SP)(SP+2)(SP+3) SP←SP+4 then skip unconditionally	スタック・メモリの内容をPCにリストアし, SPを+4した後, 無条件にスキップする。	無条件
	TAMSP		0 0 1 1 1 1 1 1	0 0 1 1 0 0 0 1	SP ₅₋₄ ←A ₁₋₀ SP ₃₋₁ ←(HL) ₃₋₁ , SP ₀ ←0	SP ₅₋₄ にアキュムレータの下位2ビットを, SP ₃₋₁ にHLでアドレスされるメモリの内容の上位3ビットを転送する。	
スキップ命令	SKC		0 1 0 1 1 0 1 0		Skip if C=1	キャリー・フラグが1ならスキップする。	C=1
	SKABT	bit	0 1 1 1 0 1 B ₁ B ₀		Skip if A _{bit} =1	アキュムレータの, B ₁₋₀ で指定されるビットが1ならスキップする。	A _{bit} =1
	SKMBT	bit	0 1 1 0 0 1 B ₁ B ₀		Skip if (HL) _{bit} =1	HLでアドレスされるメモリの, B ₁₋₀ で指定されるビットが1ならスキップする。	(HL) _{bit} =1
	SKMBF	bit	0 1 1 0 0 0 B ₁ B ₀		Skip if (HL) _{bit} =0	HLでアドレスされるメモリの, B ₁₋₀ で指定されるビットが0ならスキップする。	(HL) _{bit} =0
	SKAEM		0 1 0 1 1 1 1 1		Skip if A=(HL)	アキュムレータとHLでアドレスされるメモリの内容が等しければスキップする。	A=(HL)
	SKAEI	n4	0 0 1 1 1 1 1 1	0 1 0 0 I ₃ I ₂ I ₁ I ₀	Skip if A=n4	アキュムレータとn4が等しければスキップする。	A=n4
	SKI	n2	0 0 1 1 1 1 1 1	0 1 0 0 0 0 I ₁ I ₀	Skip if INT RQF=1 Then reset INT RQF	INT RQFが1ならスキップし, その後INT RQFを0にする。	INT RQF=1

命令群	ニモニク	オペラント	命令コード		オペレーション	スキップ条件
			B1	B2		
SIO制御命令	TAMSIO		0 0 1 1 1 1 1 1	0 0 1 1 1 1 1 0	SIO ₇₋₄ ←A SIO ₃₋₀ ←(HL)	アキュムレータの内容をシフト・レジスタの上位4ビット、HLでアドレスされるメモリの内容をシフト・レジスタの下位4ビットに転送する。
	TSIOAM		0 0 1 1 1 1 1 1	0 0 1 1 1 0 1 0	A←SIO ₇₋₄ (HL)←SIO ₃₋₀	シフト・レジスタの内容の上位4ビットをアキュムレータ、下位4ビットをHLでアドレスされるメモリに転送する。
	SIO		0 0 1 1 1 1 1 1	0 0 1 1 0 0 1 1	Start SIO	シフト動作を開始する。
タイマ制御命令	TIMER		0 0 1 1 1 1 1 1	0 0 1 1 0 0 1 0	Start Timer	タイマ動作を開始する。
	TCNTAM		0 0 1 1 1 1 1 1	0 0 1 1 1 0 1 1	A←CT ₇₋₄ (HL)←CT ₃₋₀	カウント・レジスタの上位4ビットをアキュムレータに、下位4ビットをHLでアドレスされるメモリに転送する。
入出力命令	IPL		0 1 1 1 0 0 0 0		A←Port (L)	Lレジスタで指定されるポートの内容をアキュムレータにロードする。
	OPL		0 1 1 1 0 0 1 0		Port/Mode reg.(L)←A	アキュムレータの内容を、Lレジスタで指定されるポートまたはモード・レジスタに出力する。
	RPBL ^注		0 1 0 1 1 1 0 0		Port bit (L)←0	Lレジスタで指定されるポート8、10、11のビットをリセットする。
	SPBL ^注		0 1 0 1 1 1 0 1		Port bit (L)←1	Lレジスタで指定されるポート8、10、11のビットをセットする。
CPU制御命令	HALT		0 0 1 1 1 1 1 1	0 0 1 1 0 1 1 0	Set Halt Mode	HALTモードをセットする。
	STOP		0 0 1 1 1 1 1 1	0 0 1 1 0 1 1 1	Set Stop Mode	STOPモードをセットする。
	NOP		0 0 0 0 0 0 0 0		No operation	何もせず1マシン・サイクル費やす。

注 RPBL、SPBLはビット単位のセット/リセット命令ですが、セット/リセット動作と同時に、指定ビットを含むポート（4ビット）単位での出力を行います（指定ビット以外の端子には出力ラッチの内容を出力）。これら命令を実行する際には、前もって出力ラッチの内容をOPL命令によりイニシャライズしてください。

6. μPD7554電気的特性

絶対最大定格 (Ta=25℃)

項目	略号	条件		定格	単位
電源電圧	V _{DD}			-0.3~+7.0	V
入力電圧	V _I	ポート10, 11以外		-0.3~V _{DD} +0.3	V
		ポート10, 11	(1)	-0.3~V _{DD} +0.3	V
			(2)	-0.3~+13	V
出力電圧	V _O	ポート8, 10, 11以外		-0.3~V _{DD} +0.3	V
		ポート8, 10, 11	(1)	-0.3~V _{DD} +0.3	V
			(2)	-0.3~+13	V
ハイ・レベル出力電流	I _{OH}	1端子		-5	mA
		全端子合計		-15	mA
ロウ・レベル出力電流	I _{OL}	1端子	P01, P02	5	mA
			ポート8	30	mA
			その他	15	mA
		全端子合計		100	mA
動作温度	T _{opt}			-10~+70	℃
保存温度	T _{stg}			-65~+150	℃
消費電力	P _d	Ta=70℃	シュリンクDIP	480	mW
			ミニフラット	250	

備考1. CMOS入出力またはN-chオープン・ドレイン出力+プルアップ抵抗内蔵入出力
 2. N-chオープン・ドレイン入出力

容量 (Ta=25℃, V_{DD}=0V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
入力容量	C _{IN}	f=1MHz 被測定端子以外は0V	P00, P03			15	pF
出力容量	C _{OUT}		ポート8			35	pF
入出力容量	C _{IO}		P01, P02			15	pF
			ポート10, 11			35	pF

発振器特性 ($T_a = -10 \sim +70 \text{ }^\circ\text{C}$, $V_{DD} = 2.7 \sim 6.0 \text{ V}$)

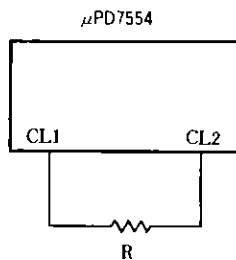
項目	略号	条件	MIN.	TYP.	MAX.	単位
システム・クロック発振周波数 (CL1, CL2)	f_{CC}	$V_{DD} = 5 \text{ V} \pm 10 \%$ $R = 56 \text{ k}\Omega \pm 2 \%$	400	500	600	kHz
		$V_{DD} = 3 \text{ V} \pm 10 \%$ $R = 100 \text{ k}\Omega \pm 2 \%$	200	250	300	kHz
システム・クロック入力周波数 (CL1)	f_C	Duty = 50 % $V_{DD} = 4.5 \sim 6.0 \text{ V}$	10		710	kHz
			10		350	kHz
CL1入力立ち上がり、立ち下がり時間	t_{CR} , t_{CF}				0.2	μs
CL1入力ハイ、ロウ・レベル幅	t_{CH} , t_{CL}	$V_{DD} = 4.5 \sim 6.0 \text{ V}$	0.7		50	μs
			1.45		50	μs

発振器特性 ($T_a = -10 \sim +70 \text{ }^\circ\text{C}$, $V_{DD} = 2.5 \sim 3.3 \text{ V}$)

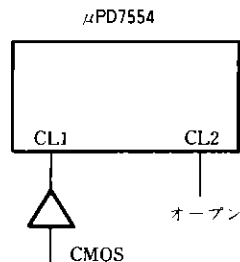
項目	略号	条件	MIN.	TYP.	MAX.	単位
システム・クロック発振周波数 (CL1, CL2)	f_{CC}	$R = 150 \text{ k}\Omega \pm 2 \%$	140	180	220	kHz
		$R = 150 \text{ k}\Omega \pm 2 \%$ $V_{DD} = 2.5 \text{ V}$	140	175	210	kHz
システム・クロック入力周波数 (CL1)	f_C	Duty = 50 %	10		250	kHz
CL1入力立ち上がり、立ち下がり時間	t_{CR} , t_{CF}				0.2	μs
CL1入力ハイ、ロウ・レベル幅	t_{CH} , t_{CF}		2		50	μs

下記の回路を推奨致します。

① RC発振



② 外部クロック



DC特性 (T_a = -10 ~ +70 °C, V_{DD} = 2.7 ~ 6.0 V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ハイ・レベル入力電圧	V _{IH1}	CL1以外	0.7V _{DD}		V _{DD}	V
	V _{IH2}	CL1	V _{DD} -0.5		V _{DD}	V
	V _{IH3}	ポート10, 11 (3)	0.7V _{DD}		12	V
ロウ・レベル入力電圧	V _{IL1}	CL1以外	0		0.3V _{DD}	V
	V _{IL2}	CL1	0		0.5	V
ハイ・レベル出力電圧	V _{OH}	V _{DD} = 4.5 ~ 6.0 V I _{OH} = -1 mA	V _{DD} - 2.0			V
		I _{OH} = -100 μA	V _{DD} - 1.0			V
ロウ・レベル出力電圧	V _{OL}	P01, P02	V _{DD} = 4.5 ~ 6.0 V I _{OL} = -1.6 mA		0.4	V
			I _{OL} = 400 μA		0.5	V
	ポート10, 11	V _{DD} = 4.5 ~ 6.0 V I _{OL} = 1.6 mA		0.4	V	
		V _{DD} = 4.5 ~ 6.0 V I _{OL} = 10 mA		2.0	V	
	ポート8	I _{OL} = 400 μA		0.5	V	
		V _{DD} = 4.5 ~ 6.0 V I _{OL} = 15 mA		2.0	V	
ハイ・レベル入力リーク電流	I _{LIH1} I _{LIH2}	V _{IN} = V _{DD}	CL1以外		3	μA
			CL1		10	μA
ロウ・レベル入力リーク電流	I _{LIL1} I _{LIL2}	V _{IN} = 0 V	CL1以外		-3	μA
			CL1		-10	μA
ハイ・レベル出力リーク電流	I _{LOH1} I _{LOH2}	V _{OUT} = V _{DD}			3	μA
		V _{OUT} = 12 V, ポート8, 10, 11 (3)			10	μA
ロウ・レベル出力リーク電流	I _{LOL}	V _{OUT} = 0 V			-3	μA
入力端子内蔵抵抗 (プルアップ、プルダウン)		ポート0, RESET	23.5	47	70.5	kΩ
出力端子内蔵抵抗 (プルアップ)		ポート10, 11	7.5	15	22.5	kΩ
電 源 電 流	I _{DD1}	動作モード	V _{DD} = 5 V ± 10 % R = 56 kΩ ± 2 %	270	900	μA
			V _{DD} = 3 V ± 10 % R = 100 kΩ ± 2 %	80	240	μA
	I _{DD2}	HALTモード	V _{DD} = 5 V ± 10 % R = 56 kΩ ± 2 %	120	400	μA
			V _{DD} = 3 V ± 10 % R = 100 kΩ ± 2 %	35	110	μA
	I _{DD3}	STOPモード	V _{DD} = 5 V ± 10 %	0.1	10	μA
			V _{DD} = 3 V ± 10 %	0.1	5	μA

備考3. N-chオープン・ドレイン入出力選択時。

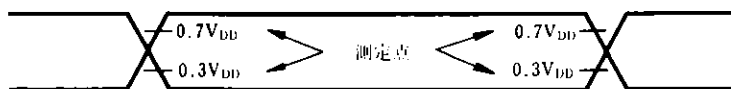
4. 内蔵プルアップ、プルダウン抵抗に流れる電流は除く。

AC特性 (Ta = -10 ~ +70 °C, VDD = 2.7 ~ 6.0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
内部クロック・サイクル・タイム	t _{CY} ⁽⁵⁾	V _{DD} = 4.5 ~ 6.0 V	2.8		200	μs
			5.7		200	μs
P00 イベント入力周波数	f _{P0}	duty = 50 % V _{DD} = 4.5 ~ 6.0 V	0		710	kHz
			0		350	kHz
P00 入力立ち上がり, 立ち下がり時間	t _{P0R} , t _{P0F}				0.2	μs
P00 入力ハイ, ロウ・レベル幅	t _{POH} , t _{POL}	V _{DD} = 4.5 ~ 6.0 V	0.7			μs
			1.45			μs
$\overline{\text{SCK}}$ サイクル・タイム	t _{KCY}	V _{DD} = 4.5 ~ 6.0 V	入力		2.0	μs
			出力		2.5	μs
			入力		5.0	μs
			出力		5.7	μs
$\overline{\text{SCK}}$ ハイ, ロウ・レベル幅	t _{KH} , t _{KL}	V _{DD} = 4.5 ~ 6.0 V	入力		1.0	μs
			出力		1.25	μs
			入力		2.5	μs
			出力		2.85	μs
SI セットアップ時間 (対 $\overline{\text{SCK}}$ ↑)	t _{SIK}		100			ns
SI ホールド時間 (対 $\overline{\text{SCK}}$ ↑)	t _{KSI}		100			ns
$\overline{\text{SCK}}$ ↓ → SO 出力遅延時間	t _{KSO}	V _{DD} = 4.5 ~ 6.0 V			850	ns
					1200	ns
INT0 ハイ, ロウ・レベル幅	t _{IOH} , t _{IOL}		10			μs
RESET ハイ, ロウ・レベル幅	t _{RSH} , t _{RSL}		10			μs

備考 5. t_{cy} = 2/f_{cc} or 2/f_c

ACタイミング測定点 (CL1入力以外)



DC特性 (T_a = -10 ~ +70 °C, V_{DD} = 2.5 ~ 3.3 V)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位	
ハイ・レベル入力電圧	V _{IH1}	CL1以外		0.8V _{DD}		V _{DD}	V	
	V _{IH2}	CL1		V _{DD} -0.3		V _{DD}	V	
	V _{IH3}	ポート10, 11	(3)	0.8V _{DD}		12	V	
ロウ・レベル入力電圧	V _{IH1}	CL1以外		0		0.2V _{DD}	V	
	V _{IH2}	CL1		0		0.3	V	
	V _{IH3}	ポート10, 11		0		0.2V _{DD}	V	
ハイ・レベル出力電圧	V _{OH}		I _{OH} = -80 μA	V _{DD} -1.0			V	
ロウ・レベル出力電圧	V _{OL}	P01, P02		I _{OL} = 350 μA		0.5	V	
		ポート10, 11		I _{OL} = 350 μA		0.5	V	
		ポート8		I _{OL} = 500 μA		0.5	V	
ハイ・レベル入力リーク電流	I _{LIH1}	V _{IN} = V _{DD}	CL1以外			3	μA	
	I _{LIH2}		CL1			10	μA	
	I _{LIH3}	V _{IN} = 12 V, ポート10, 11	(3)			10	μA	
ロウ・レベル入力リーク電流	I _{LIH1}	V _{IN} = 0 V	CL1以外			-3	μA	
	I _{LIH2}		CL1			-10	μA	
ハイ・レベル出力リーク電流	I _{LOH1}	V _{OUT} = V _{DD}				3	μA	
	I _{LOH2}	V _{OUT} = 12 V, ポート8, 10, 11		(3)		10	μA	
ロウ・レベル出力リーク電流	I _{LOL}	V _{OUT} = 0 V				-3	μA	
入力端子内蔵抵抗 (プルアップ, プルダウン)		ポート0, RESET		23.5	47	70.5	kΩ	
出力端子内蔵抵抗 (プルアップ)		ポート10, 11		7.5	15	22.5	kΩ	
電 源 電 流	I _{DD1}	動作モード	R = 150 kΩ ±2 %	V _{DD} = 3 V ± 10 %		55	180	μA
				V _{DD} = 2.5 V		40	150	μA
	I _{DD2}	HALTモード		V _{DD} = 3 V ± 10 %		25	80	μA
				V _{DD} = 2.5 V		18	60	μA
I _{DD3}	STOPモード				0.1	5	μA	

備考3. N-chオープン・ドレイン入出力選択時。

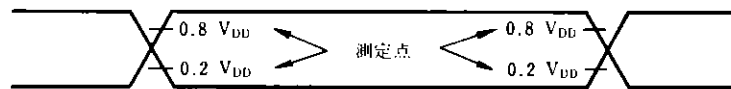
4. 内蔵プルアップ, プルダウン抵抗に流れる電流は除く。

AC特性 ($T_a = -10 \sim +70 \text{ }^\circ\text{C}$, $V_{DD} = 2.5 \sim 3.3 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
内部クロック・サイクル・タイム	t_{CY} (5)		8.0		200	μs
P00 イベント入力周波数	f_{P0}		0		250	kHz
P00入力立ち上がり, 立ち下がり時間	t_{POR}, t_{POF}				0.2	μs
P00 入力ハイ, ロウ・レベル幅	t_{POH}, t_{POL}		2.0			μs
SCK サイクル・タイム	t_{KCY}	入力	8.0			μs
		出力	10.0			μs
SCK ハイ, ロウ・レベル幅	t_{KH}, t_{KL}	入力	4.0			μs
		出力	5.0			μs
SI セットアップ時間 (対SCK↑)	t_{SIK}		300			ns
SI ホールド時間 (対SCK↑)	t_{KSI}		300			ns
SCK ↓→ SO 出力遅延時間	t_{KSO}	$C_L = 100 \text{ pF}$			2000	ns
INT0 ハイ, ロウ・レベル幅	t_{IOH}, t_{IOL}		30			μs
RESET ハイ, ロウ・レベル幅	t_{RSH}, t_{RSL}		30			μs

備考5. $t_{CY} = 2/f_{CC}$ or $2/f_C$

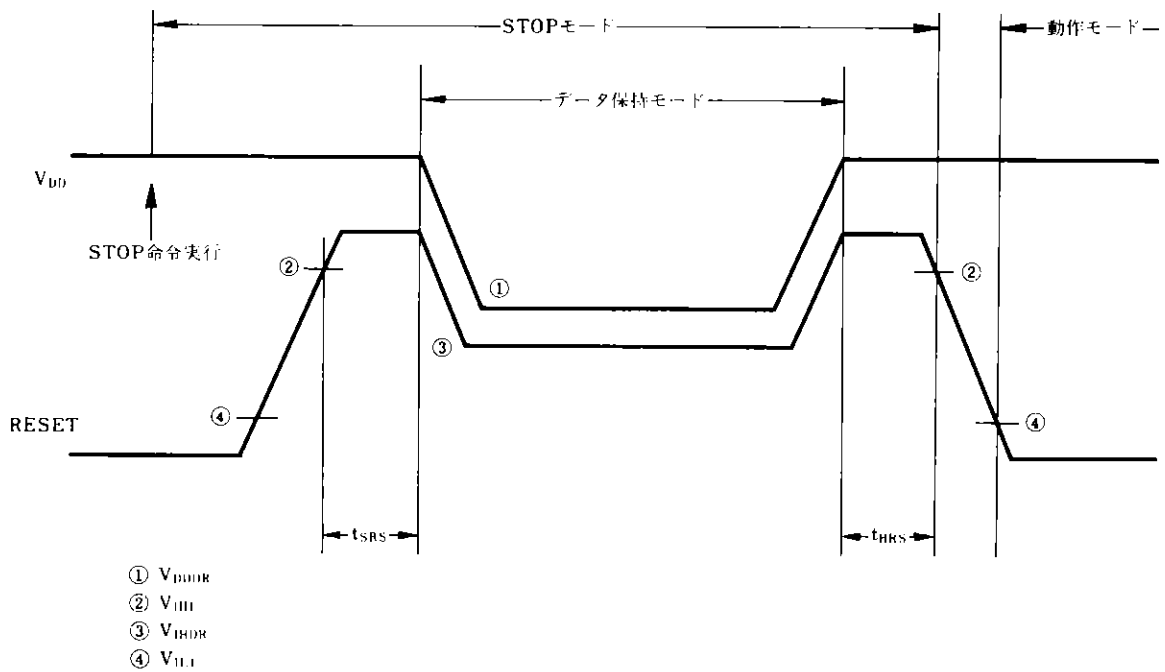
ACタイミング測定点 (CL1入力以外)



データ・メモリ STOPモード低電源電圧データ保持特性 (Ta = -10 ~ +70 °C)

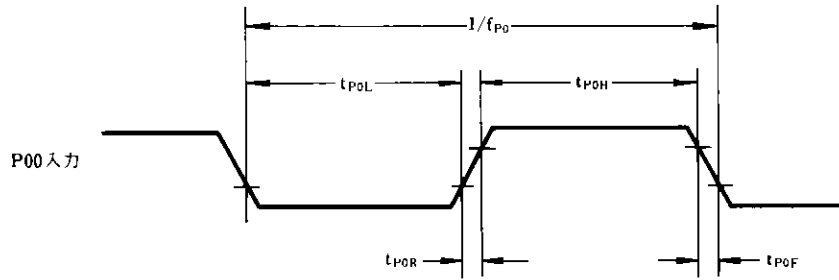
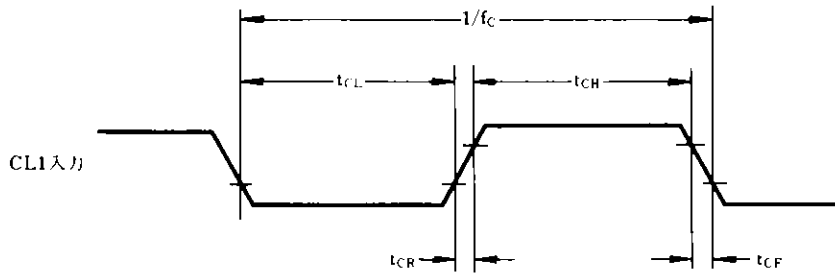
項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V _{DDDR}		2.0		6.0	V
データ保持電源電流	I _{DDDR}	V _{DDDR} = 2.0 V		0.1	5	μA
データ保持ハイ・レベルRESET入力電圧	V _{IHDR}		0.9V _{DDDR}		V _{DDDR} + 0.2	V
RESET セットアップ時間	t _{SRS}		0			μs
RESET ホールド時間	t _{HRS}		0			μs

データ保持タイミング

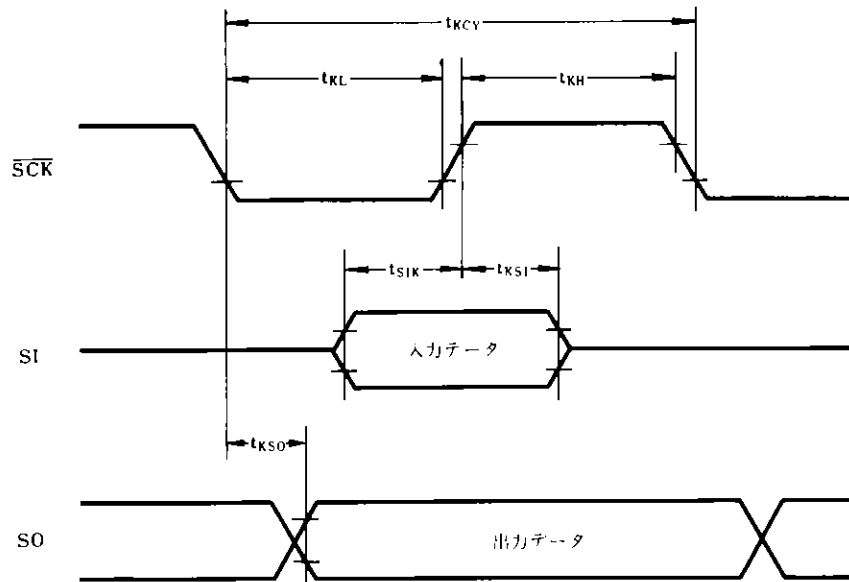


注意：データ保持モードでは、すべての入力はV_{DDDR}以下にしてください。

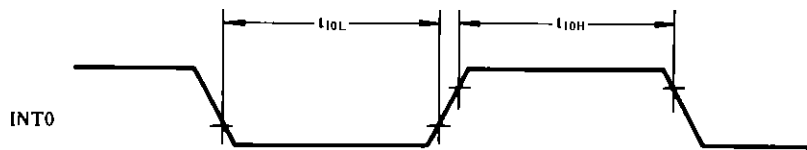
クロック・タイミング



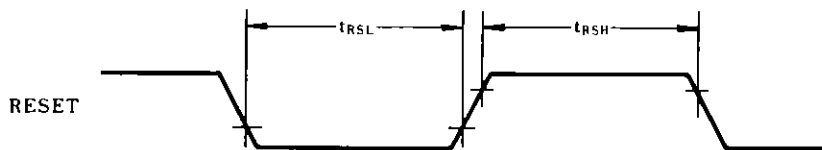
シリアル転送タイミング



テスト入カタイミング



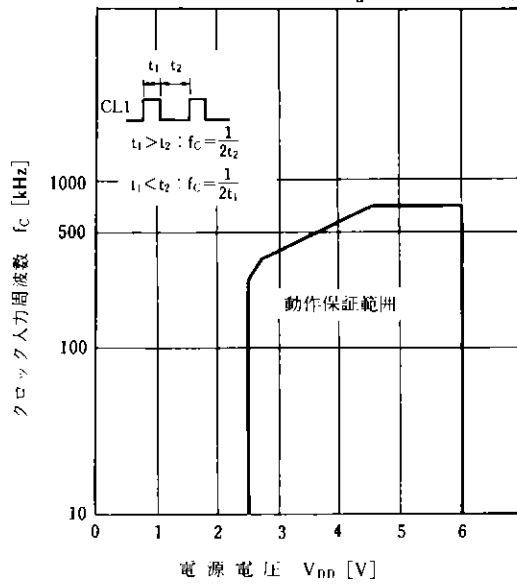
RESET入カタイミング



7. 特性曲線

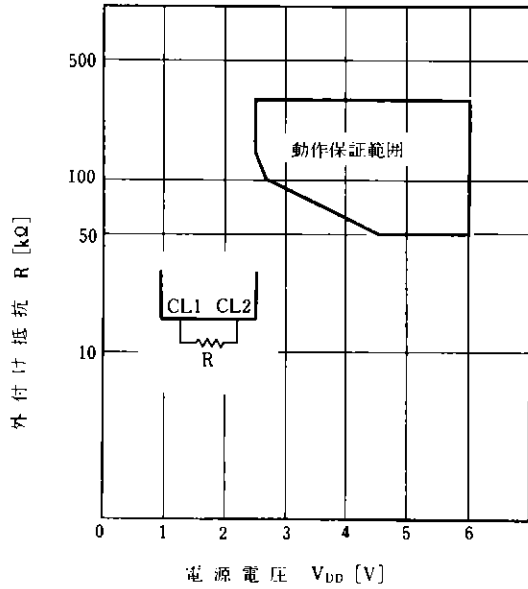
f_C vs V_{DD} 動作保証範囲

($T_a = -10 \sim +70 \text{ } ^\circ\text{C}$)



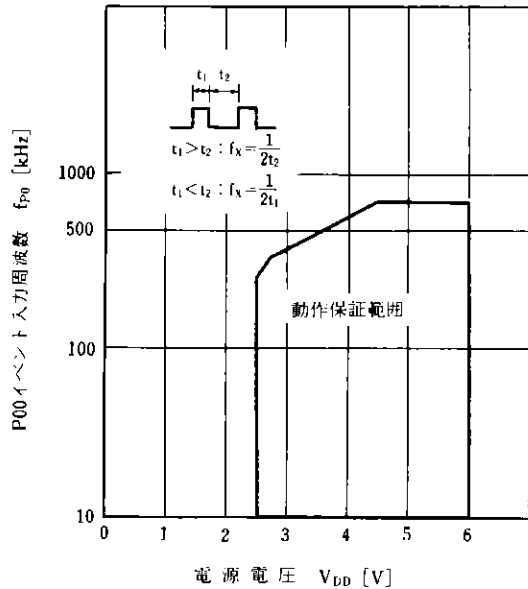
R vs V_{DD} 動作保証範囲

($T_a = -10 \sim +70 \text{ } ^\circ\text{C}$)



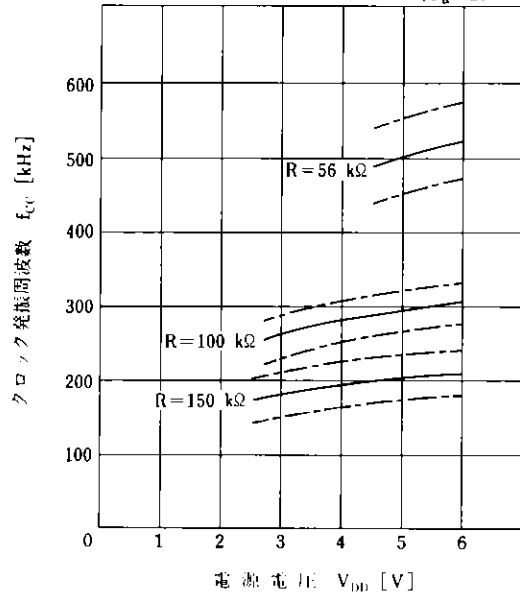
f_{P0} vs V_{DD} 動作保証範囲

($T_a = -10 \sim +70 \text{ } ^\circ\text{C}$)

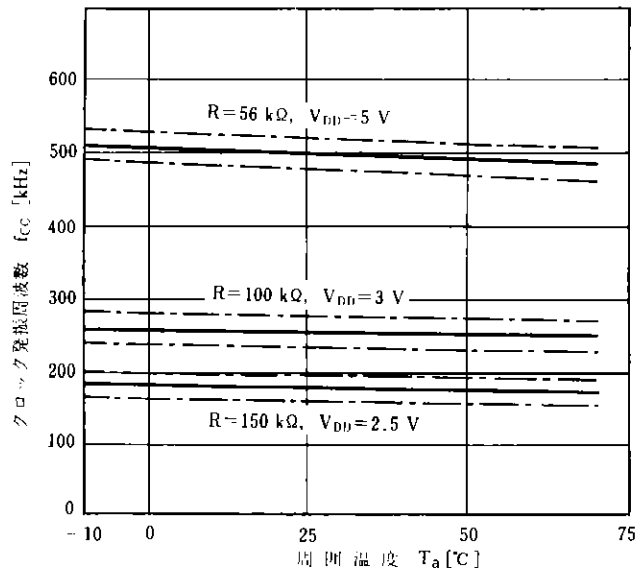


f_{CC} vs V_{DD} 特性例

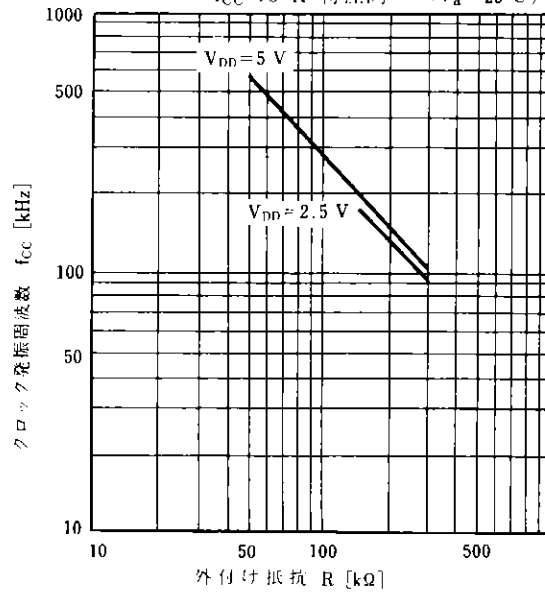
($T_a = 25^\circ\text{C}$)



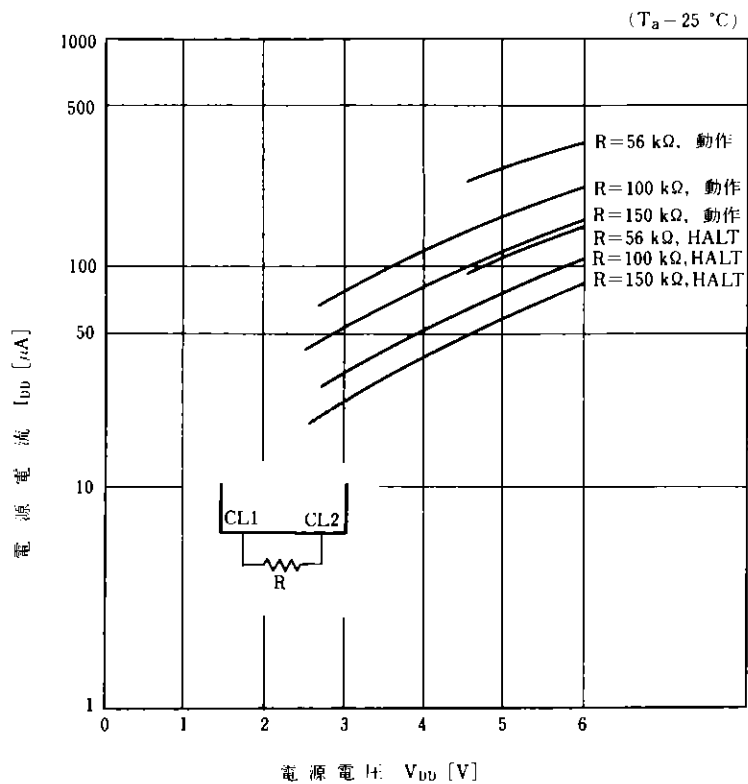
f_{CC} vs T_a 特性例



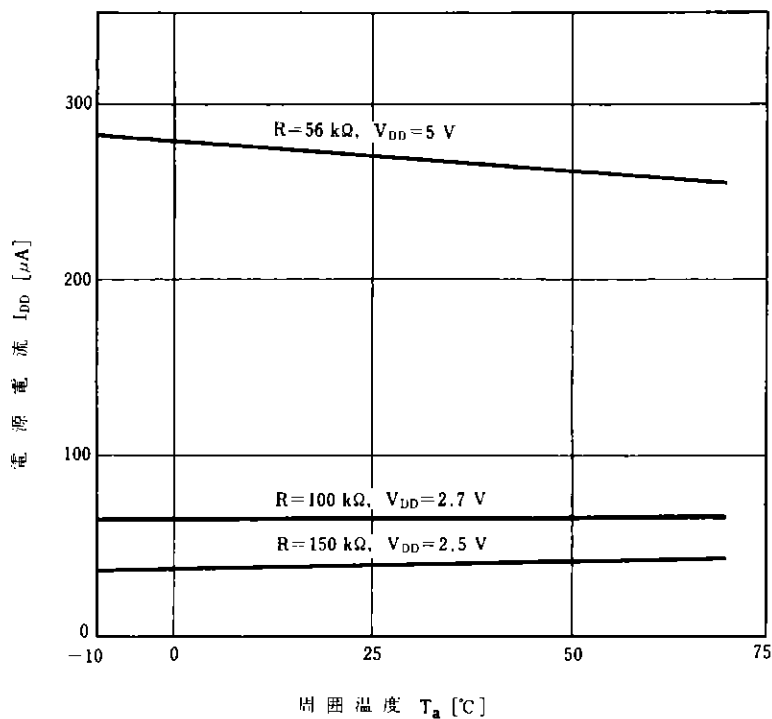
f_{CC} vs R 特性例 ($T_a = 25^\circ\text{C}$)



I_{DD} vs V_{DD} 特性例

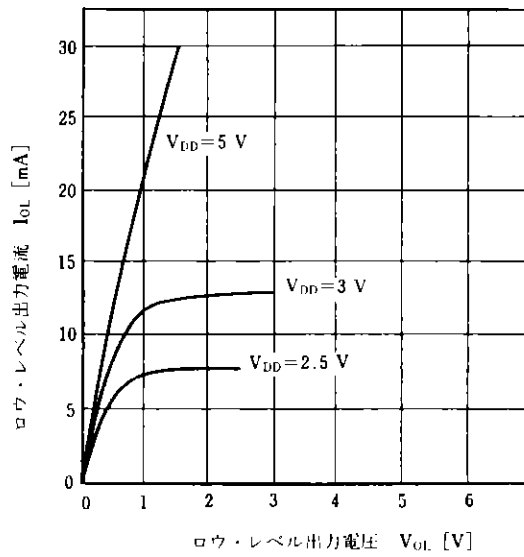


I_{DD} vs T_a 特性例 (動作モード)



I_{OL} vs V_{OL} 特性例 (ポート 8)

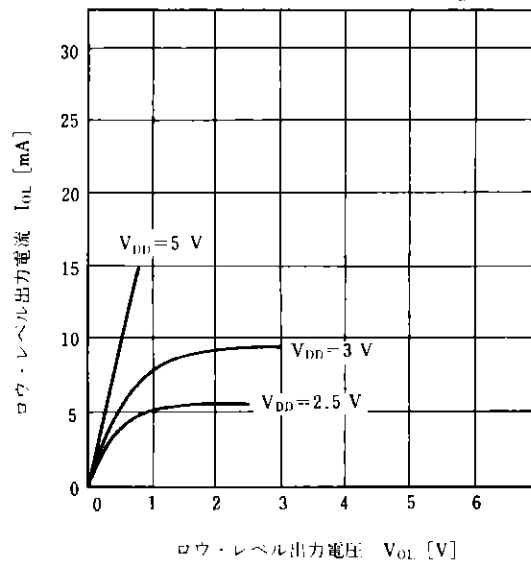
($T_a = 25^\circ\text{C}$)



注) 絶対最大定格は1端子あたり30 mAです。

I_{OL} vs V_{OL} 特性例 (ポート 10, 11)

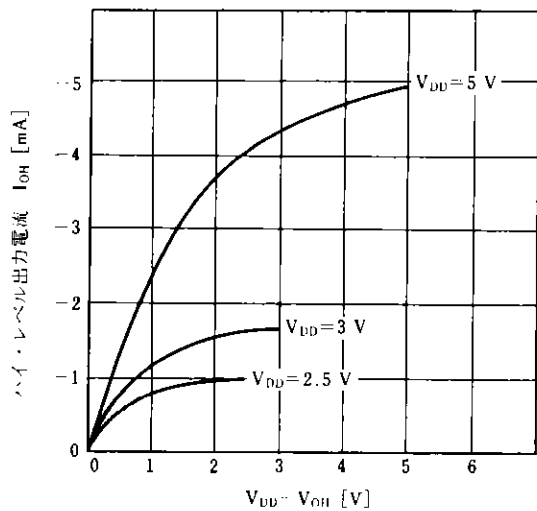
($T_a = 25^\circ\text{C}$)



注) 絶対最大定格は1端子あたり15 mAです。

I_{OH} vs V_{OH} 特性例

($T_a = 25^\circ\text{C}$)

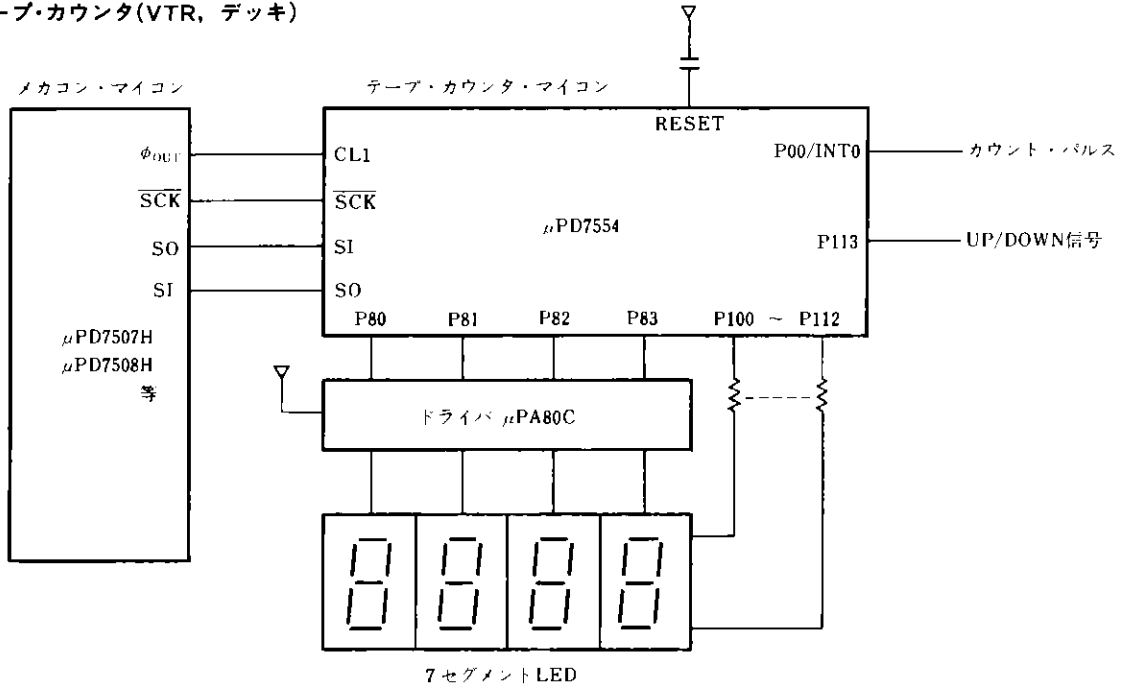


注) 絶対最大定格は1端子あたり-5 mAです。

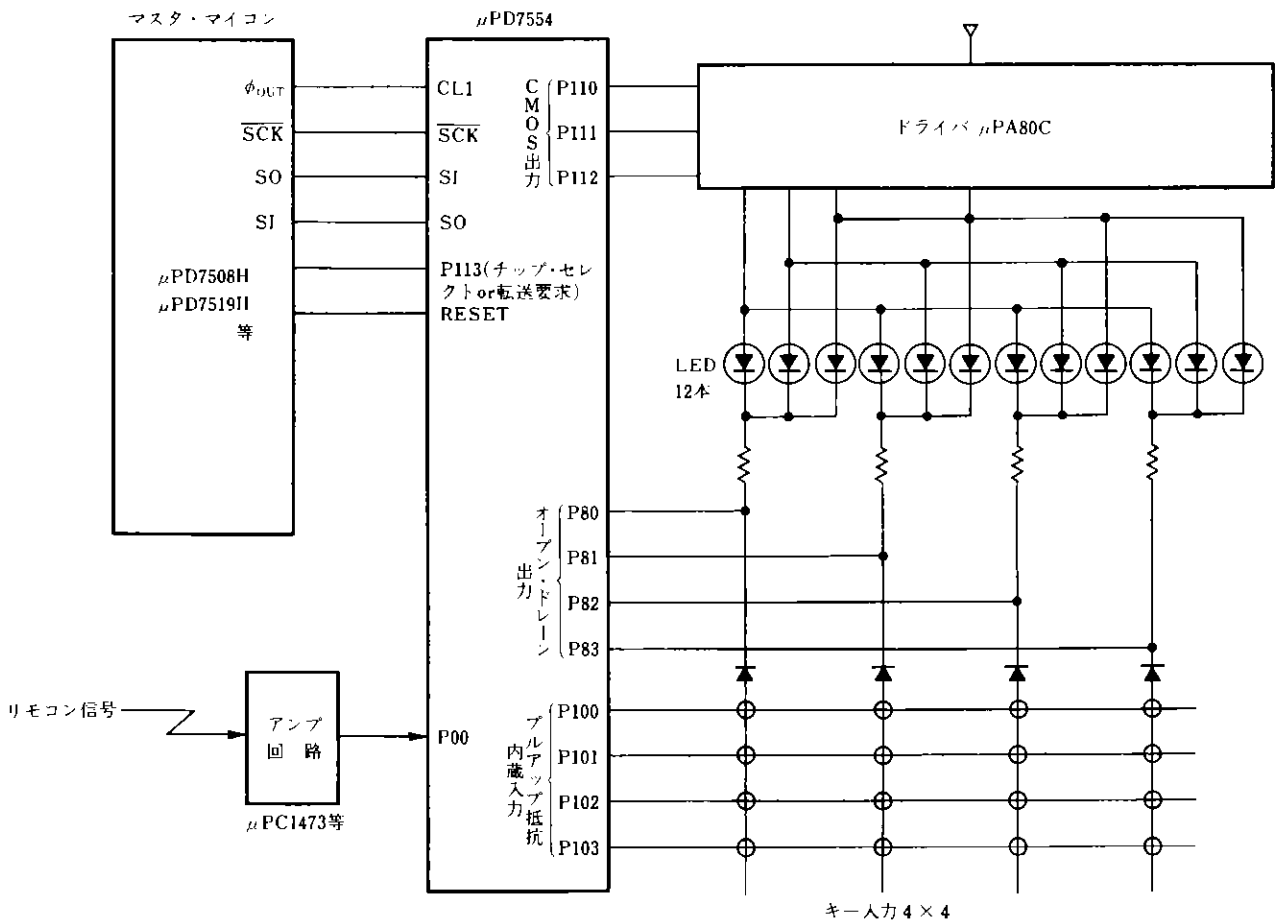
備考: 特性曲線のうち、保証範囲と記述されていないものはすべて参考値を示します。

8. μPD7554 応用回路

(1) テープ・カウンタ(VTR, デッキ)

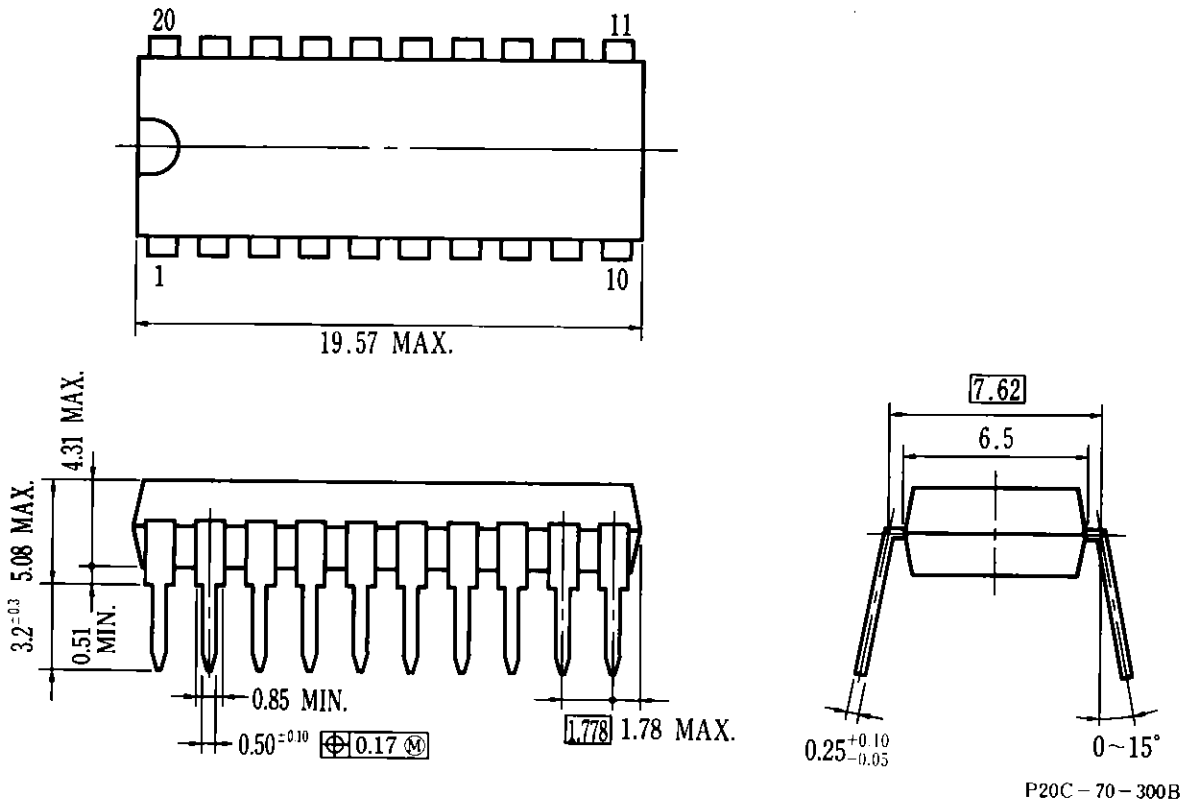


(2) リモコン受信+キー入力+LED表示

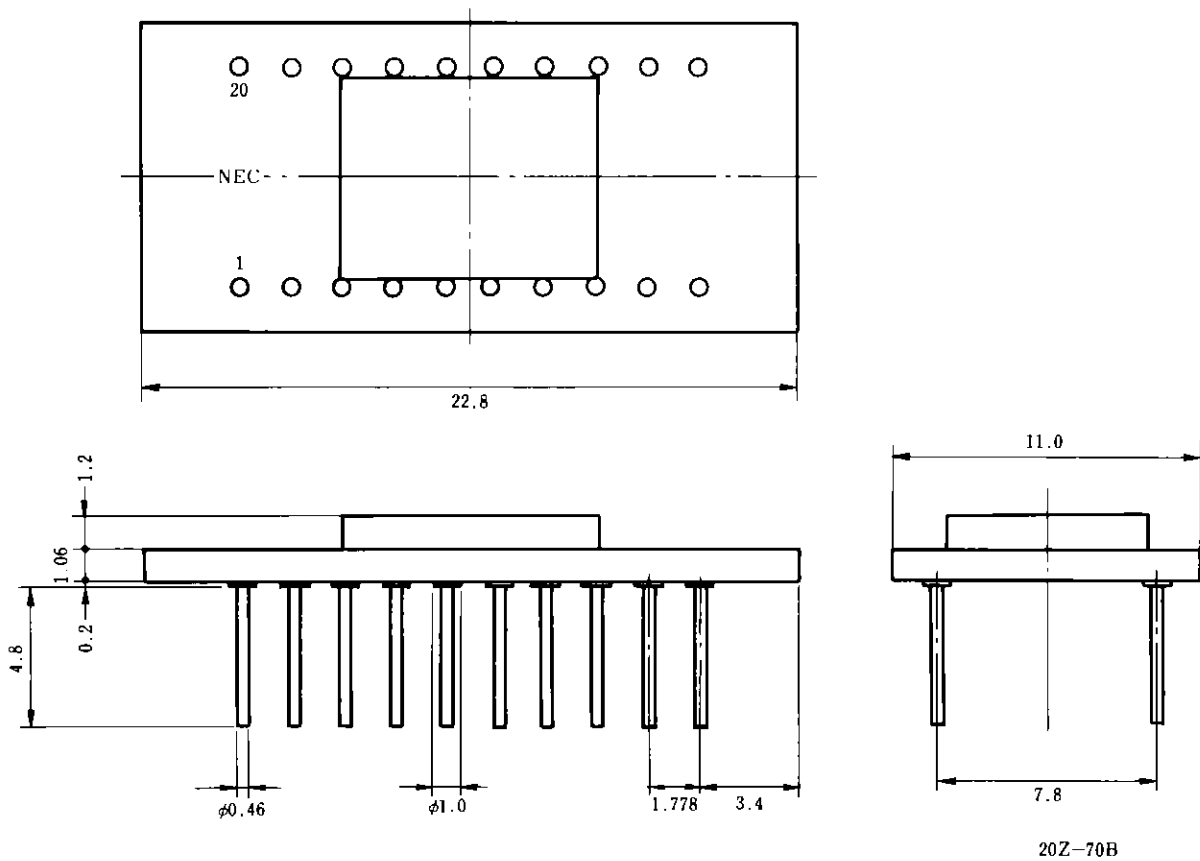


9. 外形図

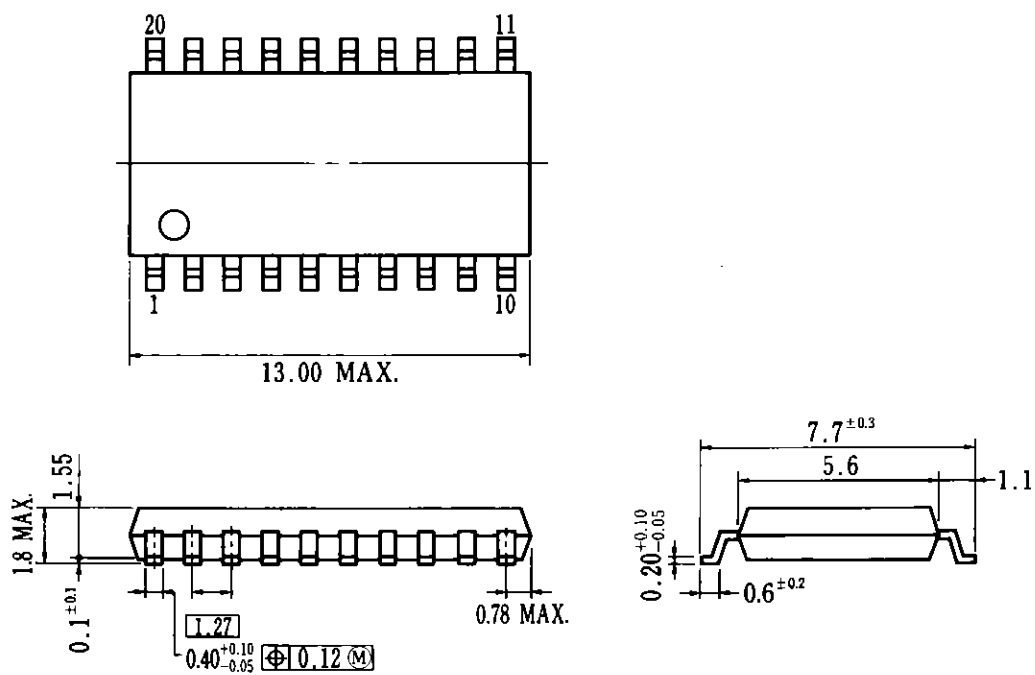
20ピン・プラスチック・シュリンクDIP (300 mil) 外形図 (単位: mm)



ES用20ピン・シュリンクDIP外形図 (参考) (単位: mm)

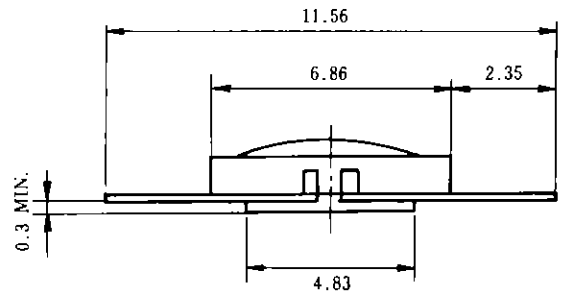
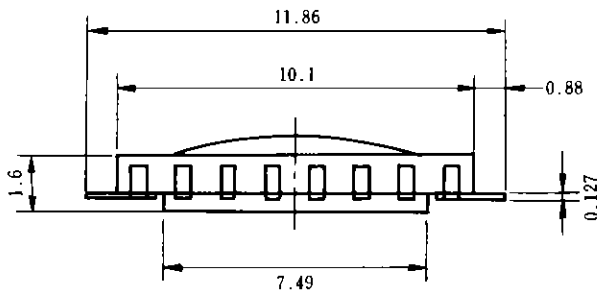
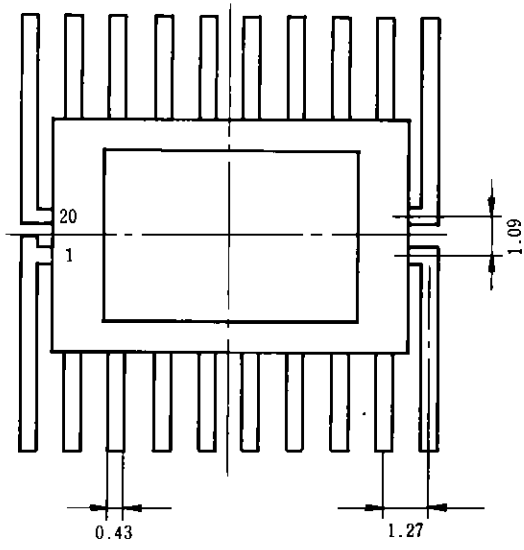


20ピン・プラスチック SOP(300 mil)外形図 (単位: mm)



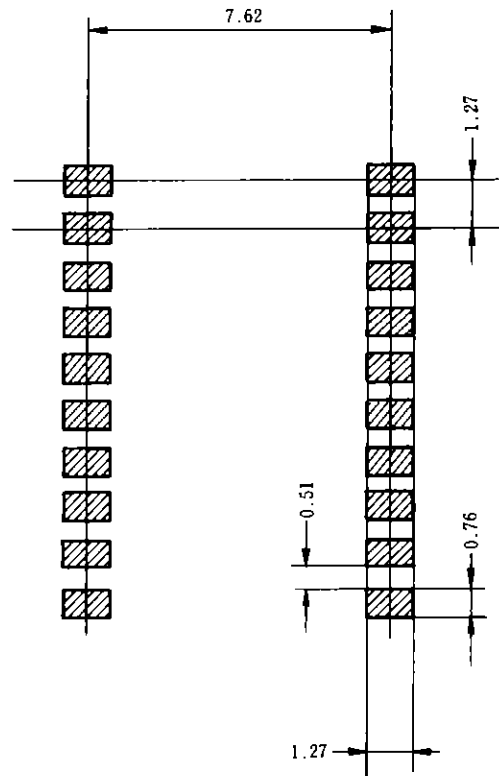
P20GM-50-300B

ES用20ピン・セラミック SOP 外形図 (参考) (単位: mm)



20B-50B

10. プラスチック SOP の推奨実装パターン (参考) (単位: mm)



- 本推奨パターンは、日本電子機械工業会 (EIAJ) の集積回路外形通則 (IC-74-2) に準拠するものです。
- 本パターン寸法は、EIAJのフラット・ディップ (ミニフラット) "フォーム A 300 milタイプ" を呼称するすべての製品に適合します。
- はんだブリッジ等のご心配のある場合は、各パッドの長さ(1.27)を確保しつつ、幅(0.76)を細めに調整してください。

11. プラスチック SOP のはんだ付け方法

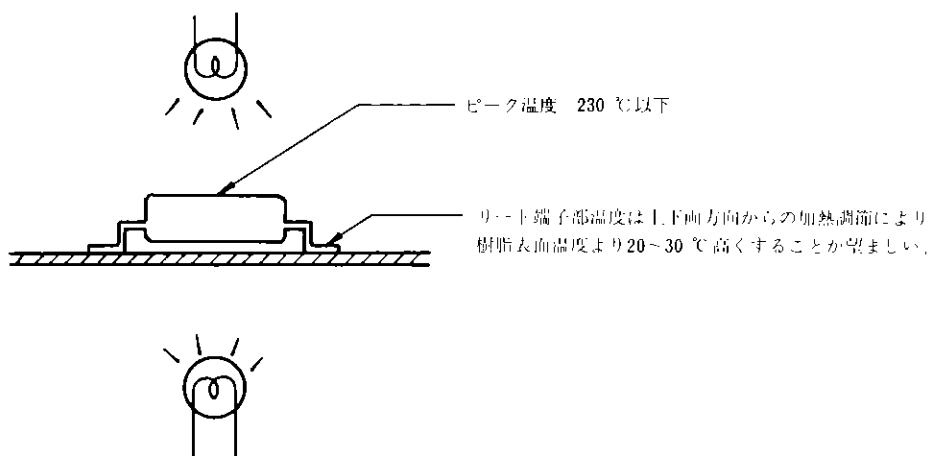
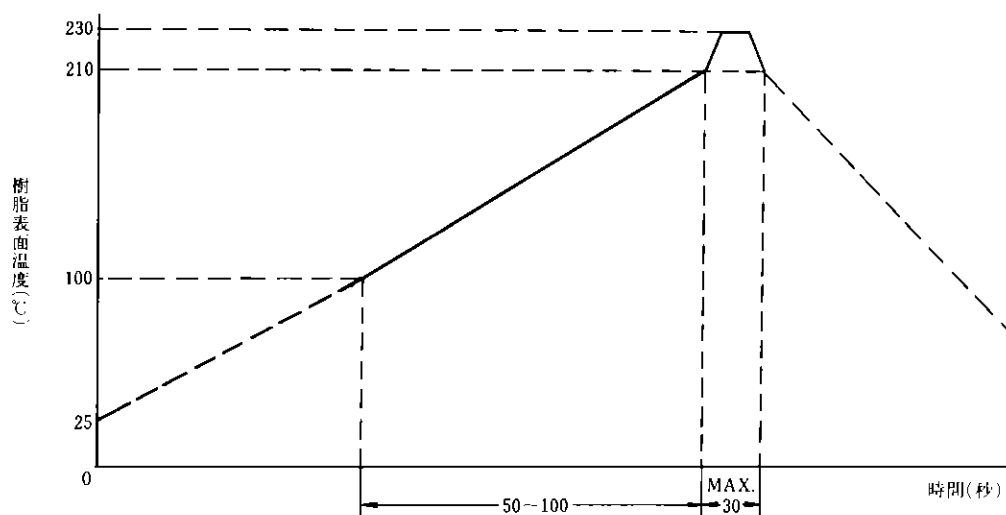
μPD7554Gの実装は、赤外線リフローまたは熱圧着によるはんだ付けを推奨致します。(実装条件は下記を参照して下さい。)

なお、はんだディップ法(はんだじゃぶ漬け法)については御相談下さい。

(1) はんだリフローによる実装条件

- ・ピーク温度 230 °C 以下(樹脂表面温度)
- ・時間 30秒以内(樹脂表面温度が210 °C 以上となる時間)
- ・リフロー回数 1 回
- ・フラックス 塩素分の少ないロジン系フラックスを推奨

図10-1 はんだリフロー温度プロファイル



(2) 熱圧着による実装条件

- ・温度 300 °C 以下(リード端子部温度)
- ・時間 10秒以内
- ・フラックス 塩素分の少ないロジン系フラックスを推奨

12. ファミリー製品リスト

項 目		μPD7554CS/G	μPD7564CS/G	μPD7556CS/G	μPD7556CS/G
インストラクション・ サイクル/ システム・クロック (5V)	RC	4 μs/500 kHz	—	4 μs/500 kHz	—
	外部	2.86 μs/700 kHz	—	2.86 μs/700 kHz	—
	セラミック	—	2.86 μs/700 kHz	—	2.86 μs/700 kHz
インストラクション・セット		47種		45種	
ROM		1024×8			
RAM		64×4			
I / O ポ ー ト	総 数	16 (MAX.)	15	20 (MAX.)	19
	ポート 0	P00 - P03		P00, P01	
	ポート 1	—		P10-P13	
	ポート 8	P80 - P83 P83 (CL2)	P80 - P82	P80 - P83 P83 (CL2)	P80 - P82
	ポート 9	—		P90, P91	
	ポート 10, 11	P100 - P103, P110 - P113			
タイマ/イベント・カウンタ		8ビット			
シリアル・インタフェース		8ビット		—	
コンパレータ		—		4-ch	
プロセス		CMOS			
パッケージ		20ピン・プラスチック・シュリンク DIP 20ピン・プラスチック SOP		24ピン・プラスチック・シュリンク DIP 24ピン・プラスチック SOP	

13. システム開発のための開発ツール

μPD7554 を使用するシステム開発のために以下のような開発ツールが用意されています。

ハードウェア	EVAKIT-7500	EVAKIT-7500B は、μPD7500 シリーズに共通に使用できる評価用ボードです。 μPD7554 の場合は、この EVAKIT-7500 とオプション・ボード EV-7554A を組み合わせてシステム開発を行います。 EVAKIT-7500B は単体でも動作できますが、ボード上にシリアル・インタフェースを組み込んでおり、TTY/コンピュータ/RS-232-C 等のコンソールを接続してデバッグを行うこともできます。 リアルタイム・トレサで、プログラム・カウンタと出力ポートの状態をリアルタイムにトレースすることができます。また、PROM ライタが組み込まれており、デバッグ効率を飛躍的に向上させることができます。				
	EV-7554A	EVAKIT-7500 に接続されて μPD7554 の評価を行うボードです。				
	SE-7554A	EVAKIT-7500B によって開発されたプログラムを実装し、μPD7554 の代わりにシステム内に組み込んでシステムの評価を行うためのシミュレーション・ボードです。				
ソフトウェア	EVAKIT-7500 コントロール・プログラム (EVAKIT コントローラ)	EVAKIT-7500B とホスト・マシン (MD シリーズ) の接続により、EVAKIT のモニタ機能以外に、オンライン・アSEMBルや逆アSEMBル機能とホスト・マシン上のファイルとのデータ転送機能が使用でき、効率のよいデバッグができます。				
		ホスト・マシン	OS	オーダ名称 (品名)		
		PDA-880	CP/M™	μS281EV7500		
		PDA-800 + PDA-800FDD				
		MD-080 シリーズ				
		MD-086 シリーズ	コンカレント CP/M™	μS171EV7500		
		PC-9800 シリーズ	MS-DOS™	μS5A1EV7500-P01 μS5A10EV7500-P01		
CP/M-86™	μS6A1EV7500-P01 μS6A10EV7500-P01					
ソフトウェア	μPD7550, 7560 シリーズ・アSEMBラ	ア プ リ エ ー ト ・ ア セ ン ブ ラ	ホスト・マシン		OS	オーダ名称 (品名)
			PDA-880	CP/M	μS281AS75M	
			PDA-800 + PDA-800FDD			
			MD-080 シリーズ			
			MD-086 シリーズ	コンカレント CP/M	μS171AS75M	
			PC-9800 シリーズ	MS-DOS	μS5A1AS7500 μS5A10AS7500	
				CP/M-86	μS6A1AS7500 μS6A10AS7500	

- 備考 1. ソフトウェアは両面倍密度のフロッピー・ディスクにより供給されます。
2. アSEMBラ、EVAKIT コントローラ等の動作は、NEC のホスト・マシン (PDA と MD シリーズ) で NEC より供給している OS で保証されます。
3. PDA-880, PDA-800 + PDA-800FDD の OS を CP/M にする場合は、弊社または弊社特約店の販売員にご相談ください。
4. CP/M™, コンカレント CP/M™, CP/M-86™ は米国デジタル・リサーチ社の商標です。
MS-DOS™ は米国マイクロソフト社の商標です。

[X 70]

NEC 日本電気株式会社

本社	東京都中央区五丁目33番1号(日本橋区本町三丁目108番地)	東京	03)454-1111
半導体第一、第二販売事業部	東京都中央区五丁目29番11号(日本橋区本町三丁目108番地)	東京	03)456-6111
関西支社半導体販売部	大阪府北区堂島南二丁目2番6号(新大阪ビル)	大阪	06)348-1461 / 06)348-1466
中部支社電子デバイス販売	名古屋市中区栄三丁目15番32号(日通ビル)	名古屋	052)262-3611
北海道支社	札幌市中央区南一条西五丁目10番1号	札幌	011)231-0161
東北支社	仙台市青葉区中央三丁目1番1号	仙台	011)251-5531
関東支社	東京都千代田区千代田1番1号	東京	0154)25-2255
中部支社	名古屋市中区栄三丁目15番32号	名古屋	0138)52-1177
関西支社	大阪府北区堂島南二丁目2番6号	大阪	0166)25-3716
中国支社	大阪市北区堂島南二丁目2番6号	大阪	0155)22-8288
九州支社	福岡市中央区天神1丁目1番1号	福岡	022)261-5511
四国支社	高松市栄町1番1号	高松	0177)76-2181
近畿支社	京都市中京区東町1番1号	京都	0178)46-1811
山陽支社	広島市中区基町1番1号	広島	0196)51-4344
山陰支社	松江市中区本町1番1号	松江	0236)23-5511
北陸支社	金沢市本町1番1号	金沢	0245)21-5511
信州支社	長野市上飯田1番1号	長野	0234)24-3361
北支社	仙台市青葉区中央三丁目1番1号	仙台	025)247-6101
東支社	東京都千代田区千代田1番1号	東京	0258)36-2155
西支社	大阪府北区堂島南二丁目2番6号	大阪	0262)35-1444
南支社	福岡市中央区天神1丁目1番1号	福岡	0263)35-1666
北支社	仙台市青葉区中央三丁目1番1号	仙台	0266)53-5350
東支社	東京都千代田区千代田1番1号	東京	0552)24-4141
西支社	大阪府北区堂島南二丁目2番6号	大阪	0273)26-1255
南支社	福岡市中央区天神1丁目1番1号	福岡	0276)46-4011
北支社	仙台市青葉区中央三丁目1番1号	仙台	0286)21-2281
東支社	東京都千代田区千代田1番1号	東京	0292)26-1717
西支社	大阪府北区堂島南二丁目2番6号	大阪	0298)23-6161
南支社	福岡市中央区天神1丁目1番1号	福岡	03)456-3111
北支社	仙台市青葉区中央三丁目1番1号	仙台	03)281-1311
東支社	東京都千代田区千代田1番1号	東京	03)348-5511
西支社	大阪府北区堂島南二丁目2番6号	大阪	03)490-6311
南支社	福岡市中央区天神1丁目1番1号	福岡	03)988-2011
北支社	仙台市青葉区中央三丁目1番1号	仙台	0425)26-0911
東支社	東京都千代田区千代田1番1号	東京	0422)45-3811
西支社	大阪府北区堂島南二丁目2番6号	大阪	0486)41-1411
南支社	福岡市中央区天神1丁目1番1号	福岡	0429)92-3131

谷支社	谷津支店	0485)25-3700
神戶支社	神戶支店	0472)27-5441
東京支社	東京支店	0474)31-5566
大阪支社	大阪支店	0471)64-7011
名古屋支社	名古屋支店	0426)46-1181
福岡支社	福岡支店	045)324-5511
仙台支社	仙台支店	044)211-5111
札幌支社	札幌支店	0462)24-1151
金沢支社	金沢支店	0468)24-5511
高松支社	高松支店	0463)22-1711
宇都宮支社	宇都宮支店	0542)55-2211
水戸支社	水戸支店	0559)63-4455
前橋支社	前橋支店	0534)52-2711
宇津宮支社	宇津宮支店	052)262-3611
上野原支社	上野原支店	0532)55-3000
高尾支社	高尾支店	0565)31-2611
三浦支社	三浦支店	0592)25-7341
厚木支社	厚木支店	0593)52-9366
相模原支社	相模原支店	0582)62-3311
横浜支社	横浜支店	0762)23-1621
川崎支社	川崎支店	0764)31-8461
横浜南支社	横浜南支店	0766)25-8115
磯崎支社	磯崎支店	0776)22-1866
津支社	津支店	06)231-3111
大宮支社	大宮支店	06)346-5013
さいたま支社	さいたま支店	06)720-4411
熊谷支社	熊谷支店	06)386-4511
宇都宮支社	宇都宮支店	0722)22-3905
高崎支社	高崎支店	0734)28-3211
前橋支社	前橋支店	075)221-8511
宇都宮支社	宇都宮支店	0775)26-0666
松本支社	松本支店	06)413-3721
長野支社	長野支店	078)332-3311
諏訪支社	諏訪支店	0792)24-6677
上野原支社	上野原支店	0742)26-1622
高尾支社	高尾支店	082)247-4111
宇津宮支社	宇津宮支店	0862)25-4455
水戸支社	水戸支店	0864)22-4343
前橋支社	前橋支店	0849)31-5063
宇都宮支社	宇都宮支店	0857)27-5311
高松支社	高松支店	0852)24-4115
宇都宮支社	宇都宮支店	0834)21-7700
水戸支社	水戸支店	0836)31-8175
前橋支社	前橋支店	0878)22-4141
宇都宮支社	宇都宮支店	0886)26-2740
高松支社	高松支店	0899)45-4111
宇都宮支社	宇都宮支店	0888)25-0201
水戸支社	水戸支店	0897)32-5001
前橋支社	前橋支店	092)271-7700
宇都宮支社	宇都宮支店	0952)29-5281
高松支社	高松支店	093)541-2887
宇都宮支社	宇都宮支店	0942)39-7955
水戸支社	水戸支店	0975)34-5339
前橋支社	前橋支店	0956)22-2271
宇都宮支社	宇都宮支店	0985)29-8080
高松支社	高松支店	0992)26-1611
宇都宮支社	宇都宮支店	0988)66-5611