

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

μ PD754144,754244

4ビット・シングルチップ・マイクロコンピュータ

μ PD754244は、キーレス・エントリ用のEEPROM™を内蔵した4ビット・シングルチップ・マイコンです。
16×8ビットのEEPROM，演算処理を行うCPU，ソフトウェアを格納する4KバイトのマスクROM，演算データの格納を行う128×4ビットのRAM，そして赤外線リモコン用の波形を容易に出力することのできるキャリア・ジェネレータを内蔵しています。

詳しい機能説明などは次のユーザーズ・マニュアルに記載しております。設計の際には必ずお読みください。

μ PD754144, 754244 ユーザーズ・マニュアル：U10676J

特 徴

EEPROM内蔵：16×8ビット（データ・メモリ領域）	内蔵メモリ
キーレス・エントリ用のキー・リターン・リセット機能を内蔵	・プログラム・メモリ（ROM）
システム・クロック用発振回路	4096×8ビット
・ μ PD754144：RC発振回路 （抵抗，コンデンサは外付け）	・データ・メモリ（スタティックRAM） 128×4ビット
・ μ PD754244：クリスタル/セラミック発振回路	パワー・セーブに有利な命令実行時間可変機能
低電圧動作可能： $V_{DD} = 1.8 \sim 6.0V$	・ μ PD754144： 4, 8, 16, 64 μs ($f_{cc} = 1.0$ MHz動作時)
タイマ機能（4チャンネル）	・ μ PD754244： 0.95, 1.91, 3.81, 15.3 μs ($f_x = 4.19$ MHz動作時) 0.67, 1.33, 2.67, 10.7 μs ($f_x = 6.0$ MHz動作時)
・ベーシック・インターバル・タイマ/ウォッチドッグ・タイマ：1チャンネル	
・8ビット・タイマ・カウンタ：3チャンネル	

用 途

キーレス・エントリなどの自動車電装，小型データ・キャリアなど

- ★ このデータ・シートでは、特に断りがないかぎり、 μ PD754244（クリスタル/セラミック発振： f_x ）を代表品種として記述しています。

μ PD754144（RC発振： f_{cc} ）については、 μ PD754244を μ PD754144に、 f_x を f_{cc} に読み替えてください。

本資料の内容は、予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。

★ オーダ情報

オーダ名称	パッケージ
μPD754144GS-x x x-BA5	20ピン・プラスチックSOP (300 mil , 1.27 mmピッチ)
★ μPD754144GS-x x x-BA5-A	"
μPD754144GS-x x x-GJG	20ピン・プラスチック・シュリンクSOP (300 mil , 0.65 mmピッチ)
★ μPD754144GS-x x x-GJG-A	"
μPD754244GS-x x x-BA5	20ピン・プラスチックSOP (300 mil , 1.27 mmピッチ)
★ μPD754244GS-x x x-BA5-A	"
μPD754244GS-x x x-GJG	20ピン・プラスチック・シュリンクSOP (300 mil , 0.65 mmピッチ)
★ μPD754244GS-x x x-GJG-A	"

備考1 . オーダ名称末尾「-A」の製品は、鉛フリー製品です。

2 . x x xはROMコード番号です。

機能一覧

項 目		μ PD754144	μ PD754244
命令実行時間		・ 4, 8, 16, 64 μs (fcc = 1.0 MHz動作時)	・ 0.95, 1.91, 3.81, 15.3 μs (fx = 4.19 MHz動作時) ・ 0.67, 1.33, 2.67, 10.7 μs (fx = 6.0 MHz動作時)
内蔵メモリ	マスクROM	4096 × 8 ビット (0000H-0FFFH)	
	RAM	128 × 4 ビット (000H-07FH)	
	EEPROM	16 × 8 ビット (400H-41FH)	
システム・クロック発振回路		RC発振回路 (抵抗, コンデンサは外付け)	クリスタル / セラミック発振回路
汎用レジスタ		・ 4 ビット操作時 : 8 個 × 4 バンク ・ 8 ビット操作時 : 4 個 × 4 バンク	
入出力ポート	CMOS入力	4 本	マスク・オプションによるプルアップ抵抗内蔵可能
	CMOS入出力	9 本	ソフトウェアによる内蔵プルアップ抵抗の接続指定可能
	合 計	13本	
★	リセット後起動時間	56/fcc	2 ¹⁷ /fx, 2 ¹⁵ /fx (マスク・オプションで選択)
★	スタンバイ・モード解除時間	2 ⁹ /fcc	2 ²⁰ /fx, 2 ¹⁷ /fx, 2 ¹⁵ /fx, 2 ¹³ /fx (BTMの設定により選択)
タイマ		4 チャンネル ・ 8 ビット・タイマ・カウンタ : 3 チャンネル (16 ビット・タイマ・カウンタとして使用可能) ・ ベーシック・インターバル・タイマ / ウォッチドッグ・タイマ : 1 チャンネル	
ビット・シーケンシャル・バッファ		16 ビット	
ベクタ割り込み		外部 : 1 本, 内部 : 5 本	
テスト入力		外部 : 1 本 (キー・リターン・リセット機能あり)	
スタンバイ機能		STOPモード/HALTモード	
動作周囲温度		TA = - 40 ~ + 85	
電源電圧		VDD = 1.8 ~ 6.0 V	
パッケージ		・ 20ピン・プラスチックSOP (300 mil, 1.27 mmピッチ) ・ 20ピン・プラスチック・シュリンクSOP (300 mil, 0.65 mmピッチ)	

目 次

1 . 端子接続図 (Top View) ...	6
2 . ブロック図 ...	8
3 . 端子機能 ...	9
3.1 ポート端子 ...	9
3.2 ポート端子以外の端子 ...	10
3.3 端子の入出力回路 ...	11
3.4 未使用端子の処理について ...	12
4 . Mk モードとMk モードの切り替え機能 ...	13
4.1 Mk モードとMk モードの違い ...	13
4.2 スタック・バンク選択レジスタ (SBS) の設定方法 ...	14
5 . メモリ構成 ...	15
6 . EEPROM ...	18
7 . 周辺ハードウェア機能 ...	19
7.1 デジタル入出力ポート ...	19
7.2 クロック発生回路 ...	19
7.3 ベーシック・インターバル・タイマ/ウォッチドッグ・タイマ ...	22
7.4 タイマ・カウンタ ...	23
7.5 プログラマブル・スレッシユホールド・ポート (アナログ入力ポート) ...	27
7.6 ビット・シーケンシャル・バッファ ...	28
8 . 割り込み機能とテスト機能 ...	29
9 . スタンバイ機能 ...	31
10 . リセット機能 ...	32
10.1 リセット機能の構成および動作状態 ...	32
10.2 ウォッチドッグ・フラグ (WDF) , キー・リターン・フラグ (KRF) ...	36
★ 11 . マスク・オプション ...	38
12 . 命令セット ...	39
★ 13 . 電気的特性 ...	48
13.1 μPD754144の場合 ...	48
13.2 μPD754244の場合 ...	56

- ★ 14 . 特性曲線 (参考値) ... 67
 - 14.1 μ PD754144の場合 ... 67
 - 14.2 μ PD754244の場合 ... 69

- ★ 15 . RC発振周波数特性例 (参考値) ... 72

- 16 . 外形図 ... 76

- ★ 17 . 半田付け推奨条件 ... 78

- ★ 付録A . μ PD754144, 754244, 75F4264の機能一覧表 ... 81

- 付録B . 開発ツール ... 82

- ★ 付録C . 関連資料 ... 85

★ 1. 端子接続図 (Top View)

μPD754144の端子接続図

・20ピン・プラスチックSOP (300 mil, 1.27 mmピッチ)

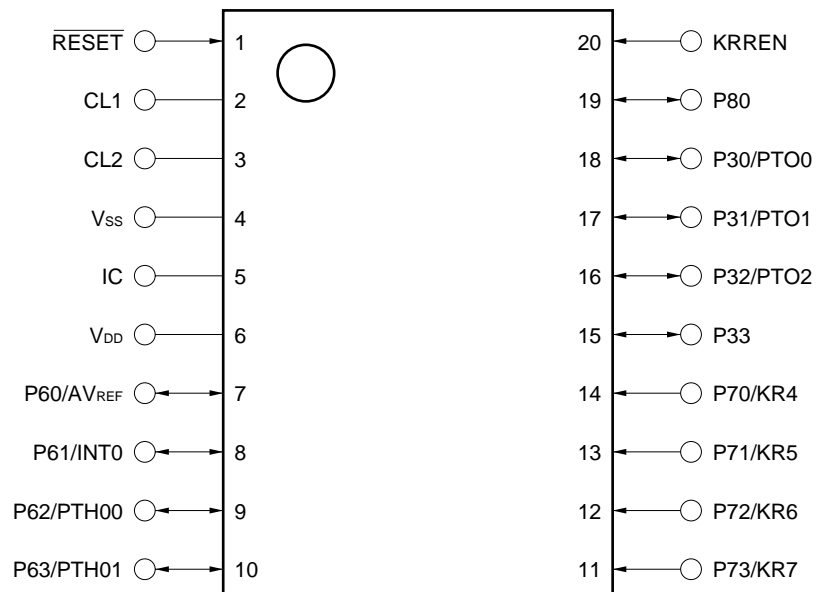
μPD754144GS- x x x -BA5

★ μPD754144GS- x x x -BA5-A

・20ピン・プラスチック・シュリンクSOP (300 mil, 0.65 mmピッチ)

μPD754144GS- x x x -GJG

★ μPD754144GS- x x x -GJG-A



IC : Internally Connected (VDDに直接接続してください)

μPD754244の端子接続図

・20ピン・プラスチックSOP (300 mil, 1.27 mmピッチ)

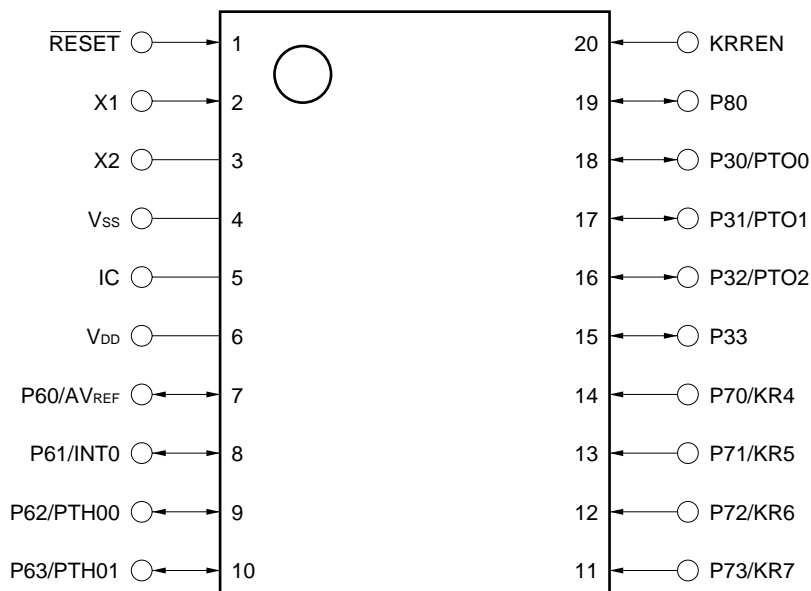
μPD754244GS- x x x -BA5

★ μPD754244GS- x x x -BA5-A

・20ピン・プラスチック・シュリンクSOP (300 mil, 0.65 mmピッチ)

μPD754244GS- x x x -GJG

★ μPD754244GS- x x x -GJG-A

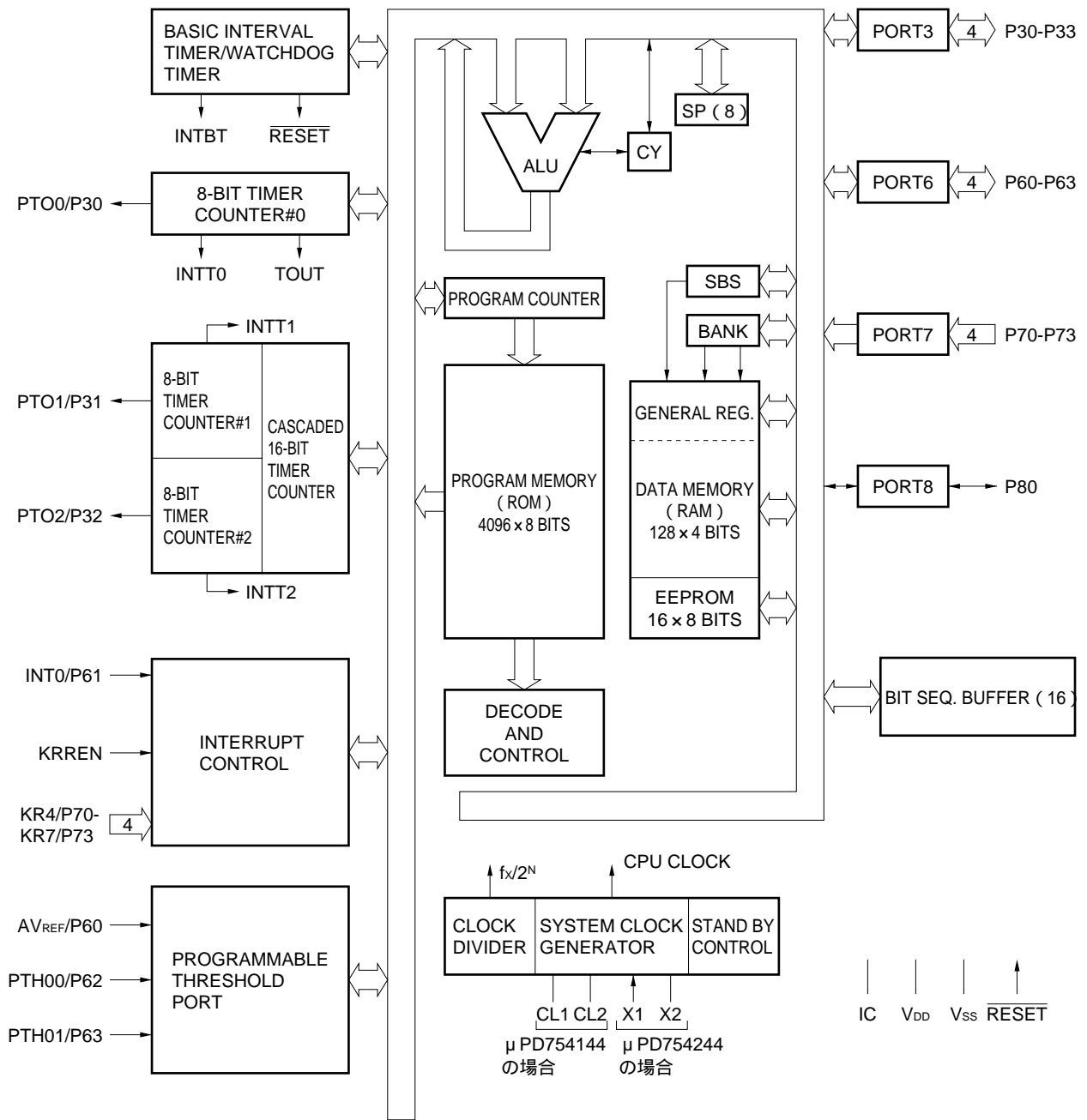


IC : Internally Connected (VDDに直接接続してください)

端子名称

AVREF	: Analog Reference	P70-P73	: Port7
CL1, CL2	: System Clock (RC)	P80	: Port8
IC	: Internally Connected	PTH00, PTH01	: Programmable Threshold Port Analog Input0, 1
INT0	: External Vectored Interrupt0	PTO0-PTO2	: Programmable Timer Output0-2
KR4-KR7	: Key Return4-7	RESET	: Reset
KRREN	: Key Return Reset Enable	VDD	: Positive Power Supply
P30-P33	: Port3	Vss	: Ground
P60-P63	: Port6	X1, X2	: System Clock (Crystal/Ceramic)

2. ブロック図



3. 端子機能

3.1 ポート端子

端子名称	入出力	兼用端子	機能	8ビット I/O	リセット時	入出力回路 TYPE ^{注1}
P30	入出力	PTO0	プログラマブル4ビット入出力ポート (PORT3)。 ビット単位で入力/出力指定可能。 4ビット単位でソフトウェアにより内蔵プルアップ抵抗の接続を指定可能。	×	入力	E-B
P31		PTO1				
P32		PTO2				
P33		-				
P60	入出力	AVREF	プログラマブル4ビット入出力ポート (PORT6)。 ビット単位で入力/出力指定可能。 4ビット単位でソフトウェアにより内蔵プルアップ抵抗の接続を指定可能 ^{注2} 。 P61/INT0はノイズ除去回路を選択可能。	×	入力	Ⓕ-A
P61		INT0				
P62		PTH00				
P63		PTH01				
P70	入力	KR4	4ビット入力ポート (PORT7)。 ビット単位にプルアップ抵抗を内蔵可能 (マスク・オプション)。	×	入力	Ⓑ-A
P71		KR5				
P72		KR6				
P73		KR7				
★ P80	入出力	-	1ビット入出力ポート (PORT8)。 ソフトウェアにより内蔵プルアップ抵抗の接続を指定可能。	×	入力	Ⓕ-A

注1 . 印はシュミット・トリガ入力を示します。

- ★ 2 . プログラマブル・スレッシュホールド・ポートを使用する場合、内蔵プルアップ抵抗の接続を指定しないでください。

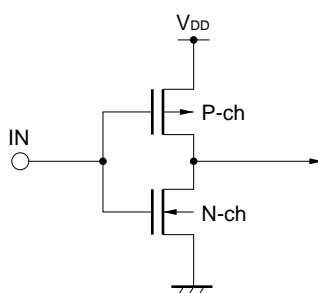
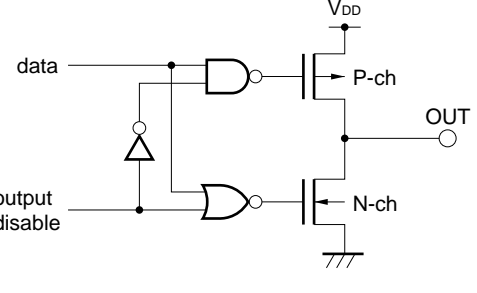
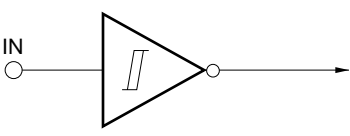
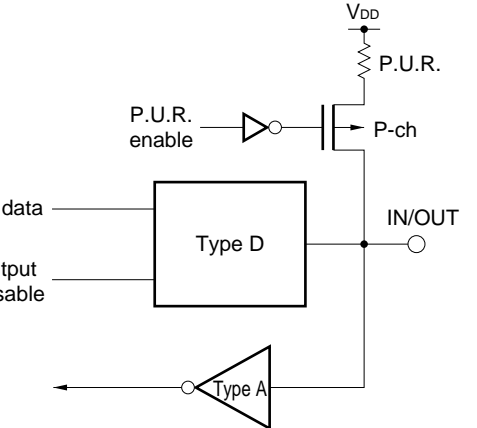
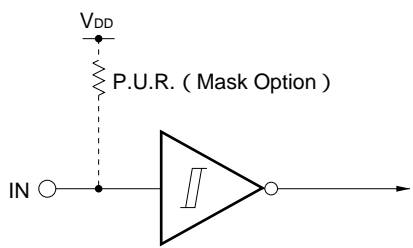
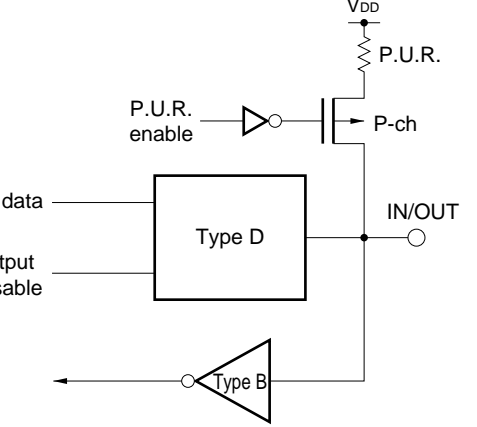
3.2 ポート端子以外の端子

端子名称	入出力	兼用端子	機能		リセット時	入出力回路 TYPE注
PTO0	出力	P30	タイマ・カウンタ出力。		入力	E-B
PTO1		P31				
PTO2		P32				
INT0	入力	P61	エッジ検出ベクタ割り込み入力 (検出エッジ選択可能)。 ノイズ除去回路を選択可能。	ノイズ除去回路付き/ 非同期選択可	入力	Ⓕ-A
KR4-KR7	入力	P70-P73	立ち下がりエッジ検出テストブル入力。		入力	Ⓑ-A
PTH00	入力	P62	スレッシュホールド電圧可変2ビット・アナログ入力。		入力	Ⓕ-A
PTH01		P63				
KRREN	入力	-	キー・リターン・リセット・イネーブル。 STOPモードでKRREN = ハイ・レベルのとき, KRnの立ち下がりエッジでリセット信号が発生。		入力	Ⓑ
★ AVREF	入力	P60	基準電圧入力。		入力	Ⓕ-A
★ CL1	-	-	μPD754144のみ内蔵。 システム・クロック発振用R, C接続端子。外部クロックを入力することはできません。		-	-
★ CL2	-					
★ X1	入力	-	μPD754244のみ内蔵。 システム・クロック発振用クリスタル/セラミック接続端子。 外部クロックの場合, X1へ入力しX2にその逆相を入力。		-	-
★ X2	-					
RESET	入力	-	システム・リセット入力(ロウ・レベル・アクティブ)。 プルアップ抵抗を内蔵可能(マスク・オプション)。		-	Ⓑ-A
IC	-	-	Internally Connected. V _{DD} に直接接続してください。		-	-
V _{DD}	-	-	正電源。		-	-
V _{SS}	-	-	グラウンド電位。		-	-

注 印はシュミット・トリガ入力を示します。

3.3 端子の入出力回路

μPD754244の各端子の入出力回路を一部簡略した形式を用いて示します。

<p>TYPE A</p>  <p>CMOS規格の入力バッファになっています。</p>	<p>TYPE D</p>  <p>出力ハイ・インピーダンス (P-ch, N-chともにオフ) とすることができるプッシュプル出力となっています。</p>
<p>TYPE B</p>  <p>ヒステリシス特性を持つシュミット・トリガ入力となっています。</p>	<p>TYPE E-B</p>  <p>P.U.R. : Pull-Up Resistor</p>
<p>TYPE B-A</p>  <p>P.U.R. : Pull-Up Resistor</p>	<p>TYPE F-A</p>  <p>P.U.R. : Pull-Up Resistor</p>

3.4 未使用端子の処理について

表 3 - 1 未使用端子の処理一覧

端 子	推奨接続方法
P30/PTO0	入力状態：個別に抵抗を介して、V _{SS} またはV _{DD} に接続 出力状態：オープン
P31/PTO1	
P32/PTO2	
P33	
P60/AV _{REF}	
P61/INT0	
P62/PTH00	
P63/PTH01	
P70/KR4	V _{DD} に接続
P71/KR5	
P72/KR6	
P73/KR7	
P80	入力状態：個別に抵抗を介して、V _{SS} またはV _{DD} に接続 出力状態：オープン
KRREN	V _{DD} に接続すると、STOPモード時にKR _n 端子の立ち下がりエッジで内部リセット信号を発生します。 V _{SS} に接続すると、STOPモード時にKR _n 端子の立ち下がりエッジを検出しても内部リセット信号は発生しません。
IC	V _{DD} に直接接続

4. Mk モードとMk モードの切り替え機能

4.1 Mk モードとMk モードの違い

μPD754244の75XL CPUはMk モードとMk モードの2つのモードを持ち、どちらを使用するかを選択ができます。モードの切り替え操作は、スタック・バンク選択レジスタ (SBS) のビット3で行います。

- ・Mk モード：75Xシリーズと命令の互換性があります。
ROM容量が16 Kバイトまでの75XL CPUで使用できます。
- ・Mk モード：75Xシリーズとの互換性はありません。
ROM容量が16 Kバイト以上の製品も含め、75XL CPU全部で使用できます。

表4-1 Mk モードとMK モードの違い

	Mk モード	Mk モード
サブルーチン命令の スタック・バイト数	2 バイト	3 バイト
BRA !addr1命令 CALLA !addr1命令	なし	あり
CALL !addr命令	3 マシン・サイクル	4 マシン・サイクル
CALLF !faddr命令	2 マシン・サイクル	3 マシン・サイクル

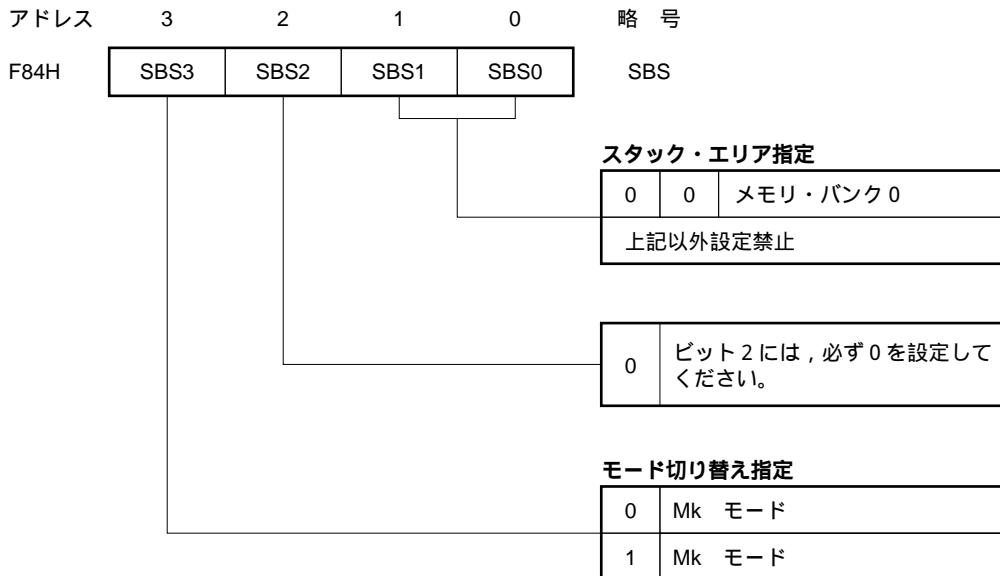
- ★ **注意** Mk モードは、75Xおよび75XLシリーズにおいて、16 Kバイトを越えるプログラム領域をサポートするモードです。このモードにより、16 Kバイトを越える製品とのソフトウェア上の互換性を高めることができます。
- なお、Mk モードを選択すると、サブルーチン・コール命令実行時のスタック・バイト数（使用エリア）がMk モードに比べ1スタックごとに1バイト分増えます。また、CALL !addr, CALLF !faddr命令使用時は、マシン・サイクルがそれぞれ1マシン・サイクル分長くかかります。したがって、ソフトウェアの互換性よりRAMの使用効率や処理能力を重視する場合は、Mk モードを使用してください。

4.2 スタック・バンク選択レジスタ (SBS) の設定方法

Mk モードとMk モードの切り替えは、スタック・バンク選択レジスタによって行います。図4 - 1にそのフォーマットを示します。

スタック・バンク選択レジスタは、4ビット・メモリ操作命令により設定します。Mk モードを使用する場合は、プログラムの初期で必ずスタック・バンク選択レジスタを1000Bにイニシャライズしてください。またMk モードを使用する場合は、必ず0000Bにイニシャライズしてください。

図4 - 1 スタック・バンク選択レジスタのフォーマット



注意 SBS. 3はRESET信号発生後“1”になるので、CPUはMk モードで動作します。Mk モードの命令を使用する場合は、SBS. 3を“0”にし、Mk モードに設定してから使用してください。

5. メモリ構成

プログラム・メモリ (ROM)4096 × 8 ビット

- ・ 0000H, 0001H番地

RESET信号発生でのプログラム・スタート・アドレスとRBE, MBEの設定値を書くベクタ・テーブルです。任意の番地からリセット・スタートできます。

- ・ 0002H-000FH番地

各ベクタ割り込みによるプログラム・スタート・アドレスとRBE, MBEの設定値を書くベクタ・テーブルです。任意の番地から割り込み処理をスタートできます。

- ・ 0020H-007FH番地

GETI命令^注で参照するテーブル領域です。

注 GETI命令は、任意の2バイト/3バイト命令、または1バイト命令2つを1バイトで実現するための命令で、プログラム・ステップ数を縮小するために使用します。

データ・メモリ

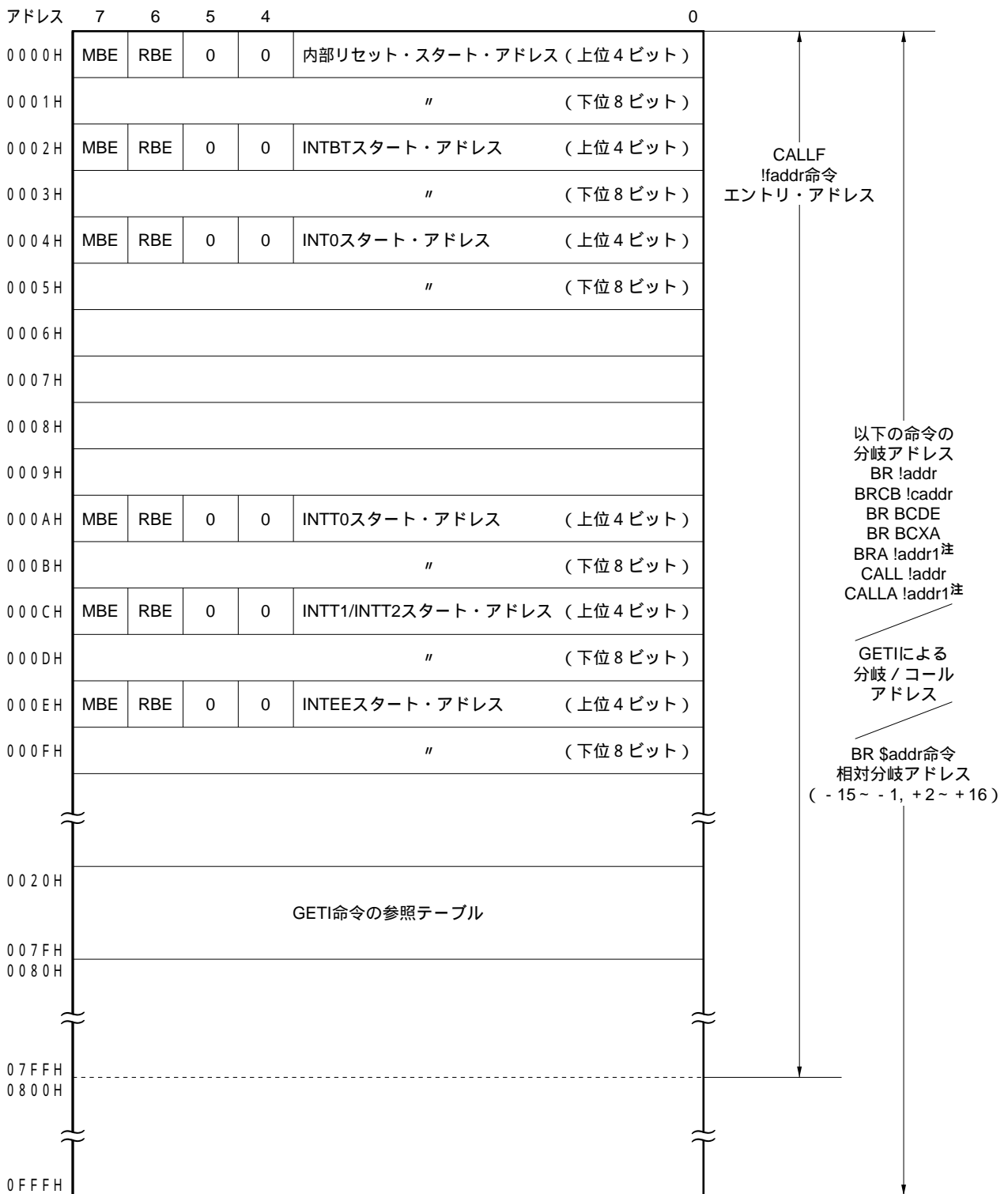
- ・ データ・エリア

スタティックRAM ...128ワード × 4 ビット (000H-07FH)

EEPROM ...16ワード × 8 ビット (400H-41FH)

- ・ 周辺ハードウェア・エリア ...128ワード × 4 ビット (F80H-FFFH)

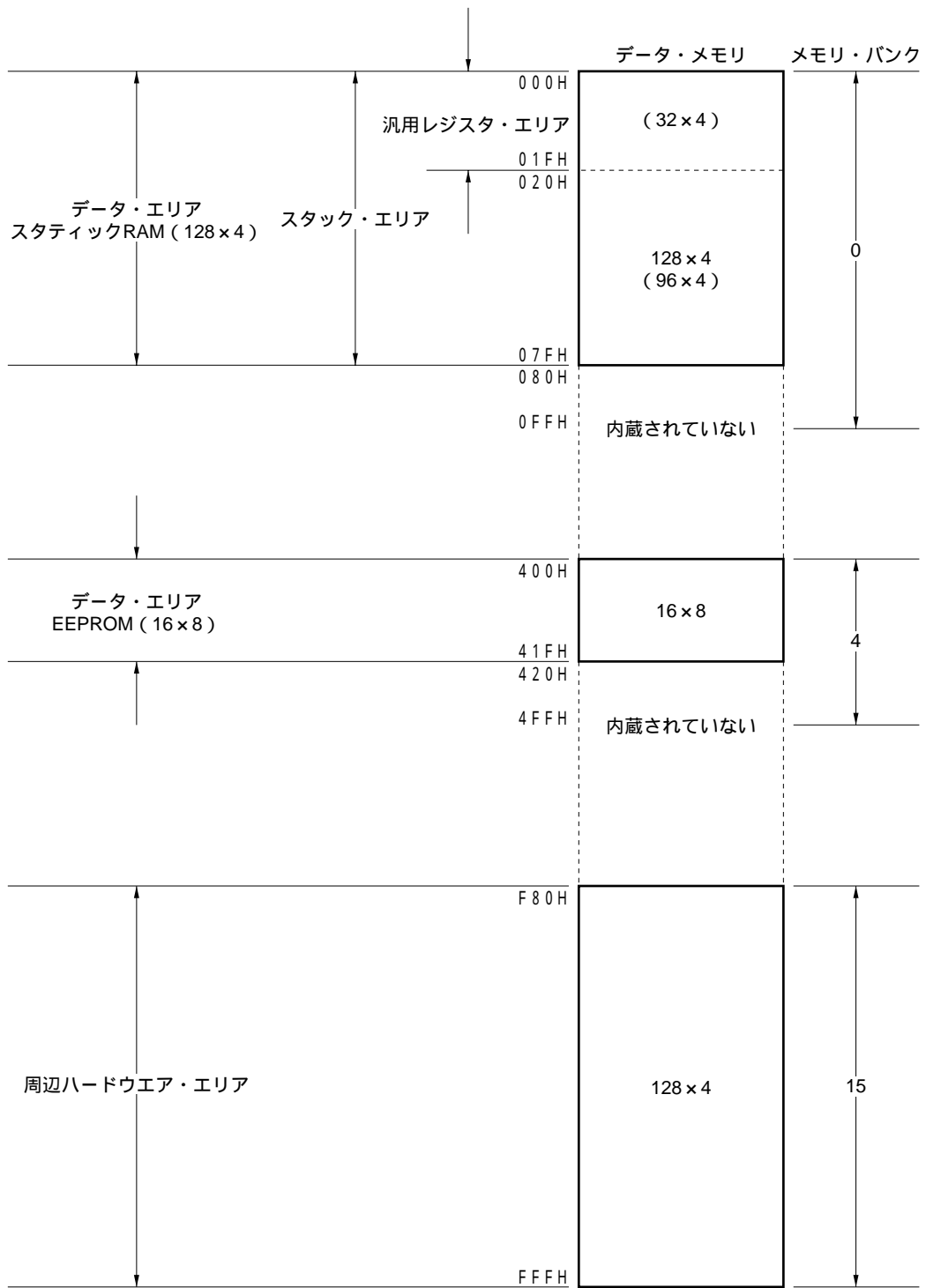
図5 - 1 プログラム・メモリ・マップ



★ 注 Mk モードでのみ使用できます。

備考 上記以外では、BR PCDE, BR PCXA命令により、PCの下位8ビットのみ変更したアドレスへ分岐することができます。

図5 - 2 データ・メモリ・マップ



6 . EEPROM

μPD754244は、データ・メモリとして、スタティックRAM (128ワード×4ビット)のほかに、16ワード×8ビットのEEPROM (Electrically Erasable PROM) を内蔵しています。

μPD754244に内蔵されているEEPROMの特徴を示します。

- (1) 電源を切っても、一度書き込んだ内容を保持できます。
- (2) スタティックRAMと同様、メモリ操作命令で8ビット・データ操作 (自動消去 / 自動書き込み) ができます。
ただし、使用できる命令には制限があります。
- (3) ハードウェア的に自動消去 / 自動書き込みを行うので、ソフトウェアの負担はかなり軽減されます。
- (4) 割り込みによる書き込み制御

次の場合、割り込みを発生します。

- ・書き込みを終了したとき
- ・書き込みステータス・フラグ

書き込み可能な状態かどうか、ビット操作命令により単独で確認できます。

7. 周辺ハードウェア機能

7.1 デジタル入出力ポート

I/Oポートには次の2種類があります。

・ CMOS入力 (PORT7)	: 4 本
・ CMOS入出力 (PORT3, 6, 8)	: 9 本
合計	: 13本

表7 - 1 デジタル・ポートの種類と特徴

ポート名	機能	動作, 特徴	備考
PORT3	4ビット入出力	1ビット単位で入力または出力モードに設定可能。	PTO0-PTO2と端子を兼用。
PORT6			AVREF, INT0, PTH00, PTH01と端子を兼用。
PORT7	4ビット入力	4ビット入力専用ポート。 マスク・オプションで, 1ビット単位にプルアップ抵抗の内蔵を指定可能。	KR4-KR7と端子を兼用。
PORT8	1ビット入出力	1ビット単位で入力または出力モードに設定可能。	-

7.2 クロック発生回路

クロック発生回路は, CPU上の周辺ハードウェアに供給するクロックを発生する装置で, 図7 - 1, 7 - 2のように構成されています。

クロック発生回路の動作はプロセッサ・クロック・コントロール・レジスタ (PCC) により決定されます。命令実行時間を変化させることができます。

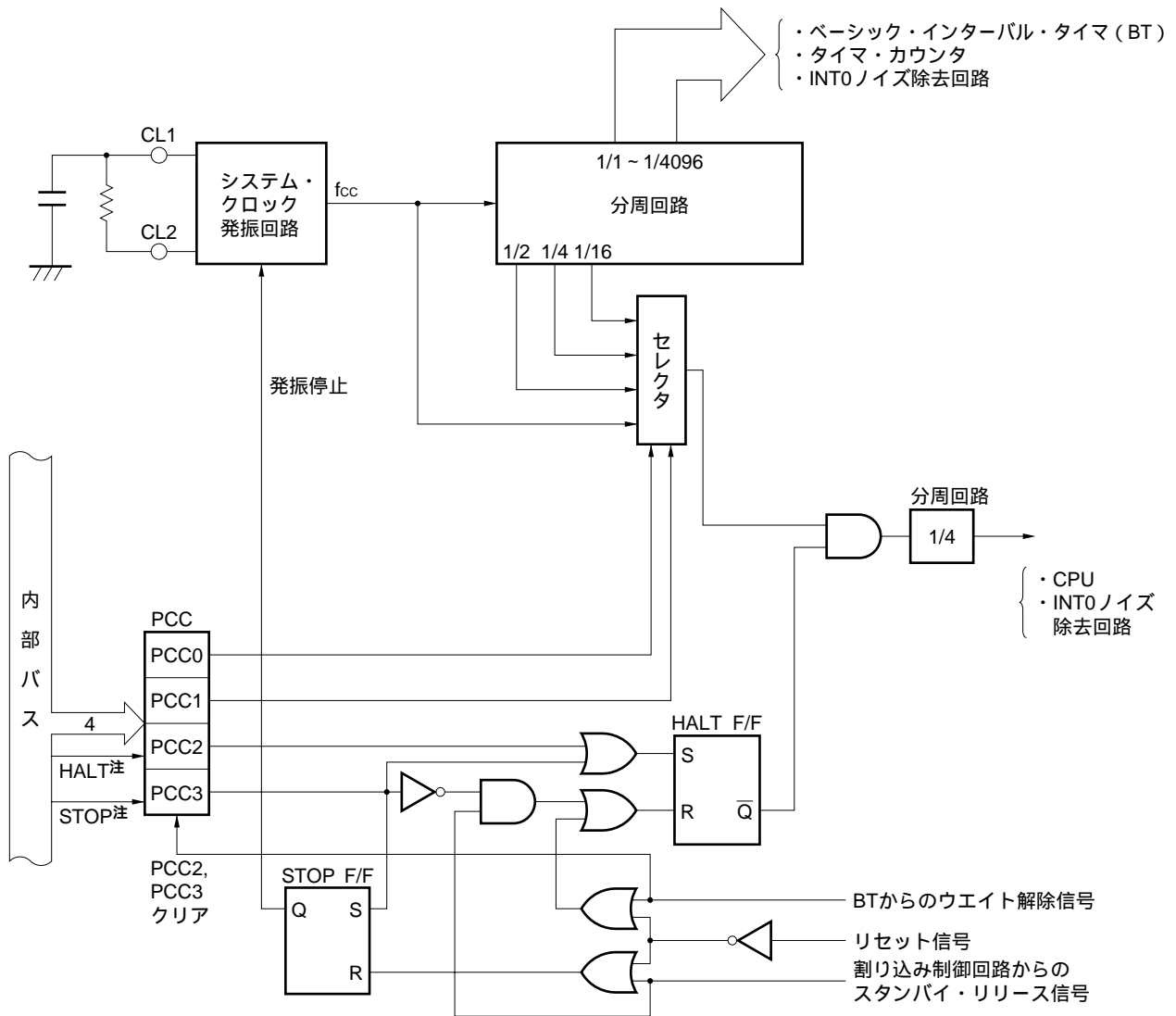
μPD754144の場合

- ・ 4, 8, 16, 64 μs (システム・クロック : f_{CC} = 1.0 MHz動作時)

μPD754244の場合

- ・ 0.95, 1.91, 3.81, 15.3 μs (システム・クロック : f_X = 4.19 MHz動作時)
- ・ 0.67, 1.33, 2.67, 10.7 μs (システム・クロック : f_X = 6.0 MHz動作時)

図7-1 μPD754144 (RC発振) のクロック発生回路ブロック図



注 命令の実行

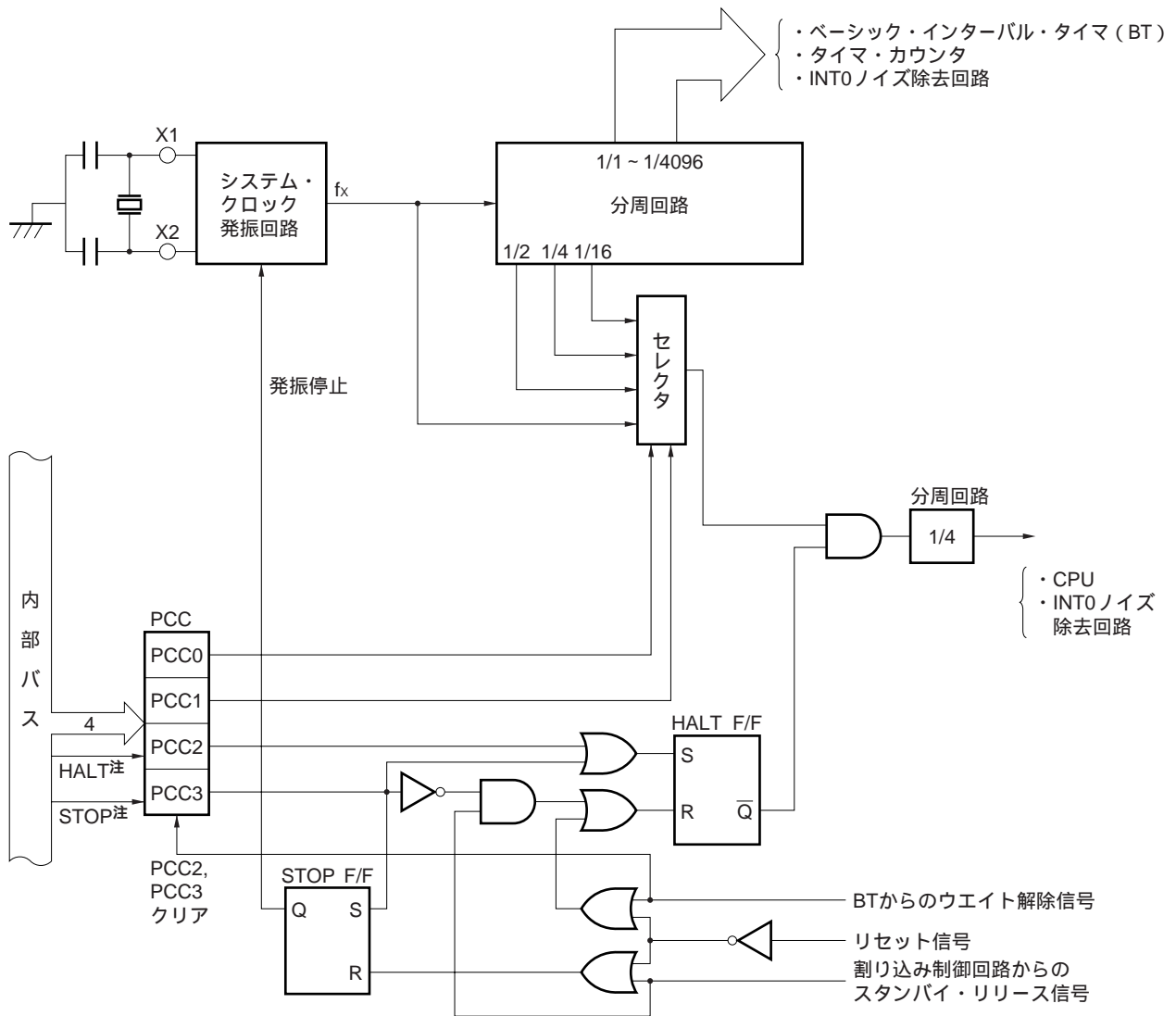
備考1 . fcc : システム・クロック周波数

2 . = CPUクロック

3 . PCC : プロセッサ・クロック・コントロール・レジスタ

4 . の1クロック・サイクル (tcv) は命令の1マシン・サイクル

図7-2 μPD754244 (クリスタル/セラミック発振)のクロック発生回路ブロック図



注 命令の実行

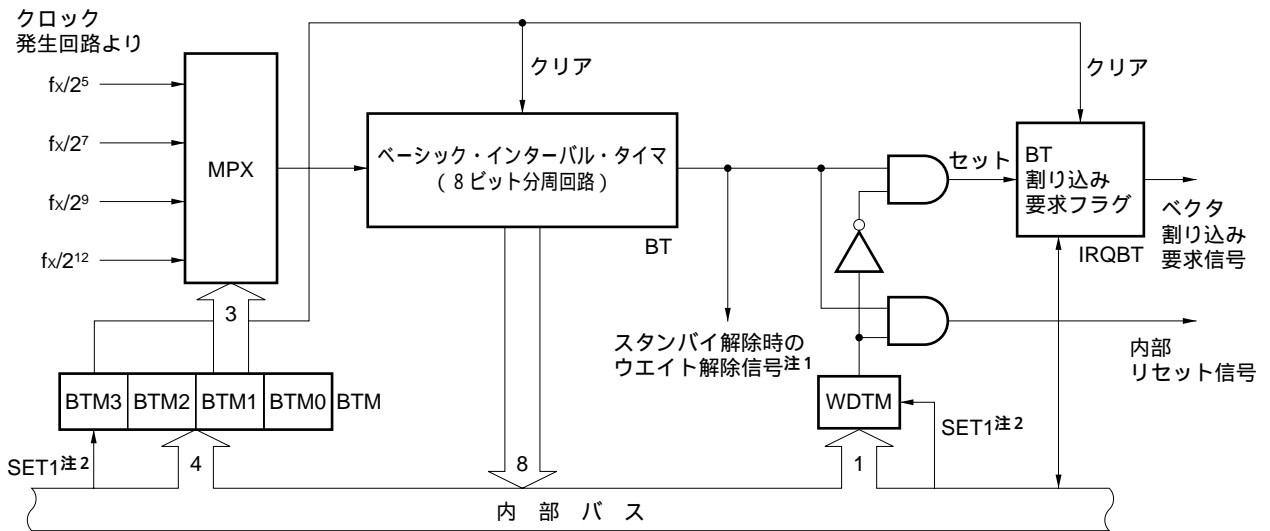
- 備考1 . f_x : システム・クロック周波数
 2 . = CPUクロック
 3 . PCC : プロセッサ・クロック・コントロール・レジスタ
 4 . の1クロック・サイクル (t_{cy}) は命令の1マシン・サイクル

7.3 ベーシック・インターバル・タイマ/ウォッチドッグ・タイマ

ベーシック・インターバル・タイマ/ウォッチドッグ・タイマには、次の機能があります。

- (a) 基準時間割り込みを発生するインターバル・タイマ動作
- (b) プログラムの暴走を検出し、CPUをリセットするウォッチドッグ・タイマ動作
- (c) スタンバイ・モード解除時のウエイト時間の選択とカウント (μPD754244のみ) 注1
- (d) カウント内容の読み出し

図7-3 ベーシック・インターバル・タイマ/ウォッチドッグ・タイマのブロック図



注1 . μPD754144 (RC発振) の場合は、スタンバイ・モード解除時のウエイト時間を選択することはできません。μPD754144には発振安定ウエイト時間がほとんどなく、 $2^9/f_{cc}$ (512 μs : $f_{cc} = 1.0$ MHz動作時) カウントすると、通常動作モードに戻ります。

μPD754244 (クリスタル/セラミック発振) の場合は、スタンバイ・モード解除時にウエイト時間を選択することができます。

2 . 命令の実行

7.4 タイマ・カウンタ

μPD754244は、タイマ・カウンタを3チャンネル内蔵しています。その構成を図7 - 4 ~ 7 - 6に示します。
タイマ・カウンタの機能を次に示します。

- (a) プログラマブル・インターバル・タイマ動作
- (b) PTO0-PTO2端子への任意の方形波出力
- (c) カウント値の読み出し機能

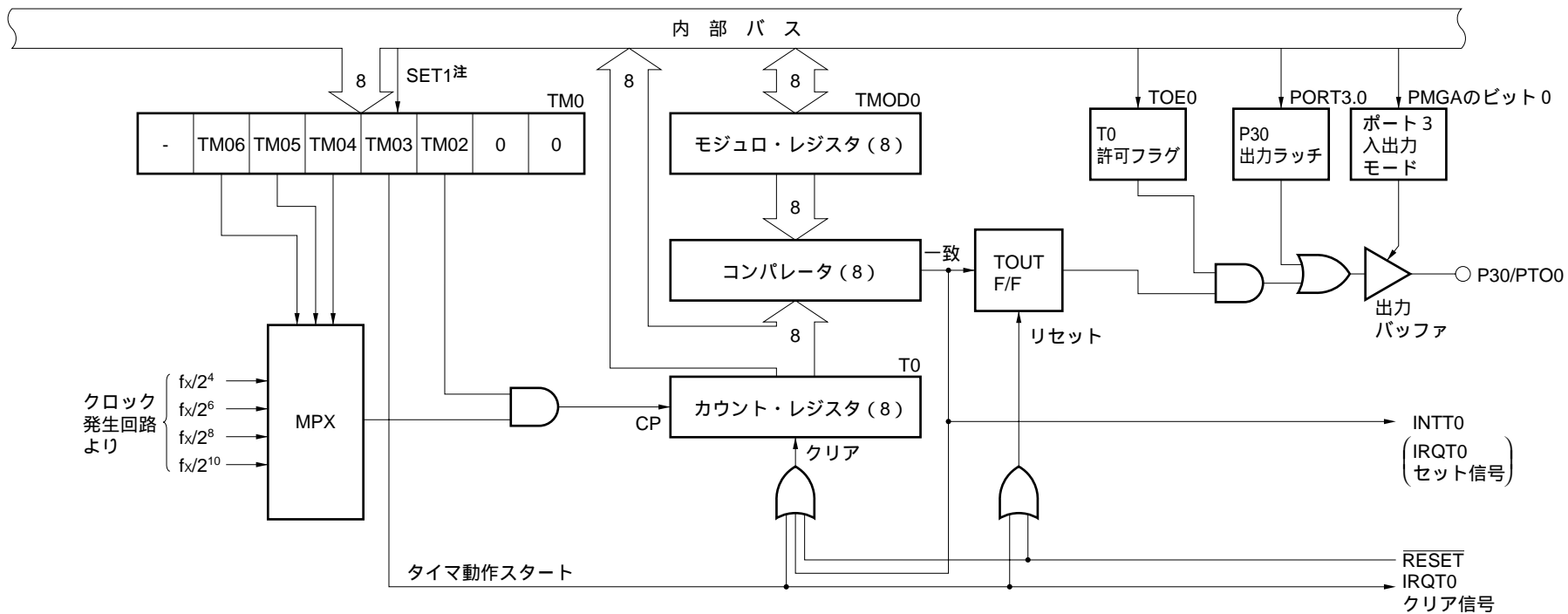
また、タイマ・カウンタの動作は、モード・レジスタの設定によって、次に示す4種類のモードでの動作が可能です。

表7 - 2 使用可能モード一覧

モード	チャンネル	チャンネル0	チャンネル1	チャンネル2	TM11	TM10	TM21	TM20
8ビット・タイマ・カウンタ・モード					0	0	0	0
PWMパルス・ジェネレータ・モード		×	×		0	0	0	1
16ビット・タイマ・カウンタ・モード		×			1	0	1	0
キャリア・ジェネレータ・モード		×			0	0	1	1

備考 ×：該当する機能はありません。

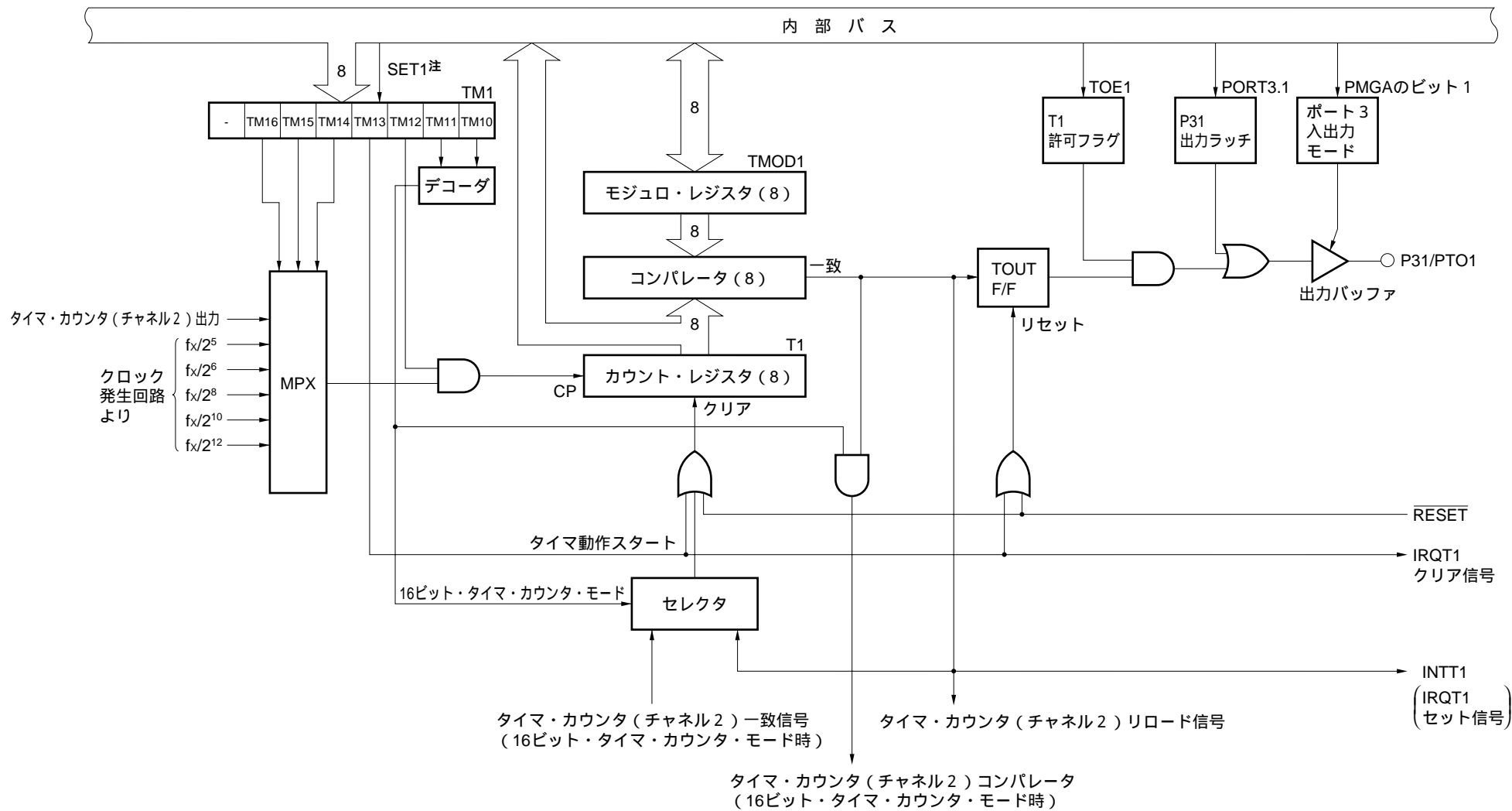
★ 図7-4 タイマ・カウンタ(チャンネル0)のブロック図



注 命令の実行

注意 TM0にデータを設定するときは、ビット0, 1を必ず0に設定してください。

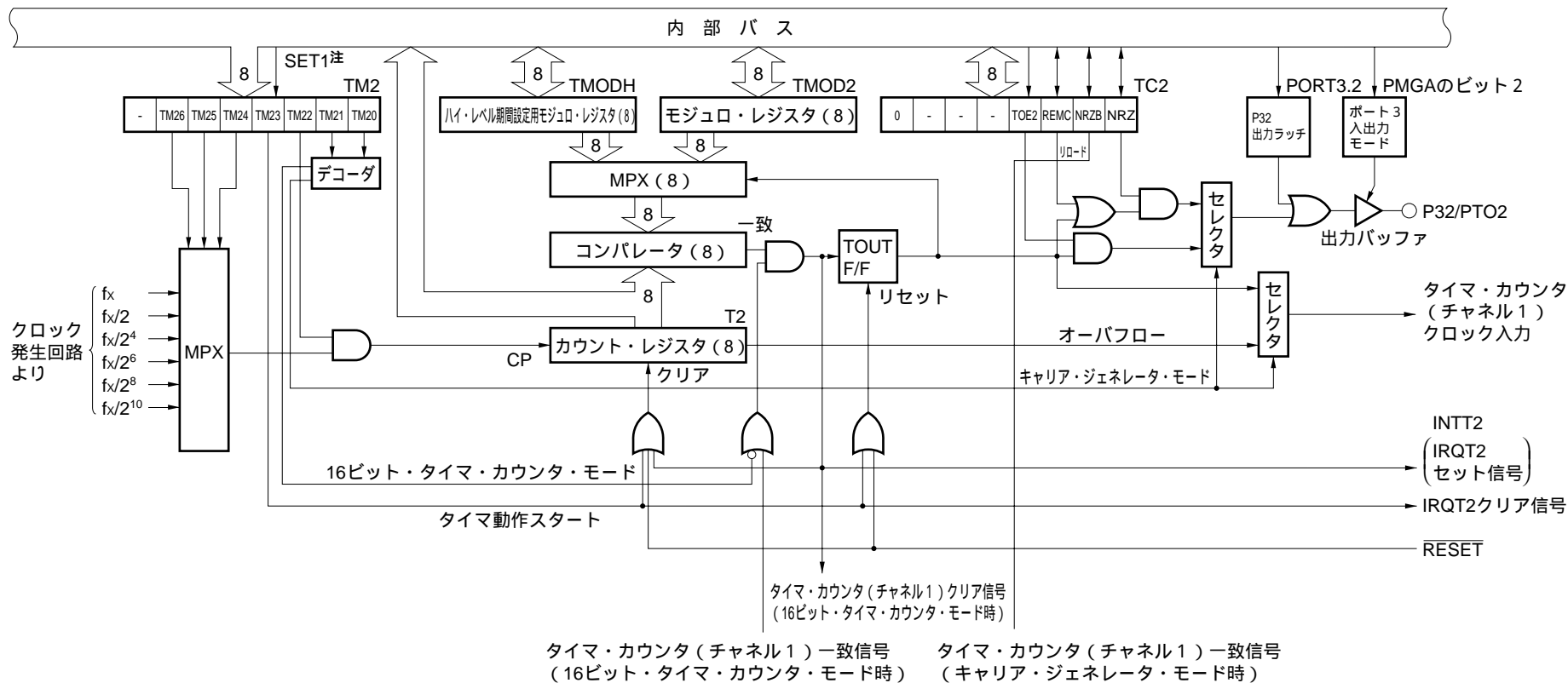
図7-5 タイマ・カウンタ(チャンネル1)のブロック図



データ・シート U10040J1V1DS

注 命令の実行

★ 図7-6 タイマ・カウンタ(チャンネル2)のブロック図



注 命令の実行

注意 TC2にデータを設定するときは、ビット7を必ず0に設定してください。

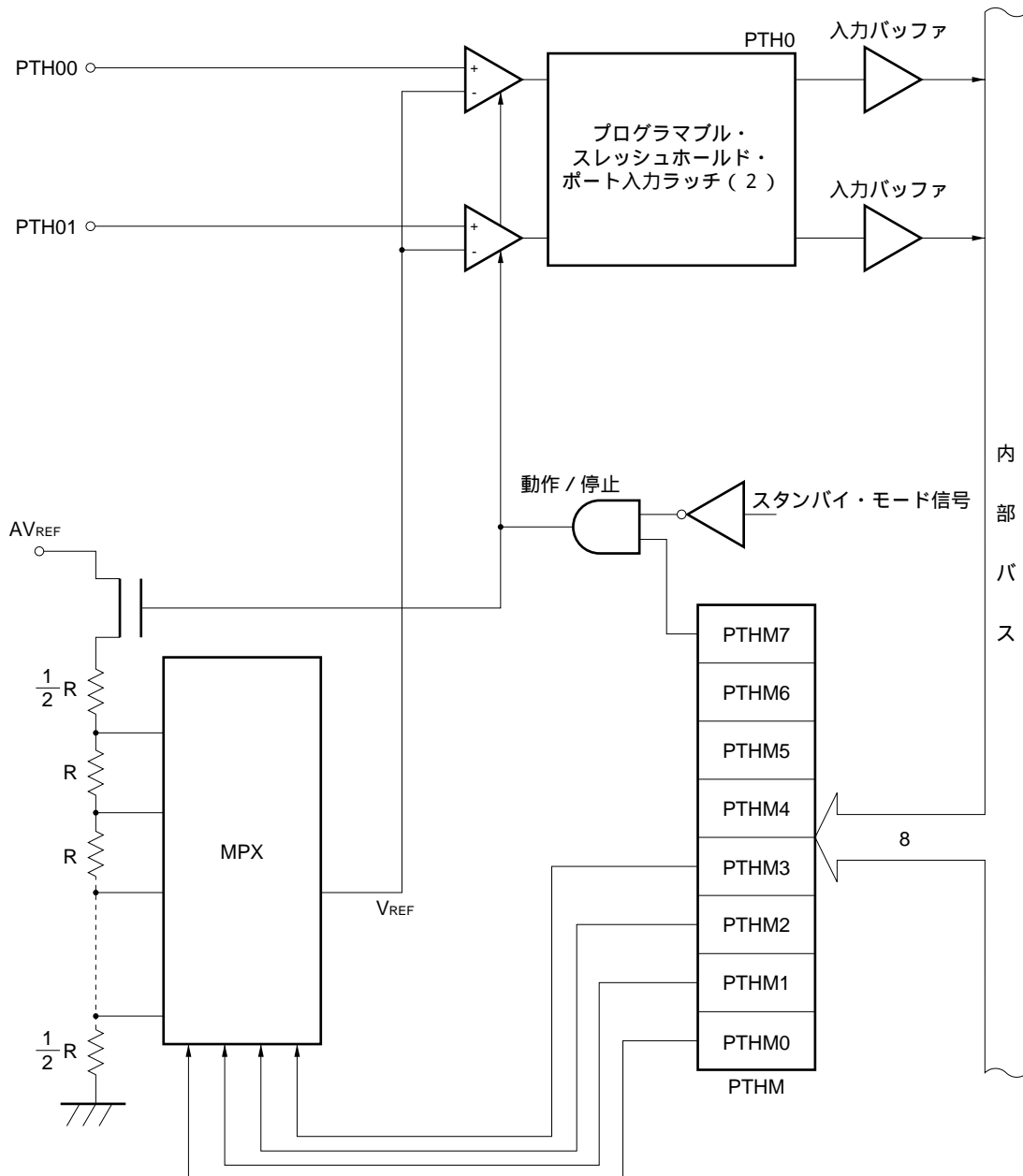
7.5 プログラマブル・スレッシュホールド・ポート (アナログ入力ポート)

μPD754244は、スレッシュホールド電圧 (基準電圧) を16段階に変えられるアナログ入力端子 (PTH00, PTH01) を備えています。このアナログ入力端子により、次の動作が可能です。

- (1) コンパレータ動作
- (2) 4ビット分解能A/Dコンバータ動作 (ソフトウェア制御)

★ 注意 プログラマブル・スレッシュホールド・ポートを使用する場合、ポート6の内蔵プルアップ抵抗の接続を指定しないでください。

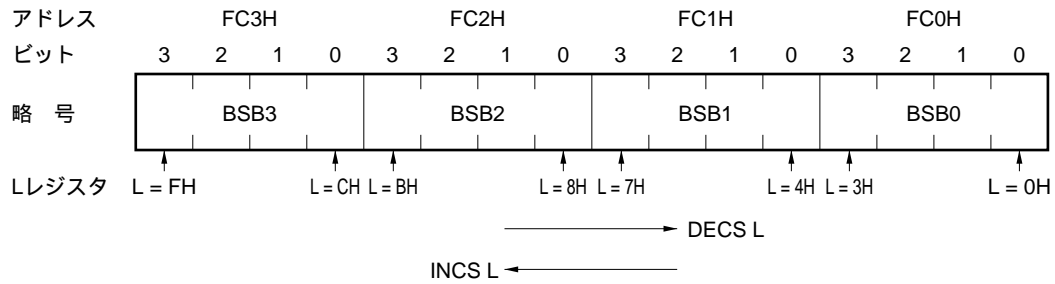
図7-7 プログラマブル・スレッシュホールド・ポートのブロック図



7.6 ビット・シーケンシャル・バッファ.....16ビット

ビット・シーケンシャル・バッファ (BSB) は、ビット操作の特殊データ・メモリで、特にアドレスおよびビット指定を順次変更してビット操作が容易にできるので、ビット長の長いデータをビット単位で処理するときに便利です。

図7-8 ビット・シーケンシャル・バッファのフォーマット



- 備考1 . pmem. @Lアドレッシングでは、Lレジスタに対応して指定ビットが移動します。
- 2 . pmem. @Lアドレッシングでは、MBE, MBSの指定にかかわらずに、いつでもBSBを操作できます。

8．割り込み機能とテスト機能

割り込み制御回路は図 8 - 1 のように構成されており、各ハードウェアはデータ・メモリ空間にマッピングされています。

また、μPD754244の割り込み制御回路には次のような機能があります。

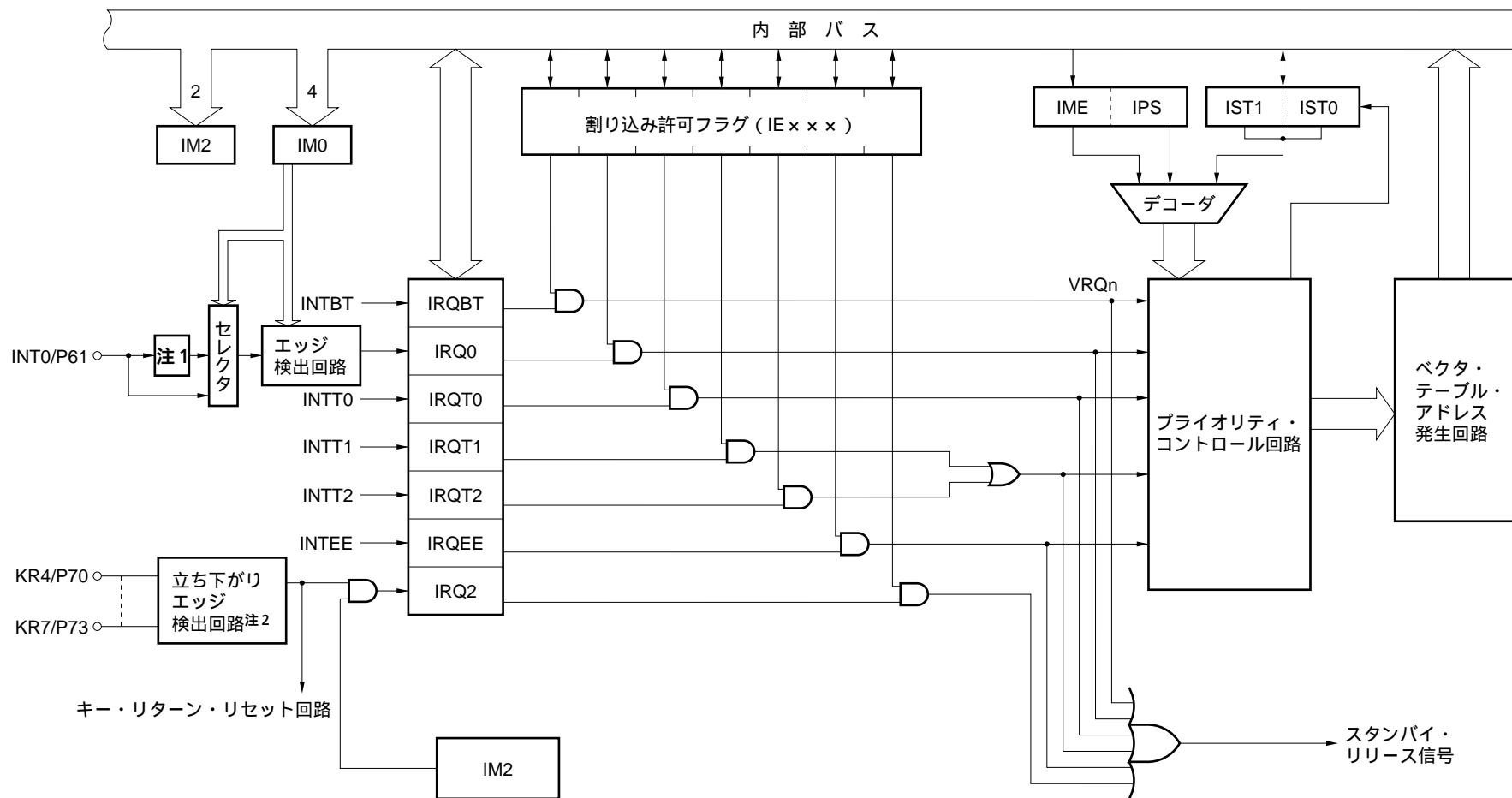
(1) 割り込み機能

- ・割り込み許可フラグ (IE x x x) と、割り込みマスタ許可フラグ (IME) により受け付け可否を制御できるハードウェア制御のベクタ割り込み機能。
- ・割り込みスタート・アドレスを任意に設定可能。
- ・割り込みプライオリティ選択レジスタ (IPS) により優先順位が指定できる多重割り込み機能。
- ・割り込み要求フラグ (IRQ x x x) のテスト機能 (ソフトウェアで割り込み発生の確認可能)。
- ・スタンバイ・モードの解除 (割り込み許可フラグにより、解除する割り込みの選択可能)。

(2) テスト機能

- ・ソフトウェアでテスト要求フラグ (IRQ2) 発生の確認可能。
- ・スタンバイ・モードの解除 (テスト許可フラグにより、解除するテスト・ソースの選択可能)。

図 8 - 1 割り込み制御回路ブロック図



注 1 . ノイズ除去回路 (ノイズ除去回路選択時はスタンバイ・リリース不可)

2 . INT2端子はありません。IM20, IM21 = 1 , 0 のときKRn端子の立ち下がりエッジで割り込み要求フラグ (IRQ2) をセットします。

9. スタンバイ機能

μPD754244には、プログラム待機中の消費電力を低減するために、2種類のスタンバイ・モード（STOPモード、HALTモード）が用意されています。

★

表9 - 1 スタンバイ・モード時の各動作状態

項目	モード	STOPモード	HALTモード
設定命令		STOP命令	HALT命令
動作状態	クロック発生回路	動作停止	CPUクロックのみ停止（発振継続）
	ベーシック・イン ターバル・タイマ/ ウォッチドッグ・ タイマ	動作停止	動作可能 （ BTモード：基準時間間隔でIRQBTをセット WTモード：BTのオーバーフローによりリセッ ト発生 ）
	タイマ・カウンタ	動作停止	動作可能
	外部割り込み	INT0は動作不可能 ^注 INT2は、KRnの立ち下がり時のみ動作可能	
	CPU	動作停止	
解除信号		<ul style="list-style-type: none"> リセット信号 割り込みが許可されているハードウェアからの割り込み要求信号 KRREN端子が1のとき、KRnの立ち下がりによって発生するシステム・リセット信号（キー・リターン・リセット） 	<ul style="list-style-type: none"> リセット信号 割り込みが許可されているハードウェアからの割り込み要求信号

注 エッジ検出モード・レジスタ（IM0）のビット2により、ノイズ除去回路を選択しない場合（IM02 = 1のとき）のみ動作可能。

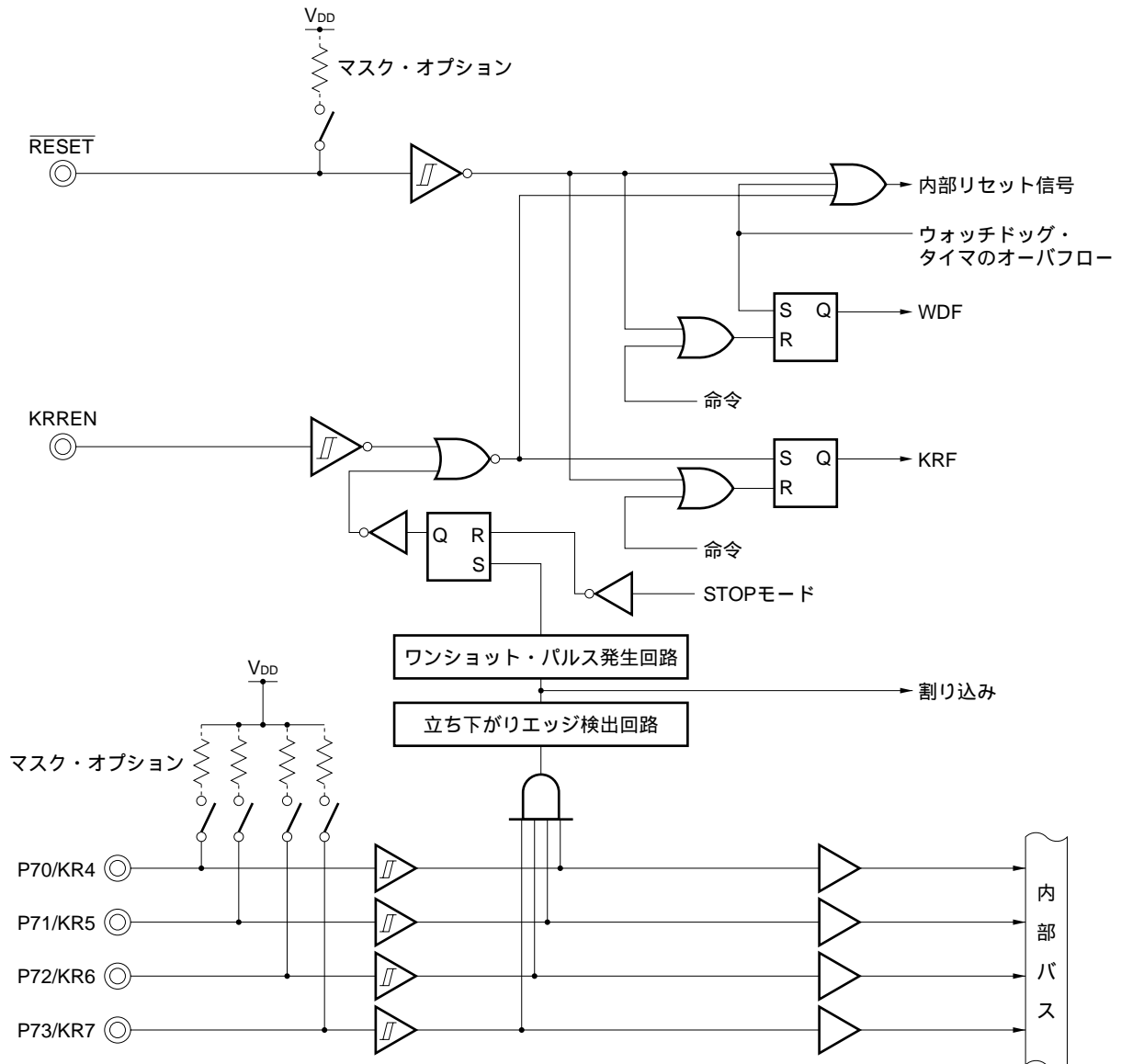
10. リセット機能

10.1 リセット機能の構成および動作状態

リセット入力には、外部リセット信号 ($\overline{\text{RESET}}$) とベーシック・インターバル・タイマ/ウォッチドッグ・タイマからのリセット信号、STOPモード中KRnから立ち下がり信号により発生するリセット信号の3種類があります。いずれかのリセット信号が入力されると、内部リセット信号が発生します。図10 - 1 にそれぞれの構成を示します。

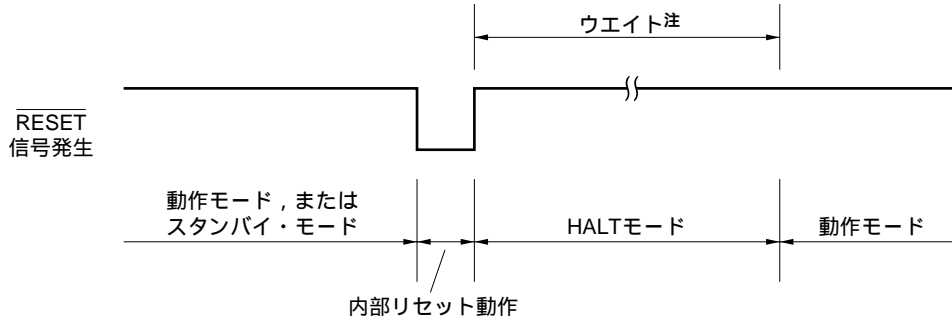
★

図10 - 1 リセット機能の構成



RESET信号発生によって、各ハードウェアは表10 - 1 に示すようにイニシャライズされます。リセット動作のタイミングを図10 - 2 に示します。

図10 - 2 RESET信号発生によるリセット動作



- 注 μPD754144では、ウェイト時間は $56/f_{cc}$ (56 μs : 1.0 MHz動作時) に固定されています。
 μPD754244では、マスク・オプションにより次の2つの時間を選択することができます。
 $2^{17}/f_x$ (21.8 ms : 6.0 MHz動作時, 31.3 ms : 4.19 MHz動作時)
 $2^{15}/f_x$ (5.46 ms : 6.0 MHz動作時, 7.81 ms : 4.19 MHz動作時)

表10 - 1 各ハードウェアのリセット後の状態 (1/3)

ハードウェア		スタンバイ・モード中の RESET信号発生	動作中のRESET信号発生
プログラム・カウンタ (PC)		プログラム・メモリの0000H番地の下位4ビットをPC11-8に, 0001H番地の内容をPC7-0にセット	左に同じ
PSW	キャリー・フラグ (CY)	保持	不定
	スキップ・フラグ (SK0-SK2)	0	0
	割り込みステータス・フラグ (IST0, IST1)	0	0
	バンク許可フラグ (MBE, RBE)	プログラム・メモリの0000H番地のビット6をRBE, ビット7をMBEにセット	左に同じ
スタック・ポインタ (SP)		不定	不定
スタック・バンク選択レジスタ (SBS)		1000B	1000B
データ・メモリ (RAM)		保持	不定
データ・メモリ (EEPROM)		保持 ^{注1}	保持 ^{注2}
EEPROMライト・コントロール・レジスタ (EWC)		0	0
汎用レジスタ (X, A, H, L, D, E, B, C)		保持	不定
バンク選択レジスタ (MBS, RBS)		0, 0	0, 0
ベーシック・インターバルタイマ/ ウォッチドッグ・タイマ	カウンタ (BT)	不定	不定
	モード・レジスタ (BTM)	0	0
	ウォッチドッグ・タイマ許可フラグ (WDTM)	0	0
タイマ・カウンタ (チャンネル0)	カウンタ (T0)	0	0
	モジュロ・レジスタ (TMOD0)	FFH	FFH
	モード・レジスタ (TM0)	0	0
	TOE0, TOUT F/F	0, 0	0, 0
タイマ・カウンタ (チャンネル1)	カウンタ (T1)	0	0
	モジュロ・レジスタ (TMOD1)	FFH	FFH
	モード・レジスタ (TM1)	0	0
	TOE1, TOUT F/F	0, 0	0, 0
タイマ・カウンタ (チャンネル2)	カウンタ (T2)	0	0
	モジュロ・レジスタ (TMOD2)	FFH	FFH
	ハイ・レベル期間設定用モジュロ・レジスタ (TMOD2H)	FFH	FFH
	モード・レジスタ (TM2)	0	0
	TOE2, TOUT F/F	0, 0	0, 0
	REMC, NRZ, NRZB	0, 0, 0	0, 0, 0

★ 注1 . EEPROM書き込み動作中にSTOPモードになった場合, および書き込み動作中にHALTモードとなり, さらに書き込み動作中にRESET信号が入力された場合は, 不定となります。

2 . EEPROM書き込み動作中にRESET信号が入力された場合は, そのアドレスのデータは不定となります。

表10 - 1 各ハードウェアのリセット後の状態 (2/3)

ハードウェア		スタンバイ・モード中の RESET信号発生	動作中のRESET信号発生
★	プログラマブル・スレッシュホールド・ポート・モード・レジスタ (PTHM)	00H	00H
クロック発生回路	プロセッサ・クロック・コントロール・レジスタ (PCC)	0	0
割り込み機能	割り込み要求フラグ (IRQ × × ×)	リセット (0)	リセット (0)
	割り込み許可フラグ (IE × × ×)	0	0
	割り込みプライオリティ選択レジスタ (IPS)	0	0
	INT0, 2モード・レジスタ (IM0, 2)	0, 0	0, 0
デジタル・ポート	出力バッファ	オフ	オフ
	出力ラッチ	クリア (0)	クリア (0)
	入出力モード・レジスタ (PMGA, C)	0	0
	プルアップ抵抗指定レジスタ (POGA, B)	0	0
ビット・シーケンシャル・バッファ (BSB0-BSB3)		保持	不定

表10 - 1 各ハードウェアのリセット後の状態 (3/3)

ハードウェア	キー・リターン・リセットによるRESET信号発生	スタンバイ・モード中のRESET信号発生	動作中のWDTによるRESET信号発生	動作中のRESET信号発生
ウォッチドッグ・フラグ (WDF)	それ以前の状態を保持	0	1	0
キー・リターン・フラグ (KRF)	1	0	それ以前の状態を保持	0

10.2 ウォッチドッグ・フラグ (WDF) , キー・リターン・フラグ (KRF)

WDFはウォッチドッグ・タイマのオーバーフロー信号の発生により, KRFはKRnによるリセット信号の発生によりリセットされます。このため, WDFおよびKRFの内容によりリセット信号の種類を確認ができます。

WDF, KRFは, 外部信号および命令によってのみクリアすることができます。このため, 一度セットされたあとは, 外部信号またはクリア命令が実行されるまで内容がクリアされることはありません。リセット・スタート後にSKTCLR命令などによってWDFおよびKRFの内容を確認し, クリアしてください。

表10 - 2 に各信号に対するWDF, KRFの内容を, 図10 - 3 に各信号発生時におけるWDFの動作, 図10 - 4 に各信号発生時におけるKRFの動作を示します。

表10 - 2 各信号に対するWDF, KRFの内容

ハードウェア	外部RESET信号の発生	ウォッチドッグ・タイマのオーバーフローによるリセット信号の発生	KRnによるリセット信号の発生	WDFクリア命令の実行	KRFクリア命令の実行
ウォッチドッグ・フラグ (WDF)	0	1	保持	0	保持
キー・リターン・フラグ (KRF)	0	保持	1	保持	0

図10 - 3 各信号発生時におけるWDFの動作

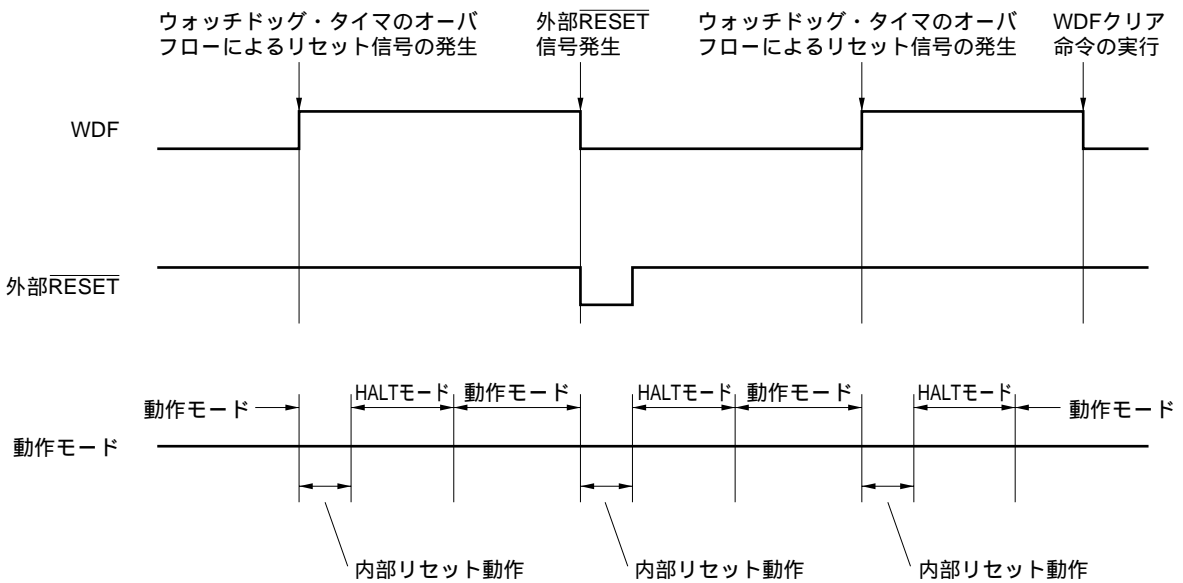
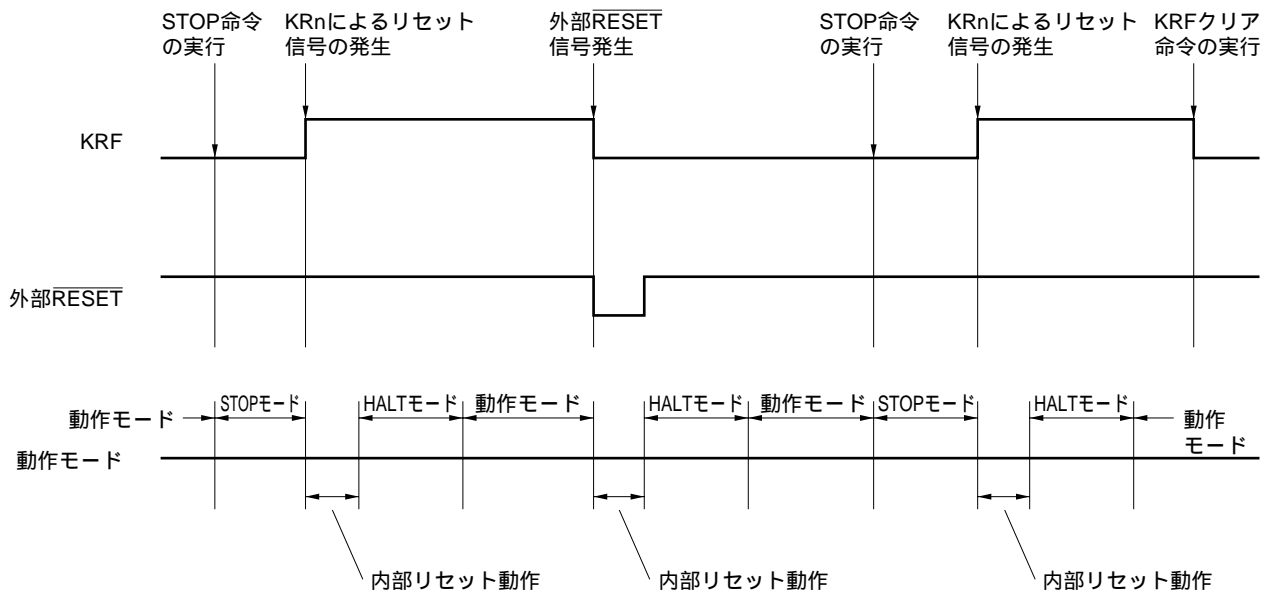


図10 - 4 各信号発生時におけるKRFの動作



★ 11. マスク・オプション

μ PD754244には、次のマスク・オプションがあります。

P70/KR-P73/KR7のマスク・オプション

プルアップ抵抗の内蔵を選択可能。

プルアップ抵抗を内蔵しない

ビット単位で100 k (typ.)のプルアップ抵抗を内蔵する

RESET端子のマスク・オプション

プルアップ抵抗の内蔵を選択可能。

プルアップ抵抗を内蔵しない

100 k (typ.)のプルアップ抵抗を内蔵する

スタンバイ機能のマスク・オプション (μ PD754244のみ) 注

RESET信号によるウェイト時間を選択可能。

$2^{17}/f_x$ (21.8 ms : $f_x = 6.0$ MHz動作時, 31.3 ms : $f_x = 4.19$ MHz動作時)

$2^{15}/f_x$ (5.46 ms : $f_x = 6.0$ MHz動作時, 7.81 ms : $f_x = 4.19$ MHz動作時)

注 μ PD754144にはマスク・オプションはなく、ウェイト時間は $56/f_{cc}$ (56 μ s : $f_{cc} = 1.0$ MHz動作時) に固定されています。

12. 命令セット

(1) オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述します（詳細はRA75X **アセンブラ・パッケージ ユーザーズ・マニュアル 言語編** (EEU-730)を参照してください)。記述方法の中で、複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および+、-記号はキー・ワードであり、そのまま記述します。

イミューディエト・データの場合は、適当な数値またはレーベルを記述します。

レーベルとしてmem, fmem, pmem, bitなどの代わりに、各種レジスタ・フラグの略号を記述できます（ただし、fmem, pmemは記述できるレーベルに制限があります。詳しくは、μPD754144,754244 **ユーザーズ・マニュアル** (U10676J)を参照してください)。

表現形式	記述方法
reg	X, A, B, C, D, E, H, L
reg1	X, B, C, D, E, H, L
rp	XA, BC, DE, HL
rp1	BC, DE, HL
rp2	BC, DE
rp'	XA, BC, DE, HL, XA', BC', DE', HL'
rp' 1	BC, DE, HL, XA', BC', DE', HL'
rpa	HL, HL+, HL-, DE, DL
rpa1	DE, DL
n4	4ビット・イミューディエト・データまたはレーベル
n8	8ビット・イミューディエト・データまたはレーベル
mem	8ビット・イミューディエト・データまたはレーベル ^注
bit	2ビット・イミューディエト・データまたはレーベル
fmem	FB0H-FBFH, FF0H-FFFHイミューディエト・データまたはレーベル
pmem	FC0H-FFFHイミューディエト・データまたはレーベル
addr	000H-FFFHイミューディエト・データまたはレーベル
addr1	000H-FFFHイミューディエト・データまたはレーベル
caddr	12ビット・イミューディエト・データまたはレーベル
faddr	11ビット・イミューディエト・データまたはレーベル
taddr	20H-7FHイミューディエト・データ（ただしbit0=0）またはレーベル
PORTn	PORT3, 6, 7, 8
IE x x x	IEBT, IET0-IET2, IE0, IE2, IE4
RBn	RB0-RB3
MBn	MB0, MB4, MB15

注 memは、8ビット・データ処理の場合は偶数アドレスのみ記述できます。

(2) オペレーション説明上の凡例

A	: Aレジスタ; 4ビット・アキュムレータ
B	: Bレジスタ
C	: Cレジスタ
D	: Dレジスタ
E	: Eレジスタ
H	: Hレジスタ
L	: Lレジスタ
X	: Xレジスタ
XA	: レジスタ・ペア (XA); 8ビット・アキュムレータ
BC	: レジスタ・ペア (BC)
DE	: レジスタ・ペア (DE)
HL	: レジスタ・ペア (HL)
XA'	: 拡張レジスタ・ペア (XA')
BC'	: 拡張レジスタ・ペア (BC')
DE'	: 拡張レジスタ・ペア (DE')
HL'	: 拡張レジスタ・ペア (HL')
PC	: プログラム・カウンタ
SP	: スタック・ポインタ
CY	: キャリー・フラグ; ビット・アキュムレータ
PSW	: プログラム・ステータス・ワード
MBE	: メモリ・バンク許可フラグ
RBE	: レジスタ・バンク許可フラグ
PORTn	: ポートn (n=3, 6, 7, 8)
IME	: 割り込みマスタ許可フラグ
IPS	: 割り込みプライオリティ選択レジスタ
IE x x x	: 割り込み許可フラグ
RBS	: レジスタ・バンク選択レジスタ
MBS	: メモリ・バンク選択レジスタ
PCC	: プロセッサ・クロック・コントロール・レジスタ
.	: アドレス, ビット区切り
(x x)	: x xでアドレスされる内容
x x H	: 16進データ

(3) アドレッシング・エリアの欄の記号説明

* 1	MB = MBE・MBS (MBS = 0, 4, 15)	データ・メモリ・アドレッシング
* 2	MB = 0	
* 3	MBE = 0 : MB = 0 (000H-07FH) MB = 15 (F80H-FFFFH) MBE = 1 : MB = MBS (MBS = 0, 4, 15)	
* 4	MB = 15, fmem = FB0H-FBFH, FF0H-FFFFH	
* 5	MB = 15, pmem = FC0H-FFFFH	
* 6	addr = 000H-FFFFH	プログラム・メモリ・アドレッシング
* 7	addr = (Current PC) - 15 ~ (Current PC) - 1 (Current PC) + 2 ~ (Current PC) + 16 addr1 = (Current PC) - 15 ~ (Current PC) - 1 (Current PC) + 2 ~ (Current PC) + 16	
* 8	caddr = 000H-FFFFH	
* 9	faddr = 0000H-07FFH	
* 10	taddr = 0020H-007FH	
* 11	addr1 = 000H-FFFFH	

備考 1 . MBIはアクセス可能なメモリ・バンクを示します。

- 2 . * 2 ではMBE, MBSに関係なくMB = 0です。
- 3 . * 4 , * 5 ではMBE, MBSに関係なくMB = 15です。
- 4 . * 6 ~ * 11は, それぞれアドレッシング可能な領域を示します。

(4) マシン・サイクルの欄の説明

Sは, スキップ付き命令がスキップ動作をするときに要するマシン・サイクル数を示します。Sの値は次のように変わります。

- ・スキップしないとき..... S = 0
- ・スキップされる命令が, 1 バイト命令, または2 バイト命令のとき..... S = 1
- ・スキップされる命令が, 3 バイト命令^注のとき..... S = 2

注 3 バイト命令 : BR !addr, BRA !addr1, CALL !addr, CALLA !addr1命令

注意 GETI命令は1マシン・サイクルでスキップされます。

1マシン・サイクルはCPUクロック の1サイクル分 (= tcy) に等しく, PCCの設定により4通りの時間が選択できます。

命令群	二モニック	オペランド	バイト数	マシン・サイクル	オペレーション	アドレッシング・エリア	スキップ条件
転送	MOV	A, #n4	1	1	A n4		たてづみA
		reg1, #n4	2	2	reg1 n4		
		XA, #n8	2	2	XA n8		たてづみA
		HL, #n8	2	2	HL n8		たてづみB
		rp2, #n8	2	2	rp2 n8		
		A, @HL	1	1	A (HL)	* 1	
		A, @HL +	1	2+S	A (HL), then L L + 1	* 1	L = 0
		A, @HL -	1	2+S	A (HL), then L L - 1	* 1	L = FH
		A, @rpa1	1	1	A (rpa1)	* 2	
		XA, @HL	2	2	XA (HL)	* 1	
		@HL, A	1	1	(HL) A	* 1	
		@HL, XA	2	2	(HL) XA	* 1	
		A, mem	2	2	A (mem)	* 3	
		XA, mem	2	2	XA (mem)	* 3	
		mem, A	2	2	(mem) A	* 3	
		mem, XA	2	2	(mem) XA	* 3	
		A, reg	2	2	A reg		
		XA, rp'	2	2	XA rp'		
	reg1, A	2	2	reg1 A			
	rp' 1, XA	2	2	rp' 1 XA			
	XCH	A, @HL	1	1	A (HL)	* 1	
		A, @HL +	1	2+S	A (HL), then L L + 1	* 1	L = 0
		A, @HL -	1	2+S	A (HL), then L L - 1	* 1	L = FH
		A, @rpa1	1	1	A (rpa1)	* 2	
		XA, @HL	2	2	XA (HL)	* 1	
		A, mem	2	2	A (mem)	* 3	
		XA, mem	2	2	XA (mem)	* 3	
		A, reg1	1	1	A reg1		
XA, rp'	2	2	XA rp'				
テーブル参照	MOV _T	XA, @PCDE	1	3	XA (PC ₁₁₋₈ + DE) _{ROM}		
		XA, @PCXA	1	3	XA (PC ₁₁₋₈ + XA) _{ROM}		
		XA, @BCDE	1	3	XA (BCDE) _{ROM} ^注	* 6	
		XA, @BCXA	1	3	XA (BCXA) _{ROM} ^注	* 6	
ビット転送	MOV ₁	CY, fmem. bit	2	2	CY (fmem. bit)	* 4	
		CY, pmem. @L	2	2	CY (pmem ₇₋₂ + L ₃₋₂ . bit (L ₁₋₀))	* 5	
		CY, @H + mem. bit	2	2	CY (H + mem ₃₋₀ . bit)	* 1	
		fmem. bit, CY	2	2	(fmem. bit) CY	* 4	
		pmem. @L, CY	2	2	(pmem ₇₋₂ + L ₃₋₂ . bit (L ₁₋₀)) CY	* 5	
		@H + mem. bit, CY	2	2	(H + mem ₃₋₀ . bit) CY	* 1	

注 Bレジスタには“0”をいれてください。

命令群	二モニック	オペランド	バイト数	マシン・サイクル	オペレーション	アドレッシング・エリア	スキップ条件
演算	ADDS	A, #n4	1	1+S	A A+n4		carry
		XA, #n8	2	2+S	XA XA+n8		carry
		A, @HL	1	1+S	A A+(HL)	* 1	carry
		XA, rp'	2	2+S	XA XA+rp'		carry
		rp' 1, XA	2	2+S	rp' 1 rp' 1+XA		carry
	ADDC	A, @HL	1	1	A, CY A+(HL)+CY	* 1	
		XA, rp'	2	2	XA, CY XA+rp'+CY		
		rp' 1, XA	2	2	rp' 1, CY rp' 1+XA+CY		
	SUBS	A, @HL	1	1+S	A A-(HL)	* 1	borrow
		XA, rp'	2	2+S	XA XA-rp'		borrow
		rp' 1, XA	2	2+S	rp' 1 rp' 1-XA		borrow
	SUBC	A, @HL	1	1	A, CY A-(HL)-CY	* 1	
		XA, rp'	2	2	XA, CY XA-rp'-CY		
		rp' 1, XA	2	2	rp' 1, CY rp' 1-XA-CY		
	AND	A, #n4	2	2	A A n4		
		A, @HL	1	1	A A (HL)	* 1	
		XA, rp'	2	2	XA XA rp'		
		rp' 1, XA	2	2	rp' 1 rp' 1 XA		
	OR	A, #n4	2	2	A A n4		
		A, @HL	1	1	A A (HL)	* 1	
		XA, rp'	2	2	XA XA rp'		
		rp' 1, XA	2	2	rp' 1 rp' 1 XA		
	XOR	A, #n4	2	2	A A¬n4		
		A, @HL	1	1	A A¬(HL)	* 1	
XA, rp'		2	2	XA XA¬rp'			
rp' 1, XA		2	2	rp' 1 rp' 1¬XA			
操作	RORC	A	1	1	CY A ₀ , A ₃ CY, A _{n-1} A _n		
	NOT	A	2	2	A A		
増減	INCS	reg	1	1+S	reg reg+1		reg=0
		rp1	1	1+S	rp1 rp1+1		rp1=00H
		@HL	2	2+S	(HL) (HL)+1	* 1	(HL)=0
		mem	2	2+S	(mem) (mem)+1	* 3	(mem)=0
	DECS	reg	1	1+S	reg reg-1		reg=FH
rp'		2	2+S	rp' rp'-1		rp'=FFH	
比較	SKE	reg, #n4	2	2+S	Skip if reg=n4		reg=n4
		@HL, #n4	1	2+S	Skip if (HL)=n4	* 1	(HL)=n4
		A, @HL	2	1+S	Skip if A=(HL)	* 1	A=(HL)
		XA, @HL	2	2+S	Skip if XA=(HL)	* 1	XA=(HL)
		A, reg	2	2+S	Skip if A=reg		A=reg
		XA, rp'	2	2+S	Skip if XA=rp'		XA=rp'

命令群	二モニク	オペランド	バイト数	マシン・サイクル	オペレーション	アドレッシング・エリア	スキップ条件
キー・フラグ操作	SET1	CY	1	1	CY 1		
	CLR1	CY	1	1	CY 0		
	SKT	CY	1	1+S	Skip if CY = 1		CY = 1
	NOT1	CY	1	1	CY \overline{CY}		
メモリ・ビット操作	SET1	mem. bit	2	2	(mem. bit) 1	* 3	
		fmem. bit	2	2	(fmem. bit) 1	* 4	
		pmem. @L	2	2	(pmem ₇₋₂ + L ₃₋₂ . bit (L ₁₋₀)) 1	* 5	
		@H + mem. bit	2	2	(H + mem ₃₋₀ . bit) 1	* 1	
	CLR1	mem. bit	2	2	(mem. bit) 0	* 3	
		fmem. bit	2	2	(fmem. bit) 0	* 4	
		pmem. @L	2	2	(pmem ₇₋₂ + L ₃₋₂ . bit (L ₁₋₀)) 0	* 5	
		@H + mem. bit	2	2	(H + mem ₃₋₀ . bit) 0	* 1	
	SKT	mem. bit	2	2+S	Skip if (mem. bit) = 1	* 3	(mem. bit) = 1
		fmem. bit	2	2+S	Skip if (fmem. bit) = 1	* 4	(fmem. bit) = 1
		pmem. @L	2	2+S	Skip if (pmem ₇₋₂ + L ₃₋₂ . bit (L ₁₋₀)) = 1	* 5	(pmem. @L) = 1
		@H + mem. bit	2	2+S	Skip if (H + mem ₃₋₀ . bit) = 1	* 1	(@H + mem. bit) = 1
	SKF	mem. bit	2	2+S	Skip if (mem. bit) = 0	* 3	(mem. bit) = 0
		fmem. bit	2	2+S	Skip if (fmem. bit) = 0	* 4	(fmem. bit) = 0
		pmem. @L	2	2+S	Skip if (pmem ₇₋₂ + L ₃₋₂ . bit (L ₁₋₀)) = 0	* 5	(pmem. @L) = 0
		@H + mem. bit	2	2+S	Skip if (H + mem ₃₋₀ . bit) = 0	* 1	(@H + mem. bit) = 0
	SKTCLR	fmem. bit	2	2+S	Skip if (fmem. bit) = 1 and clear	* 4	(fmem. bit) = 1
		pmem. @L	2	2+S	Skip if (pmem ₇₋₂ + L ₃₋₂ . bit (L ₁₋₀)) = 1 and clear	* 5	(pmem. @L) = 1
		@H + mem. bit	2	2+S	Skip if (H + mem ₃₋₀ . bit) = 1 and clear	* 1	(@H + mem. bit) = 1
	AND1	CY, fmem. bit	2	2	CY CY (fmem. bit)	* 4	
		CY, pmem. @L	2	2	CY CY (pmem ₇₋₂ + L ₃₋₂ . bit (L ₁₋₀))	* 5	
		CY, @H + mem. bit	2	2	CY CY (H + mem ₃₋₀ . bit)	* 1	
	OR1	CY, fmem. bit	2	2	CY CY (fmem. bit)	* 4	
		CY, pmem. @L	2	2	CY CY (pmem ₇₋₂ + L ₃₋₂ . bit (L ₁₋₀))	* 5	
CY, @H + mem. bit		2	2	CY CY (H + mem ₃₋₀ . bit)	* 1		
XOR1	CY, fmem. bit	2	2	CY CY $\overline{}$ (fmem. bit)	* 4		
	CY, pmem. @L	2	2	CY CY $\overline{}$ (pmem ₇₋₂ + L ₃₋₂ . bit (L ₁₋₀))	* 5		
	CY, @H + mem. bit	2	2	CY CY $\overline{}$ (H + mem ₃₋₀ . bit)	* 1		

命令群	二モニック	オペランド	バイト数	マシン・サイクル	オペレーション	アドレッシング・エリア	スキップ条件
分岐	BR ^{注1}	addr	-	-	PC ₁₁₋₀ addr [アセンブラにより、次のうち最適な命令を選択します。 ・ BR !addr ・ BRCB !caddr ・ BR \$addr]	* 6	
		addr1	-	-	PC ₁₁₋₀ addr1 [アセンブラにより、次のうち最適な命令を選択します。 ・ BR !addr ・ BRA !addr1 ・ BRCB !caddr ・ BR \$addr1]	* 11	
	! addr	3	3	PC ₁₁₋₀ addr	* 6		
	\$addr	1	2	PC ₁₁₋₀ addr	* 7		
	\$addr1	1	2	PC ₁₁₋₀ addr1			
	PCDE	2	3	PC ₁₁₋₀ PC ₁₁₋₈ + DE			
	PCXA	2	3	PC ₁₁₋₀ PC ₁₁₋₈ + XA			
	BCDE	2	3	PC ₁₁₋₀ BCDE ^{注2}	* 6		
	BCXA	2	3	PC ₁₁₋₀ BCXA ^{注2}	* 6		
	BRA ^{注1}	! addr1	3	3	PC ₁₁₋₀ addr1	* 11	
BRCB	! caddr	2	2	PC ₁₁₋₀ caddr ₁₁₋₀	* 8		
サブルーチン・スタック制御	CALLA ^{注1}	! addr1	3	3	(SP - 2) x, x, MBE, RBE (SP - 6)(SP - 3)(SP - 4) PC ₁₁₋₀ (SP - 5) 0, 0, 0, 0 PC ₁₁₋₀ addr1, SP SP - 6	* 11	
	CALL ^{注1}	! addr	3	3	(SP - 3) MBE, RBE, 0, 0 (SP - 4)(SP - 1)(SP - 2) PC ₁₁₋₀ PC ₁₁₋₀ addr, SP SP - 4	* 6	
			4	4	(SP - 2) x, x, MBE, RBE (SP - 6)(SP - 3)(SP - 4) PC ₁₁₋₀ (SP - 5) 0, 0, 0, 0 PC ₁₁₋₀ addr, SP SP - 6		
	CALLF ^{注1}	! faddr	2	2	(SP - 3) MBE, RBE, 0, 0 (SP - 4)(SP - 1)(SP - 2) PC ₁₁₋₀ PC ₁₁₋₀ 0 + faddr, SP SP - 4	* 9	
3			3	(SP - 2) x, x, MBE, RBE (SP - 6)(SP - 3)(SP - 4) PC ₁₁₋₀ (SP - 5) 0, 0, 0, 0 PC ₁₁₋₀ 0 + faddr, SP SP - 6			

注1 . □ で示す部分はMk モード時のみ対応可能です。そのほかはMK モード時のみ対応可能です。

2 . Bレジスタには必ず “ 0 ” を入れてください。

命令群	二モニック	オペランド	バイト数	マシン・サイクル	オペレーション	アドレッシング・エリア	スキップ条件	
サブルーチン・スタック制御	RET ^{注1}		1	3	PC ₁₁₋₀ (SP)(SP+3)(SP+2) MBE, RBE, 0, 0 (SP+1), SP SP+4 x, x, MBE, RBE (SP+4) 0, 0, 0, 0 (SP+1) PC ₁₁₋₀ (SP)(SP+3)(SP+2), SP SP+6			
	RETS ^{注1}		1	3+S	MBE, RBE, 0, 0 (SP+1) PC ₁₁₋₀ (SP)(SP+3)(SP+2) SP SP+4 then skip unconditionally 0, 0, 0, 0 (SP+1) PC ₁₁₋₀ (SP)(SP+3)(SP+2) x, x, MBE, RBE (SP+4) SP SP+6 then skip unconditionally		無条件	
	RETI ^{注1}		1	3	MBE, RBE, 0, 0 (SP+1) PC ₁₁₋₀ (SP)(SP+3)(SP+2) PSW (SP+4)(SP+5), SP SP+6 0, 0, 0, 0 (SP+1) PC ₁₁₋₀ (SP)(SP+3)(SP+2) PSW (SP+4)(SP+5), SP SP+6			
	PUSH	rp		1	1	(SP-1)(SP-2) rp, SP SP-2		
		BS		2	2	(SP-1) MBS, (SP-2) RBS, SP SP-2		
	POP	rp		1	1	rp (SP+1)(SP), SP SP+2		
		BS		2	2	MBS (SP+1), RBS (SP), SP SP+2		
	割り込み制御	EI		2	2	IME (IPS.3) 1		
			IE x x x	2	2	IE x x x 1		
		DI		2	2	IME (IPS.3) 0		
IE x x x			2	2	IE x x x 0			
入出力	IN ^{注2}	A, PORTn	2	2	A PORTn (n=3, 6, 7, 8)			
	OUT ^{注2}	PORTn, A	2	2	PORTn A (n=3, 6, 8)			
CPU制御	HALT		2	2	Set HALT Mode (PCC.2 1)			
	STOP		2	2	Set STOP Mode (PCC.3 1)			
	NOP		1	1	No Operation			
特殊	SEL	RBn	2	2	RBS n (n=0-3)			
		MBn	2	2	MBS n (n=0, 4, 15)			

注1 . で示す部分はMk モード時のみ対応可能です。そのほかはMk モード時にのみ対応可能です。

2 . IN/OUT命令実行時には、MBE = 0 または MBE = 1, MBS = 15 としておく必要があります。

命令群	二モニック	オペランド	バイト数	マシン・サイクル	オペレーション	アドレッシング・エリア	スキップ条件
特殊	GETI ^{注1,2}	taddr	1	3	・ TBR命令のとき $PC_{11-0} (taddr)_{3-0} + (taddr + 1)$	* 10	
				・ TCALL命令のとき $(SP - 4) \times (SP - 1) \times (SP - 2) \quad PC_{11-0}$ $(SP - 3) \quad MBE, RBE, 0, 0$ $PC_{11-0} (taddr)_{3-0} + (taddr + 1)$ $SP \quad SP - 4$			
				・ TBR, TCALL命令以外のとき $(taddr) \times (taddr + 1)$ の命令実行	参照した命令による		
				3	・ TBR命令のとき $PC_{11-0} (taddr)_{3-0} + (taddr + 1)$		
				4	・ TCALL命令のとき $(SP - 6) \times (SP - 3) \times (SP - 4) \quad PC_{11-0}$ $(SP - 5) \quad 0, 0, 0, 0$ $(SP - 2) \quad \times, \times, MBE, RBE$ $PC_{11-0} (taddr)_{3-0} + (taddr + 1)$ $SP \quad SP - 6$		
				3	・ TBR, TCALL命令以外のとき $(taddr) \times (taddr + 1)$ の命令実行		参照した命令による

注1 . TBR, TCALL命令はGETI命令のテーブル定義用アセンブラ疑似命令です。

2 . □ で示す部分はMk モード時のみ対応可能です。そのほかは、Mk モード時にのみ対応可能です。

★ 13. 電気的特性

13.1 μPD754144の場合

絶対最大定格 (T_A = 25)

項目	略号	条件		定格	単位
電源電圧	V _{DD}			- 0.3 ~ + 7.0	V
入力電圧	V _I			- 0.3 ~ V _{DD} + 0.3	V
出力電圧	V _O			- 0.3 ~ V _{DD} + 0.3	V
ハイ・レベル出力電流	I _{OH}	1端子当たり	P30, P31, P33, P60-P63, P80	- 10	mA
			P32	- 20	mA
		全端子合計		- 30	mA
ロウ・レベル出力電流	I _{OL}	1端子当たり		20	mA
		全端子合計		90	mA
動作周囲温度	T _A			- 40 ~ + 85	
保存温度	T _{stg}			- 65 ~ + 150	

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

容量 (T_A = 25 , V_{DD} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	C _{IN}	f = 1 MHz			15	pF
出力容量	C _{OUT}	被測定端子以外は0 V			15	pF
入出力容量	C _{IO}				15	pF

μPD754144の場合

システム・クロック発振回路特性 (TA = -40 ~ +85 , VDD = 1.8 ~ 6.0 V)

発振子	推奨定数	項目	条件	MIN.	TYP.	MAX.	単位
RC発振		発振周波数 (fcc) 注		0.4		2.0	MHz

注 発振周波数は、発振回路の特性だけを示すものです。命令実行時間、発振周波数特性についてはAC特性を参照してください。

注意 システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接続点は、常にVSSと同電位になるようにする。
- ・大電流が流れるグランド・パターンには接続しない。
- ・発振回路から信号を取り出さない。

μPD754144の場合

DC特性 (T_A = -40 ~ +85 , V_{DD} = 1.8 ~ 6.0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル出力電流	I _{OH}	1端子当たり	P30, P31, P33, P60-P63, P80			- 5	mA
			P32, V _{DD} = 3.0 V, V _{OH} = V _{DD} - 2.0 V		- 7	- 15	mA
		全端子合計				- 20	mA
ロウ・レベル出力電流	I _{OL}	1端子当たり				15	mA
		全端子合計				45	mA
ハイ・レベル入力電圧	V _{IH1}	ポート 3	2.7 V V _{DD} 6.0 V	0.7V _{DD}		V _{DD}	V
			1.8 V V _{DD} < 2.7 V	0.9V _{DD}		V _{DD}	V
	V _{IH2}	ポート 6 - 8, KRREN, RESET	2.7 V V _{DD} 6.0 V	0.8V _{DD}		V _{DD}	V
			1.8 V V _{DD} < 2.7 V	0.9V _{DD}		V _{DD}	V
ロウ・レベル入力電圧	V _{IL1}	ポート 3	2.7 V V _{DD} 6.0 V	0		0.3V _{DD}	V
			1.8 V V _{DD} < 2.7 V	0		0.1V _{DD}	V
	V _{IL2}	ポート 6 - 8, KRREN, RESET	2.7 V V _{DD} 6.0 V	0		0.2V _{DD}	V
			1.8 V V _{DD} < 2.7 V	0		0.1V _{DD}	V
ハイ・レベル出力電圧	V _{OH}	V _{DD} = 4.5 ~ 6.0 V, I _{OH} = - 1.0 mA		V _{DD} - 1.0			V
		V _{DD} = 1.8 ~ 6.0 V, I _{OH} = - 100 μA		V _{DD} - 0.5			V
ロウ・レベル出力電圧	V _{OL}	V _{DD} = 4.5 ~ 6.0 V	ポート 3, I _{OL} = 15 mA		0.6	2.0	V
			ポート 6, 8, I _{OL} = 1.6 mA			0.4	V
		V _{DD} = 1.8 ~ 6.0 V, I _{OL} = 400 μA				0.5	V
ハイ・レベル入力リーク電流	I _{LIH}	V _{IN} = V _{DD}				3.0	μA
ロウ・レベル入力リーク電流	I _{LIL}	V _{IN} = 0 V				- 3.0	μA
ハイ・レベル出力リーク電流	I _{LOH}	V _{OUT} = V _{DD}				3.0	μA
ロウ・レベル出力リーク電流	I _{LOL}	V _{OUT} = 0 V				- 3.0	μA
内蔵プルアップ抵抗	R _{L1}	V _{IN} = 0 V	ポート 3, 6, 8	50	100	200	k
	R _{L2}		ポート 7, RESET (マスク・オプション)	50	100	200	k

μPD754144の場合

DC特性 (T_A = -40 ~ +85 , V_{DD} = 1.8 ~ 6.0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位		
電源電流 ^{注1}	I _{DD1}	1.0 MHz	V _{DD} = 5.0 V ± 10 % ^{注2}			0.7	2.1	mA	
		RC発振	V _{DD} = 3.0 V ± 10 % ^{注3}			0.3	1.0	mA	
	I _{DD2}	R = 22 k	HALT	V _{DD} = 5.0 V ± 10 %			0.5	1.8	mA
		C = 22 pF	モード	V _{DD} = 3.0 V ± 10 %			0.25	0.9	mA
	I _{DD1}	1.0 MHz	V _{DD} = 5.0 V ± 10 % ^{注2}			1.15	3.5	mA	
		RC発振	V _{DD} = 3.0 V ± 10 % ^{注3}			0.55	1.6	mA	
	I _{DD2}	R = 5.1 k	HALT	V _{DD} = 5.0 V ± 10 %			0.95	2.8	mA
		C = 120 pF	モード	V _{DD} = 3.0 V ± 10 %			0.5	1.5	mA
	I _{DD3}	STOP モード	V _{DD} = 1.8 ~ 6.0 V					5	μA
				T _A = 25				1	μA
V _{DD} = 3.0 V ± 10 %						0.1	3	μA	
			T _A = -40 ~ +40			0.1	1	μA	

注1 . 内蔵プルアップ抵抗に流れる電流, EEPROM書き込み時の電流, およびプログラマブル・スレッシュホールド・ポート (PTH) 動作時の電流は含みません。

2 . プロセッサ・クロック・コントロール・レジスタ (PCC) を0011に設定し, 高速モードで動作させた場合。

3 . PCCを0000に設定し, 低速モードで動作させた場合。

μPD754144の場合

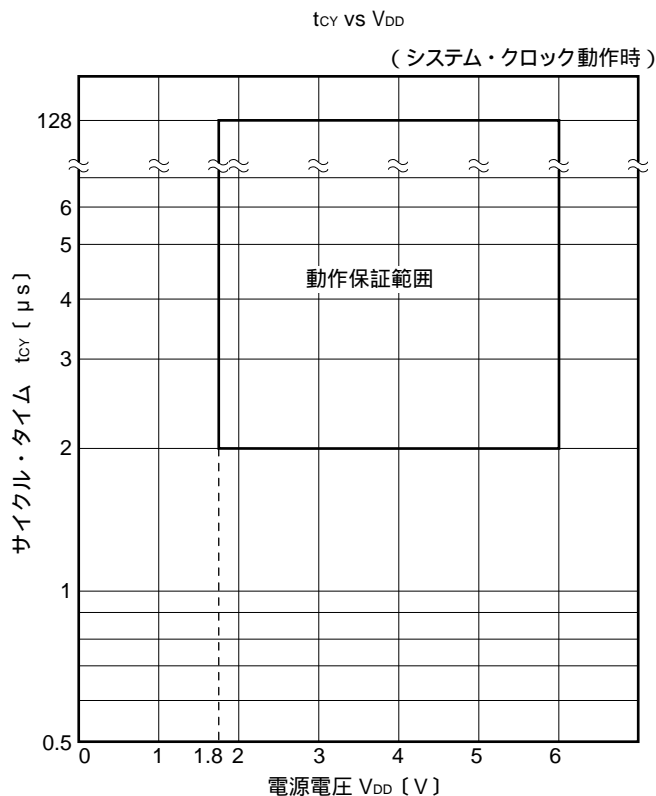
AC特性 (TA = -40 ~ +85 , VDD = 1.8 ~ 6.0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
CPUクロック・サイクル・タイム ^{注1} (最小命令実行時間=1マシン・サイクル)	t _{cy}			2.0	4.0	128	μs
RC発振周波数	f _{cc}	R = 22 k , C = 22 pF	V _{DD} = 3.6 ~ 6.0 V	0.9	1.0 ^{注2}	1.2	MHz
			V _{DD} = 2.2 ~ 3.6 V	0.75	1.0 ^{注2}	1.15	MHz
			V _{DD} = 1.8 ~ 3.6 V	0.5	1.0 ^{注2}	1.15	MHz
			V _{DD} = 1.8 ~ 6.0 V	0.5	1.0 ^{注2}	1.2	MHz
		R = 5.1 k , C = 120 pF	V _{DD} = 3.6 ~ 6.0 V	0.91	1.0 ^{注2}	1.1	MHz
			V _{DD} = 2.2 ~ 3.6 V	0.76	1.0 ^{注2}	1.05	MHz
			V _{DD} = 1.8 ~ 3.6 V	0.51	1.0 ^{注2}	1.05	MHz
			V _{DD} = 1.8 ~ 6.0 V	0.51	1.0 ^{注2}	1.1	MHz
割り込み入力ハイ, ロウ・レベル幅	t _{INTH} , t _{INTL}	INT0	IM02 = 0	注3			μs
			IM02 = 1	10			μs
	KR4-KR7		10			μs	
RESETロウ・レベル幅	t _{RSL}			10			μs

注1 . CPUクロック (Φ) のサイクル・タイム (最小命令実行時間) は、接続された抵抗 (R) , コンデンサ (C) の時定数とプロセッサ・クロック・コントロール・レジスタ (PCC) によって決まります。

右図は、システム・クロック動作時の電源電圧 V_{DD} に対するサイクル・タイム t_{cy} 特性を示します。

- 2 . V_{DD} = 3.6 V 時の TYP. 値です。
- 3 . 割り込みモード・レジスタ (IM0) の設定により、2t_{cy} または 128/f_{cc} となります。



μPD754144の場合

EEPROM特性 (TA = -40 ~ +85 , VDD = 1.8 ~ 6.0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
EEPROM書き込み電流	IEEW	1.0 MHz, RC発振	VDD = 5.0 V ± 10 %		4.0	12	mA
			VDD = 3.0 V ± 10 %		2.0	6	mA
EEPROM書き込み時間	tEEW	1.0 MHz, RC発振 ^注	3.8	4.6	10.0	ms	
EEPROM書き換え回数	EEWT	TA = -40 ~ +70	100000			回 / byte	
		TA = -40 ~ +85	80000			回 / byte	

注 RC発振のばらつきを考慮し, $18 \times 2^{\circ}/f_{cc}$ (4.6 ms : $f_{cc} = 1.0$ MHz動作時) になるようにEWTC4-6を設定してください。

コンパレータ特性 (TA = -40 ~ +85 , VDD = 1.8 ~ 6.0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
比較正確度	VACOMP				±100	mV
スレッショールド電圧	VTH		注		注	V
PTH入力電圧	VIPTH		0		VDD	V
AVREF入力電圧	VIAREF		1.8		VDD	V
コンパレータ回路消費電流	IDDS	PTHMのビット7を1にセットしたとき		1		mA

注 スレッショールド電圧は, PTHMのビット0-3の設定により, 次のようになります。

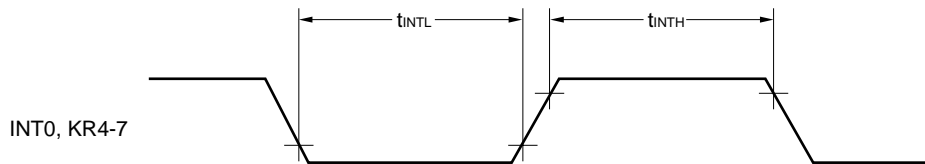
$$V_{TH} = V_{IAREF} \times (n + 0.5) / 16 \quad (n = 0-15)$$

μPD754144の場合

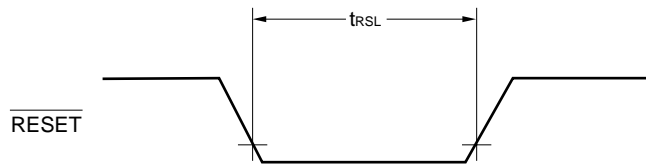
ACタイミング測定点



割り込み入力タイミング



RESET入力タイミング

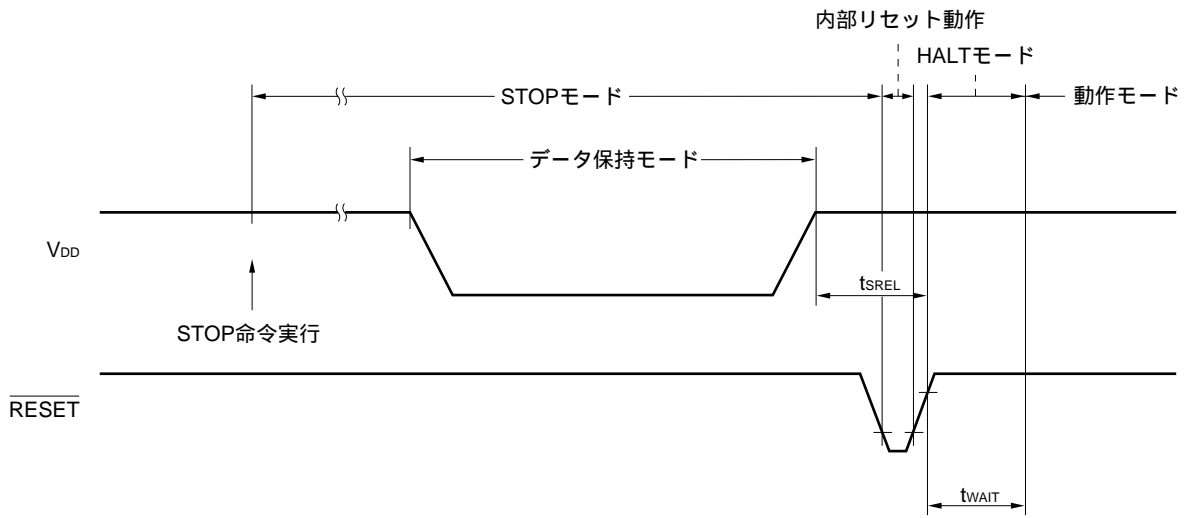


データ・メモリSTOPモード低電源電圧データ保持特性 ($T_A = -40 \sim +85$)

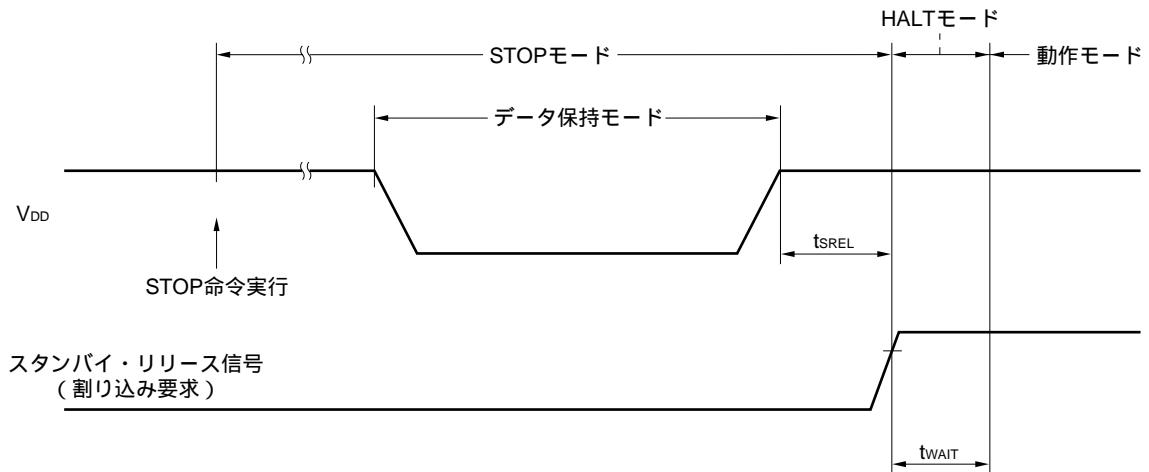
項目	略号	条件	MIN.	TYP.	MAX.	単位
リリース信号セット時間	t_{SREL}		0			μs
発振安定ウエイト時間	t_{WAIT}	RESETによる解除		$56/f_{cc}$		μs
		割り込み要求による解除		$512/f_{cc}$		μs

μPD754144の場合

データ保持タイミング (RESETによるSTOPモード解除)



データ保持タイミング (スタンバイ・リリース信号：割り込み信号によるSTOPモード解除)



13.2 μPD754244の場合

絶対最大定格 (T_A = 25)

項目	略号	条件		定格	単位
電源電圧	V _{DD}			- 0.3 ~ + 7.0	V
入力電圧	V _I			- 0.3 ~ V _{DD} + 0.3	V
出力電圧	V _O			- 0.3 ~ V _{DD} + 0.3	V
ハイ・レベル出力電流	I _{OH}	1端子当たり	P30, P31, P33, P60-P63, P80	- 10	mA
			P32	- 20	mA
		全端子合計		- 30	mA
ロウ・レベル出力電流	I _{OL}	1端子当たり		20	mA
		全端子合計		90	mA
動作周囲温度	T _A			- 40 ~ + 85	
保存温度	T _{stg}			- 65 ~ + 150	

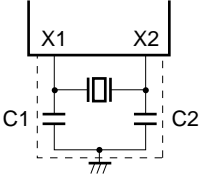
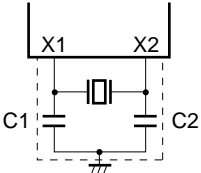
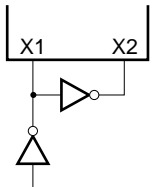
注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

容量 (T_A = 25 , V_{DD} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	C _{IN}	f = 1 MHz			15	pF
出力容量	C _{OUT}	被測定端子以外は0 V			15	pF
入出力容量	C _{IO}				15	pF

μPD754244の場合

システム・クロック発振回路特性 (TA = -40 ~ +85 , VDD = 1.8 ~ 6.0 V)

発振子	推奨定数	項目	条件	MIN.	TYP.	MAX.	単位
セラミック 発振子		発振周波数 (fx) 注1		1.0		6.0注2, 3, 4	MHz
		発振安定時間注5	VDDが発振電圧範囲の MIN.値に達したのち			4	ms
水晶 振動子		発振周波数 (fx) 注1		1.0		6.0注2, 3, 4	MHz
		発振安定時間注5	VDD = 4.5 ~ 6.0 V			10	ms
							30
外部 クロック		X1入力周波数 (fx) 注1		1.0		6.0注2, 3, 4	MHz
		X1入力ハイ, ロウ・レベル幅 (txH, txL)		83.3		500	ns

注1 . 発振周波数およびX1入力周波数は、発振回路の特性だけを示すものです。命令実行時間はAC特性を参照してください。

- 1.8 V VDD < 2.0 Vで発振周波数が2.1 MHz < fx 4.19 MHzの場合は、命令実行時間としてプロセッサ・クロック・コントロール・レジスタ (PCC) を0011に設定すると、1マシン・サイクル・タイムが規定の1.9 μsを満たせなくなるため、PCCは0011以外を選択してください。
- 1.8 V VDD < 2.0 Vで発振周波数が4.19 MHz < fx 6.0 MHzの場合、プロセッサ・クロック・コントロール・レジスタ (PCC) を0011または0010に設定すると、1マシン・サイクル・タイムが規定の1.9 μsを満たせなくなるため、PCCは0011または0010以外の値を設定してください。
- 2.0 V VDD < 2.7 Vで発振周波数が4.19 MHz < fx 6.0 MHzの場合、プロセッサ・クロック・コントロール・レジスタ (PCC) を0011に設定すると、1マシン・サイクル・タイムが規定の0.95 μsを満たせなくなるため、PCCは0011以外の値を設定してください。
- 発振安定時間は、VDD印加後、またはSTOPモード解除後、発振が安定するのに必要な時間です。

注意 システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接続点は、常にVSSと同電位になるようにする。
- ・大電流が流れるグラウンド・パターンには接続しない。
- ・発振回路から信号を取り出さない。

μPD754244の場合

推奨発振回路定数

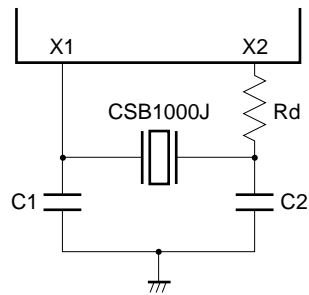
セラミック発振子 (TA = -20 ~ +80)

メーカー	品名	周波数 (MHz)	発振回路定数 (pF)		発振電圧範囲 (VDD)		備考
			C1	C2	MIN. (V)	MAX. (V)	
京セラ	KBR-1000F/Y	1.0	100	100	1.8	6.0	-
	KBR-2.0MS	2.0	47	47			-
	KBR-4.19MSB	4.19	33	33			コンデンサ内蔵品
	KBR-4.19MKC		-	-			-
	PBRC4.19A		33	33			-
	PBRC4.19B	-	-	コンデンサ内蔵品			
	KBR-6.0MSB	6.0	33	33			-
	KBR-6.0MKC		-	-			コンデンサ内蔵品
	PBRC6.00A		33	33			-
	PBRC6.00B		-	-			コンデンサ内蔵品
-	-		-	-			

セラミック発振子 (TA = -40 ~ +85)

メーカー	品名	周波数 (MHz)	発振回路定数 (pF)		発振電圧範囲 (VDD)		備考	
			C1	C2	MIN. (V)	MAX. (V)		
村田製作所	CSB1000J ^注	1.0	100	100	2.0	6.0	Rd = 2.2 k	
	CSA2.00MG040	2.0	-	-			-	
	CST2.00MG040		-	-			コンデンサ内蔵品	
	CSA4.19MG	4.19	30	30			1.9	-
	CST4.19MGW		-	-			コンデンサ内蔵品	
	CSA4.19MGU		30	30			1.8	-
	CST4.19MGWU	-	-	コンデンサ内蔵品				
	CSA6.00MG	6.0	30	30			2.5	-
	CST6.00MGW		-	-			コンデンサ内蔵品	
	CSA6.00MGU		30	30			1.8	-
	CST6.00MGWU		-	-			コンデンサ内蔵品	
	TDK	CCR1000K2	1.0	100			100	2.0
CCR4.19MC3		4.19	-	-	コンデンサ内蔵品			
FCR4.19MC5			-	-	-			
CCR6.0MC3		6.0	-	-	-			
FCR6.0MC5			-	-	-			

注 セラミック発振子として村田製作所のCSB1000J (1.0 MHz) を使用するには、制限抵抗 ($R_d = 2.2 \text{ k}$) が
必要です (下図参照)。その他の推奨発振子を使用する場合は制限抵抗は不要です。



注意 発振回路定数ならびに発振電圧範囲は、安定して発振する条件を示すものであり、発振周波数精度を保証する
ものではありません。実装回路にて発振周波数精度を必要とする場合、実装回路にて発振子の発振周波数を調
整する必要がありますので、ご使用になる発振子のメーカーに直接お問い合わせください。

μPD754244の場合

DC特性 (T_A = -40 ~ +85 , V_{DD} = 1.8 ~ 6.0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル出力電流	I _{OH}	1端子当たり	P30, P31, P33, P60-P63, P80			- 5	mA
			P32, V _{DD} = 3.0 V, V _{OH} = V _{DD} - 2.0 V		- 7	- 15	mA
		全端子合計				- 20	mA
ロウ・レベル出力電流	I _{OL}	1端子当たり				15	mA
		全端子合計				45	mA
ハイ・レベル入力電圧	V _{IH1}	ポート 3	2.7 V V _{DD} 6.0 V	0.7V _{DD}		V _{DD}	V
			1.8 V V _{DD} < 2.7 V	0.9V _{DD}		V _{DD}	V
	V _{IH2}	ポート 6 - 8, KRREN, RESET	2.7 V V _{DD} 6.0 V	0.8V _{DD}		V _{DD}	V
			1.8 V V _{DD} < 2.7 V	0.9V _{DD}		V _{DD}	V
	V _{IH3}	X1		V _{DD} - 0.1		V _{DD}	V
ロウ・レベル入力電圧	V _{IL1}	ポート 3	2.7 V V _{DD} 6.0 V	0		0.3V _{DD}	V
			1.8 V V _{DD} < 2.7 V	0		0.1V _{DD}	V
	V _{IL2}	ポート 6 - 8, KRREN, RESET	2.7 V V _{DD} 6.0 V	0		0.2V _{DD}	V
			1.8 V V _{DD} < 2.7 V	0		0.1V _{DD}	V
	V _{IL3}	X1		0		0.1	V
ハイ・レベル出力電圧	V _{OH}	V _{DD} = 4.5 ~ 6.0 V, I _{OH} = - 1.0 mA		V _{DD} - 1.0			V
		V _{DD} = 1.8 ~ 6.0 V, I _{OH} = - 100 μA		V _{DD} - 0.5			V
ロウ・レベル出力電圧	V _{OL}	V _{DD} = 4.5 ~ 6.0 V	ポート 3, I _{OL} = 15 mA		0.6	2.0	V
			ポート 6 , 8 , I _{OL} = 1.6 mA			0.4	V
		V _{DD} = 1.8 ~ 6.0 V, I _{OL} = 400 μA					0.5
ハイ・レベル入力リーク電流	I _{LIH1}	V _{IN} = V _{DD}	X1以外の端子			3.0	μA
	I _{LIH2}		X1			20	μA
ロウ・レベル入力リーク電流	I _{LIL1}	V _{IN} = 0 V	X1以外の端子			- 3.0	μA
	I _{LIL2}		X1			- 20	μA
ハイ・レベル出力リーク電流	I _{LOH}	V _{OUT} = V _{DD}				3.0	μA
ロウ・レベル出力リーク電流	I _{LOL}	V _{OUT} = 0 V				- 3.0	μA
内蔵プルアップ抵抗	R _{L1}	V _{IN} = 0 V	ポート 3, 6 , 8	50	100	200	k
	R _{L2}		ポート 7 , RESET (マスク・オプション)	50	100	200	k

μPD754244の場合

DC特性 (T_A = -40 ~ +85 , V_{DD} = 1.8 ~ 6.0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	I _{DD1}	4.19 MHz	V _{DD} = 5.0 V ± 10 % ^{注2}		1.5	5.0	mA	
		水晶発振	V _{DD} = 3.0 V ± 10 % ^{注3}		0.23	1.0	mA	
	I _{DD2}	C1 = C2 = 22 pF	HALT	V _{DD} = 5.0 V ± 10 %		0.64	3.0	mA
			モード	V _{DD} = 3.0 V ± 10 %		0.20	0.9	mA
	I _{DD3}	X1 = 0 V STOP モード	V _{DD} = 1.8 ~ 6.0 V				5	μA
				T _A = 25			1	μA
V _{DD} = 3.0 V ± 10 %					0.1	3	μA	
			T _A = -40 ~ +40		0.1	1	μA	

注1 . 内蔵プルアップ抵抗に流れる電流, EEPROM書き込み時の電流, およびプログラマブル・スレッシュホールド・ポート (PTH) 動作時の電流は含みません。

2 . プロセッサ・クロック・コントロール・レジスタ (PCC) を0011に設定し, 高速モードで動作させた場合。

3 . PCCを0000に設定し, 低速モードで動作させた場合。

μPD754244の場合

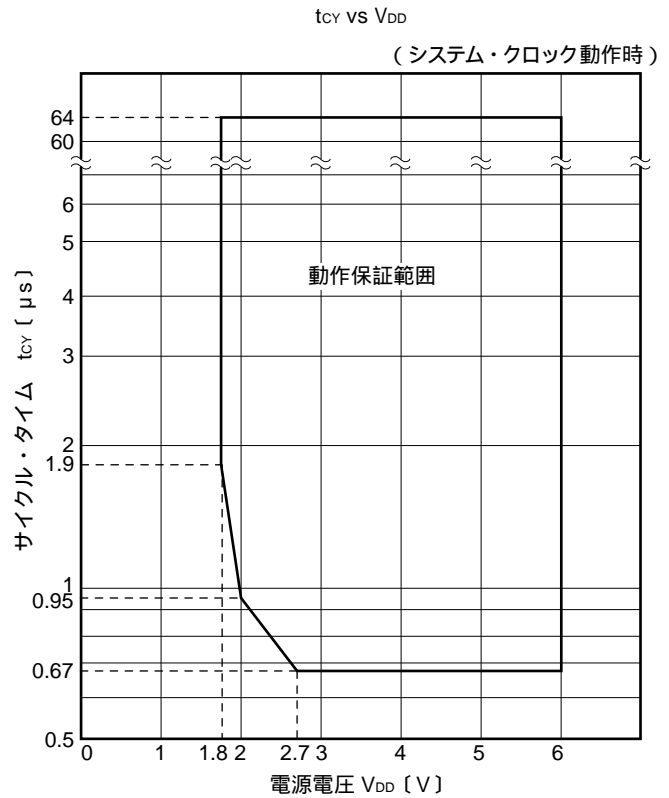
AC特性 (TA = -40 ~ +85 , VDD = 1.8 ~ 6.0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
CPUクロック・サイクル・タイム注1 (最小命令実行時間 = 1マシン・サイクル)	tcy	VDD = 1.8 ~ 2.0 V		1.9		64.0	μs
		VDD = 2.0 ~ 2.7 V		0.95		64.0	μs
		VDD = 2.7 ~ 6.0 V		0.67		64.0	μs
割り込み入力ハイ, ロウ・レベル幅	tINTH, tINTL	INT0	IM02 = 0	注2			μs
			IM02 = 1	10			μs
	KR4-KR7		10			μs	
RESETロウ・レベル幅	tRSL			10			μs

注1 . CPUクロック (Φ) のサイクル・タイム (最小命令実行時間) は、接続された発振子 (および外部クロック) の発振周波数とプロセッサ・クロック・コントロール・レジスタ (PCC) によって決まります。

右図は、システム・クロック動作時の電源電圧 VDD に対するサイクル・タイム tcy 特性を示します。

2 . 割り込みモード・レジスタ (IM0) の設定により、2tcy または 128/fx となります。



μPD754244の場合

EEPROM特性 (TA = -40 ~ +85 , VDD = 1.8 ~ 6.0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
EEPROM書き込み電流	IEEW	4.19 MHz, 水晶発振	VDD = 5.0 V ± 10 %		4.5	15	mA
			VDD = 3.0 V ± 10 %		2.0	6	mA
EEPROM書き込み時間	tEEW		3.8		10.0	ms	
EEPROM書き換え回数	EEWT	TA = -40 ~ +70	100000			回 / byte	
		TA = -40 ~ +85	80000			回 / byte	

コンパレータ特性 (TA = -40 ~ +85 , VDD = 1.8 ~ 6.0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
比較正確度	VACOMP				± 100	mV
スレッショールド電圧	VTH		注		注	V
PTH入力電圧	VIPTH		0		VDD	V
AVREF入力電圧	VIAREF		1.8		VDD	V
コンパレータ回路消費電流	IDDS	PTHMのビット7を1にセットしたとき		1		mA

注 スレッショールド電圧は、PTHMのビット0-3の設定により、次のようになります。

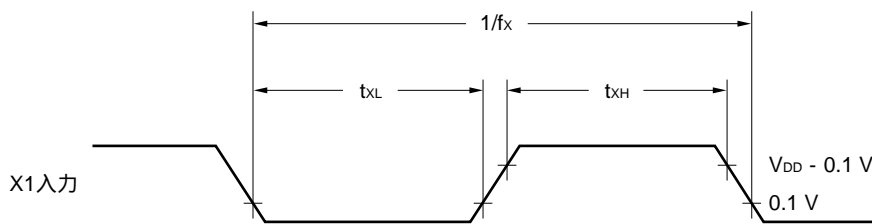
$$V_{TH} = V_{IAVREF} \times (n + 0.5) / 16 \quad (n = 0-15)$$

μPD754244の場合

ACタイミング測定点 (X1入力を除く)

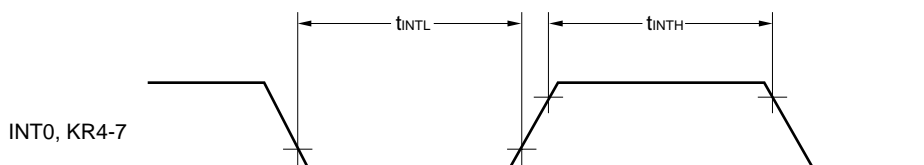


クロック・タイミング

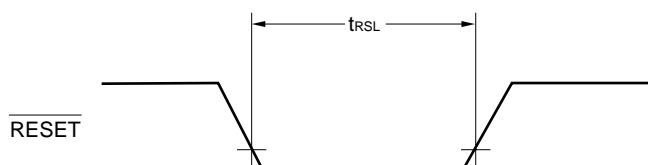


μPD754244の場合

割り込み入力タイミング



RESET入力タイミング



データ・メモリSTOPモード低電源電圧データ保持特性 (TA = - 40 ~ + 85)

項目	略号	条件	MIN.	TYP.	MAX.	単位
リリース信号セット時間	tsREL		0			μs
発振安定ウエイト時間 ^{注1}	tWAIT	RESETによる解除		注2		ms
		割り込み要求による解除		注3		ms

注1．発振安定ウエイト時間は、発振開始時の不安定な動作を防ぐため、CPUの動作を停止しておく時間です。

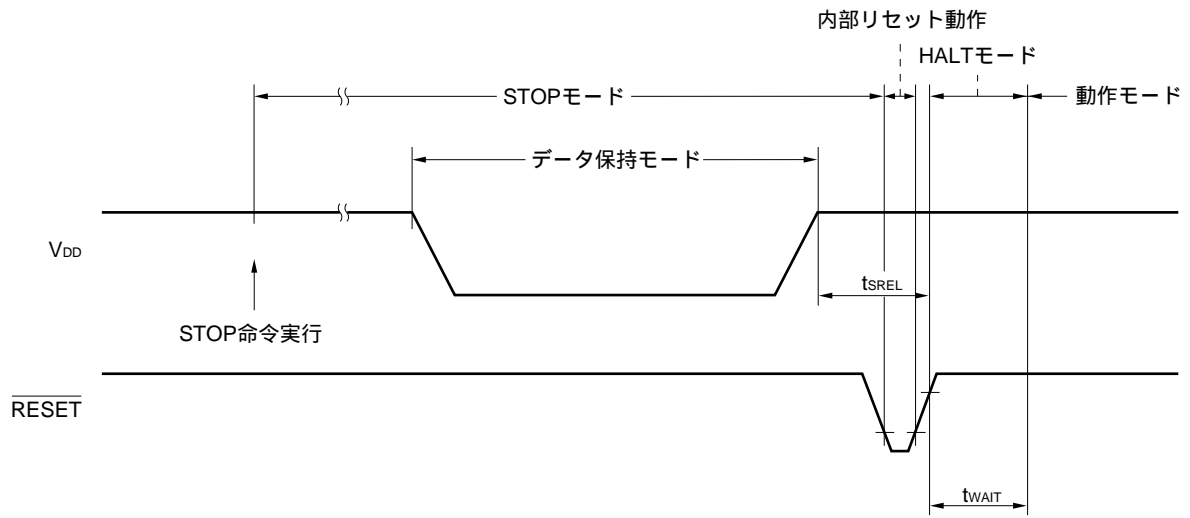
2．マスク・オプションで、 $2^{17}/f_x$ 、 $2^{15}/f_x$ のいずれかを選択します。

3．ベーシック・インターバル・タイマ・モード・レジスタ (BTM) の設定によります (下表)。

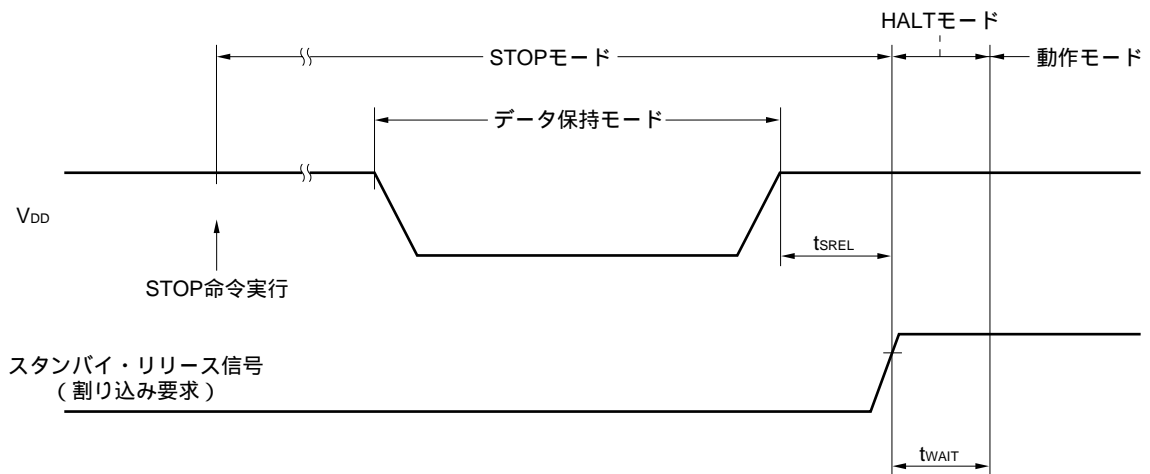
BTM3	BTM2	BTM1	BTM0	ウエイト時間	
				$f_x = 4.19 \text{ MHz}$ 時	$f_x = 6.0 \text{ MHz}$ 時
-	0	0	0	$2^{20}/f_x$ (約250 ms)	$2^{20}/f_x$ (約175 ms)
-	0	1	1	$2^{17}/f_x$ (約31.3 ms)	$2^{17}/f_x$ (約21.8 ms)
-	1	0	1	$2^{15}/f_x$ (約7.81 ms)	$2^{15}/f_x$ (約5.46 ms)
-	1	1	1	$2^{13}/f_x$ (約1.95 ms)	$2^{13}/f_x$ (約1.37 ms)

μPD754244の場合

データ保持タイミング (RESETによるSTOPモード解除)

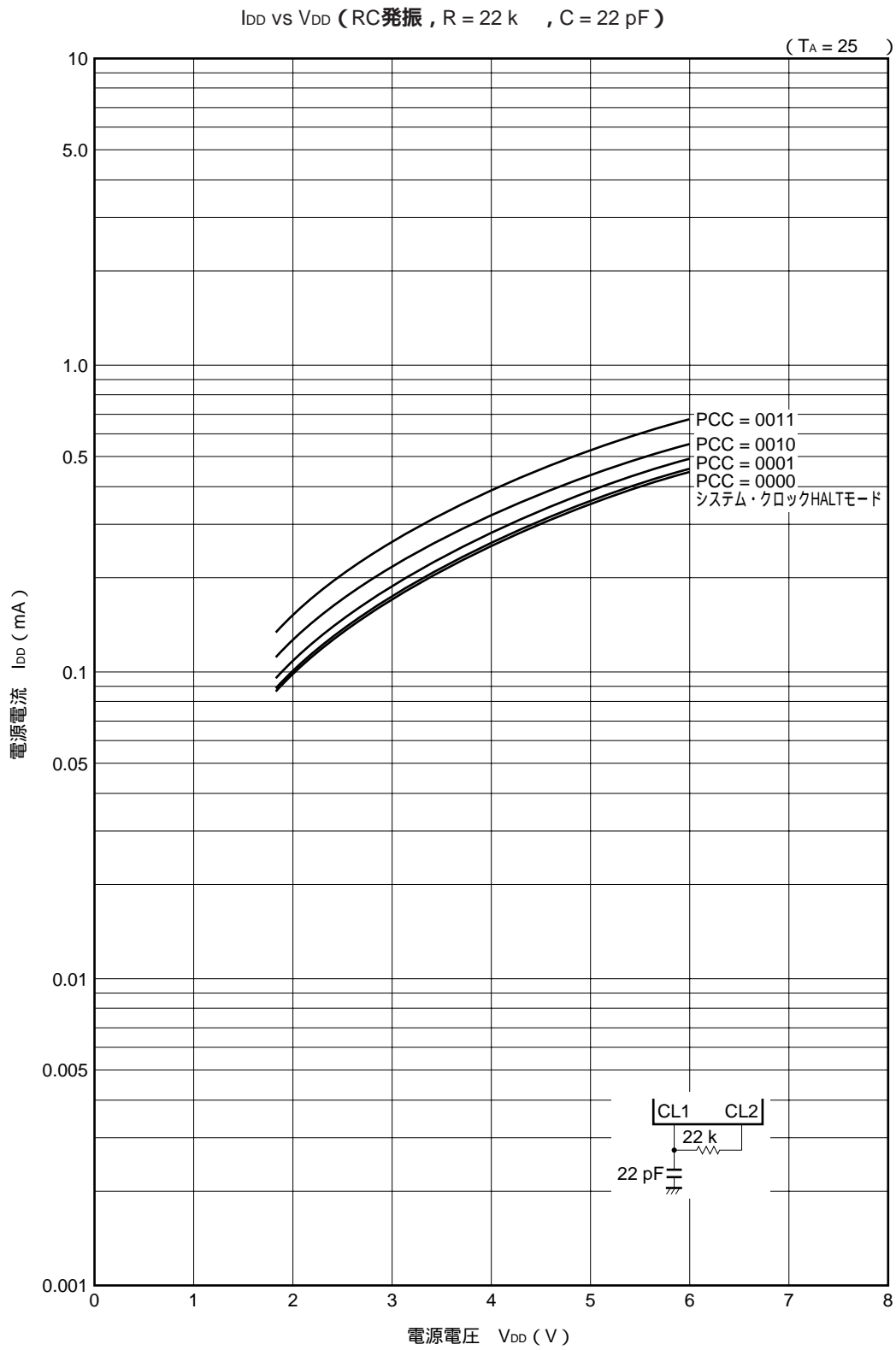


データ保持タイミング (スタンバイ・リリース信号：割り込み信号によるSTOPモード解除)



★ 14. 特性曲線 (参考値)

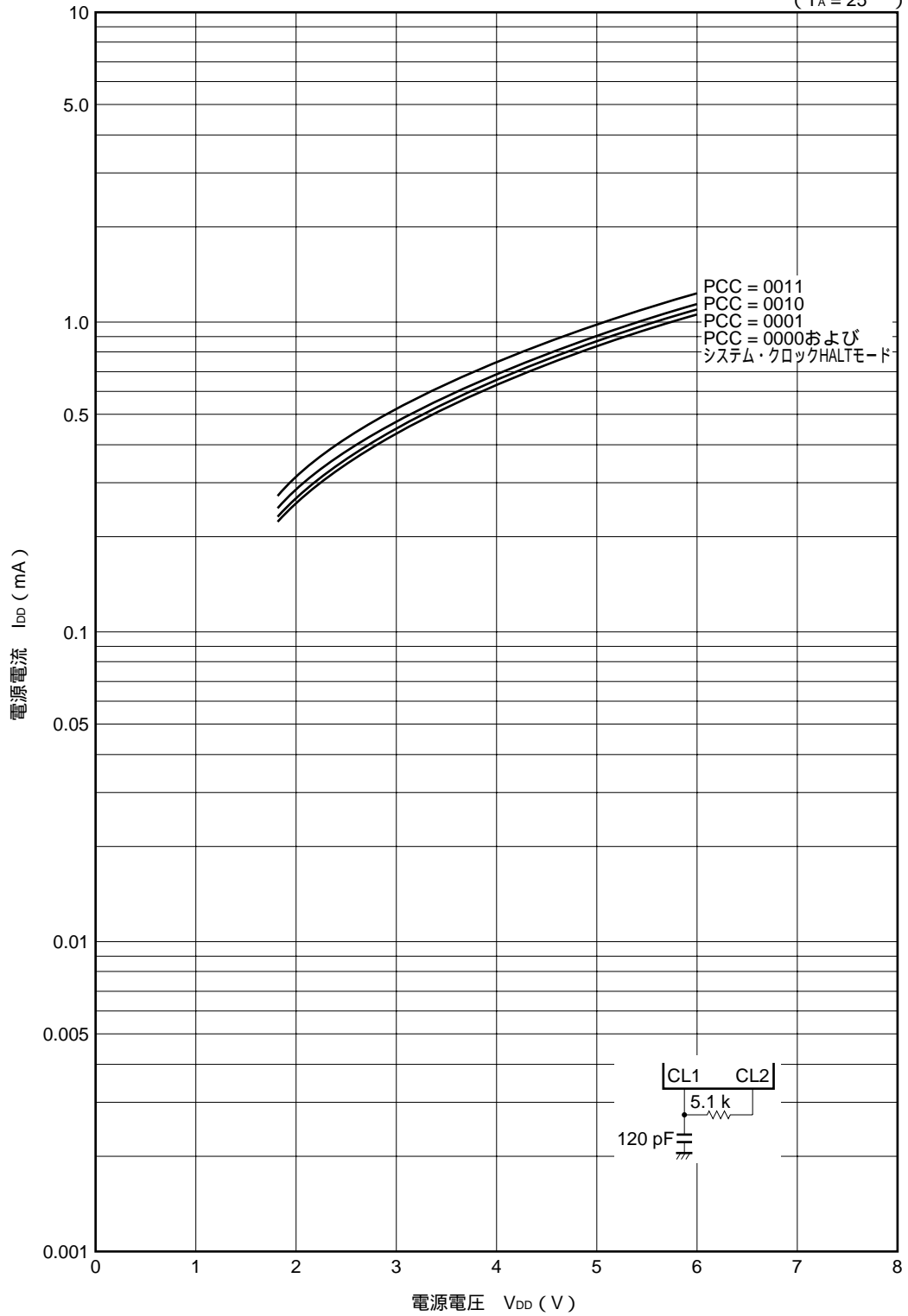
14.1 μPD754144の場合



μPD754144の場合

I_{DD} vs V_{DD} (RC発振, $R = 5.1\text{ k}$, $C = 120\text{ pF}$)

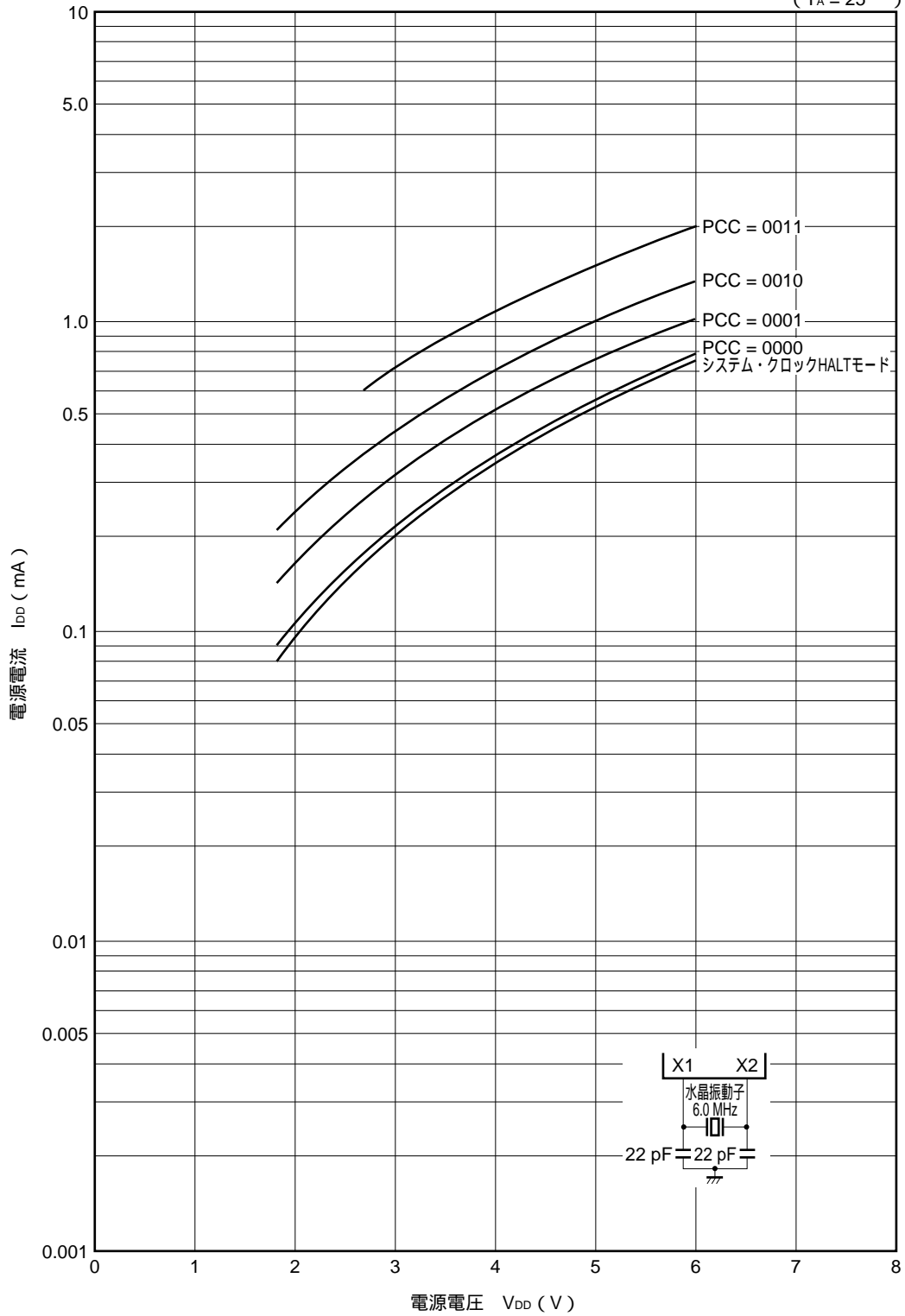
($T_A = 25$)



14.2 μPD754244の場合

I_{DD} vs V_{DD} (システム・クロック : 6.0 MHz水晶振動子)

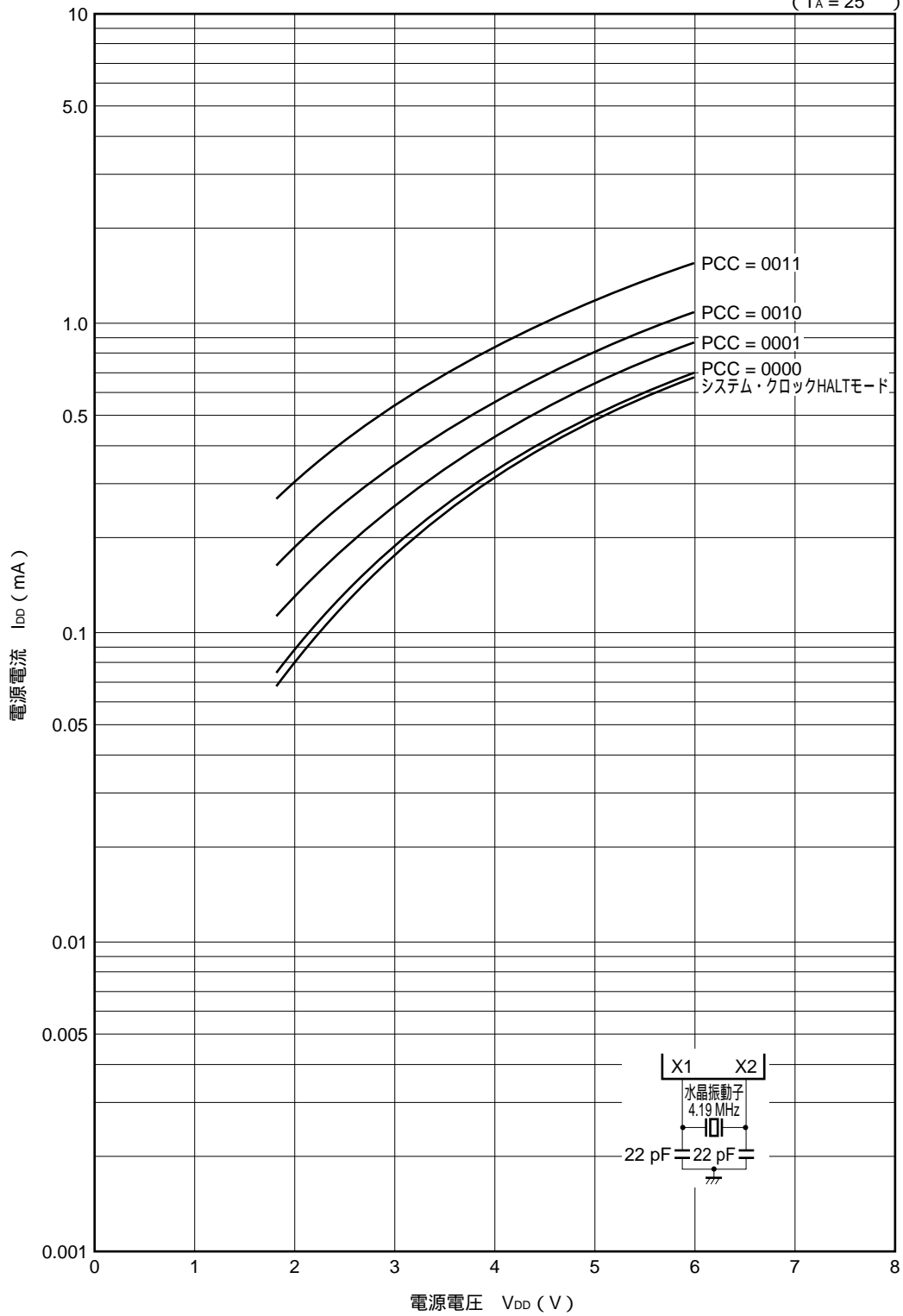
(T_A = 25)



μPD754244の場合

I_{DD} VS V_{DD} (システム・クロック : 4.19 MHz水晶振動子)

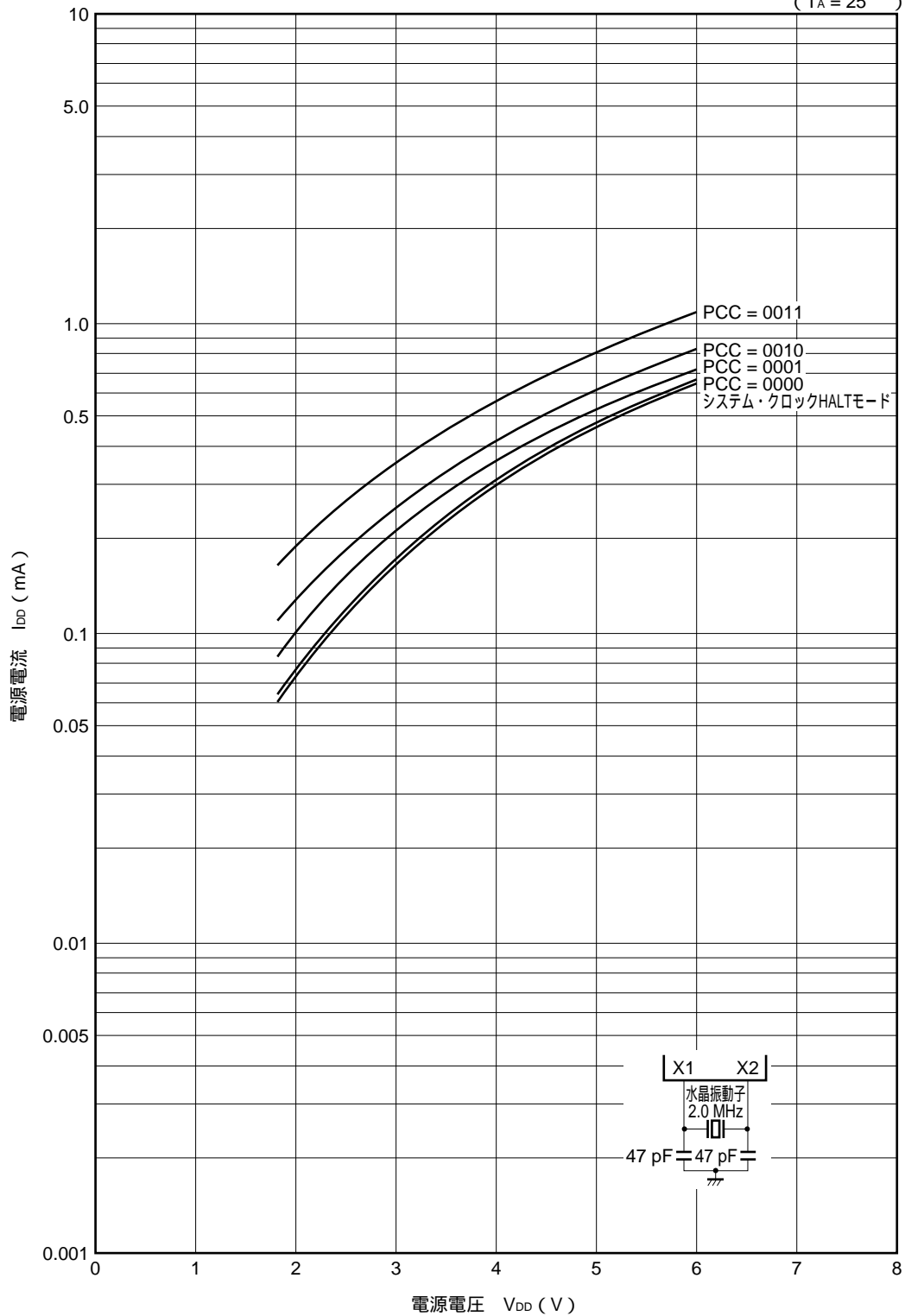
(T_A = 25)



μPD754244の場合

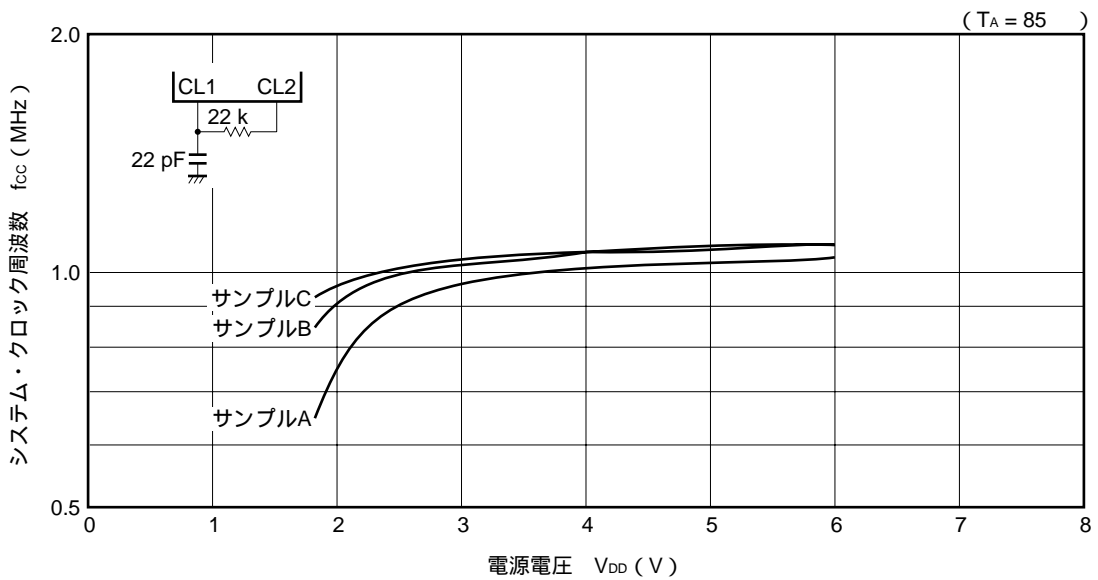
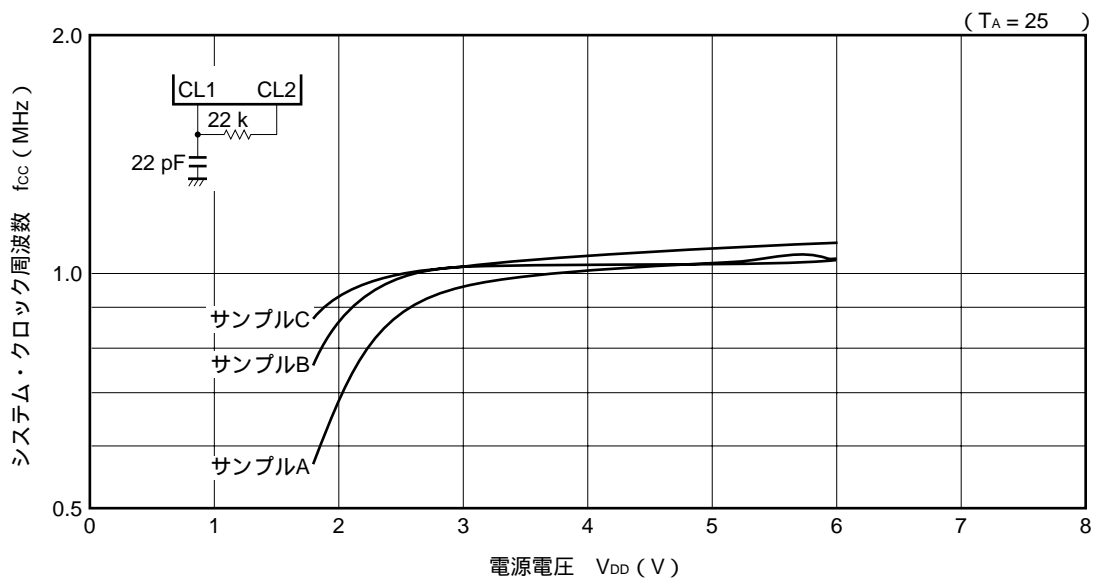
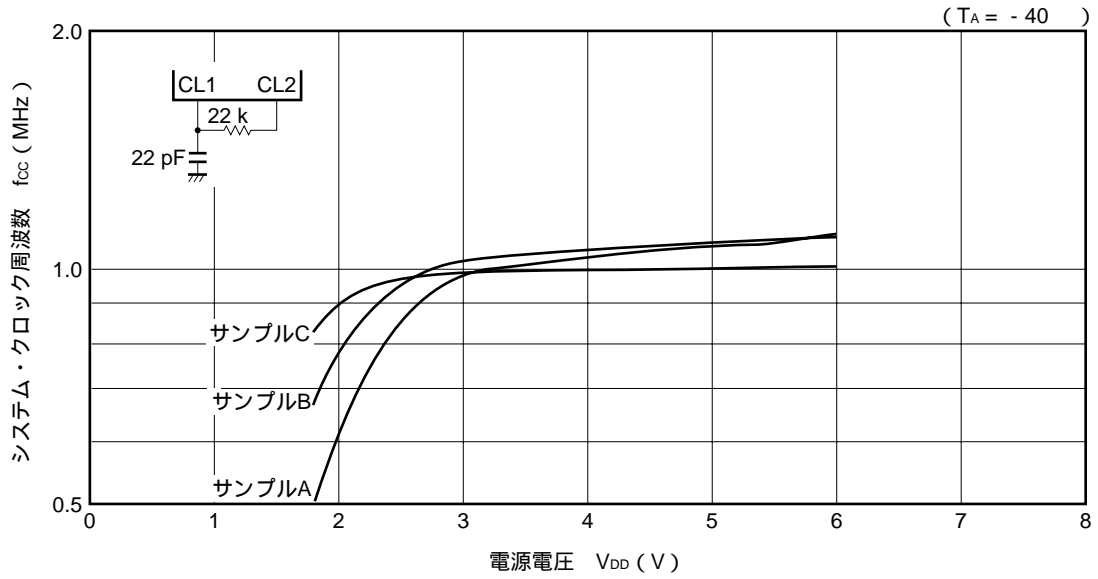
I_{DD} vs V_{DD} (システム・クロック : 2.0 MHz水晶振動子)

(T_A = 25)

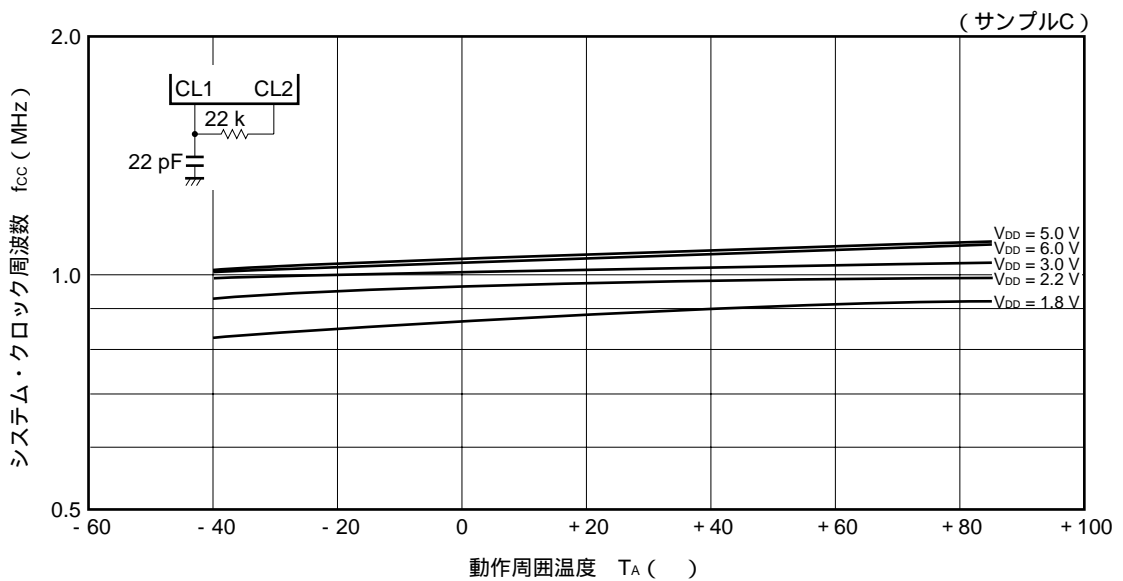
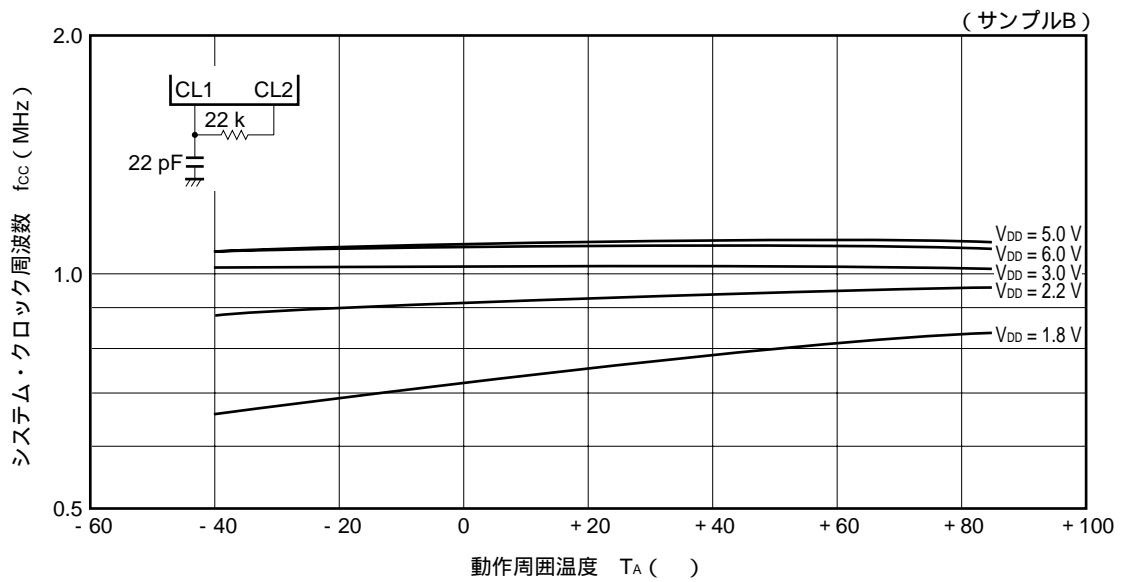
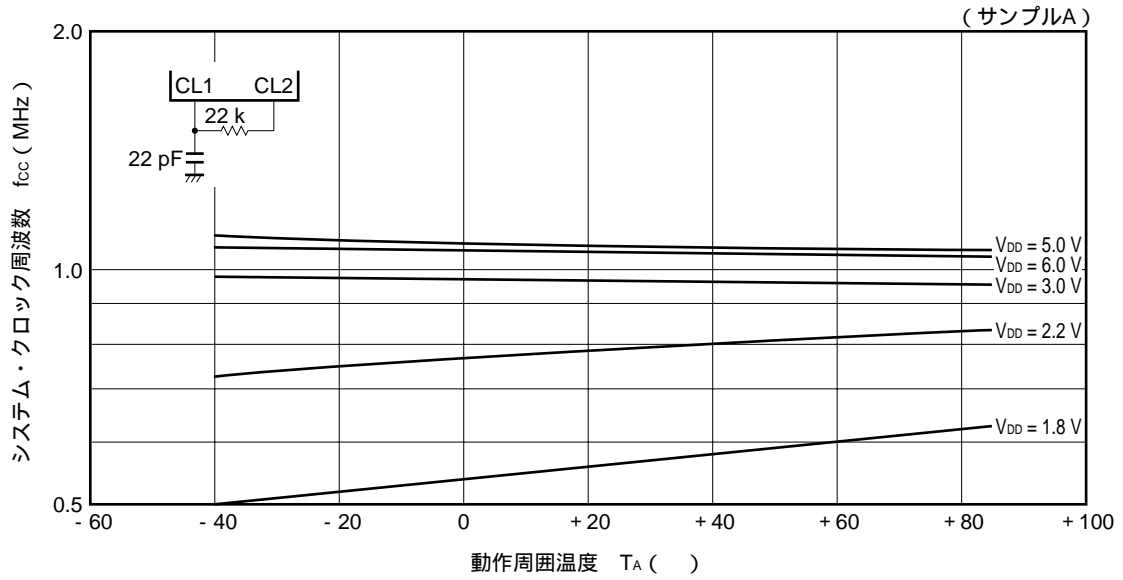


★ 15 . RC発振周波数特性例 (参考値)

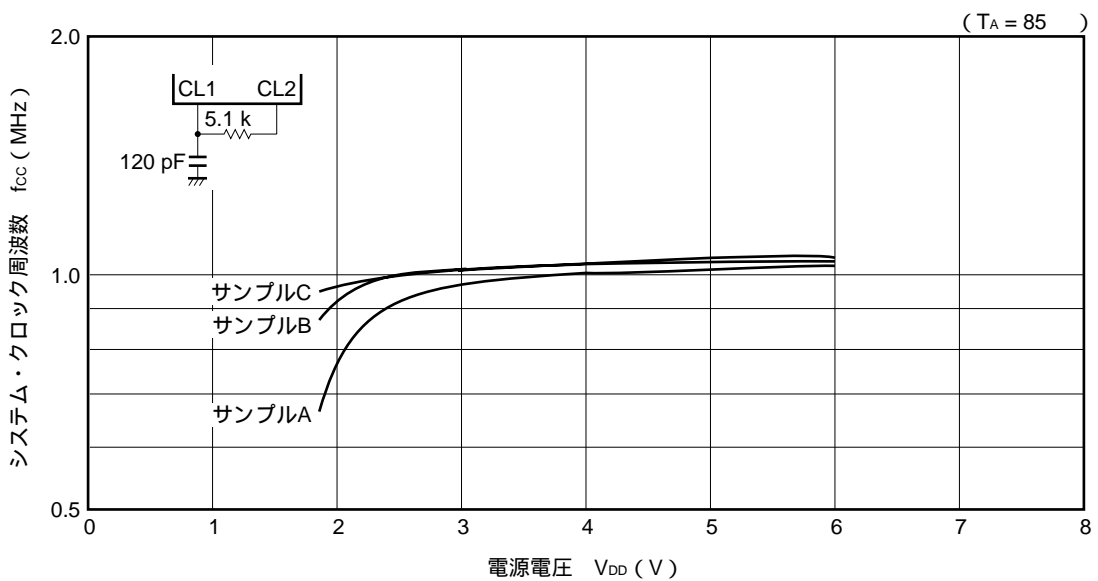
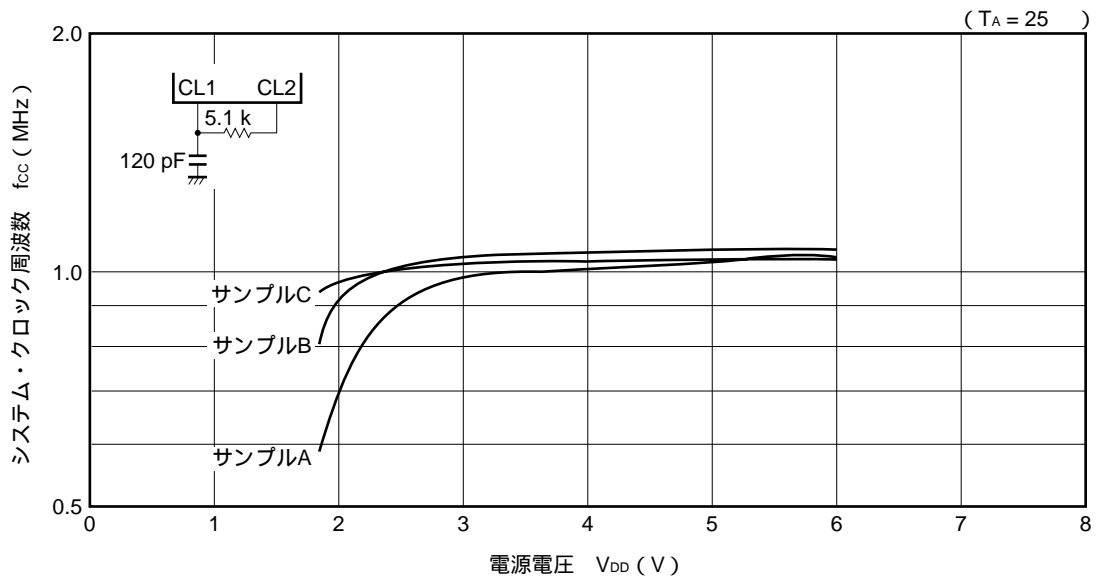
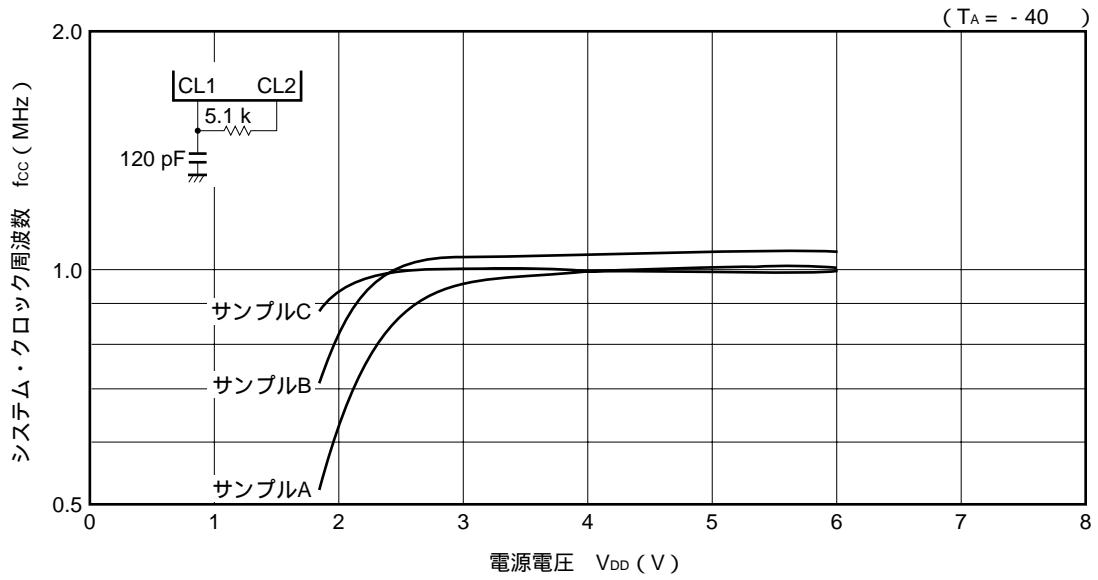
f_{cc} vs V_{DD} (RC発振, R = 22 k, C = 22 pF)



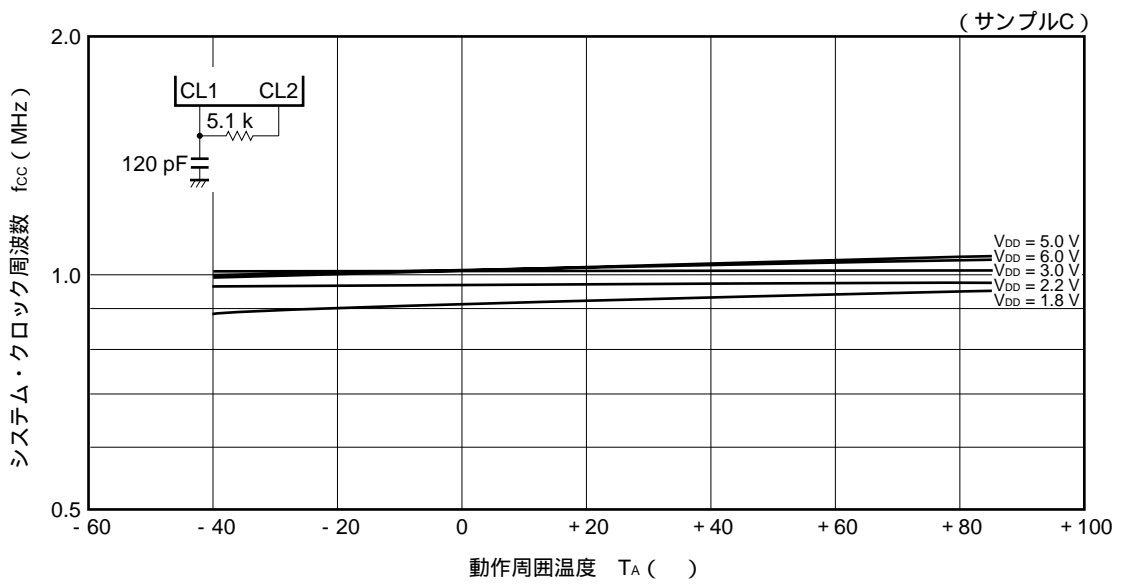
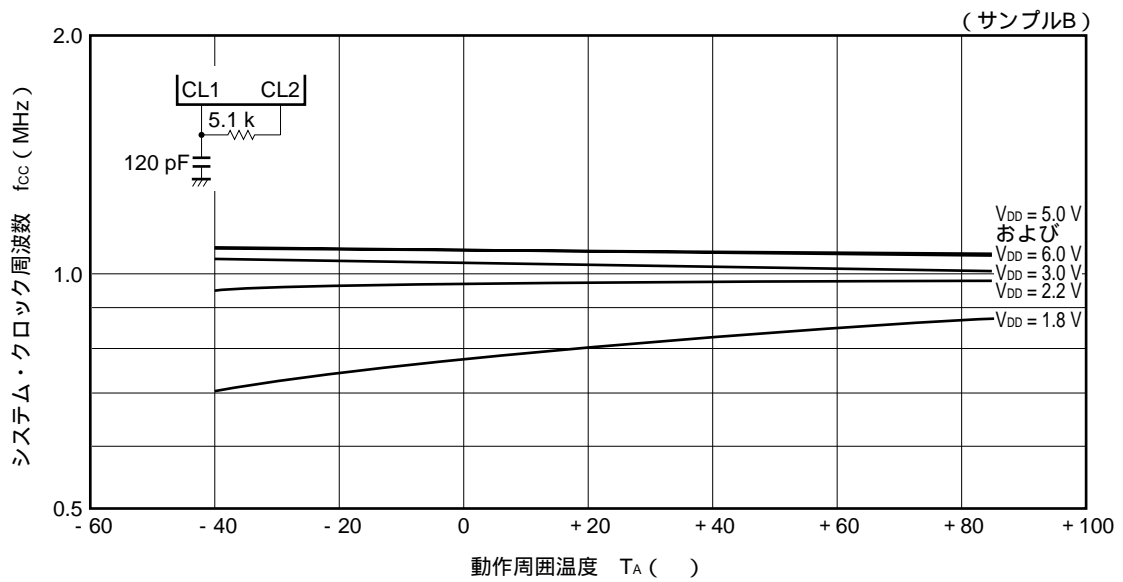
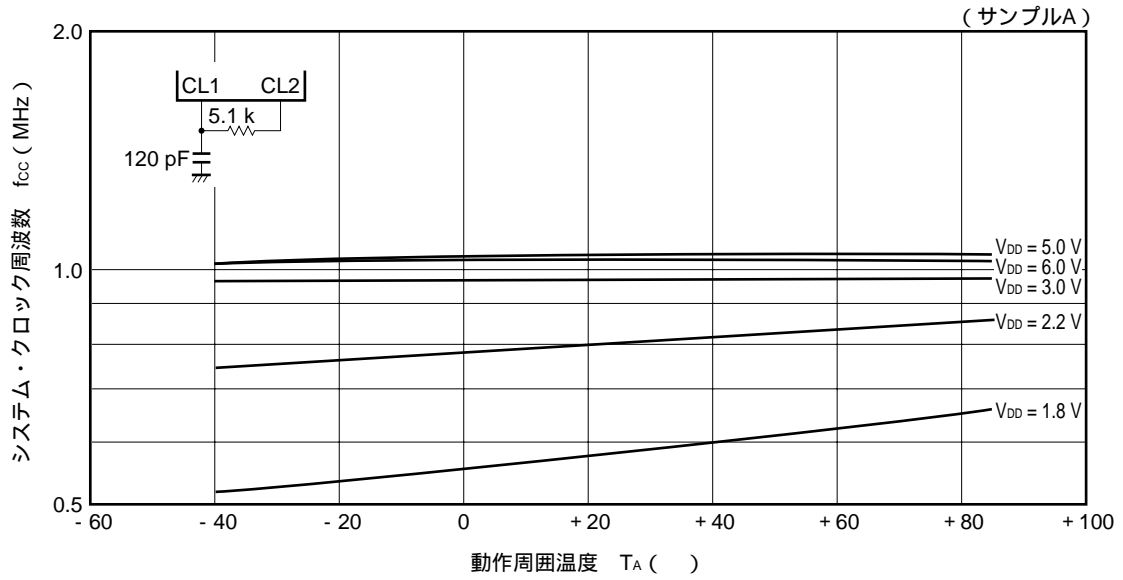
f_{cc} vs T_A (RC発振, R = 22 k, C = 22 pF)



f_{cc} vs V_{DD} (RC発振, R = 5.1 k, C = 120 pF)

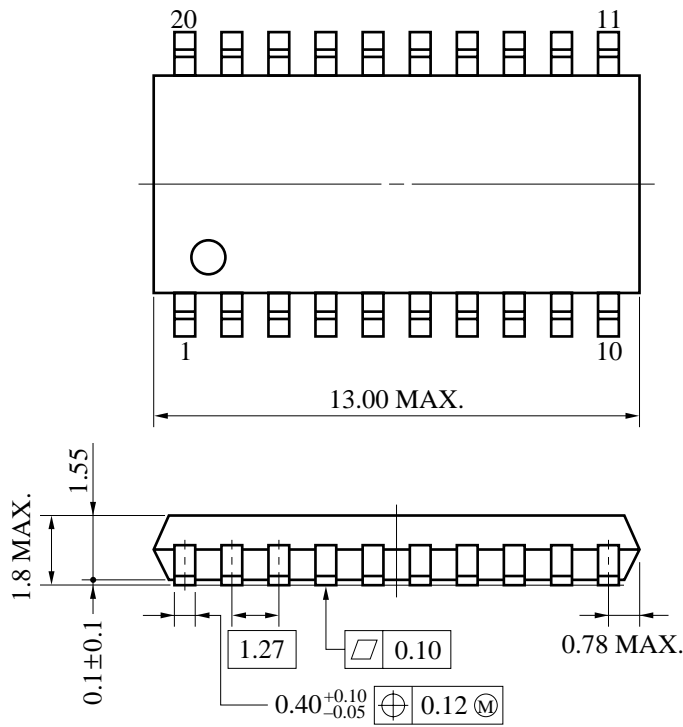


f_{CC} vs T_A (RC発振, R = 5.1 k, C = 120 pF)

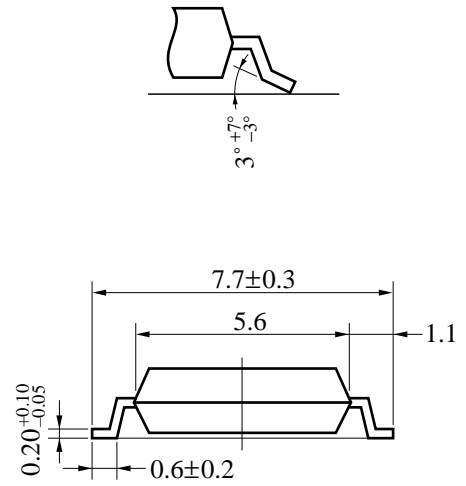


16. 外形図

20ピン・プラスチック SOP (300 mil) 外形図 (単位: mm)

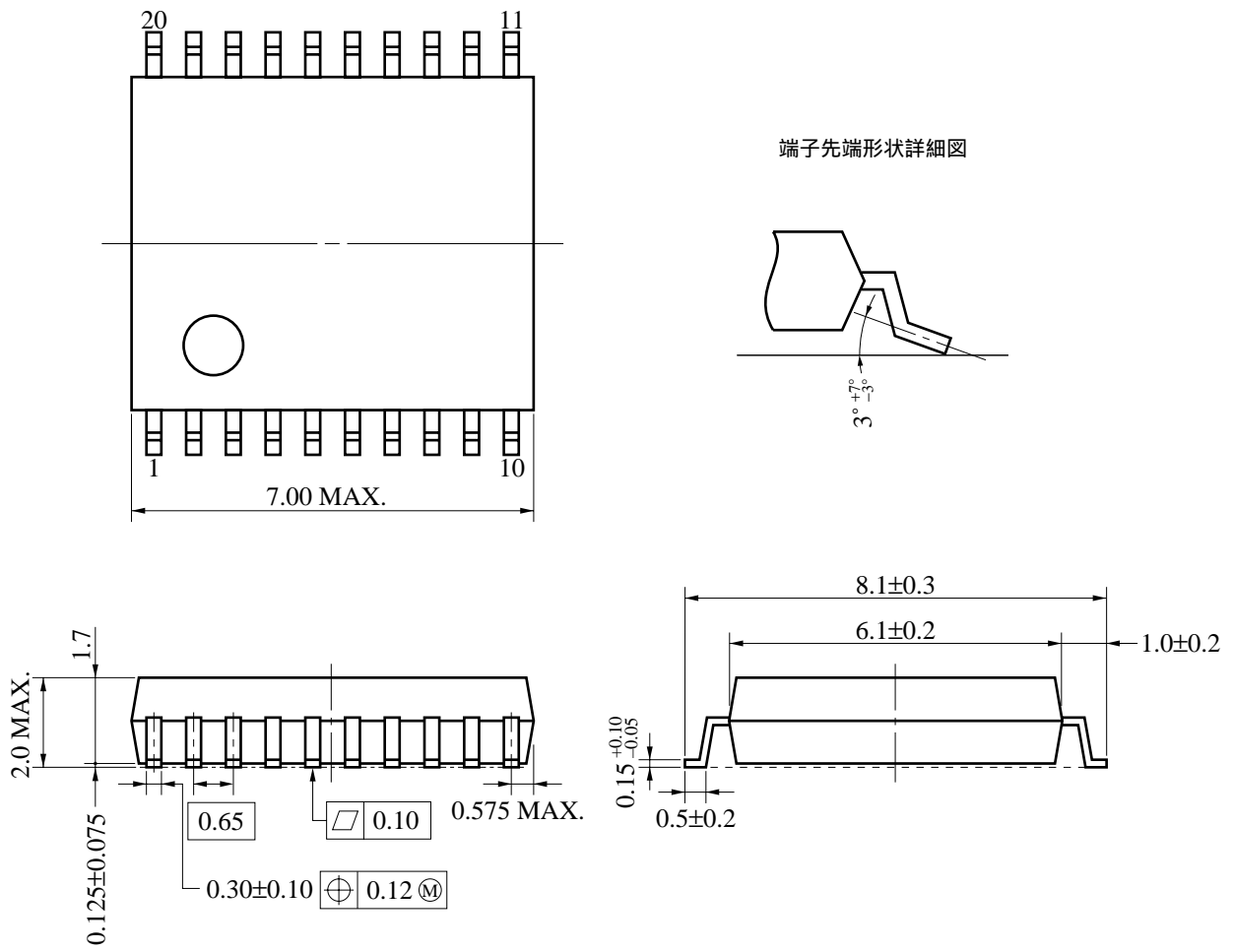


端子先端形状詳細図



P20GM-50-300B,C-4

20ピン・プラスチック・シュリンク SOP (300 mil) 外形図 (単位: mm)



P20GM-65-300B-2

★ 17. 半田付け推奨条件

μPD754144, 754244の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」(<http://www.necel.com/pkg/ja/jissou/index.html>)

表17 - 1 表面実装タイプの半田付け条件 (1 / 3)

(1) μPD754244GS- x x x -GJG : 20ピン・プラスチック・シュリンクSOP (300 mil, 0.65 mmピッチ)

半田付け方式	半 田 付 け 条 件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 ，時間：30秒以内 (210 以上) ，回数：2回以内	IR35-00-2
VPS	パッケージ・ピーク温度：215 ，時間：40秒以内 (200 以上) ，回数：2回以内	VP15-00-2
ウエーブ・ソルダリング	半田槽温度：260 以下，時間：10秒以内，回数：1回 予備加熱温度：120 MAX. (パッケージ表面温度)	WS60-00-1
端子部分加熱	端子温度：350 以下，時間：3秒以内 (デバイスの一辺当たり)	-

注意 半田付け方式の併用はお避けください (ただし，端子部分加熱は除く)。

備考 推奨条件以外の半田付け方式および半田付け条件については，当社販売員にお問い合わせください。

(2) μPD754144GS- x x x -GJG : 20ピン・プラスチック・シュリンクSOP (300 mil, 0.65 mmピッチ)

半田付け方式	半 田 付 け 条 件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 ，時間：30秒以内 (210 以上) ，回数：3回以内	IR35-00-3
VPS	パッケージ・ピーク温度：215 ，時間：40秒以内 (200 以上) ，回数：3回以内	VP15-00-3
ウエーブ・ソルダリング	半田槽温度：260 以下，時間：10秒以内，回数：1回 予備加熱温度：120 MAX. (パッケージ表面温度)	WS60-00-1
端子部分加熱	端子温度：350 以下，時間：3秒以内 (デバイスの一辺当たり)	-

注意 半田付け方式の併用はお避けください (ただし，端子部分加熱は除く)。

備考 推奨条件以外の半田付け方式および半田付け条件については，当社販売員にお問い合わせください。

表17 - 1 表面実装タイプの半田付け条件 (2 / 3)

(3) μPD754144GS- x x x -BA5 : 20ピン・プラスチックSOP (300 mil, 1.27 mmピッチ)

μPD754244GS- x x x -BA5 : //

半田付け方式	半 田 付 け 条 件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 ，時間：30秒以内 (210 以上) ，回数：2回以内， 制限日数：7日間 ^注 (以降は125 プリベーク10～72時間必要) 留意事項 耐熱トレイ以外 (マガジン，テーピング，非耐熱トレイ) は，包装状態でのベーキングができません。	IR35-107-2
VPS	パッケージ・ピーク温度：215 ，時間：40秒以内 (200 以上) ，回数：2回以内， 制限日数：7日間 ^注 (以降は125 プリベーク10～72時間必要) 留意事項 耐熱トレイ以外 (マガジン，テーピング，非耐熱トレイ) は，包装状態でのベーキングができません。	VP15-107-2
ウェーブ・ソルダーリング	半田槽温度：260 以下，時間：10秒以内，回数：1回， 予備加熱温度：120 MAX. (パッケージ表面温度)， 制限日数：7日間 ^注 (以降は125 プリベーク10～72時間必要) 留意事項 耐熱トレイ以外 (マガジン，テーピング，非耐熱トレイ) は，包装状態でのベーキングができません。	WS60-107-1
端子部分加熱	端子温度：350 以下，時間：3秒以内 (デバイスの一辺当たり)	-

注 ドライパック開封後の保管日数で，保管条件は25 ，65 %RH以下。

注意 半田付け方式の併用は避けください (ただし，端子部分加熱は除く)。

備考 推奨条件以外の半田付け方式および半田付け条件については，当社販売員にお問い合わせください。

表17 - 1 表面実装タイプの半田付け条件 (3 / 3)

★ (4) μPD754244GS- x x x -BA5-A : 20ピン・プラスチックSOP (300 mil, 1.27 mmピッチ)

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260 ，時間：60秒以内 (220 以上) ，回数：3回以内， 制限日数：3日間 ^注 (以降は125 プリベーク10～72時間必要) 留意事項 耐熱トレイ以外 (マガジン，テーピング，非耐熱トレイ) は，包装状態でのベーキングができません。	IR60-103-3
ウェーブ・ソルダーリング	詳細については，当社販売員にお問い合わせください。	-
端子部分加熱	端子温度：350 以下，時間：3秒以内 (デバイスの一辺当たり)	-

注 ドライパック開封後の保管日数で，保管条件は25 ，65 %RH以下。

注意 半田付け方式の併用はお避けください (ただし，端子部分加熱は除く) 。

備考1 . オーダ名称末尾「-A」の製品は，鉛フリー製品です。

2 . 推奨条件以外の半田付け方式および半田付け条件については，当社販売員にお問い合わせください。

★ (5) μPD754144GS- x x x -BA5-A : 20ピン・プラスチックSOP (300 mil, 1.27 mmピッチ)

μPD754144GS- x x x -GJG-A : 20ピン・プラスチック・シュリンクSOP (300 mil, 0.65 mmピッチ)

μPD754244GS- x x x -GJG-A : "

未定

備考 オーダ名称末尾「-A」の製品は，鉛フリー製品です。

★ 付録A . μPD754144, 754244, 75F4264の機能一覧

項 目		μ PD754144	μ PD754244	μ PD75F4264 ^注
プログラム・メモリ		マスクROM 0000H-0FFFH (4096 × 8 ビット)		フラッシュ・メモリ 0000H-0FFFH (4096 × 8 ビット)
データ・メモリ	スタティック RAM	000H-07FH (128 × 4 ビット)		
	EEPROM	400H-41FH (16 × 8 ビット)		400H-43FH (32 × 8 ビット)
CPU		75XL CPU		
汎用レジスタ		(4 ビット × 8 または 8 ビット × 4) × 4 バンク		
命令実行時間		・ 4, 8, 16, 64 μs (f _{cc} = 1.0 MHz動作時)	・ 0.67, 1.33, 2.67, 10.7 μs (f _x = 6.0 MHz動作時) ・ 0.95, 1.91, 3.81, 15.3 μs (f _x = 4.19 MHz動作時)	
入出力ポート	CMOS入力	4本 (マスク・オプションによるプルアップ抵抗内蔵可能)		
	CMOS入出力	9本 (ソフトウェアによる内蔵プルアップ抵抗の接続を指定可能)		
	合計	13本		
システム・クロック発振回路		RC発振回路 (抵抗, コンデンサは外付け)	セラミック / クリスタル発振回路	
リセット後起動時間		56/f _{cc}	2 ¹⁷ /f _x , 2 ¹⁵ /f _x (マスク・オプションで選択)	2 ¹⁵ /f _x
スタンバイ・モード解除時間		2 ⁹ /f _{cc}	2 ²⁰ /f _x , 2 ¹⁷ /f _x , 2 ¹⁵ /f _x , 2 ¹³ /f _x (BTMの設定により選択)	
タイマ		4チャンネル ・ 8ビット・タイマ・カウンタ: 3チャンネル (16ビット・タイマ・カウンタとして使用可能) ・ ベーシック・インターバル・タイマ / ウォッチドッグ・タイマ: 1チャンネル		
A/Dコンバータ		なし		・ 8ビット分解能 × 2チャンネル (逐次比較型, ハードウェア制御) ・ V _{DD} = 1.8V から動作可能
プログラマブル・スレッシュホールド・ポート		2チャンネル		
ベクタ割り込み		外部: 1本, 内部: 5本		
テスト入力		外部: 1本 (キー・リターン・リセット機能あり)		
電源電圧		V _{DD} = 1.8 ~ 6.0V		
動作周囲温度		T _A = -40 ~ +85		
パッケージ		・ 20ピン・プラスチックSOP (300 mil, 1.27 mmピッチ) ・ 20ピン・プラスチック・シュリンクSOP (300 mil, 0.65 mmピッチ)		・ 20ピン・プラスチックSOP (300 mil, 1.27 mmピッチ)

注 開発中

★ 付録B . 開発ツール

μPD754244を使用するシステム開発のために次のような開発ツールを用意しております。75XLシリーズでは、シリーズ共通のリロケータブル・アセンブラを、品種ごとのデバイス・ファイルと組み合わせて使用します。

言語プロセッサ

★ RA75X リロケータブル・アセンブラ	ホスト・マシン	OS	供給媒体	オーダ名称 (品名)
	PC-9800シリーズ	MS-DOS™ (Ver.3.30 } Ver.6.2 ^注)	3.5インチ2HD	μ S5A13RA75X
			5インチ2HD	μ S5A10RA75X
	IBM PC/AT™ およびその互換機	「IBM PC用のOSにつ いて」参照	3.5インチ2HC	μ S7B13RA75X
			5インチ2HC	μ S7B10RA75X

★ デバイス・ファイル	ホスト・マシン	OS	供給媒体	オーダ名称 (品名)
	PC-9800シリーズ	MS-DOS (Ver.3.30 } Ver.6.2 ^注)	3.5インチ2HD	μ S5A13DF754244
			5インチ2HD	μ S5A10DF754244
	IBM PC/AT およびその互換機	「IBM PC用のOSにつ いて」参照	3.5インチ2HC	μ S7B13DF754244
			5インチ2HC	μ S7B10DF754244

★ 注 Ver.5.00以降にはタスク・スワップ機能がありますが、このソフトウェアではタスク・スワップ機能は使用できません。

備考 アセンブラ、デバイス・ファイルの動作は、上記のホスト・マシンとOS上でのみ保証されます。

ディバグ用ツール

μPD754244のプログラム・ディバグ用ツールとしてインサーキット・エミュレータ (IE-75000-R, IE-75001-R) を用意しています。

それぞれのシステム構成を次に示します。

★	ハードウェア	IE-75000-R ^{注1}	IE-75000-Rは、75Xシリーズ、75XLシリーズを使用する応用システムを開発する際に、ハードウェア、ソフトウェアのディバグを行うためのインサーキット・エミュレータです。μPD754244を開発する場合、IE-75000-Rと別売りのエミュレーション・ボードIE-75300-R-EM、およびエミュレーション・プローブEP-754144GS-Rを組み合わせて使用します。 ホスト・マシンと接続して効率的にディバグを行うことができます。 なお、IE-75000-R内にはエミュレーション・ボードIE-75000-R-EMが含まれており、接続されていません。			
		IE-75001-R	IE-75001-Rは、75Xシリーズ、75XLシリーズを使用する応用システムを開発する際に、ハードウェア、ソフトウェアのディバグを行うためのインサーキット・エミュレータです。μPD754244を開発する場合、IE-75001-Rと別売りのエミュレーション・ボードIE-75300-R-EM、およびエミュレーション・プローブEP-754144GS-Rを組み合わせて使用します。 ホスト・マシンを接続して効率的にディバグを行うことができます。			
		IE-75300-R-EM	μPD754244を使用する応用システムの評価を行うためのエミュレーション・ボードです。 IE-75000-RまたはIE-75001-Rと組み合わせて使用します。			
		EP-754144GS-R	μPD754244GS用のエミュレーション・プローブです。 IE-75000-RまたはIE-75001-Rと、IE-75300-R-EMに接続して使用します。 ターゲット・システムとの接続を容易にするフレキシブル基板EV-9500GS-20 (20ピン・プラスチック・シュリンクSOPに対応)、およびEV-9501GS-20 (20ピン・プラスチックSOPに対応)を添付しています。			
★	ソフトウェア	IEコントロール・プログラム	IE-75000-RまたはIE-75001-Rとホスト・マシンをRS-232-C、およびセントロニクスI/Fで接続し、ホスト・マシン上でIE-75000-RまたはIE-75001-Rを制御します。			
			ホスト・マシン	OS	供給媒体	オーダ名称 (品名)
			PC-9800シリーズ	MS-DOS (Ver.3.30) Ver.6.2 ^{注2})	3.5インチ2HD	μ S5A13IE75X
					5インチ2HD	μ S5A10IE75X
			IBM PC/AT およびその互換機	「IBM PC用のOSについて」参照	3.5インチ2HC	μ S7B13IE75X
5インチ2HC	μ S7B10IE75X					

注1 . 保守品です。

- ★ 2 . Ver.5.00以降にはタスク・スワップ機能がありますが、このソフトウェアではタスク・スワップ機能は使用できません。

備考 IEコントロール・プログラムの動作は、上記のホスト・マシンとOS上でのみ保証されます。

IBM PC用のOSについて

IBM PC用のOSとして、次のものがサポートされています。

	OS	バージョン
★	PC DOS™	Ver.5.02 ~ Ver.6.3 J6.1/V ^注 ~ J6.3/V ^注
★	MS-DOS	Ver.5.0 ~ Ver.6.22 5.0/V ^注 ~ J6.2/V ^注
	IBM DOS™	J5.02/V ^注

注 英語モードのみサポートしています。

注意 Ver.5.0以降にはタスク・スワップ機能がありますが、これらのソフトウェアでは、タスク・スワップ機能は使用できません。

★ 付録C . 関連資料

関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイス関連資料一覧

資料名	資料番号	
	和文	英文
μPD754144, 754244 データ・シート	U10040J (この資料)	U10040E
μPD754144, 754244 ユーザーズ・マニュアル	U10676J	U10676E
75XLシリーズ セレクション・ガイド	U10453J	U10453E

開発ツール関連資料一覧

資料名	資料番号		
	和文	英文	
ハードウェア IE-75000-R/IE-75001-R ユーザーズ・マニュアル	EEU-846	EEU-1416	
	IE-75300-R-EM ユーザーズ・マニュアル	U11354J	U11354E
	EP-754144GS-R ユーザーズ・マニュアル	U10695J	U10695E
ソフトウェア RA75X アセンブラ・パッケージ ユーザーズ・マニュアル	操作編	EEU-731	EEU-1346
	言語編	EEU-730	EEU-1363

その他の関連資料一覧

資料名	資料番号	
	和文	英文
IC PACKAGE MANUAL	C10943X	
半導体デバイス 実装マニュアル	C10535J	C10535E
NEC半導体デバイスの品質水準	C11531J	C11531E
NEC半導体デバイスの信頼性品質管理	C10983J	C10983E
静電気放電 (ESD) 試験について	MEM-539	-
半導体デバイスの品質保証ガイド	C11893J	MEI-1202
マイクロコンピュータ関連製品ガイド 社外メーカ編	C11416J	-

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには必ず最新の資料をご使用ください。

CMOSデバイスの一般的注意事項

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力ノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

EEPROMはNECエレクトロニクス株式会社の商標です。

MS-DOSは米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

IBM DOS, PC/AT, PC DOSは米国IBM社の商標です。

本製品が外国為替及び外国貿易法の規定により規制貨物等（または役務）に該当するか否かは、ユーザ（仕様を決定した者）が判定してください。該当する場合、日本国外に輸出する際には日本国政府の輸出許可が必要です。

- 本資料に記載されている内容は2005年8月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命、身体および財産に対する損害の危険を最小限度にするために、冗長設計、延焼対策設計、誤動作防止設計等安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

（注）

- （1）本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- （2）本事項において使用されている「当社製品」とは、（1）において定義された当社の開発、製造製品をいう。

【発 行】**NECエレクトロニクス株式会社**

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

—— お問い合わせ先 ——

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

【営業関係、技術関係お問い合わせ先】

半導体ホットライン

(電話：午前 9:00～12:00, 午後 1:00～5:00)

電 話 : 044-435-9494

E-mail : info@necel.com

【資料請求先】NECエレクトロニクスのホームページよりダウンロードいただくか、NECエレクトロニクスの販売特約店へお申し付けください。
