

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

μ PD753012A, 753016A, 753017A

4ビット・シングルチップ・マイクロコンピュータ

μ PD753017Aは、8ビット・マイコンに匹敵するデータ処理を可能にした4ビット・シングルチップ・マイコン「75XLシリーズ」の1つです。

この製品は、従来品である μ PD75316Bに比べて、ROM容量を拡大、CPU機能拡張、低電圧1.8Vでの高速動作を可能にしたLCDコントローラ/ドライバ内蔵製品です。小型のプラスチックTQFP(12×12mm)を用意しており、LCDパネルを使用する小型のセットに最適です。

詳しい機能説明などは次のユーザーズ・マニュアルに記載しております。設計の際には必ずお読みください。

μ PD753017 ユーザーズ・マニュアル：U11282J

特 徴

低電圧動作可能： $V_{DD} = 1.8 \sim 5.5V$

・1.5V電池2本で駆動可能

内蔵メモリ

・プログラム・メモリ (ROM) :

12288 × 8ビット (μ PD753012A)

16384 × 8ビット (μ PD753016A)

24576 × 8ビット (μ PD753017A)

・データ・メモリ (RAM) :

1024 × 4ビット

高速動作とパワー・セーブに有利な命令実行時間可変機能

・0.95, 1.91, 3.81, 15.3 μ s (4.19MHz動作時)

・0.67, 1.33, 2.67, 10.7 μ s (6.0MHz動作時)

・122 μ s (32.768kHz動作時)

プログラマブルなLCDコントローラ/ドライバを内蔵

小型のプラスチックTQFP(12×12mm)を用意

・カメラなど小型のセットに最適

ワン・タイムPROM内蔵品を用意： μ PD75P3018A

用 途

リモコン, カメラ一体型VTR, カメラ, ガス・メータなど

この資料では特に断りがないかぎり μ PD753017Aを代表品種として説明しています。

本資料の内容は、予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。

オーダー情報

オーダー名称	パッケージ
μ PD753012AGC- x x x -3B9	80ピン・プラスチックQFP (14 x 14 mm, 樹脂厚2.7 mm)
★ μ PD753012AGC- x x x -3B9-A	"
★ μ PD753012AGC- x x x -8BT	80ピン・プラスチックQFP (14 x 14 mm, 樹脂厚1.4 mm)
★ μ PD753012AGC- x x x -8BT-A	"
μ PD753012AGK- x x x -BE9	80ピン・プラスチックTQFP (ファインピッチ) (12 x 12 mm, 樹脂厚1.05 mm)
★ μ PD753012AGK- x x x -BE9-A	"
★ μ PD753012AGK- x x x -9EU	80ピン・プラスチックTQFP (ファインピッチ) (12 x 12 mm, 樹脂厚1.00 mm)
★ μ PD753012AGK- x x x -9EU-A	"
μ PD753016AGC- x x x -3B9	80ピン・プラスチックQFP (14 x 14 mm, 樹脂厚2.7 mm)
★ μ PD753016AGC- x x x -3B9-A	"
★ μ PD753016AGC- x x x -8BT	80ピン・プラスチックQFP (14 x 14 mm, 樹脂厚1.4 mm)
★ μ PD753016AGC- x x x -8BT-A	"
μ PD753016AGK- x x x -BE9	80ピン・プラスチックTQFP (ファインピッチ) (12 x 12 mm, 樹脂厚1.05 mm)
★ μ PD753016AGK- x x x -BE9-A	"
★ μ PD753016AGK- x x x -9EU	80ピン・プラスチックTQFP (ファインピッチ) (12 x 12 mm, 樹脂厚1.00 mm)
★ μ PD753016AGK- x x x -9EU-A	"
μ PD753017AGC- x x x -3B9	80ピン・プラスチックQFP (14 x 14 mm, 樹脂厚2.7 mm)
★ μ PD753017AGC- x x x -3B9-A	"
★ μ PD753017AGC- x x x -8BT	80ピン・プラスチックQFP (14 x 14 mm, 樹脂厚1.4 mm)
★ μ PD753017AGC- x x x -8BT-A	"
μ PD753017AGK- x x x -BE9	80ピン・プラスチックTQFP (ファインピッチ) (12 x 12 mm, 樹脂厚1.05 mm)
★ μ PD753017AGK- x x x -BE9-A	"
★ μ PD753017AGK- x x x -9EU	80ピン・プラスチックTQFP (ファインピッチ) (12 x 12 mm, 樹脂厚1.00 mm)
★ μ PD753017AGK- x x x -9EU-A	"

備考1．オーダー名称末尾「-A」の製品は、鉛フリー製品です。

2．x x xはROMコード番号です。

機能一覧

項 目		機 能	
命令実行時間		<ul style="list-style-type: none"> ・ 0.95, 1.91, 3.81, 15.3 μs (メイン・システム・クロック : 4.19 MHz動作時) ・ 0.67, 1.33, 2.67, 10.7 μs (" : 6.0 MHz動作時) ・ 122 μs (サブシステム・クロック : 32.768 kHz動作時) 	
内蔵メモリ	ROM	12288 × 8 ビット (μPD753012A)	
		16384 × 8 ビット (μPD753016A)	
		24576 × 8 ビット (μPD753017A)	
	RAM	1024 × 4 ビット	
汎用レジスタ		<ul style="list-style-type: none"> ・ 4 ビット操作時 : 8 個 × 4 バンク ・ 8 ビット操作時 : 4 個 × 4 バンク 	
入出力 ポート	CMOS入力	8 本	ソフトウェアにより内蔵プルアップ抵抗の接続を指定可能 : 23本
	CMOS入出力	16本	
	CMOS出力	8 本	セグメント端子と兼用
	N-chオープン・ドレイン入出力	8 本	13 V耐圧, マスク・オプションによりプルアップ抵抗を内蔵可能
	合計	40本	
LCDコントローラ/ドライバ		<ul style="list-style-type: none"> ・ セグメント数選択 : 24/28/32セグメント (4本単位でCMOS出力ポートに切り替え可能, 最大 8本) ・ 表示モード選択 : スタティック, 1/2デューティ(1/2バイアス), 1/3デューティ(1/2バイアス), 1/3 デューティ (1/3 バイアス), 1/4デューティ (1/3 バイアス) LCD駆動用分割抵抗をマスク・オプションで内蔵可能	
タイマ		5 チャンネル <ul style="list-style-type: none"> ・ 8 ビット・タイマ/イベント・カウンタ : 3 チャンネル (16ビット・タイマ/イベント・カウンタ, キャリア・ジェネレータ, ゲート付きタイマとして使用可能) ・ ベーシック・インターバル・タイマ/ウォッチドッグ・タイマ : 1 チャンネル ・ 時計用タイマ : 1 チャンネル 	
シリアル・インタフェース		<ul style="list-style-type: none"> ・ 3 線式シリアルI/Oモード...MSB/LSB先頭切り替え ・ 2 線式シリアルI/Oモード ・ SBIモード 	
ビット・シーケンシャル・バッファ		16ビット	
クロック出力 (PCL)		<ul style="list-style-type: none"> ・ , 524, 262, 65.5 kHz (メイン・システム・クロック : 4.19 MHz動作時) ・ , 750, 375, 93.8 kHz (" : 6.0 MHz動作時) 	
ブザー出力 (BUZ)		<ul style="list-style-type: none"> ・ 2, 4, 32 kHz (メイン・システム・クロック : 4.19 MHz動作時 またはサブシステム・クロック : 32.768 kHz動作時) ・ 2.93, 5.86, 46.9 kHz (メイン・システム・クロック : 6.0 MHz動作時) 	
ベクタ割り込み		外部 : 3 本, 内部 : 5 本	
テスト入力		外部 : 1 本, 内部 : 1 本	
システム・クロック発振回路		<ul style="list-style-type: none"> ・ メイン・システム・クロック発振用セラミック/クリスタル発振回路 ・ サブシステム・クロック発振用クリスタル発振回路 	
スタンバイ機能		STOPモード/HALTモード	
電源電圧		V _{DD} = 1.8 ~ 5.5 V	
パッケージ		<ul style="list-style-type: none"> ・ 80ピン・プラスチックQFP (14 × 14 mm) ・ 80ピン・プラスチックTQFP (ファインピッチ) (12 × 12 mm) 	

目 次

1 . 端子接続図 (Top View) ...	6
2 . ブロック図 ...	8
3 . 端子機能 ...	9
3.1 ポート端子 ...	9
3.2 ポート端子以外の端子 ...	11
3.3 端子の入出力回路 ...	13
3.4 未使用端子の処理について ...	15
4 . Mk モードとMk モードの切り替え機能 ...	16
4.1 Mk モードとMk モードの違い ...	16
4.2 スタック・バンク選択レジスタ (SBS) の設定方法 ...	17
5 . メモリ構成 ...	18
6 . 周辺ハードウェア機能 ...	23
6.1 デジタル入出力ポート ...	23
6.2 クロック発生回路 ...	24
6.3 サブシステム・クロック発振回路の制御機能 ...	25
6.4 クロック出力回路 ...	26
6.5 ベーシック・インターバル・タイマ/ウォッチドッグ・タイマ ...	27
6.6 時計用タイマ ...	28
6.7 タイマ/イベント・カウンタ ...	29
6.8 シリアル・インタフェース ...	33
6.9 LCDコントローラ/ドライバ ...	35
6.10 ビット・シーケンシャル・バッファ ...	37
7 . 割り込み機能とテスト機能 ...	38
8 . スタンバイ機能 ...	40
9 . リセット機能 ...	41
10 . マスク・オプション ...	44
11 . 命令セット ...	45
12 . 電気的特性 ...	58
★ 13 . 特性曲線 (参考値) ...	72

14 . 外形図 ... 74

15 . 半田付け推奨条件 ... 78

付録A . μ PD75316B, 753017A, 75P3018Aの機能一覧表 ... 82

付録B . 開発ツール ... 84

付録C . 関連資料 ... 88

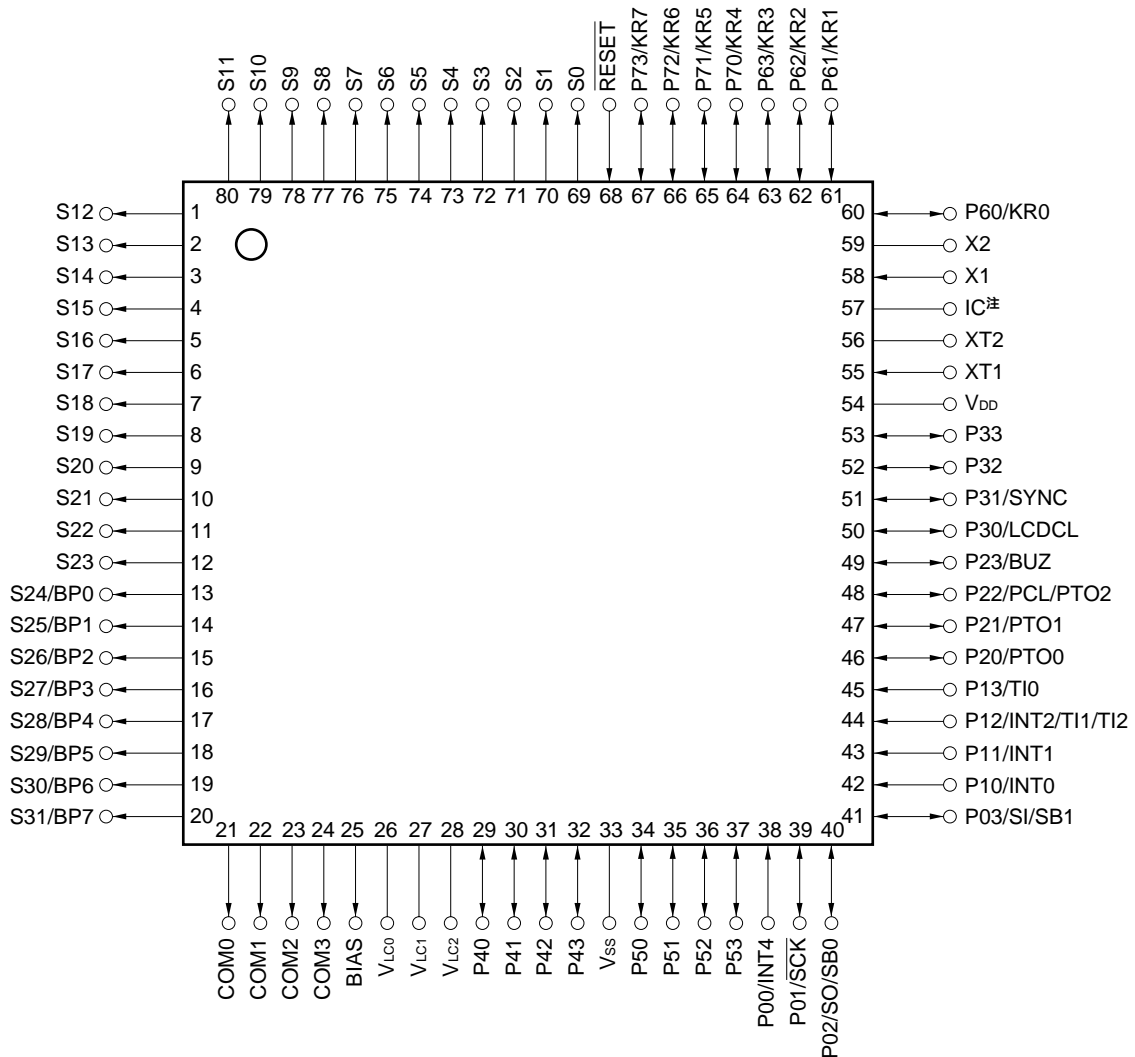
1. 端子接続図 (Top View)

・80ピン・プラスチックQFP (14×14 mm)

- ★ μ PD753012AGC- x x x -3B9, 753012AGC- x x x -3B9-A, 753012AGC- x x x -8BT, 753012AGC- x x x -8BT-A
- ★ μ PD753016AGC- x x x -3B9, 753016AGC- x x x -3B9-A, 753016AGC- x x x -8BT, 753016AGC- x x x -8BT-A
- ★ μ PD753017AGC- x x x -3B9, 753017AGC- x x x -3B9-A, 753017AGC- x x x -8BT, 753017AGC- x x x -8BT-A

・80ピン・プラスチックTQFP (ファインピッチ) (12×12 mm)

- ★ μ PD753012AGK- x x x -BE9, 753012AGK- x x x -BE9-A, 753012AGK- x x x -9EU, 753012AGK- x x x -9EU-A
- ★ μ PD753016AGK- x x x -BE9, 753016AGK- x x x -BE9-A, 753016AGK- x x x -9EU, 753016AGK- x x x -9EU-A
- ★ μ PD753017AGK- x x x -BE9, 753017AGK- x x x -BE9-A, 753017AGK- x x x -9EU, 753017AGK- x x x -9EU-A

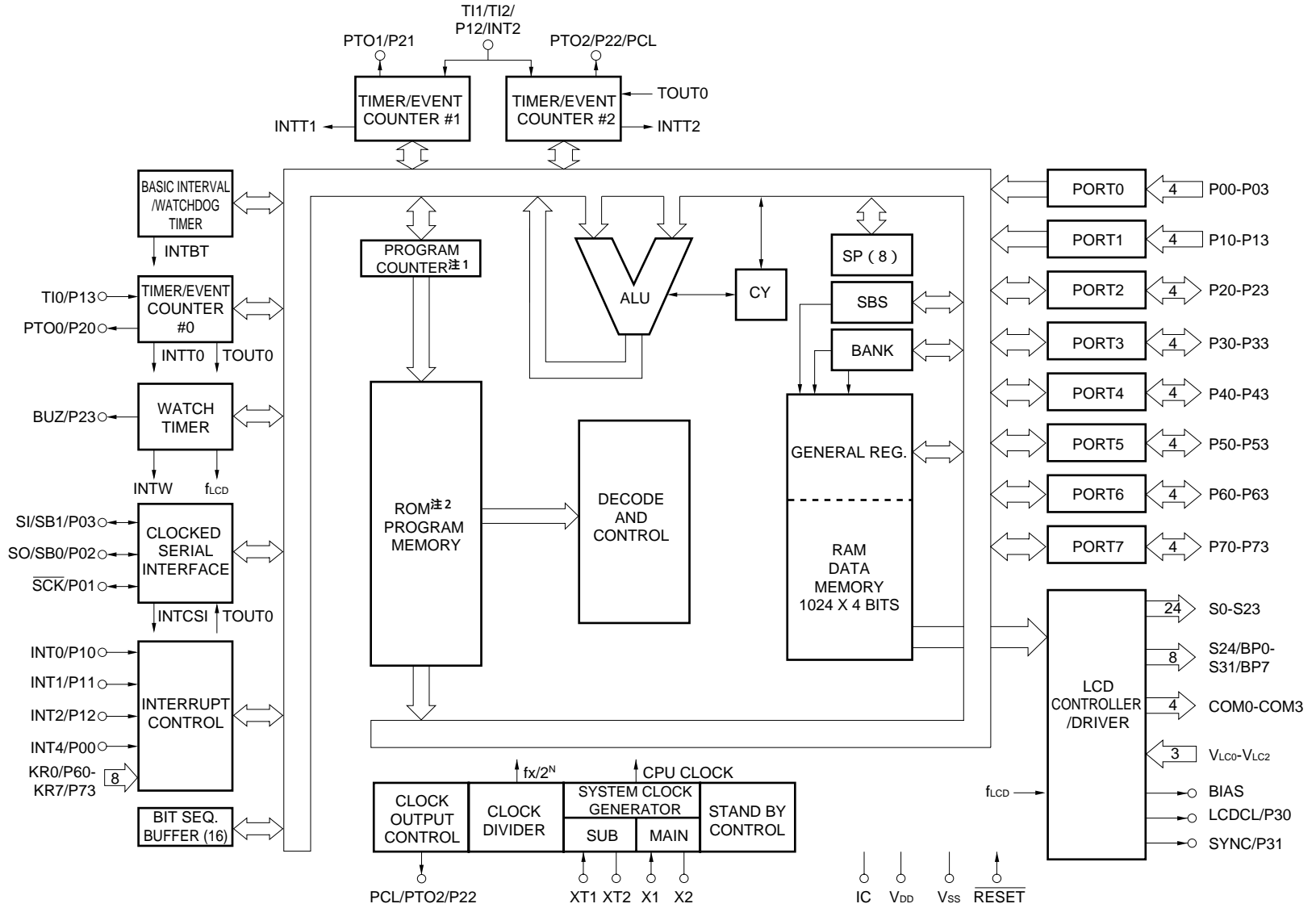


注 IC (Internally Connected) 端子は, V_{DD}に直接接続してください。

端子名称

BIAS	: LCD Power Supply Bias Control	PCL	: Programmable Clock
BP0-BP7	: Bit Port	PTO0-PTO2	: Programmable Timer Output 0-2
BUZ	: Buzzer Clock	$\overline{\text{RESET}}$: Reset Input
COM0-COM3	: Common Output 0-3	S0-S31	: Segment Output 0-31
IC	: Internally Connected	SB0, SB1	: Serial Bus 0, 1
INT0, INT1, INT4	: External Vectored Interrupt 0, 1, 4	$\overline{\text{SCK}}$: Serial Clock
INT2	: External Test Input 2	SI	: Serial Input
KR0-KR7	: Key Return	SO	: Serial Output
LCDCL	: LCD Clock	SYNC	: LCD Synchronization
P00-P03	: Port 0	TI0-TI2	: Timer Input 0-2
P10-P13	: Port 1	V _{DD}	: Positive Power Supply
P20-P23	: Port 2	V _{LC0-V_{LC2}}	: LCD Power Supply 0-2
P30-P33	: Port 3	V _{SS}	: Ground
P40-P43	: Port 4	X1, X2	: Main System Clock Oscillation 1, 2
P50-P53	: Port 5	XT1, XT2	: Subsystem Clock Oscillation 1, 2
P60-P63	: Port 6		
P70-P73	: Port 7		

2. フロットク図



注1 . μ PD753012A, 753016Aは14ビット , μ PD753017Aは15ビット構成です。

2 . ROMの容量は、品種により異なります。

3. 端子機能

3.1 ポート端子 (1/2)

端子名称	入出力	兼用端子	機能	8ビットE/O	リセット時	入出力回路 TYPE ^{注1}
★ P00	入 力	INT4	4ビット入力ポート (PORT0)。 P01-P03は3ビット単位で、ソフトウェアにより内蔵プルアップ抵抗の接続を指定可能。	×	入 力	B
★ P01		SCK				F-A
★ P02		SO/SB0				F-B
★ P03		SI/SB1				M-C
P10	入 力	INT0	4ビット入力ポート (PORT1)。 4ビット単位で、ソフトウェアにより内蔵プルアップ抵抗の接続を指定可能。 P10/INT0のみノイズ除去回路を選択可能。	×	入 力	B-C
P11		INT1				
P12		TI1/TI2/INT2				
P13		TI0				
P20	入出力	PTO0	4ビット入出力ポート (PORT2)。 4ビット単位で、ソフトウェアにより内蔵プルアップ抵抗の接続を指定可能。	×	入 力	E-B
P21		PTO1				
P22		PCL/PTO2				
P23		BUZ				
P30	入出力	LCDCL	プログラマブル4ビット入出力ポート (PORT3)。 ビット単位で入力/出力指定可能。 4ビット単位で、ソフトウェアにより内蔵プルアップ抵抗の接続を指定可能。	×	入 力	E-B
P31		SYNC				
P32		-				
P33		-				
P40-P43 ^{注2}	入出力	-	N-chオープン・ドレイン4ビット入出力ポート (PORT4)。 ビット単位でプルアップ抵抗を内蔵可能 (マスク・オプション)。 オープン・ドレイン時, 13V耐圧。		ハイ・レベル (プルアップ抵抗内蔵時)またはハイ・インピーダンス	M-D
P50-P53 ^{注2}						

注1. 印はシュミット・トリガ入力を示します。

2. マスク・オプションによるプルアップ抵抗を内蔵しない場合 (N-chオープン・ドレイン入力ポートとして使用している場合), 入力命令, ビット操作命令を行ったときにロウ・レベル入力リーク電流が増加します。

3.1 ポート端子 (2/2)

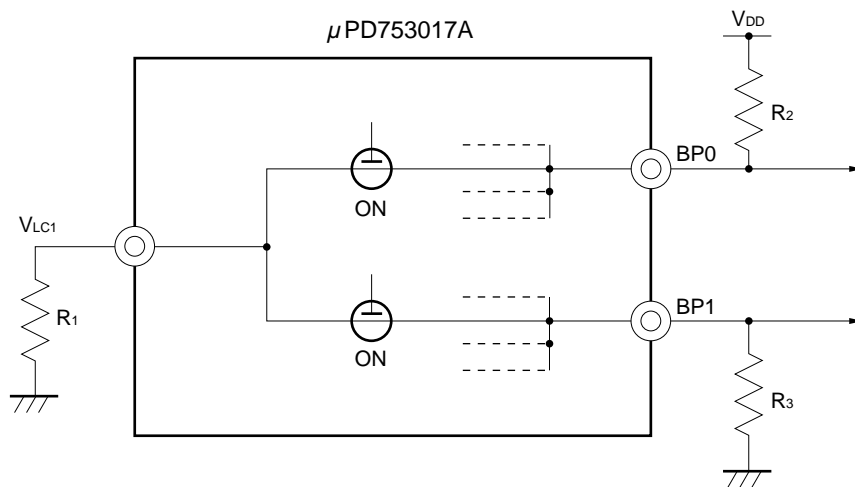
端子名称	入出力	兼用端子	機能	8 ビット I/O	リセット時	入出力 回路 TYPE ^{注1}
P60	入出力	KR0	プログラマブル4ビット入出力ポート (PORT6)。 ビット単位で入力/出力指定可能。 4ビット単位で、ソフトウェアにより内蔵プルアップ抵抗 の接続を指定可能。		入 力	F-A
P61		KR1				
P62		KR2				
P63		KR3				
P70	入出力	KR4	4ビット入出力ポート (PORT7)。 4ビット単位で、ソフトウェアにより内蔵プルアップ抵抗 の接続を指定可能。		入 力	F-A
P71		KR5				
P72		KR6				
P73		KR7				
BP0	出 力	S24	1ビット出力ポート (BIT PORT)。 セグメント出力端子と兼用。	×	注2	H-A
BP1		S25				
BP2	S26					
BP3	S27					
BP4	出 力	S28				
BP5		S29				
BP6		S30				
BP7		S31				

注1 . 印はシュミット・トリガ入力を示します。

2 . BP0-BP7は、V_{LC1}を入力ソースとして選択します。

ただし、出力レベルは、BP0-BP7とV_{LC1}の外部回路によって変わります。

例 BP0-BP7 は、下図のようにμ PD753017Aの内部を通して相互に接続されるので、R₁, R₂, R₃の大きさによってBP0-BP7の出力レベルが決まります。



3.2 ポート端子以外の端子 (1/2)

端子名称	入出力	兼用端子	機能		リセット時	入出力回路 TYPE ^{注1}
Ti0	入 力	P13	タイマ/イベント・カウンタへの外部イベント・パルス入力。		入 力	B-C
Ti1		P12/INT2				
Ti2						
PTO0	出 力	P20	タイマ/イベント・カウンタ出力。		入 力	E-B
PTO1		P21				
PTO2		P22/PCL				
PCL		P22/PTO2	クロック出力。			
BUZ		P23	任意の周波数出力 (ブザー用またはシステム・クロックのトリミング用)。			
\overline{SCK}	入出力	P01	シリアル・クロック入出力。		入 力	F-A
SO/SB0		P02	シリアル・データ出力。 シリアル・データ・バス入出力。			F-B
SI/SB1		P03	シリアル・データ入力。 シリアル・データ・バス入出力。			M-C
INT4	入 力	P00	エッジ検出ベクタ割り込み入力 (立ち上がりおよび立ち下がりの両エッジ検出)。		入 力	B
INT0	入 力	P10	エッジ検出ベクタ割り込み入力 (検出エッジ選択可能)。	ノイズ除去回路付き / 非同期選択可	入 力	B-C
INT1		P11	INT0/P10はノイズ除去回路を選択可能。	非同期		
INT2	入 力	P12/Ti1/Ti2	立ち上がりエッジ検出テストブル入力。	非同期	入 力	B-C
KR0-KR3	入 力	P60-P63	立ち下がりエッジ検出テストブル入力。		入 力	F-A
KR4-KR7	入 力	P70-P73	立ち下がりエッジ検出テストブル入力。		入 力	F-A
S0-S23	出 力	-	セグメント信号出力。		注2	G-A
S24-S31	出 力	BP0-BP7	セグメント信号出力。		注2	H-A
COM0-COM3	出 力	-	コモン信号出力。		注2	G-B
V _{Lc0} -V _{Lc2}	-	-	LCD駆動用電源。 分割抵抗内蔵可能 (マスク・オプション)。		-	-
BIAS	出 力	-	外付け分割抵抗カット用出力。		注3	-
LCDCL ^{注4}	出 力	P30	外部拡張ドライバ駆動用クロック出力。		入 力	E-B
SYNC ^{注4}	出 力	P31	外部拡張ドライバ同期用クロック出力。		入 力	E-B
X1	入 力	-	メイン・システム・クロック発振用クリスタル/セラミック接続端子。外部クロックの場合, X1へ入力しX2へその逆相を入力。		-	-
X2	-	-				

注1 . 印はシュミット・トリガ入力を示します。

2 . 各表示出力は, 次に示すV_{Lcx}を入力ソースとして選択します。

S0-S31 : V_{Lc1}, COM0-COM2 : V_{Lc2}, COM3 : V_{Lc0}

3 . 分割抵抗を内蔵している場合.....ロウ・レベル

分割抵抗を内蔵していない場合.....ハイ・インピーダンス

4 . 将来のシステム拡張に備えた端子です。現在はP30, P31端子としてのみ使用します。

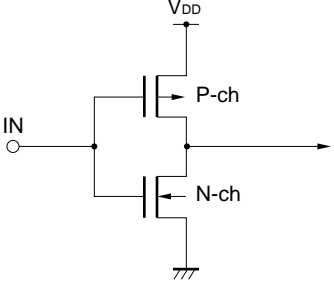
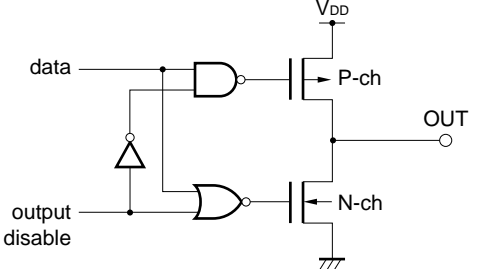
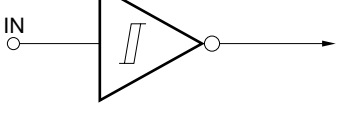
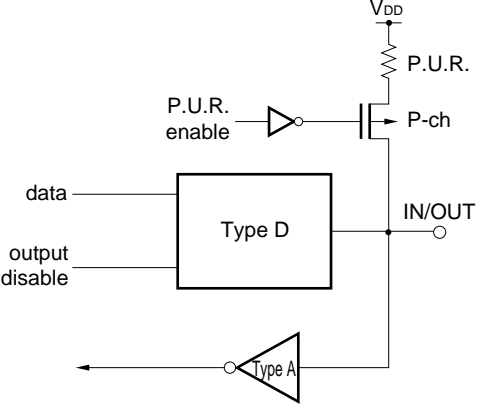
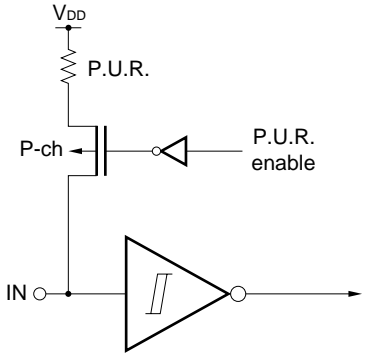
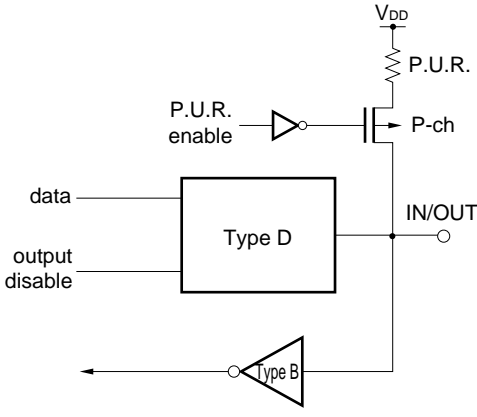
3.2 ポート端子以外の端子 (2/2)

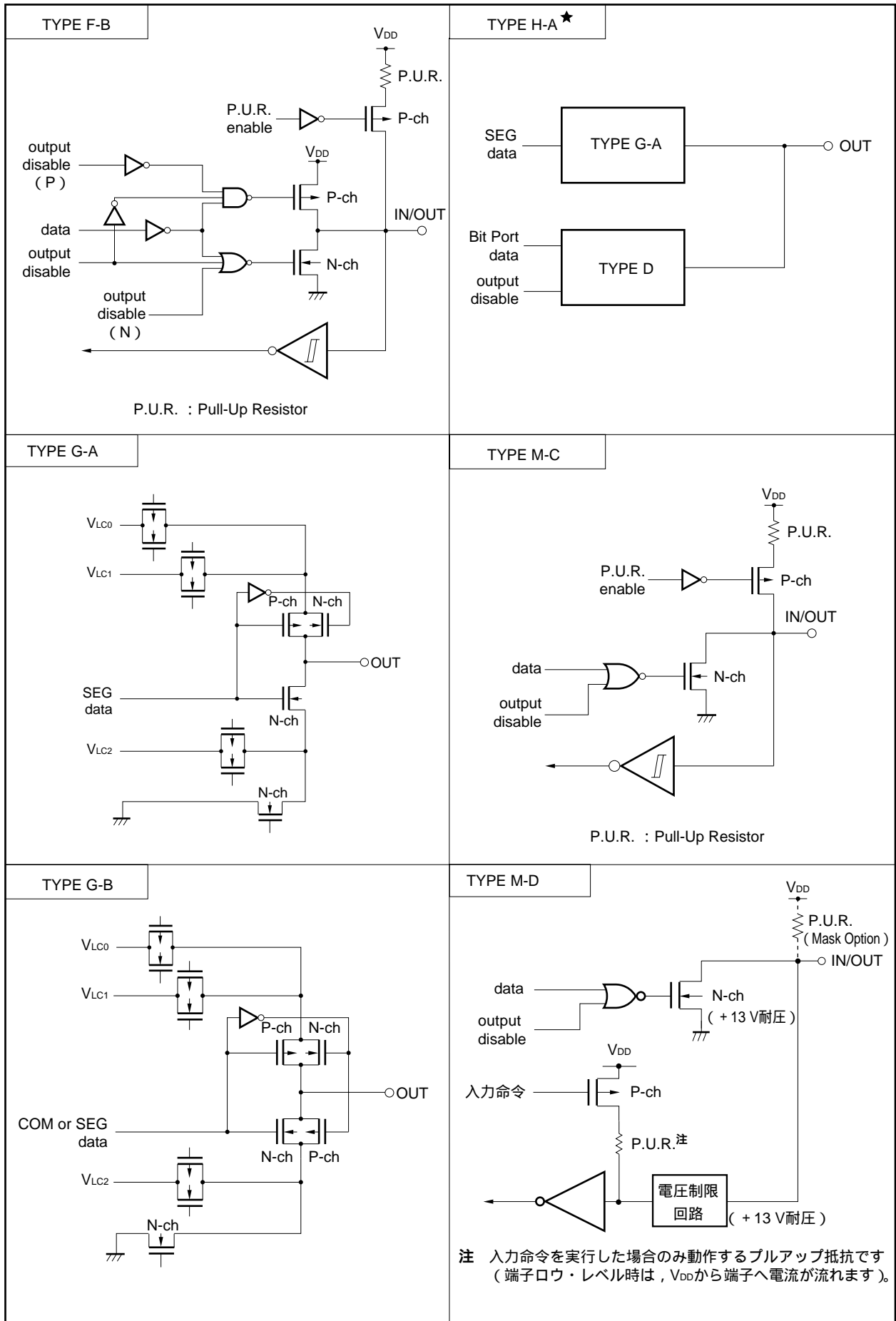
端子名称	入出力	兼用端子	機能	リセット時	入出力回路 TYPE ^注
XT1	入 力	-	サブシステム・クロック発振用クリスタル接続端子。外部クロックの場合, XT1へ入力し, XT2へその逆相を入力。XT1は1ビット入力(テスト)端子として使用可能。	-	-
XT2	-				
$\overline{\text{RESET}}$	入 力	-	システム・リセット入力(ロウ・レベル・アクティブ)。	-	B
IC	-	-	Internally Connected. V _{DD} に直接接続してください。	-	-
V _{DD}	-	-	正電源。	-	-
V _{SS}	-	-	グランド電位。	-	-

注 印はシュミット・トリガ入力を示します。

3.3 端子の入出力回路

μ PD753017Aの各端子の入出力回路を一部簡略した形式を用いて示します。

<p>TYPE A</p>  <p>CMOS規格の入力バッファになっています。</p>	<p>TYPE D</p>  <p>出力ハイ・インピーダンス (P-ch, N-chともにオフ) とすることができるプッシュプル出力となっています。</p>
<p>TYPE B</p>  <p>ヒステリシス特性を持つシュミット・トリガ入力となっています。</p>	<p>TYPE E-B</p>  <p>P.U.R. : Pull-Up Resistor</p>
<p>TYPE B-C</p>  <p>P.U.R. : Pull-Up Resistor</p>	<p>TYPE F-A</p>  <p>P.U.R. : Pull-Up Resistor</p>



3.4 未使用端子の処理について

表 3 - 1 未使用端子の処理一覧

端 子	推奨接続方法
P00/INT4	V _{SS} またはV _{DD} に接続してください。
P01/ $\overline{\text{SCK}}$	個別に抵抗を介して、V _{SS} またはV _{DD} に接続してください。
P02/SO/SB0	
P03/SI/SB1	V _{SS} に接続してください。
P10/INT0, P11/INT1	V _{SS} またはV _{DD} に接続してください。
P12/TI1/TI2/INT2	
P13/TI0	
P20/PTO0	入力時：個別に抵抗を介して、V _{SS} またはV _{DD} に接続してください。
P21/PTO1	
P22/PTO2/PCL	出力時：オープンにしてください。
P23/BUZ	
P30/LCDCL	
P31/SYNC	
P32	
P33	
P40-P43	
P50-P53	
P60/KR0-P63/KR3	入力時：個別に抵抗を介して、V _{SS} またはV _{DD} に接続してください。 出力時：オープンにしてください。
P70/KR4-P73/KR7	
S0-S23	オープンにしてください。
S24/BP0-S31/BP7	
COM0-COM3	
V _{LC0} -V _{LC2}	V _{SS} に接続してください。
BIAS	V _{LC0} -V _{LC2} のすべてが未使用のときのみV _{SS} に接続、他の場合はオープンにしてください。
★ XT1	V _{SS} に接続してください。
XT2 ^注	オープンにしてください。
IC	V _{DD} に直接接続してください。

注 サブシステム・クロックを使用しない場合は、SOS.0 = 1（内蔵フィードバック抵抗を使用しない）を選択してください。

4. Mk モードとMk モードの切り替え機能

4.1 Mk モードとMk モードの違い

μ PD753017AのCPUはMk モードとMk モードの2つのモードを持ち、どちらを使用するかを選択ができます。モードの切り替え操作は、スタック・バンク選択レジスタ (SBS) のビット3で行います。

- ・ Mk モード： μ PD75316Bと上位互換性があります。
ROM容量が16 Kバイトまでの75XL CPUで使用できます。
- ・ Mk モード： μ PD75316Bとの互換性がありません。
ROM容量が16 Kバイト以上の製品も含め、75XL CPU全部で使用できます。

表4-1 Mk モードとMk モードの違い

	Mk モード	Mk モード
プログラム・メモリ (バイト)	<ul style="list-style-type: none"> ・ μ PD753012A : 12288 ・ μ PD753016A, 753017A : 16384 	<ul style="list-style-type: none"> ・ μ PD753012A : 12288 ・ μ PD753016A : 16384 ・ μ PD753017A : 24576
サブルーチン命令のスタック・バイト数	2 バイト	3 バイト
BRA !addr1命令 CALLA !addr1命令	なし	あり
CALL !addr命令	3 マシン・サイクル	4 マシン・サイクル
CALLF !faddr命令	2 マシン・サイクル	3 マシン・サイクル

注意 Mk モードは、75Xおよび75XLシリーズにおいて、16 Kバイトを越えるプログラム領域をサポートするモードです。このモードにより、16 Kバイトを越える製品とのソフトウェア上の互換性を高めることができます。

なお、Mk モードを選択すると、サブルーチン・コール命令実行時のスタック・バイト数がMk モードに比べ1スタックごとに1バイト分使用エリアが増えます。また、CALL !addr, CALLF !faddr命令使用時は、マシン・サイクルがそれぞれ1マシン・サイクル分長くかかります。したがって、ソフトウェアの互換性よりRAMの使用効率や処理能力を重視する場合は、Mk モードを使用してください。

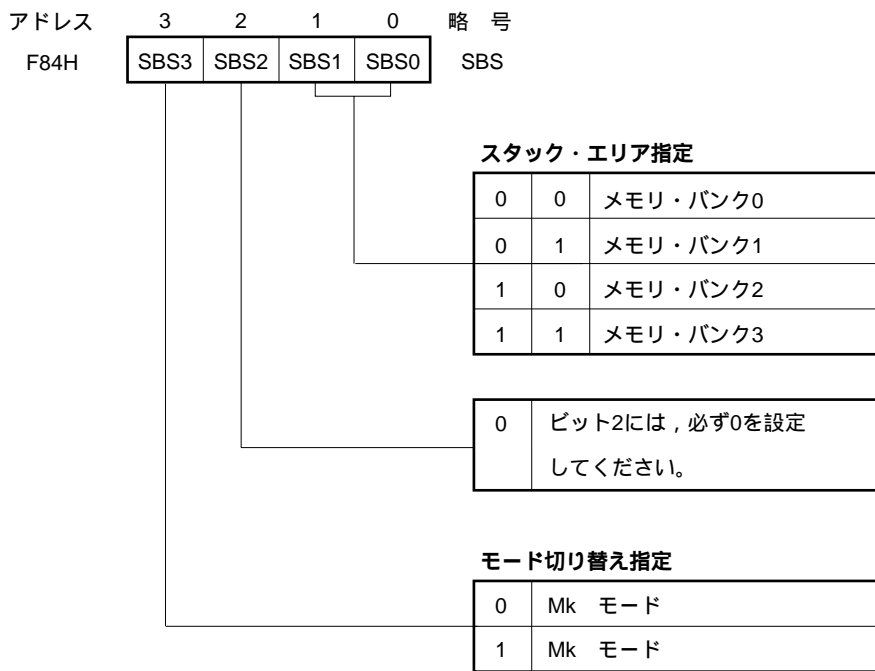
4.2 スタック・バンク選択レジスタ (SBS) の設定方法

Mk モードとMk モードの切り替えは、スタック・バンク選択レジスタによって行います。図4 - 1 にそのフォーマットを示します。

スタック・バンク選択レジスタは、4ビット・メモリ操作命令により設定します。Mk モードを使用する場合は、プログラムの初期で必ずスタック・バンク選択レジスタを10××B[※]にイニシャライズしてください。またMk モードを使用する場合は、必ず00××B[※]にイニシャライズしてください。

注 ××には希望の値を設定してください。

図4 - 1 スタック・バンク選択レジスタのフォーマット



注意 SBS.3はRESET信号発生後“1”になるので、CPUはMk モードで動作します。Mk モードの命令を使用する場合は、SBS.3を“0”にし、Mk モードに設定してから使用してください。

5. メモリ構成

プログラム・メモリ (ROM)12288 × 8 ビット (μ PD753012A)
.....16384 × 8 ビット (μ PD753016A)
.....24576 × 8 ビット (μ PD753017A)

・ 0000H-0001H番地

RESET信号発生でのプログラム・スタート・アドレスとRBE, MBEの設定値を書くベクタ・テーブルです。
任意の番地からリセット・スタートできます。

・ 0002H-000DH番地

各ベクタ割り込みによるプログラム・スタート・アドレスとRBE, MBEの設定値を書くベクタ・テーブルです。
任意の番地から割り込み処理をスタートできます。

・ 0020H-007FH番地

GETI命令^注で参照するテーブル領域です。

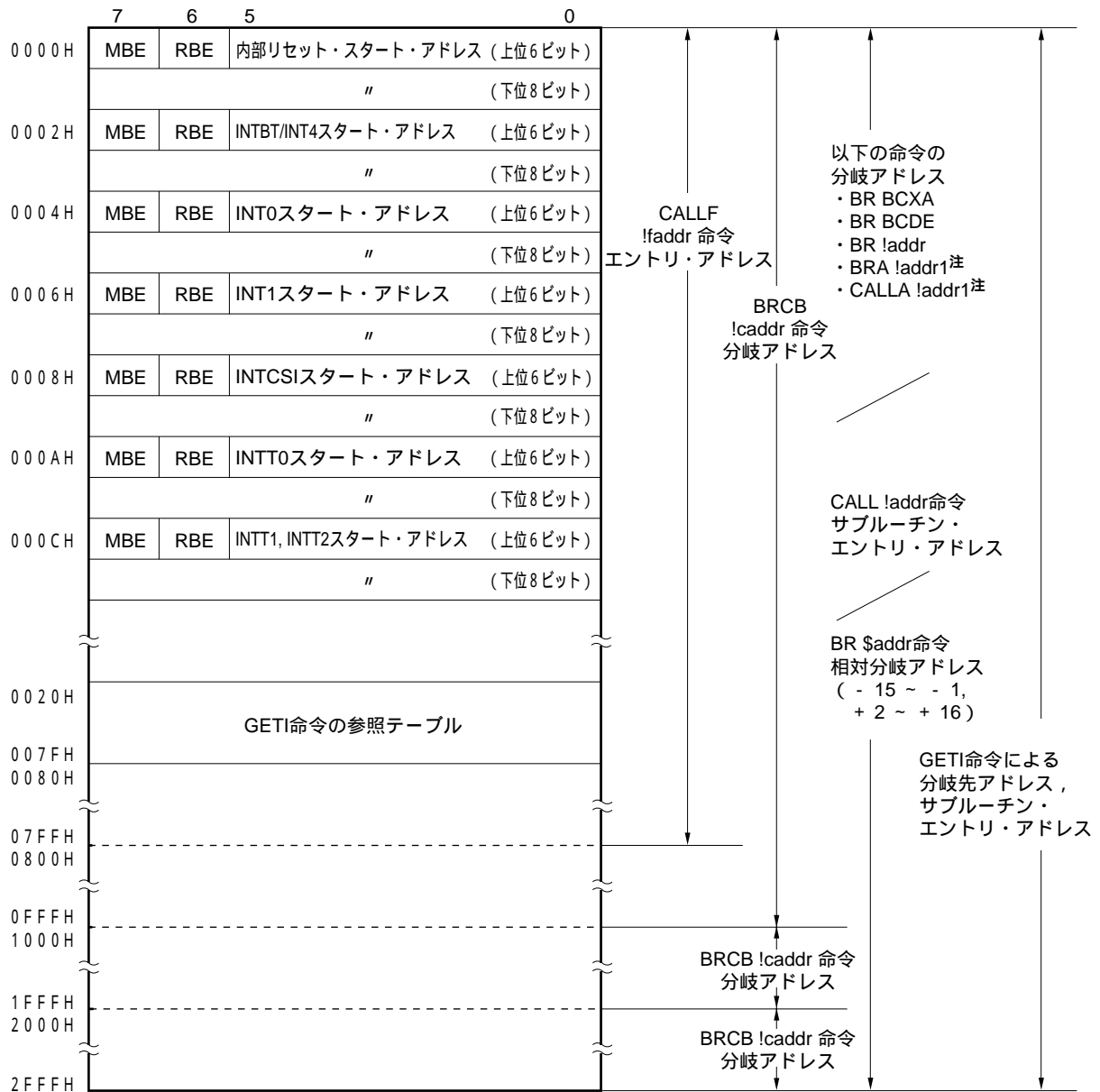
注 GETI命令は、任意の2バイト/3バイト命令、または1バイト命令2つを1バイトで実現するための命令で、プログラム・ステップ数を縮小するために使用します。

データ・メモリ (RAM)

- ・ データ・エリア...1024ワード × 4 ビット (000H-3FFH)
- ・ 周辺ハードウェア・エリア...128 × 4 ビット (F80H-FFFH)

図5 - 1 プログラム・メモリ・マップ (1/3)

(a) μ PD753012A

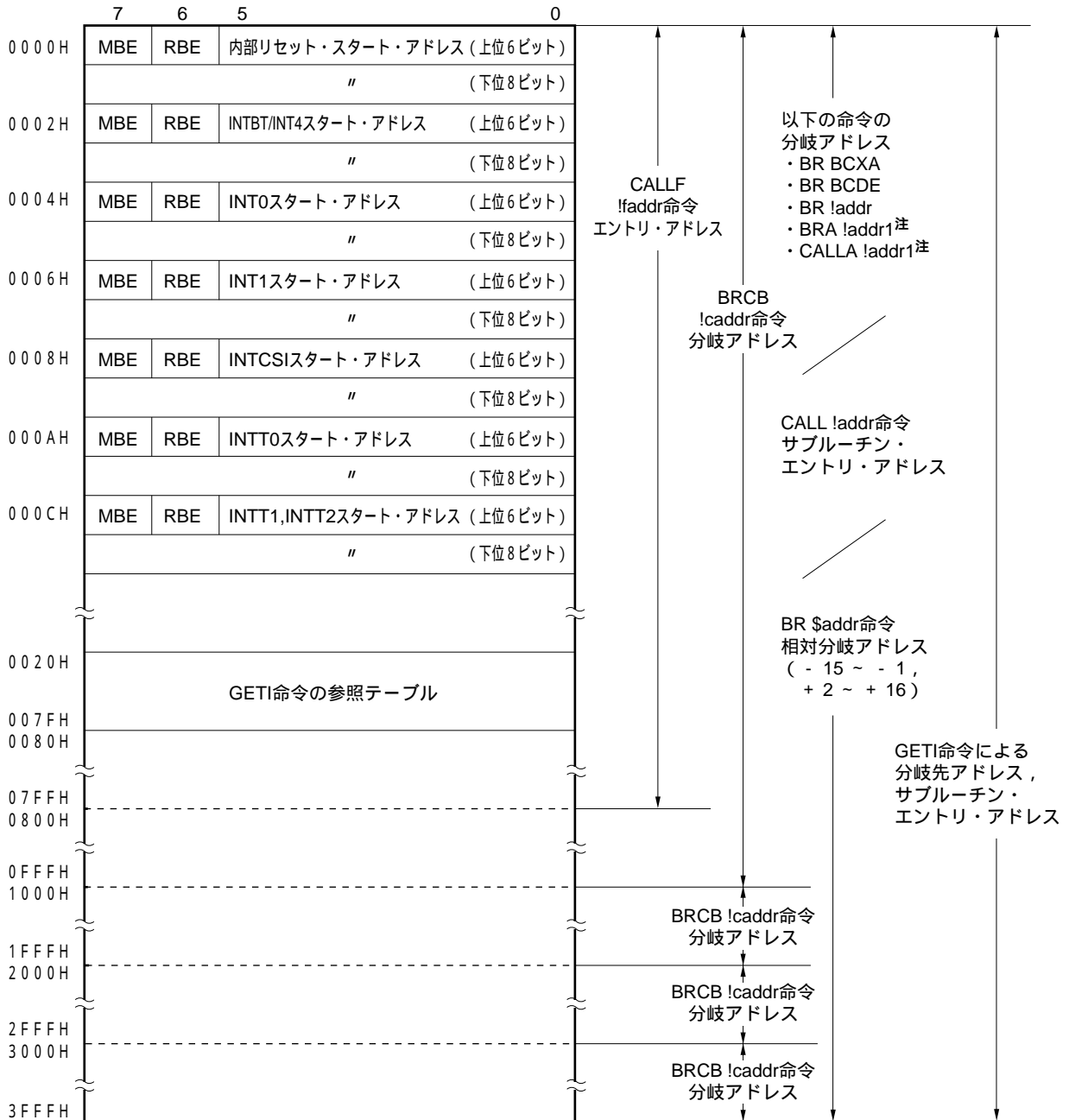


注 Mk モードでのみ使用できます。

備考 上記の命令以外では, BR PCDE, BR PCXA 命令により, PC の下位 8 ビットのみ変更したアドレスへ分岐することができます。

図5 - 1 プログラム・メモリ・マップ (2/3)

(b) μ PD753016A

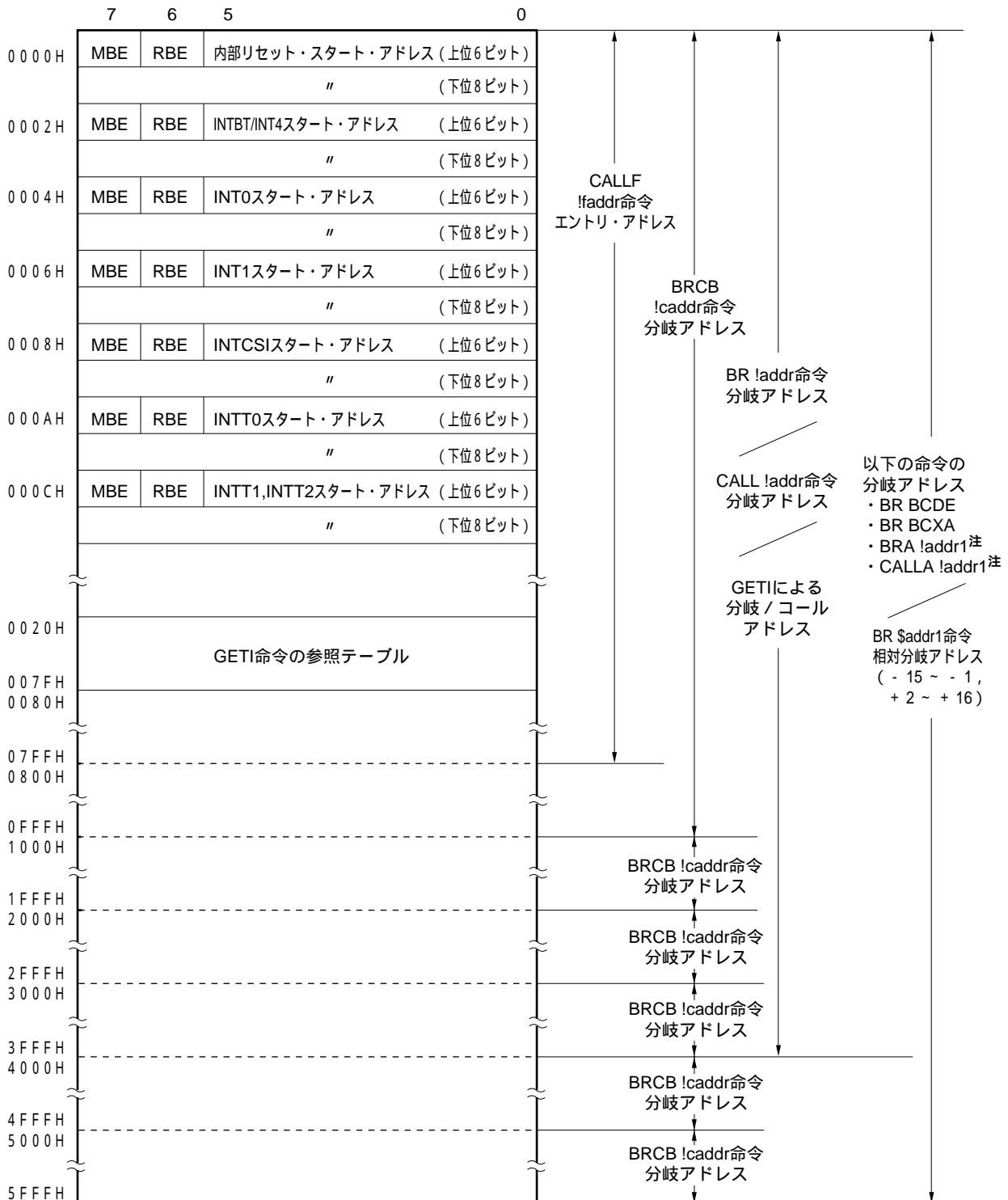


注 Mk モードでのみ使用できます。

備考 上記の命令以外では、BR PCDE, BR PCXA命令により、PCの下位8ビットのみ変更したアドレスへ分岐することができます。

図5 - 1 プログラム・メモリ・マップ (3/3)

(c) μPD753017A

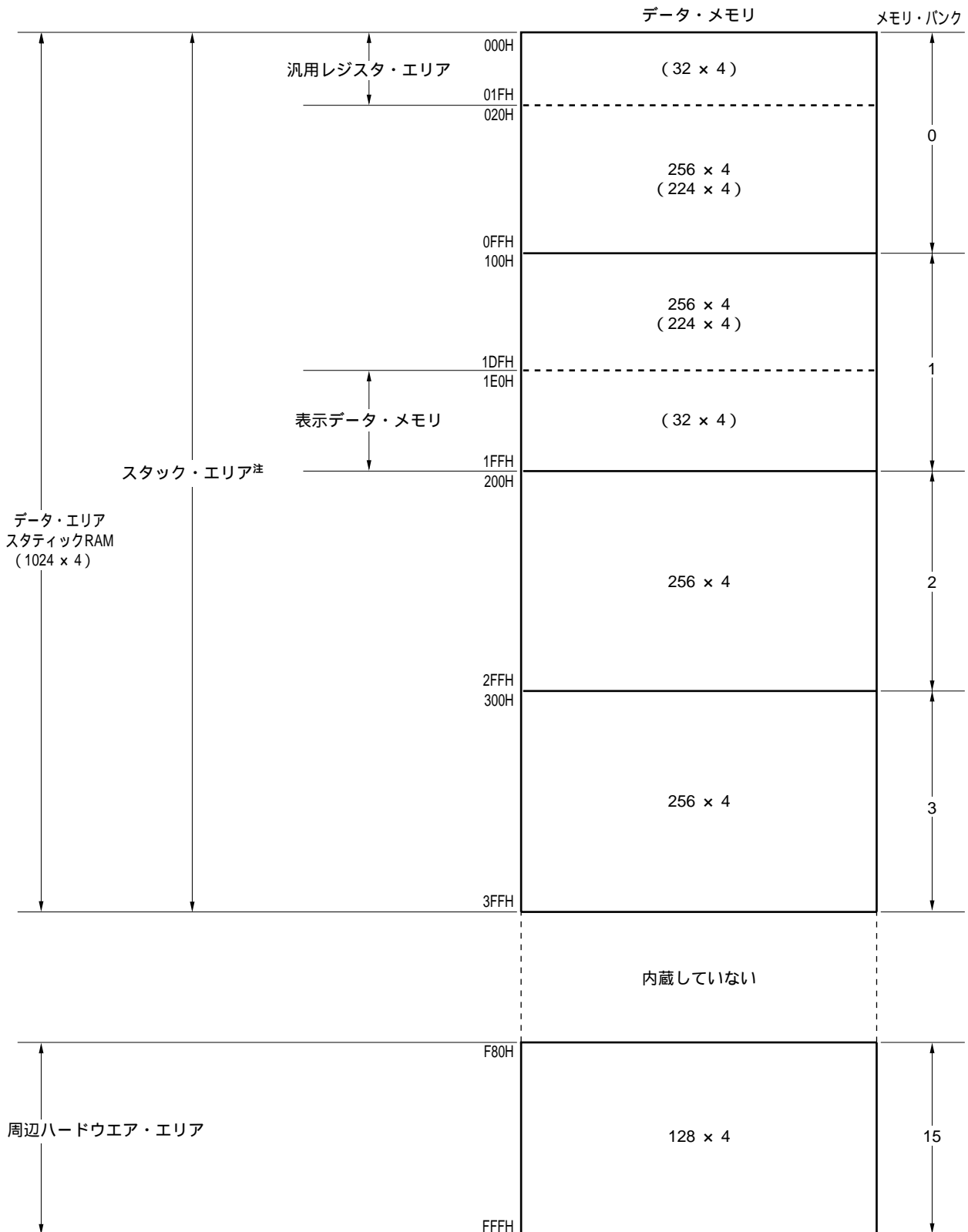


注 Mk モードでのみ使用できます。

注意 上記、割り込みベクタのスタート・アドレスは14ビットですので、16 K空間内 (0000H-3FFFH) に設定してください。

備考 上記の命令以外では、BR PCDE, BR PCXA命令により、PCの下位8ビットのみ変更したアドレスへ分岐することができます。

図5-2 データ・メモリ・マップ



注 スタック・エリアとして、メモリ・バンク 0-3のうち1つを選択できます。

6 . 周辺ハードウェア機能

6.1 デジタル入出力ポート

I/Oポートには、次の4種類があります。

・ CMOS入力 (PORT0, 1)	: 8 本
・ CMOS入出力 (PORT2, 3, 6, 7)	: 16 本
・ N-chオープン・ドレイン入出力 (PORT4, 5)	: 8 本
・ ビット・ポート出力 (BP0-BP7)	: 8 本
合計	40本

表 6 - 1 デジタル・ポートの種類と特徴

ポート (端子名)	機 能	動 作 ・ 特 徴		備 考
PORT0 (P00-P03)	4 ビット入力	シリアル・インタフェース機能使用時は、兼用端子が動作モードによって出力機能を持ちます。		INT4, \overline{SCK} , SO/SB0, SI/SB1と端子を兼用。
PORT1 (P10-P13)		入力専用ポート		INT0-INT2, T10-TI2と端子を兼用。
PORT2 (P20-P23)	4 ビット入出力	4 ビット単位で入力または出力モードに設定可能。		PTO0-PTO2, PCL, BUZと端子を兼用。
PORT3 (P30-P33)		1/4 ビット単位で入力または出力モードに設定可能。		LCDCL, SYNCと端子を兼用。
PORT4 (P40-P43)	4 ビット入出力 (N - ch オープン ・ ドレイン 13 V 耐圧)	4 ビット単位で入力または出力モードに設定可能。	ポート 4 と 5 はペアとなって 8 ビット単位でデータの入出力が可能。	マスク・オプションで、1 ビット単位にプルアップ抵抗内蔵の指定可能。
PORT5 (P50-P53)				
PORT6 (P60-P63)	4 ビット入出力	1/4 ビット単位で入力または出力モードに設定可能。	ポート 6 と 7 はペアとなって 8 ビット単位でデータの入出力が可能。	KR0-KR3と端子を兼用。
PORT7 (P70-P73)		4 ビット単位で入力または出力モードに設定可能。		
BP0-BP7	1 ビット出力	1 ビット単位でデータ出力。LCD駆動用セグメント出力S24-S31とソフトウェアで切り替え可能。		-

6.2 クロック発生回路

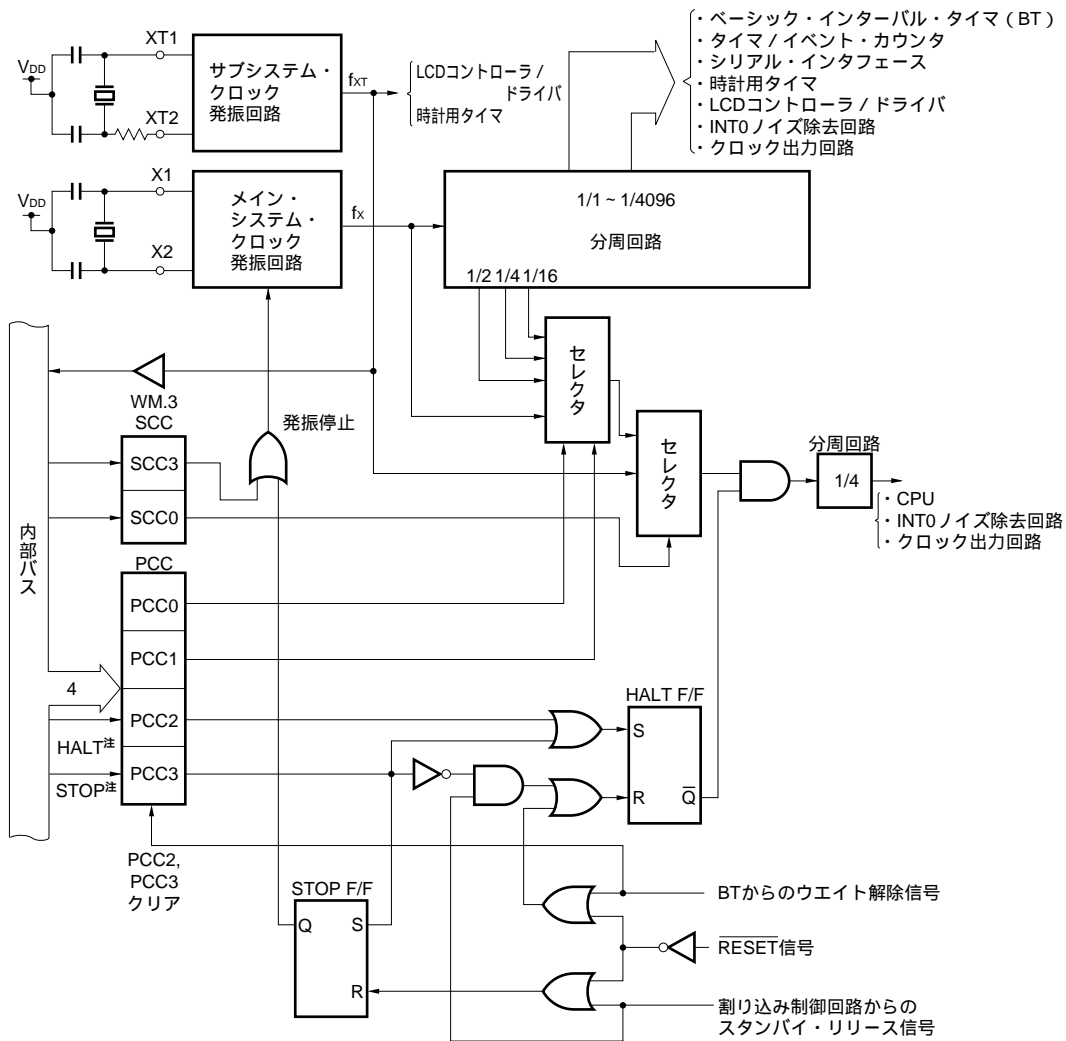
クロック発生回路の動作はプロセッサ・クロック・コントロール・レジスタ (PCC) とシステム・クロック・コントロール・レジスタ (SCC) により決定されます。

メイン・システム・クロックとサブシステム・クロックの2種類があります。

また、命令実行時間を変化させることができます。

- ・ 0.95 μs, 1.91 μs, 3.81 μs, 15.3 μs (メイン・システム・クロック : 4.19 MHz動作時)
- ・ 0.67 μs, 1.33 μs, 2.67 μs, 10.7 μs (メイン・システム・クロック : 6.0 MHz動作時)
- ・ 122 μs (サブシステム・クロック : 32.768 kHz動作時)

図6-1 クロック発生回路のブロック図



注 命令の実行

備考1 . fx = メイン・システム・クロック周波数

2 . fxT = サブシステム・クロック周波数

3 . = CPUクロック

4 . PCC : プロセッサ・クロック・コントロール・レジスタ

5 . SCC : システム・クロック・コントロール・レジスタ

6 . の1クロック・サイクル (tcy) は命令の1マシン・サイクルです。

6.3 サブシステム・クロック発振回路の制御機能

μ PD753017Aのサブシステム・クロック発振回路には次の2つの制御機能があります。

内蔵フィードバック抵抗を使用するか使用しないかをソフトウェアで選択する機能[※]

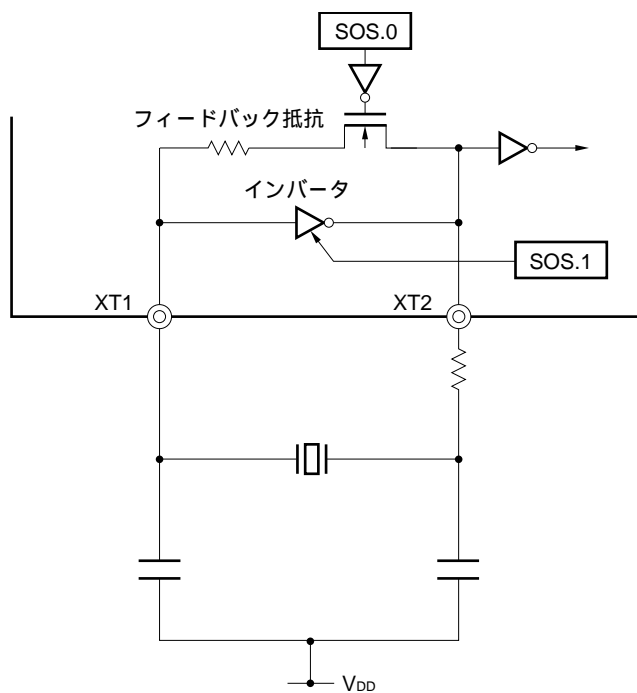
内蔵インバータのドライブ電流を下げて、電源電圧が高いとき ($V_{DD} = 2.7V$) に消費電流を抑える機能

★ 注 サブシステム・クロックを使用しない場合は、ソフトウェアで $SOS.0 = 1$ (内蔵フィードバック抵抗を使用しない) とし、 $XT1$ を V_{SS} に接続、 $XT2$ はオープンにしてください。

サブシステム・クロック発振回路で消費する電流を抑えることができます。

それぞれの機能は、サブ発振回路コントロール・レジスタ (SOS) のビット 0, 1 を切り替えることで使用できます (図 6 - 2 参照)。

図 6 - 2 サブシステム・クロック発振回路

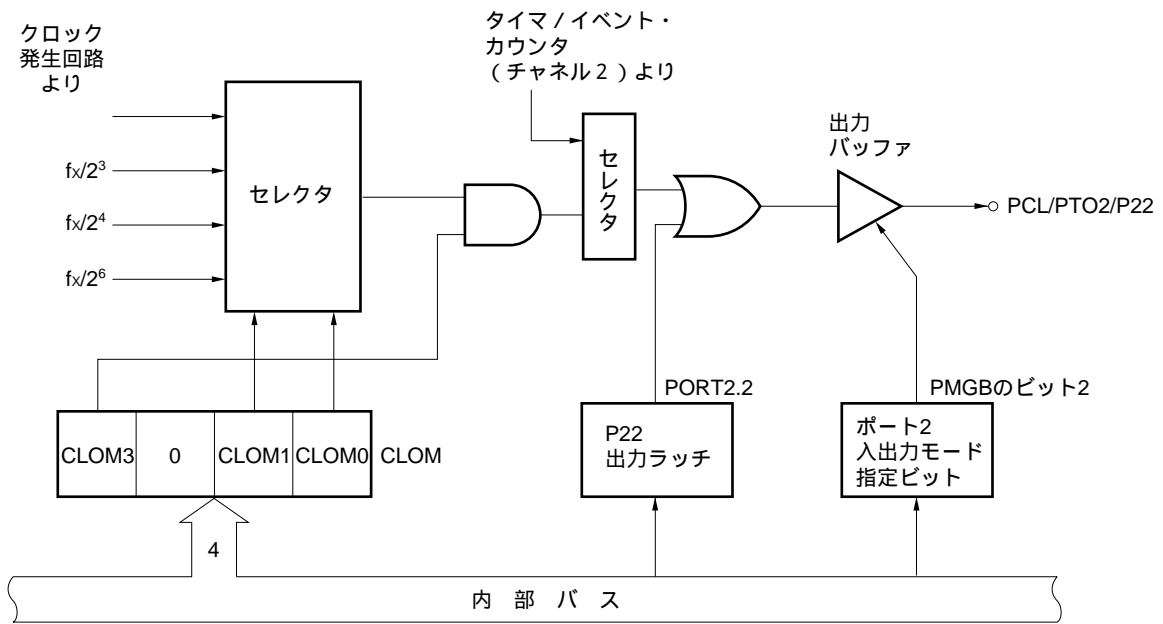


6.4 クロック出力回路

クロック出力回路は、P22/PTO2/PCL端子からクロック・パルスを出力するための回路です。リモコン波形出力への応用や周辺LSIにクロック・パルスを供給する場合などに利用します。

クロック出力（PCL）： , 524, 262, 65.5 kHz（4.19 MHz動作時）
 , 750, 375, 93.8 kHz（6.0 MHz動作時）

図6 - 3 クロック出力回路のブロック図



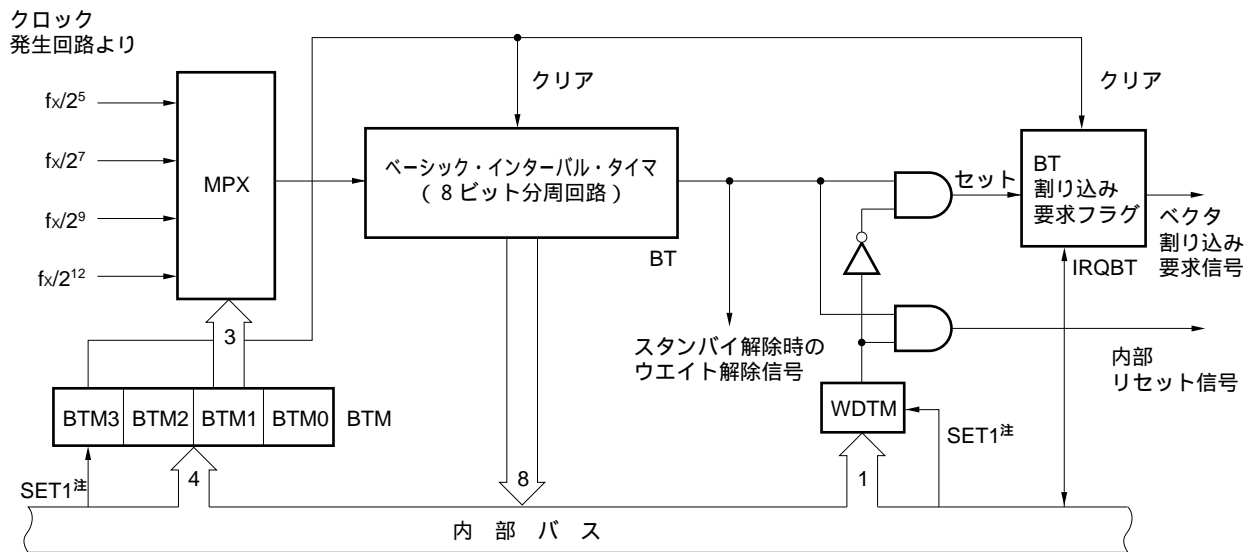
備考 クロックの出力の許可/禁止を切り替えるときに、幅の短いパルスが出力されないように考慮されています。

6.5 ベーシック・インターバル・タイマ/ウォッチドッグ・タイマ

ベーシック・インターバル・タイマ/ウォッチドッグ・タイマには、次の機能があります。

- 基準時間割り込みを発生するインターバル・タイマ動作
- プログラムの暴走を検出し、CPUをリセットするウォッチドッグ・タイマ動作
- スタンバイ・モード解除時のウエイト時間の選択とカウント
- カウント内容の読み出し

図6-4 ベーシック・インターバル・タイマ/ウォッチドッグ・タイマのブロック図



注 命令の実行

6.6 時計用タイマ

μ PD753017Aは時計用タイマを1チャンネル内蔵しています。時計用タイマには、次の機能があります。

0.5秒の時間間隔でテスト・フラグ (IRQW) をセットします。

IRQWによりスタンバイ・モードの解除ができます。

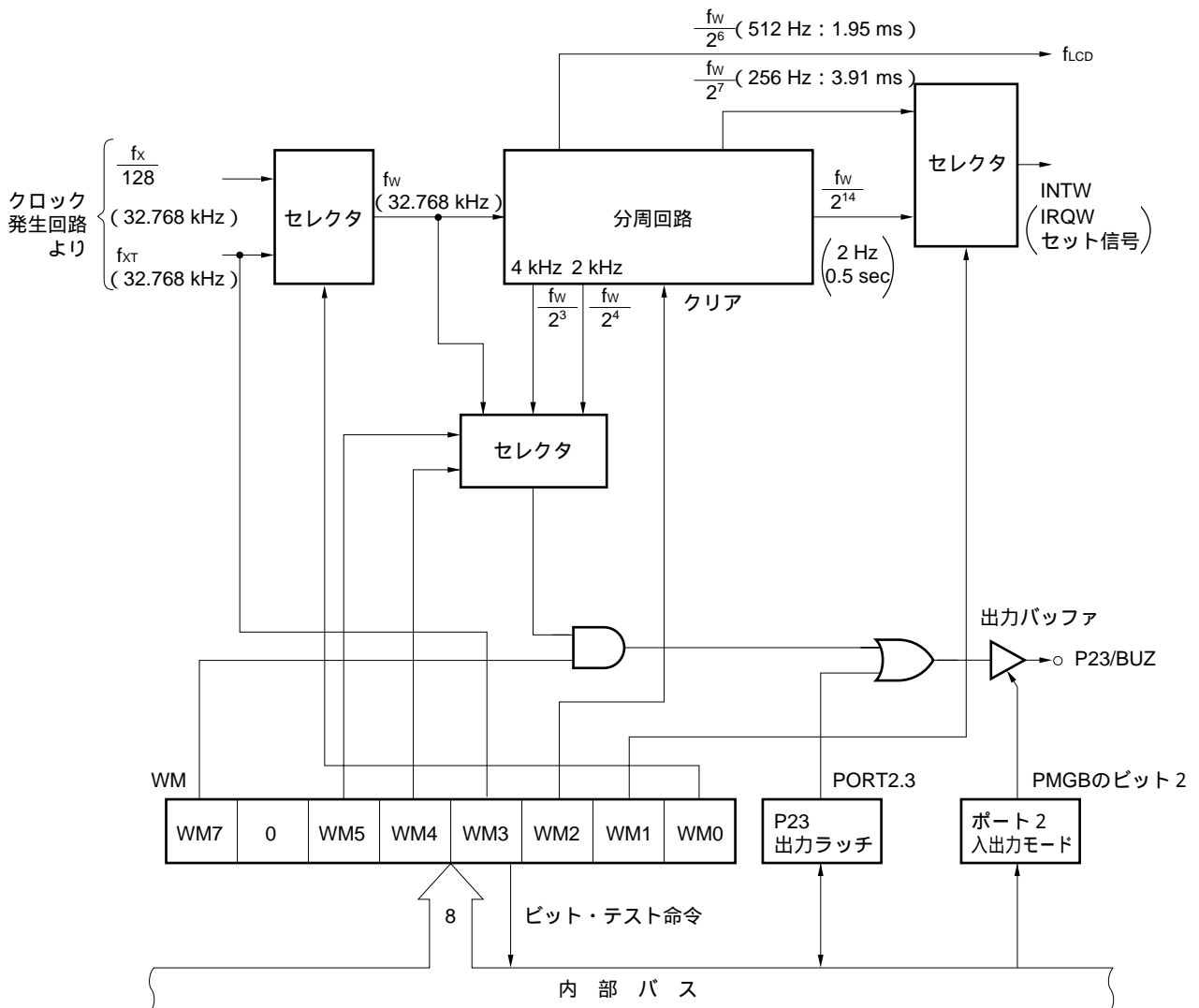
メイン・システム・クロック (4.19 MHz) とサブシステム・クロック (32.768 kHz) のいずれでも0.5秒の時間間隔を作ることができます。

早送りモードにより128倍 (3.91 ms) の時間間隔となり、プログラムのデバッグや検査に便利です。

任意の周波数 (2.048, 4.096, 32.768 kHz) をP23/BUZ端子に出力することができ、ブザー音発生や、システム・クロック発振周波数のトリミングに使用できます。

分周回路のクリアをすることによって、時計をゼロ秒スタートできます。

図6-5 時計用タイマのブロック図



()内はfx = 4.19 MHz, fxt = 32.768 kHzの場合です。

6.7 タイマ/イベント・カウンタ

μ PD753017Aは、タイマ/イベント・カウンタを3チャンネル内蔵しています。タイマ/イベント・カウンタには、次の機能があります。

プログラマブル・インターバル・タイマ動作

PTOn端子への任意の周波数の方形波出力 (n = 0, 1)

イベント・カウンタ動作

TIn端子入力をN分周してPTOn端子へ出力 (分周回路動作)

シリアル・インタフェース回路へのシフト・クロック供給 (チャンネル0のみ)

カウント値の読み出し機能

また、タイマ/イベント・カウンタの動作は、モード・レジスタの設定によって、次に示す4種類のモードでの動作が可能です。

表6 - 2 使用可能モード一覧表

モード	チャンネル		
	チャンネル0	チャンネル1	チャンネル2
8ビット・タイマ/イベント・カウンタ・モード			
ゲート制御機能	× ^注	×	
PWMパルス・ジェネレータ・モード	×	×	
16ビット・タイマ/イベント・カウンタ・モード	×		
ゲート制御機能	× ^注		
キャリア・ジェネレータ・モード	×		

注 ゲート制御信号発生用に使用します。

図6-6 タイマ/イベント・カウンタ(チャンネル0)のブロック図

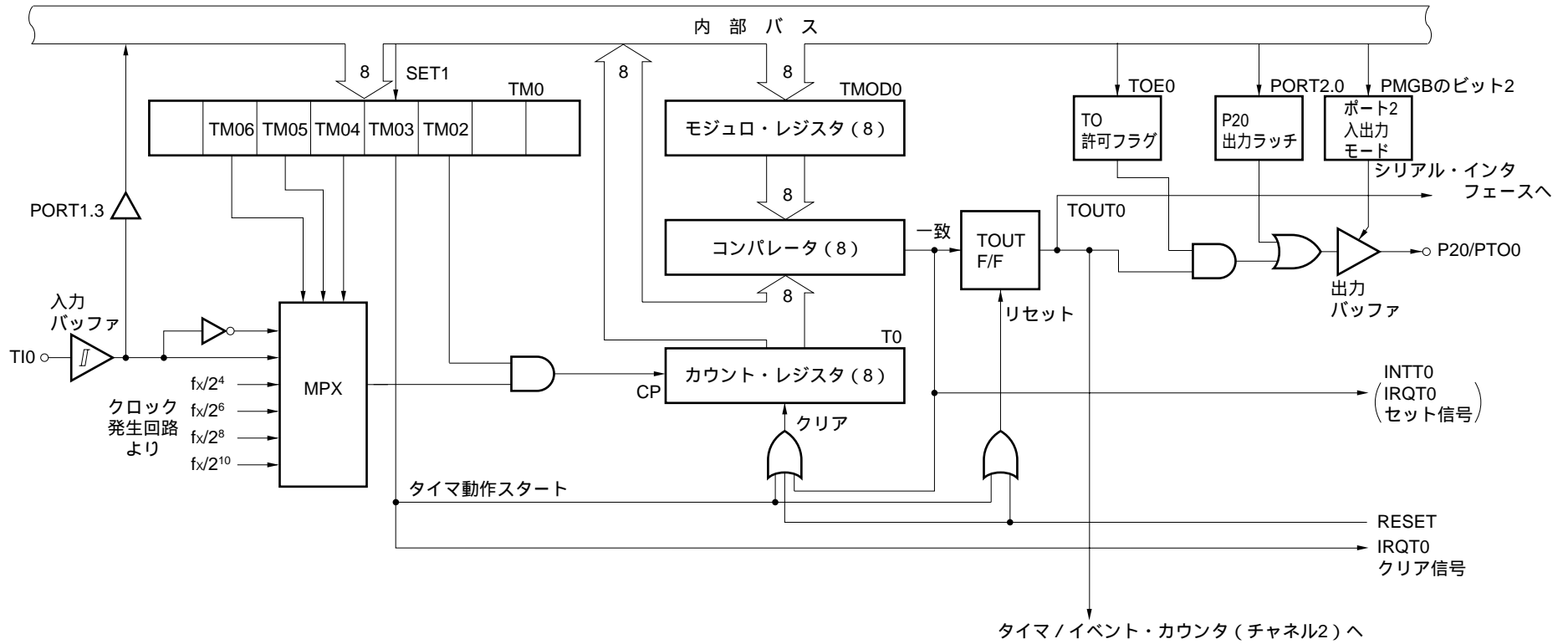
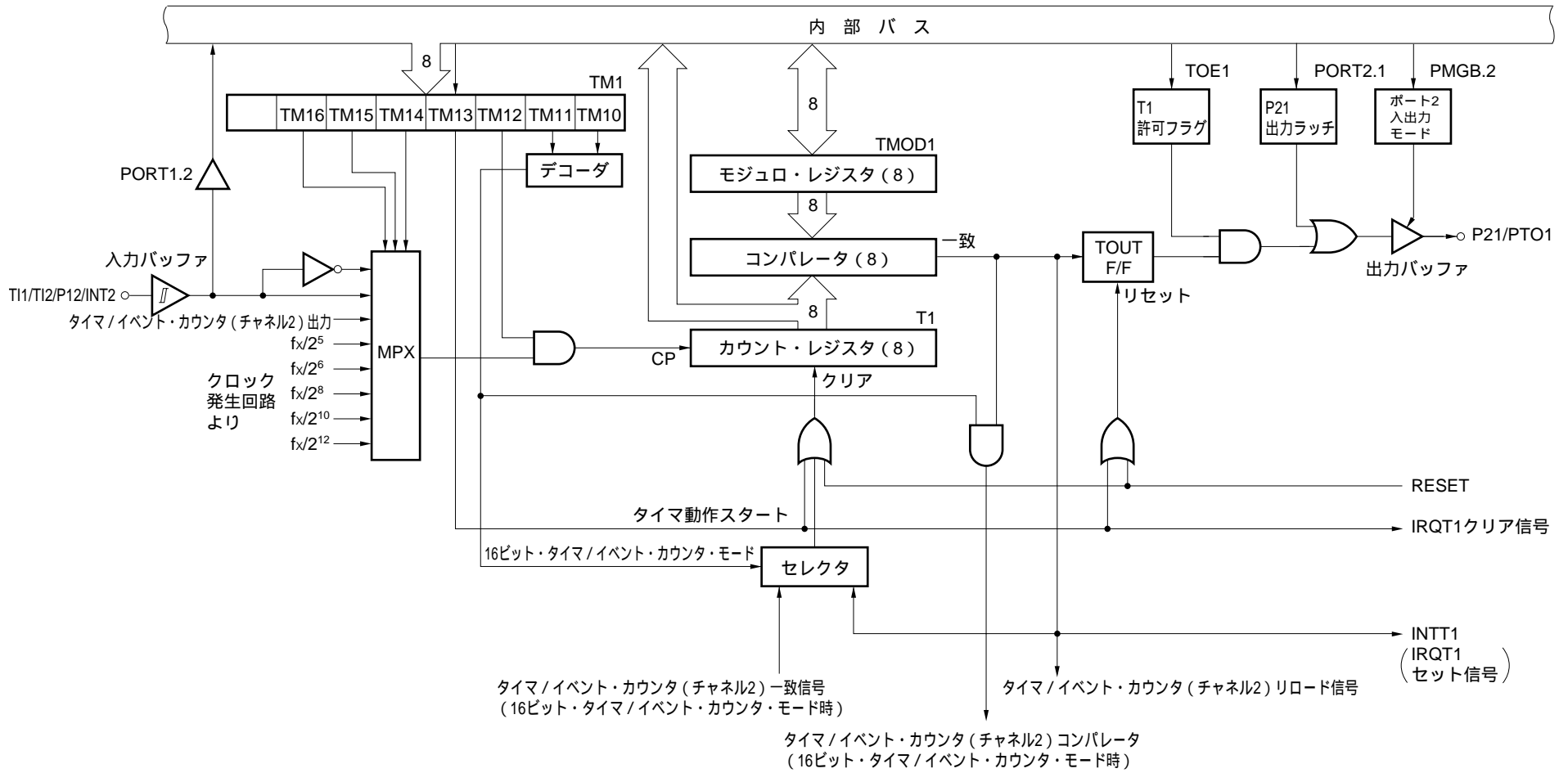
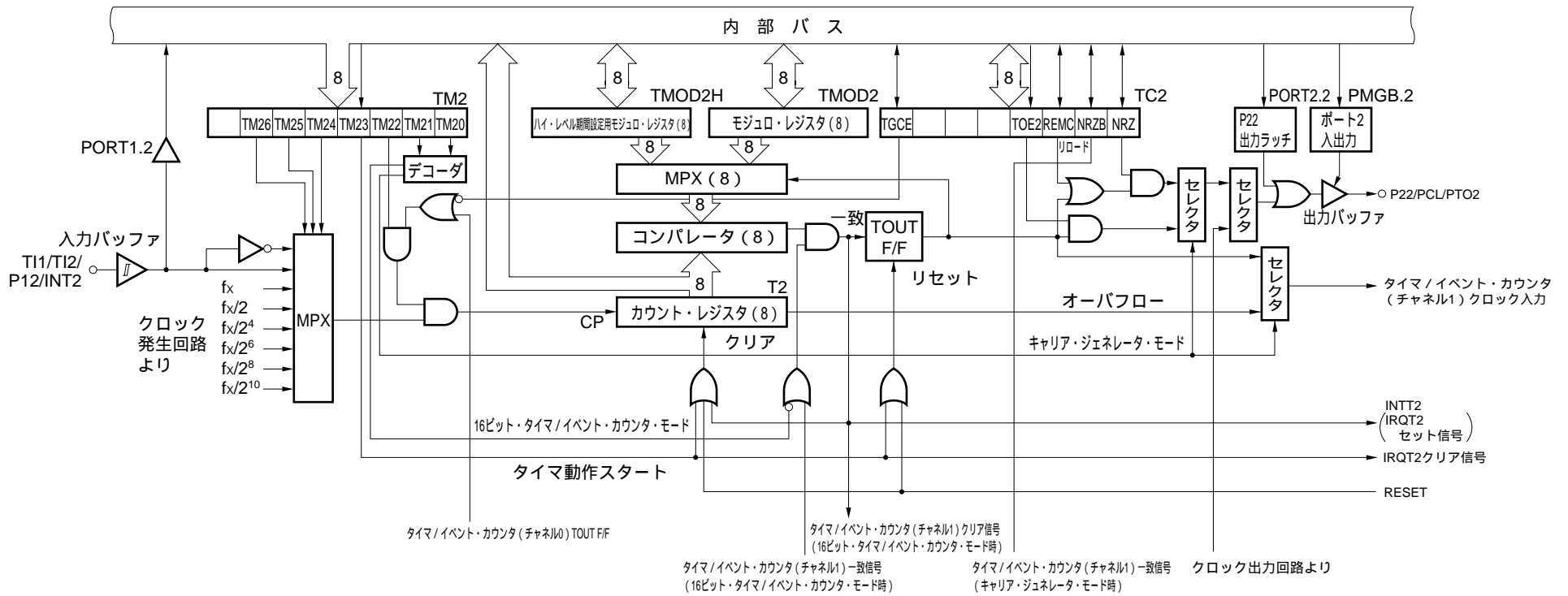


図6-7 タイマ/イベント・カウンタ(チャンネル1)のブロック図



★ 図6 - 8 タイマ/イベント・カウンタ (チャンネル2) のブロック図

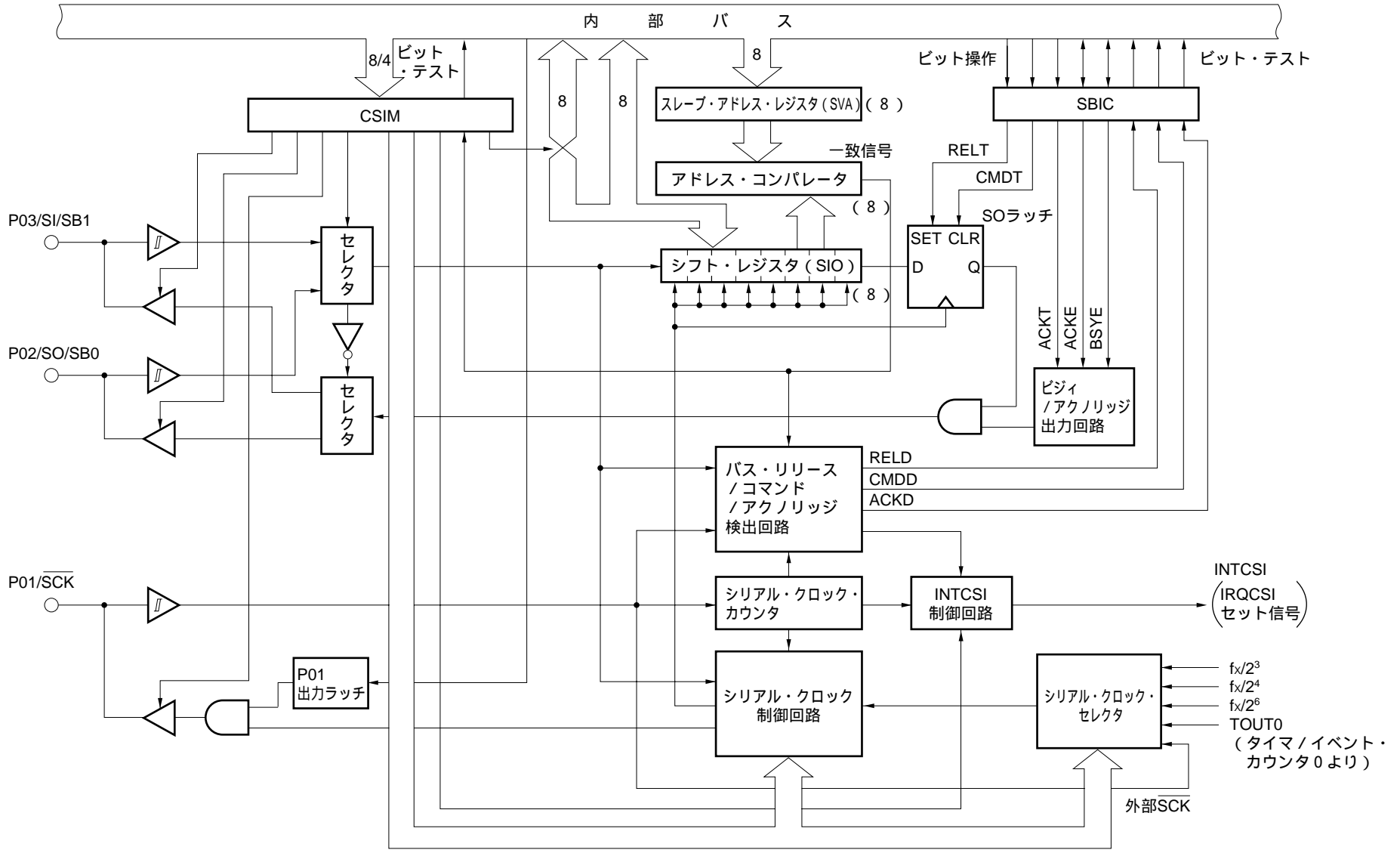


6.8 シリアル・インタフェース

μPD753017Aはクロック同期式8ビット・シリアル・インタフェースを内蔵しています。シリアル・インタフェースには、次の4種類のモードがあります。

- ・動作停止モード
- ・3線式シリアルI/Oモード
- ・2線式シリアルI/Oモード
- ・SBIモード

図6-9 シリアル・インタフェースのブロック図



6.9 LCDコントローラ/ドライバ

μ PD753017Aは、表示データ・メモリのデータに従い、セグメント信号とコモン信号を発生する表示コントローラと、LCDパネルを直接駆動可能なセグメント・ドライバ、コモン・ドライバを内蔵しています。

μ PD753017Aに内蔵されているLCDコントローラ/ドライバの機能には次のようなものがあります。

DMA動作により自動的に表示データ・メモリを読み出してセグメント信号とコモン信号を発生。

5種類の表示モードが選択可能。

- ① スタティック
- ② 1/2デューティ（2時分割）、1/2バイアス
- ③ 1/3デューティ（3時分割）、1/2バイアス
- ④ 1/3デューティ（3時分割）、1/3バイアス
- ⑤ 1/4デューティ（4時分割）、1/3バイアス

各表示モードにおいて、4種類のフレーム周波数が選択可能。

セグメント信号出力は最大32本（S0-S31）、コモン出力は4本（COM0-COM3）。

セグメント信号出力（S24-S27, S28-S31）は4本単位で、出力ポートに切り替え可能。

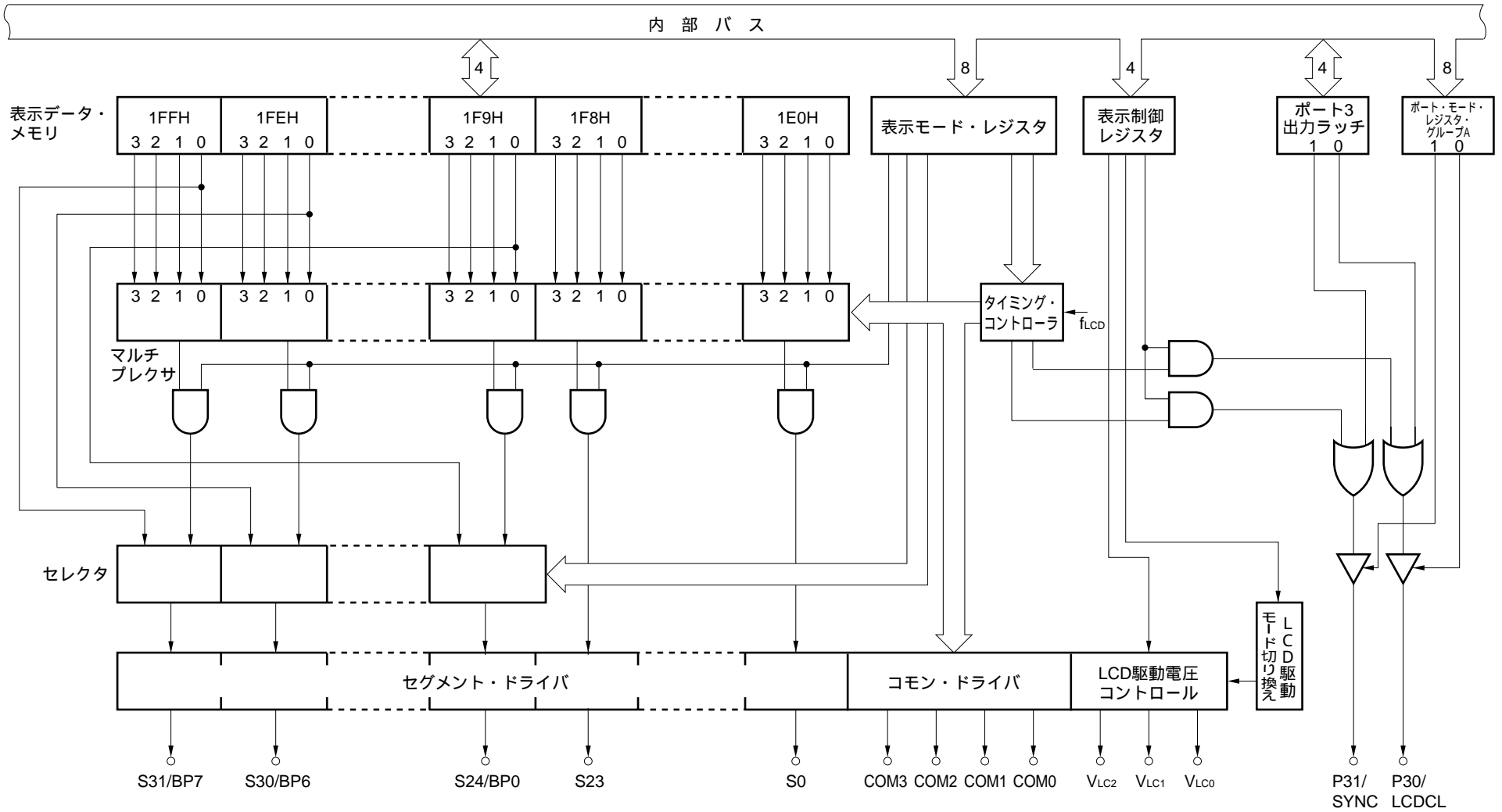
LCD駆動用電源供給用の分割抵抗内蔵可能（マスク・オプション）。

- ・各種バイアス法、LCD駆動電圧に対応可能。
- ・表示オフ時には、分割抵抗へ流れる電流をカット。

表示に使用しない表示データ・メモリは通常のデータ・メモリとして使用可能。

サブシステム・クロックによる動作も可能。

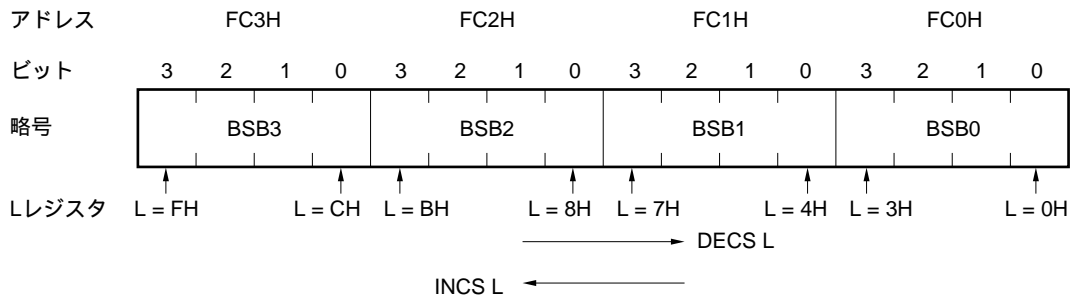
図6-10 LCDコントローラ/ドライバのブロック図



6.10 ビット・シーケンシャル・バッファ.....16ビット

ビット・シーケンシャル・バッファ（BSB）は、ビット操作の特殊データ・メモリで、特にアドレスおよびビット指定を順次変更してビット操作が容易にできるので、ビット長の長いデータをビット単位で処理するときに便利です。

図6 - 11 ビット・シーケンシャル・バッファのフォーマット



備考1 . pmem.@Lアドレッシングでは、Lレジスタに対応して指定ビットが移動します。

2 . pmem.@Lアドレッシングでは、MBE, MBSの指定にかかわらずに、いつでもBSBを操作できます。

7. 割り込み機能とテスト機能

μ PD753017Aには、8種類の割り込みソースと2種類のテスト・ソースがあり、テスト・ソースのうちINT2は、2種類のエッジ検出テストابل入力を備えています。

μ PD753017Aの割り込み制御回路には、次のような機能があります。

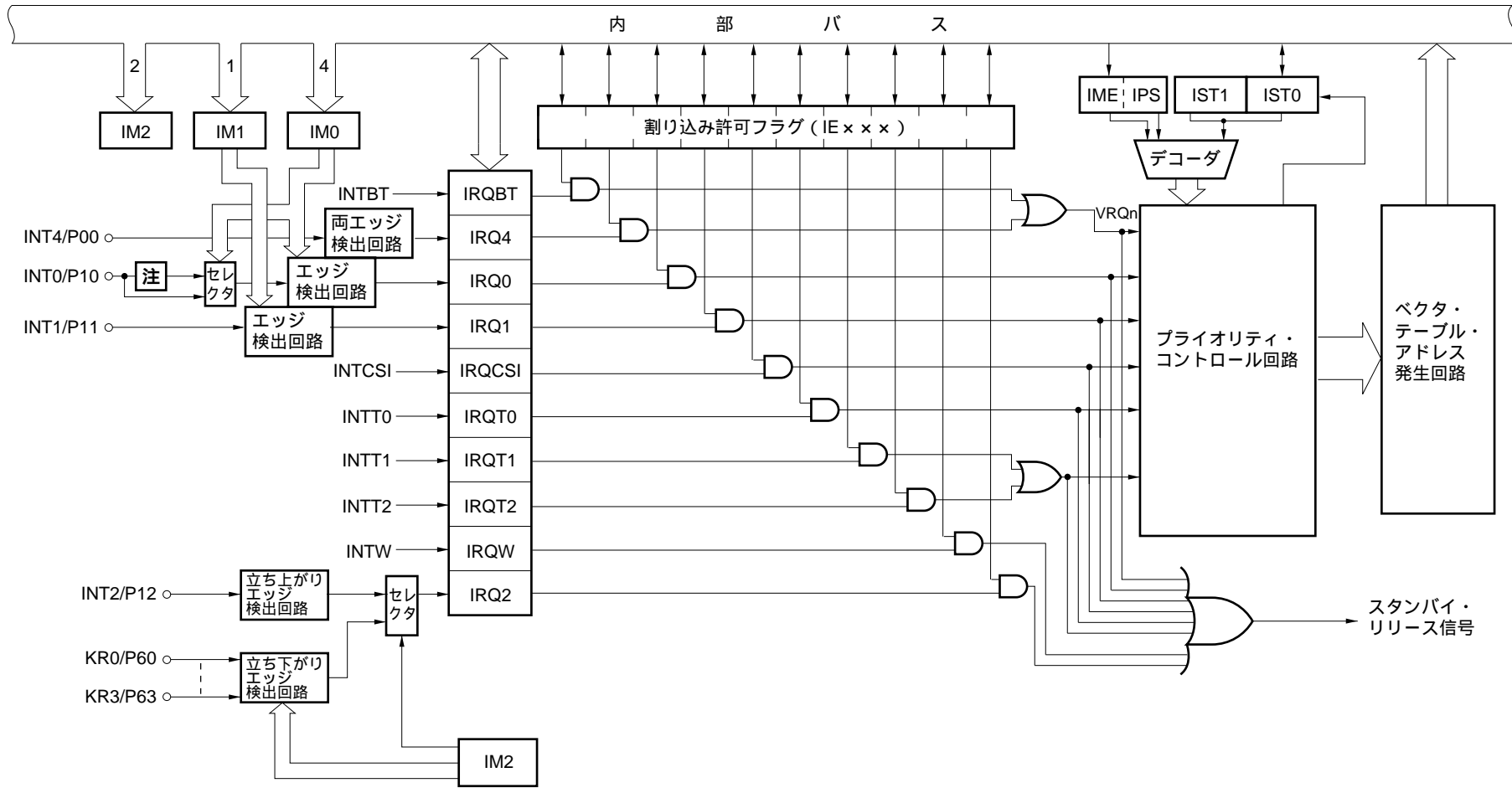
(1) 割り込み機能

- ・ 割り込み許可フラグ (IE × × ×) と、割り込みマスタ許可フラグ (IME) により受け付け可否を制御できるハードウェア制御のベクタ割り込み機能。
- ・ 割り込みスタート・アドレスを任意に設定可能。
- ・ 割り込みプライオリティ選択レジスタ (IPS) により優先順位が指定できる多重割り込み機能。
- ・ 割り込み要求フラグ (IRQ × × ×) のテスト機能 (ソフトウェアで割り込み発生の確認可能)。
- ・ スタンバイ・モードの解除 (割り込み許可フラグにより、解除する割り込みの選択可能)。

(2) テスト機能

- ・ ソフトウェアでテスト要求フラグ (IRQ × × ×) 発生の確認可能。
- ・ スタンバイ・モードの解除 (テスト許可フラグにより、解除するテスト・ソースの選択可能)。

図7-1 割り込み制御回路ブロック図



注 ノイズ除去回路（ノイズ除去回路選択時はスタンバイ・リリース不可）

8 . スタンバイ機能

μ PD753017Aには、プログラム待機中の消費電力を低減するために、2種類のスタンバイ・モード（STOPモード、HALTモード）が用意されています。

表 8 - 1 スタンバイ・モード時の各動作状態

		STOPモード	HALTモード
設定命令		STOP命令	HALT命令
設定時のシステム・クロック		メイン・システム・クロックの場合のみ設定可	メイン・システム・クロックとサブシステム・クロックのいずれでも設定可
動作状態	クロック発生回路	メイン・システム・クロックのみ発振停止	CPUクロックのみ停止（発振継続）
	ベーシック・インターバル・タイマ/ウォッチドッグ・タイマ	動作停止	動作（基準時間間隔でIRQBTをセット）注1
	シリアル・インタフェース	シリアル・クロックに外部SCK入力を選択した場合のみ、動作可能	動作可能注1
	タイマ/イベント・カウンタ	カウンタ・クロックにTI0-TI2の端子入力を指定した場合のみ、動作可能	動作可能注1
	時計用タイマ	カウンタ・クロックにf _{XT} を選択した場合動作可能	動作可能
	LCDコントローラ/ドライバ	LCDCLにf _{XT} を選択した場合のみ動作可能	動作可能
	外部割り込み	INT1, 2, 4は動作可能 INT0のみ動作不可能注2	
	CPU	動作停止	
	★ 解除信号	<ul style="list-style-type: none"> ・ 割り込み許可フラグで許可されている動作可能なハードウェアからの割り込み要求信号 ・ テスト許可フラグで許可されているテスト・ソースからのテスト要求信号 ・ $\overline{\text{RESET}}$入力 	

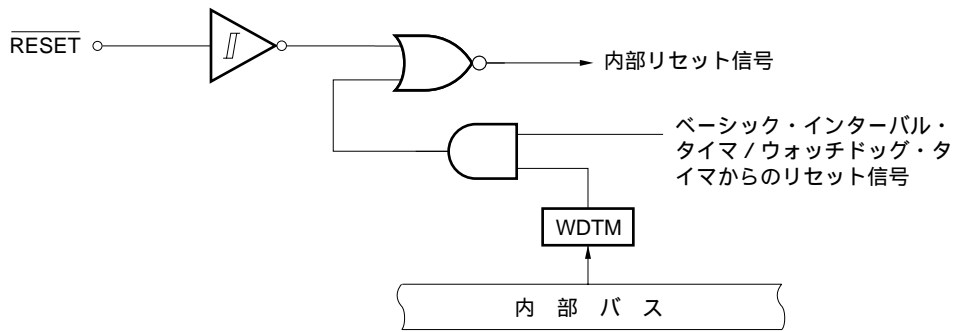
注 1 . メイン・システム・クロック停止時のみ動作不可能。

2 . エッジ検出モード・レジスタ（IM0）のビット 2 により、ノイズ除去回路を選択しない場合（IM02 = 1 のとき）のみ動作可能。

9 . リセット機能

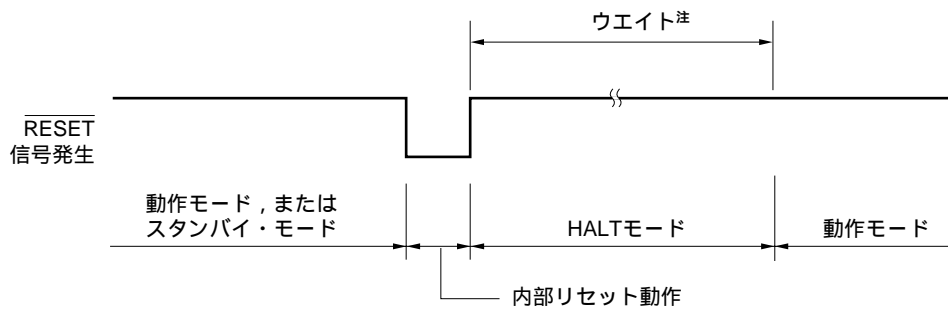
リセット入力には、外部リセット信号 ($\overline{\text{RESET}}$) とベーシック・インターバル・タイマ/ウォッチドッグ・タイマからのリセット信号の2種類があります。どちらか一方のリセット信号が入力されると、内部リセット信号が発生します。図9 - 1 にそれぞれの構成を示します。

図9 - 1 リセット機能の構成



$\overline{\text{RESET}}$ 信号発生によって、各ハードウェアは表9 - 1 に示すようにイニシャライズされます。リセット動作のタイミングを図9 - 2 に示します。

図9 - 2 $\overline{\text{RESET}}$ 信号発生によるリセット動作



注 マスク・オプションにより次の2つの時間を選択することができます。

$2^{17}/f_x$ (21.8 ms : 6.0 MHz動作時, 31.3 ms : 4.19 MHz動作時)

$2^{15}/f_x$ (5.46 ms : 6.0 MHz動作時, 7.81 ms : 4.19 MHz動作時)

表9 - 1 各ハードウェアのリセット後の状態 (1/2)

ハードウェア		スタンバイ・モード中の RESET信号発生	動作中のRESET信号発生
プログラム・カウンタ (PC)		プログラム・メモリの0000H番地の下位6ビットをPC13-PC8に, 0001H番地の内容をPC7-PC0にセット。 μPD753017AのPC14は0にリセット。	左に同じ
PSW	キャリー・フラグ (CY)	保持	不定
	スキップ・フラグ (SK0-SK2)	0	0
	割り込みステータス・フラグ (IST0)	0	0
	バンク許可フラグ (MBE, RBE)	プログラム・メモリの0000H番地のビット6をRBE, ビット7をMBEにセット	左に同じ
スタック・ポインタ (SP)		不定	不定
スタック・バンク選択レジスタ (SBS)		1000B	1000B
データ・メモリ (RAM)		保持	不定
汎用レジスタ (X, A, H, L, D, E, B, C)		保持	不定
バンク選択レジスタ (MBS, RBS)		0, 0	0, 0
ベーシック・イ	カウンタ (BT)	不定	不定
ンターバル・タ	モード・レジスタ (BTM)	0	0
イマ/ウォッチ	ウォッチドッグ・タイマ許可	0	0
ドッグ・タイマ	フラグ (WDTM)		
タイマ/イベ	カウンタ (T0)	0	0
ント・カウン	モジュロ・レジスタ (TMOD0)	FFH	FFH
タ (T0)	モード・レジスタ (TM0)	0	0
	TOE0, TOUT F/F	0, 0	0, 0
タイマ/イベ	カウンタ (T1)	0	0
ント・カウン	モジュロ・レジスタ (TMOD1)	FFH	FFH
タ (T1)	モード・レジスタ (TM1)	0	0
	TOE1, TOUT F/F	0, 0	0, 0
タイマ/イベ	カウンタ (T2)	0	0
ント・カウン	モジュロ・レジスタ (TMOD2)	FFH	FFH
タ (T2)	ハイ・レベル期間設定用 モジュロ・レジスタ (TMOD2H)	FFH	FFH
	モード・レジスタ (TM2)	0	0
	TOE2, TOUT F/F	0, 0	0, 0
	REMC, NRZ, NRZB	0, 0, 0	0, 0, 0
	TGE	0	0
時計用タイマ	モード・レジスタ (WM)	0	0

表9 - 1 各ハードウェアのリセット後の状態 (2/2)

ハードウェア		スタンバイ・モード中の RESET信号発生	動作中のRESET信号発生
シリアル・ インタフェース	シフト・レジスタ (SIO)	保持	不定
	動作モード・レジスタ (CSIM)	0	0
	SBIコントロール・レジスタ (SBIC)	0	0
	スレーブ・アドレス・レジスタ (SVA)	保持	不定
クロック発生 回路, クロック出力 回路	プロセッサ・クロック・ コントロール・レジスタ (PCC)	0	0
	システム・クロック・ コントロール・レジスタ (SCC)	0	0
	クロック出力モード・レジスタ (CLOM)	0	0
サブ発振回路コントロール・レジスタ (SOS)		0	0
LCDコントロー ラ/ドライバ	表示モード・レジスタ (LCDM)	0	0
	表示制御レジスタ (LCDC)	0	0
割り込み機能	割り込み要求フラグ (IRQ x x x)	リセット (0)	リセット (0)
	割り込み許可フラグ (IE x x x)	0	0
	割り込みマスタ許可フラグ (IME)	0	0
	INT0, 1, 2 モード・レジスタ (IM0, IM1, IM2)	0, 0, 0	0, 0, 0
	割り込みプライオリティ選択レジ スタ (IPS)	0	0
デジタル・ ポート	出力バッファ	オフ	オフ
	出力ラッチ	クリア (0)	クリア (0)
	入出力モード・レジスタ (PMGA, PMGB)	0	0
	プルアップ抵抗指定レジスタ (POGA)	0	0
ビット・シーケンシャル・バッファ (BSB0-BSB3)		保持	不定

10. マスク・オプション

μ PD753017Aには、次のマスク・オプションがあります。

P40-P43, P50-P53のマスク・オプション

プルアップ抵抗の内蔵を選択可能。

ビット単位でプルアップ抵抗の内蔵を指定する

プルアップ抵抗の内蔵を指定しない

V_{Lc0}-V_{Lc2}端子, BIAS端子のマスク・オプション

LCD駆動用分割抵抗の内蔵を選択可能。

分割抵抗を内蔵しない

4本同時に10k (TYP.)の分割抵抗を内蔵する

4本同時に100k (TYP.)の分割抵抗を内蔵する

スタンバイ機能のマスク・オプション

$\overline{\text{RESET}}$ 信号によるウェイト時間を選択可能。

$2^{17}/f_x$ (21.8 ms : $f_x = 6.0$ MHz動作時, 31.3 ms : $f_x = 4.19$ MHz動作時)

$2^{15}/f_x$ (5.46 ms : $f_x = 6.0$ MHz動作時, 7.81 ms : $f_x = 4.19$ MHz動作時)

サブシステム・クロックのマスク・オプション

内蔵フィードバック抵抗の使用可能/不可を選択可能。

内蔵フィードバック抵抗を使用可能にする

(ソフトウェアで内蔵フィードバック抵抗のオン/オフを切り替える)

内蔵フィードバック抵抗を使用不可能にする

(内蔵フィードバック抵抗をハードウェアで切断する)

11. 命令セット

(1) オペランドの表現形式と記述方法

★ 各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述します（詳細はRA75X **アセンブラ・パッケージ ユーザーズ・マニュアル 言語編** (U12385J)を参照してください）。記述方法の中で、複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および+、-記号はキー・ワードであり、そのまま記述します。

イミューディオ・データの場合は、適当な数値またはレーベルを記述します。

レーベルとしてmem, fmem, pmem, bitなどの代わりに、各種レジスタ・フラグの略語を記述できます（ただし、fmem, pmemは記述できるレーベルに制限があります。詳しくは、ユーザーズ・マニュアルを参照してください）。

表現形式	記述方法
reg	X, A, B, C, D, E, H, L
reg1	X, B, C, D, E, H, L
rp	XA, BC, DE, HL
rp1	BC, DE, HL
rp2	BC, DE
rp'	XA, BC, DE, HL, XA', BC', DE', HL'
rp'1	BC, DE, HL, XA', BC', DE',HL'
rpa	HL, HL + , HL - , DE, DL
rpa1	DE, DL
n4	4ビット・イミューディオ・データまたはレーベル
n8	8ビット・イミューディオ・データまたはレーベル
mem	8ビット・イミューディオ・データまたはレーベル ^注
bit	2ビット・イミューディオ・データまたはレーベル
fmem	FB0H-FBFH, FF0H-FFFHイミューディオ・データまたはレーベル
pmem	FC0H-FFFHイミューディオ・データまたはレーベル
addr	0000H-2FFFHイミューディオ・データまたはレーベル (μ PD753012A) 0000H-3FFFHイミューディオ・データまたはレーベル(μ PD753016A, 753017A)
addr1	0000H-5FFFHイミューディオ・データまたはレーベル
caddr	12ビット・イミューディオ・データまたはレーベル
faddr	11ビット・イミューディオ・データまたはレーベル
taddr	20H-7FHイミューディオ・データ (ただしbit0 = 0) またはレーベル
PORTn	PORT0-PORT7
IE x x x	IEBT, IET0-IET2, IE0-IE2, IE4, IECSI, IEW
RBn	RB0-RB3
MBn	MB0, MB1, MB2, MB3, MB15

注 memは、8ビット・データ処理の場合は偶数アドレスのみ記述できます。

(2) オペレーション説明上の凡例

A	: Aレジスタ ; 4ビット・アキュムレータ
B	: Bレジスタ
C	: Cレジスタ
D	: Dレジスタ
E	: Eレジスタ
H	: Hレジスタ
L	: Lレジスタ
X	: Xレジスタ
XA	: レジスタ・ペア (XA) ; 8ビット・アキュムレータ
BC	: レジスタ・ペア (BC)
DE	: レジスタ・ペア (DE)
HL	: レジスタ・ペア (HL)
XA'	: 拡張レジスタ・ペア (XA')
BC'	: 拡張レジスタ・ペア (BC')
DE'	: 拡張レジスタ・ペア (DE')
HL'	: 拡張レジスタ・ペア (HL')
PC	: プログラム・カウンタ
SP	: スタック・ポインタ
CY	: キャリー・フラグ ; ビット・アキュムレータ
PSW	: プログラム・ステータス・ワード
MBE	: メモリ・バンク許可フラグ
RBE	: レジスタ・バンク許可フラグ
PORTn	: ポートn (n=0-7)
IME	: 割り込みマスタ許可フラグ
IPS	: 割り込みプライオリティ選択レジスタ
IE x x x	: 割り込み許可フラグ
RBS	: レジスタ・バンク選択レジスタ
MBS	: メモリ・バンク選択レジスタ
PCC	: プロセッサ・クロック・コントロール・レジスタ
.	: アドレス, ビット区切り
(x x)	: x x でアドレスされる内容
x x H	: 16進データ

(3) アドレッシング・エリアの欄の記号説明

*1	MB = MBE・MBS (MBS = 0-3, 15)		データ・メモリ アドレッシング
*2	MB = 0		
*3	MBE = 0 : MB = 0 (000H-07FH) MB = 15 (F80H-FFFH) MBE = 1 : MB = MBS (MBS = 0-3, 15)		
*4	MB = 15, fmem = FB0H-FBFH, FF0H-FFFH		
*5	MB = 15, pmem = FC0H-FFFH		
*6	μ PD753012A	addr = 0000H-2FFFH	プログラム・メモリ アドレッシング
	μ PD753016A 753017A	addr = 0000H-3FFFH	
*7	μ PD753012A 753016A 753017A (Mk モード時)	addr = (Current PC) - 15 ~ (Current PC) - 1 (Current PC) + 2 ~ (Current PC) + 16	
	μ PD753017A (Mk モード時)	addr1 = (Current PC) - 15 ~ (Current PC) - 1 (Current PC) + 2 ~ (Current PC) + 16	
*8	μ PD753012A	caddr = 0000H-0FFFH (PC _{13,12} = 00B) or 1000H-1FFFH (PC _{13,12} = 01B) or 2000H-2FFFH (PC _{13,12} = 10B)	
	μ PD753016A	caddr = 0000H-0FFFH (PC _{13,12} = 00B) or 1000H-1FFFH (PC _{13,12} = 01B) or 2000H-2FFFH (PC _{13,12} = 10B) or 3000H-3FFFH (PC _{13,12} = 11B)	
	μ PD753017A	caddr = 0000H-0FFFH (PC _{14,13,12} = 000B) or 1000H-1FFFH (PC _{14,13,12} = 001B) or 2000H-2FFFH (PC _{14,13,12} = 010B) or 3000H-3FFFH (PC _{14,13,12} = 011B) or 4000H-4FFFH (PC _{14,13,12} = 100B) or 5000H-5FFFH (PC _{14,13,12} = 101B)	
*9	faddr = 0000H-07FFH		
*10	taddr = 0020H-007FH		
*11	μ PD753012A	addr1 = 0000H-2FFFH	
	μ PD753016A	addr1 = 0000H-3FFFH	
	μ PD753017A	addr1 = 0000H-5FFFH	

備考1 . MBはアクセス可能なメモリ・バンクを示します。

- 2 . * 2 ではMBE, MBSに関係なくMB = 0です。
- 3 . * 4 , * 5 ではMBE, MBSに関係なくMB = 15です。
- 4 . * 6 ~ * 11は, それぞれアドレッシング可能な領域を示します。

(4) マシン・サイクルの欄の説明

Sは、スキップ付き命令がスキップ動作をするときに要するマシン・サイクル数を示します。Sの値は次のように変わります。

スキップしないとき	S = 0
スキップされる命令が、1バイト命令、または2バイト命令のとき	S = 1
スキップされる命令が、3バイト命令 ^注 のとき	S = 2

注 3バイト命令：BR !addr, BRA !addr1, CALL !addr, CALLA !addr1命令

注意 GETI命令は1マシン・サイクルでスキップされます。

1マシン・サイクルはCPUクロック の1サイクル分 (= tcy) に等しく、PCCの設定により4通りの時間が選択できます。

命令群	二モニック	オペランド	バイト数	マシン・サイクル	オペレーション	アドレッシング・エリア	スキップ条件
転送	MOV	A, #n4	1	1	A n4		たてづみA
		reg1, #n4	2	2	reg1 n4		
		XA, #n8	2	2	XA n8		たてづみA
		HL, #n8	2	2	HL n8		たてづみB
		rp2, #n8	2	2	rp2 n8		
		A, @HL	1	1	A (HL)	*1	
		A, @HL +	1	2 + S	A (HL), then L L + 1	*1	L = 0
		A, @HL -	1	2 + S	A (HL), then L L - 1	*1	L = FH
		A, @rpa1	1	1	A (rpa1)	*2	
		XA, @HL	2	2	XA (HL)	*1	
		@HL, A	1	1	(HL) A	*1	
		@HL, XA	2	2	(HL) XA	*1	
		A, mem	2	2	A (mem)	*3	
		XA, mem	2	2	XA (mem)	*3	
		mem, A	2	2	(mem) A	*3	
		mem, XA	2	2	(mem) XA	*3	
		A, reg1	2	2	A reg1		
		XA, rp'	2	2	XA rp'		
		reg1, A	2	2	reg1 A		
		rp'1, XA	2	2	rp'1 XA		
	XCH	A, @HL	1	1	A (HL)	*1	
		A, @HL +	1	2 + S	A (HL), then L L + 1	*1	L = 0
		A, @HL -	1	2 + S	A (HL), then L L - 1	*1	L = FH
		A, @rpa1	1	1	A (rpa1)	*2	
		XA, @HL	2	2	XA (HL)	*1	
		A, mem	2	2	A (mem)	*3	
		XA, mem	2	2	XA (mem)	*3	
		A, reg1	1	1	A reg1		
XA, rp'	2	2	XA rp'				

命令群	二モニツク	オペランド	バイト数	マシン・サイクル	オペレーション	アドレッシング・エリア	スキップ条件
テーブル参照	MOVT ^{注1}	XA, @PCDE	1	3	XA (PC ₁₃₋₈ + DE) _{ROM}		
					μ PD753017A XA (PC ₁₄₋₈ + DE) _{ROM}		
		XA, @PCXA	1	3	XA (PC ₁₃₋₈ + XA) _{ROM}		
					μ PD753017A XA (PC ₁₄₋₈ + XA) _{ROM}		
		XA, @BCDE ^{注2}	1	3	XA (B _{1,0} + CDE) _{ROM}	* 6	
					μ PD753017A XA (B ₂₋₀ + CDE) _{ROM}	* 11	
		XA, @BCXA ^{注2}	1	3	XA (B _{1,0} + CXA) _{ROM}	* 6	
					μ PD753017A XA (B ₂₋₀ + CXA) _{ROM}	* 11	
ビット転送	MOV1	CY, fmem.bit	2	2	CY (fmem.bit)	* 4	
		CY, pmem.@L	2	2	CY (pmem ₇₋₂ + L ₃₋₂ .bit(L ₁₋₀))	* 5	
		CY, @H + mem.bit	2	2	CY (H + mem ₃₋₀ .bit)	* 1	
		fmem.bit, CY	2	2	(fmem.bit) CY	* 4	
		pmem.@L, CY	2	2	(pmem ₇₋₂ + L ₃₋₂ .bit(L ₁₋₀)) CY	* 5	
		@H + mem.bit, CY	2	2	(H + mem ₃₋₀ .bit) CY	* 1	
演算	ADDS	A, #n4	1	1 + S	A A + n4		carry
		XA, #n8	2	2 + S	XA XA + n8		carry
		A, @HL	1	1 + S	A A + (HL)	* 1	carry
		XA, rp'	2	2 + S	XA XA + rp'		carry
		rp'1, XA	2	2 + S	rp'1 rp'1 + XA		carry
	ADDC	A, @HL	1	1	A, CY A + (HL) + CY	* 1	
		XA, rp'	2	2	XA, CY XA + rp' + CY		
		rp'1, XA	2	2	rp'1, CY rp'1 + XA + CY		
	SUBS	A, @HL	1	1 + S	A A - (HL)	* 1	borrow
		XA, rp'	2	2 + S	XA XA - rp'		borrow
		rp'1, XA	2	2 + S	rp'1 rp'1 - XA		borrow
	SUBC	A, @HL	1	1	A, CY A - (HL) - CY	* 1	
XA, rp'		2	2	XA, CY XA - rp' - CY			
rp'1, XA		2	2	rp'1, CY rp'1 - XA - CY			

注1 . で示す部分はMk モード時のみ対応可能です。そのほかは、Mk モード時にのみ対応可能です。

2 . Bレジスタは、下記のビットのみ有効です。

μ PD753012A, 753016A : 下位 2 ビット

μ PD753017A : 下位 3 ビット

備考 μ PD753017AをMk モードに設定した場合は、PC₁₄は 0 に固定されます。

命令群	二モニック	オペランド	バイト数	マシン・サイクル	オペレーション	アドレッシング・エリア	スキップ条件
演算	AND	A, #n4	2	2	A A n4		
		A, @HL	1	1	A A (HL)	* 1	
		XA, rp'	2	2	XA XA rp'		
		rp'1, XA	2	2	rp'1 rp'1 XA		
	OR	A, #n4	2	2	A A n4		
		A, @HL	1	1	A A (HL)	* 1	
		XA, rp'	2	2	XA XA rp'		
		rp'1, XA	2	2	rp'1 rp'1 XA		
	XOR	A, #n4	2	2	A A ∨ n4		
		A, @HL	1	1	A A ∨ (HL)	* 1	
		XA, rp'	2	2	XA XA ∨ rp'		
		rp'1, XA	2	2	rp'1 rp'1 ∨ XA		
アキュムレータ操作	RORC	A	1	1	CY A ₀ , A ₃ CY, A _{n-1} A _n		
	NOT	A	2	2	A \bar{A}		
増減	INCS	reg	1	1 + S	reg reg + 1		reg = 0
		rp1	1	1 + S	rp1 rp1 + 1		rp1 = 00H
		@HL	2	2 + S	(HL) (HL) + 1	* 1	(HL) = 0
		mem	2	2 + S	(mem) (mem) + 1	* 3	(mem) = 0
	DECS	reg	1	1 + S	reg reg - 1		reg = FH
		rp'	2	2 + S	rp' rp' - 1		rp' = FFH
比較	SKE	reg, #n4	2	2 + S	Skip if reg = n4		reg = n4
		@HL, #n4	2	2 + S	Skip if (HL) = n4	* 1	(HL) = n4
		A, @HL	1	1 + S	Skip if A = (HL)	* 1	A = (HL)
		XA, @HL	2	2 + S	Skip if XA = (HL)	* 1	XA = (HL)
		A, reg	2	2 + S	Skip if A = reg		A = reg
		XA, rp'	2	2 + S	Skip if XA = rp'		XA = rp'
キャリー・フラグ操作	SET1	CY	1	1	CY 1		
	CLR1	CY	1	1	CY 0		
	SKT	CY	1	1 + S	Skip if CY = 1		CY = 1
	NOT1	CY	1	1	CY \overline{CY}		

命令群	二モニック	オペランド	バイト数	マシン・サイクル	オペレーション	アドレッシング・エリア	スキップ条件
メモリ・ビット操作	SET1	mem.bit	2	2	(mem.bit) 1	* 3	
		fmem.bit	2	2	(fmem.bit) 1	* 4	
		pmem.@L	2	2	(pmem ₇₋₂ + L ₃₋₂ .bi(L ₁₋₀)) 1	* 5	
		@H + mem.bit	2	2	(H + mem ₃₋₀ .bit) 1	* 1	
	CLR1	mem.bit	2	2	(mem.bit) 0	* 3	
		fmem.bit	2	2	(fmem.bit) 0	* 4	
		pmem.@L	2	2	(pmem ₇₋₂ + L ₃₋₂ .bi(L ₁₋₀)) 0	* 5	
		@H + mem.bit	2	2	(H + mem ₃₋₀ .bit) 0	* 1	
	SKT	mem.bit	2	2 + S	Skip if(mem.bit)= 1	* 3	(mem.bit)= 1
		fmem.bit	2	2 + S	Skip if(fmem.bit)= 1	* 4	(fmem.bit)= 1
		pmem.@L	2	2 + S	Skip if(pmem ₇₋₂ + L ₃₋₂ .bi(L ₁₋₀))= 1	* 5	(pmem.@L)= 1
		@H + mem.bit	2	2 + S	Skip if(H + mem ₃₋₀ .bit)= 1	* 1	(@H + mem.bit)= 1
	SKF	mem.bit	2	2 + S	Skip if(mem.bit)= 0	* 3	(mem.bit)= 0
		fmem.bit	2	2 + S	Skip if(fmem.bit)= 0	* 4	(fmem.bit)= 0
		pmem.@L	2	2 + S	Skip if(pmem ₇₋₂ + L ₃₋₂ .bi(L ₁₋₀))= 0	* 5	(pmem.@L)= 0
		@H + mem.bit	2	2 + S	Skip if(H + mem ₃₋₀ .bit)= 0	* 1	(@H + mem.bit)= 0
	SKTCLR	fmem.bit	2	2 + S	Skip if(fmem.bit)= 1 and clear	* 4	(fmem.bit)=1
		pmem.@L	2	2 + S	Skip if(pmem ₇₋₂ + L ₃₋₂ .bi(L ₁₋₀))= 1 and clear	* 5	(pmem.@L)= 1
		@H + mem.bit	2	2 + S	Skip if(H + mem ₃₋₀ .bit)= 1 and clear	* 1	(@H + mem.bit)= 1
	AND1	CY, fmem.bit	2	2	CY CY (fmem.bit)	* 4	
		CY, pmem.@L	2	2	CY CY (pmem ₇₋₂ + L ₃₋₂ .bi(L ₁₋₀))	* 5	
		CY, @H + mem.bit	2	2	CY CY (H + mem ₃₋₀ .bit)	* 1	
	OR1	CY, fmem.bit	2	2	CY CY (fmem.bit)	* 4	
		CY, pmem.@L	2	2	CY CY (pmem ₇₋₂ + L ₃₋₂ .bi(L ₁₋₀))	* 5	
CY, @H + mem.bit		2	2	CY CY (H + mem ₃₋₀ .bit)	* 1		
XOR1	CY, fmem.bit	2	2	CY CY ∇ (fmem.bit)	* 4		
	CY, pmem.@L	2	2	CY CY ∇ (pmem ₇₋₂ + L ₃₋₂ .bi(L ₁₋₀))	* 5		
	CY, @H + mem.bit	2	2	CY CY ∇ (H + mem ₃₋₀ .bit)	* 1		

命令群	二モニック	オペランド	バイト数	マシン・サイクル	オペレーション	アドレッシング・エリア	スキップ条件
分岐	BR ^注	addr	-	-	PC ₁₃₋₀ addr (アセンブラにより、次のうち最適な命令を選択します。 BR !addr BRCB !caddr BR \$ addr)	* 6	
		addr1	-	-	μPD753012A, 753016A PC ₁₃₋₀ addr1 (アセンブラにより、次のうち最適な命令を選択します。 BR !addr BRA !addr1 BRCB !caddr BR \$ addr1)	* 11	
					μPD753017A PC ₁₄₋₀ addr1 (アセンブラにより、次のうち最適な命令を選択します。 BR !addr BRA !addr1 BRCB !caddr BR \$ addr1)		
		!addr	3	3	PC ₁₃₋₀ addr μPD753017A PC ₁₄₋₀ 0, PC ₁₃₋₀ addr	* 6	
		\$addr	1	2	PC ₁₃₋₀ addr	* 7	
		\$addr1	1	2	μPD753017A PC ₁₄₋₀ addr1		
		PCDE	2	3	PC ₁₃₋₀ PC ₁₃₋₈ + DE		
					μPD753017A PC ₁₄₋₀ PC ₁₄₋₈ + DE		
		PCXA	2	3	PC ₁₃₋₀ PC ₁₃₋₈ + XA		
					μPD753017A PC ₁₄₋₀ PC ₁₄₋₈ + XA		

注 で示す部分はMk モード時のみ対応可能です。そのほかは、Mk モード時にのみ対応可能です。

備考 μPD753017AをMk モードに設定した場合は、PC₁₄は0に固定されます。

命令群	二モニック	オペランド	バイト数	マシン・サイクル	オペレーション	アドレッシング・エリア	スキップ条件
分岐	BR ^{注1}	BCDE ^{注2}	2	3	PC ₁₃₋₀ BCDE	* 6	
					μ PD753017A PC ₁₄₋₀ BCDE	* 11	
		BCXA ^{注2}	2	3	PC ₁₃₋₀ BCXA	* 6	
					μ PD753017A PC ₁₄₋₀ BCXA	* 11	
	BRA ^{注1}	!addr	3	3	μ PD753012A, 753016A PC ₁₃₋₀ addr	* 6	
		!addr1	3	3	μ PD753017A PC ₁₄₋₀ addr1	* 11	
BRCB ^{注1}	!caddr	2	2	PC ₁₃₋₀ PC _{13,12} + caddr ₁₁₋₀	* 8		
				μ PD753017A PC ₁₄₋₀ PC _{14,13,12} + caddr ₁₁₋₀			
サブ ルー チ ン ・ ス タ ック 制 御	CALLA ^{注1}	!addr	3	3	μ PD753012A, 753016A (SP - 6) (SP - 3) (SP - 4) PC ₁₁₋₀ (SP - 5) 0, 0, PC _{13,12} (SP - 2) x, x, MBE, RBE PC ₁₃₋₀ addr, SP SP - 6	* 6	
					!addr1		
	CALL ^{注1}	!addr	3	3	(SP - 4) (SP - 1) (SP - 2) PC ₁₁₋₀ (SP - 3) MBE, RBE, PC ₁₃ , PC ₁₂ PC ₁₃₋₀ addr, SP SP - 4	* 6	
		4	4	μ PD753012A, 753016A (SP - 6) (SP - 3) (SP - 4) PC ₁₁₋₀ (SP - 5) 0, 0, PC _{13,12} (SP - 2) x, x, MBE, RBE PC ₁₃₋₀ addr, SP SP - 6			
		4	4	μ PD753017A (SP - 6) (SP - 3) (SP - 4) PC ₁₁₋₀ (SP - 5) 0, PC _{14,13,12} (SP - 2) x, x, MBE, RBE PC ₁₄ 0, PC ₁₃₋₀ addr, SP SP - 6			

注1 . で示す部分はMk モード時のみ対応可能です。そのほかは、Mk モード時にのみ対応可能です。

2 . Bレジスタは、下記のビットのみ有効です。

μ PD753012A, 753016A : 下位 2 ビット

μ PD753017A : 下位 3 ビット

備考 μ PD753017AをMk モードに設定した場合は、PC₁₄は0に固定されます。

命令群	ニモニック	オペランド	バイト数	マシン・サイクル	オペレーション	アドレッシング・エリア	スキップ条件
サブルーチン・スタック制御	CALLF ^注	!faddr	2	2	(SP - 4) (SP - 1) (SP - 2) PC ₁₁₋₀ (SP - 3) MBE, RBE, PC ₁₃ , PC ₁₂ PC ₁₃₋₀ 000 + faddr, SP SP - 4	*9	
				3	μ PD753012A, 753016A (SP - 6) (SP - 3) (SP - 4) PC ₁₁₋₀ (SP - 5) 0, 0, PC _{13, 12} (SP - 2) x, x, MBE, RBE PC ₁₃₋₀ 000 + faddr, SP SP - 6		
				3	μ PD753017A (SP - 6) (SP - 3) (SP - 4) PC ₁₁₋₀ (SP - 5) 0, PC _{14, 13, 12} (SP - 2) x, x, MBE, RBE PC ₁₄₋₀ 0000 + faddr, SP SP - 6		
RET ^注			1	3	MBE, RBE, PC ₁₃ , PC ₁₂ (SP + 1) PC ₁₁₋₀ (SP) (SP + 3) (SP + 2), SP SP + 4		
					μ PD753012A, 753016A x, x, MBE, RBE (SP + 4) 0, 0, PC ₁₃ , PC ₁₂ (SP + 1) PC ₁₁₋₀ (SP) (SP + 3) (SP + 2), SP SP + 6		
					μ PD753017A x, x, MBE, RBE (SP + 4) 0, PC ₁₄ , PC ₁₃ , PC ₁₂ (SP + 1) PC ₁₁₋₀ (SP) (SP + 3) (SP + 2), SP SP + 6		
RETS ^注			1	3 + S	MBE, RBE, PC ₁₃ , PC ₁₂ (SP + 1) PC ₁₁₋₀ (SP) (SP + 3) (SP + 2), SP SP + 4 then skip unconditionally		無条件
					μ PD753012A, 753016A x, x, MBE, RBE (SP + 4) 0, 0, PC ₁₃ , PC ₁₂ (SP + 1) PC ₁₁₋₀ (SP) (SP + 3) (SP + 2), SP SP + 6 then skip unconditionally		
					μ PD753017A x, x, MBE, RBE (SP + 4) 0, PC ₁₄ , PC ₁₃ , PC ₁₂ (SP + 1) PC ₁₁₋₀ (SP) (SP + 3) (SP + 2), SP SP + 6 then skip unconditionally		

注 で示す部分はMk モード時のみ対応可能です。そのほかは、Mk モード時にのみ対応可能です。

備考 μ PD753017AをMk モードに設定した場合は、PC₁₄は0に固定されます。

命令群	二モニック	オペランド	バイト数	マシン・サイクル	オペレーション	アドレッシング・エリア	スキップ条件	
サブルーチン・スタック制御	RETI ^{注1}	lfaddr	1	3	MBE, RBE, PC ₁₃ , PC ₁₂ (SP + 1) PC ₁₁₋₀ (SP $\bar{\wedge}$ SP + 3 $\bar{\wedge}$ SP + 2) PSW (SP + 4 $\bar{\wedge}$ SP + 5), SP SP + 6			
					μ PD753012A, 753016A 0, 0, PC ₁₃ , PC ₁₂ (SP + 1) PC ₁₁₋₀ (SP $\bar{\wedge}$ SP + 3 $\bar{\wedge}$ SP + 2) PSW (SP + 4 $\bar{\wedge}$ SP + 5), SP SP + 6			
					μ PD753017A 0, PC ₁₄ , PC ₁₃ , PC ₁₂ (SP + 1) PC ₁₁₋₀ (SP $\bar{\wedge}$ SP + 3 $\bar{\wedge}$ SP + 2) PSW (SP + 4 $\bar{\wedge}$ SP + 5), SP SP + 6			
	PUSH	rp		1	1	(SP - 1 $\bar{\wedge}$ SP - 2) rp, SP SP - 2		
		BS		2	2	(SP - 1) MBS, (SP - 2) RBS, SP SP - 2		
	POP	rp		1	1	rp (SP + 1 $\bar{\wedge}$ SP), SP SP + 2		
BS			2	2	MBS (SP + 1), RBS (SP), SP SP + 2			
割り込み制御	EI		2	2	IME(IPS.3) 1			
		IE x x x	2	2	IE x x x 1			
	DI		2	2	IME(IPS.3) 0			
		IE x x x	2	2	IE x x x 0			
入出力	IN ^{注2}	A, PORT _n	2	2	A PORT _n (n = 0 - 7)			
		XA, PORT _n	2	2	XA PORT _{n+1} , PORT _n (n = 4, 6)			
	OUT ^{注2}	PORT _n , A	2	2	PORT _n A (n = 2 - 7)			
		PORT _n , XA	2	2	PORT _{n+1} , PORT _n XA (n = 4, 6)			
CPU制御	HALT		2	2	Set HALT Mode(PCC.2 1)			
	STOP		2	2	Set STOP Mode(PCC.3 1)			
	NOP		1	1	No Operation			

注1 . で示す部分はMk モード時のみ対応可能です。そのほかは、Mk モード時にのみ対応可能です。

2 . IN / OUT命令実行時には、MBE = 0またはMBE = 1, MBS = 15としておく必要があります。

備考 μ PD753017AをMk モードに設定した場合は、PC₁₄は0に固定されます。

命令群	二モニック	オペランド	バイト数	マシン・サイクル	オペレーション	アドレッシング・エリア	スキップ条件
特	SEL	RBn	2	2	RBS n (n=0-3)		
		MBn	2	2	MBS n (n=0-3,15)		
殊	GETI ^{注1,2}	taddr	1	3	・TBR命令のとき $PC_{13-0} (taddr)_{5-0} + (taddr + 1)$ ----- ・TCALL命令のとき $(SP - 4) \times (SP - 1) \times (SP - 2) \quad PC_{11-0}$ $(SP - 3) \quad MBE, RBE, PC_{13}, PC_{12}$ $PC_{13-0} (taddr)_{5-0} + (taddr + 1)$ $SP \quad SP - 4$ ----- ・TBR, TCALL命令以外のとき $(taddr \times taddr + 1)$ の命令実行	*10	参照した命令による
				3	μPD753017A ・TBR命令のとき $PC_{13-0} (taddr)_{5-0} + (taddr + 1)$ $PC_{14} \quad 0$ ----- ・TCALL命令のとき $(SP - 2) \quad x, x, MBE, RBE$ $PC_{13-0} (taddr)_{5-0} + (taddr + 1)$ $SP \quad SP - 6, PC_{14} \quad 0$ ・TBR, TCALL命令以外のとき $(taddr \times taddr + 1)$ の命令実行		
				4	・TCALL命令のとき $(SP - 2) \quad x, x, MBE, RBE$ $PC_{13-0} (taddr)_{5-0} + (taddr + 1)$ $SP \quad SP - 6, PC_{14} \quad 0$ ・TBR, TCALL命令以外のとき $(taddr \times taddr + 1)$ の命令実行		
				3			参照した命令による

注1 . で示す部分はMk モード時のみ対応可能です。そのほかは、Mk モード時にのみ対応可能です。

2 . TBR, TCALL命令はGETI命令のテーブル定義用アセンブラ疑似命令です。

備考 μ PD753017AをMk モードに設定した場合は、PC₁₄は0に固定されます。

12. 電気的特性

絶対最大定格 (TA = 25)

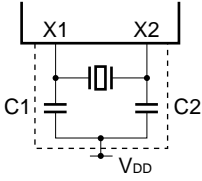
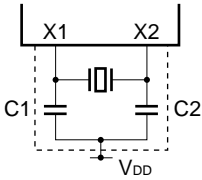
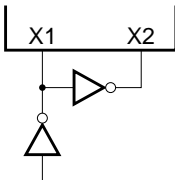
項目	略号	条件	定格	単位	
電源電圧	VDD		- 0.3 ~ + 7.0	V	
入力電圧	VI1	ポート4, 5以外	- 0.3 ~ VDD + 0.3	V	
	VI2	ポート4, 5	プルアップ抵抗内蔵時	- 0.3 ~ VDD + 0.3	V
			N-chオープン・ドレイン時	- 0.3 ~ + 14	V
出力電圧	VO		- 0.3 ~ VDD + 0.3	V	
ハイ・レベル出力電流	IOH	1端子当たり	- 10	mA	
		全端子合計	- 30	mA	
ロウ・レベル出力電流	IOL	1端子当たり	30	mA	
		全端子合計	220	mA	
動作周囲温度	TA		- 40 ~ + 85		
保存温度	Tstg		- 65 ~ + 150		

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

容量 (TA = 25 , VDD = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	CIN	f = 1 MHz			15	pF
出力容量	COU	被測定端子以外は0 V			15	pF
入出力容量	CIO				15	pF

メイン・システム・クロック発振回路特性 (T_A = -40 ~ +85 , V_{DD} = 1.8 ~ 5.5 V)

発振子	推奨定数	項目	条件	MIN.	TYP.	MAX.	単位
セラミック 発振子		発振周波数 (f _x) 注1		1.0		6.0注2	MHz
		発振安定時間注3	V _{DD} が発振電圧範囲のMIN. 値に達したあと			4	ms
水晶 振動子		発振周波数 (f _x) 注1		1.0		6.0注2	MHz
		発振安定時間注3	V _{DD} = 4.5 ~ 5.5 V			10 30	ms
外部 クロック		X1入力周波数 (f _x) 注1		1.0		6.0注2	MHz
		X1入力ハイ、ロウ・レベル幅 (t _{xH} , t _{xL})		83.3		500	ns

注1 . 発振周波数およびX1入力周波数は、発振回路の特性だけを示すものです。命令実行時間はAC特性を参照してください。

- 2 . 1.8 V V_{DD} < 2.7 Vで発振周波数が4.19 MHz < f_x 6.0 MHzの場合、プロセッサ・クロック・コントロール・レジスタ (PCC) を0011に設定すると、1マシン・サイクル・タイムが規定の0.95 μsを満たせなくなるため、PCCは0011以外の値を設定してください。
- 3 . 発振安定時間は、V_{DD}印加後、またはSTOPモード解除後、発振が安定するのに必要な時間です。

注意 メイン・システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

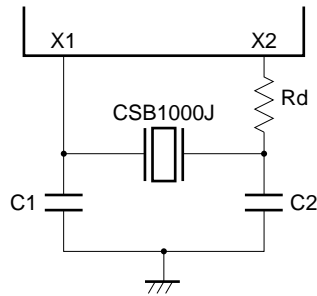
- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接続点は、常にV_{DD}と同電位になるようにする。
- ・大電流が流れる電源パターンには接続しない。
- ・発振回路から信号を取り出さない。

推奨発振子回路定数

セラミック発振子 (TA = -20 ~ +80)

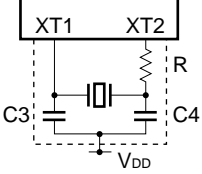
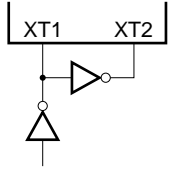
メーカー	品名	周波数 (MHz)	発振回路定数 (pF)		発振電圧範囲 (V)		備考
			C1	C2	MIN.	MAX.	
TDK	CCR1000K2	1.0	100	100	1.8	5.5	-
	CCR2.0MC33	2.0	-	-			コンデンサ内蔵品
	CCR4.19MC3	4.19	-	-			-
	FCR4.19MC5		-	-			-
	CCR6.0MC3	6.0	-	-			-
村田製作所	CSB1000J ^注	1.0	100	100	2.1	5.5	Rd = 5.6 k
	CSA2.00MG040	2.0	100	100	1.9		-
	CST2.00MG040		-	-			コンデンサ内蔵品
	CSA4.19MG	4.19	30	30	1.8		-
	CST4.19MGW		-	-			コンデンサ内蔵品
	CSA6.00MG	6.0	30	30	2.3		-
	CST6.00MGW		-	-			コンデンサ内蔵品
京セラ	KBR-1000F/Y	1.0	100	100	1.8	5.5	-
	KBR-2.0MS	2.0	68	68			
	KBR-4.0MSA/MSB	4.0	33	33			-
	KBR-4.0MKC		-	-			コンデンサ内蔵品
	KBR-4.0MKD		-	-			-
	KBR-4.0MKS		-	-			-
	PBRC4.00A	4.0	33	33			-
	PBRC4.00B		-	-			コンデンサ内蔵品
	KBR-4.19MSA	4.19	33	33			-
	KBR-4.19MSB		33	33			-
	KBR-4.19MKC		-	-			コンデンサ内蔵品
	KBR-4.19MKD		-	-			-
	KBR-4.19MKS		-	-			-
	PBRC4.19A		33	33			-
	PBRC4.19B	-	-	コンデンサ内蔵品			
	KBR-6.0MSA/MSB	6.0	33	33			-
	KBR-6.0MKC		-	-			コンデンサ内蔵品
	KBR-6.0MKD		-	-			-
	KBR-6.0MKS		-	-			-
	PBRC6.00A		33	33			-
PBRC6.00B	-		-	コンデンサ内蔵品			

注 セラミック発振子として村田製作所のCSB1000J (1.0 MHz) を使用する場合には、制限抵抗 ($R_d = 5.6 \text{ k}$) が
必要です (下図参照)。その他の推奨発振子を使用する場合は制限抵抗は不要です。



注意 発振回路定数ならびに発振電圧範囲は、安定して発振する条件を示すものであり、発振周波数精度を保証する
ものではありません。実装回路にて発振周波数精度を必要とする場合、実装回路にて発振子の発振周波数を調
整する必要がありますので、ご使用になる発振子のメーカーに直接お問い合わせください。

サブシステム・クロック発振回路特性 (TA = -40 ~ +85 , VDD = 1.8 ~ 5.5 V)

発振子	推奨定数	項目	条件	MIN.	TYP.	MAX.	単位
水晶 振動子		発振周波数 (f _{XT}) 注1		32	32.768	35	kHz
		発振安定時間注2	V _{DD} = 4.5 ~ 5.5 V		1.0	2	s
外部 クロック		XT1入力周波数 (f _{XT}) 注1		32		100	kHz
		XT1入力ハイ、ロウ・レベル幅 (t _{XTH} , t _{XTL})		5		15	μs

注1．発振回路の特性だけを示すものです。命令実行時間はAC特性を参照してください。

2．V_{DD}印加後、発振が安定するのに必要な時間です。

注意 サブシステム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接続点は、常にV_{DD}と同電位になるようにする。
- ・大電流が流れる電源パターンには接続しない。
- ・発振回路から信号を取り出さない。

サブシステム・クロック発振回路は、低消費電流にするために増幅度の低い回路になっており、ノイズに対する誤動作がメイン・システム・クロックよりも起こりやすくなっています。したがって、サブシステム・クロックを使用する場合は、配線方法について特にご注意ください。

★ 備考 発振子の選択および発振回路定数については、お客様において発振評価していただくか発振子メーカーに評価を依頼してください。

DC特性 (TA = -40 ~ +85 , VDD = 1.8 ~ 5.5 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
ロウ・レベル出力電流	IOL	1端子当たり				15	mA	
		全端子合計				150	mA	
ハイ・レベル入力電圧	VIH1	ポート2, 3		VDD = 2.7 ~ 5.5 V	0.7 VDD	VDD	V	
				VDD = 1.8 ~ 2.7 V	0.9 VDD	VDD	V	
	VIH2	ポート0, 1, 6, 7, RESET		VDD = 2.7 ~ 5.5 V	0.8 VDD	VDD	V	
				VDD = 1.8 ~ 2.7 V	0.9 VDD	VDD	V	
	VIH3	ポート4, 5	プルアップ抵抗内蔵時	VDD = 2.7 ~ 5.5 V	0.7 VDD	VDD	V	
				VDD = 1.8 ~ 2.7 V	0.9 VDD	VDD	V	
		N-chオープン・ドレイン時	VDD = 2.7 ~ 5.5 V	0.7 VDD	13	V		
			VDD = 1.8 ~ 2.7 V	0.9 VDD	13	V		
VIH4	X1, XT1		VDD - 0.1		VDD	V		
ロウ・レベル入力電圧	VIL1	ポート2, 3, 4, 5		VDD = 2.7 ~ 5.5 V	0	0.3 VDD	V	
				VDD = 1.8 ~ 2.7 V	0	0.1 VDD	V	
	VIL2	ポート0, 1, 6, 7, RESET		VDD = 2.7 ~ 5.5 V	0	0.2 VDD	V	
				VDD = 1.8 ~ 2.7 V	0	0.1 VDD	V	
	VIL3	X1, XT1		0		0.1	V	
ハイ・レベル出力電圧	VOH	SCK, SO, ポート2, 3, 6, 7, BP0-BP7 I _{OH} = -1 mA		VDD - 0.5			V	
ロウ・レベル出力電圧	VOL1	SCK, SO, ポート2-7, BP0-BP7		I _{OL} = 15 mA		0.2	2.0	V
				VDD = 5.0 V ± 10 %				
	VOL2	SB0, SB1	N-chオープン・ドレイン プルアップ抵抗 1k			0.2 VDD	V	
ハイ・レベル入力 リーク電流	ILI1	VIN = VDD	X1, XT1, ポート4, 5以外の端子			3	μA	
	ILI2		X1, XT1			20	μA	
	ILI3	VIN = 13 V	ポート4, 5(N-chオープン・ドレイン時)			20	μA	
ロウ・レベル入力 リーク電流	ILIL1	VIN = 0 V	X1, XT1, ポート4, 5以外の端子			-3	μA	
	ILIL2		X1, XT1			-20	μA	
	ILIL3	ポート4, 5(N-chオープン・ドレイン時)入力命令実行時以外					-3	μA
			ポート4, 5(N-chオープン・ドレイン時)入力命令実行時	VDD = 5 V		-10	-27	μA
			VDD = 3 V		-3	-8	μA	
ハイ・レベル出力 リーク電流	ILOH1	VOUT = VDD	SCK, SO/SB0, SB1, ポート2, 3, 6, 7, ポート4, 5(プルアップ抵抗内蔵時), BP0-BP7			3	μA	
	ILOH2	VOUT = 13 V	ポート4, 5(N-chオープン・ドレイン時)			20	μA	
ロウ・レベル出力 リーク電流	ILOL	VOUT = 0 V				-3	μA	
内蔵プルアップ抵抗	RL1	VIN = 0 V	ポート0, 1, 2, 3, 6, 7 (P00端子を除く)	50	100	200	k	
	RL2		ポート4, 5(マスク・オプション選択時)	15	30	60	k	

★

DC特性 (TA = -40 ~ +85 , VDD = 1.8 ~ 5.5 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
LCD駆動電圧 ^{注1}	VLCD	VAC0 = 0		2.2		VDD	V	
		VAC0 = 1		1.8		VDD	V	
VAC電流 ^{注2}	IVAC	VAC0 = 1, VDD = 2.0 V ± 10 %			1	4	μA	
LCD分割抵抗 ^{注3}	RLCD1			50	100	200	k	
	RLCD2			5	10	20	k	
LCD出力電圧偏差 ^{注4} (コモン)	VODC	Io = ±1.0 μA	VLCD0 = VLCD VLCD1 = VLCD × 2/3	0		±0.2	V	
LCD出力電圧偏差 ^{注4} (セグメント)	VODS	Io = ±0.5 μA	VLCD2 = VLCD × 1/3 1.8 V VLCD VDD	0		±0.2	V	
電源電流 ^{注2, 5}	IDD1	6.00 MHz ^{注6} 水晶発振	VDD = 5.0 V ± 10 % ^{注7}		2.2	6.6	mA	
			VDD = 3.0 V ± 10 % ^{注8}		0.6	2.0	mA	
	IDD2	C1 = C2 = 22 pF	HALT	VDD = 5.0 V ± 10 %		0.72	2.1	mA
			モード	VDD = 3.0 V ± 10 %		0.27	0.8	mA
	IDD1	4.19 MHz ^{注6} 水晶発振	VDD = 5.0 V ± 10 % ^{注7}		1.7	5.1	mA	
			VDD = 3.0 V ± 10 % ^{注8}		0.3	0.9	mA	
	IDD2	C1 = C2 = 22 pF	HALT	VDD = 5.0 V ± 10 %		0.7	2.0	mA
			モード	VDD = 3.0 V ± 10 %		0.23	0.7	mA
	IDD3	32.768 kHz ^{注9} 水晶発振	低電圧 モード ^{注10}	VDD = 3.0 V ± 10 %		15	45	μA
				VDD = 2.0 V ± 10 %		8	24	μA
				VDD = 3.0 V, TA = 25		15	30	μA
			低消費電流 モード ^{注11}	VDD = 3.0 V ± 10 %		12	36	μA
				VDD = 3.0 V, TA = 25		12	24	μA
	IDD4	HALT モード	低電圧 モード ^{注10}	VDD = 3.0 V ± 10 %		8.5	25	μA
				VDD = 2.0 V ± 10 %		4	12	μA
VDD = 3.0 V, TA = 25					8.5	17	μA	
低消費電流 モード ^{注11}			VDD = 3.0 V ± 10 %		3.5	12	μA	
			VDD = 3.0 V, TA = 25		3.5	7	μA	
IDD5	XT1 = 0 V ^{注12} STOPモード	VDD = 5.0 V ± 10 %			0.05	10	μA	
		VDD = 3.0 V ± 10 %			0.02	5	μA	
		TA = 25			0.02	3	μA	

注1 . 1.8 V VDD < 2.7 Vの場合, TA = -10 ~ +85

- 2 . 低消費電流モードおよびSTOPモード設定時にはVAC0 = 0にしてください。VAC0 = 1に設定すると、電流が1 μA程度増加します。
- 3 . マスク・オプションにより、RLCD1かRLCD2かのどちらかを選択することができます。
- 4 . 電圧偏差とは、セグメント、コモン出力の理想値 (VLCDn ; n = 0, 1, 2) に対する出力電圧との差です。
- 5 . 内蔵プルアップ抵抗やLCD分割抵抗に流れる電流は含みません。
- 6 . サブシステム・クロックを発振させた場合も含みます。
- 7 . プロセッサ・クロック・コントロール・レジスタ (PCC) を0011に設定し、高速モードで動作させた場合。
- 8 . PCCを0000に設定し、低速モードで動作させた場合。
- 9 . システム・クロック・コントロール・レジスタ (SCC) を1001に設定し、メイン・システム・クロックの発振を停止させ、サブシステム・クロックで動作させた場合。

注10．サブ発振回路コントロール・レジスタ（SOS）を0000に設定した場合。

11．SOSを0010に設定した場合。

12．SOSを00×1に設定し，サブ発振回路のフィードバック抵抗を使用しない場合（×：don't care）。

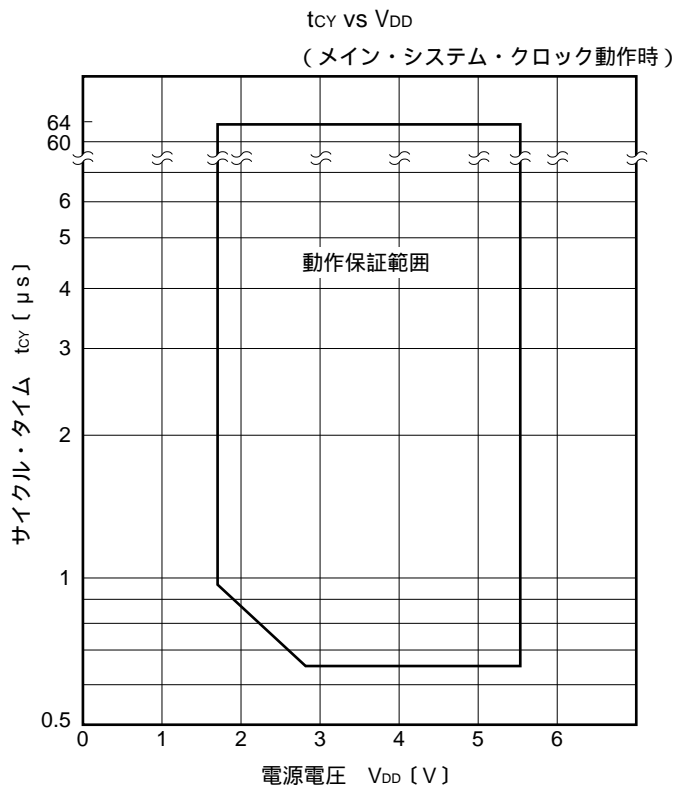
AC特性 (TA = -40 ~ +85 , VDD = 1.8 ~ 5.5 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
CPUクロック・サイクル・タイム ^{注1} (最小命令実行時間 = 1 マシン・サイクル)	tcy	メイン・システム・ クロックで動作	VDD = 2.7 ~ 5.5 V	0.67		64	μs
				0.95		64	μs
		サブシステム・ク ロックで動作		114	122	125	μs
TIO, TI1, TI2入力周波数	fri	VDD = 2.7 ~ 5.5 V	0		1	MHz	
			0		275	kHz	
TIO, TI1, TI2入力ハイ，ロウ・レベル 幅	tT1H, tT1L	VDD = 2.7 ~ 5.5 V	0.48			μs	
			1.8			μs	
割り込み入力ハイ，ロウ・レベル幅	tINTH, tINTL	INT0	IM02 = 0	注2		μs	
			IM02 = 1	10		μs	
		INT1, 2, 4		10		μs	
		KR0-KR7		10		μs	
RESETロウ・レベル幅	trSL		10			μs	

注1．CPUクロック（ ）のサイクル・タイム

（最小命令実行時間）は，接続された発振子の発振周波数とシステム・クロック・コントロール・レジスタ（SCC），プロセッサ・クロック・コントロール・レジスタ（PCC）によって決まります。右図は，メイン・システム・クロック動作時の電源電圧VDDに対するサイクル・タイムtcy特性を示します。

2．割り込みモード・レジスタ（IM0）の設定により，2tcyまたは128/fxとなります。



シリアル転送オペレーション

2線式, 3線式シリアル/Oモード (SCK...内部クロック出力) : (TA = -40 ~ +85 , VDD = 1.8 ~ 5.5 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCKサイクル・タイム	tkCY1	VDD = 2.7 ~ 5.5 V	1300			ns
			3800			ns
SCKハイ, ロウ・レベル幅	tkL1 tkH1	VDD = 2.7 ~ 5.5 V	tkCY1/2 - 50			ns
			tkCY1/2 - 150			ns
Si ^{注1} セットアップ時間 (対SCK)	tsIK1	VDD = 2.7 ~ 5.5 V	150			ns
			500			ns
Si ^{注1} ホールド時間 (対SCK)	tkSI1	VDD = 2.7 ~ 5.5 V	400			ns
			600			ns
SCK SO ^{注1} 出力遅延時間	tkSO1	RL = 1 k , 注2 CL = 100 pF	VDD = 2.7 ~ 5.5 V		250	ns
			0		1000	ns

注1 . 2線式シリアル/Oモード時は, SB0またはSB1に読み替えてください。

2 . RL, CLはSO出力ラインの負荷抵抗, 負荷容量です。

2線式, 3線式シリアル/Oモード (SCK...外部クロック入力) : (TA = -40 ~ +85 , VDD = 1.8 ~ 5.5 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCKサイクル・タイム	tkCY2	VDD = 2.7 ~ 5.5 V	800			ns
			3200			ns
SCKハイ, ロウ・レベル幅	tkL2 tkH2	VDD = 2.7 ~ 5.5 V	400			ns
			1600			ns
Si ^{注1} セットアップ時間 (対SCK)	tsIK2	VDD = 2.7 ~ 5.5 V	100			ns
			150			ns
Si ^{注1} ホールド時間 (対SCK)	tkSI2	VDD = 2.7 ~ 5.5 V	400			ns
			600			ns
SCK SO ^{注1} 出力遅延時間	tkSO2	RL = 1 k , 注2 CL = 100 pF	VDD = 2.7 ~ 5.5 V		300	ns
			0		1000	ns

注1 . 2線式シリアル/Oモード時は, SB0またはSB1に読み替えてください。

2 . RL, CLはSO出力ラインの負荷抵抗, 負荷容量です。

SBIモード (SCK...内部クロック出力 (マスタ)) : (TA = -40 ~ +85 , VDD = 1.8 ~ 5.5 V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
SCKサイクル・タイム	t _{KCY3}	V _{DD} = 2.7 ~ 5.5 V	1300			ns
			3800			ns
SCKハイ, ロウ・レベル幅	t _{KL3} t _{KH3}	V _{DD} = 2.7 ~ 5.5 V	t _{KCY3} /2 - 50			ns
			t _{KCY3} /2 - 150			ns
SB0, 1セットアップ時間 (対SCK)	t _{SIK3}	V _{DD} = 2.7 ~ 5.5 V	150			ns
			500			ns
SB0, 1ホールド時間 (対SCK)	t _{KSI3}		t _{KCY3} /2			ns
SCK SB0, 1出力遅延時間	t _{KSO3}	R _L = 1 k , 注 C _L = 100 pF	V _{DD} = 2.7 ~ 5.5 V	0	250	ns
				0	1000	ns
SCK SB0, 1	t _{KSB}		t _{KCY3}			ns
SB0, 1 SCK	t _{SBK}		t _{KCY3}			ns
SB0, 1ロウ・レベル幅	t _{SBL}		t _{KCY3}			ns
SB0, 1ハイ・レベル幅	t _{SBH}		t _{KCY3}			ns

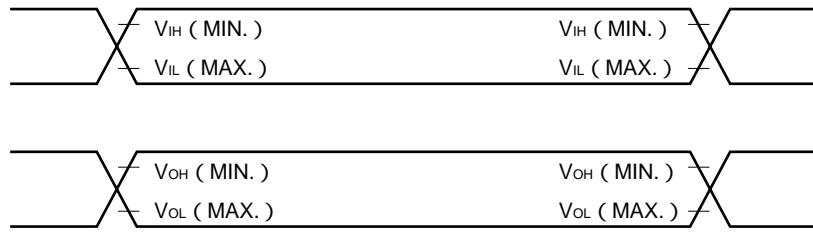
注 R_L, C_LはSB0, 1出力ラインの負荷抵抗, 負荷容量です。

SBIモード (SCK...外部クロック入力 (スレーブ)) : (TA = -40 ~ +85 , VDD = 1.8 ~ 5.5 V)

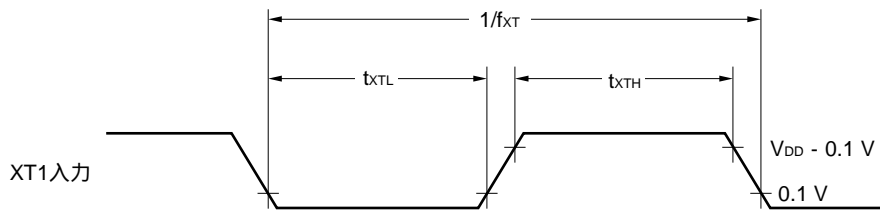
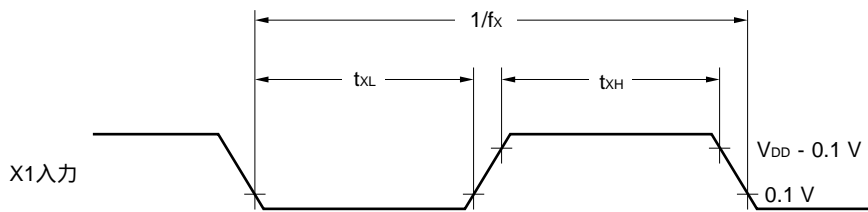
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
SCKサイクル・タイム	t _{KCY4}	V _{DD} = 2.7 ~ 5.5 V	800			ns
			3200			ns
SCKハイ, ロウ・レベル幅	t _{KL4} t _{KH4}	V _{DD} = 2.7 ~ 5.5 V	400			ns
			1600			ns
SB0, 1セットアップ時間 (対SCK)	t _{SIK4}	V _{DD} = 2.7 ~ 5.5 V	100			ns
			150			ns
SB0, 1ホールド時間 (対SCK)	t _{KSI4}		t _{KCY4} /2			ns
SCK SB0, 1出力遅延時間	t _{KSO4}	R _L = 1 k , 注 C _L = 100 pF	V _{DD} = 2.7 ~ 5.5 V	0	300	ns
				0	1000	ns
SCK SB0, 1	t _{KSB}		t _{KCY4}			ns
SB0, 1 SCK	t _{SBK}		t _{KCY4}			ns
SB0, 1ロウ・レベル幅	t _{SBL}		t _{KCY4}			ns
SB0, 1ハイ・レベル幅	t _{SBH}		t _{KCY4}			ns

注 R_L, C_LはSB0, 1出力ラインの負荷抵抗, 負荷容量です。

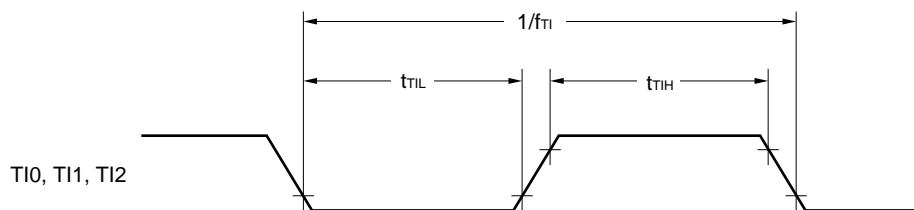
ACタイミング測定点 (X1, XT1入力を除く)



クロック・タイミング

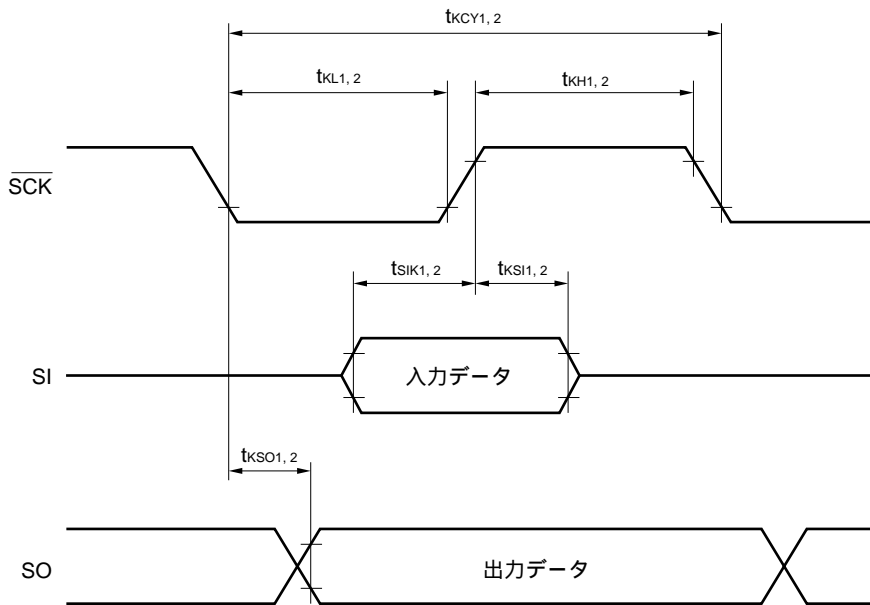


T10, T11, T12タイミング

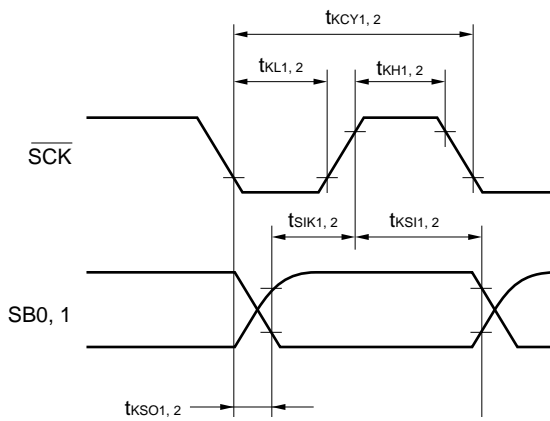


シリアル転送タイミング

3線式シリアル/Oモード

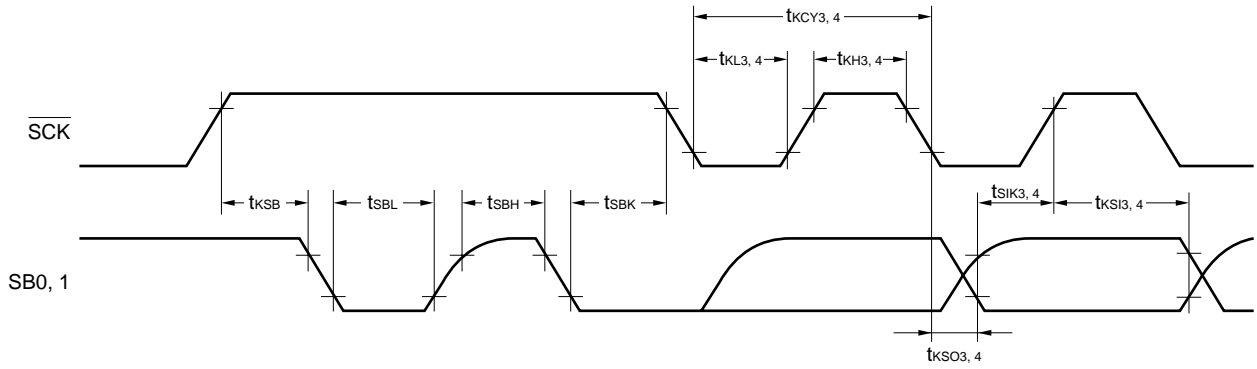


2線式シリアル/Oモード

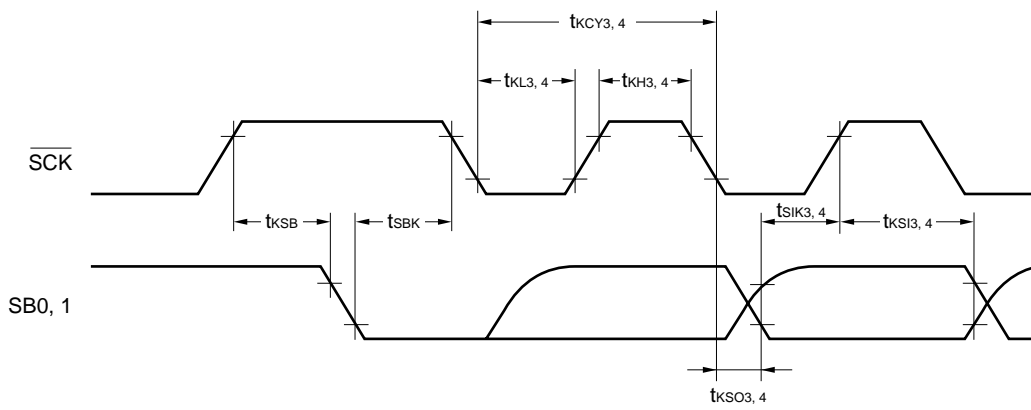


シリアル転送タイミング

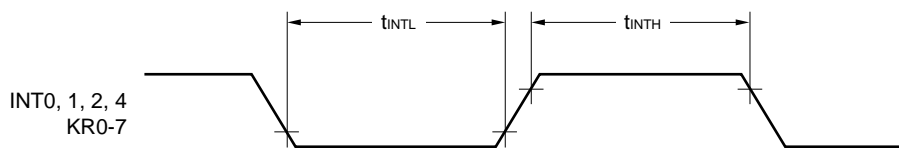
バス・リリース信号転送



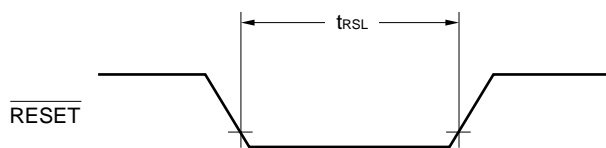
コマンド信号転送



割り込み入力タイミング



$\overline{\text{RESET}}$ 入力タイミング



データ・メモリSTOPモード低電源電圧データ保持特性 (TA = -40 ~ +85)

項目	略号	条件	MIN.	TYP.	MAX.	単位
★ データ保持電源電圧	VDDDR		1.8		5.5	V
リリース信号セット時間	tsREL		0			μs
発振安定ウエイト時間 ^{注1}	tWAIT	RESETによる解除		注2		ms
		割り込み要求による解除		注3		ms

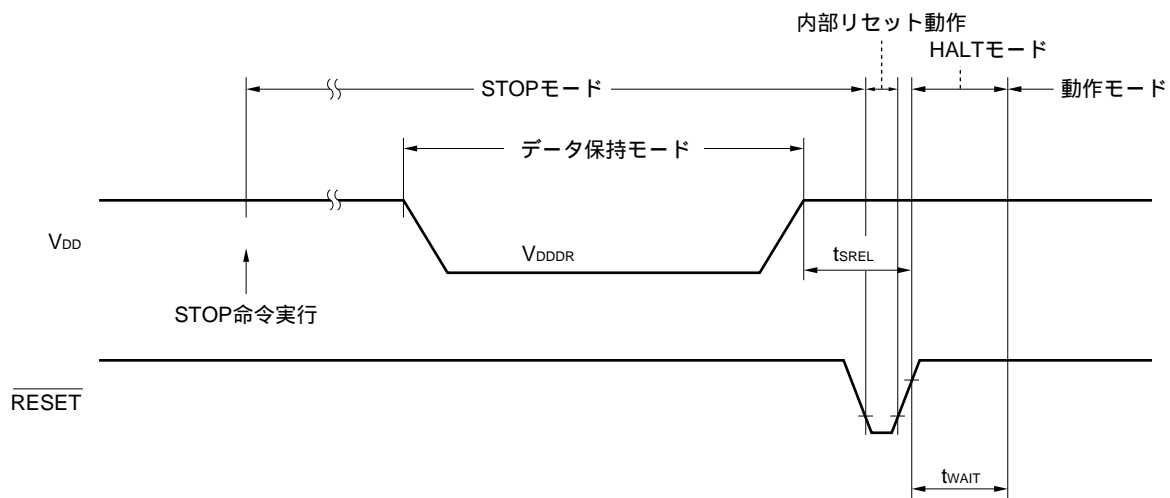
注1．発振安定ウエイト時間は、発振開始時の不安定な動作を防ぐため、CPUの動作を停止しておく時間です。

2．マスク・オプションにより、 $2^{17}/f_x$ か $2^{15}/f_x$ のどちらかを選択することができます。

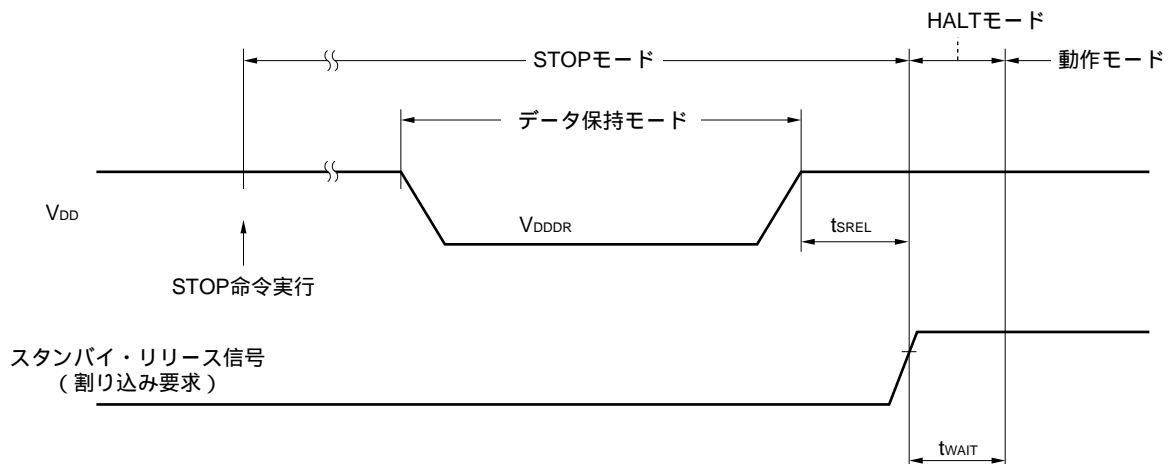
3．ベーシック・インターバル・タイマ・モード・レジスタ (BTM) の設定によります。(下表)

BTM3	BTM2	BTM1	BTM0	ウエイト時間	
				fx = 4.19 MHz時	fx = 6.0 MHz時
-	0	0	0	$2^{20}/f_x$ (約250 ms)	$2^{20}/f_x$ (約175 ms)
-	0	1	1	$2^{17}/f_x$ (約31.3 ms)	$2^{17}/f_x$ (約21.8 ms)
-	1	0	1	$2^{15}/f_x$ (約7.81 ms)	$2^{15}/f_x$ (約5.46 ms)
-	1	1	1	$2^{13}/f_x$ (約1.95 ms)	$2^{13}/f_x$ (約1.37 ms)

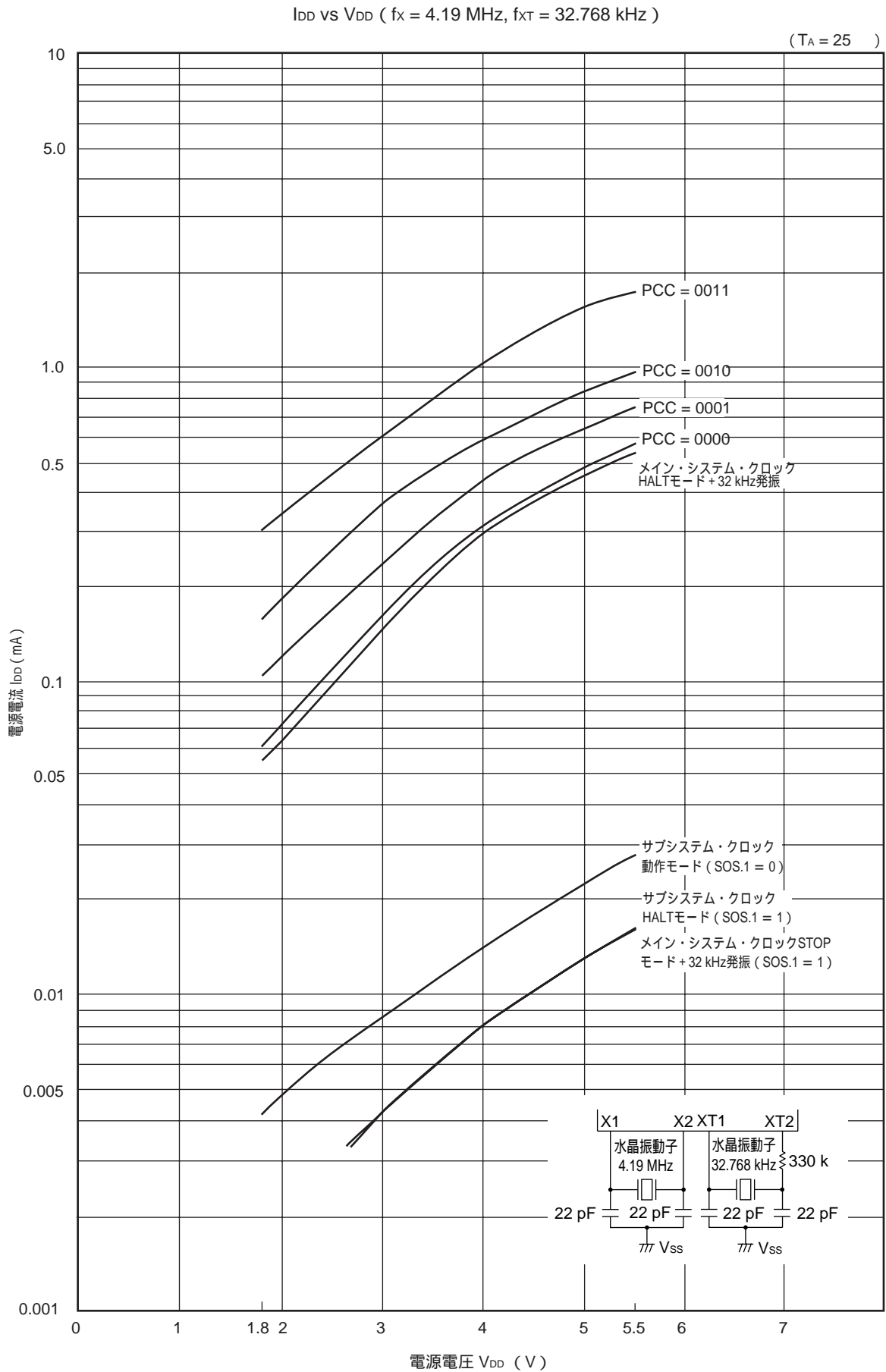
データ保持タイミング (RESETによるSTOPモード解除)



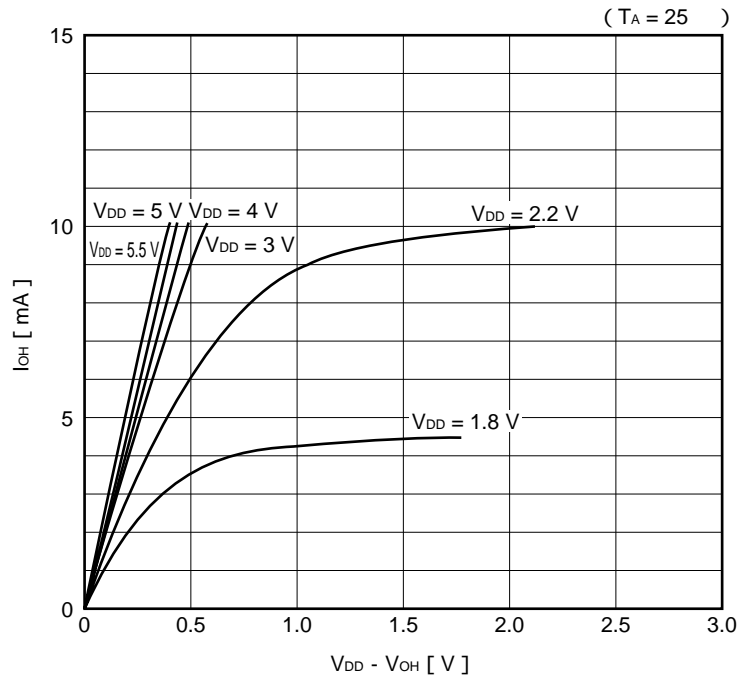
データ保持タイミング (スタンバイ・リリース信号：割り込み信号によるSTOPモード解除)



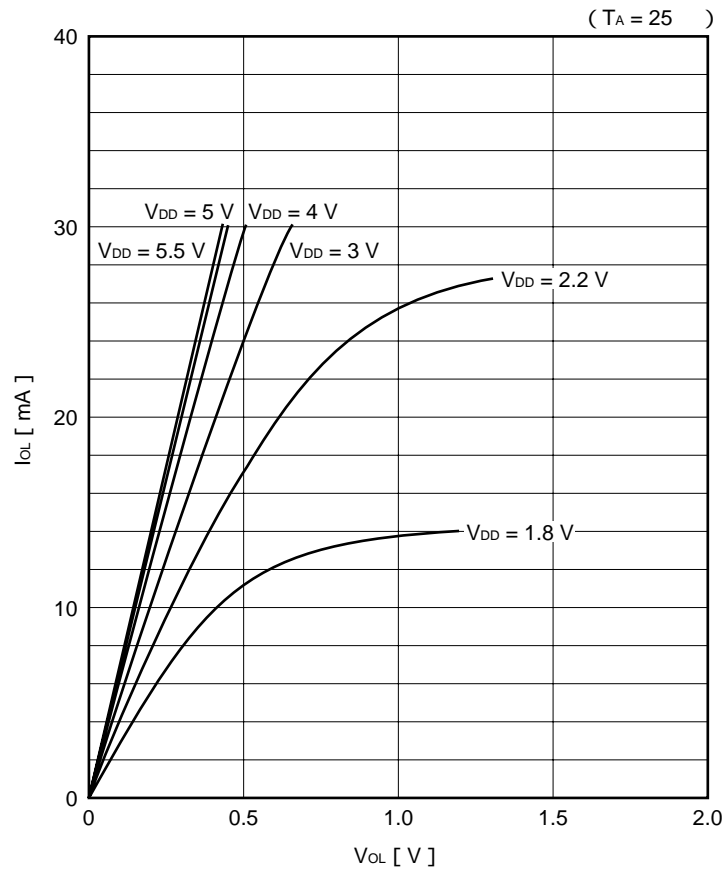
★ 13. 特性曲線 (参考値)



I_{OH} VS $V_{DD} - V_{OH}$ (ポート 2, 3, 6, 7)

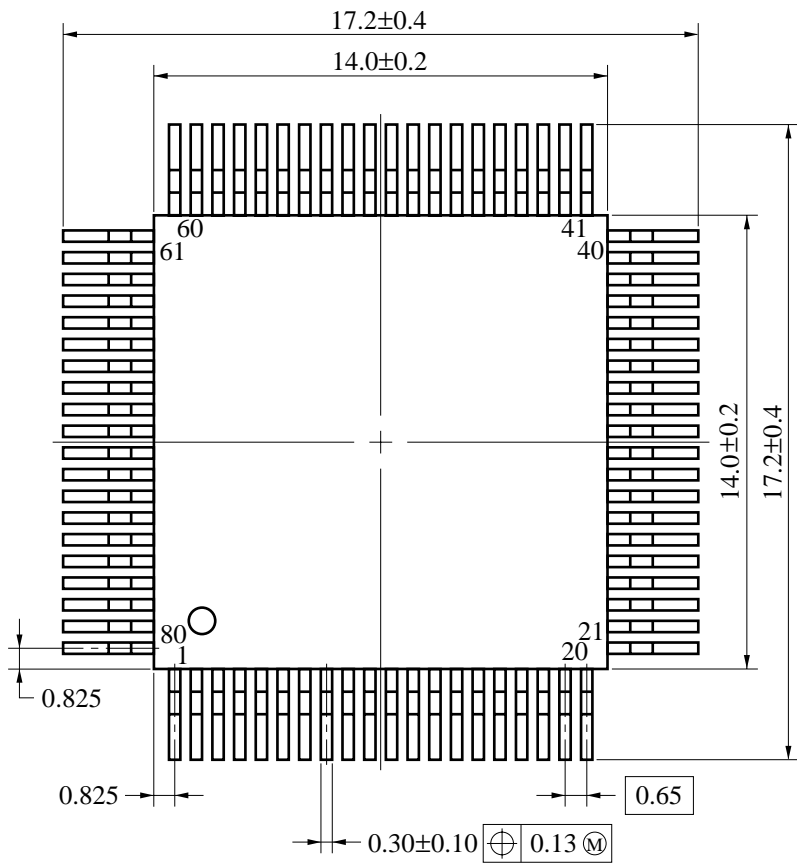


I_{OL} VS V_{OL} (ポート 2, 3, 6, 7)

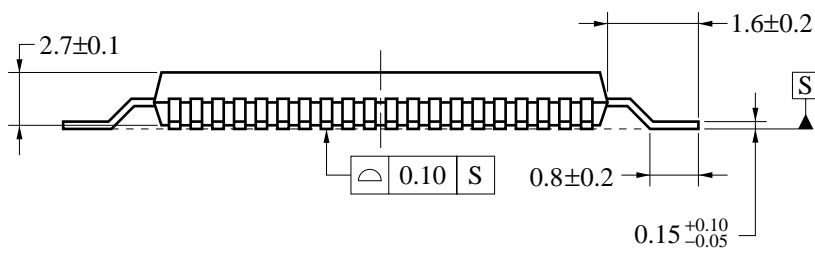
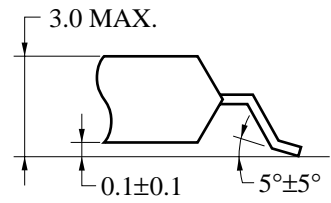


14. 外形図

80ピン・プラスチック QFP (14x14) 外形図 (単位: mm)

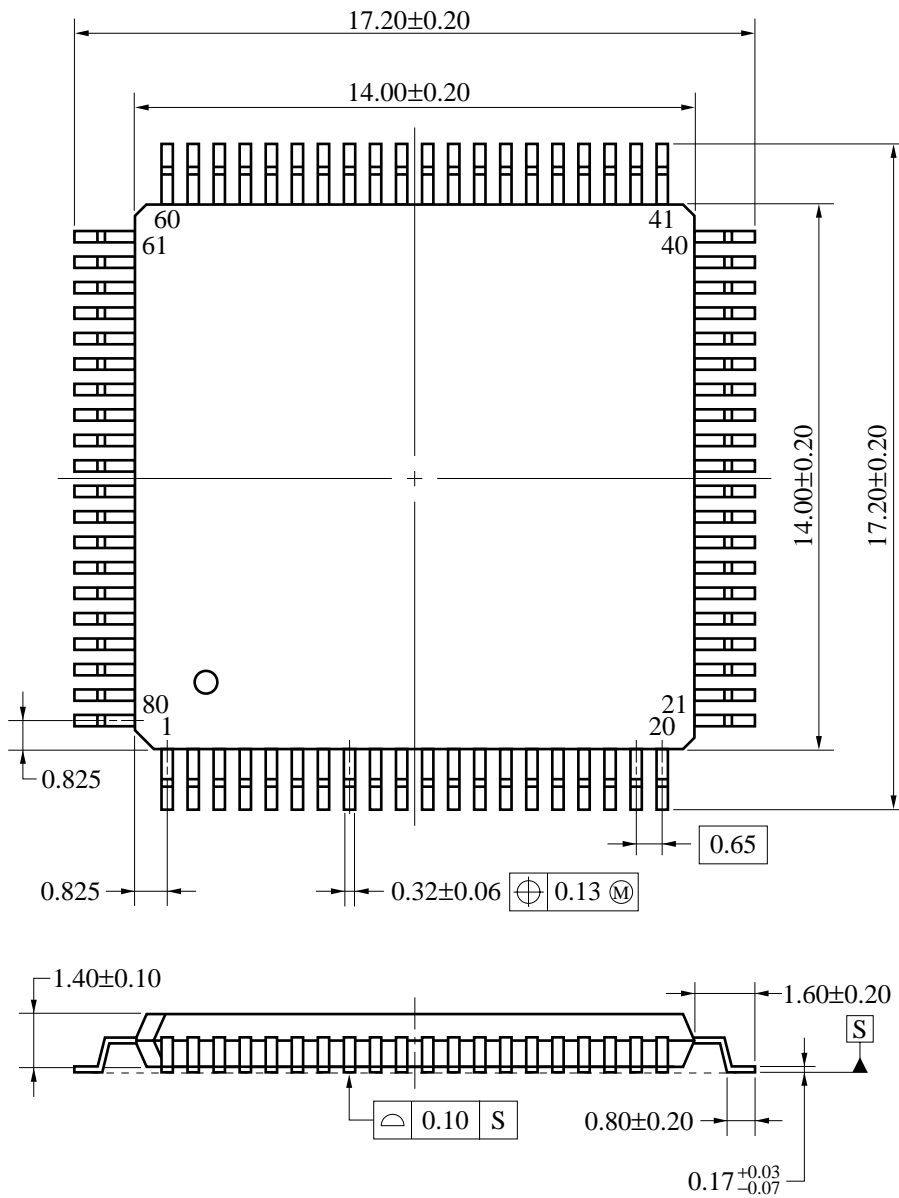


端子先端形状詳細図

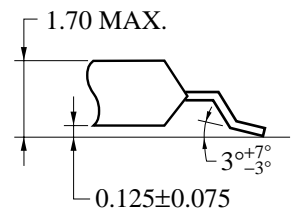


S80GC-65-3B9-6

★ 80ピン・プラスチック QFP (14x14) 外形図 (単位: mm)

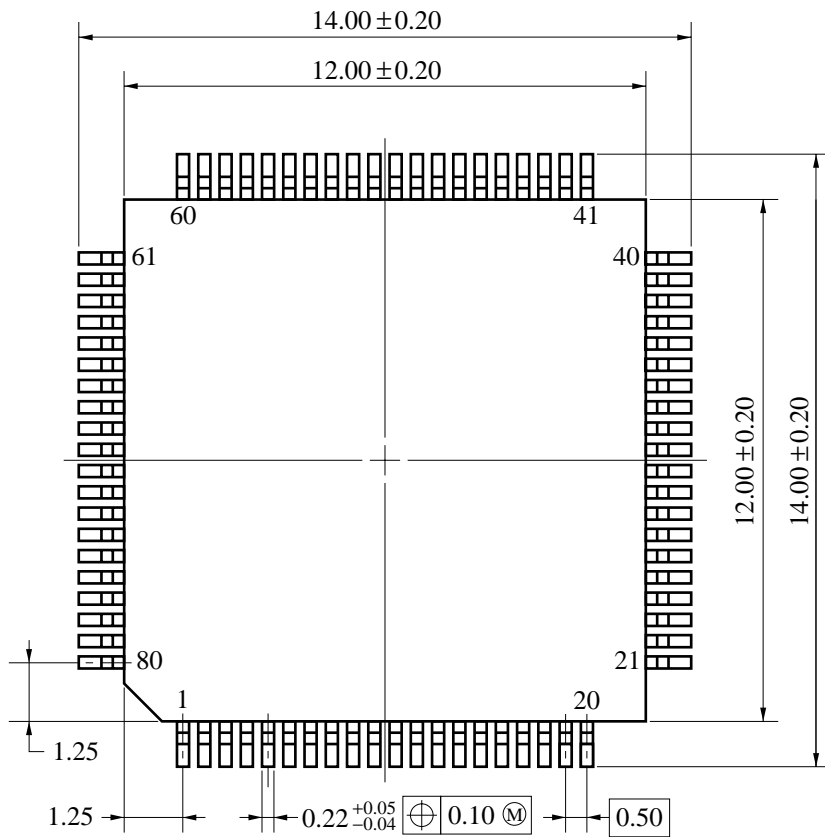


端子先端形状詳細図

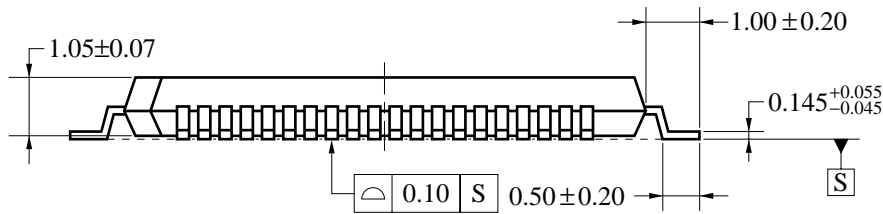
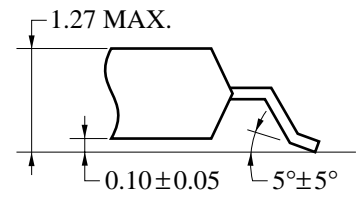


P80GC-65-8BT-1

80ピン・プラスチック TQFP (ファインピッチ)(12x12) 外形図 (単位: mm)

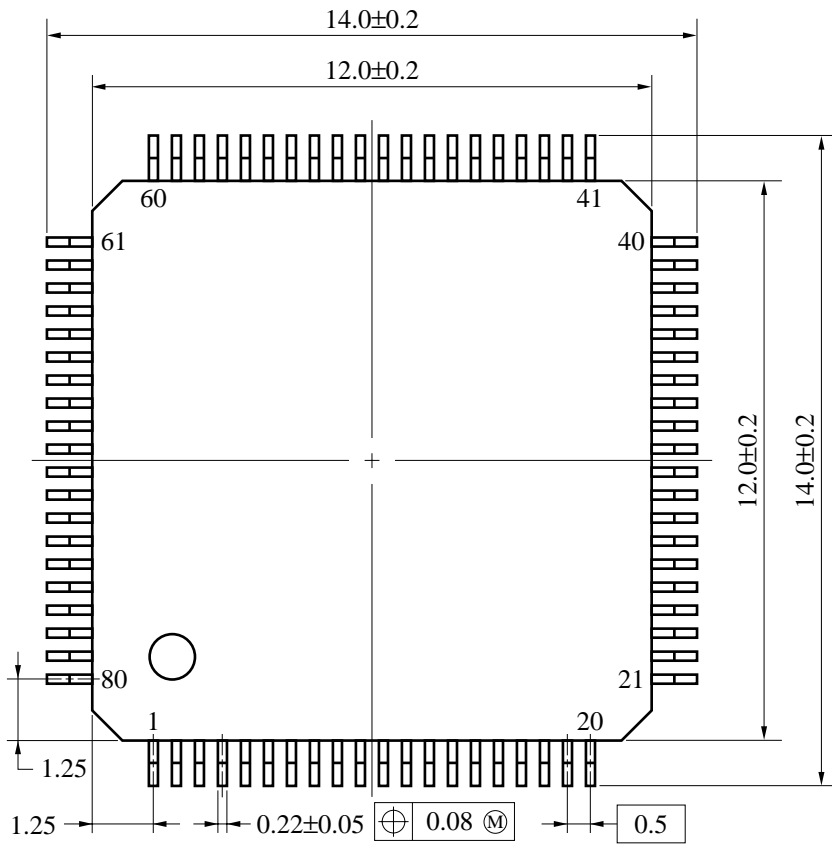


端子先端形状詳細図

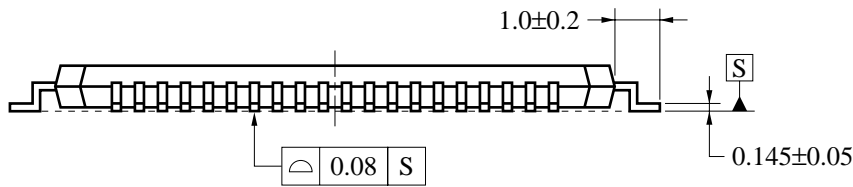
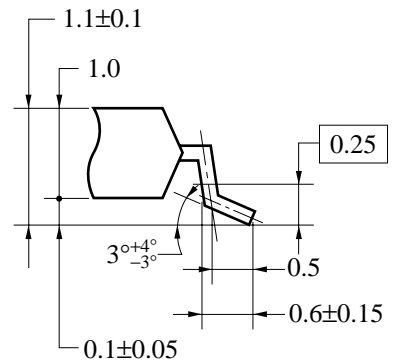


P80GK-50-BE9-6

★ 80ピン・プラスチック TQFP (ファインピッチ)(12x12) 外形図 (単位 : mm)



端子先端形状詳細図



P80GK-50-9EU-1

15. 半田付け推奨条件

μ PD753012A, 753016A, 753017Aの半田付け実装は、次の推奨条件で実施してください。
半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」 (<http://www.necel.com/pkg/ja/jissou/index.html>)

表15 - 1 表面実装タイプの半田付け条件 (1/4)

(1) μ PD753012AGC-x x x-3B9 : 80ピン・プラスチックQFP (14 x 14 mm , 樹脂厚2.7 mm)

μ PD753016AGC-x x x-3B9 : "

μ PD753017AGC-x x x-3B9 : "

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 , 時間：30秒以内 (210 以上) , 回数：3回以内	IR35-00-3
VPS	パッケージ・ピーク温度：215 , 時間：40秒以内 (200 以上) , 回数：3回以内	VP15-00-3
ウエーブ・ ソルダリング	半田槽温度：260 以下, 時間：10秒以内, 回数：1回 予備加熱温度：120 MAX. (パッケージ表面温度)	WS60-00-1
端子部分加熱	端子温度：350 以下, 時間：3秒以内 (デバイスの一辺当たり)	-

注意 半田付け方式の併用はお避けください (ただし, 端子部分加熱は除く)。

備考 推奨条件以外の半田付け方式および半田付け条件については, 当社販売員にお問い合わせください。

★ (2) μ PD753012AGC-x x x-8BT : 80ピン・プラスチックQFP (14 x 14 mm , 樹脂厚1.4 mm)

μ PD753016AGC-x x x-8BT : "

μ PD753017AGC-x x x-8BT : "

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 , 時間：30秒以内 (210 以上) , 回数：2回以内	IR35-00-2
VPS	パッケージ・ピーク温度：215 , 時間：40秒以内 (200 以上) , 回数：2回以内	VP15-00-2
ウエーブ・ ソルダリング	半田槽温度：260 以下, 時間：10秒以内, 回数：1回 予備加熱温度：120 MAX. (パッケージ表面温度)	WS60-00-1
端子部分加熱	端子温度：350 以下, 時間：3秒以内 (デバイスの一辺当たり)	-

注意 半田付け方式の併用はお避けください (ただし, 端子部分加熱は除く)。

備考 推奨条件以外の半田付け方式および半田付け条件については, 当社販売員にお問い合わせください。

表15 - 1 表面実装タイプの半田付け条件 (2/4)

- (3) μPD753012AGK- x x x -BE9 : 80ピン・プラスチックTQFP (ファインピッチ) (12 x 12 mm, 樹脂厚1.05 mm)
 μPD753016AGK- x x x -BE9 : " "
 μPD753017AGK- x x x -BE9 : " "

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 ，時間：30秒以内 (210 以上)，回数：3回以内， 制限日数：7日間 ^注 (以降は125 プリベーク10~72時間必要) 留意事項 耐熱トレイ以外 (マガジン，テーピング，非耐熱トレイ) は，包装状態でのベーキングができません。	IR35-107-3
VPS	パッケージ・ピーク温度：215 ，時間：40秒以内 (200 以上)，回数：3回以内， 制限日数：7日間 ^注 (以降は125 プリベーク10~72時間必要) 留意事項 耐熱トレイ以外 (マガジン，テーピング，非耐熱トレイ) は，包装状態でのベーキングができません。	VP15-107-3
端子部分加熱	端子温度：350 以下，時間：3秒以内 (デバイスの一辺当たり)	-

注 ドライパック開封後の保管日数で，保管条件は25 ，65 %RH以下。

注意 半田付け方式の併用はお避けください (ただし，端子部分加熱は除く)。

備考 推奨条件以外の半田付け方式および半田付け条件については，当社販売員にお問い合わせください。

- ★ (4) μPD753012AGK- x x x -9EU : 80ピン・プラスチックTQFP (ファインピッチ) (12 x 12 mm, 樹脂厚1.00 mm)
 μPD753016AGK- x x x -9EU : " "
 μPD753017AGK- x x x -9EU : " "

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 ，時間：30秒以内 (210 以上)，回数：2回以内， 制限日数：7日間 ^注 (以降は125 プリベーク10~72時間必要) 留意事項 耐熱トレイ以外 (マガジン，テーピング，非耐熱トレイ) は，包装状態でのベーキングができません。	IR35-107-2
VPS	パッケージ・ピーク温度：215 ，時間：40秒以内 (200 以上)，回数：2回以内， 制限日数：7日間 ^注 (以降は125 プリベーク10~72時間必要) 留意事項 耐熱トレイ以外 (マガジン，テーピング，非耐熱トレイ) は，包装状態でのベーキングができません。	VP15-107-2
端子部分加熱	端子温度：350 以下，時間：3秒以内 (デバイスの一辺当たり)	-

注 ドライパック開封後の保管日数で，保管条件は25 ，65 %RH以下。

注意 半田付け方式の併用はお避けください (ただし，端子部分加熱は除く)。

備考 推奨条件以外の半田付け方式および半田付け条件については，当社販売員にお問い合わせください。

表15 - 1 表面実装タイプの半田付け条件 (3/4)

- ★ (5) μPD753012AGC-x x x-3B9-A : 80ピン・プラスチックQFP (14 x 14 mm , 樹脂厚2.7 mm)
- μPD753012AGC-x x x-8BT-A : 80ピン・プラスチックQFP (14 x 14 mm , 樹脂厚1.4 mm)
- μPD753016AGC-x x x-3B9-A : 80ピン・プラスチックQFP (14 x 14 mm , 樹脂厚2.7 mm)
- μPD753016AGC-x x x-8BT-A : 80ピン・プラスチックQFP (14 x 14 mm , 樹脂厚1.4 mm)
- μPD753017AGC-x x x-8BT-A : 80ピン・プラスチックQFP (14 x 14 mm , 樹脂厚1.4 mm)

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260 ，時間：60秒以内（220 以上），回数：3回以内 制限日数：7日間 ^注 （以降は125 プリバーク20～72時間必要） 留意事項 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR60-207-3
ウェーブ・ソルダーリング	詳細については，当社販売員にお問い合わせください。	-
端子部分加熱	端子温度：350 以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライパック開封後の保管日数で，保管条件は25 ，65%RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱は除く）。

備考1．オーダ名称末尾「-A」の製品は，鉛フリー製品です。

2．推奨条件以外の半田付け方式および半田付け条件については，当社販売員にお問い合わせください。

- ★ (6) μPD753012AGK-x x x-BE9-A : 80ピン・プラスチックTQFP（ファインピッチ）（12 x 12 mm , 樹脂厚1.05 mm）
- μPD753016AGK-x x x-BE9-A : 80ピン・プラスチックTQFP（ファインピッチ）（12 x 12 mm , 樹脂厚1.05 mm）
- μPD753017AGK-x x x-BE9-A : 80ピン・プラスチックTQFP（ファインピッチ）（12 x 12 mm , 樹脂厚1.05 mm）

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260 ，時間：60秒以内（220 以上），回数：3回以内 制限日数：7日間 ^注 （以降は125 プリバーク10～72時間必要） 留意事項 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR60-107-3
端子部分加熱	端子温度：350 以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライパック開封後の保管日数で，保管条件は25 ，65%RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱は除く）。

備考1．オーダ名称末尾「-A」の製品は，鉛フリー製品です。

2．推奨条件以外の半田付け方式および半田付け条件については，当社販売員にお問い合わせください。

表15 - 1 表面実装タイプの半田付け条件 (4/4)

- ★ (7) μPD753012AGK-x x x-9EU-A : 80ピン・プラスチックTQFP (ファインピッチ) (12×12 mm, 樹脂厚1.00 mm)
- μPD753016AGK-x x x-9EU-A : 80ピン・プラスチックTQFP (ファインピッチ) (12×12 mm, 樹脂厚1.00 mm)
- μPD753017AGK-x x x-9EU-A : 80ピン・プラスチックTQFP (ファインピッチ) (12×12 mm, 樹脂厚1.00 mm)

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260 ，時間：60秒以内 (220 以上) ，回数：3回以内 制限日数：7日間 注 (以降は125 プリバーク20～72時間必要) 留意事項 耐熱トレイ以外 (マガジン, テーピング, 非耐熱トレイ) は, 包装状態でのベーキングができません。	IR60-207-3
端子部分加熱	端子温度：350 以下, 時間：3秒以内 (デバイスの一辺当たり)	-

注 ドライパック開封後の保管日数で, 保管条件は25 , 65%RH以下。

注意 半田付け方式の併用はお避けください (ただし, 端子部分加熱は除く)。

備考1 . オータ名称末尾「-A」の製品は, 鉛フリー製品です。

2 . 推奨条件以外の半田付け方式および半田付け条件については, 当社販売員にお問い合わせください。

- ★ (8) μPD753017AGC-x x x-3B9-A : 80ピン・プラスチックQFP (14×14 mm, 樹脂厚2.7 mm)

未定

備考 オータ名称末尾「-A」の製品は, 鉛フリー製品です。

付録A . μPD75316B, 753017A, 75P3018Aの機能一覧表

項 目	μ PD75316B	μ PD753017A	μ PD75P3018A
プログラム・メモリ	マスクROM 0000H-3F7FH (16256 × 8 ビット)	マスクROM 0000H-5FFFH (24576 × 8 ビット)	ワン・タイムPROM 0000H-7FFFH (32768 × 8 ビット)
データ・メモリ	000H-3FFH (1024 × 4 ビット)		
CPU	75X Standard	75XL CPU	
命令実行時間	メイン・システム・クロック 選択時	0.95, 1.91, 15.3 μs (4.19 MHz動作時) 0.67, 1.33, 2.67, 10.7 μs (6.0 MHz動作時)	
	サブシステム・クロック 選択時	122 μs (32.768 kHz動作時)	
端子接続	44番	P12/INT2	P12/INT2/TI1/TI2
	47番	P21	P21/PTO1
	48番	P22/PCL	P22/PCL/PTO2
	50-53番	P30-P33	P30/MD0-P33/MD3
	57番	IC	V _{PP}
スタック	SBSレジスタ	なし	SBS.3 = 1 : Mk モード選択 SBS.3 = 0 : Mk モード選択
	スタック・エリア	000H-0FFH	n00H-nFFH (n = 0-3)
	サブルーチン・コール命令の スタック動作	2 バイト・スタック	Mk モード時 : 2 バイト・スタック Mk モード時 : 3 バイト・スタック
命令	BRA !addr1	使用不可	Mk モード時 : 使用不可
	CALLA !addr1		Mk モード時 : 使用可能
	MOVT XA, @BCDE		使用可能
	MOVT XA, @BCXA		
	BR BCDE		
	BR BCXA		
CALL !addr	3 マシン・サイクル	Mk モード時 : 3 マシン・サイクル, Mk モード時 : 4 マシン・サイクル	
CALLF !faddr	2 マシン・サイクル	Mk モード時 : 2 マシン・サイクル, Mk モード時 : 3 マシン・サイクル	
タイマ	3 チャンネル ・ ベーシック・インターバル・タイマ : 1 チャンネル ・ 8 ビット・タイマ/イベント・カウンタ : 1 チャンネル ・ 時計用タイマ : 1 チャンネル	5 チャンネル ・ ベーシック・インターバル・タイマ/ウォッチドッグ・タイマ : 1 チャンネル ・ 8 ビット・タイマ/イベント・カウンタ : 3 チャンネル (16ビット・タイマ/イベント・カウンタ, キャリア・ジェネレータ, ゲート付きタイマとして使用可能) ・ 時計用タイマ : 1 チャンネル	

項 目		μ PD75316B	μ PD753017A	μ PD75P3018A
クロック出力 (PCL)		, 524, 262, 65.5 kHz (メイン・システム・クロック : 4.19 MHz動作時)	・ , 524, 262, 65.5 kHz (メイン・システム・クロック : 4.19 MHz動作時) ・ , 750, 375, 93.8 kHz (メイン・システム・クロック : 6.0 MHz動作時)	
BUZ出力		2 kHz (メイン・システム・クロック : 4.19 MHz動作時)	・ 2, 4, 32 kHz (メイン・システム・クロック : 4.19 MHz動作時またはサブシステム・クロック : 32.768 kHz動作時) ・ 2.93, 5.86, 46.9 kHz (メイン・システム・クロック : 6.0 MHz動作時)	
シリアル・インタフェース		3種のモードに対応可能 ・ 3線式シリアルI/Oモード...MSB/LSB先頭切り替え可能 ・ 2線式シリアルI/Oモード ・ SBIモード		
SOSレジスタ	フィードバック抵抗カット・フラグ (SOS.0)	なし	内蔵	
	サブ発振器電流カット・フラグ (SOS.1)	なし	内蔵	
レジスタ・バンク選択レジスタ (RBS)		なし	あり	
INT0によるスタンバイ解除		不可	可能	
割り込みプライオリティ選択レジスタ (IPS)		なし	あり	
ベクタ割り込み		外部 : 3本, 内部 : 3本	外部 : 3本, 内部 : 5本	
電源電圧		V _{DD} = 2.0 ~ 6.0 V	V _{DD} = 1.8 ~ 5.5 V	
動作周囲温度		T _A = - 40 ~ + 85		
パッケージ		・ 80ピン・プラスチックTQFP (ファインピッチ) (12×12 mm) ・ 80ピン・プラスチックQFP (14×14 mm)		

付録B．開発ツール

μ PD753017Aを使用するシステム開発のために次のような開発ツールを用意しております。75XLシリーズでは、シリーズ共通のリロケータブル・アセンブラを品種ごとのデバイス・ファイルと組み合わせて使用します。

言語プロセッサ

RA75X リロケータブル・ アセンブラ	ホスト・マシン	OS	供給媒体	オーダ名称（品名）
	PC-9800シリーズ	MS-DOS™ (Ver.3.30 } Ver.6.2 ^注)	3.5インチ2HD	
IBM PC/AT™ およびその互換機	「IBM PC用のOSについて」参照	3.5インチ2HC	μ S7B13RA75X	

デバイス・ファイル	ホスト・マシン	OS	供給媒体	オーダ名称（品名）
	PC-9800シリーズ	MS-DOS (Ver.3.30 } Ver.6.2 ^注)	3.5インチ2HD	
IBM PC/AT およびその互換機	「IBM PC用のOSについて」参照	3.5インチ2HC	μ S7B13DF753017	

注 Ver.5.00以降にはタスク・スワップ機能がありますが、このソフトウェアではタスク・スワップ機能は使用できません。

備考 アセンブラおよびデバイス・ファイルの動作は、上記のホスト・マシンとOS上でのみ保証されます。

PROM書き込み用ツール

★ ★	ハードウェア	PG-1500	付属のボードおよび別売りのプログラマ・アダプタを接続することにより、PROM内蔵のシングルチップ・マイクロコンピュータを、スタンド・アロンまたは、ホスト・マシンからの操作によりプログラミングできるPROMプログラマです。 また、256 Kビットから4 Mビットまでの代表的なPROMをプログラミングすることもできます。		
		PA-75P316BGC	μ PD75P3018AGC-3B9用のPROMプログラマ・アダプタで、PG-1500に接続して使用します。		
		PA-75P316BGK	μ PD75P3018AGK-BE9用のPROMプログラマ・アダプタで、PG-1500に接続して使用します。		
		PA-75P3018AGC-8BT	μ PD75P3018AGC-8BT用のPROMプログラマ・アダプタで、PG-1500に接続して使用します。		
		PA-75P3018AGK-9EU	μ PD75P3018AGK-9EU用のPROMプログラマ・アダプタで、PG-1500に接続して使用します。		
	ソフトウェア	PG-1500 コントローラ	PG-1500とホスト・マシンをシリアルおよびパラレル・インタフェースで接続し、ホスト・マシン上でPG-1500を制御します。		
		ホスト・マシン	OS	供給媒体	オーダ名称 (品名)
		PC-9800シリーズ	MS-DOS (Ver.3.30 } Ver.6.2 ^注)	3.5インチ2HD	μ S5A13PG1500
		IBM PC/AT およびその互換機	「IBM PC用のOSについて」参照	3.5インチ2HD	μ S7B13PG1500

注 Ver.5.00以降にはタスク・スワップ機能がありますが、このソフトウェアではタスク・スワップ機能は使用できません。

備考 PG-1500コントローラの動作は、上記のホスト・マシンとOS上でのみ保証されます。

ディバグ用ツール

μ PD753017Aのプログラム・ディバグ用ツールとしてインサーキット・エミュレータ (IE-75000-R, IE-75001-R) を用意しています。

それぞれのシステム構成を次に示します。

★	ハードウェア	IE-75000-R ^{注1}	IE-75000-Rは、75Xシリーズ、75XLシリーズを使用する応用システムを開発する際に、ハードウェア、ソフトウェアのディバグを行うためのインサーキット・エミュレータです。μ PD753017サブシリーズを開発する場合、IE-75000-Rと別売りのエミュレーション・ボードIE-75300-R-EM、およびエミュレーション・プローブを組み合わせで使用します。 ホスト・マシン、PROMプログラムと接続して効率的にディバグを行うことができます。 なお、IE-75000-R内にはエミュレーション・ボードIE-75000-R-EMが含まれており、接続されていません。			
		IE-75001-R	IE-75001-Rは、75Xシリーズ、75XLシリーズを使用する応用システムを開発する際に、ハードウェア、ソフトウェアのディバグを行うためのインサーキット・エミュレータです。μ PD753017サブシリーズを開発する場合、IE-75001-Rと別売りのエミュレーション・ボードIE-75300-R-EM、およびエミュレーション・プローブを組み合わせで使用します。 ホスト・マシン、PROMプログラムを接続して効率的にディバグを行うことができます。			
		IE-75300-R-EM	μ PD753017サブシリーズを使用する応用システムの評価を行うためのエミュレーション・ボードです。IE-75000-RまたはIE-75001-Rと組み合わせで使用します。			
		EP-753017GC-R EV-9200GC-80	μ PD753017AGC用のエミュレーション・プローブです。 IE-75000-RまたはIE-75001-Rと、IE-75300-R-EMに接続して使用します。 ターゲット・システムとの接続を容易にする80ピン変換ソケットEV-9200GC-80を添付しています。			
		EP-753017GK-R TGK-080SDW ^{注2}	μ PD753017AGK用のエミュレーション・プローブです。 IE-75000-RまたはIE-75001-Rと、IE-75300-R-EMに接続して使用します。 ターゲット・システムとの接続を容易にする80ピン変換アダプタTGK-080SDWを添付しています。			
★	ソフトウェア	IEコントロール・プログラム	IE-75000-RまたはIE-75001-Rとホスト・マシンをRS-232-C、およびセントロニクスI/Fで接続し、ホスト・マシン上でIE-75000-RまたはIE-75001-Rを制御します。			
			ホスト・マシン	OS	供給媒体	オーダ名称 (品名)
			PC-9800シリーズ	MS-DOS (Ver.3.30 } Ver.6.2 ^{注3})	3.5インチ2HD	μ S5A13IE75X
	IBM PC/AT およびその互換機	「IBM PC用のOSについて」参照	3.5インチ2HC	μ S7B13IE75X		

注1 . 保守品です。

2 . 東京エレクトック株式会社の製品です。

問い合わせ先：大丸興業株式会社 東京電子部 (TEL (03) 3820-7112)

大阪電子部 (TEL (06) 6244-6672)

3 . Ver.5.00以降にはタスク・スワップ機能がありますが、このソフトウェアではタスク・スワップ機能は使用できません。

備考1 . IEコントロール・プログラムの動作は、上記のホスト・マシンとOS上でのみ保証されます。

2 . μ PD753012, 753016, 753017, 75P3018, 753012A, 753016A, 753017A, 75P3018Aを総称して、μ PD753017サブシリーズといいます。

IBM PC用のOSについて

IBM PC用のOSとして、次のものがサポートされています。

OS	バージョン
PC DOS™	Ver.5.02 ~ Ver.6.3 J6.1/V ^注 ~ J6.3/V ^注
MS-DOS	Ver.5.0 ~ Ver.6.22 5.0/V ^注 ~ 6.2/V ^注
IBM DOS™	J5.02/V ^注

注 英語モードのみサポートしています。

注意 Ver.5.0以降にはタスク・スワップ機能がありますが、このソフトウェアでは、タスク・スワップ機能は使用できません。

★ 付録C . 関連資料

関連資料は暫定版の場合がありますが，この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイス関連資料一覧

資料名	資料番号	
	和文	英文
μ PD753012A, 753016A, 753017A データ・シート	U11662J(この資料)	U11662E
μ PD75P3018A データ・シート	U11917J	U11917E
μ PD753017 ユーザーズ・マニュアル	U11282J	U11282E
μ PD753017 インストラクション活用表	IEM-5598	-
75XLシリーズ セレクション・ガイド	U10453J	U10453E

開発ツール関連資料一覧

資料名	資料番号			
	和文	英文		
ハードウェア	IE-75000-R/IE-75001-R ユーザーズ・マニュアル	EEU-846	EEU-1416	
	IE-75300-R-EM ユーザーズ・マニュアル	U11354J	U11354E	
	EP-753017GC/GK-R ユーザーズ・マニュアル	EEU-967	EEU-1494	
	PG-1500 ユーザーズ・マニュアル	U11940J	U11940E	
ソフトウェア	RA75X アセンブラ・パッケージ	操作編	U12622J	U12622E
	ユーザーズ・マニュアル	言語編	U12385J	U12385E
	PG-1500コントローラ ユーザーズ・マニュアル	PC-9800シリーズ (MS-DOS)ベース	EEU-704	EEU-1291
		IBM PCシリーズ (PC DOS)ベース	EEU-5008	U10540E

その他の関連資料一覧

資料名	資料番号	
	和文	英文
SEMICONDUCTOR SELECTION GUIDE Products & Packages (CD-ROM)	X13769X	
半導体デバイス 実装マニュアル	C10535J	C10535E
NEC半導体デバイスの品質水準	C11531J	C11531E
NEC半導体デバイスの信頼性品質管理	C10983J	C10983E
静電気放電 (ESD) 破壊対策ガイド	C11892J	C11892E
半導体品質 / 信頼性ハンドブック	C12769J	-
マイクロコンピュータ関連製品ガイド 社外メーカー編	U11416J	-

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには必ず最新の資料をご使用ください。

CMOSデバイスの一般的注意事項

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力がノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

MS-DOSは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

IBM DOS, PC/AT, PC DOSは、米国IBM社の商標です。

本製品が外国為替及び外国貿易法の規定により規制貨物等（または役務）に該当するか否かは、ユーザ（仕様を決定した者）が判定してください。該当する場合、日本国外に輸出する際には日本国政府の輸出許可が必要です。

- 本資料に記載されている内容は2005年8月現在のものです、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命、身体および財産に対する損害の危険を最小限度にするために、冗長設計、延焼対策設計、誤動作防止設計等安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

- (1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- (2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

M8E 02.11

【発行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

お問い合わせ先

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

【営業関係、技術関係お問い合わせ先】

半導体ホットライン

(電話：午前 9:00～12:00、午後 1:00～5:00)

電話：044-435-9494

E-mail：info@necel.com

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか、NECエレクトロニクスの販売特約店へお申し付けください。