

お客様各位

カタログ等資料中の旧社名の扱いについて

2010 年 4 月 1 日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010 年 4 月 1 日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

μPD753012,753016,753017

4ビット・シングルチップ・マイクロコンピュータ

μPD753017は、8ビット・マイコンに匹敵するデータ処理を可能にした4ビット・シングルチップ・マイコン「75XLシリーズ」の1つです。

この製品は、従来品であるμPD75316Bに比べて、ROM容量を拡大、CPU機能拡張、高速動作を可能にしたLCDコントローラ/ドライバ内蔵製品です。小型のプラスチックTQFP（□12mm）を用意しており、LCDパネルを使用する小型のセットに最適です。

詳しい機能説明などは次のユーザーズ・マニュアルに記載しております。設計の際には必ずお読みください。

μPD753017 ユーザーズ・マニュアル：U11282J

特 徴

- ★ ○ 低電圧動作可能：V_{DD} = 2.2 ~ 5.5 V
 - ・ 1.5 V電池 2本で駆動可能
- 内蔵メモリ
 - ・ プログラム・メモリ（ROM）：
 - 12288 × 8ビット（μPD753012）
 - 16384 × 8ビット（μPD753016）
 - 24576 × 8ビット（μPD753017）
 - ・ データ・メモリ（RAM）：
 - 1024 × 4ビット
- 高速動作とパワー・セーブに有利な命令実行時間可変機能
 - ・ 0.95, 1.91, 3.81, 15.3 μs（4.19 MHz動作時）
 - ・ 0.67, 1.33, 2.67, 10.7 μs（6.0 MHz動作時）
 - ・ 122 μs（32.768 kHz動作時）
- プログラマブルなLCDコントローラ/ドライバを内蔵
- 小型のプラスチックTQFP（□12mm）を用意
 - ・ カメラなど小型のセットに最適
- ワン・タイムPROM内蔵品を用意：μPD75P3018

用 途

リモコン、カメラ一体型VTR、カメラ、ガス・メータなど

オーダ情報

オーダ名称	パッケージ
μPD753012GC-×××-3B9	80ピン・プラスチックQFP（□14mm）
μPD753012GK-×××-BE9	80ピン・プラスチックTQFP（ファインピッチ）（□12mm）
μPD753016GC-×××-3B9	80ピン・プラスチックQFP（□14mm）
μPD753016GK-×××-BE9	80ピン・プラスチックTQFP（ファインピッチ）（□12mm）
μPD753017GC-×××-3B9	80ピン・プラスチックQFP（□14mm）
μPD753017GK-×××-BE9	80ピン・プラスチックTQFP（ファインピッチ）（□12mm）

備考 ×××はROMコード番号です。

この資料では特に断りがないかぎりμPD753017を代表品種として説明しています。

本資料の内容は、後日変更する場合があります。

機能一覧

項 目		機 能	
命令実行時間		・ 0.95, 1.91, 3.81, 15.3 μs (メイン・システム・クロック : 4.19 MHz動作時) ・ 0.67, 1.33, 2.67, 10.7 μs (" : 6.0 MHz動作時) ・ 122 μs (サブシステム・クロック : 32.768 kHz動作時)	
内蔵メモリ	ROM	12288 × 8 ビット (μPD753012)	
		16384 × 8 ビット (μPD753016)	
		24576 × 8 ビット (μPD753017)	
	RAM	1024 × 4 ビット	
汎用レジスタ		・ 4 ビット操作時 : 8 個 × 4 バンク ・ 8 ビット操作時 : 4 個 × 4 バンク	
入出力ポート	CMOS入力	8 本	ソフトウェアによるプルアップ抵抗内蔵可能 : 23本
	CMOS入出力	16本	
	CMOS出力	8 本	セグメント端子と兼用
	N-chオープン・ドレイン入出力	8 本	13 V耐圧, マスク・オプションによるプルアップ抵抗内蔵可能
	合計	40本	
LCDコントローラ / ドライバ		・ セグメント数選択 : 24/28/32セグメント (4 本単位でCMOS出力ポートに切り替え可能, 最大 8 本) ・ 表示モード選択 : スタティク , 1/2デューティ(1/2バイアス) , 1/3デューティ(1/2バイアス) , 1/3 デューティ (1/3 バイアス) , 1/4デューティ (1/3 バイアス) LCD駆動用分割抵抗をマスク・オプションで内蔵可能	
タイマ		5 チャンネル ・ 8ビット・タイマ/イベント・カウンタ : 3チャンネル(16ビット・タイマ/イベント・カウンタ, キャリア・ジェネレータ, ゲート付きタイマとして使用可能) ・ ベーシック・インターバル・タイマ/ウォッチドッグ・タイマ : 1 チャンネル ・ 時計用タイマ : 1 チャンネル	
シリアル・インタフェース		・ 3 線式シリアルI/Oモード...MSB/LSB先頭切り替え ・ 2 線式シリアルI/Oモード ・ SBIモード	
ビット・シーケンシャル・バッファ		16ビット	
クロック出力 (PCL)		・ Φ , 524, 262, 65.5 kHz (メイン・システム・クロック : 4.19 MHz動作時) ・ Φ , 750, 375, 93.8 kHz (" : 6.0 MHz動作時)	
ブザー出力 (BUZ)		・ 2, 4, 32 kHz (メイン・システム・クロック : 4.19 MHz動作時 またはサブシステム・クロック : 32.768 kHz動作時) ・ 2.93, 5.86, 46.9 kHz (メイン・システム・クロック : 6.0 MHz動作時)	
ベクタ割り込み		外部 : 3 本 , 内部 : 5 本	
テスト入力		外部 : 1 本 , 内部 : 1 本	
システム・クロック発振回路		・ メイン・システム・クロック発振用セラミック / クリスタル発振回路 ・ サブシステム・クロック発振用クリスタル発振回路	
スタンバイ機能		STOPモード / HALTモード	
電源電圧		V _{DD} = 2.2 ~ 5.5 V	
パッケージ		・ 80ピン・プラスチックQFP (□14 mm) ・ 80ピン・プラスチックTQFP (ファインピッチ) (□12 mm)	

目 次

1 . 端子接続図	...	5
2 . ブロック図	...	7
3 . 端子機能	...	8
3.1 ポート端子	...	8
3.2 ポート端子以外の端子	...	10
3.3 端子の入出力回路	...	12
3.4 未使用端子の処理について	...	14
4 . Mk モードとMk モードの切り替え機能	...	15
4.1 Mk モードとMk モードの違い	...	15
4.2 スタック・バンク選択レジスタ (SBS) の設定方法	...	16
5 . メモリ構成	...	17
6 . 周辺ハードウェア機能	...	21
6.1 デジタル入出力ポート	...	21
6.2 クロック発生回路	...	22
6.3 サブシステム・クロック発振回路の制御機能	...	23
6.4 クロック出力回路	...	24
6.5 ベーシック・インターバル・タイマ/ウォッチドッグ・タイマ	...	25
6.6 時計用タイマ	...	26
6.7 タイマ/イベント・カウンタ	...	27
6.8 シリアル・インタフェース	...	31
6.9 LCDコントローラ/ドライバ	...	33
6.10 ビット・シーケンシャル・バッファ	...	35
7 . 割り込み機能とテスト機能	...	36
8 . スタンバイ機能	...	38
9 . リセット機能	...	39
★ 10 . マスク・オプション	...	42
11 . 命令セット	...	43
12 . 電気的特性	...	55
13 . 外形図	...	68

14．半田付け推奨条件 ... 70

付録A． μ PD75316B, 753017, 75P3018の機能一覧表 ... 71

付録B．開発ツール ... 73

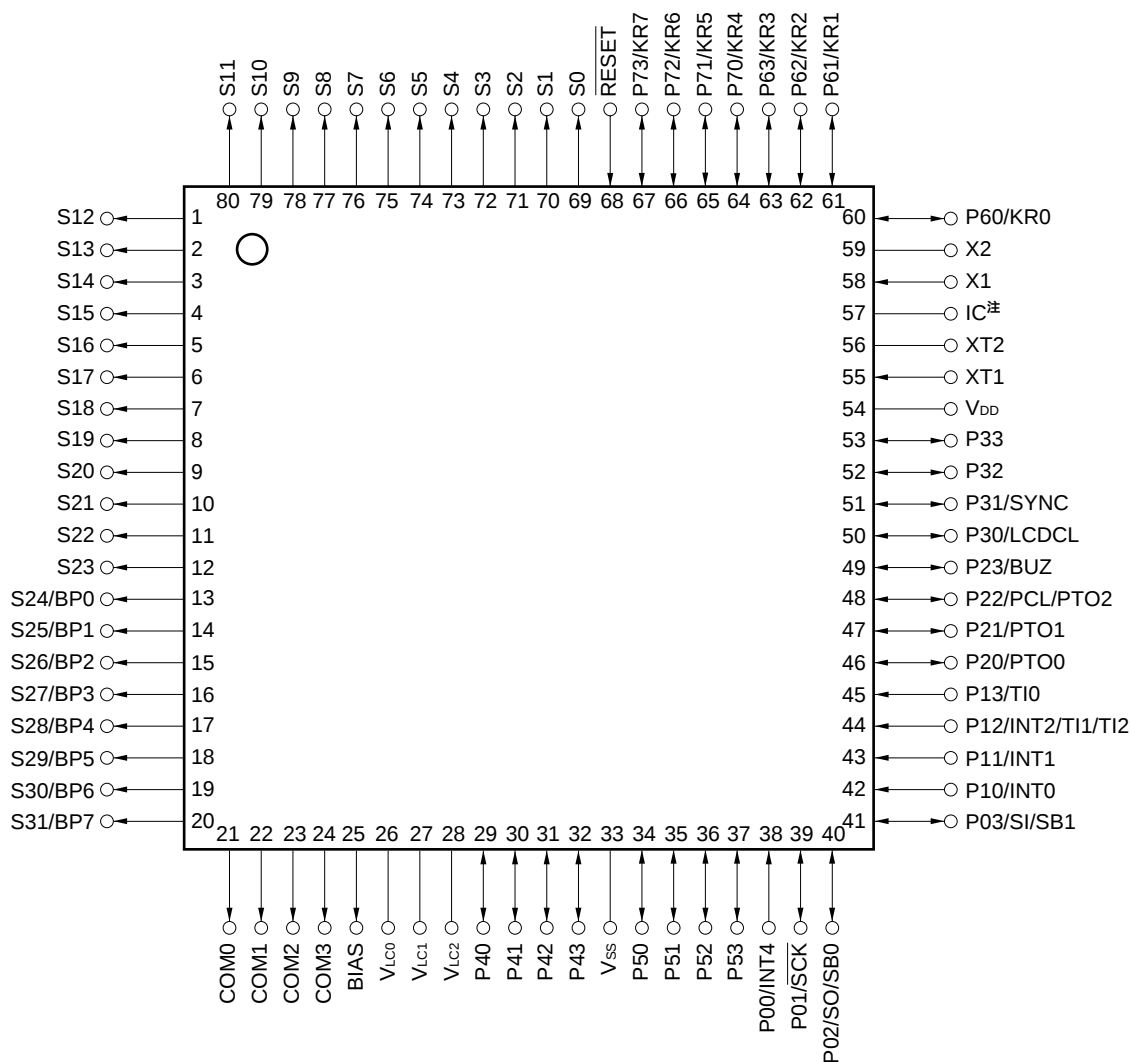
付録C．関連資料 ... 77

1. 端子接続図 (Top View)

・ 80ピン・プラスチックQFP (□14 mm)

 μ PD753012GC-×××-3B9, 753016GC-×××-3B9, μ PD753017GC-×××-3B9

・ 80ピン・プラスチックTQFP (ファインピッチ) (□12 mm)

 μ PD753012GK-×××-BE9, 753016GK-×××-BE9, μ PD753017GK-×××-BE9

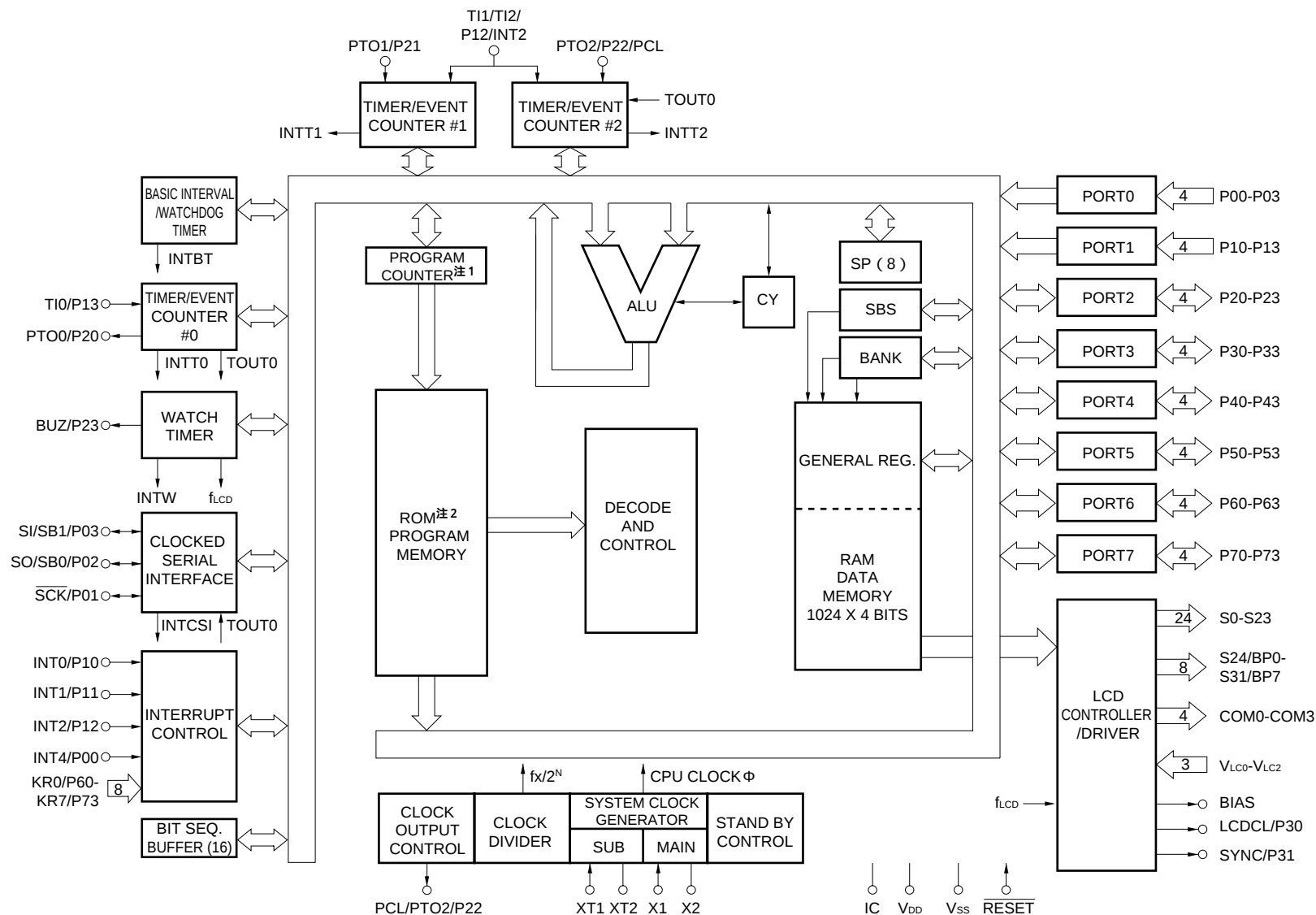
注 IC (Internally Connected) 端子は、V_{DD}に直接接続してください。

端子名称

P00-P03	: Port 0	V _{LC0-V_{LC2}}	: LCD Power Supply 0-2
P10-P13	: Port 1	BIAS	: LCD Power Supply Bias Control
P20-P23	: Port 2	LCDCL	: LCD Clock
P30-P33	: Port 3	SYNC	: LCD Synchronization
P40-P43	: Port 4	TI0-TI2	: Timer Input 0-2
P50-P53	: Port 5	PTO0-PTO2	: Programmable Timer Output 0-2
P60-P63	: Port 6	BUZ	: Buzzer Clock
P70-P73	: Port 7	PCL	: Programmable Clock
BP0-BP7	: Bit Port	INT0, INT1, INT4	: External Vectored Interrupt 0, 1, 4
KR0-KR7	: Key Return	INT2	: External Test Input 2
$\overline{\text{SCK}}$	: Serial Clock	X1, X2	: Main System Clock Oscillation 1, 2
SI	: Serial Input	XT1, XT2	: Subsystem Clock Oscillation 1, 2
SO	: Serial Output	V _{DD}	: Positive Power Supply
SB0, SB1	: Serial Bus 0, 1	V _{SS}	: Ground
$\overline{\text{RESET}}$	: Reset Input	IC	: Internally Connected
S0-S31	: Segment Output 0-31		
COM0-COM3	: Common Output 0-3		

2. フロット

保守／廃止



注1 . μPD753012, 753016は14ビット , μPD753017は15ビット構成です。

2 . ROMの容量は , 品種により異なります。

3. 端子機能

3.1 ポート端子 (1/2)

端子名称	入出力	兼用端子	機 能	8 ビット I/O	リセット時	入出力 回路 TYPE ^{注1}
P00	入 力	INT4	4 ビット入力ポート（PORT0）。	×	入 力	B
P01	入出力	SCK	P01-P03は 3 ビット単位で、ソフトウェアによりプルアッ プ抵抗の内蔵を指定可能。			B -A
P02	入出力	SO/SB0				B -B
P03	入出力	SI/SB1				M -C
P10	入 力	INT0	4 ビット入力ポート（PORT1）。	×	入 力	B -C
P11		INT1	4 ビット単位で、ソフトウェアによりプルアップ抵抗の内			
P12		TI1/TI2/INT2	蔵を指定可能。			
P13		TI0	P10/INT0はノイズ除去回路を選択可能。			
P20	入出力	PTO0	4 ビット入出力ポート（PORT2）。	×	入 力	E-B
P21		PTO1	4 ビット単位で、ソフトウェアによりプルアップ抵抗の内			
P22		PCL/PTO2	蔵を指定可能。			
P23		BUZ				
P30	入出力	LCDCL	プログラマブル 4 ビット入出力ポート（PORT3）。	×	入 力	E-B
P31		SYNC	ビット単位で入力 / 出力指定可能。			
P32		-	4 ビット単位で、ソフトウェアによりプルアップ抵抗の内			
P33		-	蔵を指定可能。			
P40-P43 ^{注2}	入出力	-	N - c h オープン・ドレイン 4 ビット入出力ポート（PORT4）。 ビット単位でプルアップ抵抗を内蔵可能（マスク・オブ ション）。 オープン・ドレイン時、13 V耐圧。	○	ハイ・レベル （プルアップ抵 抗内蔵時）また はハイ・イン ピーダンス	M-D
P50-P53 ^{注2}			N - c h オープン・ドレイン 4 ビット入出力ポート（PORT5）。 ビット単位でプルアップ抵抗を内蔵可能（マスク・オブ ション）。 オープン・ドレイン時、13 V耐圧。			

注1. ○印はシュミット・トリガ入力を示します。

2. マスク・オプションによるプルアップ抵抗を内蔵しない場合 (N-chオープン・ドレイン入力ポートとして使用している場合)、入力命令、ビット操作命令を行ったときにロウ・レベル入力リーク電流が増加します。

3.1 ポート端子 (2/2)

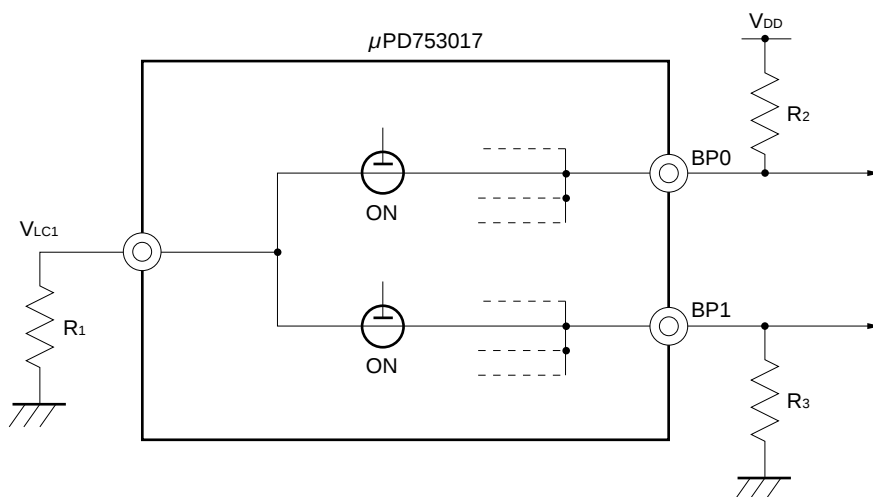
端子名称	入出力	兼用端子	機 能	8 ビット I/O	リセット時	入出力 回路 TYPE ^{注1}				
P60	入出力	KR0	プログラマブル4ビット入出力ポート（PORT6）。 ビット単位で入力／出力指定可能。 4ビット単位で，ソフトウェアによりプルアップ抵抗の内蔵を指定可能。	○	入 力	5-A				
P61		KR1								
P62		KR2								
P63		KR3								
P70	入出力	KR4	4ビット入出力ポート（PORT7）。 4ビット単位で，ソフトウェアによりプルアップ抵抗の内蔵を指定可能。		×	入 力	5-A			
P71		KR5								
P72		KR6								
P73		KR7								
BP0	出 力	S24	1ビット出力ポート（BIT PORT）。 セグメント出力端子と兼用。	×		注2	H-A			
BP1		S25								
BP2		S26								
BP3		S27								
BP4	出 力	S28			1ビット出力ポート（BIT PORT）。 セグメント出力端子と兼用。			×	注2	H-A
BP5		S29								
BP6		S30								
BP7		S31								

注1. ○印はシュミット・トリガ入力を示します。

★ 2. BP0-BP7は、 V_{LC1} を入力ソースとして選択します。

ただし、出力レベルは、BP0-BP7と V_{LC1} の外部回路によって変わります。

★ 例 BP0-BP7は、下図のようにμPD753017の内部を通して相互に接続されるので、 R_1 , R_2 , R_3 の大きさによってBP0-BP7の出力レベルが決まります。



3.2 ポート端子以外の端子 (1/2)

端子名称	入出力	兼用端子	機 能		リセット時	入出力 回路 TYPE ^{注1}
TI0	入 力	P13	タイマ / イベント・カウンタへの外部イベント・パルス入力。		入 力	B -C
TI1		P12/INT2				
TI2						
PTO0	出 力	P20	タイマ / イベント・カウンタ出力。		入 力	E-B
PTO1		P21				
PTO2		P22/PCL				
PCL		P22/PTO2	クロック出力。			
BUZ		P23	任意の周波数出力（ブザー用またはシステム・クロックのトリミング用）。			
SCK	入出力	P01	シリアル・クロック入出力。		入 力	B -A
SO/SB0		P02	シリアル・データ出力。 シリアル・データ・バス入出力。			B -B
SI/SB1		P03	シリアル・データ入力。 シリアル・データ・バス入出力。			M -C
INT4	入 力	P00	エッジ検出ベクタ割り込み入力（立ち上がりおよび立ち下りの両エッジ検出）。		入 力	B
INT0	入 力	P10	エッジ検出ベクタ割り込み入力（検出エッジ選択	ノイズ除去回路付き / 非同期選択可 非同期	入 力	B -C
INT1		P11	可能）。INT0/P10はノイズ除去回路を選択可能。			
INT2	入 力	P12/TI1/TI2	立ち上がりエッジ検出テストابل入力。	非同期	入 力	B -C
KR0-KR3	入 力	P60-P63	立ち下がりエッジ検出テストابل入力。		入 力	B -A
KR4-KR7	入 力	P70-P73	立ち下がりエッジ検出テストابل入力。		入 力	B -A
S0-S23	出 力	-	セグメント信号出力。		注 2	G-D
S24-S31	出 力	BP0-BP7	セグメント信号出力。		注 2	H-A
COM0-COM3	出 力	-	コモン信号出力。		注 2	G-B
V _{LC0} -V _{LC2}	-	-	LCD駆動用電源。 分割抵抗内蔵可能（マスク・オプション）。		-	-
BIAS	出 力	-	外付け分割抵抗カット用出力。		注 3	-
LCDCL ^{注4}	出 力	P30	外部拡張ドライバ駆動用クロック出力。		入 力	E-B
SYNC ^{注4}	出 力	P31	外部拡張ドライバ同期用クロック出力。		入 力	E-B
X1	入 力	-	メイン・システム・クロック発振用クリスタル / セラミック接続端子。外部クロックの場合、X1へ入力しX2へその逆相を入力。		-	-
X2	-					

注1．○印はシュミット・トリガ入力を示します。

2．各表示出力は、次に示すV_{LCx}を入力ソースとして選択します。

S0-S31：V_{LC1}，COM0-COM2：V_{LC2}，COM3：V_{LC0}

3．分割抵抗を内蔵している場合.....ロウ・レベル

分割抵抗を内蔵していない場合.....ハイ・インピーダンス

4．将来のシステム拡張に備えた端子です。現在はP30, P31端子としてのみ使用します。

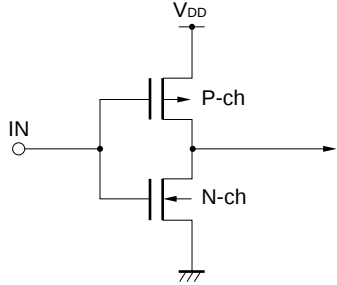
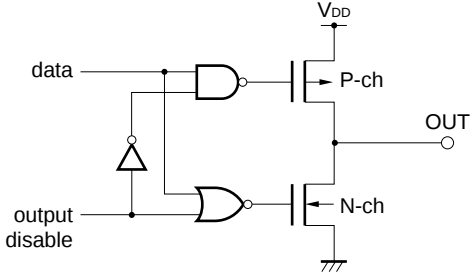
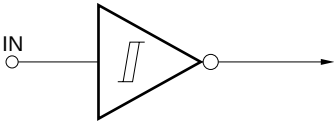
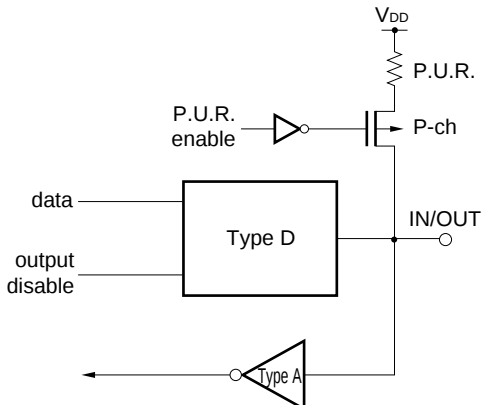
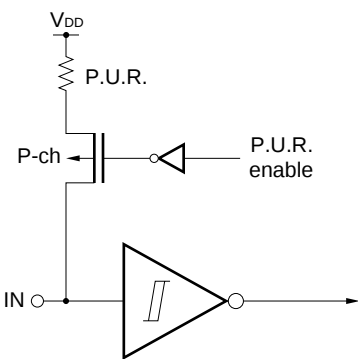
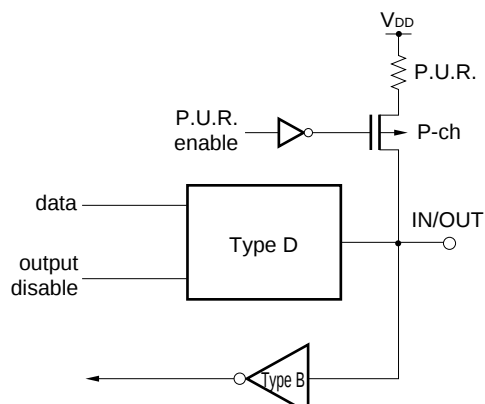
3.2 ポート端子以外の端子 (2/2)

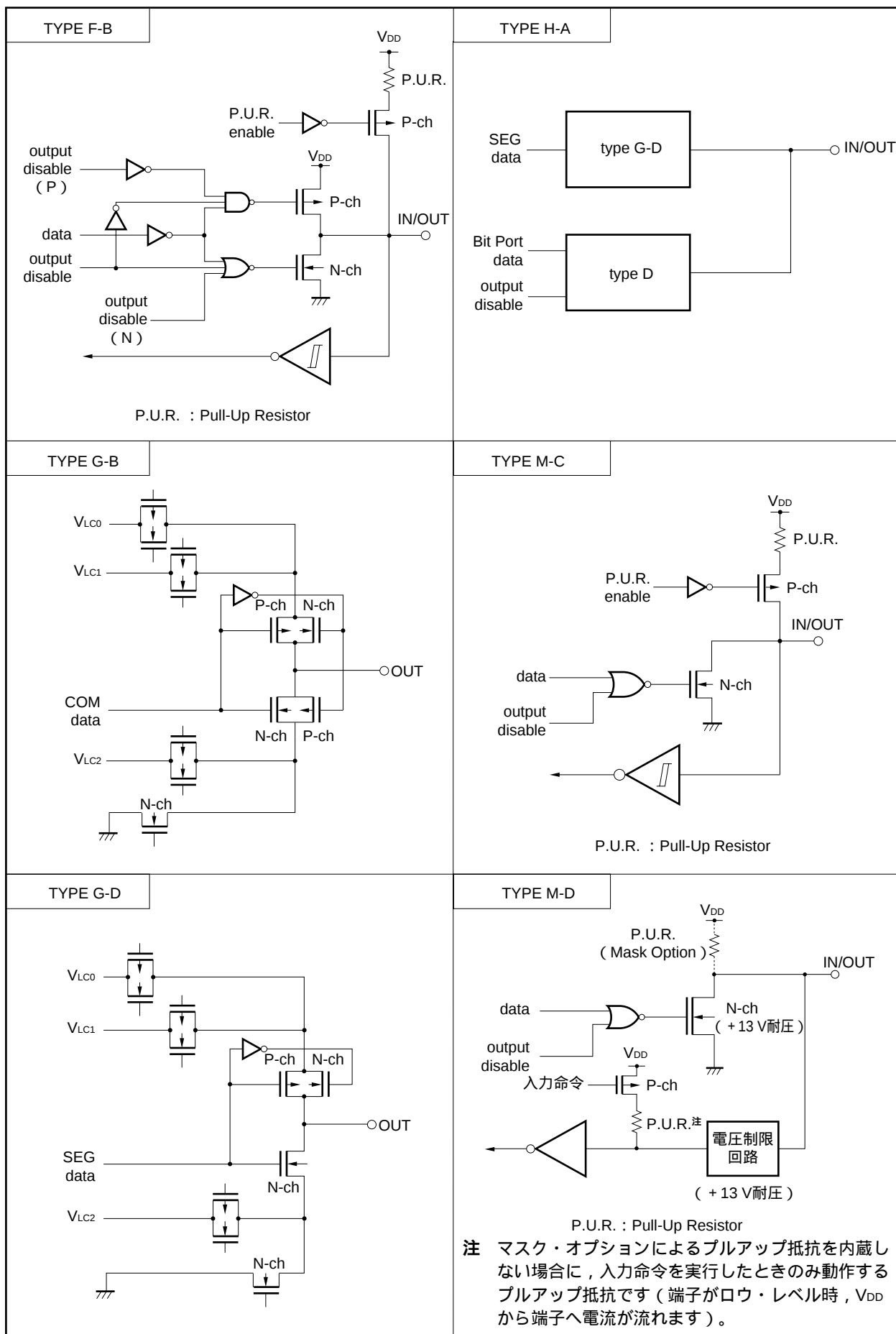
端子名称	入出力	兼用端子	機能	リセット時	入出力 回路 TYPE ^注
XT1	入 力	-	サブシステム・クロック発振用クリスタル接続端子。外部クロックの場合, XT1へ入力し, XT2はオープンとする。XT1は1ビット入力(テスト)端子として使用可能。	-	-
XT2	-				
$\overline{\text{RESET}}$	入 力	-	システム・リセット入力(ロウ・レベル・アクティブ)。	-	B
IC	-	-	Internally Connected. V_{DD} に直接接続してください。	-	-
V_{DD}	-	-	正電源。	-	-
V_{SS}	-	-	グランド電位。	-	-

注 ○印はシュミット・トリガ入力を示します。

3.3 端子の入出力回路

μPD753017の各端子の入出力回路を一部簡略した形式を用いて示します。

TYPE A  CMOS規格の入力バッファになっています。	TYPE D  出力ハイ・インピーダンス (P-ch, N-chともにオフ) とすることができるプッシュプル出力となっています。
TYPE B  ヒステリシス特性を持つシュミット・トリガ入力となっています。	TYPE E-B  P.U.R. : Pull-Up Resistor
TYPE B-C  P.U.R. : Pull-Up Resistor	TYPE F-A  P.U.R. : Pull-Up Resistor



3.4 未使用端子の処理について

★

表 3 - 1 未使用端子の処理一覧

端 子	推奨接続方法
P00/INT4	V _{SS} またはV _{DD} に接続してください。
P01/ $\overline{\text{SCK}}$	個別に抵抗を介して、V _{SS} またはV _{DD} に接続してください。
P02/SO/SB0	
P03/SI/SB1	V _{SS} に接続してください。
P10/INT0, P11/INT1	V _{SS} またはV _{DD} に接続してください。
P12/TI1/TI2/INT2	
P13/TI0	
P20/PTO0	入力状態：個別に抵抗を介して、V _{SS} またはV _{DD} に接続してください。 出力状態：オープンにしてください。
P21/PTO1	
P22/PTO2/PCL	
P23/BUZ	
P30/LCDCL	
P31/SYNC	
P32	
P33	
P40-P43	入力状態：V _{SS} に接続してください。 出力状態：V _{SS} に接続してください（マスク・オプションのブルアップ抵抗を接続しないでください）。
P50-P53	
P60/KR0-P63/KR3	入力状態：個別に抵抗を介して、V _{SS} またはV _{DD} に接続してください。 出力状態：オープンにしてください。
P70/KR4-P73/KR7	
S0-S23	オープンにしてください。
S24/BP0-S31/BP7	
COM0-COM3	
V _{LC0} -V _{LC2}	V _{SS} に接続してください。
BIAS	V _{LC0} -V _{LC2} のすべてが未使用のときのみV _{SS} に接続、他の場合はオープンにしてください。
XT1	V _{SS} に接続してください。
XT2	オープンにしてください。
IC	V _{DD} に直接接続してください。

4. Mk モードとMk モードの切り替え機能

4.1 Mk モードとMk モードの違い

μPD753017のCPUはMk モードとMk モードの2つのモードを持ち、どちらを使用するかを選択ができます。モードの切り替え操作は、スタック・バンク選択レジスタ（SBS）のビット3で行います。

- ・ Mk I モード： μPD75316Bと上位互換性があります。
ROM容量が16 Kバイトまでの75XL CPUで使用できます。
- ・ Mk II モード： μPD75316Bとの互換性がありません。
ROM容量が16 Kバイト以上の製品も含め、75XL CPU全部で使用できます。

表 4 - 1 Mk モードとMk モードの違い

	Mk I モード	Mk II モード
プログラム・メモリ（バイト）	・ μPD753012：12288 ・ μPD753016, 753017 ：16384	・ μPD753012：12288 ・ μPD753016：16384 ・ μPD753017：24576
サブルーチン命令の スタック・バイト数	2 バイト	3 バイト
BRA !addr1命令 CALLA !addr1命令	なし	あり
CALL !addr命令	3 マシン・サイクル	4 マシン・サイクル
CALLF !faddr命令	2 マシン・サイクル	3 マシン・サイクル

★

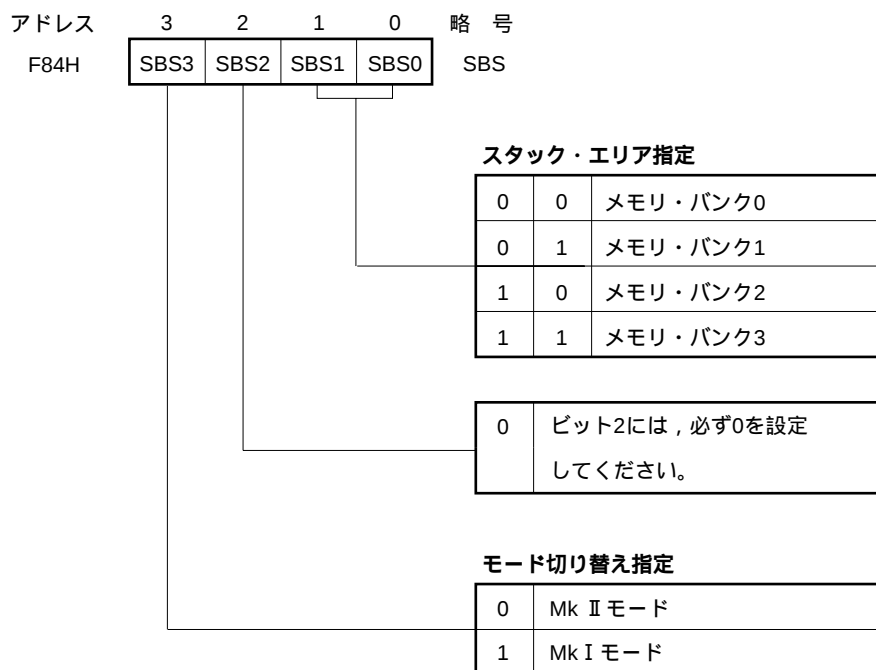
注意 Mk モードは、75Xおよび75XLシリーズにおいて、16 Kバイトを越えるプログラム領域をサポートするモードです。このモードにより、16 Kバイトを越える製品とのソフトウェア上の互換性を高めることができます。なお、Mk モードを選択すると、サブルーチン・コール命令実行時のスタック・バイト数（使用エリア）がMk モードに比べ1スタックごとに1バイト分増えます。また、CALL !addr, CALLF !faddr命令使用時は、マシン・サイクルがそれぞれ1マシン・サイクル分長くなります。したがって、ソフトウェアの互換性よりRAMの使用効率や処理能力を重視する場合は、Mk モードを使用してください。

4.2 スタック・バンク選択レジスタ (SBS) の設定方法

Mk I モードとMk II モードの切り替えは、スタック・バンク選択レジスタによって行います。図4 - 1 にそのフォーマットを示します。

スタック・バンク選択レジスタは、4 ビット・メモリ操作命令により設定します。Mk I モードを使用する場合は、プログラムの初期で必ずスタック・バンク選択レジスタを $10 \times \times B^{\#}$ にイニシャライズしてください。またMk II モードを使用する場合は、必ず $00 \times \times B^{\#}$ にイニシャライズしてください。

図4 - 1 スタック・バンク選択レジスタのフォーマット



注 $\times \times$ には希望の値を設定してください。

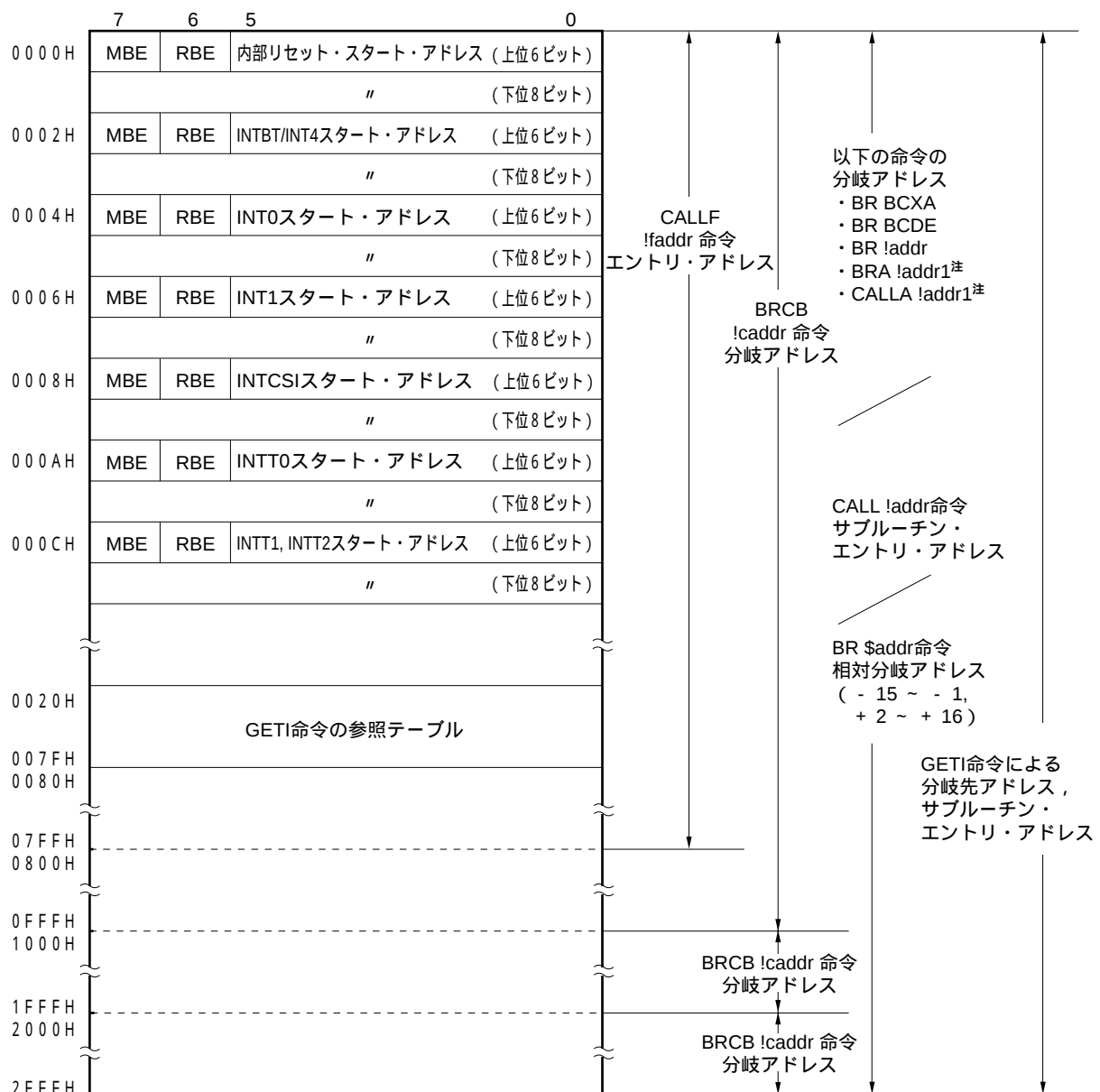
注意 SBS.3はRESET信号発生後“1”になるので、CPUはMk II モードで動作します。Mk II モードの命令を使用する場合は、SBS.3を“0”にし、Mk II モードに設定してから使用してください。

5. メモリ構成

- プログラム・メモリ (ROM)12288 × 8 ビット (μPD753012)
.....16384 × 8 ビット (μPD753016)
.....24576 × 8 ビット (μPD753017)
- データ・メモリ (RAM)
 - ・ データ・エリア...1024ワード × 4 ビット (000H-3FFH)
 - ・ 周辺ハードウェア・エリア...128 × 4 ビット (F80H-FFFH)

図5 - 1 プログラム・メモリ・マップ (1/3)

(a) μPD753012

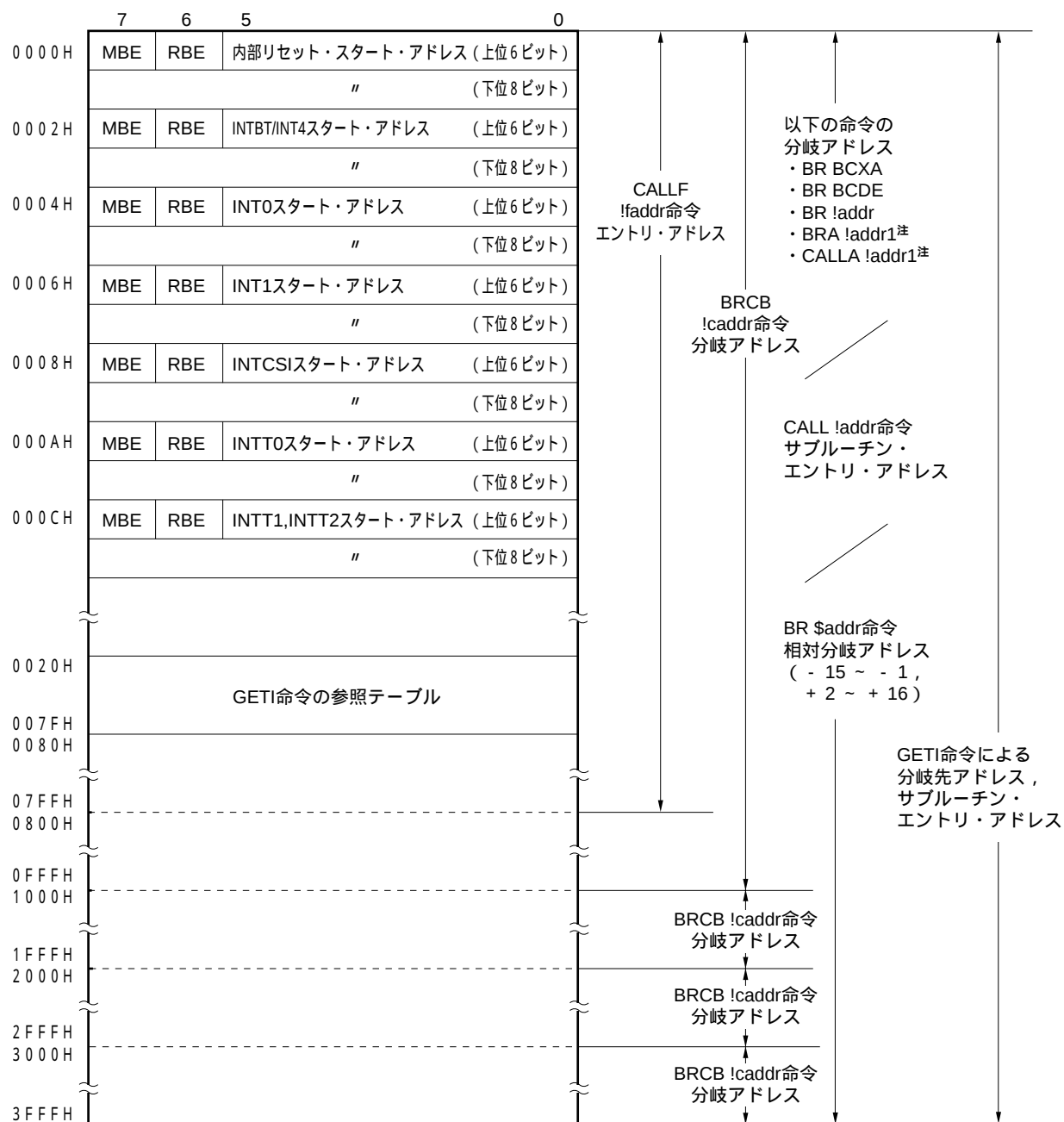


★ 注 Mk モードでのみ使用できます。

備考 上記の命令以外では, BR PCDE, BR PCXA命令により, PCの下位8ビットのみ変更したアドレスへ分岐することができます。

図5 - 1 プログラム・メモリ・マップ (2/3)

(b) μPD753016

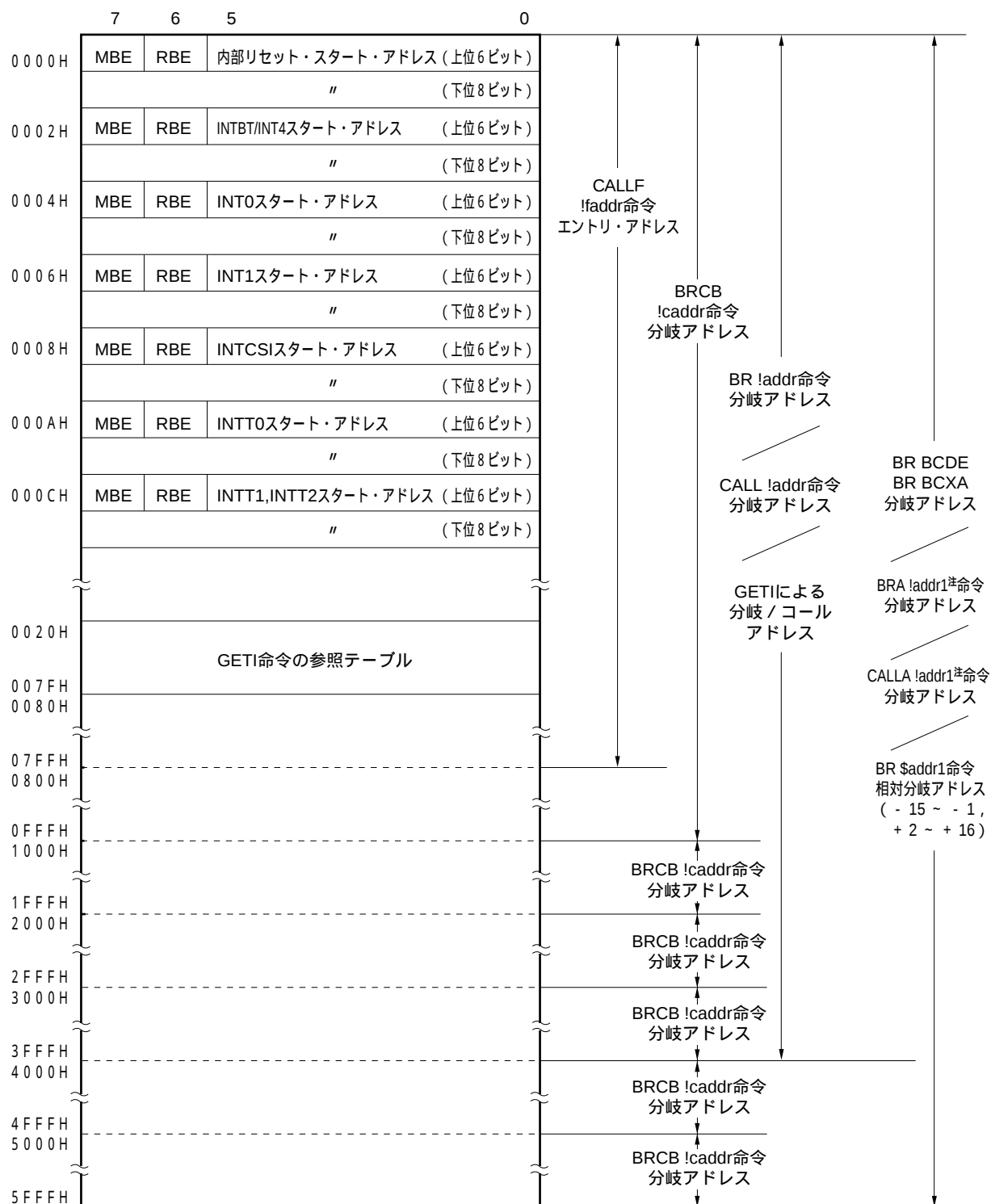


★ 注 Mk モードでのみ使用できます。

備考 上記の命令以外では, BR PCDE, BR PCXA命令により, PCの下位8ビットのみ変更したアドレスへ分岐することができます。

図5 - 1 プログラム・メモリ・マップ (3/3)

(c) μPD753017

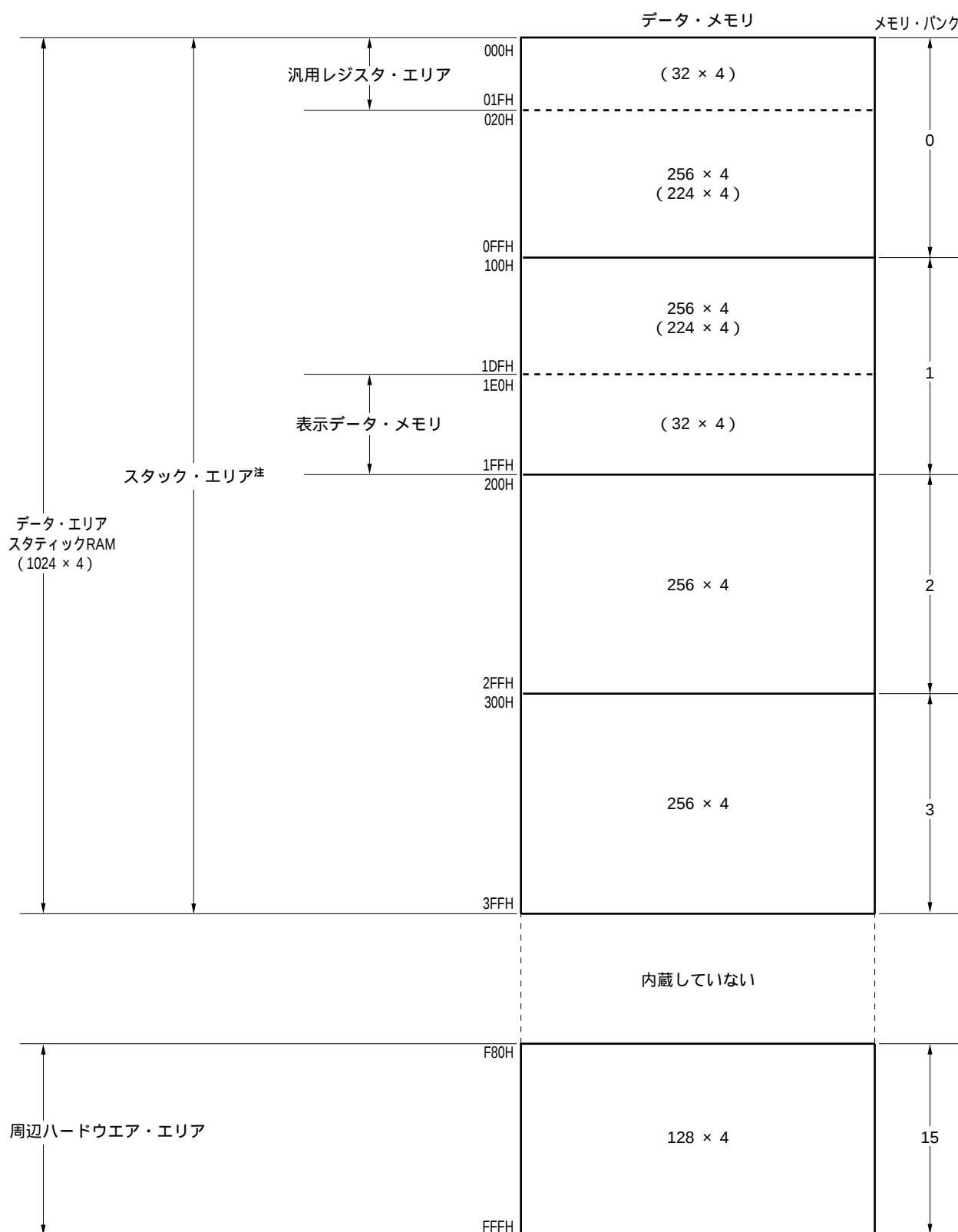


★ 注 Mk モードでのみ使用できます。

注意 上記、割り込みベクタのスタート・アドレスは14ビットですので、16 K空間内 (0000H-3FFFH) に設定してください。

備考 上記の命令以外では、BR PCDE, BR PCXA命令により、PCの下位 8 ビットのみ変更したアドレスへ分岐することができます。

図5 - 2 データ・メモリ・マップ



注 スタック・エリアは、メモリ・バンク 0-3 から 1 つを選択できます。

6．周辺ハードウェア機能

6.1 デジタル入出力ポート

I/Oポートには、次の4種類があります。

・CMOS入力 (PORT0, 1)	: 8本
・CMOS入出力 (PORT2, 3, 6, 7)	: 16本
・N-chオープン・ドレイン入出力 (PORT4, 5)	: 8本
・ビット・ポート出力 (BP0-BP7)	: 8本
合計	40本

表6-1 デジタル・ポートの種類と特徴

ポート（端子名）	機 能	動作・特徴		備 考
PORT0 （ P00-P03 ）	4 ビット入力	シリアル・インタフェース機能使用時は，兼用端子が動作モードによって出力機能を持ちます。		INT4, $\overline{\text{SCK}}$, SO/SB0, SI/SB1と端子を兼用。
PORT1 （ P10-P13 ）		4 ビット入力専用ポート。		INT0-INT2, TI0-TI2と端子を兼用。
PORT2 （ P20-P23 ）	4 ビット入出力	4 ビット単位で入力または出力モードに設定可能。		PTO0-PTO2, PCL, BUZと端子を兼用。
PORT3 （ P30-P33 ）		1/4 ビット単位で入力または出力モードに設定可能。		LCDCL, SYNCと端子を兼用。
PORT4 （ P40-P43 ）	4 ビット入出力 （ N - c h オープン ・ ド レ ー ン 13 V 耐 圧 ）	4 ビット単位で入力または出力モードに設定可能。	ポ ー ト 4 と 5 は ペ ア と な っ て 8 ビット単位でデータの入出力が可能。	マスク・オプションで，1 ビット単位にプルアップ抵抗内蔵の指定可能。
PORT5 （ P50-P53 ）				
PORT6 （ P60-P63 ）	4 ビット入出力	1/4 ビット単位で入力または出力モードに設定可能。	ポ ー ト 6 と 7 は ペ ア と な っ て 8 ビット単位でデータの入出力が可能。	KR0-KR3と端子を兼用。
PORT7 （ P70-P73 ）		4 ビット単位で入力または出力モードに設定可能。		KR4-KR7と端子を兼用。
BP0-BP7	1 ビット出力	1 ビット単位でデータ出力。LCD駆動用セグメント出力S24-S31とソフトウェアで切り替え可能。		-

★

6.2 クロック発生回路

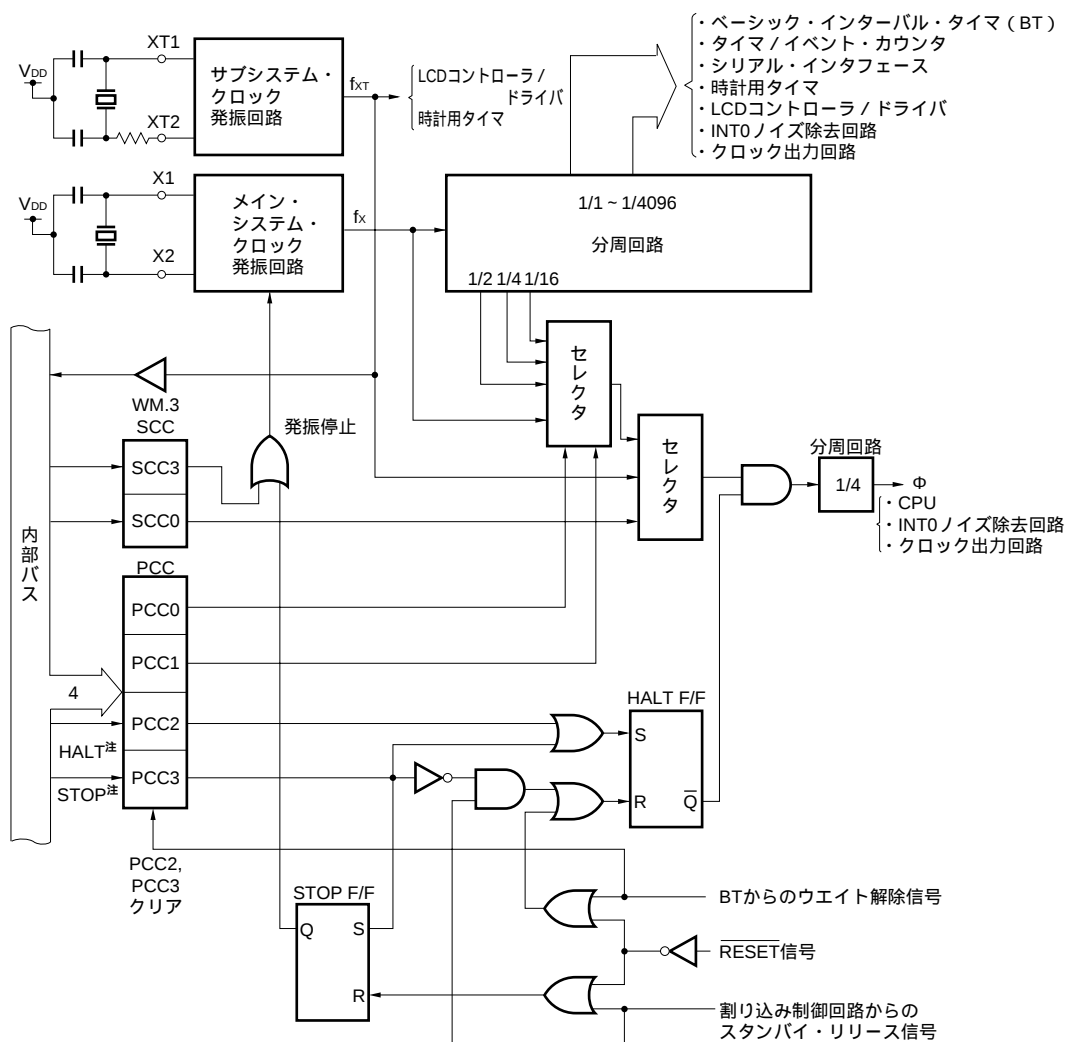
クロック発生回路の動作はプロセッサ・クロック・コントロール・レジスタ (PCC) とシステム・クロック・コントロール・レジスタ (SCC) により決定されます。

メイン・システム・クロックとサブシステム・クロックの2種類があります。

また、命令実行時間を変化させることができます。

- ・ $0.95\mu\text{s}$, $1.91\mu\text{s}$, $3.81\mu\text{s}$, $15.3\mu\text{s}$ (メイン・システム・クロック : 4.19 MHz 動作時)
- ・ $0.67\mu\text{s}$, $1.33\mu\text{s}$, $2.67\mu\text{s}$, $10.7\mu\text{s}$ (メイン・システム・クロック : 6.0 MHz 動作時)
- ・ $122\mu\text{s}$ (サブシステム・クロック : 32.768 kHz 動作時)

図6-1 クロック発生回路のブロック図



注 命令の実行

備考1 . f_X = メイン・システム・クロック周波数

2 . f_{XT} = サブシステム・クロック周波数

3 . Φ = CPUクロック

4 . PCC : プロセッサ・クロック・コントロール・レジスタ

5 . SCC : システム・クロック・コントロール・レジスタ

6 . Φ の1クロック・サイクル (t_{CY}) は命令の1マシン・サイクルです。

6.3 サブシステム・クロック発振回路の制御機能

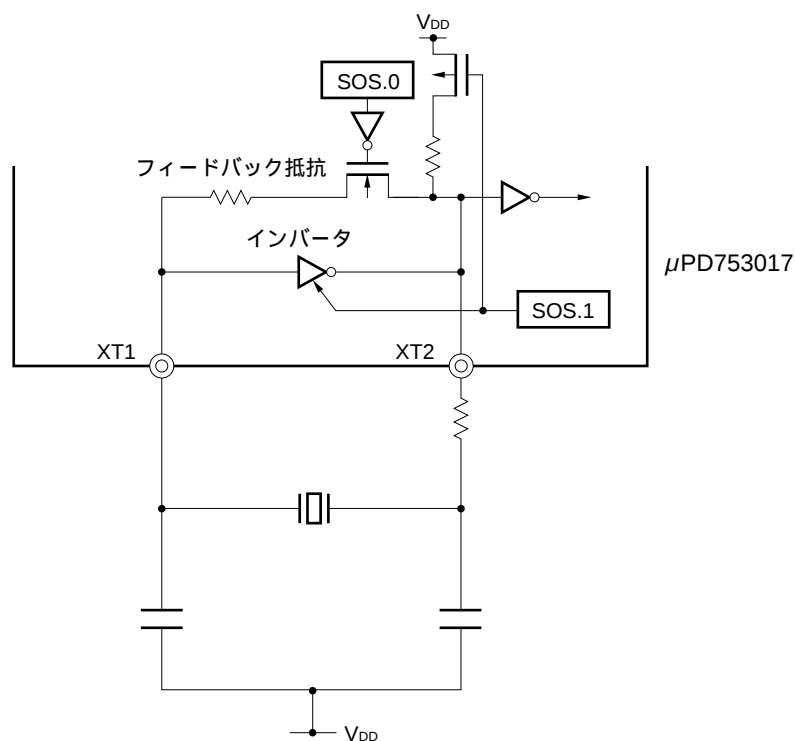
μ PD753017のサブシステム・クロック発振回路には次の2つの制御機能があります。

- 内蔵フィードバック抵抗を使用するか使用しないかをソフトウェアで選択する機能[※]
- 内蔵インバータのドライブ電流を下げて、電源電圧が高いとき ($V_{DD} = 2.7V$) に消費電流を抑える機能

★ 注 サブシステム・クロックを使用しない場合は、ソフトウェアでSOS.0 = 1 (内蔵フィードバック抵抗を使用しない) とし、XT1を V_{SS} に接続、XT2はオープンにしてください。サブシステム・クロック発振回路で消費する電流を抑えることができます。

それぞれの機能は、サブ発振回路コントロール・レジスタ (SOS) のビット0, 1を切り替えることで使用できます (図6 - 2参照)。

★ 図6 - 2 サブシステム・クロック発振回路

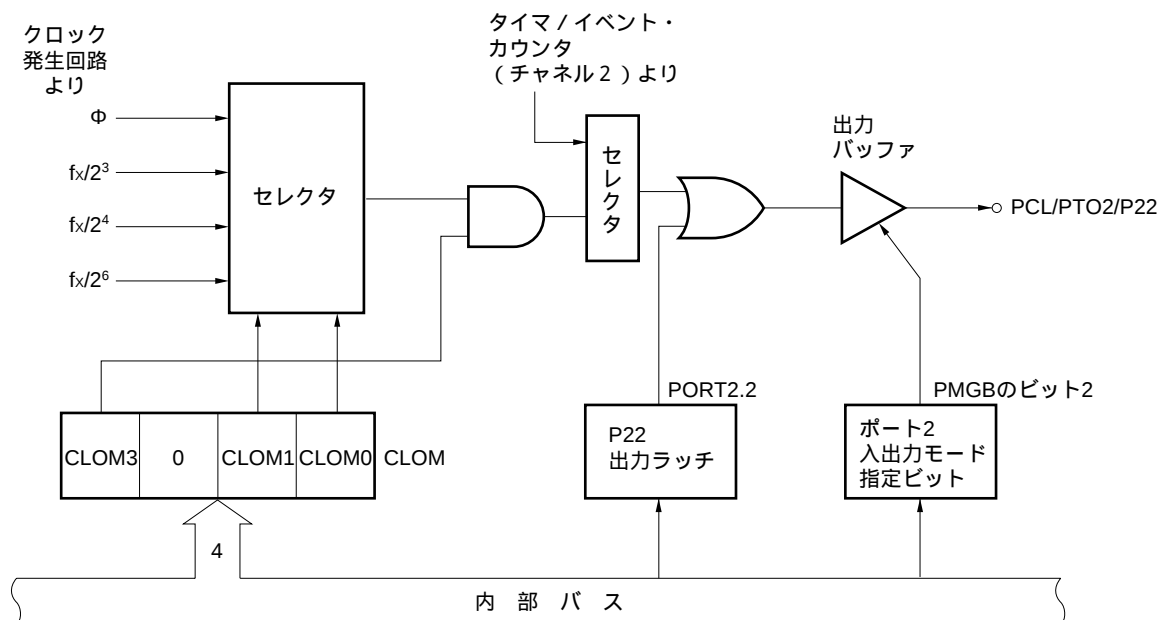


6.4 クロック出力回路

クロック出力回路は、P22/PTO2/PCL端子からクロック・パルスを出力するための回路です。リモコン波形出力への応用や周辺LSIにクロック・パルスを供給する場合などに利用します。

- クロック出力（PCL）：Φ, 524, 262, 65.5 kHz（4.19 MHz動作時）
Φ, 750, 375, 93.8 kHz（6.0 MHz動作時）

図6 - 3 クロック出力回路のブロック図



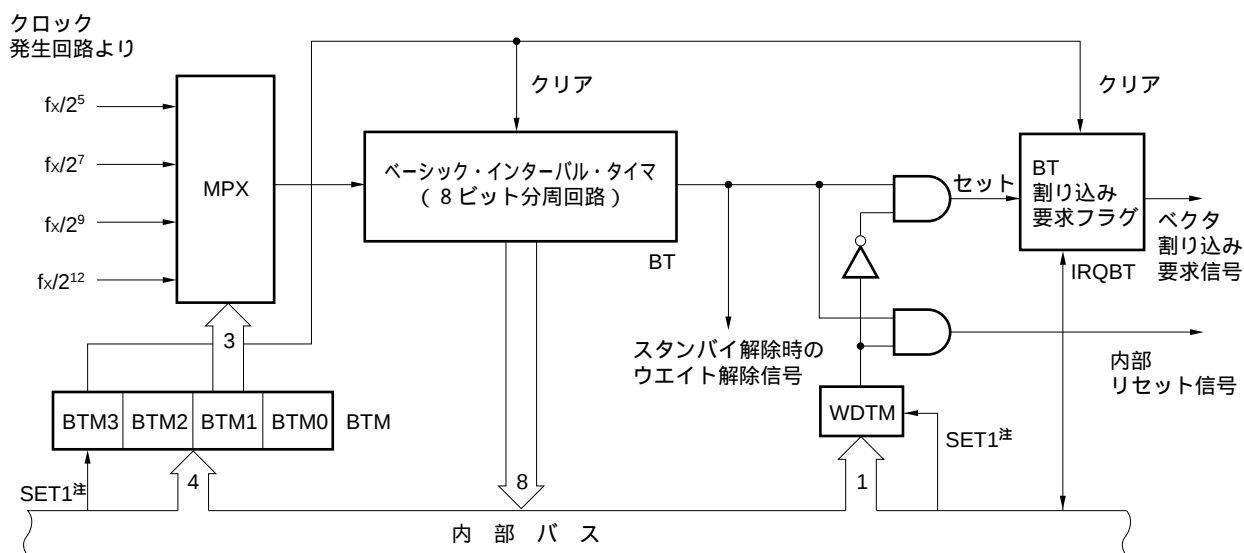
備考 クロックの出力の許可／禁止を切り替えるときに、幅の短いパルスが出力されないように考慮されています。

6.5 ベーシック・インターバル・タイマ/ウォッチドッグ・タイマ

ベーシック・インターバル・タイマ/ウォッチドッグ・タイマには、次の機能があります。

- 基準時間割り込みを発生するインターバル・タイマ動作
- プログラムの暴走を検出し、CPUをリセットするウォッチドッグ・タイマ動作
- スタンバイ・モード解除時のウェイト時間の選択とカウント
- カウント内容の読み出し

図 6 - 4 ベーシック・インターバル・タイマ/ウォッチドッグ・タイマのブロック図



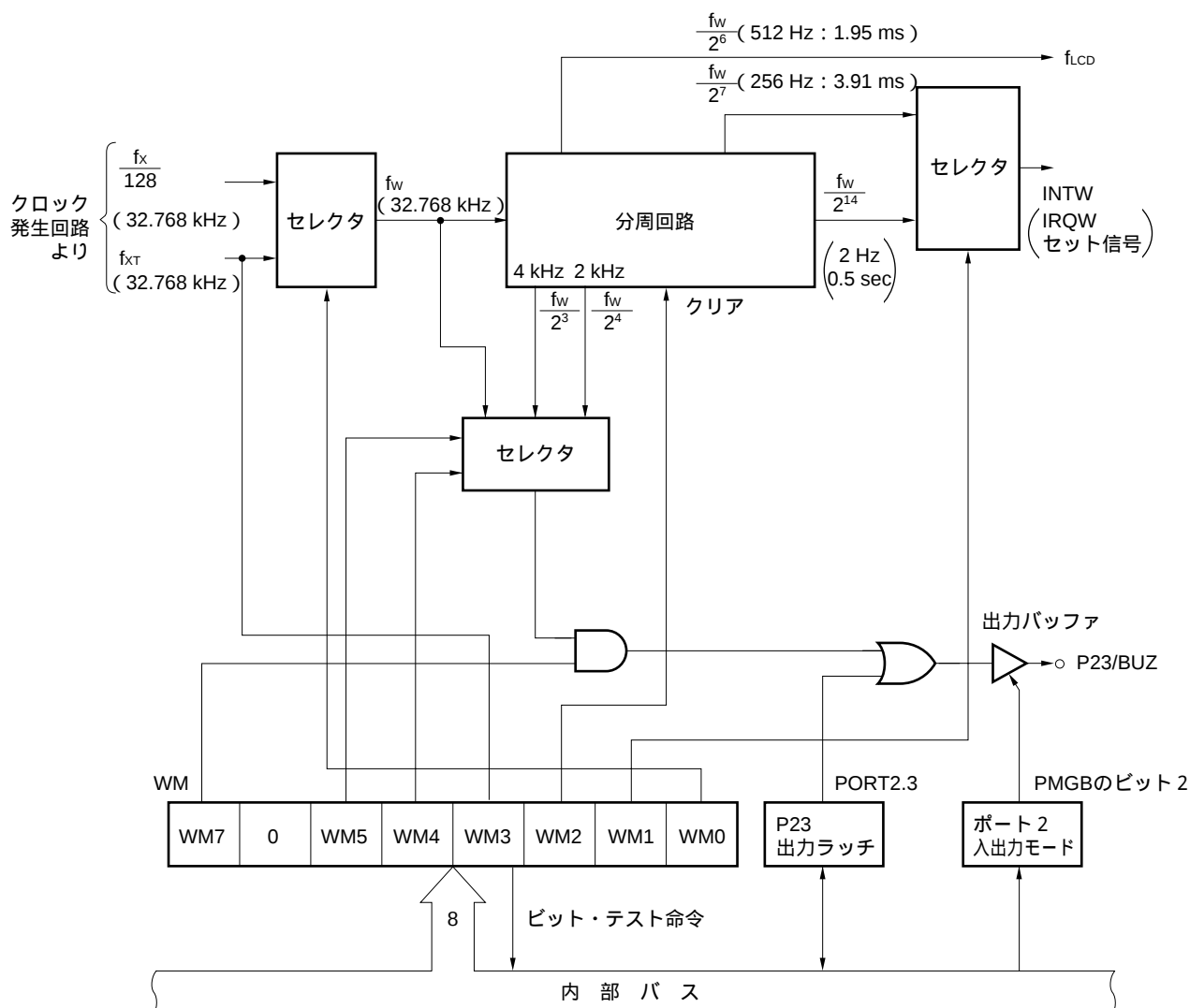
注 命令の実行

6.6 時計用タイマ

μPD753017は時計用タイマを1チャンネル内蔵しています。時計用タイマには、次の機能があります。

- 0.5秒の時間間隔でテスト・フラグ（IRQW）をセットします。
IRQWによりスタンバイ・モードの解除ができます。
- メイン・システム・クロックとサブシステム・クロックのいずれでも0.5秒の時間間隔を作ることができます。
なお、メイン・システム・クロック周波数として $f_x = 4.194304$ MHz, サブシステム・クロック周波数として $f_{XT} = 32.768$ kHzを使用してください。
- 早送りモードにより128倍（3.91 ms）の時間間隔となり、プログラムのデバッグや検査に便利です。
- 任意の周波数（2.048, 4.096, 32.768 kHz）をP23/BUZ端子に出力することができ、ブザー音発生や、システム・クロック発振周波数のトリミングに使用できます。
- 分周回路のクリアをすることによって、時計をゼロ秒スタートできます。

図6 - 5 時計用タイマのブロック図



() 内は $f_x = 4.194304$ MHz, $f_{XT} = 32.768$ kHzの場合です。

6.7 タイマ/イベント・カウンタ

μPD753017は、タイマ/イベント・カウンタを3チャンネル内蔵しています。タイマ/イベント・カウンタには、次の機能があります。

- プログラマブル・インターバル・タイマ動作
- PTO_n端子への任意の周波数の方形波出力
- イベント・カウンタ動作
- TIn端子入力をN分周してPTO_n端子へ出力（分周回路動作）
- シリアル・インタフェース回路へのシリアル・シフト・クロック供給
- カウント状態の呼び出し機能

また、タイマ/イベント・カウンタの動作は、モード・レジスタの設定によって、次に示す4種類のモードでの動作が可能です。

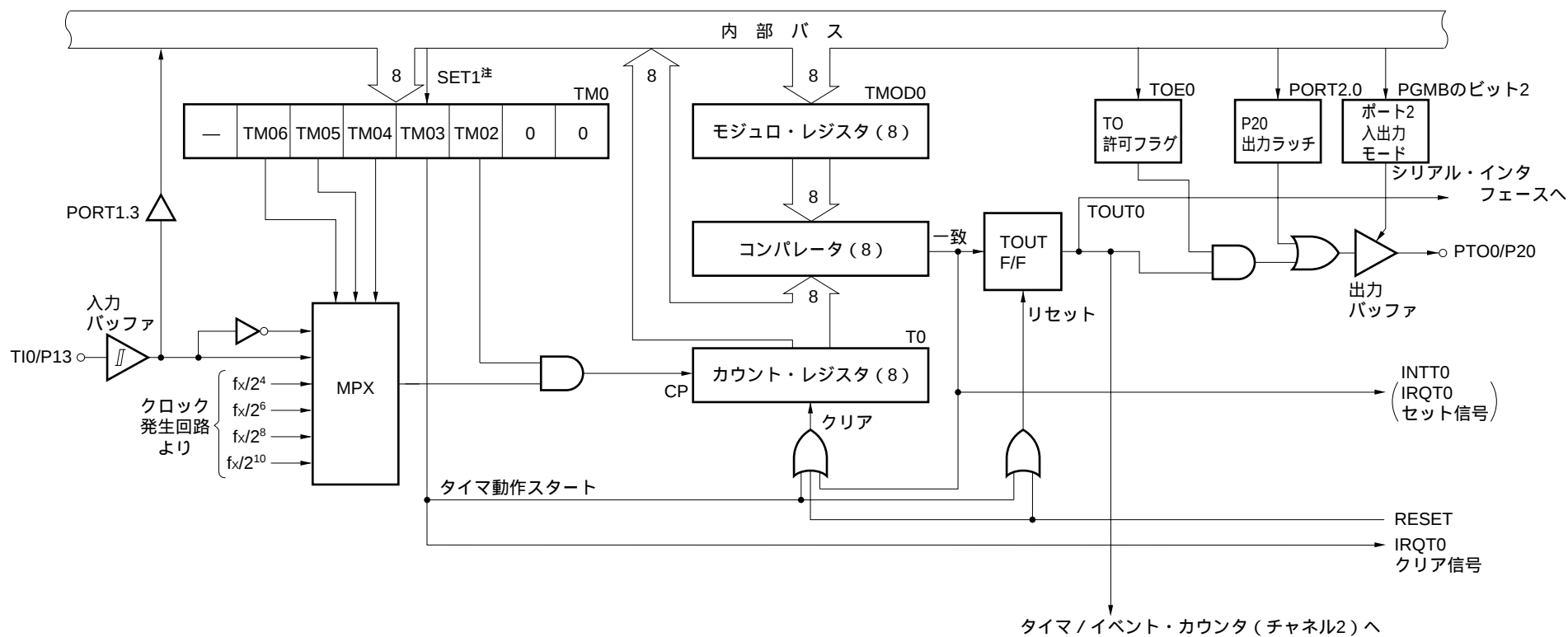
表 6 - 2 使用可能モード一覧表

モード	チャンネル		
	チャンネル0	チャンネル1	チャンネル2
8ビット・タイマ/イベント・カウンタ・モード	○	○	○
ゲート制御機能	×注	×	○
PWM/パルス・ジェネレータ・モード	×	×	○
16ビット・タイマ/イベント・カウンタ・モード	×	○	
ゲート制御機能	×注	○	
キャリア・ジェネレータ・モード	×	○	

注 ゲート制御信号発生用に使用します。

保守／廃止

図6 - 6 タイマ/イベント・カウンタ(チャンネル0)のブロック図



注 命令の実行

注意 TM0にデータを設定するときは、ビット0, 1を必ず0に設定してください。

図6 - 7 タイマ/イベント・カウンタ (チャンネル1) のブロック図

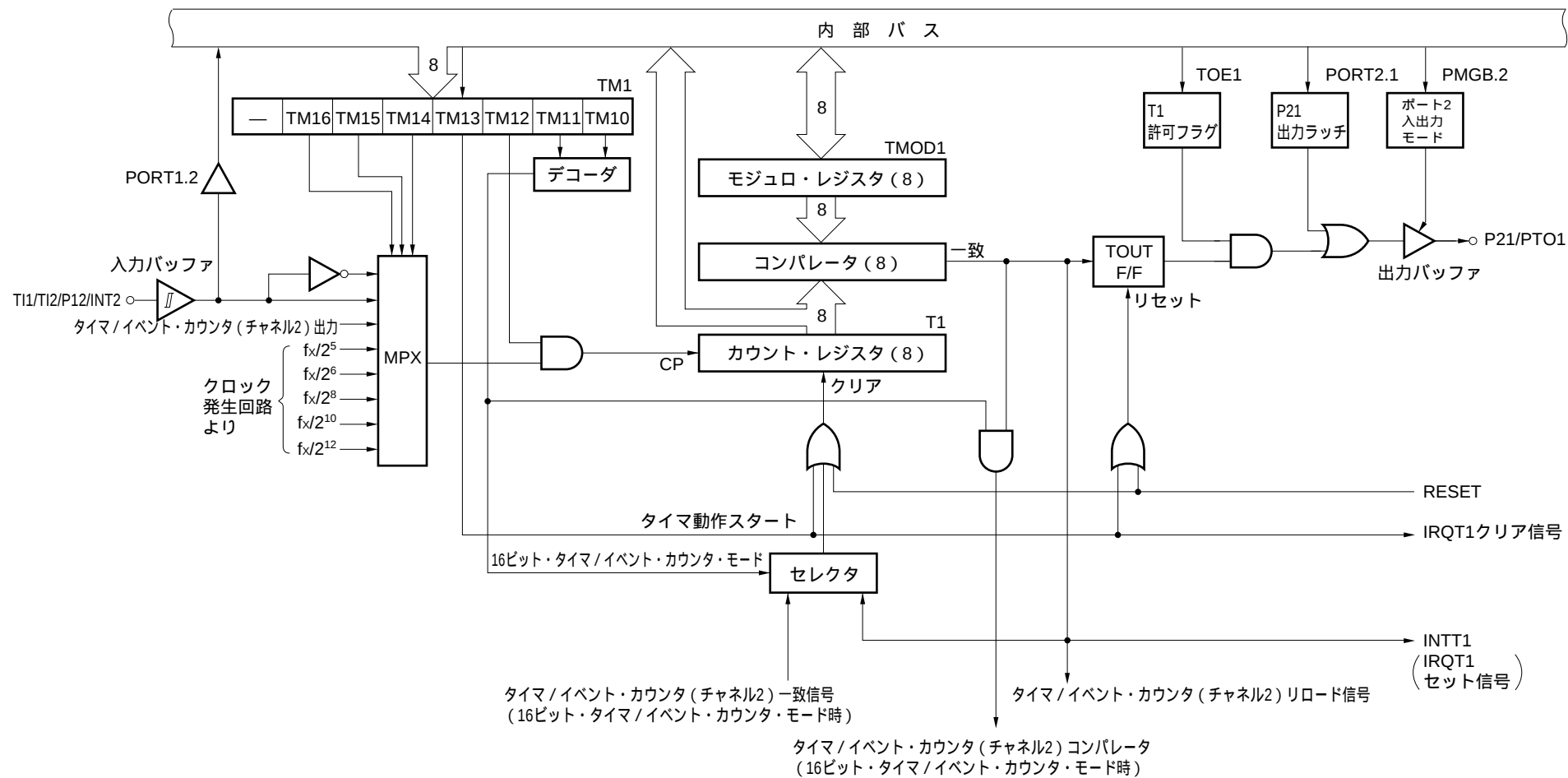
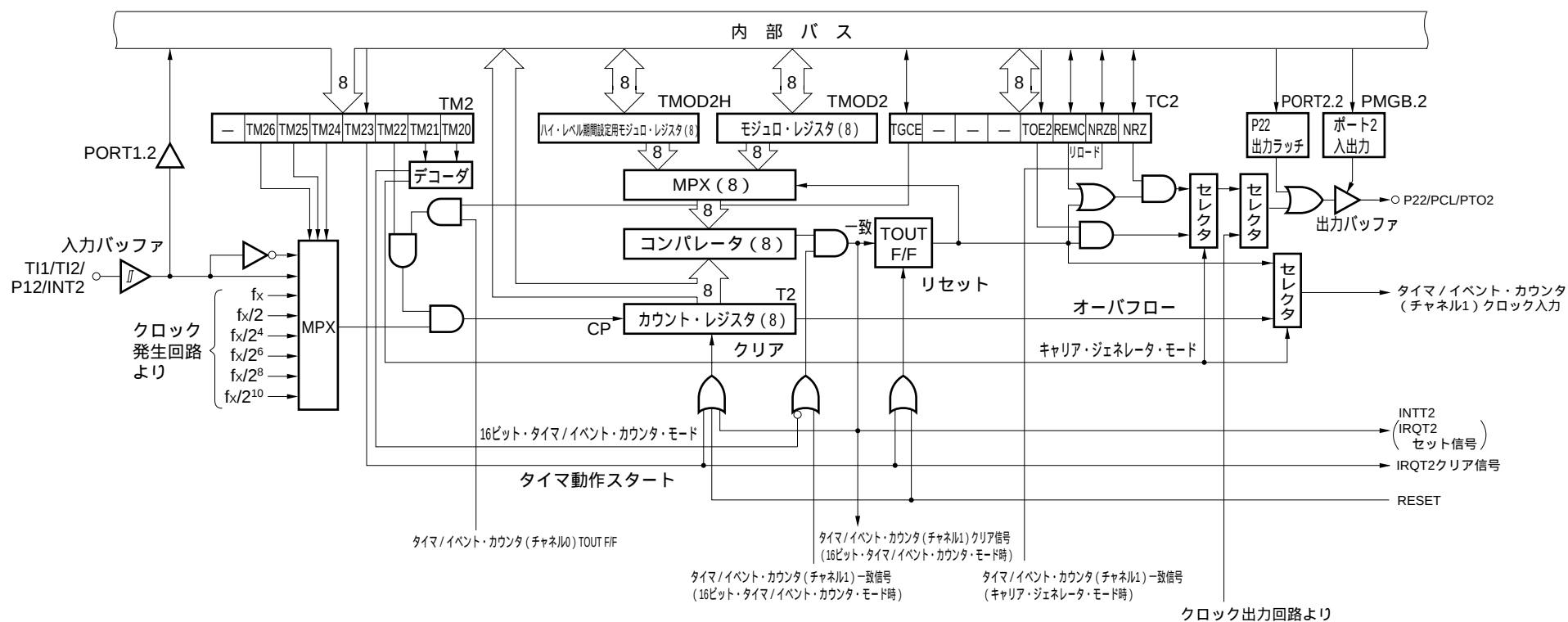


図6-8 タイマ/イベント・カウンタ(チャンネル2)のブロック図

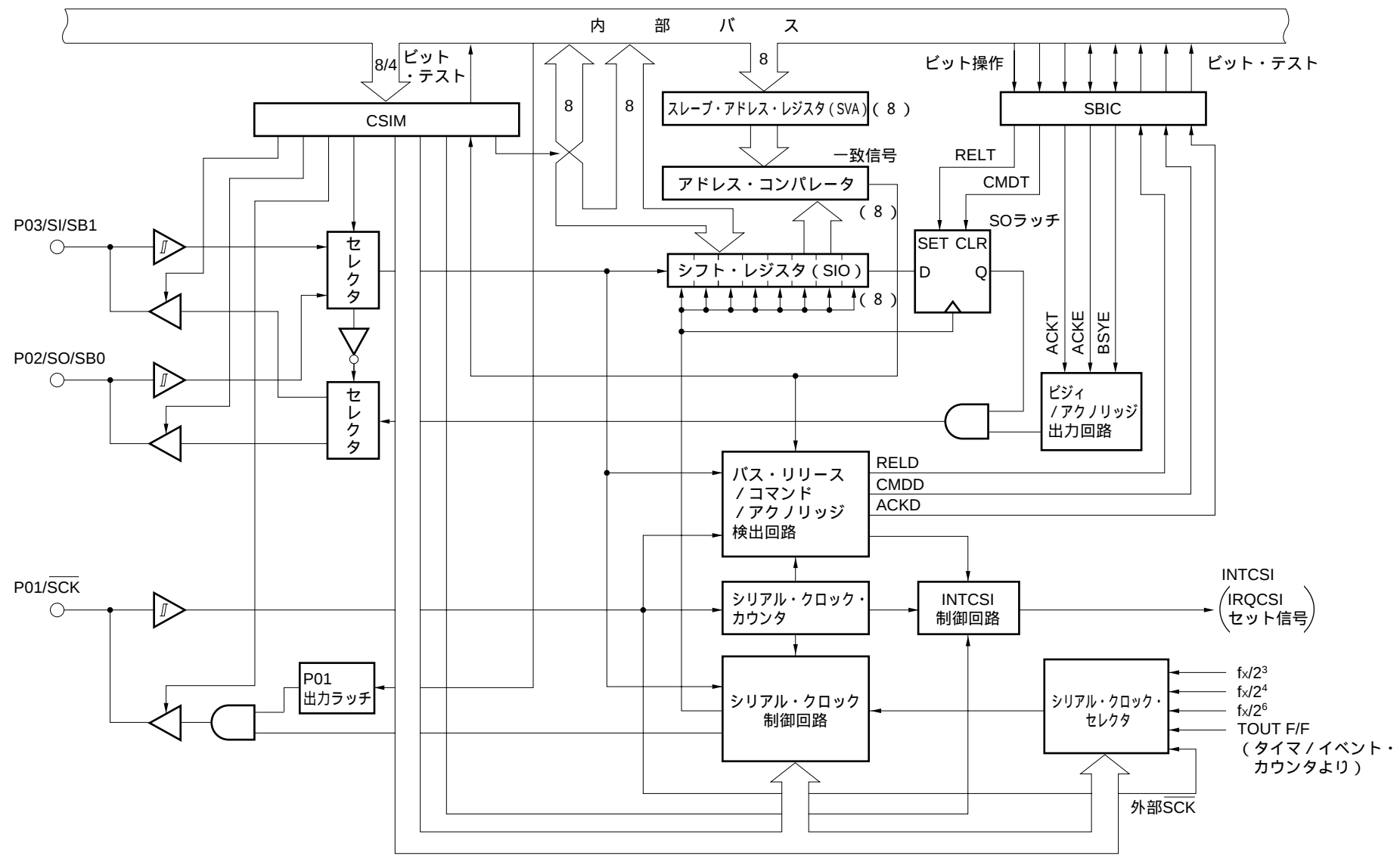


6.8 シリアル・インタフェース

μ PD753017はクロック同期式8ビット・シリアル・インタフェースを内蔵しています。シリアル・インタフェースには、次の4種類のモードがあります。

- ・動作停止モード
- ・3線式シリアルI/Oモード
- ・2線式シリアルI/Oモード
- ・SBIモード

図6 - 9 シリアル・インタフェースのブロック図



6.9 LCDコントローラ／ドライバ

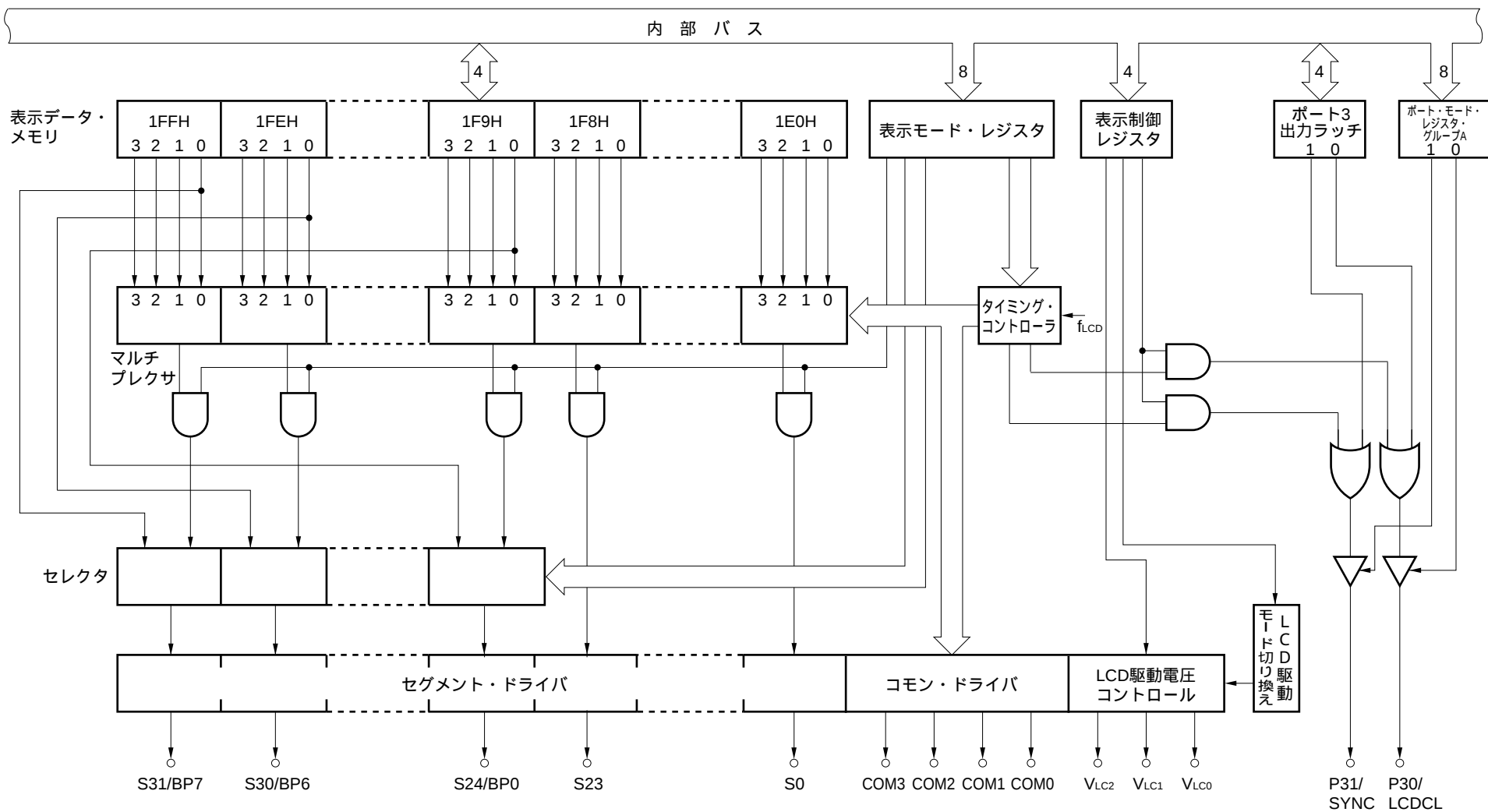
μ PD753017は、表示データ・メモリのデータに従い、セグメント信号とコモン信号を発生する表示コントローラと、LCDパネルを直接駆動可能なセグメント・ドライバ、コモン・ドライバを内蔵しています。

μ PD753017に内蔵されているLCDコントローラ／ドライバの機能には次のようなものがあります。

- DMA動作により自動的に表示データ・メモリを読み出してセグメント信号とコモン信号を発生。
- 5種類の表示モードが選択可能。
 - ① スタティック
 - ② 1/2デューティ（2時分割）、1/2バイアス
 - ③ 1/3デューティ（3時分割）、1/2バイアス
 - ④ 1/3デューティ（3時分割）、1/3バイアス
 - ⑤ 1/4デューティ（4時分割）、1/3バイアス
- 各表示モードにおいて、4種類のフレーム周波数が選択可能。
- セグメント信号出力は最大32本（S0-S31）、コモン出力は4本（COM0-COM3）。
- セグメント信号出力（S24-S27, S28-S31）は4本単位で、出力ポートに切り替え可能。
- LCD駆動用電源供給用の分割抵抗内蔵可能（マスク・オプション）。
 - ・各種バイアス法、LCD駆動電圧に対応可能。
 - ・表示オフ時には、分割抵抗へ流れる電流をカット。
- 表示に使用しない表示データ・メモリは通常のデータ・メモリとして使用可能。
- サブシステム・クロックによる動作も可能。

保守/廃止

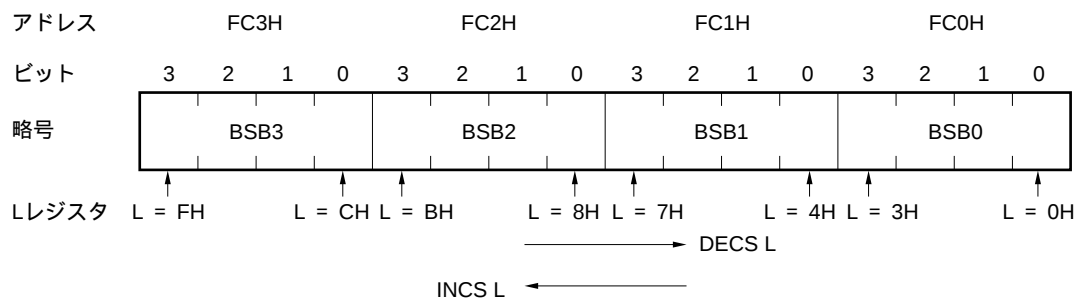
図6-10 LCDコントローラ/ドライバのブロック図



6.10 ビット・シーケンシャル・バッファ.....16ビット

ビット・シーケンシャル・バッファ（BSB）は、ビット操作の特殊データ・メモリで、特にアドレスおよびビット指定を順次変更してビット操作が容易にできるので、ビット長の長いデータをビット単位で処理するときに便利です。

図6 - 11 ビット・シーケンシャル・バッファのフォーマット



備考1 . pmem.@Lアドレッシングでは、Lレジスタに対応して指定ビットが移動します。

2 . pmem.@Lアドレッシングでは、MBE, MBSの指定にかかわらずに、いつでもBSBを操作できます。

7．割り込み機能とテスト機能

μ PD753017には、8種類の割り込みソースと2種類のテスト・ソースがあり、テスト・ソースのうちINT2は、2種類のエッジ検出テストابل入力を備えています。

μ PD753017の割り込み制御回路には、次のような機能があります。

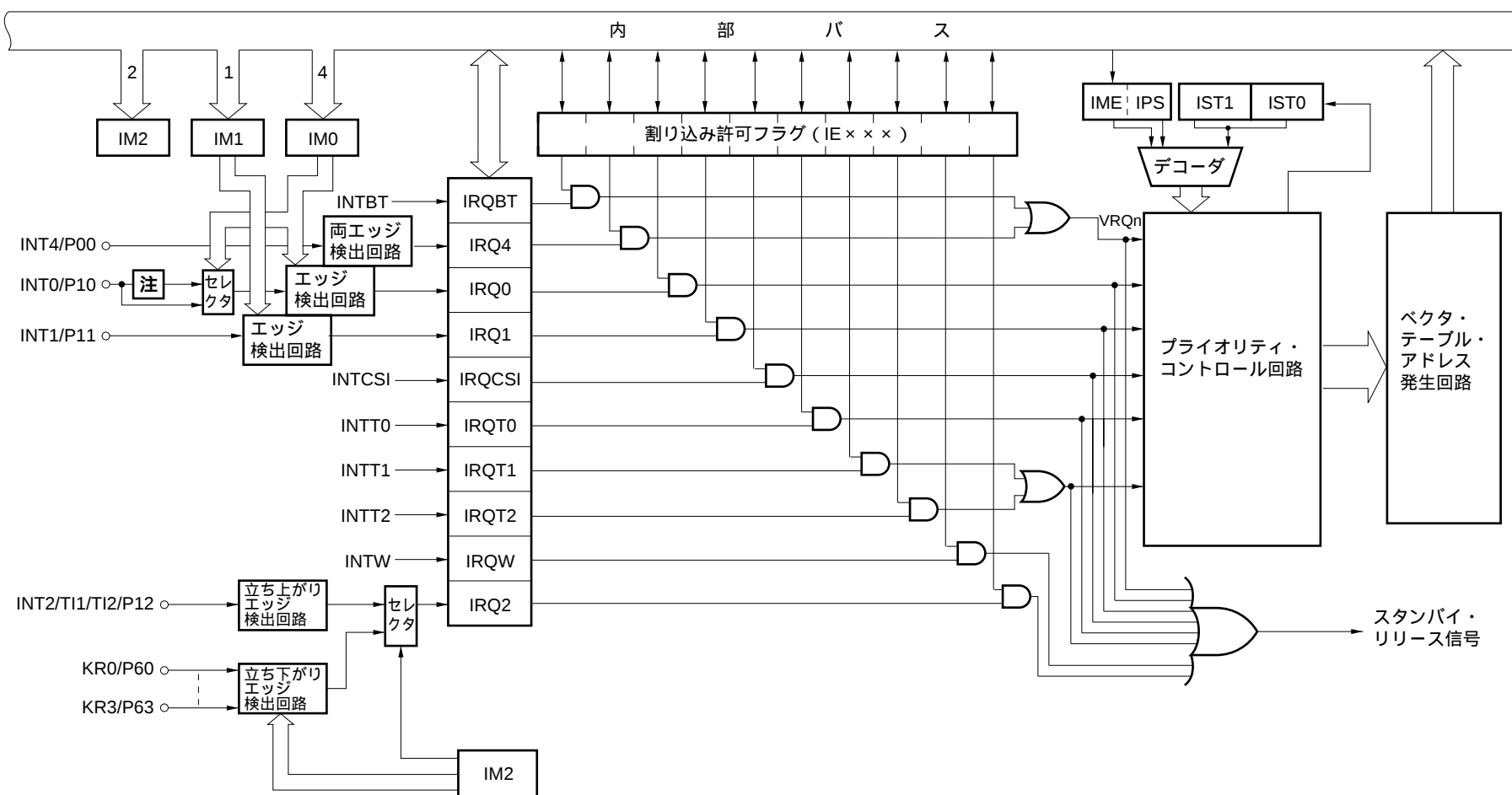
(1) 割り込み機能

- ・割り込み許可フラグ (IE × × ×) と、割り込みマスタ許可フラグ (IME) により受け付け可否を制御できるハードウェア制御のベクタ割り込み機能。
- ・割り込みスタート・アドレスを任意に設定可能。
- ・割り込みプライオリティ選択レジスタ (IPS) により優先順位が指定できる多重割り込み機能。
- ・割り込み要求フラグ (IRQ × × ×) のテスト機能 (ソフトウェアで割り込み発生の確認可能)。
- ・スタンバイ・モードの解除 (割り込み許可フラグにより、解除する割り込みの選択可能)。

(2) テスト機能

- ・ソフトウェアでテスト要求フラグ (IRQ × × ×) 発生の確認可能。
- ・スタンバイ・モードの解除 (テスト許可フラグにより、解除するテスト・ソースの選択可能)。

図 7 - 1 割り込み制御回路ブロック図



注 ノイズ除去回路（ノイズ除去回路選択時はスタンバイ・リリース不可）

8. スタンバイ機能

μPD753017には、プログラム待機中の消費電力を低減するために、2種類のスタンバイ・モード（STOPモード、HALTモード）が用意されています。

表 8 - 1 スタンバイ・モード時の各動作状態

		STOPモード	HALTモード
設定命令		STOP命令	HALT命令
設定時のシステム・クロック		メイン・システム・クロックの場合のみ設定可	メイン・システム・クロックとサブシステム・クロックのいずれでも設定可
★ 動作状態	クロック発生回路	メイン・システム・クロックのみ発振停止	CPUクロックのみ停止（発振継続）
	ベーシック・インターバル・タイマ	動作停止	動作 ^{注1} (BTモード：基準時間間隔でIRQBTをセット) (WTモード：BTのオーバフローによりリセット発生)
	シリアル・インタフェース	シリアル・クロックに外部SCK入力を選択した場合のみ、動作可能	動作可能 ^{注1}
	タイマ/イベント・カウンタ	カウント・クロックにTI0-TI2の端子入力を指定した場合のみ、動作可能	動作可能 ^{注1}
	時計用タイマ	カウント・クロックにf _{XT} を選択した場合動作可能	動作可能
	LCDコントローラ/ドライバ	LCDCLにf _{XT} を選択した場合のみ動作可能	動作可能
	外部割り込み	INT1, 2, 4は動作可能 INT0のみ動作不可能 ^{注2}	
	CPU	動作停止	
解除信号		割り込み許可フラグで許可されている動作可能なハードウェアからの割り込み要求信号または RESET入力	

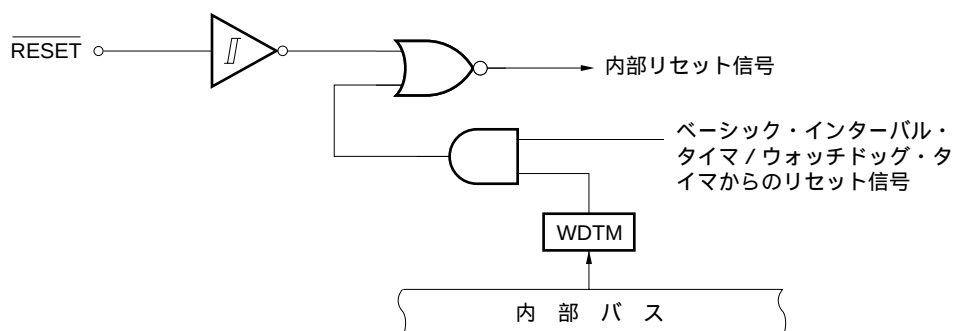
注1．メイン・システム・クロック停止時のみ動作不可能。

2．エッジ検出モード・レジスタ（IM0）のビット2により、ノイズ除去回路を選択しない場合（IM02 = 1のとき）のみ動作可能。

9. リセット機能

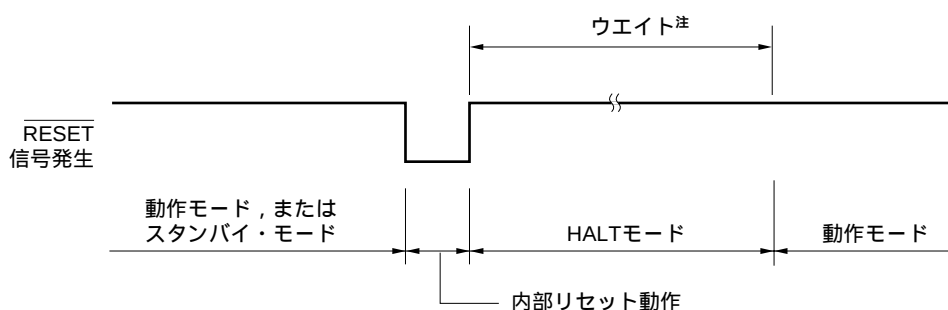
リセット入力には、外部リセット信号（ $\overline{\text{RESET}}$ ）とベーシック・インターバル・タイマ/ウォッチドッグ・タイマからのリセット信号の2種類があります。どちらか一方のリセット信号が入力されると、内部リセット信号が発生します。図9 - 1にそれぞれの構成を示します。

図9 - 1 リセット機能の構成



μPD753017は、 $\overline{\text{RESET}}$ 信号発生によってセットされ、各ハードウェアは表9 - 1に示すようにイニシャライズされます。リセット動作のタイミングを図9 - 2に示します。

図9 - 2 $\overline{\text{RESET}}$ 信号発生によるリセット動作



注 マスク・オプションにより次の2つの時間を選択することができます。

$2^{17}/f_x$ (21.8 ms : 6.00 MHz動作時, 31.3 ms : 4.19 MHz動作時)

$2^{15}/f_x$ (5.46 ms : 6.00 MHz動作時, 7.81 ms : 4.19 MHz動作時)

表 9 - 1 各ハードウェアのリセット後の状態 (1/2)

ハードウェア		スタンバイ・モード中の RESET信号発生	動作中のRESET信号発生
プログラム・カウンタ (PC)	μ PD753012, 753016	プログラム・メモリの0000H番地の下 位 6 ビットをPC13-PC8に, 0001H番 地の内容をPC7-PC0にセット	左に同じ
	μ PD753017	プログラム・メモリの0000H番地の下 位 7 ビットをPC14-PC8に, 0001H番 地の内容をPC7-PC0にセット	
PSW	キャリー・フラグ (CY)	保持	不定
	スキップ・フラグ (SK0-SK2)	0	0
	割り込みステータス・フラグ (IST0)	0	0
	バンク許可フラグ (MBE, RBE)	プログラム・メモリの0000H番地の ビット 6 をRBE, ビット 7 をMBEに セット	左に同じ
スタック・ポインタ (SP)		不定	不定
スタック・バンク選択レジスタ (SBS)		1000B	1000B
データ・メモリ (RAM)		保持	不定
汎用レジスタ (X, A, H, L, D, E, B, C)		保持	不定
バンク選択レジスタ (MBS, RBS)		0, 0	0, 0
ベーシック・イ ンターバル / ウォッチドッ グ・タイマ	カウンタ (BT)	不定	不定
	モード・レジスタ (BTM)	0	0
ウォッチドッ グ・タイマ	ウォッチドッグ・タイマ許可 フラグ (WDTM)	0	0
タイマ / イベ ント・カウン タ (T0)	カウンタ (T0)	0	0
	モジュロ・レジスタ (TMOD0)	FFH	FFH
	モード・レジスタ (TM0)	0	0
	TOE0, TOUT F/F	0, 0	0, 0
タイマ / イベ ント・カウン タ (T1)	カウンタ (T1)	0	0
	モジュロ・レジスタ (TMOD1)	FFH	FFH
	モード・レジスタ (TM1)	0	0
	TOE1, TOUT F/F	0, 0	0, 0
タイマ / イベ ント・カウン タ (T2)	カウンタ (T2)	0	0
	モジュロ・レジスタ (TMOD2)	FFH	FFH
	ハイ・レベル期間設定用 モジュロ・レジスタ (TMOD2H)	FFH	FFH
	モード・レジスタ (TM2)	0	0
	TOE2, TOUT F/F	0, 0	0, 0
	REMC, NRZ, NRZB	0, 0, 0	0, 0, 0
	TGCE	0	0
時計用タイマ	モード・レジスタ (WM)	0	0

表 9 - 1 各ハードウェアのリセット後の状態 (2/2)

ハードウェア		スタンバイ・モード中の RESET 信号発生	動作中のRESET信号発生
シリアル・ インタフェース	シフト・レジスタ (SIO)	保持	不定
	動作モード・レジスタ (CSIM)	0	0
	SBI コントロール・レジスタ (SBIC)	0	0
	スレーブ・アドレス・レジスタ (SVA)	保持	不定
クロック発生 回路 , クロック出力 回路	プロセッサ・クロック・ コントロール・レジスタ (PCC)	0	0
	システム・クロック・ コントロール・レジスタ (SCC)	0	0
	クロック出力モード・レジスタ (CLOM)	0	0
サブ発振回路コントロール・レジスタ (SOS)		0	0
LCDコントロー ラ/ドライバ	表示モード・レジスタ (LCDM)	0	0
	表示制御レジスタ (LCDC)	0	0
割り込み機能	割り込み要求フラグ (IRQ × × ×)	リセット (0)	リセット (0)
	割り込み許可フラグ (IE × × ×)	0	0
	割り込みマスタ許可フラグ (IME)	0	0
	INT0, 1, 2 モード・レジスタ (IM0, IM1, IM2)	0, 0, 0	0, 0, 0
	プライオリティ選択レジスタ (IPS)	0	0
ディジタル・ ポート	出力バッファ	オフ	オフ
	出力ラッチ	クリア (0)	クリア (0)
	入出力モード・レジスタ (PMGA, PMGB)	0	0
	ブルアップ抵抗指定レジスタ (POGA)	0	0
ビット・シーケンシャル・バッファ (BSB0-BSB3)		保持	不定

★ 10 . マスク・オプション

μ PD753017には、次のマスク・オプションがあります。

● P40-P43, P50-P53のマスク・オプション

プルアップ抵抗の内蔵を選択可能。

ビット単位でプルアップ抵抗の内蔵を指定する

プルアップ抵抗の内蔵を指定しない

● V_{LC0}-V_{LC2}端子、BIAS端子のマスク・オプション

LCD駆動用分割抵抗の内蔵を選択可能。

分割抵抗を内蔵しない

4本同時に10 k Ω (typ.) の分割抵抗を内蔵する

4本同時に100 k Ω (typ.) の分割抵抗を内蔵する

● スタンバイ機能のマスク・オプション

RESET信号によるウェイト時間を選択可能。

$2^{17}/f_x$ (21.8 ms : $f_x = 6.0$ MHz動作時 , 31.3 ms : $f_x = 4.19$ MHz動作時)

$2^{15}/f_x$ (5.46 ms : $f_x = 6.0$ MHz動作時 , 7.81 ms : $f_x = 4.19$ MHz動作時)

● サブシステム・クロックのマスク・オプション

内蔵フィードバック抵抗の使用可能 / 不可を選択可能。

内蔵フィードバック抵抗を使用可能にする

(ソフトウェアで内蔵フィードバック抵抗のオン / オフを切り替える)

内蔵フィードバック抵抗を使用不可能にする

(内蔵フィードバック抵抗をハードウェアで切断する)

11．命令セット

(1) オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述します（詳細はRA75X アセンブラ・パッケージ ユーザーズ・マニュアル 言語編 (U12385J) を参照してください）。記述方法の中で、複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および+、- 記号はキー・ワードであり、そのまま記述します。

イミディエト・データの場合は、適当な数値またはレーベルを記述します。

レーベルとしてmem, fmem, pmem, bitなどの代わりに、各種レジスタ・フラグの略語を記述できます（ただし、fmem, pmemは記述できるレーベルに制限があります。詳しくは、ユーザーズ・マニュアルを参照してください）。

表現形式	記述方法
reg	X, A, B, C, D, E, H, L
reg1	X, B, C, D, E, H, L
rp	XA, BC, DE, HL
rp1	BC, DE, HL
rp2	BC, DE
rp'	XA, BC, DE, HL, XA', BC', DE', HL'
rp'1	BC, DE, HL, XA', BC', DE', HL'
rpa	HL, HL + , HL - , DE, DL
rpa1	DE, DL
n4	4 ビット・イミディエト・データまたはレーベル
n8	8 ビット・イミディエト・データまたはレーベル
mem	8 ビット・イミディエト・データまたはレーベル ^注
bit	2 ビット・イミディエト・データまたはレーベル
fmem	FB0H-FBFH, FF0H-FFFHイミディエト・データまたはレーベル
pmem	FC0H-FFFHイミディエト・データまたはレーベル
addr	0000H-2FFFFHイミディエト・データまたはレーベル (μPD753012) 0000H-3FFFFHイミディエト・データまたはレーベル (μPD753016, 753017)
addr1	0000H-5FFFFHイミディエト・データまたはレーベル
caddr	12ビット・イミディエト・データまたはレーベル
faddr	11ビット・イミディエト・データまたはレーベル
taddr	20H-7FHイミディエト・データ (ただしbit0 = 0) またはレーベル
PORTn	PORT0-PORT7
IE × × ×	IEBT, IET0-IET2, IE0-IE2, IE4, IECSI, IEW
RBn	RB0-RB3
MBn	MB0, MB1, MB2, MB3, MB15

注 memは、8 ビット・データ処理の場合は偶数アドレスのみ記述できます。

(2) オペレーション説明上の凡例

A	: Aレジスタ; 4ビット・アキュムレータ
B	: Bレジスタ
C	: Cレジスタ
D	: Dレジスタ
E	: Eレジスタ
H	: Hレジスタ
L	: Lレジスタ
X	: Xレジスタ
XA	: レジスタ・ペア (XA); 8ビット・アキュムレータ
BC	: レジスタ・ペア (BC)
DE	: レジスタ・ペア (DE)
HL	: レジスタ・ペア (HL)
XA'	: 拡張レジスタ・ペア (XA')
BC'	: 拡張レジスタ・ペア (BC')
DE'	: 拡張レジスタ・ペア (DE')
HL'	: 拡張レジスタ・ペア (HL')
PC	: プログラム・カウンタ
SP	: スタック・ポインタ
CY	: キャリー・フラグ; ビット・アキュムレータ
PSW	: プログラム・ステータス・ワード
MBE	: メモリ・バンク許可フラグ
RBE	: レジスタ・バンク許可フラグ
PORTn	: ポートn (n = 0-7)
IME	: 割り込みマスタ許可フラグ
IPS	: 割り込みプライオリティ選択レジスタ
IE × × ×	: 割り込み許可フラグ
RBS	: レジスタ・バンク選択レジスタ
MBS	: メモリ・バンク選択レジスタ
PCC	: プロセッサ・クロック・コントロール・レジスタ
.	: アドレス, ビット区切り
(× ×)	: × × でアドレスされる内容
× × H	: 16進データ

(3) アドレッシング・エリアの欄の記号説明

* 1	MB = MBE・MBS (MBS = 0-3, 15)		データ・メモリ・アドレッシング
* 2	MB = 0		
* 3	MBE = 0 : MB = 0 (00H-7FH) MB = 15 (F80H-FFFFH) MBE = 1 : MB = MBS (MBS = 0-3, 15)		
* 4	MB = 15, fmem = FB0H-FBFH, FF0H-FFFFH		
* 5	MB = 15, pmem = FC0H-FFFFH		
* 6	μ PD753012	addr = 0000H-2FFFFH	プログラム・メモリ・アドレッシング
	μ PD753016 753017	addr = 0000H-3FFFFH	
* 7	μ PD753012 753016 753017 (Mk I モード時)	addr = (Current PC) - 15 ~ (Current PC) - 1 (Current PC) + 2 ~ (Current PC) + 16	
	μ PD753017 (Mk II モード時)	addr1 = (Current PC) - 15 ~ (Current PC) - 1 (Current PC) + 2 ~ (Current PC) + 16	
* 8	μ PD753012	caddr = 0000H-0FFFFH (PC _{13, 12} = 00B) or 1000H-1FFFFH (PC _{13, 12} = 01B) or 2000H-2FFFFH (PC _{13, 12} = 10B)	
	μ PD753016	caddr = 0000H-0FFFFH (PC _{13, 12} = 00B) or 1000H-1FFFFH (PC _{13, 12} = 01B) or 2000H-2FFFFH (PC _{13, 12} = 10B) or 3000H-3FFFFH (PC _{13, 12} = 11B)	
	μ PD753017	caddr = 0000H-0FFFFH (PC _{14, 13, 12} = 000B) or 1000H-1FFFFH (PC _{14, 13, 12} = 001B) or 2000H-2FFFFH (PC _{14, 13, 12} = 010B) or 3000H-3FFFFH (PC _{14, 13, 12} = 011B) or 4000H-4FFFFH (PC _{14, 13, 12} = 100B) or 5000H-5FFFFH (PC _{14, 13, 12} = 101B)	
* 9	faddr = 0000H-07FFFH		
* 10	taddr = 0020H-007FH		
* 11	μ PD753012	addr1 = 0000H-2FFFFH	
	μ PD753016	addr1 = 0000H-3FFFFH	
	μ PD753017	addr1 = 0000H-5FFFFH	

備考 1 . MBはアクセス可能なメモリ・バンクを示します。

2 . * 2 ではMBE, MBSに関係なくMB = 0です。

3 . * 4 , * 5 ではMBE, MBSに関係なくMB = 15です。

4 . * 6 ~ * 11は , それぞれアドレッシング可能な領域を示します。

(4) マシン・サイクルの欄の説明

Sは、スキップ付き命令がスキップ動作をするときに要するマシン・サイクル数を示します。Sの値は次のように変わります。

- スキップしないとき S = 0
- スキップされる命令が、1 バイト命令、または2 バイト命令のとき S = 1
- スキップされる命令が、3 バイト命令^注のとき S = 2

注 3 バイト命令：BR !addr, BRA !addr1, CALL !addr, CALLA !addr1命令

注意 GETI命令は1 マシン・サイクルでスキップされます。

1 マシン・サイクルはCPUクロックφの1 サイクル分 (= t_{cy}) に等しく、PCCの設定により4通りの時間が選択できます。

命令群	二モニック	オペランド	バイト数	マシン・サイクル	オペレーション	アドレッシング・エリア	スキップ条件
転送	MOV	A, #n4	1	1	A ← n4		たてづみA
		reg1, #n4	2	2	reg1 ← n4		
		XA, #n8	2	2	XA ← n8		たてづみA
		HL, #n8	2	2	HL ← n8		たてづみB
		rp2, #n8	2	2	rp2 ← n8		
		A, @HL	1	1	A ← (HL)	* 1	
		A, @HL +	1	2 + S	A ← (HL), then L ← L + 1	* 1	L = 0
		A, @HL -	1	2 + S	A ← (HL), then L ← L - 1	* 1	L = FH
		A, @rpa1	1	1	A ← (rpa1)	* 2	
		XA, @HL	2	2	XA ← (HL)	* 1	
		@HL, A	1	1	(HL) ← A	* 1	
		@HL, XA	2	2	(HL) ← XA	* 1	
		A, mem	2	2	A ← (mem)	* 3	
		XA, mem	2	2	XA ← (mem)	* 3	
		mem, A	2	2	(mem) ← A	* 3	
		mem, XA	2	2	(mem) ← XA	* 3	
		A, reg	2	2	A ← reg		
		XA, rp'	2	2	XA ← rp'		
		reg1, A	2	2	reg1 ← A		
		rp'1, XA	2	2	rp'1 ← XA		
	XCH	A, @HL	1	1	A ↔ (HL)	* 1	
		A, @HL +	1	2 + S	A ↔ (HL), then L ← L + 1	* 1	L = 0
		A, @HL -	1	2 + S	A ↔ (HL), then L ← L - 1	* 1	L = FH
		A, @rpa1	1	1	A ↔ (rpa1)	* 2	
		XA, @HL	2	2	XA ↔ (HL)	* 1	
		A, mem	2	2	A ↔ (mem)	* 3	
		XA, mem	2	2	XA ↔ (mem)	* 3	
		A, reg1	1	1	A ↔ reg1		
		XA, rp'	2	2	XA ↔ rp'		

命令群	二モニック	オペランド	バイト数	マシン・サイクル	オペレーション	アドレッシング・エリア	スキップ条件
テーブル参照	MOVT ^{注1}	XA, @PCDE	1	3	XA ← (PC ₁₃₋₈ + DE) _{ROM}		
					μPD753017 XA ← (PC ₁₄₋₈ + DE) _{ROM}		
		XA, @PCXA	1	3	XA ← (PC ₁₃₋₈ + XA) _{ROM}		
					μPD753017 XA ← (PC ₁₄₋₈ + XA) _{ROM}		
		XA, @BCDE ^{注2}	1	3	XA ← (B _{1,0} + CDE) _{ROM}	* 6	
					μPD753017 XA ← (B ₂₋₀ + CDE) _{ROM}	* 11	
ビット転送	MOV1	CY, fmem.bit	2	2	CY ← (fmem.bit)	* 4	
		CY, pmem.@L	2	2	CY ← (pmem ₇₋₂ + L ₃₋₂ .bit(L ₁₋₀))	* 5	
		CY, @H + mem.bit	2	2	CY ← (H + mem ₃₋₀ .bit)	* 1	
		fmem.bit, CY	2	2	(fmem.bit) ← CY	* 4	
		pmem.@L, CY	2	2	(pmem ₇₋₂ + L ₃₋₂ .bit(L ₁₋₀)) ← CY	* 5	
		@H + mem.bit, CY	2	2	(H + mem ₃₋₀ .bit) ← CY	* 1	
演算	ADDS	A, #n4	1	1 + S	A ← A + n4		carry
		XA, #n8	2	2 + S	XA ← XA + n8		carry
		A, @HL	1	1 + S	A ← A + (HL)	* 1	carry
		XA, rp'	2	2 + S	XA ← XA + rp'		carry
		rp'1, XA	2	2 + S	rp'1 ← rp'1 + XA		carry
	ADDC	A, @HL	1	1	A, CY ← A + (HL) + CY	* 1	
		XA, rp'	2	2	XA, CY ← XA + rp' + CY		
		rp'1, XA	2	2	rp'1, CY ← rp'1 + XA + CY		
	SUBS	A, @HL	1	1 + S	A ← A - (HL)	* 1	borrow
		XA, rp'	2	2 + S	XA ← XA - rp'		borrow
		rp'1, XA	2	2 + S	rp'1 ← rp'1 - XA		borrow
	SUBC	A, @HL	1	1	A, CY ← A - (HL) - CY	* 1	
		XA, rp'	2	2	XA, CY ← XA - rp' - CY		
		rp'1, XA	2	2	rp'1, CY ← rp'1 - XA - CY		

注1 . で示す部分はMk II モード時のみ対応可能です。そのほかは、Mk I モード時にのみ対応可能です。

2 . Bレジスタは、下記のビットのみ有効です。

μPD753012, 753016 : 下位 2 ビット

μPD753017 : 下位 3 ビット

★ 備考 μPD753017をMk II モードに設定した場合は、PC₁₄は0に固定されます。

命令群	二モニック	オペランド	バイト数	マシン・サイクル	オペレーション	アドレッシング・エリア	スキップ条件
演算	AND	A, #n4	2	2	$A \leftarrow A \ \& \ n4$		
		A, @HL	1	1	$A \leftarrow A \ (\& \text{HL})$	*1	
		XA, rp'	2	2	$XA \leftarrow XA \ \& \ rp'$		
		rp'1, XA	2	2	$rp'1 \leftarrow rp'1 \ \& \ XA$		
	OR	A, #n4	2	2	$A \leftarrow A \ \ n4$		
		A, @HL	1	1	$A \leftarrow A \ (\text{HL})$	*1	
		XA, rp'	2	2	$XA \leftarrow XA \ \ rp'$		
		rp'1, XA	2	2	$rp'1 \leftarrow rp'1 \ \ XA$		
	XOR	A, #n4	2	2	$A \leftarrow A \ \oplus \ n4$		
		A, @HL	1	1	$A \leftarrow A \ \oplus \ (\text{HL})$	*1	
		XA, rp'	2	2	$XA \leftarrow XA \ \oplus \ rp'$		
		rp'1, XA	2	2	$rp'1 \leftarrow rp'1 \ \oplus \ XA$		
アキミ・シフト操作	RORC	A	1	1	$CY \leftarrow A_0, A_3 \leftarrow CY, A_n - 1 \leftarrow A_n$		
	NOT	A	2	2	$A \leftarrow \overline{A}$		
増減	INCS	reg	1	1 + S	$reg \leftarrow reg + 1$		reg = 0
		rp1	1	1 + S	$rp1 \leftarrow rp1 + 1$		rp1 = 00H
		@HL	2	2 + S	$(\text{HL}) \leftarrow (\text{HL}) + 1$	*1	(HL) = 0
		mem	2	2 + S	$(\text{mem}) \leftarrow (\text{mem}) + 1$	*3	(mem) = 0
	DECS	reg	1	1 + S	$reg \leftarrow reg - 1$		reg = FH
		rp'	2	2 + S	$rp' \leftarrow rp' - 1$		rp' = FFH
比較	SKE	reg, #n4	2	2 + S	Skip if reg = n4		reg = n4
		@HL, #n4	2	2 + S	Skip if (HL) = n4	*1	(HL) = n4
		A, @HL	1	1 + S	Skip if A = (HL)	*1	A = (HL)
		XA, @HL	2	2 + S	Skip if XA = (HL)	*1	XA = (HL)
		A, reg	2	2 + S	Skip if A = reg		A = reg
		XA, rp'	2	2 + S	Skip if XA = rp'		XA = rp'
キャリア・フラグ操作	SET1	CY	1	1	$CY \leftarrow 1$		
	CLR1	CY	1	1	$CY \leftarrow 0$		
	SKT	CY	1	1 + S	Skip if CY = 1		CY = 1
	NOT1	CY	1	1	$CY \leftarrow \overline{CY}$		

命令群	二モニツク	オペランド	バイト数	マシン・サイクル	オペレーション	アドレッシング・エリア	スキップ条件
メモリ・ビット操作	SET1	mem.bit	2	2	(mem.bit) ← 1	* 3	
		fmem.bit	2	2	(fmem.bit) ← 1	* 4	
		pmem.@L	2	2	(pmem ₇₋₂ + L ₃₋₂ .bit(L ₁₋₀)) ← 1	* 5	
		@H + mem.bit	2	2	(H + mem ₃₋₀ .bit) ← 1	* 1	
	CLR1	mem.bit	2	2	(mem.bit) ← 0	* 3	
		fmem.bit	2	2	(fmem.bit) ← 0	* 4	
		pmem.@L	2	2	(pmem ₇₋₂ + L ₃₋₂ .bit(L ₁₋₀)) ← 0	* 5	
		@H + mem.bit	2	2	(H + mem ₃₋₀ .bit) ← 0	* 1	
	SKT	mem.bit	2	2 + S	Skip if(mem.bit) = 1	* 3	(mem.bit) = 1
		fmem.bit	2	2 + S	Skip if(fmem.bit) = 1	* 4	(fmem.bit) = 1
		pmem.@L	2	2 + S	Skip if(pmem ₇₋₂ + L ₃₋₂ .bit(L ₁₋₀)) = 1	* 5	(pmem.@L) = 1
		@H + mem.bit	2	2 + S	Skip if(H + mem ₃₋₀ .bit) = 1	* 1	(@H + mem.bit) = 1
	SKF	mem.bit	2	2 + S	Skip if(mem.bit) = 0	* 3	(mem.bit) = 0
		fmem.bit	2	2 + S	Skip if(fmem.bit) = 0	* 4	(fmem.bit) = 0
		pmem.@L	2	2 + S	Skip if(pmem ₇₋₂ + L ₃₋₂ .bit(L ₁₋₀)) = 0	* 5	(pmem.@L) = 0
		@H + mem.bit	2	2 + S	Skip if(H + mem ₃₋₀ .bit) = 0	* 1	(@H + mem.bit) = 0
	SKTCLR	fmem.bit	2	2 + S	Skip if(fmem.bit) = 1 and clear	* 4	(fmem.bit) = 1
		pmem.@L	2	2 + S	Skip if(pmem ₇₋₂ + L ₃₋₂ .bit(L ₁₋₀)) = 1 and clear	* 5	(pmem.@L) = 1
		@H + mem.bit	2	2 + S	Skip if(H + mem ₃₋₀ .bit) = 1 and clear	* 1	(@H + mem.bit) = 1
	AND1	CY, fmem.bit	2	2	CY ← CY (fmem.bit)	* 4	
		CY, pmem.@L	2	2	CY ← CY (pmem ₇₋₂ + L ₃₋₂ .bit(L ₁₋₀))	* 5	
		CY, @H + mem.bit	2	2	CY ← CY (H + mem ₃₋₀ .bit)	* 1	
	OR1	CY, fmem.bit	2	2	CY ← CY (fmem.bit)	* 4	
		CY, pmem.@L	2	2	CY ← CY (pmem ₇₋₂ + L ₃₋₂ .bit(L ₁₋₀))	* 5	
		CY, @H + mem.bit	2	2	CY ← CY (H + mem ₃₋₀ .bit)	* 1	
	XOR1	CY, fmem.bit	2	2	CY ← CY ∨ (fmem.bit)	* 4	
		CY, pmem.@L	2	2	CY ← CY ∨ (pmem ₇₋₂ + L ₃₋₂ .bit(L ₁₋₀))	* 5	
		CY, @H + mem.bit	2	2	CY ← CY ∨ (H + mem ₃₋₀ .bit)	* 1	

命令群	二モニック	オペランド	バイト数	マシン・サイクル	オペレーション	アドレッシング・エリア	スキップ条件
分岐	BR ^{注1}	addr	-	-	PC ₁₃₋₀ ← addr (アセンブラにより、次のうち最適な命令を選択します。 BR !addr BRCB !caddr BR \$ addr)	* 6	
		addr1	-	-	● μPD753017 PC ₁₄₋₀ ← addr1 (アセンブラにより、次のうち最適な命令を選択します。 BR !addr BRA !addr1 BRCB !caddr BR \$ addr1)	* 11	
		!addr	3	3	PC ₁₃₋₀ ← addr ● μPD753017 PC ₁₄ ← 0, PC ₁₃₋₀ ← addr	* 6	
		\$addr	1	2	PC ₁₃₋₀ ← addr	* 7	
		\$addr1	1	2	● μPD753017 PC ₁₄₋₀ ← addr1		
		PCDE	2	3	PC ₁₃₋₀ ← PC ₁₃₋₈ + DE		
					● μPD753017 PC ₁₄₋₀ ← PC ₁₄₋₈ + DE		
		PCXA	2	3	PC ₁₃₋₀ ← PC ₁₃₋₈ + XA		
					● μPD753017 PC ₁₄₋₀ ← PC ₁₄₋₈ + XA		
		BCDE ^{注2}	2	3	PC ₁₃₋₀ ← B _{1,0} + CDE	* 6	
					● μPD753017 PC ₁₄₋₀ ← B ₂₋₀ + CDE	* 11	
		BCXA ^{注2}	2	3	PC ₁₃₋₀ ← B _{1,0} + CXA	* 6	
					● μPD753017 PC ₁₄₋₀ ← B ₂₋₀ + CXA	* 11	
	BRA ^{注1}	!addr	3	3	● μPD753012, 753016 PC ₁₃₋₀ ← addr	* 6	
		!addr1	3	3	● μPD753017 PC ₁₄₋₀ ← addr1	* 11	

注1 . で示す部分はMk II モード時のみ対応可能です。そのほかは、Mk I モード時のみ対応可能です。

2 . Bレジスタは、下記のビットのみ有効です。

μPD753012, 753016 : 下位 2 ビット

μPD753017 : 下位 3 ビット

★ 備考 μPD753017をMk I モードに設定した場合は、PC₁₄は0に固定されます。

命令群	二モニク	オペランド	バイト数	マシン・サイクル	オペレーション	アドレッシング・エリア	スキップ条件
分岐	BRCB ^注	!caddr	2	2	PC ₁₃₋₀ ← PC _{13,12} + caddr ₁₁₋₀	* 8	
					● μPD753017 PC ₁₄₋₀ ← PC _{14,13,12} + caddr ₁₁₋₀		
サブルーチン・スタック制御	CALLA ^注	!addr	3	3	● μPD753012, 753016 (SP - 5) ← SP - 6, (SP - 3) ← SP - 4, PC ₁₃₋₀ ← 0, 0, PC ₁₃₋₀ (SP - 2) ← ×, ×, MBE, RBE PC ₁₃₋₀ ← addr, SP ← SP - 6	* 6	
		!addr1	3	3	● μPD753017 (SP - 5) ← SP - 6, (SP - 3) ← SP - 4, PC ₁₄₋₀ ← 0, PC ₁₄₋₀ (SP - 2) ← ×, ×, MBE, RBE PC ₁₄₋₀ ← addr1, SP ← SP - 6	* 11	
	CALL ^注	!addr	3	3	(SP - 4) ← SP - 1, (SP - 2) ← PC ₁₁₋₀ (SP - 3) ← MBE, RBE, PC ₁₃ , PC ₁₂ PC ₁₃₋₀ ← addr, SP ← SP - 4	* 6	
				4	● μPD753012, 753016 (SP - 5) ← SP - 6, (SP - 3) ← SP - 4, PC ₁₃₋₀ ← 0, 0, PC ₁₃₋₀ (SP - 2) ← ×, ×, MBE, RBE PC ₁₃₋₀ ← addr, SP ← SP - 6		
				4	● μPD753017 (SP - 5) ← SP - 6, (SP - 3) ← SP - 4, PC ₁₄₋₀ ← 0, PC ₁₄₋₀ (SP - 2) ← ×, ×, MBE, RBE PC ₁₄₋₀ ← 0, PC ₁₃₋₀ ← addr, SP ← SP - 6		
	CALLF ^注	!faddr	2	2	(SP - 4) ← SP - 1, (SP - 2) ← PC ₁₁₋₀ (SP - 3) ← MBE, RBE, PC ₁₃ , PC ₁₂ PC ₁₃₋₀ ← 000 + faddr, SP ← SP - 4	* 9	
				3	● μPD753012, 753016 (SP - 5) ← SP - 6, (SP - 3) ← SP - 4, PC ₁₃₋₀ ← 0, 0, PC ₁₃₋₀ (SP - 2) ← ×, ×, MBE, RBE PC ₁₃₋₀ ← 000 + faddr, SP ← SP - 6		
				3	● μPD753017 (SP - 5) ← SP - 6, (SP - 3) ← SP - 4, PC ₁₄₋₀ ← 0, PC ₁₄₋₀ (SP - 2) ← ×, ×, MBE, RBE PC ₁₄₋₀ ← 0000 + faddr, SP ← SP - 6		

注 示す部分はMk II モード時のみ対応可能です。そのほかは、Mk I モード時にのみ対応可能です。

★ 備考 μPD753017をMk I モードに設定した場合は、PC₁₄は0に固定されます。

命令群	二モニック	オペランド	バイト数	マシン・サイクル	オペレーション	アドレッシング・エリア	スキップ条件
サブルーチン・スタック制御	RET ^注		1	3	MBE, RBE, PC ₁₃ , PC ₁₂ ← (SP + 1) PC ₁₁₋₀ ← (SP ∇ SP + 3 ∇ SP + 2), SP ← SP + 4 ● μPD753012, 753016 ×, ×, MBE, RBE ← (SP + 4) 0, 0, PC ₁₃ , PC ₁₂ ← (SP + 1) PC ₁₁₋₀ ← (SP ∇ SP + 3 ∇ SP + 2) SP ← SP + 6 ● μPD753017 ×, ×, MBE, RBE ← (SP + 4) 0, PC ₁₄ , PC ₁₃ , PC ₁₂ ← (SP + 1) PC ₁₁₋₀ ← (SP ∇ SP + 3 ∇ SP + 2) SP ← SP + 6		
	RETS ^注		1	3 + S	MBE, RBE, PC ₁₃ , PC ₁₂ ← (SP + 1) PC ₁₁₋₀ ← (SP ∇ SP + 3 ∇ SP + 2), SP ← SP + 4 then skip unconditionally ● μPD753012, 753016 ×, ×, MBE, RBE ← (SP + 4) 0, 0, PC ₁₃ , PC ₁₂ ← (SP + 1) PC ₁₁₋₀ ← (SP ∇ SP + 3 ∇ SP + 2) SP ← SP + 6 then skip unconditionally ● μPD753017 ×, ×, MBE, RBE ← (SP + 4) 0, PC ₁₄ , PC ₁₃ , PC ₁₂ ← (SP + 1) PC ₁₁₋₀ ← (SP ∇ SP + 3 ∇ SP + 2) SP ← SP + 6 then skip unconditionally		無条件
	RET ^注		1	3	MBE, RBE, PC ₁₃ , PC ₁₂ ← (SP + 1) PC ₁₁₋₀ ← (SP ∇ SP + 3 ∇ SP + 2) PSW ← (SP + 4 ∇ SP + 5) SP ← SP + 6 ● μPD753012, 753016 0, 0, PC ₁₃ , PC ₁₂ ← (SP + 1) PC ₁₁₋₀ ← (SP ∇ SP + 3 ∇ SP + 2) PSW ← (SP + 4 ∇ SP + 5) SP ← SP + 6 ● μPD753017 0, PC ₁₄ , PC ₁₃ , PC ₁₂ ← (SP + 1) PC ₁₁₋₀ ← (SP ∇ SP + 3 ∇ SP + 2) PSW ← (SP + 4 ∇ SP + 5) SP ← SP + 6		

注 で示す部分はMk IIモード時のみ対応可能です。そのほかは、Mk Iモード時にのみ対応可能です。

★ 備考 μPD753017をMk Iモードに設定した場合は、PC₁₄は0に固定されます。

命令群	二モニツク	オペランド	バイト数	マシン・サイクル	オペレーション	アドレッシング・エリア	スキップ条件
スタック制御・サブルーチン	PUSH	rp	1	1	(SP - 1) $\nrightarrow$ SP - 2) $\leftarrow$ rp, SP $\leftarrow$ SP - 2		
		BS	2	2	(SP - 1) $\leftarrow$ MBS,(SP - 2) $\leftarrow$ RBS, SP $\leftarrow$ SP - 2		
	POP	rp	1	1	rp $\leftarrow$ (SP + 1) $\nrightarrow$ SP) , SP $\leftarrow$ SP + 2		
		BS	2	2	MBS $\leftarrow$ (SP + 1), RBS $\leftarrow$ (SP) , SP $\leftarrow$ SP + 2		
割り込み制御	EI		2	2	IME(IPS.3) $\leftarrow$ 1		
		IE $\times \times \times$	2	2	IE $\times \times \times \leftarrow$ 1		
	DI		2	2	IME(IPS.3) $\leftarrow$ 0		
		IE $\times \times \times$	2	2	IE $\times \times \times \leftarrow$ 0		
入出力	IN ^{注1}	A, PORTn	2	2	A $\leftarrow$ PORTn (n = 0 - 7)		
		XA, PORTn	2	2	XA $\leftarrow$ PORTn + 1, PORTn (n = 4, 6)		
	OUT ^{注1}	PORTn, A	2	2	PORTn $\leftarrow$ A (n = 2 - 7)		
		PORTn, XA	2	2	PORTn + 1, PORTn $\leftarrow$ XA (n = 4, 6)		
CPU制御	HALT		2	2	Set HALT Mode(PCC.2 $\leftarrow$ 1)		
	STOP		2	2	Set STOP Mode(PCC.3 $\leftarrow$ 1)		
	NOP		1	1	No Operation		
特	SEL	RBn	2	2	RBS $\leftarrow$ n (n = 0 - 3)		
		MBn	2	2	MBS $\leftarrow$ n (n = 0 - 3, 15)		
殊	GETI ^{注2, 3}	taddr	1	3	・ TBR命令のとき PC ₁₃₋₀ $\leftarrow$ (taddr) ₅₋₀ + (taddr + 1)	* 10	
			・ TCALL命令のとき (SP - 4) $\nrightarrow$ SP - 1) $\nrightarrow$ SP - 2) $\leftarrow$ PC ₁₁₋₀ (SP - 3) $\leftarrow$ MBE, RBE, PC ₁₃ , PC ₁₂ PC ₁₃₋₀ $\leftarrow$ (taddr) ₅₋₀ + (taddr + 1) SP $\leftarrow$ SP - 4				
			・ TBR, TCALL命令以外のとき (taddr) $\nrightarrow$ taddr + 1)の命令実行				
			1	3	● μ PD753017 ・ TBR命令のとき PC ₁₃₋₀ $\leftarrow$ (taddr) ₅₋₀ + (taddr + 1) PC ₁₄ $\leftarrow$ 0		
			4	・ TCALL命令のとき (SP - 5) $\nrightarrow$ SP - 6) $\nrightarrow$ SP - 3) $\nrightarrow$ SP - 4) $\leftarrow$ 0, PC ₁₄₋₀ (SP - 2) $\leftarrow$ $\times$, $\times$, MBE, RBE PC ₁₃₋₀ $\leftarrow$ (taddr) ₅₋₀ + (taddr + 1) SP $\leftarrow$ SP - 6, PC ₁₄ $\leftarrow$ 0			
			3	・ TBR, TCALL命令以外のとき (taddr) $\nrightarrow$ taddr + 1)の命令実行		参照した命令による	

注1．IN / OUT命令実行時には、MBE = 0またはMBE = 1、MBS = 15としておく必要があります。

2． で示す部分はMk IIモード時のみ対応可能です。そのほかは、Mk Iモード時のみ対応可能です。

3．TBR, TCALL命令はGETI命令のテーブル定義用アセンブラ疑似命令です。

★ 備考 μPD753017をMk Iモードに設定した場合は、PC₁₄は0に固定されます。

12. 電気的特性

絶対最大定格 (T_A = 25)

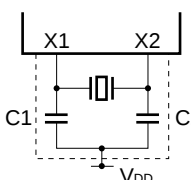
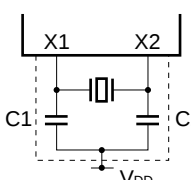
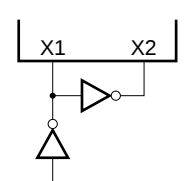
項 目	略 号	条 件	定 格	単 位
電源電圧	V _{DD}		- 0.3 ~ + 7.0	V
入力電圧	V _{I1}	ポート 4 , 5 以外	- 0.3 ~ V _{DD} + 0.3	V
	V _{I2}	ポート 4 , 5 ブルアップ抵抗内蔵時	- 0.3 ~ V _{DD} + 0.3	V
		N-chオープン・ドレイン時	- 0.3 ~ + 14	V
出力電圧	V _O		- 0.3 ~ V _{DD} + 0.3	V
ハイ・レベル出力電流	I _{OH}	1 端子当たり	- 10	mA
		全端子合計	- 30	mA
ロウ・レベル出力電流	I _{OL}	1 端子当たり	30	mA
		全端子合計	200	mA
動作周囲温度	T _A		- 40 ~ + 85	
保存温度	T _{stg}		- 65 ~ + 150	

注意 各項目のうち 1 項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

容 量 (T_A = 25 , V_{DD} = 0 V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
入力容量	C _{IN}	f = 1 MHz			15	pF
出力容量	C _{OUT}	被測定端子以外は 0 V			15	pF
入出力容量	C _{IO}				15	pF

メイン・システム・クロック発振回路特性 ($T_A = -40 \sim +85$)

発振子	推奨定数	項 目	条 件	MIN.	TYP.	MAX.	単位
セラミック 発振子		発振周波数 (f_x) 注1	$V_{DD} = 2.2 \sim 5.5 \text{ V}$	1.0		6.0注2	MHz
		発振安定時間注3	V_{DD} が発振電圧範囲のMIN. 値に達したあと			4	ms
水晶 振動子		発振周波数 (f_x) 注1	$V_{DD} = 2.2 \sim 5.5 \text{ V}$	1.0		6.0注2	MHz
		発振安定時間注3	$V_{DD} = 4.5 \sim 5.5 \text{ V}$			10	ms
			$V_{DD} = 2.2 \sim 5.5 \text{ V}$			30	
外部 クロック		X1入力周波数 (f_x) 注1	$V_{DD} = 1.8 \sim 5.5 \text{ V}$	1.0		6.0注4	MHz
		X1入力ハイ、ロウ・レベル幅 (t_{XH} , t_{XL})	$V_{DD} = 1.8 \sim 5.5 \text{ V}$	83.3		500	ns

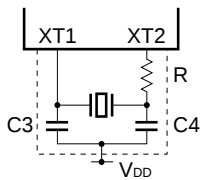
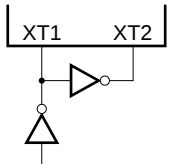
注1．発振周波数およびX1入力周波数は、発振回路の特性だけを示すものです。命令実行時間はAC特性を参照してください。

- ★ 2．2.2 V $V_{DD} < 2.7 \text{ V}$ で発振周波数が $4.7 \text{ MHz} < f_x < 6.0 \text{ MHz}$ の場合、プロセッサ・クロック・コントロール・レジスタ (PCC) を0011に設定すると、1マシン・サイクル・タイムが規定の $0.85 \mu\text{s}$ を満たせなくなるため、PCCは0011以外の値を設定してください。
- 3．発振安定時間は、 V_{DD} 印加後、またはSTOPモード解除後、発振が安定するのに必要な時間です。
- ★ 4．1.8 V $V_{DD} < 2.7 \text{ V}$ でX1入力周波数が $4.19 \text{ MHz} < f_x < 6.0 \text{ MHz}$ の場合、PCCを0011に設定すると、1マシン・サイクル・タイムが規定の $0.95 \mu\text{s}$ を満たせなくなるため、PCCは0011以外の値を設定してください。

注意 メイン・システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接続点は、常に V_{DD} と同電位になるようにする。
- ・大電流が流れる電源パターンには接続しない。
- ・発振回路から信号を取り出さない。

サブシステム・クロック発振回路特性 (T_A = -40 ~ +85)

発振子	推奨定数	項 目	条 件	MIN.	TYP.	MAX.	単位
水晶 振動子		発振周波数 (f _{XT}) 注1	V _{DD} = 2.2 ~ 5.5 V	32	32.768	35	kHz
		発振安定時間注2	V _{DD} = 4.5 ~ 5.5 V		1.0	2	s
			V _{DD} = 2.2 ~ 5.5 V			10	
外部 クロック		XT1入力周波数 (f _{XT}) 注1	V _{DD} = 1.8 ~ 5.5 V	32		100	kHz
		XT1入力ハイ, ロウ・レベル幅 (t _{XTH} , t _{XTL})	V _{DD} = 1.8 ~ 5.5 V	5		15	μs

注1．発振回路の特性だけを示すものです。命令実行時間はAC特性を参照してください。

2．V_{DD}印加後，発振が安定するのに必要な時間です。

注意 サブシステム・クロック発振回路を使用する場合は，配線容量などの影響を避けるために，図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接続点は，常にV_{DD}と同電位になるようにする。
- ・大電流が流れる電源パターンには接続しない。
- ・発振回路から信号を取り出さない。

サブシステム・クロック発振回路は，低消費電流にするために増幅度の低い回路になっており，ノイズに対する誤動作がメイン・システム・クロックよりも起こりやすくなっています。したがって，サブシステム・クロックを使用する場合は，配線方法について特にご注意ください。

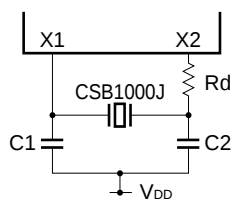
推奨発振回路定数

セラミック発振子 ($T_A = -40 \sim +85$)

メーカー	品名	周波数 (MHz)	推奨回路定数 (pF)		発振電圧範囲 (V _{DD})		備 考
			C1	C2	MIN.	MAX.	
村田製作所	CSB1000J ^注	1.0	100	100	2.7	5.5	Rd = 5.6 kΩ
	CSA2.00MG040	2.0	100	100			
	CST2.00MG040		-	-			コンデンサ内蔵品
	CSA4.19MG	4.19	30	30	2.5	5.5	
	CST4.19MGW		-	-			コンデンサ内蔵品
	CSA4.19MGU		30	30	2.2	5.5	
	CST4.19MGWU		-	-			コンデンサ内蔵品
	CSA6.00MG	6.0	30	30	2.7	5.5	
	CST6.00MGW		-	-			コンデンサ内蔵品
	CSA6.00MGU		30	30	2.5	5.5	
	CST6.00MGWU		-	-			コンデンサ内蔵品
京セラ	KBR-1000F/Y	1.0	220	220	2.9	5.5	- 20 ~ + 85
	KBR-2.0MS	2.0	82	82	3.1	5.5	
	KBR-4.19MSA	4.19	33	33	2.7	5.5	
	KBR-4.19MKS						
	PBRC 4.19A		-	-			コンデンサ内蔵品
	PBRC 4.19B		-	-			- 20 ~ + 85
	KBR-6.0MSA	6.0	33	33	2.8	5.5	- 20 ~ + 85
	KBR-6.0MKS						
	PBRC 6.00A		-	-			コンデンサ内蔵品
	PBRC 6.00B		-	-			- 20 ~ + 85
TDK	FCR2.0MC3	2.0	30	30	2.0	5.5	
	FCR4.19MC5	4.19			2.5	5.5	
	FCR6.0MC5	6.0			2.7	5.5	

注 セラミック発振子として村田製作所のCSB1000J (1.00 MHz) を使用する場合には、制限抵抗 ($R_d = 5.6 \text{ k}\Omega$) が必要です (下図参照)。その他の推奨発振子を使用する場合は制限抵抗は不要です。

メイン・システム・クロック推奨回路例 (村田製作所製CSB1000J使用の場合)



DC特性 (T_A = - 40 ~ + 85 , V_{DD} = 2.2 ~ 5.5 V)

★

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位
ロウ・レベル出力電流	I _{OL}	1 端子当たり				15	mA
		全端子合計				120	mA
ハイ・レベル入力電圧	V _{IH1}	ポート 2 , 3	2.7 V V _{DD} 5.5 V	0.7 V _{DD}		V _{DD}	V
			2.2 V V _{DD} < 2.7 V	0.9 V _{DD}		V _{DD}	V
	V _{IH2}	ポート 0 , 1 , 6 , 7 , $\overline{\text{RESET}}$	2.7 V V _{DD} 5.5 V	0.8 V _{DD}		V _{DD}	V
			2.2 V V _{DD} < 2.7 V	0.9 V _{DD}		V _{DD}	V
	V _{IH3}	ポート 4 , 5	プルアップ	2.7 V V _{DD} 5.5 V	0.7 V _{DD}	V _{DD}	V
			抵抗内蔵時	2.2 V V _{DD} < 2.7 V	0.9 V _{DD}	V _{DD}	V
			N-chオープン・	2.7 V V _{DD} 5.5 V	0.7 V _{DD}	13	V
			ドレイン時	2.2 V V _{DD} < 2.7 V	0.9 V _{DD}	13	V
	V _{IH4}	X1, XT1		V _{DD} - 0.1		V _{DD}	V
ロウ・レベル入力電圧	V _{IL1}	ポート 2 , 3 , 4 , 5	2.7 V V _{DD} 5.5 V	0		0.3 V _{DD}	V
			2.2 V V _{DD} < 2.7 V	0		0.1 V _{DD}	V
	V _{IL2}	ポート 0 , 1 , 6 , 7 , $\overline{\text{RESET}}$	2.7 V V _{DD} 5.5 V	0		0.2 V _{DD}	V
			2.2 V V _{DD} < 2.7 V	0		0.1 V _{DD}	V
	V _{IL3}	X1, XT1		0		0.1	V
ハイ・レベル出力電圧	V _{OH}	$\overline{\text{SCK}}$, SO, ポート 2 , 3 , 6 , 7 , BP0-7 I _{OH} = - 1 mA		V _{DD} - 0.5			V
ロウ・レベル出力電圧	V _{OL1}	SCK, SO, ポート 2 , 3 , 4 , 5 , 6 , 7 , BP0-7	I _{OL} = 15 mA		0.2	2.0	V
			V _{DD} = 4.5 ~ 5.5 V				
			I _{OL} = 1.6 mA			0.4	V
ハイ・レベル入力 リーク電流	I _{LIH1}	V _{IN} = V _{DD}	X1, XT1以外の端子			3	μA
			X1, XT1			20	μA
	I _{LIH3}	V _{IN} = 13 V	ポート 4 , 5 (N-chオープン・ドレイン時)			20	μA
ロウ・レベル入力 リーク電流	I _{LIL1}	V _{IN} = 0 V	X1, XT1, ポート 4 , 5 以外の端子			- 3	μA
			X1, XT1			- 20	μA
			ポート 4 , 5 (N-chオープン・ドレイン) 入力命令実行時以外			- 3	μA
	I _{LIL2}	ポート 4 , 5 (N-ch オープン・ドレイン 時) 入力命令実行時				- 30	μA
			V _{DD} = 5 V		- 10	- 27	μA
			V _{DD} = 3 V		- 3	- 8	μA
	I _{LIL3}						
ハイ・レベル出力 リーク電流	I _{LOH1}	V _{OUT} = V _{DD}	$\overline{\text{SCK}}$, SO/SB0, SB1, ポート 2 , 3 , 6 , 7 , ポート 4 , 5 (プルアップ抵抗内蔵時), BP0-7			3	μA
	I _{LOH2}	V _{OUT} = 13 V	ポート 4 , 5 (N-chオープン・ドレイン時)			20	μA
ロウ・レベル出力 リーク電流	I _{LOL}	V _{OUT} = 0 V				- 3	μA
内蔵プルアップ抵抗	R _{L1}	V _{IN} = 0 V	ポート 0 , 1 , 2 , 3 , 6 , 7 (P00端子を除く)	50	100	200	kΩ
	R _{L2}		ポート 4 , 5 (マスク・オプション)	15	30	60	kΩ

★

DC特性 (T_A = -40 ~ +85 , V_{DD} = 2.2 ~ 5.5 V)

項 目	略 号	条 件			MIN.	TYP.	MAX.	単 位
LCD駆動電圧	V _{LCD}				2.2		V _{DD}	V
LCD分割抵抗 ^{注1}	R _{LCD1}				50	100	200	kΩ
	R _{LCD2}				5	10	20	kΩ
LCD出力電圧偏差 ^{注2} (コモン)	V _{ODC}	I _O = ± 5 μA	V _{LCD0} = V _{LCD} V _{LCD1} = V _{LCD} × 2/3		0		± 0.2	V
LCD出力電圧偏差 ^{注2} (セグメント)	V _{ODS}	I _O = ± 1 μA	V _{LCD2} = V _{LCD} × 1/3 2.2 V V _{LCD} V _{DD}		0		± 0.2	V
電源電流 ^{注3}	I _{DD1}	6.00 MHz ^{注4} 水晶発振	V _{DD} = 5.0 V ± 10 % ^{注5}			1.9	6.0	mA
			V _{DD} = 3.0 V ± 10 % ^{注6}			0.4	1.3	mA
	I _{DD2}	C1 = C2 = 22 pF	HALT モード	V _{DD} = 5.0 V ± 10 %		0.72	2.1	mA
				V _{DD} = 3.0 V ± 10 %		0.27	0.8	mA
	I _{DD1}	4.19 MHz ^{注4} 水晶発振	V _{DD} = 5.0 V ± 10 % ^{注5}			1.5	4.0	mA
			V _{DD} = 3.0 V ± 10 % ^{注6}			0.25	0.75	mA
	I _{DD2}	C1 = C2 = 22 pF	HALT モード	V _{DD} = 5.0 V ± 10 %		0.7	2.0	mA
				V _{DD} = 3.0 V ± 10 %		0.23	0.7	mA
	I _{DD3}	32.768 kHz ^{注7} 水晶発振	低電圧 モード ^{注8}	V _{DD} = 3.0 V ± 10 %		12	35	μ A
				V _{DD} = 2.5 V ± 10 %		4.5	12	μ A
				V _{DD} = 3.0 V, T _A = 25		12	24	μ A
			低消費電流 モード ^{注9}	V _{DD} = 3.0 V ± 10 %		6	18	μ A
				V _{DD} = 3.0 V, T _A = 25		6	12	μ A
			I _{DD4}	HALT モード	低電圧 モード ^{注8}	V _{DD} = 3.0 V ± 10 %		8.5
	V _{DD} = 2.5 V ± 10 %					3	9	μ A
	V _{DD} = 3.0 V, T _A = 25					8.5	17	μ A
	低消費電流 モード ^{注9}	V _{DD} = 3.0 V ± 10 %				3.5	12	μ A
		V _{DD} = 3.0 V, T _A = 25				3.5	7	μ A
	I _{DD5}	XT1 = 0 V ^{注10} STOPモード	V _{DD} = 5.0 V ± 10%			0.05	10	μ A
			V _{DD} = 3.0 V ± 10%		0.02	5	μ A	
				T _A = 25		0.02	3	μ A

注1．マスク・オプションにより，R_{LCD1}がR_{LCD2}かのどちらかを選択することができます。

2．電圧偏差とは，セグメント，コモン出力の理想値 (V_{LCDn}; n = 0, 1, 2) に対する出力電圧との差です。

3．内蔵プルアップ抵抗やLCD分割抵抗に流れる電流は含みません。

4．サブシステム・クロックを発振させた場合も含みます。

5．プロセッサ・クロック・コントロール・レジスタ (PCC) を0011に設定し，高速モードで動作させた場合。

6．PCCを0000に設定し，低速モードで動作させた場合。

7．システム・クロック・コントロール・レジスタ (SCC) を1001に設定し，メイン・システム・クロックの発振を停止させ，サブシステム・クロックで動作させた場合。

★ 8．サブ発振回路コントロール・レジスタ (SOS) を0000に設定した場合。

★ 9．SOSを0010に設定した場合。

★ 10．SOSを00×1に設定し，サブ発振回路フィードバック抵抗を使用しない場合 (× : don't care)。

AC特性 (TA = -40 ~ +85 , VDD = 2.2 ~ 5.5 V)

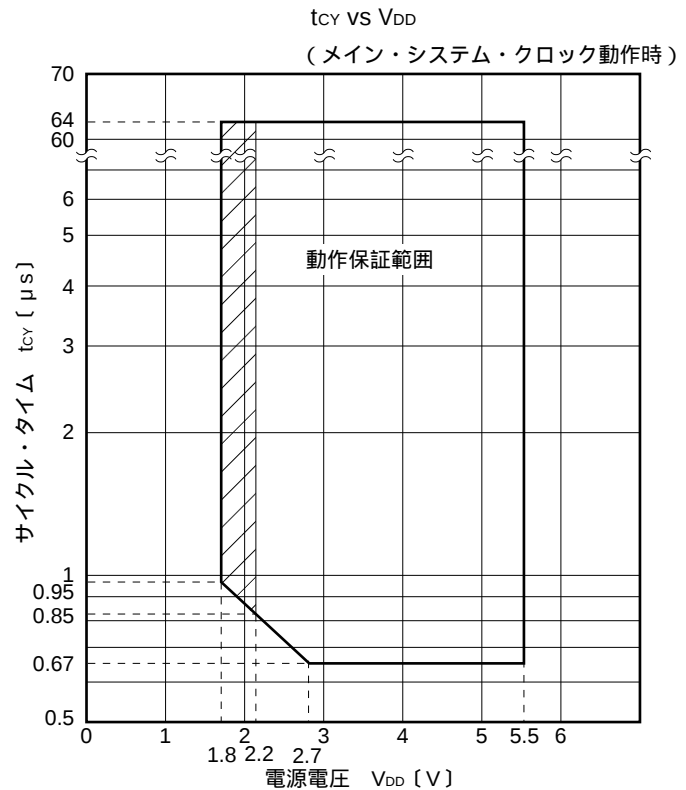
★

項 目	略 号	条 件			MIN.	TYP.	MAX.	単 位
CPUクロック・サイクル・タイム ^{注1} (最小命令実行時間=1マシン・サイクル)	tcy	メイン・ システム・ クロック で動作	セラミックまた	V _{DD} = 2.7 ~ 5.5 V	0.67		64	μs
			は水晶使用時		0.85		64	μs
			外部クロック	V _{DD} = 2.7 ~ 5.5 V	0.67		64	μs
			使用時	V _{DD} = 1.8 ~ 5.5 V	0.95		64	μs
		サブシステム・クロックで動作			114	122	125	μs
TI0, TI1, TI2入力周波数	f _{TI}	V _{DD} = 2.7 ~ 5.5 V			0		1	MHz
					0		275	kHz
TI0, TI1, TI2ハイ , ロウ・レベル幅	t _{TIH} , t _{TIL}	V _{DD} = 2.7 ~ 5.5 V			0.48			μs
					1.8			μs
割り込み入力ハイ , ロウ・レベル幅	t _{INTH} , t _{INTL}	INT0	IM02 = 0		注 2			μs
			IM02 = 1		10			μs
		INT1, 2, 4			10			μs
		KR0-7			10			μs
RESETロウ・レベル幅	t _{RSL}				10			μs

注1 . CPUクロック (Φ) のサイクル・タイム

は, 接続された発振子 (および外部クロック) の発振周波数とシステム・クロック・コントロール・レジスタ (SCC), プロセッサ・クロック・コントロール・レジスタ (PCC) によって決まります。右図は, メイン・システム・クロック動作時の電源電圧VDDに対するサイクル・タイムtcy特性を示します。

2 . 割り込みモード・レジスタ (IM0) の設定により, 2tcyまたは128/fxとなります。



備考 内は外部クロック使用時のみです。

シリアル転送オペレーション

2線式, 3線式シリアルI/Oモード ($\overline{\text{SCK}}$...内部クロック出力) : ($T_A = -40 \sim +85$, $V_{DD} = 2.2 \sim 5.5 \text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
$\overline{\text{SCK}}$ サイクル・タイム	t_{CY1}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	1300			ns
			3800			ns
$\overline{\text{SCK}}$ ハイ, ロウ・レベル幅	$t_{\text{KL1}},$ t_{KH1}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	$t_{\text{CY1}}/2 - 50$			ns
			$t_{\text{CY1}}/2 - 150$			ns
Si ^{注1} セットアップ時間 (対 $\overline{\text{SCK}}$ ↑)	t_{SIK1}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	150			ns
			500			ns
Si ^{注1} ホールド時間 (対 $\overline{\text{SCK}}$ ↑)	t_{KS1}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	400			ns
			600			ns
$\overline{\text{SCK}}$ ↓ → SO ^{注1} 出力遅延時間	t_{KSO1}	$R_L = 1 \text{ k}\Omega$, 注2 $V_{DD} = 2.7 \sim 5.5 \text{ V}$	0		250	ns
		$C_L = 100 \text{ pF}$	0		1000	ns

注1 . 2線式シリアルI/Oモード時は, SB0またはSB1に読み替えてください。

2 . R_L , C_L はSO出力ラインの負荷抵抗, 負荷容量です。2線式, 3線式シリアルI/Oモード ($\overline{\text{SCK}}$...外部クロック入力) : ($T_A = -40 \sim +85$, $V_{DD} = 2.2 \sim 5.5 \text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
$\overline{\text{SCK}}$ サイクル・タイム	t_{CY2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	800			ns
			3200			ns
$\overline{\text{SCK}}$ ハイ, ロウ・レベル幅	$t_{\text{KL2}},$ t_{KH2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	400			ns
			1600			ns
Si ^{注1} セットアップ時間 (対 $\overline{\text{SCK}}$ ↑)	t_{SIK2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	100			ns
			150			ns
Si ^{注1} ホールド時間 (対 $\overline{\text{SCK}}$ ↑)	t_{KS2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	400			ns
			600			ns
$\overline{\text{SCK}}$ ↓ → SO ^{注1} 出力遅延時間	t_{KSO2}	$R_L = 1 \text{ k}\Omega$, 注2 $V_{DD} = 2.7 \sim 5.5 \text{ V}$	0		300	ns
		$C_L = 100 \text{ pF}$	0		1000	ns

注1 . 2線式シリアルI/Oモード時は, SB0またはSB1に読み替えてください。

2 . R_L , C_L はSO出力ラインの負荷抵抗, 負荷容量です。

SBIモード (SCK...内部クロック出力 (マスタ)) : ($T_A = -40 \sim +85$, $V_{DD} = 2.2 \sim 5.5 V$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
SCKサイクル・タイム	t _{KCY3}	$V_{DD} = 2.7 \sim 5.5 V$	1300			ns
			3800			ns
SCKハイ, ロウ・レベル幅	t _{KL3} , t _{KH3}	$V_{DD} = 2.7 \sim 5.5 V$	t _{KCY3} /2 - 50			ns
			t _{KCY3} /2 - 150			ns
SB0, 1セットアップ時間 (対SCK↑)	t _{SIK3}	$V_{DD} = 2.7 \sim 5.5 V$	150			ns
			500			ns
SB0, 1ホールド時間 (対SCK↑)	t _{KSI3}		t _{KCY3} /2			ns
SCK↓ → SB0, 1出力遅延時間	t _{KSO3}	R _L = 1 kΩ , 注 C _L = 100 pF	$V_{DD} = 2.7 \sim 5.5 V$	0	250	ns
				0	1000	ns
SCK↑ → SB0, 1↓	t _{KSB}		t _{KCY3}			ns
SB0, 1↓ → SCK↓	t _{SBK}		t _{KCY3}			ns
SB0, 1ロウ・レベル幅	t _{SBL}		t _{KCY3}			ns
SB0, 1ハイ・レベル幅	t _{SBH}		t _{KCY3}			ns

注 R_L, C_LはSB0, 1出力ラインの負荷抵抗, 負荷容量です。

SBIモード (SCK...外部クロック入力 (スレーブ)) : ($T_A = -40 \sim +85$, $V_{DD} = 2.2 \sim 5.5 V$)

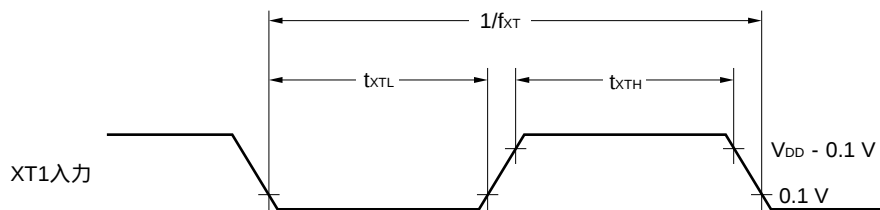
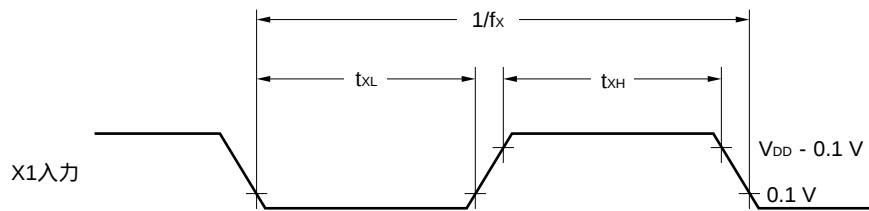
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
SCKサイクル・タイム	t _{KCY4}	$V_{DD} = 2.7 \sim 5.5 V$	800			ns
			3200			ns
SCKハイ, ロウ・レベル幅	t _{KL4} , t _{KH4}	$V_{DD} = 2.7 \sim 5.5 V$	400			ns
			1600			ns
SB0, 1セットアップ時間 (対SCK↑)	t _{SIK4}	$V_{DD} = 2.7 \sim 5.5 V$	100			ns
			150			ns
SB0, 1ホールド時間 (対SCK↑)	t _{KSI4}		t _{KCY4} /2			ns
SCK↓ → SB0, 1出力遅延時間	t _{KSO4}	R _L = 1 kΩ , 注 C _L = 100 pF	$V_{DD} = 2.7 \sim 5.5 V$	0	300	ns
				0	1000	ns
SCK↑ → SB0, 1↓	t _{KSB}		t _{KCY4}			ns
SB0, 1↓ → SCK↓	t _{SBK}		t _{KCY4}			ns
SB0, 1ロウ・レベル幅	t _{SBL}		t _{KCY4}			ns
SB0, 1ハイ・レベル幅	t _{SBH}		t _{KCY4}			ns

注 R_L, C_LはSB0, 1出力ラインの負荷抵抗, 負荷容量です。

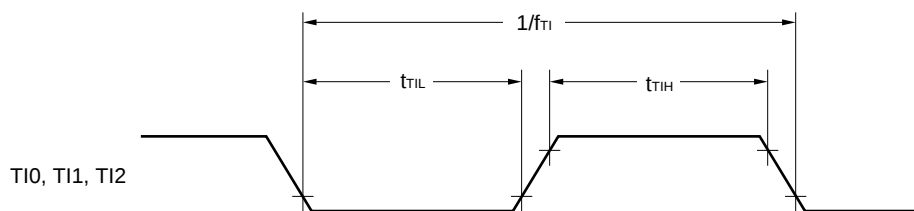
★ ACタイミング測定点 (X1, XT1入力を除く)



クロック・タイミング

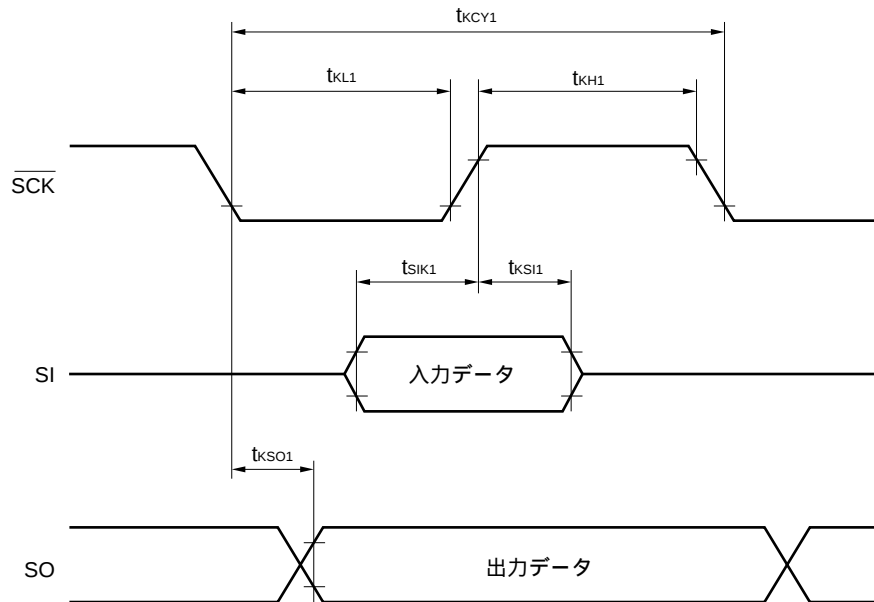


T10, T11, T12タイミング

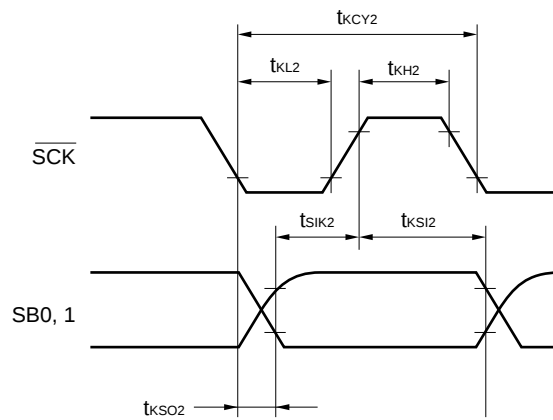


シリアル転送タイミング

3 線式シリアルI/Oモード

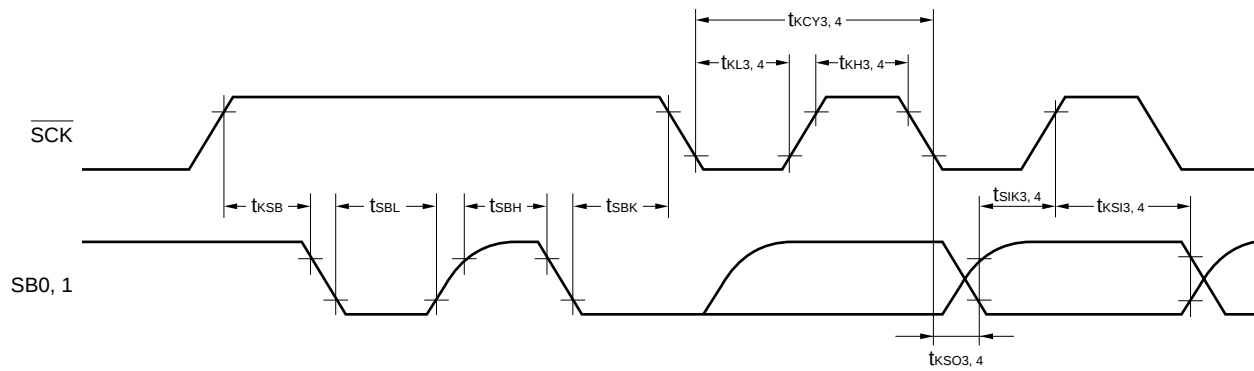


2 線式シリアルI/Oモード

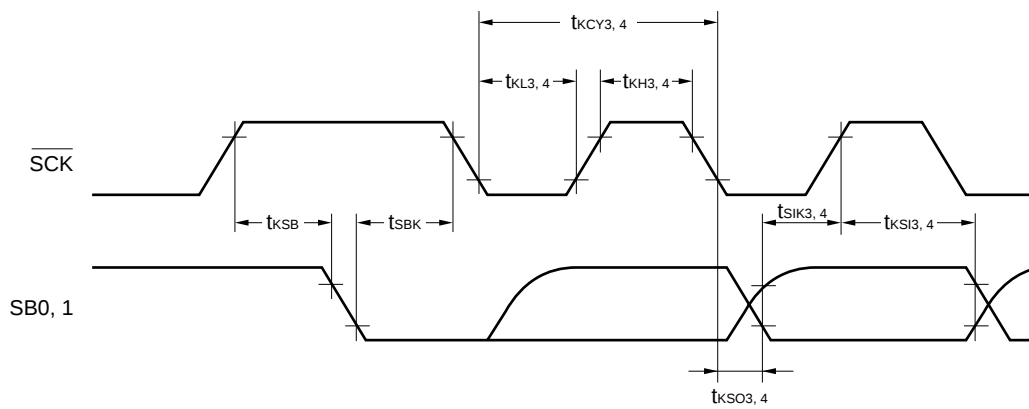


シリアル転送タイミング

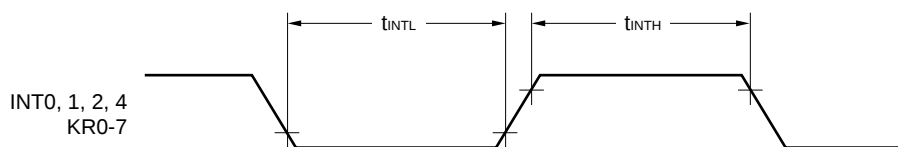
バス・リリース信号転送



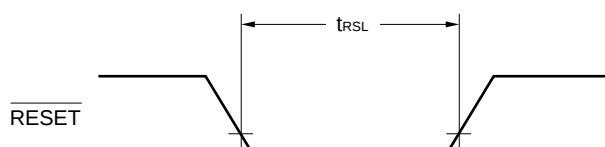
コマンド信号転送



割り込み入力タイミング



RESET入力タイミング



データ・メモリSTOPモード低電源電圧データ保持特性 ($T_A = -40 \sim +85$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
リリース信号セット時間	t_{SREL}		0			μs
発振安定ウエイト時間 ^{注1}	t_{WAIT}	RESETによる解除		注2		ms
		割り込み要求による解除		注3		ms

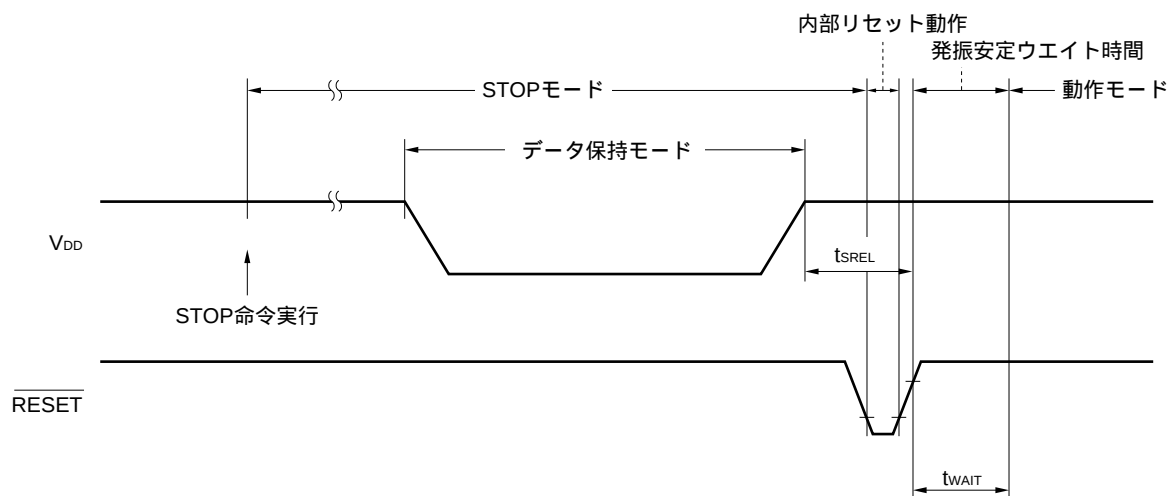
注1．発振安定ウエイト時間は、発振開始時の不安定な動作を防ぐため、CPUの動作を停止しておく時間です。

2．マスク・オプションにより、 $2^{17}/f_x$ か $2^{15}/f_x$ のどちらかを選択することができます。

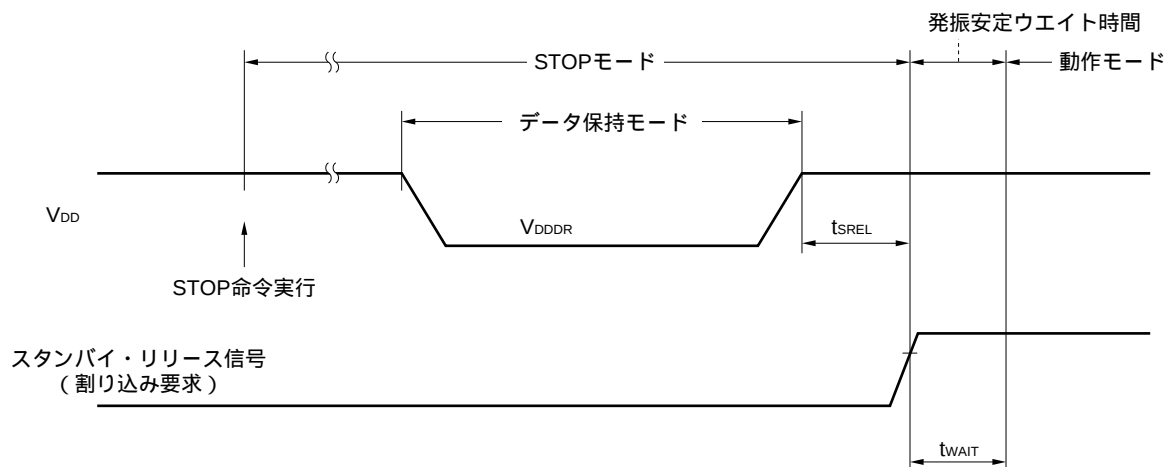
3．ベーシック・インターバル・タイマ・モード・レジスタ (BTM) の設定によります。(下表)

BTM3	BTM2	BTM1	BTM0	ウエイト時間	
				$f_x = 4.19 \text{ MHz}$ 時	$f_x = 6.0 \text{ MHz}$ 時
-	0	0	0	$2^{20}/f_x$ (約250 ms)	$2^{20}/f_x$ (約175 ms)
-	0	1	1	$2^{17}/f_x$ (約31.3 ms)	$2^{17}/f_x$ (約21.8 ms)
-	1	0	1	$2^{15}/f_x$ (約7.82 ms)	$2^{15}/f_x$ (約5.46 ms)
-	1	1	1	$2^{13}/f_x$ (約1.95 ms)	$2^{13}/f_x$ (約1.37 ms)

データ保持タイミング (RESETによるSTOPモード解除)

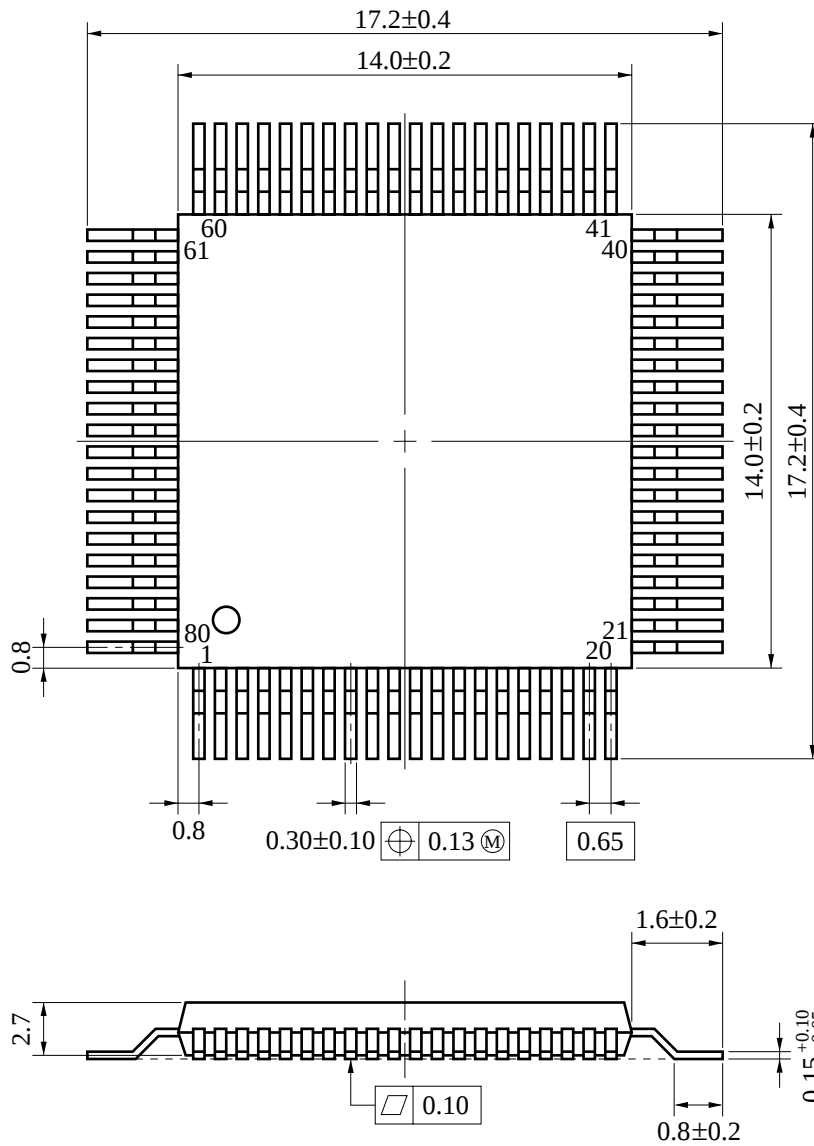


データ保持タイミング (スタンバイ・リリース信号：割り込み信号によるSTOPモード解除)

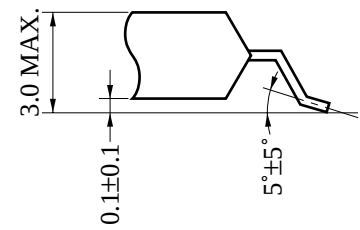


13. 外形図

80ピン・プラスチック QFP (□14) 外形図 (単位: mm)

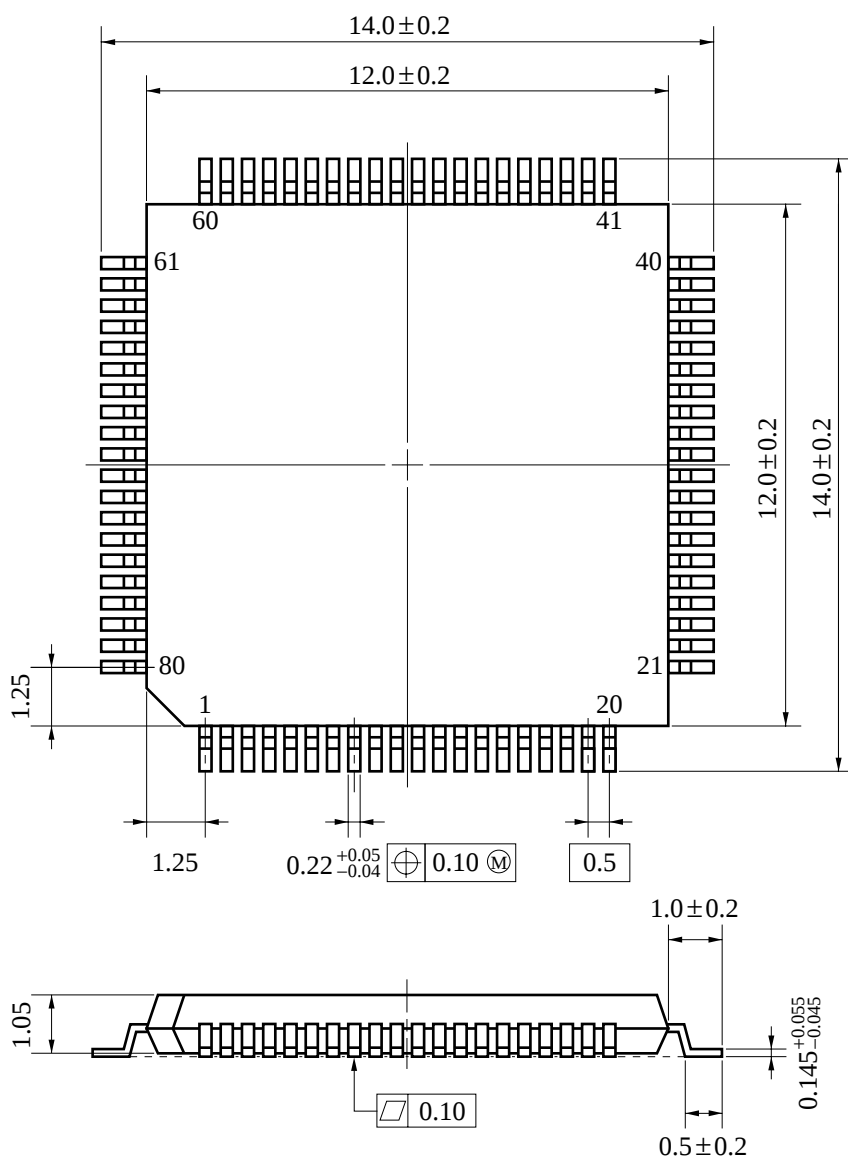


端子先端形状詳細図

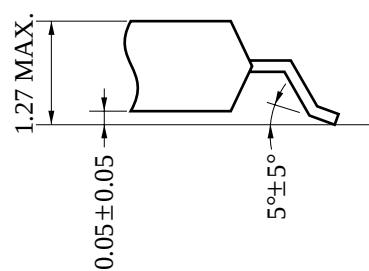


S80GC-65-3B9-3

80ピン・プラスチック TQFP (ファインピッチ)(□12) 外形図 (単位: mm)



端子先端形状詳細図



P80GK-50-BE9-4

14．半田付け推奨条件

μPD753017の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の詳細は、インフォメーション資料「**半導体デバイス実装マニュアル**」(C10535J)を参照してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

表14 - 1 表面実装タイプの半田付け条件

(1) μPD753012GC-×××-3B9: 80ピン・プラスチックQFP (□14 mm)

μPD753016GC-×××-3B9: //

μPD753017GC-×××-3B9: //

半田付け方式	半 田 付 け 条 件	推奨条件記号
★ 赤外線リフロ	パッケージ・ピーク温度: 235 , 時間: 30秒以内 (210 以上), 回数: 3 回以内	IR35-00-3
★ VPS	パッケージ・ピーク温度: 215 , 時間: 40秒以内 (200 以上), 回数: 3 回以内	VP15-00-3
ウェーブ・ ソルダリング	半田槽温度: 260 以下, 時間: 10秒以内, 回数: 1 回 予備加熱温度: 120 MAX. (パッケージ表面温度)	WS60-00-1
端子部分加熱	端子温度: 300 以下, 時間: 3 秒以内 (デバイスの一辺当たり)	-

注意 半田付け方式の併用はお避けください (ただし、端子部分加熱方式は除く)。

(2) μPD753012GK-×××-BE9: 80ピン・プラスチックTQFP (ファインピッチ) (□12 mm)

μPD753016GK-×××-BE9: //

μPD753017GK-×××-BE9: //

半田付け方式	半 田 付 け 条 件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度: 235 , 時間: 30秒以内 (210 以上), 回数: 2 回以内, 制限日数: 7 日間 ^注 (以降は125 プリベーク10時間必要) 留意事項 耐熱トレイ以外 (マガジン, テーピング, 非耐熱トレイ) は、包装状態でのベーキングができません。	IR35-107-2
VPS	パッケージ・ピーク温度: 215 , 時間: 40秒以内 (200 以上), 回数: 2 回以内, 制限日数: 7 日間 ^注 (以降は125 プリベーク10時間必要) 留意事項 耐熱トレイ以外 (マガジン, テーピング, 非耐熱トレイ) は、包装状態でのベーキングができません。	VP15-107-2
端子部分加熱	端子温度: 300 以下, 時間: 3 秒以内 (デバイスの一辺当たり)	-

注 ドライパック開封後の保管日数で、保管条件は25 , 65 %RH以下。

注意 半田付け方式の併用はお避けください (ただし、端子部分加熱方式は除く)。

付録A . μPD75316B, 753017, 75P3018の機能一覧表

項 目		μ PD75316B	μ PD753017	μ PD75P3018
プログラム・メモリ		マスクROM 0000H-3F7FH (16256 × 8 ビット)	マスクROM 0000H-5FFFFH (24576 × 8 ビット)	ワン・タイムPROM 0000H-7FFFFH (32768 × 8 ビット)
データ・メモリ		000H-3FFH (1024 × 4 ビット)		
CPU		Standard CPU	75XL CPU	
命令実行時間	メイン・システム・クロック 選択時	0.95, 1.91, 15.3 μs (4.19 MHz動作時)	・ 0.95, 1.91, 3.81, 15.3 μs (4.19 MHz動作時) ・ 0.67, 1.33, 2.67, 10.7 μs (6.0 MHz動作時)	
	サブシステム・クロック 選択時	122 μs (32.768 kHz動作時)		
端子接続	44番	P12/INT2	P12/INT2/TI1/TI2	
	47番	P21	P21/PTO1	
	48番	P22/PCL	P22/PCL/PTO2	
	50-53番	P30-P33		P30/MD0-P33/MD3
	57番	IC		V _{PP}
スタック	SBSレジスタ	なし	SBS.3 = 1 : MkⅠモード選択 SBS.3 = 0 : MkⅡモード選択	
	スタック・エリア	000H-0FFH	n00H-nFFH (n = 0-3)	
	サブルーチン・コール命令の スタック動作	2 バイト・スタック	MkⅠモード時 : 2 バイト・スタック MkⅡモード時 : 3 バイト・スタック	
命令	BRA !addr1	使用不可	MkⅠモード時 : 使用不可	
	CALLA !addr1		MkⅡモード時 : 使用可能	
	MOV _T XA, @BCDE		使用可能	
	MOV _T XA, @BCXA			
	BR BCDE			
	BR BCXA			
CALL !addr	3 マシン・サイクル	MkⅠモード時 : 3 マシン・サイクル , MkⅡモード時 : 4 マシン・サイクル		
CALLF !faddr	2 マシン・サイクル	MkⅠモード時 : 2 マシン・サイクル , MkⅡモード時 : 3 マシン・サイクル		
タイマ		3 チャンネル ・ ベーシック・インターバル・タイマ : 1 チャンネル ・ 8 ビット・タイマ/イベント・カウンタ : 1 チャンネル ・ 時計用タイマ : 1 チャンネル	5 チャンネル ・ ベーシック・インターバル・タイマ/ウォッチドッグ・タイマ : 1 チャンネル ・ 8 ビット・タイマ/イベント・カウンタ : 3 チャンネル (16ビット・タイマ/イベント・カウンタ , キャリア・ジェネレータ , ゲート付きタイマとして使用可能) ・ 時計用タイマ : 1 チャンネル	

項 目		μ PD75316B	μ PD753017	μ PD75P3018
クロック出力 (PCL)		Φ, 524, 262, 65.5 kHz (メイン・システム・クロック : 4.19 MHz動作時)	・ Φ, 524, 262, 65.5 kHz (メイン・システム・クロック : 4.19 MHz動作時) ・ Φ , 750, 375, 93.8 kHz (メイン・システム・クロック : 6.0 MHz動作時)	
BUZ出力		2 kHz (メイン・システム・クロック : 4.19 MHz動作時)	・ 2, 4, 32 kHz (メイン・システム・クロック : 4.19 MHz動作時またはサブシステム・クロック : 32.768 kHz動作時) ・ 2.93, 5.86, 46.9 kHz (メイン・システム・クロック : 6.0 MHz動作時)	
シリアル・インタフェース		3 種のモードに対応可能 ・ 3 線式シリアルI/Oモード...MSB/LSB先頭切り替え可能 ・ 2 線式シリアルI/Oモード ・ SBIモード		
S O S レ ジ ス タ	フィードバック抵抗カット・フラグ (SOS.0)	なし	内蔵	
	サブ発振器電流カット・フラグ (SOS.1)	なし	内蔵	
レジスタ・バンク選択レジスタ (RBS)		なし	あり	
INT0によるスタンバイ解除		不可	可能	
ベクタ割り込み		外部 : 3 本 , 内部 : 3 本	外部 : 3 本 , 内部 : 5 本	
電源電圧		V _{DD} = 2.0 ~ 6.0 V	V _{DD} = 2.2 ~ 5.5 V	
動作周囲温度		T _A = - 40 ~ + 85		
パッケージ		・ 80ピン・プラスチックTQFP (ファインピッチ) (□12 mm) ・ 80ピン・プラスチックQFP (□14 mm)		

付録B．開発ツール

μPD753017を使用するシステム開発のために次のような開発ツールを用意しております。75XLシリーズでは、シリーズ共通のリロケータブル・アセンブラを品種ごとのデバイス・ファイルと組み合わせて使用します。

言語プロセッサ

RA75X リロケータブル・ アセンブラ	ホスト・マシン			オーダ名称（品名）
		OS	供給媒体	
	PC-9800シリーズ	MS-DOS™ 〔 Ver.3.30 } Ver.6.2^注 〕	3.5インチ2HD	μ S5A13RA75X
			5 インチ2HD	μ S5A10RA75X
	IBM PC/AT™ およびその互換機	「IBM PC用のOSについて」参照	3.5インチ2HC	μ S7B13RA75X
			5 インチ2HC	μ S7B10RA75X

デバイス・ファイル	ホスト・マシン	OS	供給媒体	オーダ名称（品名）
	PC-9800シリーズ	MS-DOS	3.5インチ2HD	μ S5A13DF753017
		Ver.3.30 } Ver.6.2^注	5 インチ2HD	μ S5A10DF753017
	IBM PC/AT およびその互換機	「IBM PC用のOSについて」参照	3.5インチ2HC	μ S7B13DF753017
5 インチ2HC			μ S7B10DF753017	

注 Ver.5.00以降にはタスク・スワップ機能がありますが、このソフトウェアではタスク・スワップ機能は使用できません。

備考 アセンブラおよびデバイス・ファイルの動作は、上記のホスト・マシンとOS上でのみ保証されます。

PROM書き込み用ツール

ハードウェア	PG-1500	付属のボードおよび別売りのプログラマ・アダプタを接続することにより、PROM内蔵のシングルチップ・マイクロコンピュータを、スタンド・アロンまたは、ホスト・マシンからの操作によりプログラミングできるPROMプログラマです。 また、256 Kビットから4 Mビットまでの代表的なPROMをプログラミングすることもできます。		
	PA-75P316BGC	μPD75P3018GC用の専用PROMプログラマ・アダプタで、PG-1500に接続して使用します。		
	PA-75P316BGK	μPD75P3018GK用の専用PROMプログラマ・アダプタで、PG-1500に接続して使用します。		
★ ソフトウェア	PG-1500 コントローラ	PG-1500とホスト・マシンをシリアルおよびパラレル・インタフェースで接続し、ホスト・マシン上でPG-1500を制御します。		
		ホスト・マシン	OS	供給媒体
		PC-9800シリーズ	MS-DOS	3.5インチ2HD
			Ver.3.30 } Ver.6.2 ^注	5インチ2HD
		IBM PC/AT およびその互換機	「IBM PC用のOSについて」参照	3.5インチ2HD
				5インチ2HC

注 Ver.5.00以降にはタスク・スワップ機能がありますが、このソフトウェアではタスク・スワップ機能は使用できません。

備考 PG-1500コントローラの動作は、上記のホスト・マシンとOS上でのみ保証されます。

ディバグ用ツール

μPD753017のプログラム・ディバグ用ツールとしてインサーキット・エミュレータ（IE-75000-R, IE-75001-R）を用意しています。

それぞれのシステム構成を次に示します。

★	ハードウェア	IE-75000-R ^{注1}	IE-75000-Rは、75Xシリーズ、75XLシリーズを使用する応用システムを開発する際に、ハードウェア、ソフトウェアのディバグを行うためのインサーキット・エミュレータです。μPD753017サブシリーズを開発する場合、IE-75000-Rと別売りのエミュレーション・ボードIE-75300-R-EM、およびエミュレーション・プローブを組み合わせ使用します。 ホスト・マシン、PROMプログラマと接続して効率的にディバグを行うことができます。 なお、IE-75000-R内にはエミュレーション・ボードIE-75000-R-EMが含まれており、接続されています。		
		IE-75001-R	IE-75001-Rは、75Xシリーズ、75XLシリーズを使用する応用システムを開発する際に、ハードウェア、ソフトウェアのディバグを行うためのインサーキット・エミュレータです。μPD753017サブシリーズを開発する場合、IE-75001-Rと別売りのエミュレーション・ボードIE-75300-R-EM、およびエミュレーション・プローブを組み合わせ使用します。 ホスト・マシン、PROMプログラマと接続して効率的にディバグを行うことができます。		
		IE-75300-R-EM	μPD753017サブシリーズを使用する応用システムの評価を行うためのエミュレーション・ボードです。IE-75000-RまたはIE-75001-Rと組み合わせ使用します。		
		EP-753017GC-R	μPD753017GC用のエミュレーション・プローブです。		
		EV-9200GC-80	IE-75000-RまたはIE-75001-Rと、IE-75300-R-EMに接続して使用します。 ターゲット・システムとの接続を容易にする80ピン変換ソケットEV-9200GC-80を添付しています。		
		EP-753017GK-R	μPD753017GK用のエミュレーション・プローブです。		
		TGK-080SDW ^{注2}	IE-75000-RまたはIE-75001-Rと、IE-75300-R-EMに接続して使用します。 ターゲット・システムとの接続を容易にする80ピン変換アダプタTGK-080SDWを添付しています。		
★	ソフトウェア	IEコントロール・プログラム	IE-75000-RまたはIE-75001-Rとホスト・マシンをRS-232-C、およびセントロニクスI/Fで接続し、ホスト・マシン上でIE-75000-RまたはIE-75001-Rを制御します。		
			ホスト・マシン	OS	供給媒体
			PC-9800シリーズ	MS-DOS	3.5インチ2HD
				Ver.3.30 } Ver.6.2 ^{注3}	5インチ2HD
			IBM PC/AT およびその互換機	「IBM PC用のOSについて」参照	3.5インチ2HC
					5インチ2HC

注1．保守品です。

- ★ 2．東京エレクトック株式会社（東京（03）5295-1661）の製品です。ご購入の際はNEC特約店にご相談ください。
- 3．Ver.5.00以降にはタスク・スワップ機能がありますが、このソフトウェアではタスク・スワップ機能は使用できません。

備考 IEコントロール・プログラムの動作は、上記のホスト・マシンとOS上でのみ保証されます。

IBM PC用のOSについて

IBM PC用のOSとして、次のものがサポートされています。

OS	バージョン
PC DOS™	Ver.3.1 ~ Ver.6.3 J6.1/V ^注 ~ J.6.3/V ^注
MS-DOS	Ver.5.0 ~ Ver.6.22 5.0/V ^注 ~ 6.2/V ^注
IBM DOS™	J5.02/V ^注

注 英語モードのみサポートしています。

注意 Ver.5.0以降にはタスク・スワップ機能がありますが、このソフトウェアでは、タスク・スワップ機能は使用できません。

付録C．関連資料

関連資料は暫定版の場合がありますが，この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイス関連資料一覧

資 料 名	資 料 番 号	
	和 文	英 文
μPD753012, 753016, 753017 データ・シート	U10140X (このマニュアル)	U10140E
μPD75P3018 データ・シート	U10956J	U10956E
μPD753017 ユーザーズ・マニュアル	U11282J	U11282E
μPD753017 インストラクション活用表	IEM-5598	-
75XLシリーズ セレクション・ガイド	U10453J	U10453E

開発ツール関連資料一覧

資 料 名			資 料 番 号	
			和 文	英 文
ハードウェア	IE-75000-R/IE-75001-R ユーザーズ・マニュアル		EEU-846	EEU-1416
	IE-75300-R-EM ユーザーズ・マニュアル		U11354J	U11354E
	EP-753017GC/GK-R ユーザーズ・マニュアル		EEU-967	EEU-1494
	PG-1500 ユーザーズ・マニュアル		U11940J	U11940E
ソフトウェア	RA75X アセンブラ・パッケージ	操作編	U12622J	EEU-1346
		言語編	U12385J	EEU-1363
	PG-1500コントローラ ユーザーズ・マニュアル	PC-9800シリーズ (MS-DOS) ベース	EEU-704	EEU-1291
		IBM PCシリーズ (PC DOS) ベース	EEU-5008	U10540E

その他の関連資料一覧

資 料 名	資 料 番 号	
	和 文	英 文
IC PACKAGE MANUAL	C10943X	
半導体デバイス 実装マニュアル	C10535J	C10535E
NEC半導体デバイスの品質水準	C11531J	C11531E
NEC半導体デバイスの信頼性品質管理	C10983J	C10983E
静電気放電 (ESD) 破壊対策ガイド	C11892J	C11892E
半導体デバイスの品質保証ガイド	C11893J	MEI-1202
マイクロコンピュータ関連製品ガイド 社外メーカ編	U11416J	-

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには必ず最新の資料をご使用ください。

〔メ モ〕

CMOSデバイスの一般的注意事項

静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

MS-DOSは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

IBM DOS, PC/AT, PC DOSは、米国IBM社の商標です。

本製品が外国為替および外国貿易管理法の規定による戦略物資等（または役務）に該当するか否かは、ユーザ（仕様を決定した者）が判定してください。

- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的所有権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
- 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。
標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災／防犯装置、各種安全装置、生命維持を直接の目的としない医療機器
特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
当社製品のデータ・シート／データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。
- この製品は耐放射線設計をしておりません。

M4 94.11

— お問い合わせは、最寄りのNECへ —

【営業関係お問い合わせ先】

半導体第一販売事業部 半導体第二販売事業部 半導体第三販売事業部	〒108-01 東京都港区芝五丁目7番1号（NEC本社ビル）	東京 (03)3454-1111	（大代表）
中部支社 半導体第一販売部 半導体第二販売部	〒460 名古屋市中区錦一丁目17番1号（NEC中部ビル）	名古屋 (052)222-2170 名古屋 (052)222-2190	
関西支社 半導体第一販売部 半導体第二販売部 半導体第三販売部	〒540 大阪市中央区城見一丁目4番24号（NEC関西ビル）	大阪 (06) 945-3178 大阪 (06) 945-3200 大阪 (06) 945-3208	
北海道支社 東北支社 岩手支店 郡山支店 いわき支店 長岡支店 土浦支店 水戸支店 神奈川支社 群馬支店	札幌 (011)251-5599 仙台 (022)267-8740 盛岡 (019)651-4344 郡山 (0249)23-5511 いわき (0246)21-5511 長岡 (0258)36-2155 土浦 (0298)23-6161 水戸 (029)226-1717 横浜 (045)682-4524 高崎 (0273)26-1255	太田支店 宇都宮支店 小山支店 長野支社 甲府支店 埼玉支社 立川支社 千葉支社 静岡支社 北陸支社	太田 (0276)46-4011 宇都宮 (028)621-2281 小山 (0285)24-5011 松本 (0263)35-1662 甲府 (0552)24-4141 大宮 (048)649-1415 立川 (0425)26-5981 千葉 (043)238-8116 静岡 (054)254-4794 金沢 (076)232-7303
福井支店 富山支店 三重支店 京都支社 神戸支社 中国支社 鳥取支店 岡山支店 松山支店 九州支社	福井 (0776)22-1866 富山 (0764)31-8461 津 (0592)25-7341 京都 (075)344-7824 神戸 (078)333-3854 広島 (082)242-5504 鳥取 (0857)27-5311 岡山 (086)225-4455 松山 (089)945-4149 福岡 (092)261-2806		

【本資料に関する技術お問い合わせ先】

半導体ソリューション技術本部 マイクロコンピュータ技術部	〒210 川崎市幸区塚越三丁目484番地	川崎 (044)548-7923	半導体 インフォメーションセンター FAX(044)548-7900 （FAXにてお願い致します）
半導体販売技術本部 東日本販売技術部	〒108-01 東京都港区芝五丁目7番1号（NEC本社ビル）	東京 (03)3798-9619	
半導体販売技術本部 中部販売技術部	〒460 名古屋市中区錦一丁目17番1号（NEC中部ビル）	名古屋 (052)222-2125	
半導体販売技術本部 西日本販売技術部	〒540 大阪市中央区城見一丁目4番24号（NEC関西ビル）	大阪 (06) 945-3383	