

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

μ PD75004, 75006, 75008

4ビット・シングルチップ・マイクロコンピュータ

保守/廃止

μ PD75008は、4ビット・シングルチップ・マイコン75Xシリーズの1つです。

μ PD75008は、CPUの最小命令実行時間：0.95 μ sの高速動作に加え、NEC標準フォーマット採用のシリアル・バス・インタフェース機能などの高機能を備えた強力でコスト・パフォーマンスの高い製品です。

μ PD75008には、システム開発時の評価用または少量生産用としてPROM内蔵品の μ PD75P008を用意しております。

詳しい機能説明などは次のユーザーズ・マニュアルに記載しております。設計の際には必ずお読みください。

μ PD7500xシリーズ ユーザーズ・マニュアル：IEM-5033

特 徴

高速動作とパワー・セーブに有利な命令実行可変機能

- ・ 0.95 μ s, 1.91 μ s, 15.3 μ s (メイン・システム・クロック：4.19 MHz動作時)
- ・ 122 μ s (サブシステム・クロック：32.768 kHz動作時)

8ビット・マイコンに匹敵するアーキテクチャ「75X」を採用

NEC標準のシリアル・バス・インタフェース (SBI) 内蔵

超低消費電力の時計動作可能 (5 μ A TYP.: 3 V動作時)

強化されたタイマ機能 (3チャンネル)

リモコン受信用などアプリケーションを重視した割り込み機能

用 途

VTR, CDプレーヤー, 電話, カメラ, 血圧計など

この資料では特に断りがないかぎり、 μ PD75008を代表品種として説明しています。

本資料の内容は、予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。

オーダ情報

オーダ名称	パッケージ	品質水準
μ PD75004CU-x x x	42ピン・プラスチック・シュリンクDIP (600 mil)	標準 (一般電子機器用)
μ PD75004GB-x x x-3B4	44ピン・プラスチックQFP (10 mm)	"
μ PD75006CU-x x x	42ピン・プラスチック・シュリンクDIP (600 mil)	"
μ PD75006GB-x x x-3B4	44ピン・プラスチックQFP (10 mm)	"
μ PD75008CU-x x x	42ピン・プラスチック・シュリンクDIP (600 mil)	"
μ PD75008GB-x x x-3B4	44ピン・プラスチックQFP (10 mm)	"

備考 x x xはROMコード番号です。

品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」(C11531J)をご覧ください。

保守/廃止

機能一覧

項 目	機 能			
命令実行時間	0.95, 1.91, 15.3 μs (メイン・システム・クロック: 4.19 MHz動作時) 122 μs (サブシステム・クロック: 32.768 kHz動作時)			
内蔵メモリ	ROM	4096×8ビット (μPD75004)		
		6016×8ビット (μPD75006)		
		8064×8ビット (μPD75008)		
	RAM	512×4ビット		
汎用レジスタ	<ul style="list-style-type: none"> ・4ビット操作時: 8個 ・8ビット操作時: 4個 			
入出力ポート	34本	8本	CMOS入力端子	ソフトウェアによるプルアップ 抵抗内蔵可能: 25
		18本	CMOS入出力端子 LED直接駆動可能: 4	
		8本	N-chオープン・ドレイン 入出力端子 LED直接駆動可能: 8	10V耐圧 マスク・オプションによるプルアップ 抵抗内蔵可能
タイマ	3チャ ネル	タイマ/イベント・カウンタ ベーシック・インターバル・タイマ: ウォッチドッグ・タイマ応用可能 時計用タイマ: ブザー出力可能		
シリアル・インタフェース	3線式シリアルI/Oモード 2線式シリアルI/Oモード SBIモード			
ビット・シーケンシャル・バッファ	16ビット			
クロック出力機能	Φ , $f_x/2^3$, $f_x/2^4$, $f_x/2^6$			
ベクタ割り込み	外部: 3本, 内部: 3本			
テスト入力	外部: 1本, 内部: 1本			
システム・クロック発振回路	メイン・システム・クロック発振用セラミック/クリスタル発振回路 サブシステム・クロック発振用クリスタル発振回路			
スタンバイ機能	STOP/HALTモード			
動作温度範囲	-40~+85°C			
動作電源電圧	2.7~6.0V			
パッケージ	42ピン・プラスチック・シュリンクDIP (600 mil)			
	44ピン・プラスチックQFP (□10 mm)			

目 次

1. 端子接続図 (Top View) …	6
2. ブロック図 …	8
3. 端子機能 …	9
3.1 ポート端子 …	9
3.2 ポート端子以外の端子 …	10
3.3 端子の入出力回路 …	11
3.4 マスク・オプションの選択 …	13
3.5 未使用端子の処理 …	13
3.6 P00/INT4端子およびRESET端子の使用上の注意 …	14
4. メモリ構成 …	15
5. 周辺ハードウェア機能 …	19
5.1 ポ ー ト …	19
5.2 クロック発生回路 …	20
5.3 クロック出力回路 …	21
5.4 ベーシック・インターバル・タイマ …	22
5.5 時計用タイマ …	23
5.6 タイマ/イベント・カウンタ …	23
5.7 シリアル・インタフェース …	25
5.8 ビット・シーケンシャル・バッファ …	27
6. 割り込み機能 …	27
7. スタンバイ機能 …	29
8. リセット機能 …	30
9. 命令セット …	32
10. 電気的特性 …	40
11. 特性曲線 …	53
12. 外形図 …	58
13. 半田付け推奨条件 …	61

保守/廃止

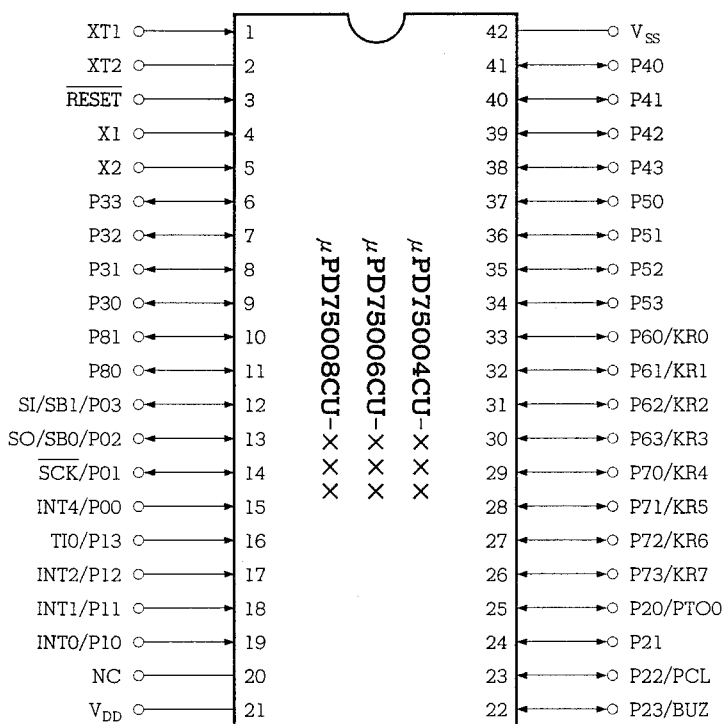
付録A. 開発ツール … 62

付録B. 関連資料 … 63

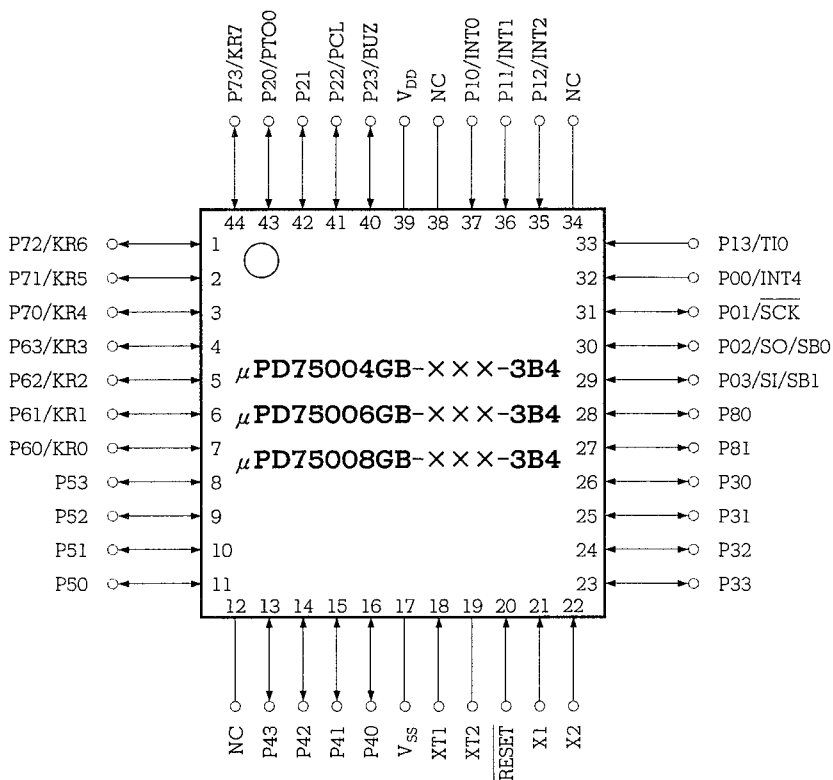


1. 端子接続図 (Top View)

○42ピン・プラスチック・シュリンクDIP (600 mil)



○44ピン・プラスチックQFP (□10 mm)

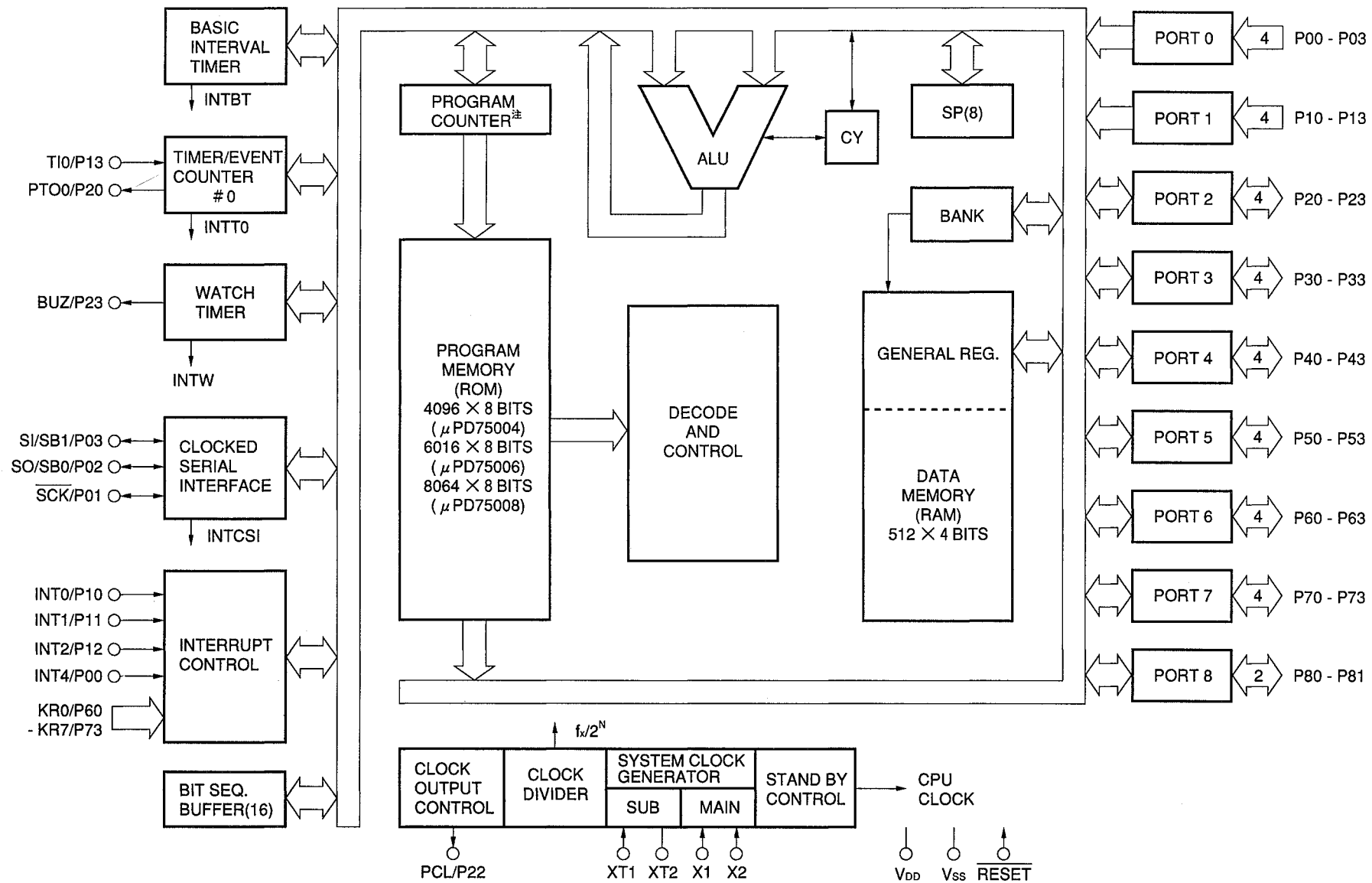


保守/廃止

端子名称

P00-03 : Port0	SO	: Serial Output
P10-13 : Port1	SB0, 1	: Serial Bus 0, 1
P20-23 : Port2	$\overline{\text{RESET}}$: Reset Input
P30-33 : Port3	TIO	: Timer Input 0
P40-43 : Port4	PTOO	: Programmable Timer Output 0
P50-53 : Port5	BUZ	: Buzzer Clock
P60-63 : Port6	PCL	: Programmable Clock
P70-73 : Port7	INT0, 1, 4	: External Test Interrupt 0, 1, 4
P80-81 : Port8	INT2	: External Test Input 2
KR0-7 : Key Return	X1, 2	: Main System Clock Oscillation 1, 2
$\overline{\text{SCK}}$: Serial Clock	XT1, 2	: Subsystem Clock Oscillation 1, 2
SI : Serial Input	NC	: No Connection

保守/廃止



注 μ PD75004は12ビット, μ PD75006, 75008は13ビット構成です。



3. 端子機能

3.1 ポート端子

端子名称	入出力	兼用端子	機 能	8 ビット I/ O	リセット時	入出力 回 路 TYPE注1
P00	入 力	INT4	4ビット入力ポート (PORT0)。 P01-P03は3ビット単位で、ソフトウェアによりプルアップ抵抗の内蔵を指定可能。	×	入 力	Ⓟ
P01	入出力	SCK				Ⓟ-A
P02	入出力	SO/SB0				Ⓟ-B
P03	入出力	SI/SB1				Ⓞ-C
P10	入 力	INT0	ノイズ除去機能付き	×	入 力	Ⓟ-C
P11		INT1	4ビット入力ポート (PORT1)。			
P12		INT2	4ビット単位で、ソフトウェアによりプルアップ抵抗の内蔵を指定可能。			
P13		TIO				
P20	入出力	PTO0	4ビット入出力ポート (PORT2)。	×	入 力	E-B
P21		—	4ビット単位で、ソフトウェアによりプルアップ抵抗の内蔵を指定可能。			
P22		PCL				
P23		BUZ				
P30 ^{注2}	入出力	—	プログラマブル4ビット入出力ポート (PORT3)。	×	入 力	E-B
P31 ^{注2}		—	ビット単位で入出力設定可能。			
P32 ^{注2}		—	4ビット単位で、ソフトウェアによりプルアップ抵抗の内蔵を指定可能。			
P33 ^{注2}		—				
P40-P43 ^{注2}	入出力	—	N-chオープン・ドレイン4ビット入出力ポート (PORT4)。 ビット単位にプルアップ抵抗を内蔵可能 (マスク・オプション)。 オープン・ドレイン時 10V耐圧。	○	ハイ・レベル (プルアップ抵抗内蔵時) またはハイ・インピーダンス	M
P50-P53 ^{注2}	入出力	—	N-chオープン・ドレイン4ビット入出力ポート (PORT5)。 ビット単位にプルアップ抵抗を内蔵可能 (マスク・オプション)。 オープン・ドレイン時 10V耐圧。	○	ハイ・レベル (プルアップ抵抗内蔵時) またはハイ・インピーダンス	M
P60	入出力	KR0	プログラマブル4ビット入出力ポート (PORT6)。	○	入 力	Ⓟ-A
P61		KR1	ビット単位で入出力指定可能。			
P62		KR2	4ビット単位で、ソフトウェアによりプルアップ抵抗の内蔵を指定可能。			
P63		KR3				
P70	入出力	KR4	4ビット入出力ポート (PORT7)。	○	入 力	Ⓟ-A
P71		KR5	4ビット単位で、ソフトウェアによりプルアップ抵抗の内蔵を指定可能。			
P72		KR6				
P73		KR7				
P80	入出力	—	2ビット入出力ポート (PORT8)。	×	入 力	E-B
P81		—	2ビット単位で、ソフトウェアによりプルアップ抵抗の内蔵を指定可能。			

注1. ○印はシュミット・トリガ入力を示します。

2. LEDを直接駆動可能



3.2 ポート端子以外の端子

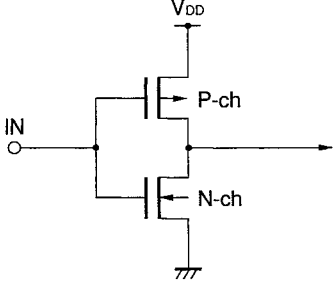
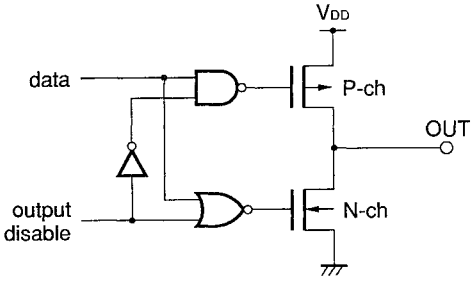
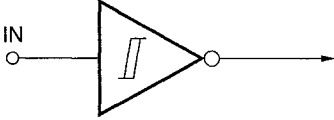
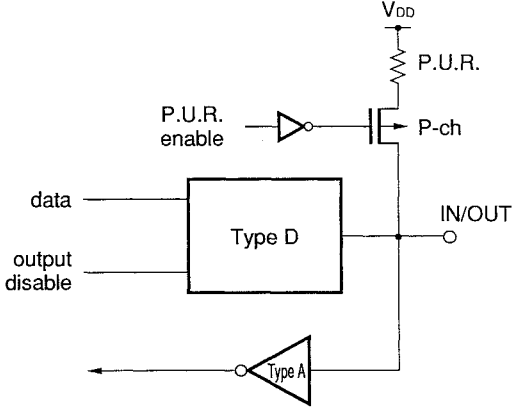
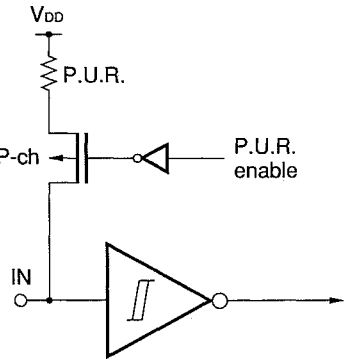
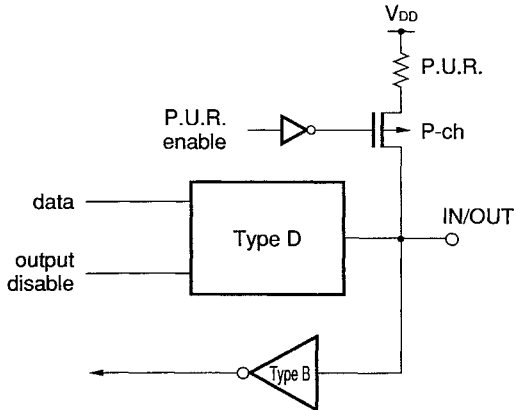
端子名称	入出力	兼用端子	機能	リセット時	入出力回路 TYPE ^{注1}	
TIO	入 力	P13	タイマ/イベント・カウンタへの外部イベント・パルス入力端子。	入 力	ⓑ-C	
PTO0	入出力	P20	タイマ/イベント・カウンタ出力端子。	入 力	E-B	
PCL	入出力	P22	クロック出力端子。	入 力	E-B	
BUZ	入出力	P23	固定周波数出力端子（ブザー用またはシステム・クロックのトリミング用）。	入 力	E-B	
$\overline{\text{SCK}}$	入出力	P01	シリアル・クロック入出力端子。	入 力	Ⓔ-A	
SO/SB0	入出力	P02	シリアル・データ出力端子。 シリアル・バス入出力端子。	入 力	Ⓔ-B	
SI/SB1	入出力	P03	シリアル・データ入力端子。 シリアル・バス入出力端子。	入 力	Ⓜ-C	
INT4	入 力	P00	エッジ検出ベクタ割り込み入力端子（立ち上がりおよび立ち下がりエッジ検出の両方が有効）。	入 力	ⓑ	
ITN0	入 力	P10	エッジ検出ベクタ割り込み入力端子 (検出エッジ選択可能)。	クロック同期式	入 力	ⓑ-C
INT1		P11		非 同 期		
INT2	入 力	P12	エッジ検出テスト入力端子 (立ち上がりエッジ検出)。	非 同 期	入 力	ⓑ-C
KR0-KR3	入出力	P60-P63	並列立ち下がりエッジ検出テスト入力端子。	入 力	Ⓔ-A	
KR4-KR7	入出力	P70-P73	並列立ち下がりエッジ検出テスト入力端子。	入 力	Ⓔ-A	
X1, X2	入 力	—	メイン・システム・クロック発振用クリスタル/セラミック接続端子。外部クロックの場合、X1へ入力しX2へその逆相を入力。	入 力	—	
XT1	入 力	—	サブシステム・クロック発振用クリスタル接続端子。外部クロックの場合、XT1へ入力し、XT2はオープンとする。	入 力	—	
XT2	—			—		
$\overline{\text{RESET}}$	入 力	—	システム・リセット入力端子。	—	ⓑ	
NC ^{注2}	—	—	NO CONNECTION	—	—	
V _{DD}	—	—	正電源端子。	—	—	
V _{SS}	—	—	GND電位端子。	—	—	

注1. ○印はシュミット・トリガ入力を示します。

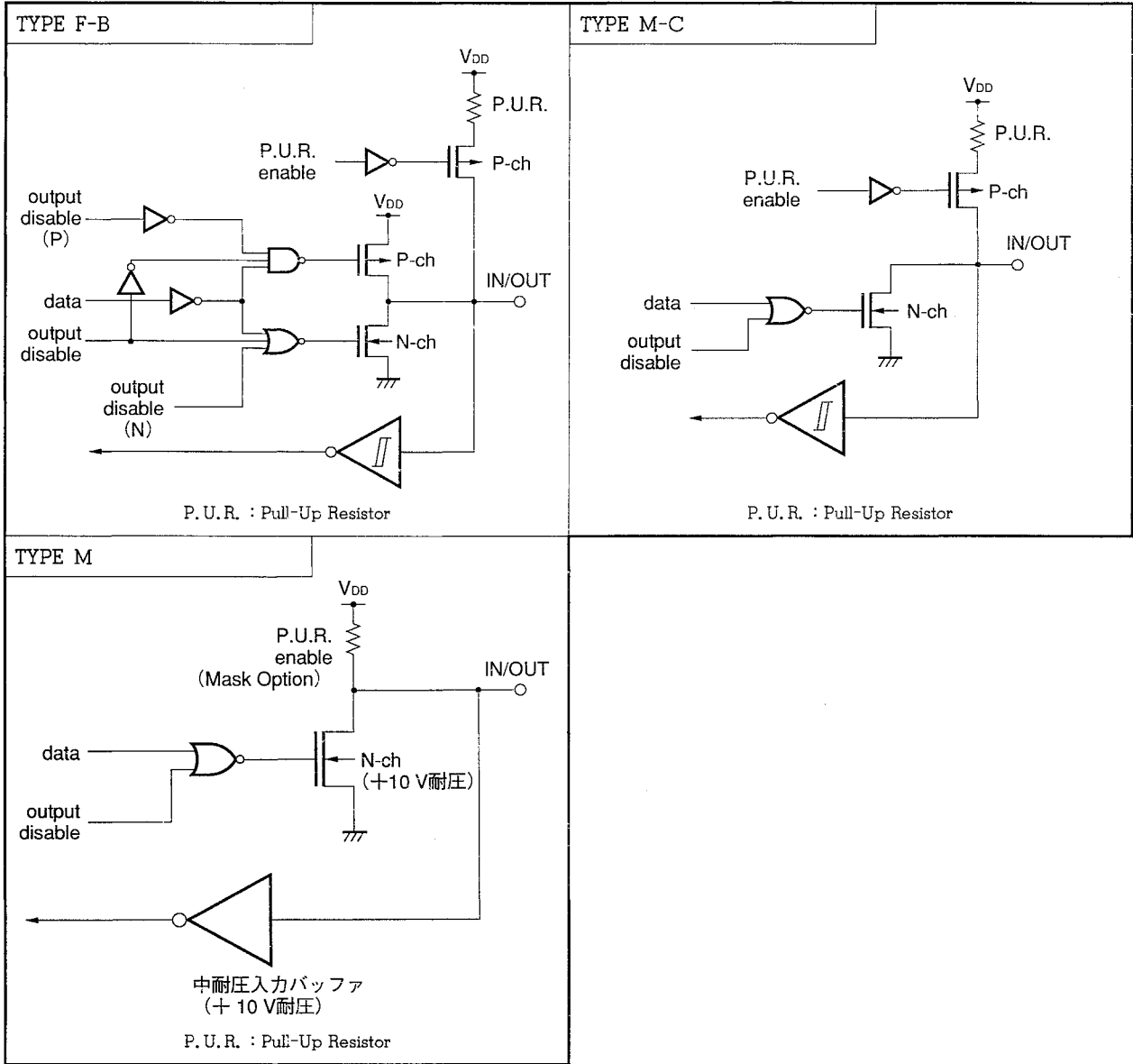
2. μPD75P008とプリント板を共用する場合は、NC端子はV_{DD}に直接接続してください。

3.3 端子の入出力回路

μPD75008の各端子の入出力回路を一部簡略した形式を用いて示します。

<p>TYPE A (TYPE E-B用)</p>  <p>CMOS規格の入力バッファになっています。</p>	<p>TYPE D (TYPE E-B, F-A用)</p>  <p>出力ハイ・インピーダンス (P-ch, N-chともにオフ) とすることができるプッシュプル出力となっています。</p>
<p>TYPE B</p>  <p>ヒステリシス特性を有するシュミット・トリガ入力となっています。</p>	<p>TYPE E-B</p>  <p>P. U. R. : Pull-Up Resistor</p>
<p>TYPE B-C</p>  <p>P. U. R. : Pull-Up Resistor</p>	<p>TYPE F-A</p>  <p>P. U. R. : Pull-Up Resistor</p>

保守/廃止



保守/廃止

3.4 マスク・オプションの選択

端子には次のマスク・オプションがあります。

表 3-1 マスク・オプションの選択

端 子	マスク・オプション	
P40-P43, P50-P53	・プルアップ抵抗あり	・プルアップ抵抗なし

備考 マスク・オプションは、ビット単位に指定可能です。

3.5 未使用端子の処理

★

表 3-2 未使用端子の処理一覧

端 子	推奨接続方法
P00/INT4	V_{SS} に接続
P01/ \overline{SCK}	V_{SS} または V_{DD} に接続
P02/SO/SB0	
P03/SI/SB1	
P10/INT0-P12/INT2	V_{SS} に接続
P13/TIO	
P20/PTO0	入力状態： V_{SS} または V_{DD} に接続 出力状態：オープン
P21	
P22/PCL	
P23/BUZ	
P30-P33	
P40-P43	
P50-P53	
P60-P63	
P70-P73	
P80-P81	
XT1	V_{SS} または V_{DD} に接続
XT2	オープン

★ 3.6 P00/INT4端子およびRESET端子の使用上の注意

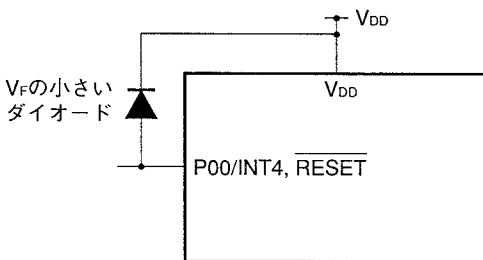
P00/INT4端子およびRESET端子は、3.1 ポート端子、3.2 ポート端子以外の端子に示した機能のほかに、 μ PD75008の内部動作をテストするテスト・モードを設定する機能（ICテスト専用）を持っています。

テスト・モードには、これらの端子のいずれかに V_{DD} を越えた電圧が印加されると設定されますが、通常動作時に V_{DD} を超えるようなノイズが加わった場合にもテスト・モードに入ってしまうことがあり、通常動作に支障をきたすこととなります。

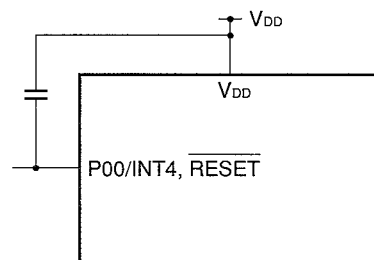
このため、P00/INT4端子およびRESET端子の配線の引き回しが長い場合などでは、P00/INT4端子およびRESET端子に V_{DD} を越えさせるような布線間ノイズが加わって誤動作を起こしてしまうことがあります。

したがって、極力布線間ノイズを抑えるような配線を行ってください。それによってもノイズが抑えられない場合は、下図のような外付け部品によるノイズ対策を実施してください。

○ V_{DD} との間に V_F の小さい(0.3V以下)ダイオードを接続



○ V_{DD} との間にコンデンサを接続





4. メモリ構成

- プログラム・メモリ (ROM) …4096×8ビット (0000H-0FFFH) : μPD75004
 - …6016×8ビット (0000H-177FH) : μPD75006
 - …8064×8ビット (0000H-1F7FH) : μPD75008
 - ・0000H-0001H: リセットによるプログラム・スタート・アドレスを書くベクタ・テーブルです。
 - ・0002H-000BH: 割り込みによるプログラム・スタート・アドレスを書くベクタ・テーブルです。
 - ・0020H-007FH: GETI命令で参照するテーブル領域です。
- データ・メモリ (RAM)
 - ・データ・エリア…512×4ビット (000H-1FFH)
 - ・周辺ハードウェア・エリア…128×4ビット (F80H-FFFH)

図 4-1 プログラム・メモリ・マップ (μPD75004)

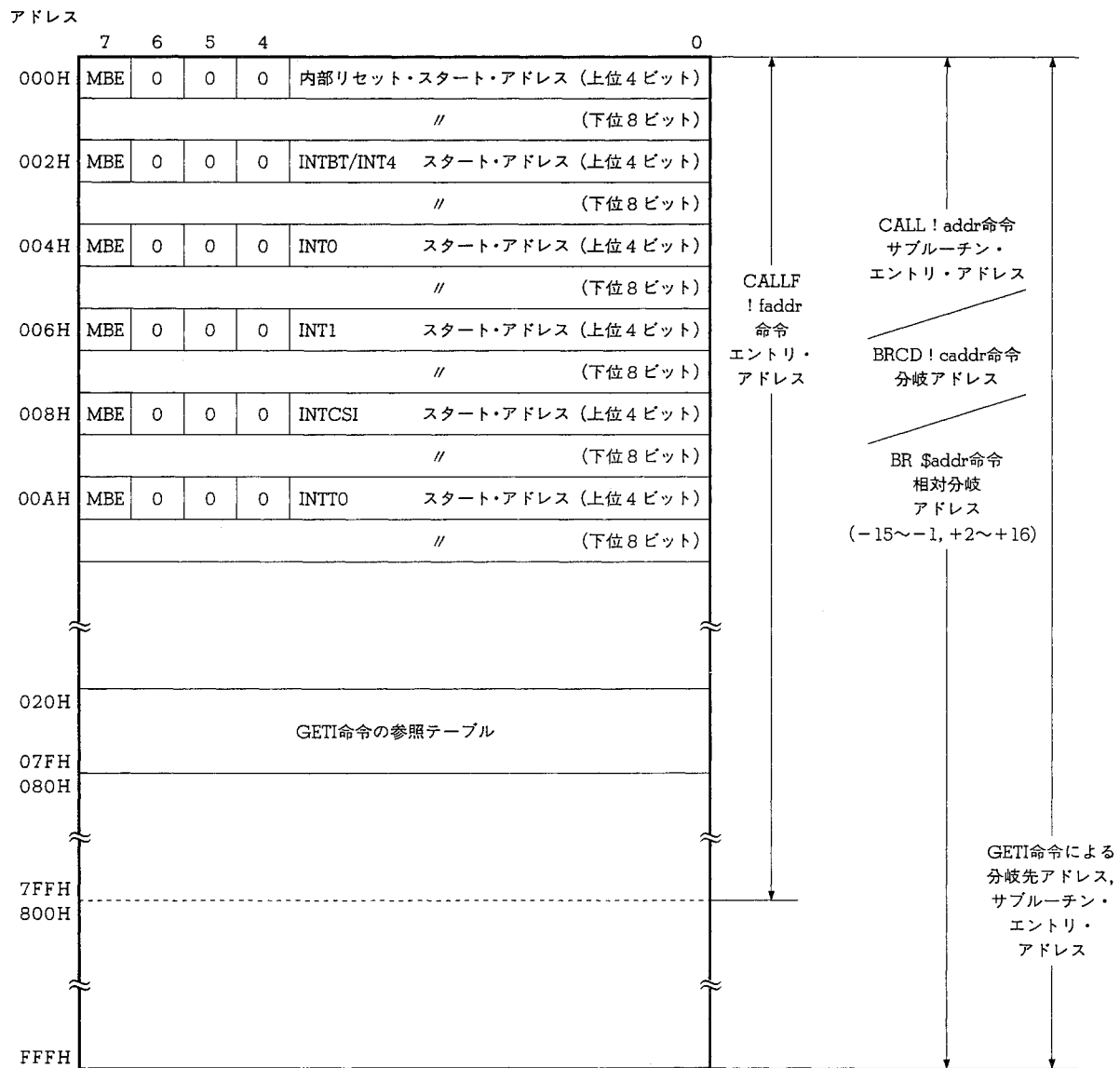
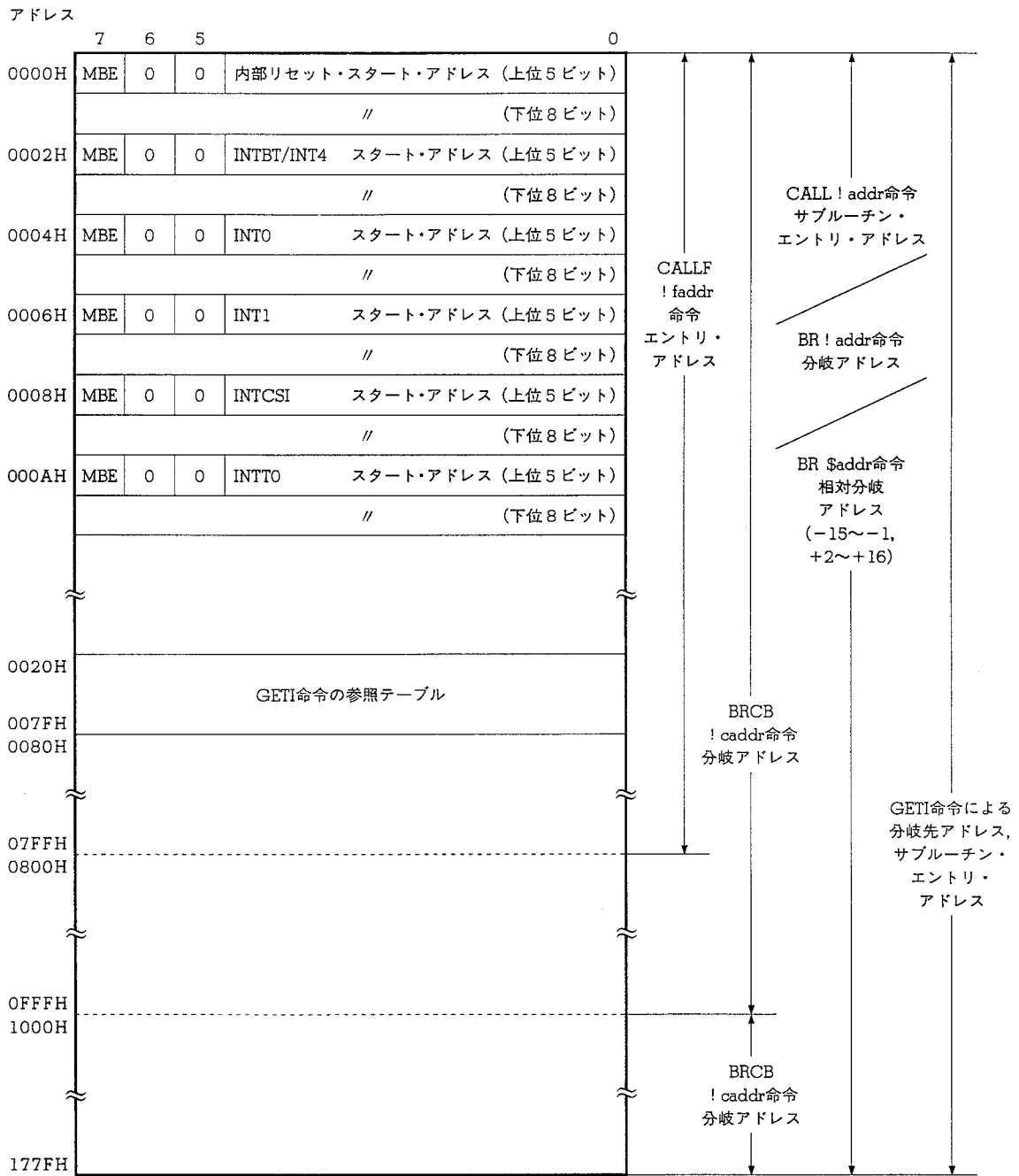


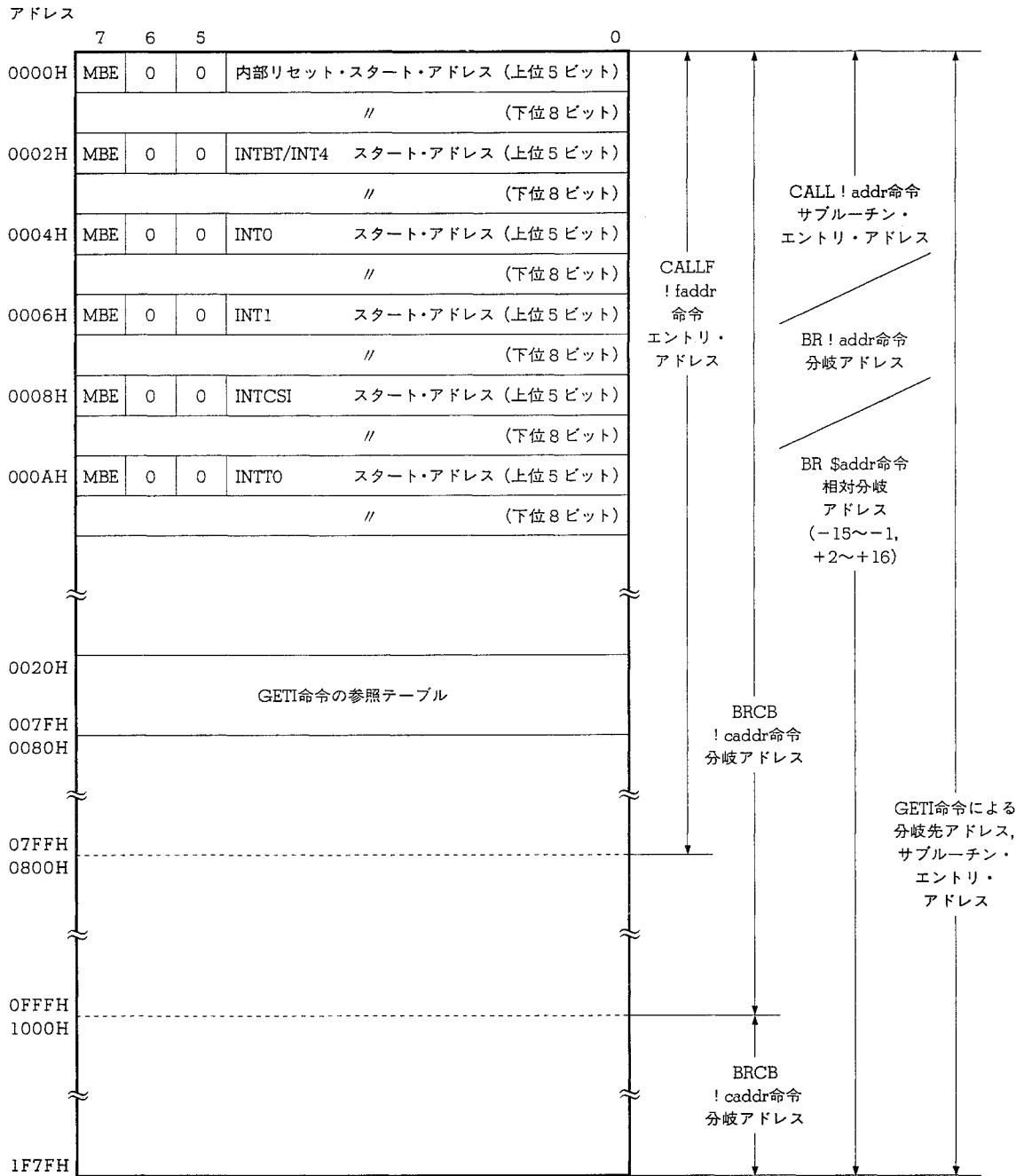


図 4-2 プログラム・メモリ・マップ (μPD75006)



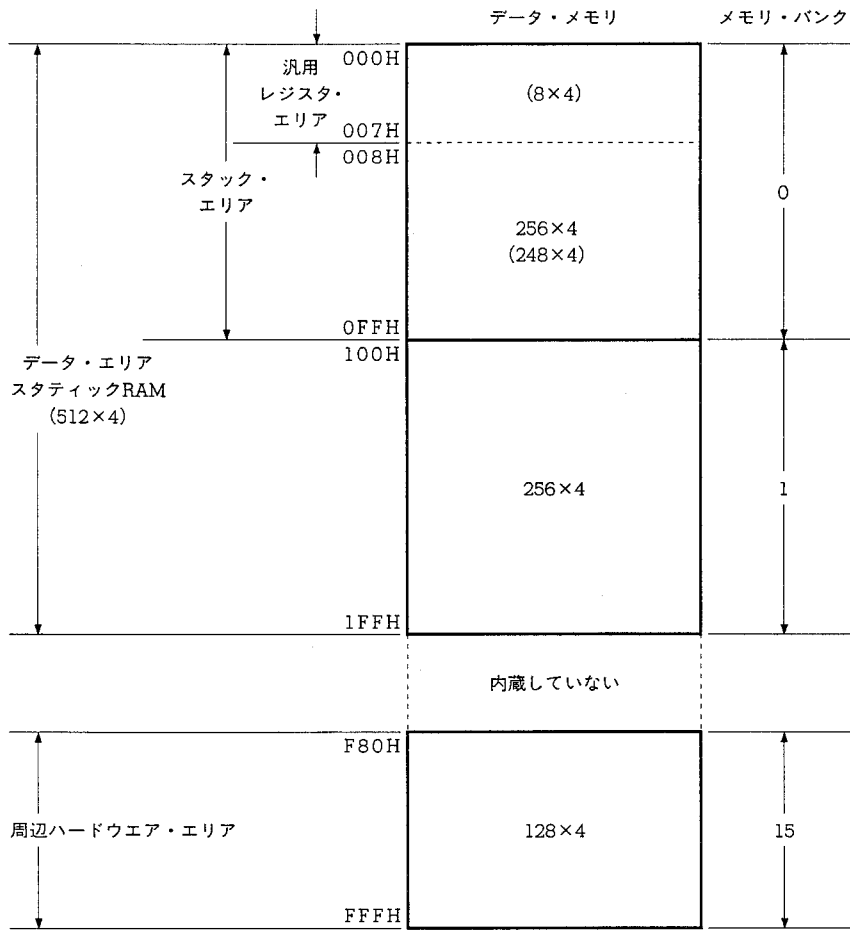
保守/廃止

図4-3 プログラム・メモリ・マップ (μPD75008)



保守/廃止

図 4-4 データ・メモリ・マップ



5. 周辺ハードウェア機能

5.1 ポート

I/Oポートには次の3種類があります。

- CMOS入力 (PORT0, 1) : 8本
- CMOS入出力 (PORT2, 3, 6, 7, 8) : 18本
- N-chオープン・ドレイン入出力 (PORT4, 5) : 8本

合計 34本

表5-1 ポートの機能

ポート (略号)	機能	動作・特徴	備考
PORT0 PORT1	4ビット入力	兼用端子の動作モードにかかわらず、常に読み込みあるいはテスト可能。	SO/SB0, SI/SB1, \overline{SCK} , INTO-2, 4, TIOと端子を兼用。
PORT3 ^注 PORT6	4ビット入出力	1ビット単位で入力または出力モードに設定可能。	ポート6はKRO-3と端子を兼用。
PORT2 PORT7		4ビット単位で入力または出力モードに設定可能。ポート6と7はペアとなって8ビット単位でデータの入出力が可能。	ポート2はPTO0, PCL, BUZと端子を兼用。 ポート7はKR4-7と端子を兼用。
PORT4 ^注 PORT5 ^注	4ビット入出力 (N-chオープン・ドレイン10V耐圧)	4ビット単位で入力または出力モードに設定可能。ポート4と5はペアとなって8ビット単位でデータの入出力が可能。	マスク・オプションで、1ビット単位にプルアップ抵抗内蔵の指定可能。
PORT8	2ビット入出力	2ビット単位で入力または出力モードに設定可能。	—————

注 LEDを直接駆動可能。

5.2 クロック発生回路

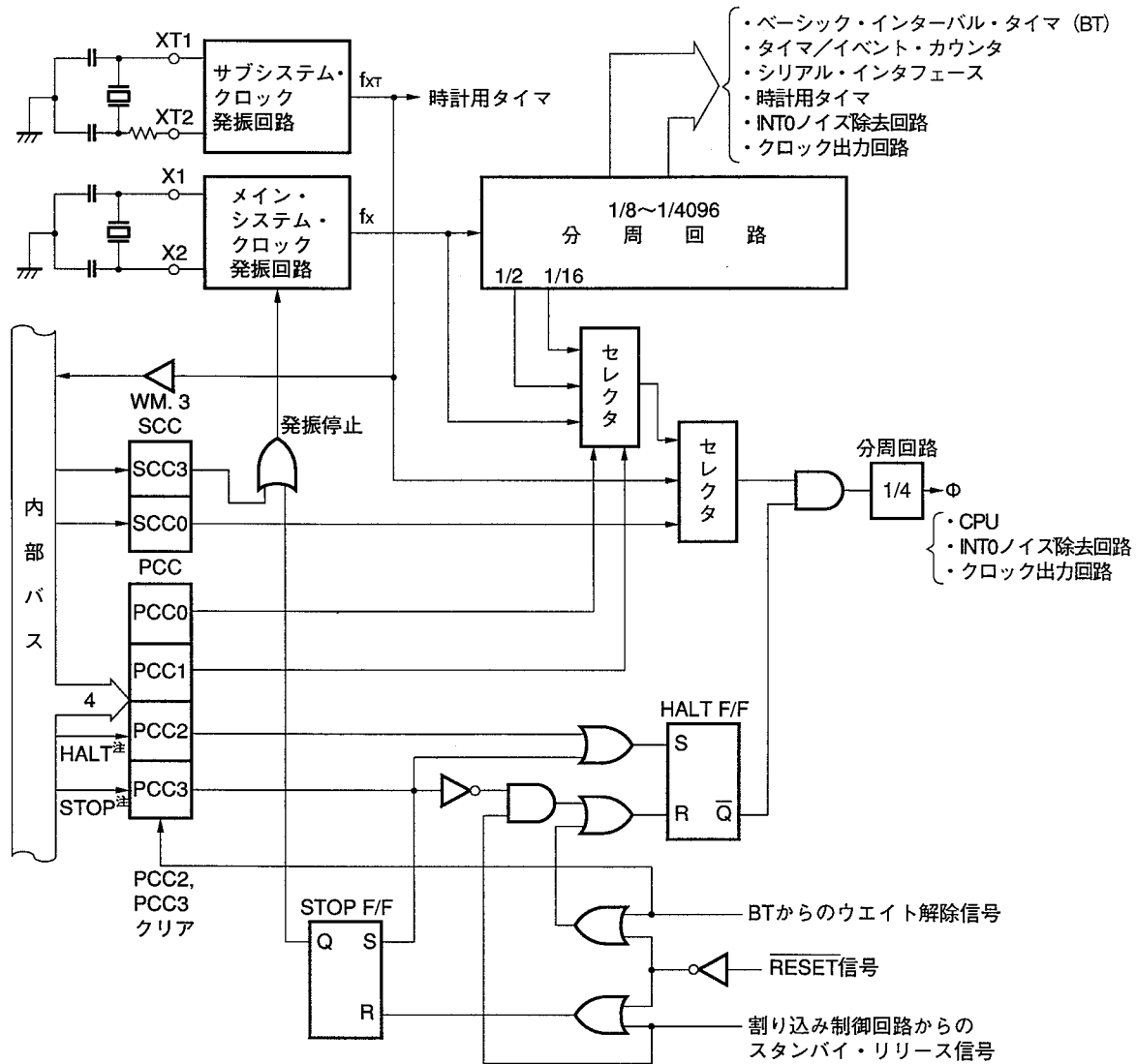
クロック発生回路の動作はプロセッサ・クロック・コントロール・レジスタ (PCC) とシステム・クロック・コントロール・レジスタ (SCC) により決定されます。

メイン・システム・クロックとサブシステム・クロックの2種類があります。

また、命令実行時間を変化させることができます。

- 0.95 μs, 1.91 μs, 15.3 μs (メイン・システム・クロック : 4.19 MHz動作時)
- 122 μs (サブシステム・クロック : 32.768 kHz動作時)

図5-1 クロック発生回路のブロック図



注 命令の実行

備考1. f_x = メイン・システム・クロック周波数

2. f_{XT} = サブシステム・クロック周波数

3. Φ = CPUクロック

4. PCC : プロセッサ・クロック・コントロール・レジスタ

5. SCC : システム・クロック・コントロール・レジスタ

6. Φ の1クロック・サイクル (t_{CY}) は命令の1マシン・サイクルです。 t_{CY} については、10. 電気的特性のAC特性を参照してください。

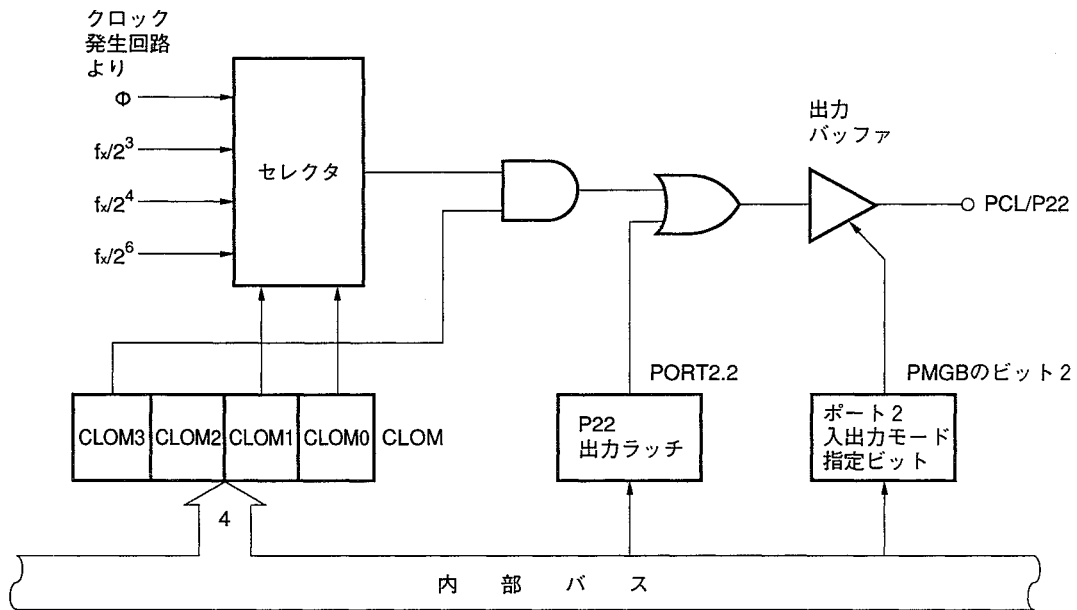
5.3 クロック出力回路

クロック出力回路は、P22/PCL端子からクロック・パルスを出力するための回路です。リモコン出力や周辺LSIにクロック・パルスを出力する場合などに利用します。

- クロック出力 (PCL) : Φ , 524, 262, 65.5 kHz (4.19 MHz動作時)
- ブザー出力 (BUZ) : 2 kHz (4.19 MHz, または32.768 kHz動作時)

クロック出力回路の構成を次に示します。

図 5-2 クロック出力回路の構成



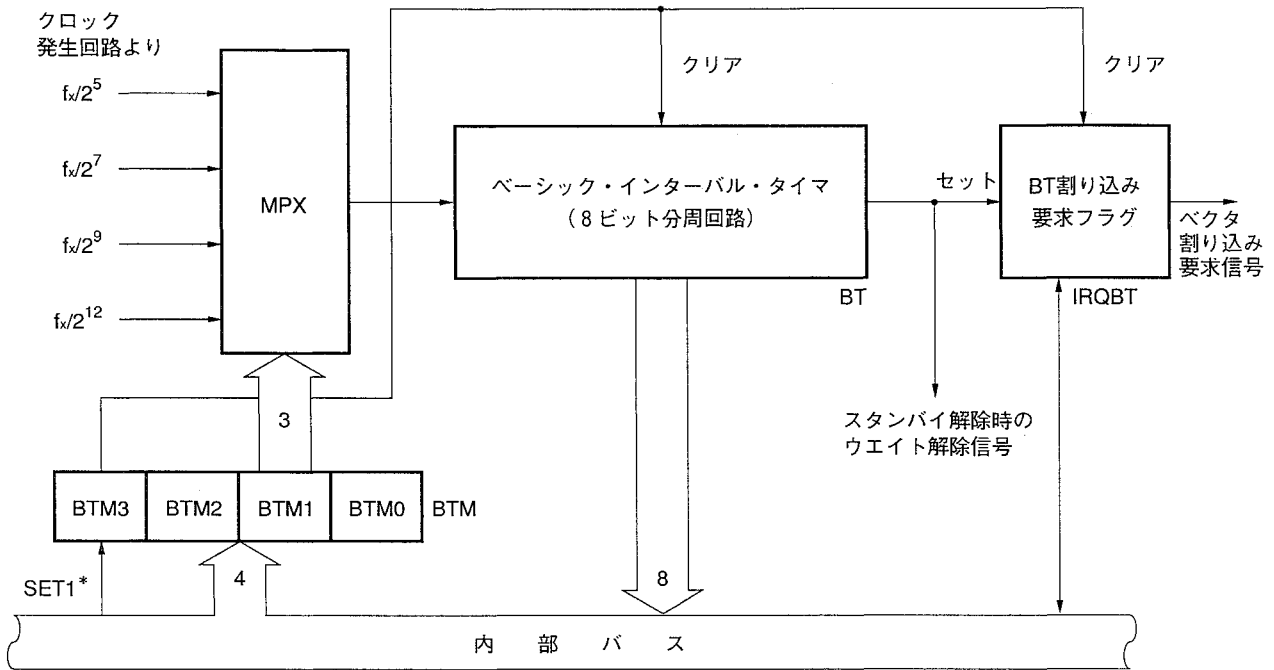
備考 クロックの出力の許可/禁止を切り替えるときに、幅の短いパルスが出力されないように考慮されています。

5.4 ベーシック・インターバル・タイマ

ベーシック・インターバル・タイマには、次の機能があります。

- 基準時間割り込みを発生するインターバル・タイマ動作
- プログラムの暴走を検出するウォッチドッグ・タイマ応用
- スタンバイ・モード解除時のウエイト時間の選択とカウント
- カウント内容の読み出し

図 5-3 ベーシック・インターバル・タイマの構成



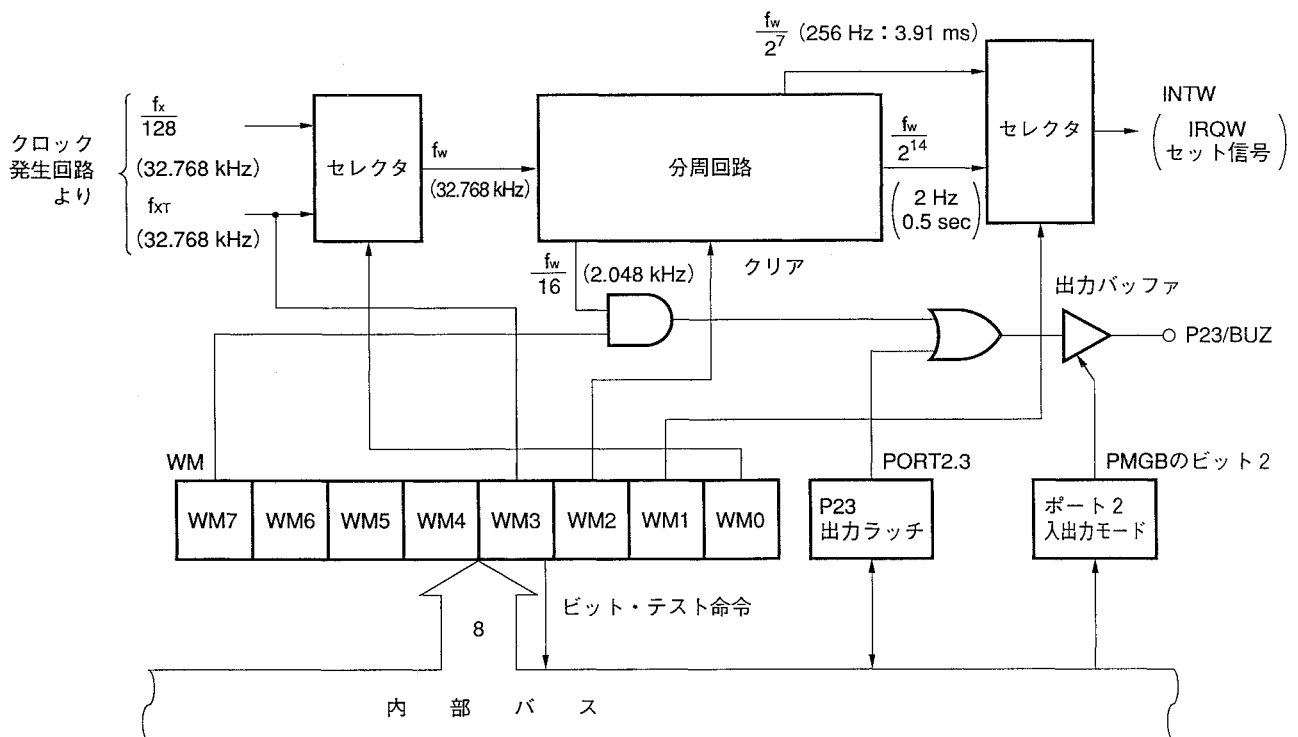
備考 *は命令の実行

5.5 時計用タイマ

μPD75008は時計用タイマを1チャンネル内蔵しています。また時計用タイマには次の機能があります。

- 0.5秒の時間間隔でテスト・フラグ (IRQW) をセットします。
IRQWによりスタンバイ・モードの解除ができます。
- メイン・システム・クロックとサブシステム・クロックのいずれでも0.5秒の時間間隔を作ることができます。
- 早送りモードにより128倍 (3.91 ms) の時間間隔となり、プログラムのディバグや検査に便利です。
- 固定周波数 (2.048 kHz) をP23/BUZ端子に出力することができ、ブザー音発生や、システム・クロック発振周波数のトリミングに使用できます。
- 分周回路のクリアができますから、時計をゼロ秒スタートできます。

図5-4 時計用タイマのブロック図



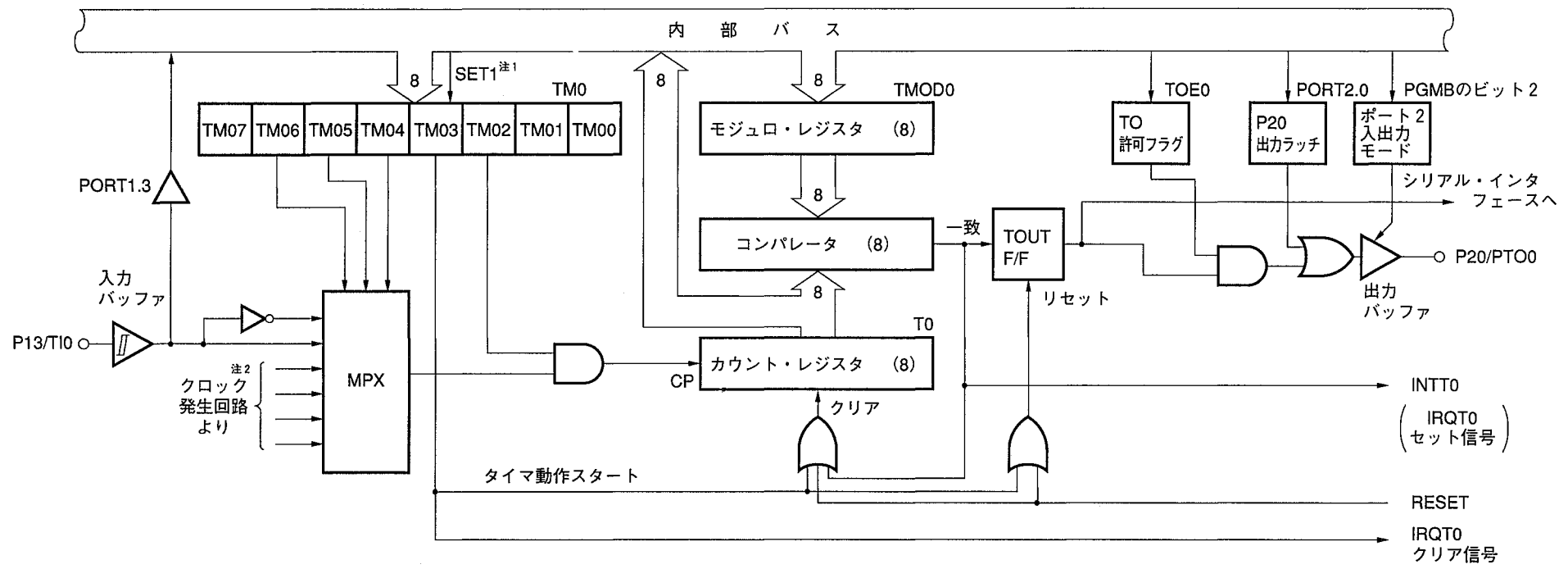
() 内は $f_x=4.194304$ MHz, $f_{xT}=32.768$ kHzの場合です。

5.6 タイマ/イベント・カウンタ

μPD75008は、タイマ/イベント・カウンタを1チャンネル内蔵しています。またタイマ/イベント・カウンタには次の機能があります。

- プログラマブル・インターバル・タイマ動作
- PTO0端子への任意の周波数の方形波出力
- イベント・カウンタ動作
- TIO端子入力をN分周してPTO0端子へ出力 (分周回路動作)
- シリアル・インタフェース回路へのシリアル・シフト・クロック供給
- カウント状態の読み出し機能

図 5-5 タイマ/イベント・カウンタのブロック図



- 注1. SET1: 命令の実行
- 2. 詳細は図 5-1 を参照

保守/廃止

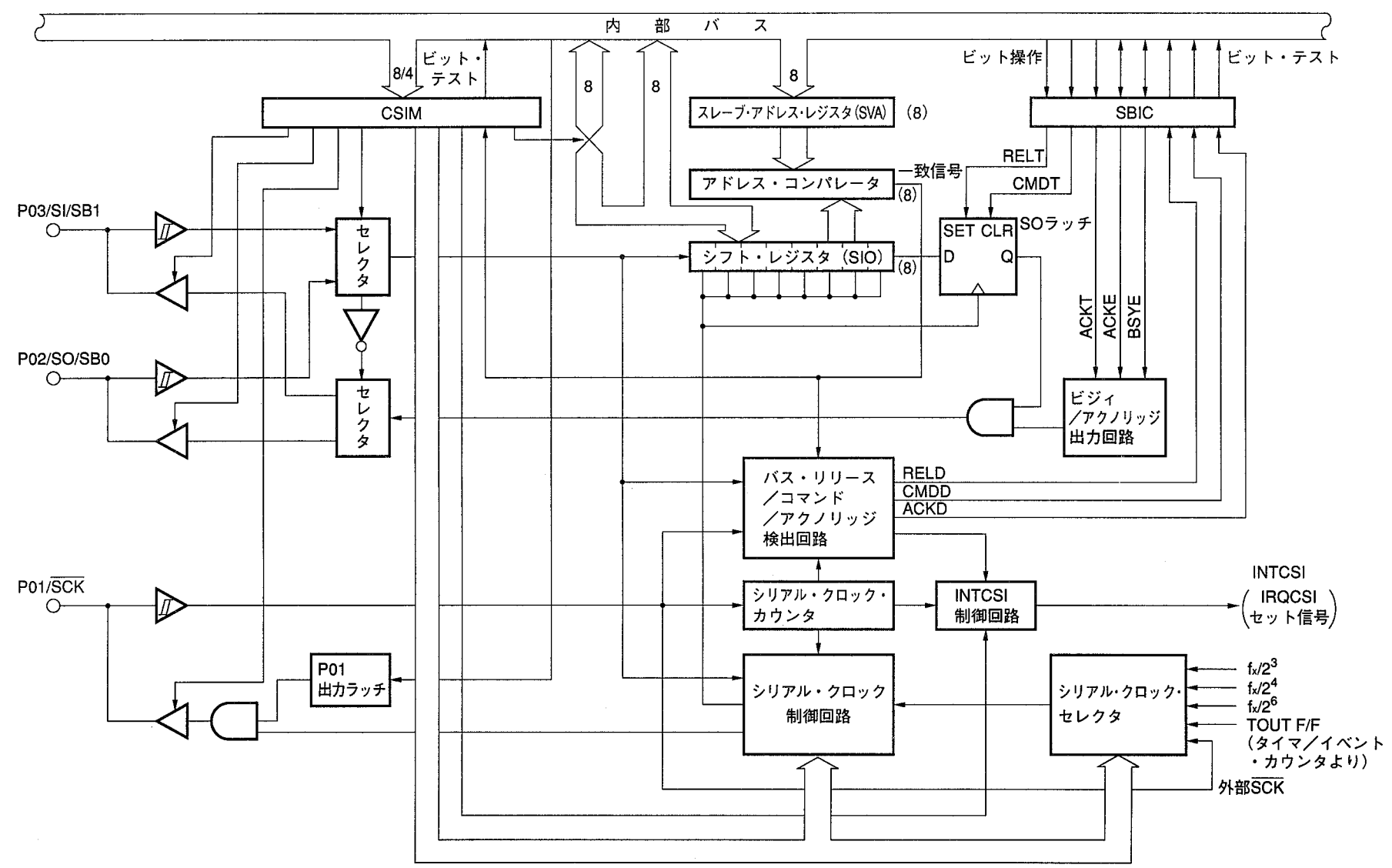
5.7 シリアル・インタフェース

シリアル・インタフェースには、次のモードがあります。

- 3線式シリアルI/Oモード (MSB/LSB先頭切り替え可能)
- 2線式シリアルI/Oモード (MSB先頭)
- SBIモード (MSB先頭)

3線式シリアルI/Oモードでは、75Xシリーズ、78Kシリーズ、各種I/Oデバイスと接続できます。2線式シリアルI/Oモード、SBIモードでは、複数のデバイスと通信できます。

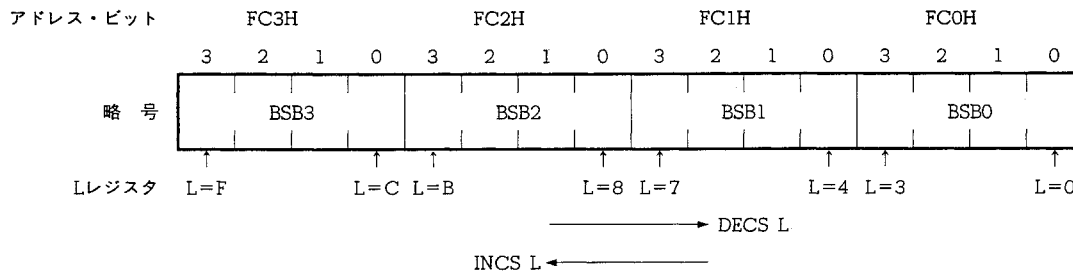
図 5-6 シリアル・インタフェースのブロック図



5.8 ビット・シーケンシャル・バッファ……16ビット

ビット・シーケンシャル・バッファは、ビット操作の特殊データ・メモリです。特にアドレスおよびビット指定を順次変更してビット操作が容易にできるので、ビット長の長いデータをビット単位で処理するときに便利です。

図 5-7 ビット・シーケンシャル・バッファのフォーマット



備考 pmem.@Lアドレッシングでは、Lレジスタに対応して指定ビットが移動します。

6. 割り込み機能

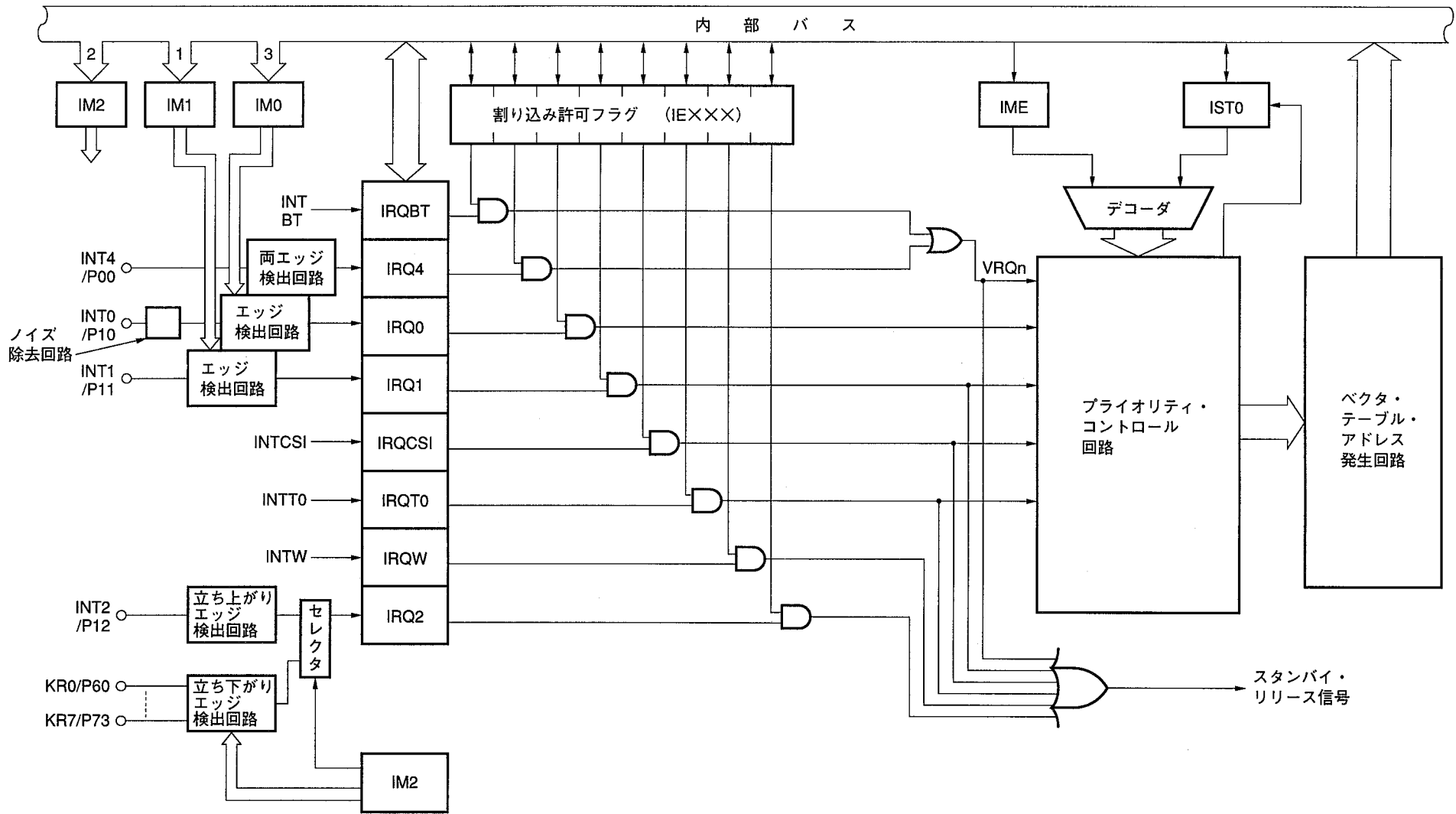
μPD75008には、8種類の割り込みソースがあり、また、ソフトウェア制御による多重割り込みが可能です。

また、2種類のエッジ検出テストブル入力も備えています。

μPD75008の割り込み制御回路には次のような機能があります。

- 割り込みフラグ (IE×××) と、割り込みマスタ許可フラグ (IME) により受け付け可否を制御できるハードウェア制御のベクタ割り込み機能。
- 割り込みスタート・アドレスを任意に設定可能。
- 割り込み要求フラグ (IRQ×××) のテスト機能 (ソフトウェアで割り込み発生の確認可能)。
- スタンバイ・モードの解除 (割り込み許可フラグにより解除する割り込みの選択可能)。

図 6-1 割り込み制御回路ブロック図





7. スタンバイ機能

μPD75008には、プログラム待機中の消費電力を低減するために、2種類のスタンバイ・モード、(STOPモード、HALTモード)が用意されています。

表 7-1 スタンバイ・モード時の各動作状態

		STOPモード	HALTモード
設定命令		STOP命令	HALT命令
設定時のシステム・クロック		メイン・システム・クロックの場合のみ設定可	メイン・システム・クロックとサブシステム・クロックのいずれでも設定可
動作状態	クロック発生回路	メイン・システム・クロックのみ発振停止	CPUクロックΦのみ停止 (発振継続)
	ベーシック・インターバル・タイマ	動作停止	メイン・システム・クロック発振時のみ動作可能 (基準時間間隔でIRQBTをセット)
	シリアル・インタフェース	シリアル・クロックに外部SCK入力を選択した場合のみ、動作可能	シリアル・クロックに外部SCK入力を選択した場合、またはメイン・システム・クロック発振時のみ動作可能
	タイマ/イベント・カウンタ	カウント・クロックにTIOの端子入力を指定した場合のみ、動作可能	カウント・クロックにTIOの端子入力を指定した場合、またはメイン・システム・クロック発振時のみ動作可能
	時計用タイマ	カウント・クロックにf _{XT} を選択した場合 動作可能	動作可能
	外部割り込み	INT1, 2, 4は動作可能 INT0のみ動作不可能	
	CPU	動作停止	
解除信号		割り込み許可フラグで許可されている動作可能なハードウェアからの割り込み要求信号またはRESET入力	割り込み許可フラグで許可されている動作可能なハードウェアからの割り込み要求信号またはRESET入力



8. リセット機能

μPD75008は、 $\overline{\text{RESET}}$ 入力によってリセットされ、各ハードウェアは表8-1に示すようにイニシャライズされます。リセット動作のタイミングを図8-1に示します。

図8-1 $\overline{\text{RESET}}$ 入力によるリセット動作

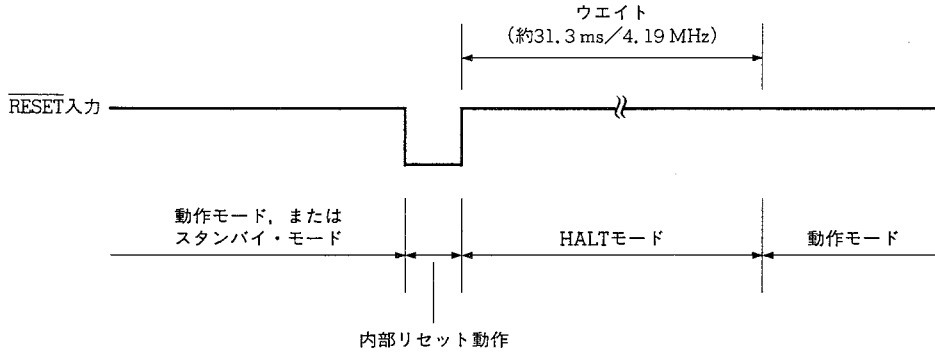


表8-1 各ハードウェアのリセット後の状態 (1/2)

ハードウェア		スタンバイ・モード中の $\overline{\text{RESET}}$ 入力	動作中の $\overline{\text{RESET}}$ 入力
プログラム・カウンタ (PC)		プログラム・メモリの000H番地の下位4ビットをPC11-8に、001H番地の内容をPC7-0にセット	同 左
PSW	キャリー・フラグ (CY)	保 持	不 定
	スキップ・フラグ (SK0-2)	0	0
	割り込みステータス・フラグ (IST0)	0	0
	バンク許可フラグ (MBE)	プログラム・メモリの000H番地のビット7をMBEにセット	同 左
スタック・ポインタ (SP)		不 定	不 定
データ・メモリ (RAM)		保 持 ^注	不 定
汎用レジスタ (X, A, H, L, D, E, B, C)		保 持	不 定
バンク選択レジスタ (MBS)		0	0
ベーシック・インターバル・タイマ	カウンタ (BT)	不 定	不 定
	モード・レジスタ (BTM)	0	0
タイマ・イベント・カウンタ	カウンタ (TO)	0	0
	モジュロ・レジスタ (TMOD0)	FFH	FFH
	モード・レジスタ (TMO)	0	0
	TOEO, TOUT F/F	0, 0	0, 0
時計用タイマ	モード・レジスタ (WM)	0	0

注 データ・メモリの0F8H-0FDH番地のデータは、 $\overline{\text{RESET}}$ 入力により不定となります。

保守/廃止

表 8-1 各ハードウェアのリセット後の状態 (2/2)

ハードウェア		スタンバイ・モード中の $\overline{\text{RESET}}$ 入力	動作中の $\overline{\text{RESET}}$ 入力
シリアル・ インタフェース	シフト・レジスタ (SIO)	保 持	不 定
	動作モード・レジスタ (CSIM)	0	0
	SBIコントロール・レジスタ (SBIC)	0	0
	スレーブ・アドレス・レジスタ (SVA)	保 持	不 定
クロック発生回路, クロック出力回路	プロセッサ・クロック・コント ロール・レジスタ (PCC)	0	0
	システム・クロック・コント ロール・レジスタ (SCC)	0	0
	クロック出力モード・レジスタ (CLOM)	0	0
割り込み機能	割り込み許可フラグ (IE×××)	0	0
	割り込みマスタ許可フラグ(IME)	0	0
	INT0, 1, 2 モード・レジスタ (IMO, 1, 2)	0, 0, 0	0, 0, 0
デジタル・ポート	出力バッファ	オ フ	オ フ
	出力ラッチ	クリア (0)	クリア (0)
	入出力モード・レジスタ (PMGA, B, C)	0	0
	プルアップ抵抗指定レジスタ (POGA, POGB)	0	0
ビット・シーケンシャル・バッファ (BSB0-3)		保 持	不 定

9 . 命令セット

(1) オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述します (詳細はRA75X **アセンブラ・パッケージ ユーザーズ・マニュアル 言語編** (U12385J) を参照してください)。記述方法の中で、複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および記号はキー・ワードであり、そのまま記述します。

イミディエイト・データの場合は、適当な数値またはラベルを記述します。

ラベルとしてmem, fmem, pmem, bitなどの代わりに各種レジスタ, フラグの略号を記述できます (詳細は, μPD7500x **シリーズ ユーザーズ・マニュアル** (IEM-5033) をご参照ください)。ただし, fmem, pmemは記述できるラベルに制限があります。

表現形式	記 述 方 法	
reg	X, A, B, C, D, E, H, L	
reg1	X, B, C, D, E, H, L	
rp	XA, BC, DE, HL	
rp1	BC, DE, HL	
rp2	BC, DE	
rpa	HL, DE, DL	
rpa1	DE, DL	
n4	4 ビット・イミディエイト・データまたはラベル	
n8	8 ビット・イミディエイト・データまたはラベル	
mem ^注	8 ビット・イミディエイト・データまたはラベル	
bit	2 ビット・イミディエイト・データまたはラベル	
fmem	FB0H-FBFH, FF0H-FFFHイミディエイト・データまたはラベル	
pmem	FC0H-FFFHイミディエイト・データまたはラベル	
addr	μ PD75004	0000H-0FFFHイミディエイト・データまたはラベル
	μ PD75006	0000H-177FHイミディエイト・データまたはラベル
	μ PD75008	0000H-1F7FHイミディエイト・データまたはラベル
caddr	12ビット・イミディエイト・データまたはラベル	
faddr	11ビット・イミディエイト・データまたはラベル	
taddr	20H-7FHイミディエイト・データ (ただしbit0 = 0) またはラベル	
PORTn	PORT0-PORT8	
IE x x x	IEBT, IECSI, IET0, IE0, IE1, IE2, IE4, IEW	
MBn	MB0, MB1, MB15	

注 memは、8 ビット・データ処理の場合、偶数アドレスのみ記述できます。

(2) オペレーション説明上の凡例

A	: Aレジスタ; 4ビット・アキュムレータ
B	: B //
C	: C //
D	: D //
E	: E //
H	: H //
L	: L //
X	: X //
XA	: レジスタ・ペア (XA); 8ビット・アキュムレータ
BC	: // (BC)
DE	: // (DE)
HL	: // (HL)
PC	: プログラム・カウンタ
SP	: スタック・ポインタ
CY	: キャリー・フラグ; ビット・アキュムレータ
PSW	: プログラム・ステータス・ワード
MBE	: メモリ・バンク許可フラグ
PORTn	: ポートn (n=0-8)
IME	: 割り込みマスタ許可フラグ
IE×××	: 割り込み許可フラグ
MBS	: メモリ・バンク選択レジスタ
PCC	: プロセッサ・クロック制御レジスタ
.	: アドレス, ビット区切り
(××)	: ××でアドレスされる内容
××H	: 16進データ

(3) アドレッシング・エリアの欄の記号説明

*1	MB=MBE・MBS (MBS=0, 1, 15)	データ・メモリ アドレッシング
*2	MB=0	
*3	MBE=0 : MB=0 (00H-7FH) MB=15 (80H-FFH) MBE=1 : MB=MBS (MBS=0, 1, 15)	
*4	MB=15, fmem=FBOH-FBFH, FFOH-FFFH	
*5	MB=15, pmem=FCOH-FFFH	
*6	addr=000H-FFFH (μPD75004) 0000H-177FH (μPD75006) 0000H-1F7FH (μPD75008)	プログラム・メモリ アドレッシング
*7	addr=(Current PC)-15~(Current PC)-1 (Current PC)+2~(Current PC)+16	
*8	caddr=000H-FFFH (μPD75004) 0000H-0FFFH (PC ₁₂ =0 : μPD75006, 75008) 0000H-177FH (PC ₁₂ =1 : μPD75006) 0000H-1F7FH (PC ₁₂ =1 : μPD75008)	
*9	faddr=0000H-07FFH	
*10	taddr=0020H-007FH	

備考1. MBはアクセス可能なメモリ・バンクを示します。

2. *2では、MBE, MBSに関係なくMB=0です。
3. *4, *5ではMBE, MBSに関係なくMB=15です。
4. *6~*10は、それぞれアドレッシング可能な領域を示します。

(4) マシン・サイクルの欄の説明

Sは、スキップ付き命令がスキップ動作をするときに要するマシン・サイクル数を示します。Sの値は次のように変わります。

- ・スキップしないときS=0
- ・スキップされる命令が、1バイト命令、または2バイト命令のときS=1
- ・スキップされる命令が、3バイト命令 (BR !addr, CALL !addr命令) のときS=2

注意 GETI命令は1マシン・サイクルでスキップされます。

1マシン・サイクルはCPUクロックΦの1サイクル分 (=t_{CY}) に等しく、PCCの設定により3とおりの時間が選択できます。

命令群	二モニック	オペランド	バイト数	マシン・サイクル	オペレーション	アドレッシング・エリア	スキップ条件
転送	MOV	A, #n4	1	1	A←n4		たてづみA
		reg1, #n4	2	2	reg1←n4		
		XA, #n8	2	2	XA←n8		たてづみA
		HL, #n8	2	2	HL←n8		たてづみB
		rp2, #n8	2	2	rp2←n8		
		A, @HL	1	1	A←(HL)	*1	
		A, @rpal	1	1	A←(rpal)	*2	
		XA, @HL	2	2	XA←(HL)	*1	
		@HL, A	1	1	(HL)←A	*1	
		@HL, XA	2	2	(HL)←XA	*1	
		A, mem	2	2	A←(mem)	*3	
		XA, mem	2	2	XA←(mem)	*3	
		mem, A	2	2	(mem)←A	*3	
		mem, XA	2	2	(mem)←XA	*3	
		A, reg	2	2	A←reg		
XA, rp	2	2	XA←rp				
reg1, A	2	2	reg1←A				
rp1, XA	2	2	rp1←XA				
命令	XCH	A, @HL	1	1	A ↔ (HL)	*1	
		A, @rpal	1	1	A ↔ (rpal)	*2	
		XA, @HL	2	2	XA ↔ (HL)	*1	
		A, mem	2	2	A ↔ (mem)	*3	
		XA, mem	2	2	XA ↔ (mem)	*3	
		A, reg1	1	1	A ↔ reg1		
		XA, rp	2	2	XA ↔ rp		
命令	MOVT	XA, @PCDE	1	3	・ μPD75004 XA←(PC ₁₁₋₈ +DE) _{ROM} ・ μPD75006, 75008 XA←(PC ₁₂₋₈ +DE) _{ROM}		
		XA, @PCXA	1	3	・ μPD75004 XA←(PC ₁₁₋₈ +XA) _{ROM} ・ μPD75006, 75008 XA←(PC ₁₂₋₈ +XA) _{ROM}		
演算命令	ADDS	A, #n4	1	1+S	A←A+n4		carry
		A, @HL	1	1+S	A←A+(HL)	*1	carry
	ADDC	A, @HL	1	1	A, CY←A+(HL)+CY	*1	
	SUBS	A, @HL	1	1+S	A←A-(HL)	*1	borrow
	SUBC	A, @HL	1	1	A, CY←A-(HL)-CY	*1	

命令群	ニモニク	オペランド	バイト数	マシン・サイクル	オペレーション	アドレッシング・エリア	スキップ条件
演算命令	AND	A, #n4	2	2	$A \leftarrow A \wedge n4$		
		A, @HL	1	1	$A \leftarrow A \wedge (HL)$	*1	
	OR	A, #n4	2	2	$A \leftarrow A \vee n4$		
		A, @HL	1	1	$A \leftarrow A \vee (HL)$	*1	
	XOR	A, #n4	2	2	$A \leftarrow A \veebar n4$		
		A, @HL	1	1	$A \leftarrow A \veebar (HL)$	*1	
操作命令	RORC	A	1	1	$CY \leftarrow A_0, A_3 \leftarrow CY, A_{n-1} \leftarrow A_n$		
	NOT	A	2	2	$A \leftarrow \bar{A}$		
増減命令	INCS	reg	1	1+S	$reg \leftarrow reg + 1$		reg=0
		@HL	2	2+S	$(HL) \leftarrow (HL) + 1$	*1	(HL)=0
		mem	2	2+S	$(mem) \leftarrow (mem) + 1$	*3	(mem)=0
	DECS	reg	1	1+S	$reg \leftarrow reg - 1$		reg=FH
比較命令	SKE	reg, #n4	2	2+S	Skip if reg=n4		reg=n4
		@HL, #n4	2	2+S	Skip if (HL)=n4	*1	(HL)=n4
		A, @HL	1	1+S	Skip if A=(HL)	*1	A=(HL)
		A, reg	2	2+S	Skip if A=reg		A=reg
操作命令・フラグ	SET1	CY	1	1	$CY \leftarrow 1$		
	CLR1	CY	1	1	$CY \leftarrow 0$		
	SKT	CY	1	1+S	Skip if CY=1		CY=1
	NOT1	CY	1	1	$CY \leftarrow \bar{CY}$		
メモリ・ビット操作命令	SET1	mem. bit	2	2	$(mem. bit) \leftarrow 1$	*3	
		fmem. bit	2	2	$(fmem. bit) \leftarrow 1$	*4	
		pmem. @L	2	2	$(pmem_{7-2} + L_{3-2}, bit(L_{1-0})) \leftarrow 1$	*5	
		@H+mem. bit	2	2	$(H + mem_{3-0}, bit) \leftarrow 1$	*1	
	CLR1	mem. bit	2	2	$(mem. bit) \leftarrow 0$	*3	
		fmem. bit	2	2	$(fmem. bit) \leftarrow 0$	*4	
		pmem. @L	2	2	$(pmem_{7-2} + L_{3-2}, bit(L_{1-0})) \leftarrow 0$	*5	
		@H+mem. bit	2	2	$(H + mem_{3-0}, bit) \leftarrow 0$	*1	
	SKT	mem. bit	2	2+S	Skip if (mem. bit) = 1	*3	(mem. bit) = 1
		fmem. bit	2	2+S	Skip if (fmem. bit) = 1	*4	(fmem. bit) = 1
		pmem. @L	2	2+S	Skip if (pmem ₇₋₂ +L ₃₋₂ , bit(L ₁₋₀)) = 1	*5	(pmem. @L) = 1
		@H+mem. bit	2	2+S	Skip if (H+mem ₃₋₀ , bit) = 1	*1	(@H+mem. bit) = 1
	SKF	mem. bit	2	2+S	Skip if (mem. bit) = 0	*3	(mem. bit) = 0
		fmem. bit	2	2+S	Skip if (fmem. bit) = 0	*4	(fmem. bit) = 0
		pmem. @L	2	2+S	Skip if (pmem ₇₋₂ +L ₃₋₂ , bit(L ₁₋₀)) = 0	*5	(pmem. @L) = 0
		@H+mem. bit	2	2+S	Skip if (H+mem ₃₋₀ , bit) = 0	*1	(@H+mem. bit) = 0
SKTCLR	fmem. bit	2	2+S	Skip if (fmem. bit) = 1 and clear	*4	(fmem. bit) = 1	
	pmem. @L	2	2+S	Skip if (pmem ₇₋₂ +L ₃₋₂ , bit(L ₁₋₀)) = 1 and clear	*5	(pmem. @L) = 1	
	@H+mem. bit	2	2+S	Skip if (H+mem ₃₋₀ , bit) = 1 and clear	*1	(@H+mem. bit) = 1	



命令群	ニモニック	オペラント	バイト数	マシン・サイクル	オペレーション	アドレッシング・エリア	スキップ条件
メモリ・ビット操作命令	AND1	CY, fmem. bit	2	2	$CY \leftarrow CY \wedge (\text{fmem. bit})$	*4	
		CY, pmem. @L	2	2	$CY \leftarrow CY \wedge (\text{pmem}_{7-2} + L_{3-2}, \text{bit}(L_{1-0}))$	*5	
		CY, @H+mem. bit	2	2	$CY \leftarrow CY \wedge (\text{H} + \text{mem}_{3-0}, \text{bit})$	*1	
	OR1	CY, fmem. bit	2	2	$CY \leftarrow CY \vee (\text{fmem. bit})$	*4	
		CY, pmem. @L	2	2	$CY \leftarrow CY \vee (\text{pmem}_{7-2} + L_{3-2}, \text{bit}(L_{1-0}))$	*5	
		CY, @H+mem. bit	2	2	$CY \leftarrow CY \vee (\text{H} + \text{mem}_{3-0}, \text{bit})$	*1	
	XOR1	CY, fmem. bit	2	2	$CY \leftarrow CY \nabla (\text{fmem. bit})$	*4	
		CY, pmem. @L	2	2	$CY \leftarrow CY \nabla (\text{pmem}_{7-2} + L_{3-2}, \text{bit}(L_{1-0}))$	*5	
		CY, @H+mem. bit	2	2	$CY \leftarrow CY \nabla (\text{H} + \text{mem}_{3-0}, \text{bit})$	*1	
分岐命令	BR	addr	—	—	<ul style="list-style-type: none"> • μPD75004 PC₁₁₋₀ ← addr 〔アセンブラにより, BRCB !caddr, BR \$addrのうち最適な命令を選択します。〕 • μPD75006, 75008 PC₁₂₋₀ ← addr 〔アセンブラにより, BR !addr, BRCB !caddr, BR \$addrのうち最適な命令を選択します。〕 	*6	
		!addr	3	3	<ul style="list-style-type: none"> • μPD75006, 75008 PC₁₂₋₀ ← addr 	*6	
	BRCB	!caddr	2	2	<ul style="list-style-type: none"> • μPD75004 PC₁₁₋₀ ← caddr₁₁₋₀ 	*8	
					<ul style="list-style-type: none"> • μPD75006, 75008 PC₁₂₋₀ ← PC₁₂ + caddr₁₁₋₀ 		
サブルーチン・スタック制御命令	CALL	!addr	3	3	<ul style="list-style-type: none"> • μPD75004 (SP-4) (SP-1) (SP-2) ← PC₁₁₋₀ (SP-3) ← MBE, 0, 0, 0 PC₁₁₋₀ ← addr, SP ← SP-4 	*6	
					<ul style="list-style-type: none"> • μPD75006, 75008 (SP-4) (SP-1) (SP-2) ← PC₁₁₋₀ (SP-3) ← MBE, 0, 0, PC₁₂ PC₁₂₋₀ ← addr, SP ← SP-4 		

命令群	ニモニック	オペランド	バイト数	マシン・サイクル	オペレーション	アドレッシング・エリア	スキップ条件
サブルーチン・スタック制御命令	CALLF	!faddr	2	2	・μPD75004 (SP-4)(SP-1)(SP-2)←PC ₁₁₋₀ (SP-3)←MBE, 0, 0, 0 PC ₁₁₋₀ ←0, faddr, SP←SP-4	*9	
					・μPD75006, 75008 (SP-4)(SP-1)(SP-2)←PC ₁₁₋₀ (SP-3)←MBE, 0, 0, PC ₁₂ PC ₁₂₋₀ ←0, 0, faddr, SP←SP-4		
	RET		1	3	・μPD75004 MBE, ×, ×, ×←(SP+1) PC ₁₁₋₀ ←(SP)(SP+3)(SP+2) SP←SP+4		
					・μPD75006, 75008 MBE, ×, ×, PC ₁₂ ←(SP+1) PC ₁₁₋₀ ←(SP)(SP+3)(SP+2) SP←SP+4		
	RETS		1	3+S	・μPD75004 MBE, ×, ×, ×←(SP+1) PC ₁₁₋₀ ←(SP)(SP+3)(SP+2) SP←SP+4, then skip unconditionally		無条件
					・μPD75006, 75008 MBE, ×, ×, PC ₁₂ ←(SP+1) PC ₁₁₋₀ ←(SP)(SP+3)(SP+2) SP←SP+4, then skip unconditionally		
	RETI		1	3	・μPD75004 MBE, ×, ×, ×←(SP+1) PC ₁₁₋₀ ←(SP)(SP+3)(SP+2) PSW←(SP+4)(SP+5), SP←SP+6		
・μPD75006, 75008 MBE, ×, ×, PC ₁₂ ←(SP+1) PC ₁₁₋₀ ←(SP)(SP+3)(SP+2) PSW←(SP+4)(SP+5), SP←SP+6							
PUSH	rp		1	1	(SP-1)(SP-2)←rp, SP←SP-2		
	BS		2	2	(SP-1)←MBS, (SP-2)←0, SP←SP-2		
POP	rp		1	1	rp←(SP+1)(SP), SP←SP+2		
	BS		2	2	MBS←(SP+1), SP←SP+2		



命令群	二モニック	オペランド	バイト数	マシン・サイクル	オペレーション	アドレッシング・エリア	スキップ条件
割り込み制御命令	EI		2	2	IME←1		
		IE×××	2	2	IE×××←1		
	DI		2	2	IME←0		
		IE×××	2	2	IE×××←0		
入出力命令	IN ^注	A, PORTn	2	2	A←PORTn (n=0-8)		
		XA, PORTn	2	2	XA←PORTn+1, PORTn (n=4, 6)		
	OUT ^注	PORTn, A	2	2	PORTn←A (n=2-8)		
		PORTn, XA	2	2	PORTn+1, PORTn←XA (n=4, 6)		
CPU制御命令	HALT		2	2	Set HALT Mode (PCC.2←1)		
	STOP		2	2	Set STOP Mode (PCC.3←1)		
	NOP		1	1	No Operation		
特殊命令	SEL	MBn	2	2	MBS←n(n=0, 1, 15)		
	GETI	taddr	1	3	・μPD75004 TBR命令のとき $PC_{11-0} ← (taddr)_{3-0} + (taddr + 1)$	*10	参照した命令による
					TCALL命令のとき $(SP-4)(SP-1)(SP-2) ← PC_{11-0}$ $(SP-3) ← MBE, 0, 0, 0$ $PC_{11-0} ← (taddr)_{3-0} + (taddr + 1)$ $SP ← SP - 4$		
					TBR, TCALL命令以外のとき (taddr)(taddr+1)の命令実行		
・μPD75006, 75008 TBR命令のとき $PC_{12-0} ← (taddr)_{4-0} + (taddr + 1)$	参照した命令による						
TCALL命令のとき $(SP-4)(SP-1)(SP-2) ← PC_{11-0}$ $(SP-3) ← MBE, 0, 0, PC_{12}$ $PC_{12-0} ← (taddr)_{4-0} + (taddr + 1)$ $SP ← SP - 4$							
TBR, TCALL命令以外のとき (taddr)(taddr+1)の命令実行							

注意 IN/OUT命令実行時には、MBE=0またはMBE=1, MBS=15としておく必要があります。

10. 電気的特性

絶対最大定格 (T_a = 25 °C)

項目	略号	条件		定格	単位
電源電圧	V _{DD}			-0.3~+7.0	V
入力電圧	V _{I1}	ポート4, 5以外		-0.3~V _{DD} +0.3	V
	V _{I2}	ポート4, 5	プルアップ抵抗内蔵	-0.3~V _{DD} +0.3	V
			オープン・ドレイン	-0.3~+11	V
出力電圧	V _O			-0.3~V _{DD} +0.3	V
ハイ・レベル出力電流	I _{OH}	1端子		-10	mA
		全端子		-30	mA
ロウ・レベル出力電流	I _{OL} 注	ポート0, 3, 4, 5	ピーク値	30	mA
			実効値	15	mA
		ポート0, 3, 4, 5以外	ピーク値	20	mA
			実効値	10	mA
		ポート0, 3, 4, 5, 8	ピーク値	160	mA
			合計	実効値	120
		ポート2, 6, 7合計	ピーク値	66	mA
			実効値	33	mA
動作温度	T _{opt}			-40~+85	°C
保存温度	T _{stg}			-65~+150	°C

注 実効値は [実効値] = [ピーク値] × √デューティ で計算してください。

容量 (T_a = 25 °C, V_{DD} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	C _{IN}	f = 1 MHz			15	pF
出力容量	C _{OUT}	被測定端子以外は0V			15	pF
入出力容量	C _{IO}				15	pF

保守/廃止

メイン・システム・クロック発振回路特性 (T_a = -40~+85 °C, V_{DD} = 2.7~6.0 V)

発振子	推奨定数	項目	条件	MIN.	TYP.	MAX.	単位
セラミック 発振子		発振周波数 (f _{XX}) 注1	V _{DD} = 発振電圧範囲	1.0		5.0 ^{注3}	MHz
		発振安定時間 注2	V _{DD} が発振電圧範囲のMIN. に達したのち			4	ms
水晶 振動子		発振周波数 (f _{XX}) 注1		1.0	4.19	5.0 ^{注3}	MHz
		発振安定時間 注2	V _{DD} = 4.5~6.0 V			10	ms
外部 クロック		X1入力周波数 (f _X) 注1		1.0		5.0 ^{注3}	MHz
		X1入力ハイ、ロウ・レベル幅 (t _{XH} , t _{XL})		100		500	ns

注1. 発振周波数およびX1入力周波数は、発振回路の特性だけを示すものです。命令実行時間はAC特性を参照してください。

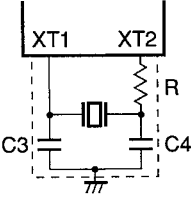
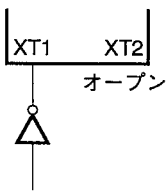
2. 発振安定時間は、V_{DD}印加後、またはSTOPモード解除後、発振が安定するのに必要な時間です。

3. 発振周波数が4.19 MHz < f_X ≤ 5.0 MHzの場合は、命令実行時間として、PCC=0011を選択しないでください。PCC=0011を選択すると、1マシン・サイクルが0.95 μs未満になってしまい、規格のMIN. 値0.95 μsを守れなくなります。

注意 メイン・システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の の部分を次のように配線してください。


- 配線は極力短くする。
- 他の信号線と交差させない。
- 変化する大電流が流れる線と接近させない。
- 発振回路のコンデンサの接続点は、常にV_{SS}と同電位になるようにする。大電流が流れるグラウンド・パターンには接続しない。
- 発振回路から信号を取り出さない。

サブシステム・クロック発振器特性 ($T_a = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = 2.7 \sim 6.0 \text{ V}$)

発振子	推奨定数	項目	条件	MIN.	TYP.	MAX.	単位
水晶 振動子		発振周波数 (f_{XT}) 注1		32	32.768	35	kHz
		発振安定時間 注2	$V_{DD} = 4.5 \sim 6.0 \text{ V}$		1.0	2	s
							10
外部 クロック		XT1入力周波数 (f_{XT}) 注1		32		100	kHz
		XT1入力ハイ、ロウ・レベル幅 (t_{XTH} , t_{XTL})		5		15	μs

注1. 発振回路の特性だけを示すものです。命令実行時間はAC特性を参照してください。

2. V_{DD} 印加後、発振が安定するのに必要な時間です。

★ 注意 サブシステム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の  の部分を次のように配線してください。

- 配線は極力短くする。
- 他の信号線と交差させない。
- 変化する大電流が流れる線と接近させない。
- 発振回路のコンデンサの接続点は、常に V_{SS} と同電位になるようにする。大電流が流れるグランド・パターンには接続しない。
- 発振回路から信号を取り出さない。

サブシステム・クロック発振回路を使用する場合は、低消費電流にするために増幅度の低い回路になっており、ノイズに対する誤動作がメイン・システム・クロック発振回路よりも起こりやすくなっています。したがって、サブシステム・クロックを使用する場合は、配線方法について特にご注意ください。

保守/廃止

推奨発振回路定数

メイン・システム・クロック：セラミック (Ta = -40 ~ +85 °C)

メーカー	品名	周波数 (MHz)	推奨回路定数		発振電圧範囲	
			C1 (pF)	C2 (pF)	MIN. (V)	MAX. (V)
村田製作所	CSA X.XXMK ^注	1.00~1.99	30	30	2.7	6.0
	CSA X.XXMG093 ^注	2.00~2.44	30	30	2.7	
	CST X.XXMG093 ^注		—	—	2.7	
	CSA X.XXMGU ^注	2.45~5.00	30	30	2.7	
	CST X.XXMGU ^注		—	—	2.7	
	CSA X.XXMG ^注	2.00~5.00	30	30	3.0	
	CST X.XXMG ^注		—	—	3.0	
京セラ	KBR-1000H	1.00	100	100	2.7	6.0
	KBR-2.0MS	2.00	47	47	2.7	
	KBR-4.0MS	4.00	33	33	2.7	
	KBR-5.0M	5.00	33	33	3.0	
東光	CRHB4.00M	4.00	27	27	3.0	

注 X.XXは、周波数を示します。

メイン・システム・クロック：XTAL (Ta = -20 ~ +70 °C)

メーカー	品名	周波数 (MHz)	推奨回路定数		発振電圧範囲	
			C1 (pF)	C2 (pF)	MIN. (V)	MAX. (V)
キンセキ	HC-6U	1.0~2.0	20 ^注	22	2.7	6.0
	HC-18U	2.0~5.0				
	HC-43/U, 49/U					

注 発振周波数調整はC₁を15~33 pF内で行ってください。

サブシステム・クロック：XTAL (Ta = -10 ~ +60 °C)

メーカー	品名	周波数 (kHz)	推奨回路定数			発振電圧範囲	
			C3 (pF)	C4 (pF)	R (kΩ)	MIN. (V)	MAX. (V)
キンセキ	P-3	32.768	18 ^注	18	330	2.7	6.0

注 発振周波数調整はC3を10~33 pFの範囲内で行ってください。



DC特性 (T_a = -40 ~ +85 °C, V_{DD} = 2.7 ~ 6.0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位		
ハイ・レベル入力電圧	V _{IH1}	ポート 2, 3, 8	0.7V _{DD}		V _{DD}	V		
	V _{IH2}	ポート 0, 1, 6, 7, RESET	0.8V _{DD}		V _{DD}	V		
	V _{IH3}	ポート 4, 5	プルアップ抵抗内蔵	0.7V _{DD}		V _{DD}	V	
			オープン・ドレイン	0.7V _{DD}		10	V	
V _{IH4}	X1, X2, XT1		V _{DD} -0.5		V _{DD}	V		
ロウ・レベル入力電圧	V _{IL1}	ポート 2, 3, 4, 5, 8	0		0.3V _{DD}	V		
	V _{IL2}	ポート 0, 1, 6, 7, RESET	0		0.2V _{DD}	V		
	V _{IL3}	X1, X2, XT1	0		0.4	V		
ハイ・レベル出力電圧	V _{OH1}	ポート 0, 2, 3, 6, 7, 8	V _{DD} = 4.5 ~ 6.0 V, I _{OH} = -1 mA		V _{DD} - 1.0	V		
			I _{OH} = -100 μA		V _{DD} - 0.5	V		
ロウ・レベル出力電圧	V _{OL1}	ポート 4, 5	V _{DD} = 4.5 ~ 6.0 V I _{OL} = 15 mA		0.4	2.0	V	
			ポート 3	V _{DD} = 4.5 ~ 6.0 V I _{OL} = 15 mA		0.6	2.0	V
				V _{DD} = 4.5 ~ 6.0 V I _{OL} = 1.6 mA			0.4	V
				I _{OL} = 400 μA			0.5	V
	V _{OL2}	SBO, 1 オープン・ドレイン	プルアップ 1 kΩ 以上 V _{DD} = 4.5 ~ 6.0 V			0.2V _{DD}	V	
			プルアップ 5 kΩ 以上			0.2V _{DD}	V	
ハイ・レベル入力リーク電流	I _{LH1}	V _{IN} = V _{DD}	下記以外		3	μA		
	X1, X2, XT1			20	μA			
	I _{LH3}	V _{IN} = 10 V	ポート 4, 5 (オープン・ドレイン時)		20	μA		
ロウ・レベル入力リーク電流	I _{LL1}	V _{IN} = 0 V	下記以外		-3	μA		
	I _{LL2}		X1, X2, XT1		-20	μA		
ハイ・レベル出力リーク電流	I _{LOH1}	V _{OUT} = V _{DD}	下記以外		3	μA		
	I _{LOH2}	V _{OUT} = 10 V	ポート 4, 5 (オープン・ドレイン時)		20	μA		
ロウ・レベル出力リーク電流	I _{LOL}	V _{OUT} = 0 V			-3	μA		
内蔵プルアップ抵抗	R _{L1}	ポート 0, 1, 2, 3, 6, 7, 8, (PO0を除く) V _{IN} = 0 V	V _{DD} = 5.0 V ± 10 %	15	40	80	kΩ	
			V _{DD} = 3.0 V ± 10 %	30		300	kΩ	
	R _{L2}	ポート 4, 5 V _{OUT} = V _{DD} - 2.0 V	V _{DD} = 5.0 V ± 10 %	15	40	70	kΩ	
			V _{DD} = 3.0 V ± 10 %	10		60	kΩ	



項 目	略号	条 件	MIN.	TYP.	MAX.	単位		
電 源 電 流 ^{注1}	I _{DD1}	4.19 MHz ^{注4} 水晶発振	V _{DD} =5.0 V±10% ^{注2}		2.5	8	mA	
			V _{DD} =3.0 V±10% ^{注3}		0.35	1.2	mA	
	I _{DD2}	C1=C2=22 pF	HALTモード	V _{DD} =5 V±10%		500	1500	μA
				V _{DD} =3 V±10%		150	450	μA
	I _{DD3}	32.768 kHz ^{注5}		V _{DD} =3 V±10%		30	90	μA
	I _{DD4}	水晶発振	HALTモード	V _{DD} =3 V±10%		5	15	μA
	I _{DD5}	XT1=0 V STOPモード		V _{DD} =5 V±10%		0.5	20	μA
V _{DD} = 3 V±10%					0.1	10	μA	
		T _a =25°C			0.1	5	μA	

注1. 内蔵プルアップ抵抗に流れる電流は含みません。

2. プロセッサ・クロック・コントロール・レジスタ (PCC) を、0011に設定し、高速モードで動作させた場合。
3. PCCを0000に設定し、低速モードで動作させた場合。
4. サブシステム・クロックを発振させた場合も含む。
5. システム・クロック・コントロール・レジスタ (SCC) を1001に設定し、メイン・システム・クロックの発振を停止させ、サブシステム・クロックで動作させた場合。

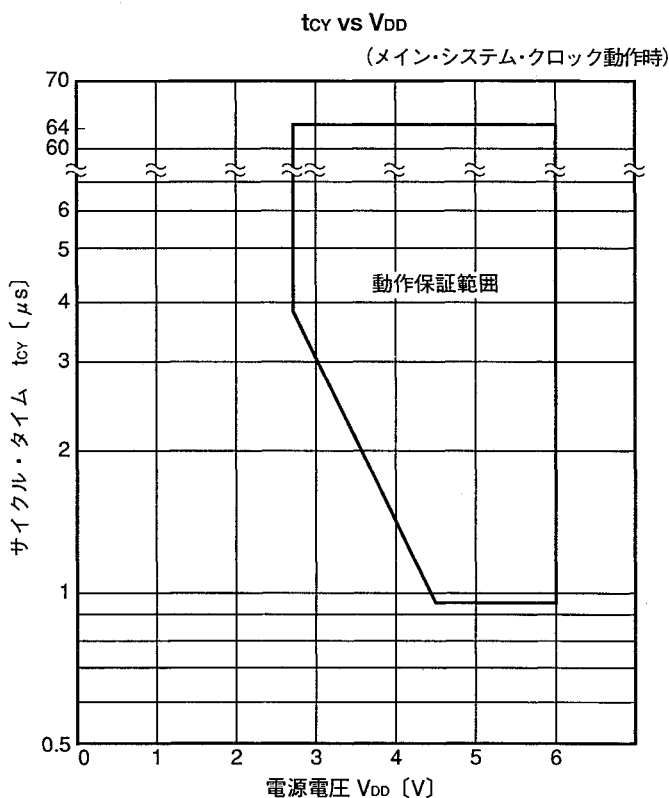


AC特性 (T_a = -40 ~ +85 °C, V_{DD} = 2.7 ~ 6.0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
CPUクロック・サイクル・タイム ^{注1} (最小命令実行時間 = 1 マシン・サイクル)	t _{CY}	メイン・システム・ クロックで動作	V _{DD} = 4.5 ~ 6.0 V	0.95		64	μs
		サブシステム・クロックで動作		3.8		64	μs
				114	122	125	μs
TIO 入力周波数	f _{TI}	V _{DD} = 4.5 ~ 6.0 V		0		1	MHz
				0		275	kHz
TIO入力ハイ, ロウ・レベル幅	t _{TIH}	V _{DD} = 4.5 ~ 6.0 V		0.48			μs
	t _{TIL}			1.8			μs
割り込み入力ハイ, ロウ・レベル幅	t _{INTL}	INT0		注2			μs
		INT1, 2, 4		10			μs
		KRO-7		10			μs
RESET ロウ・レベル幅	t _{RSL}			10			μs

注1. CPUクロック (Φ) のサイクル・タイム (最小命令実行時間) は, 接続された発振子の発振周波数とシステム・クロック・コントロール・レジスタ (SCC), プロセッサ・クロック・コントロール・レジスタ (PCC) によって決まります。右図は, メイン・システム・クロック動作時の電源電圧V_{DD}に対するサイクル・タイムt_{CY}特性を示します。

2. 割り込みモード・レジスタ (IMO) の設定により, 2t_{CY}または128/f_Xとなります。



保守/廃止

シリアル転送オペレーション

2線式, 3線式シリアルI/Oモード ($\overline{\text{SCK}}$ …内部クロック出力):

項目	略号	条件	MIN.	TYP.	MAX.	単位	
$\overline{\text{SCK}}$ サイクル・タイム	t_{KCY1}	$V_{\text{DD}}=4.5\sim 6.0\text{ V}$	1600			ns	
			3800			ns	
$\overline{\text{SCK}}$ ハイ, ロウ・レベル幅	t_{KL1}	$V_{\text{DD}}=4.5\sim 6.0\text{ V}$	$t_{\text{KCY}}/2-50$			ns	
	t_{KH1}		$t_{\text{KCY}}/2-150$			ns	
SIセットアップ・タイム(対 $\overline{\text{SCK}}\uparrow$)	t_{SIK1}		150			ns	
SIホールド時間(対 $\overline{\text{SCK}}\uparrow$)	t_{KSI1}		400			ns	
$\overline{\text{SCK}}\downarrow\rightarrow\text{SO}$ 出力遅延時間	t_{KSO1}	$R=1\text{ k}\Omega, C=100\text{ pF}$ ^注	$V_{\text{DD}}=4.5\sim 6.0\text{ V}$	0		250	ns
				0		1000	ns

2線式, 3線式シリアルI/Oモード ($\overline{\text{SCK}}$ …外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
$\overline{\text{SCK}}$ サイクル・タイム	t_{KCY2}	$V_{\text{DD}}=4.5\sim 6.0\text{ V}$	800			ns	
			3200			ns	
$\overline{\text{SCK}}$ ハイ, ロウ・レベル幅	t_{KL2}	$V_{\text{DD}}=4.5\sim 6.0\text{ V}$	400			ns	
	t_{KH2}		1600			ns	
SIセットアップ・タイム(対 $\overline{\text{SCK}}\uparrow$)	t_{SIK2}		100			ns	
SIホールド時間(対 $\overline{\text{SCK}}\uparrow$)	t_{KSI2}		400			ns	
$\overline{\text{SCK}}\downarrow\rightarrow\text{SO}$ 出力遅延時間	t_{KSO2}	$R=1\text{ k}\Omega, C=100\text{ pF}$ ^注	$V_{\text{DD}}=4.5\sim 6.0\text{ V}$	0		300	ns
				0		1000	ns

注 R, CはSO出力ラインの負荷抵抗, 負荷容量です。



SBIモード (\overline{SCK} …内部クロック出力 (マスタ)):

項目	略号	条件	MIN.	TYP.	MAX.	単位
\overline{SCK} サイクル・タイム	t_{KCY3}	$V_{DD}=4.5\sim6.0V$	1600			ns
			3800			ns
\overline{SCK} ハイ, ロウ・レベル幅	t_{KL3}	$V_{DD}=4.5\sim6.0V$	$t_{KCY}/2-50$			ns
	t_{KH3}		$t_{KCY}/2-150$			ns
SBO, 1セットアップ・タイム(対 \overline{SCK} ↑)	t_{SIK3}		150			ns
SBO, 1ホールド時間(対 \overline{SCK} ↑)	t_{KSI3}		$t_{KCY}/2$			ns
\overline{SCK} ↓→SBO, 1出力遅延時間	t_{KSO3}	R = 1 kΩ, C = 100 pF ^注	$V_{DD}=4.5\sim6.0V$	0	250	ns
				0	1000	ns
\overline{SCK} ↑→SBO, 1↓	t_{KSB}		t_{KCY}			ns
SBO, 1↓→ \overline{SCK}	t_{SBK}		t_{KCY}			ns
SBO, 1ロウ・レベル幅	t_{SBL}		t_{KCY}			ns
SBO, 1ハイ・レベル幅	t_{SBH}		t_{KCY}			ns

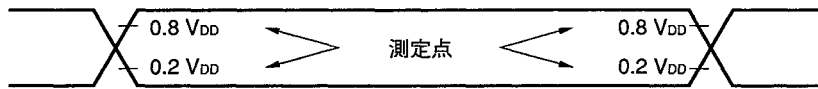
SBIモード (\overline{SCK} …外部クロック入力 (スレーブ)):

項目	略号	条件	MIN.	TYP.	MAX.	単位
\overline{SCK} サイクル・タイム	t_{KCY4}	$V_{DD}=4.5\sim6.0V$	800			ns
			3200			ns
\overline{SCK} ハイ, ロウ・レベル幅	t_{KL4}	$V_{DD}=4.5\sim6.0V$	400			ns
	t_{KH4}		1600			ns
SBO, 1セットアップ・タイム(対 \overline{SCK} ↑)	t_{SIK4}		100			ns
SBO, 1ホールド時間(対 \overline{SCK} ↑)	t_{KSI4}		$t_{KCY}/2$			ns
\overline{SCK} ↓→SBO, 1出力遅延時間	t_{KSO4}	R = 1 kΩ, C = 100 pF ^注	$V_{DD}=4.5\sim6.0V$	0	300	ns
				0	1000	ns
\overline{SCK} ↑→SBO, 1↓	t_{KSB}		t_{KCY}			ns
SBO, 1↓→ \overline{SCK} ↓	t_{SBK}		t_{KCY}			ns
SBO, 1ロウ・レベル幅	t_{SBL}		t_{KCY}			ns
SBO, 1ハイ・レベル幅	t_{SBH}		t_{KCY}			ns

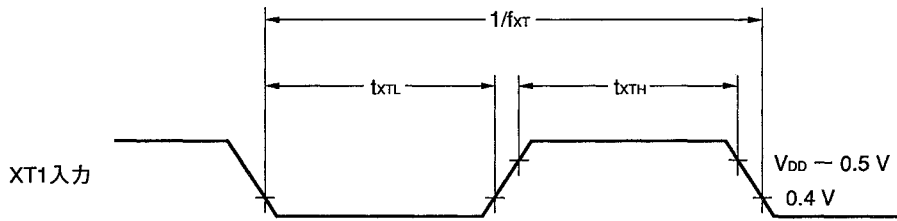
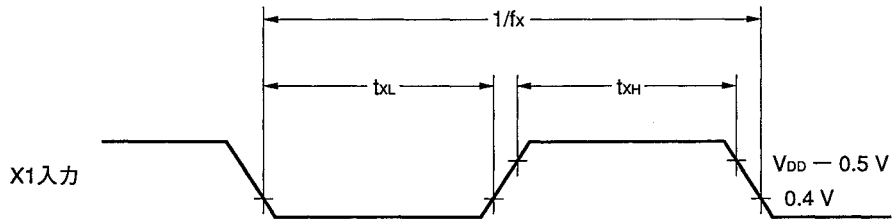
注 R, CはSBO, 1出力ラインの負荷抵抗, 負荷容量です。

保守/廃止

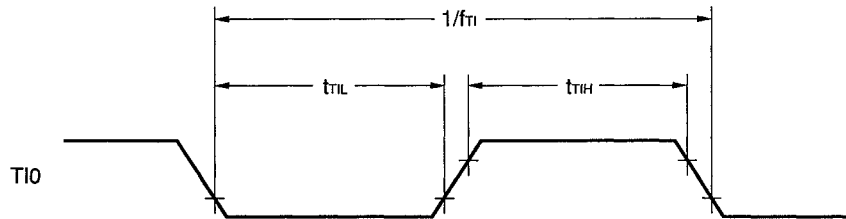
ACタイミング測定点 (X1, XT1入力を除く)



クロック・タイミング



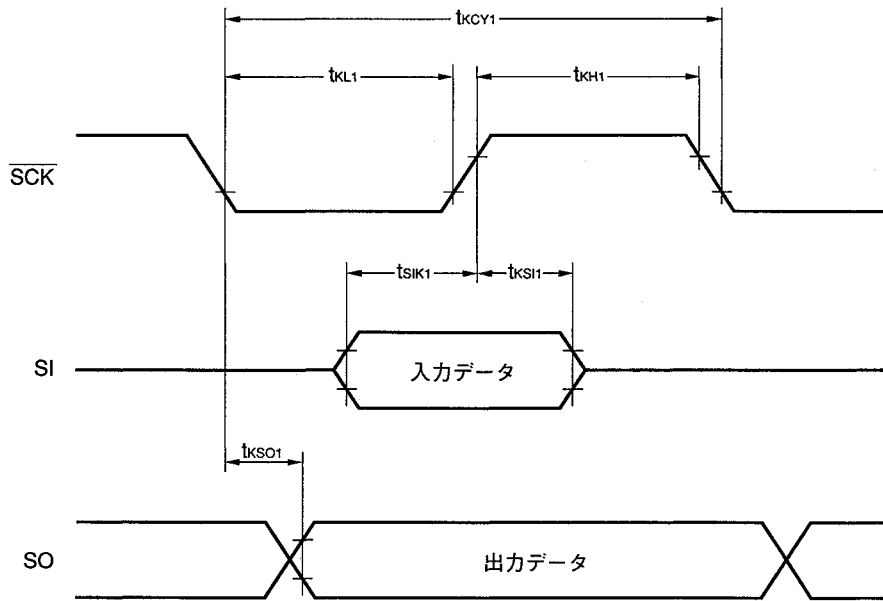
TIOタイミング



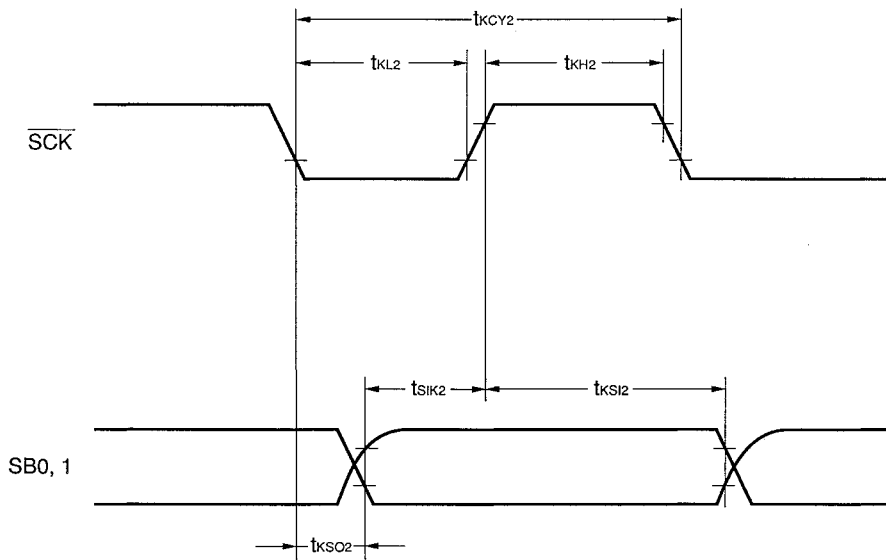
保守/廃止

シリアル転送タイミング

3線式シリアルI/Oモード :



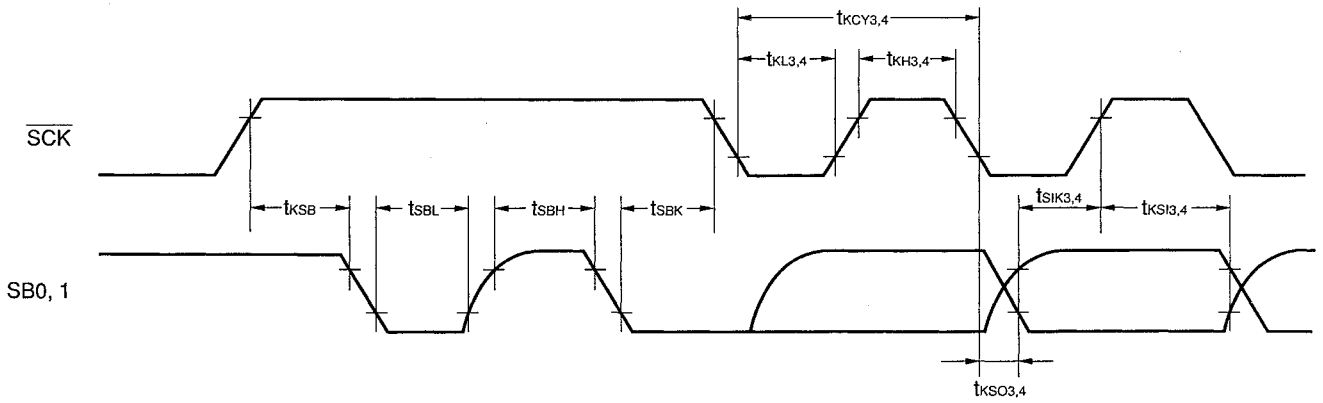
2線式シリアルI/Oモード :



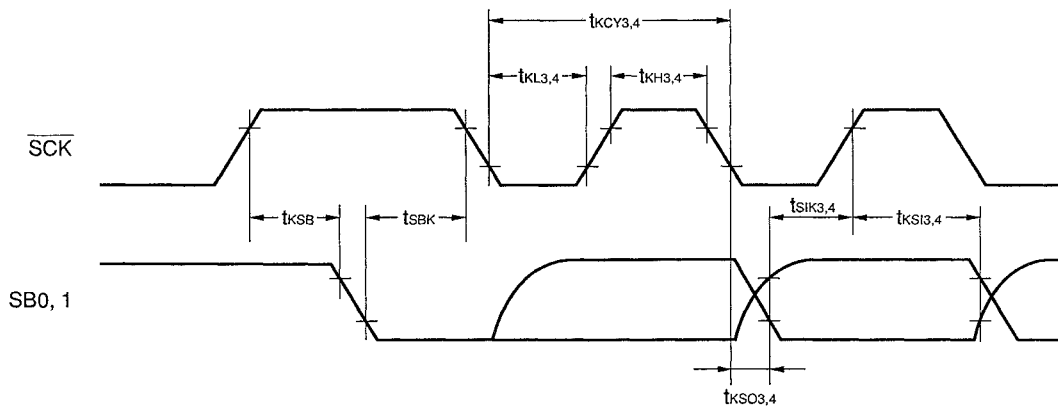
保守/廃止

シリアル転送タイミング

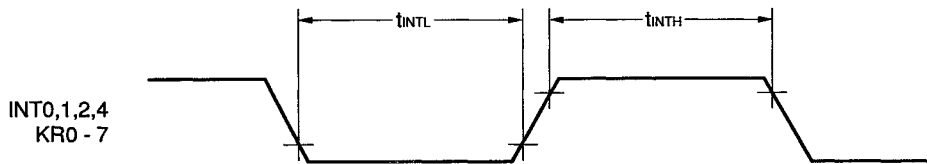
バス・リリース信号転送：



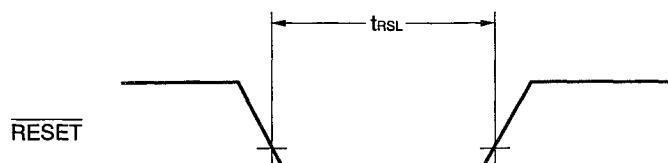
コマンド信号転送：



割り込み入カタイミング



RESET入カタイミング



保守/廃止

データ・メモリSTOPモード低電源電圧データ保持特性 (T_a = -40~+85°C)

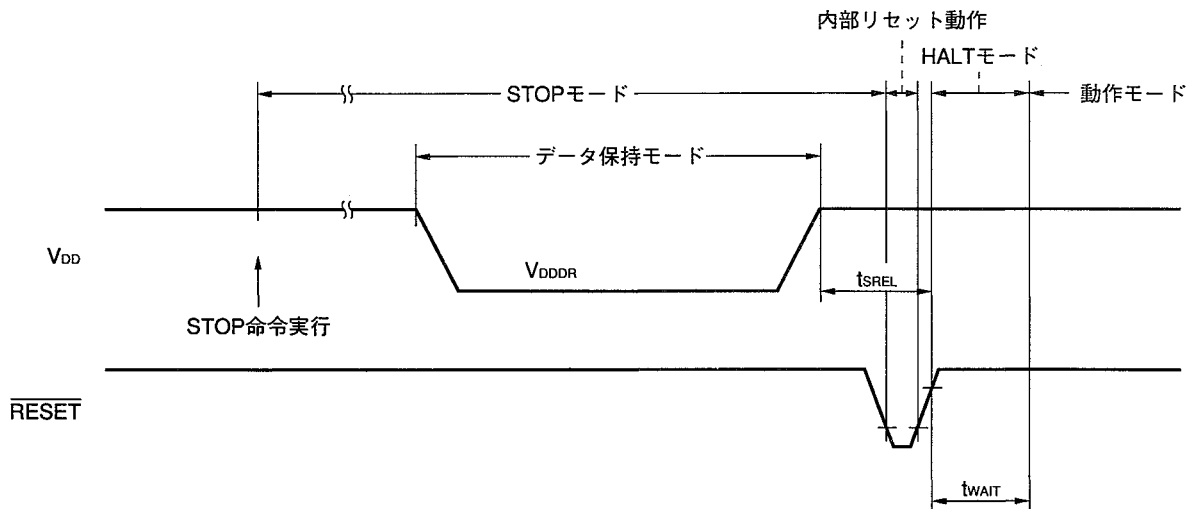
項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V _{DDDR}		2.0		6.0	V
データ保持電源電流 ^{注1}	I _{DDDR}	V _{DDDR} = 2.0V		0.1	10	μA
リリース信号セット時間	t _{SREL}		0			μs
発振安定ウエイト時間 ^{注2}	t _{WAIT}	RESETによる解除		2 ¹⁷ /f _X		ms
		割り込み要求による解除		注3		ms

注1. 内蔵プルアップ抵抗に流れる電流は含みません。

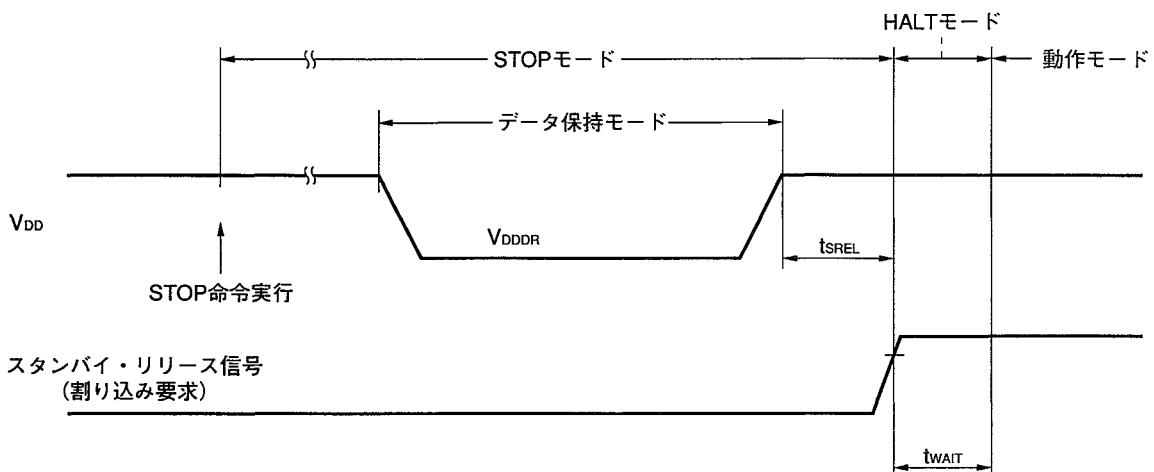
2. 発振安定ウエイト時間は、発振開始時の不安定な動作を防ぐため、CPUの動作を停止しておく時間です。
3. ベーシック・インターバル・タイマ・モード・レジスタ (BTM) の設定によります (下表)。

BTM3	BTM2	BTM1	BTM0	WAIT時間 () 内はf _{XX} = 4.19 MHz時
—	0	0	0	2 ²⁰ /f _{XX} (約250 ms)
—	0	1	1	2 ¹⁷ /f _{XX} (約31.3 ms)
—	1	0	1	2 ¹⁵ /f _{XX} (約7.82 ms)
—	1	1	1	2 ¹³ /f _{XX} (約1.95 ms)

データ保持タイミング (RESETによるSTOPモード解除)

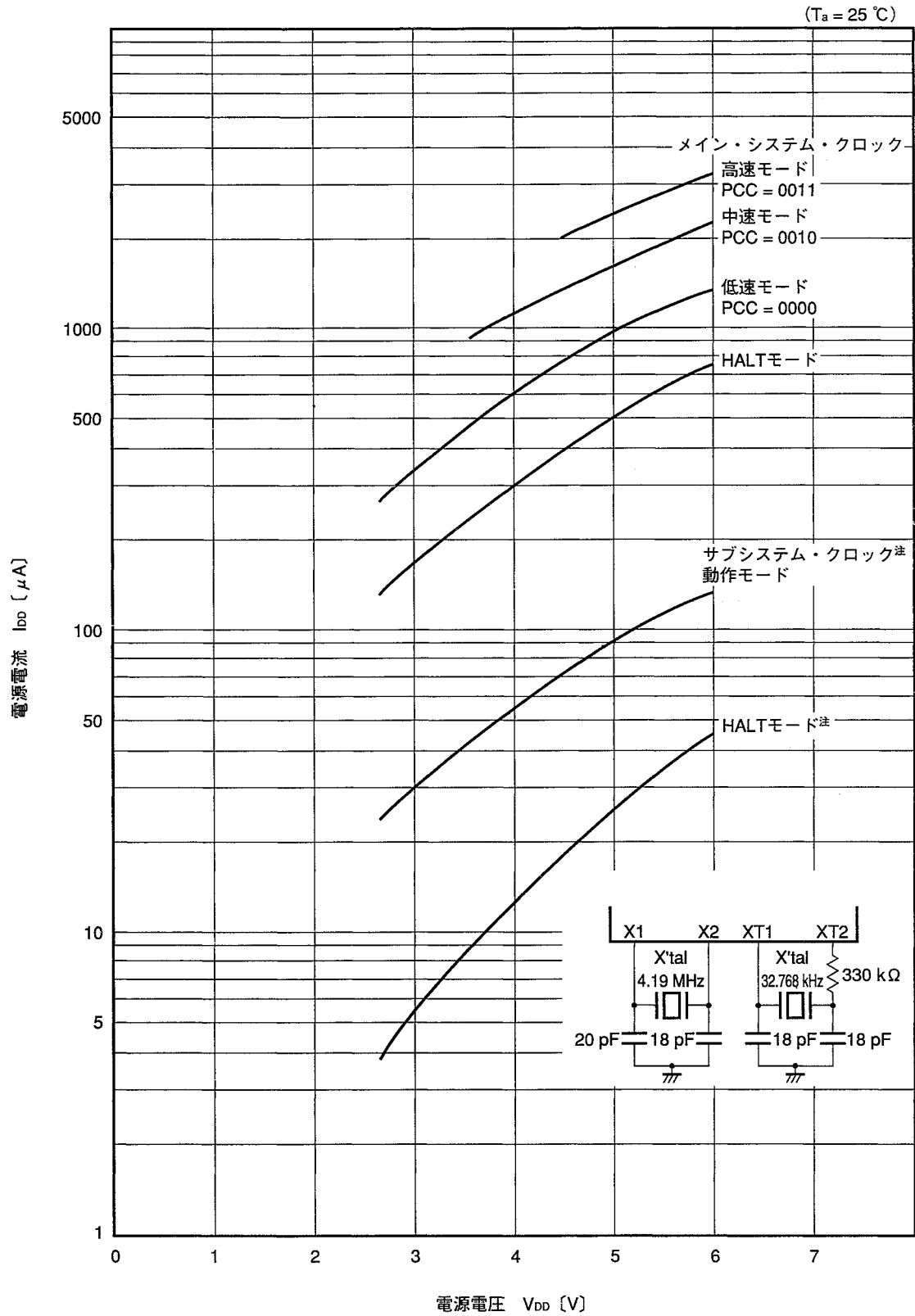


データ保持タイミング (スタンバイ・リリース信号：割り込み信号によるSTOPモード解除)



11. 特性曲線

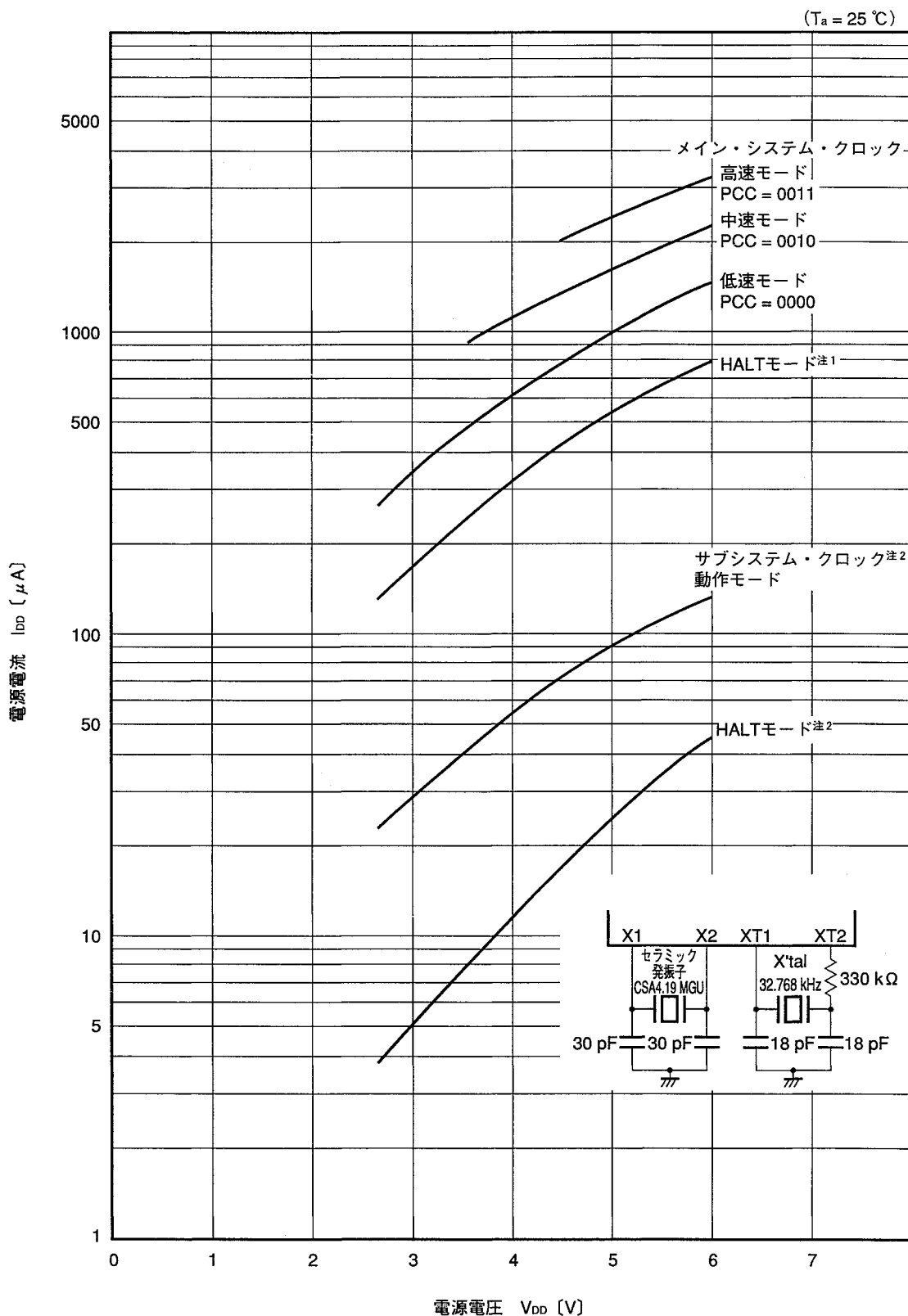
I_{DD} vs V_{DD} (クリスタル発振)



注 メイン・システム・クロックは停止。

保守/廃止

I_{DD} vs V_{DD} (セラミック発振)

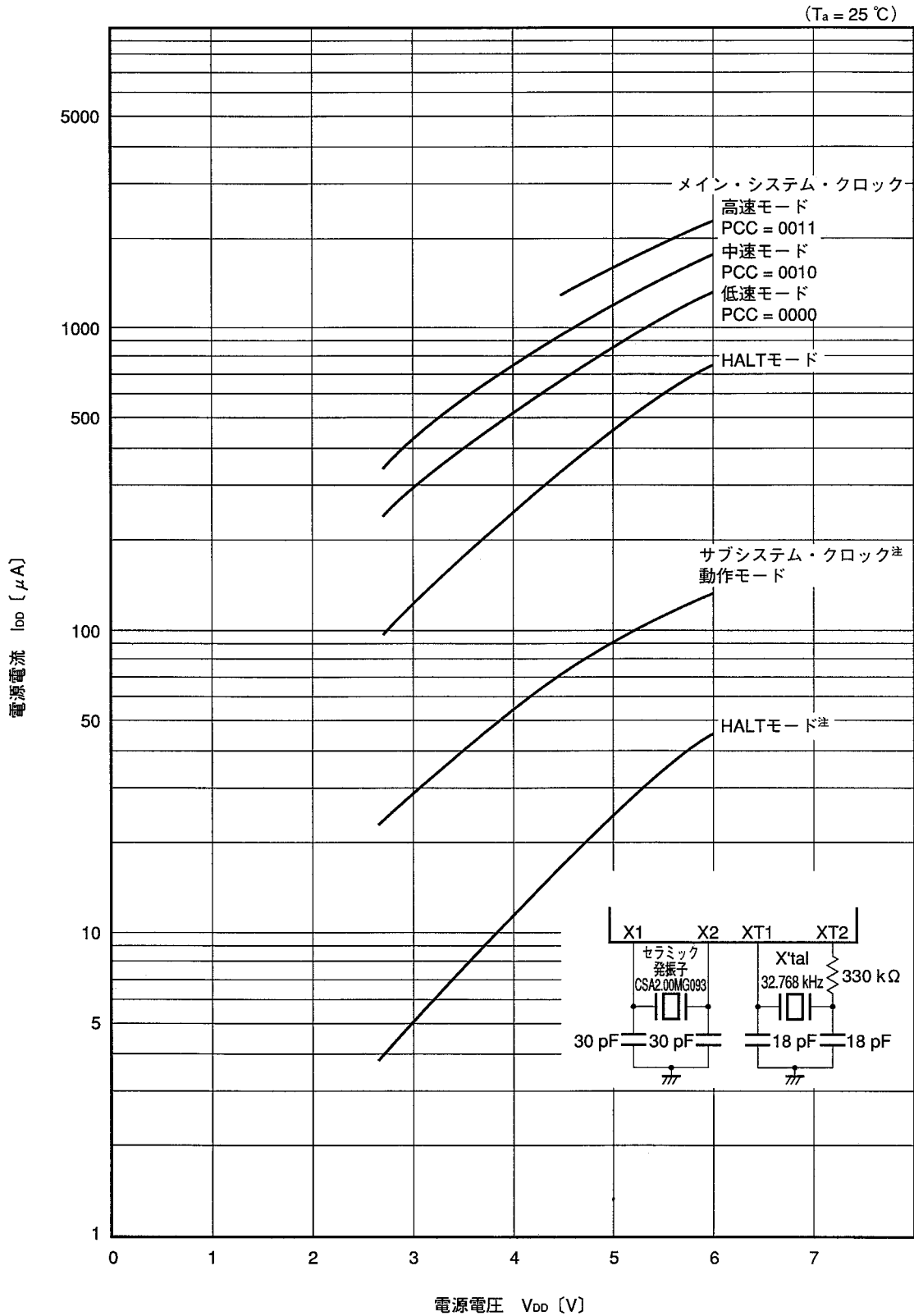


注1. 水晶発振に比べて約10%程大きくなります。

2. メイン・システム・クロックは停止。

保守/廃止

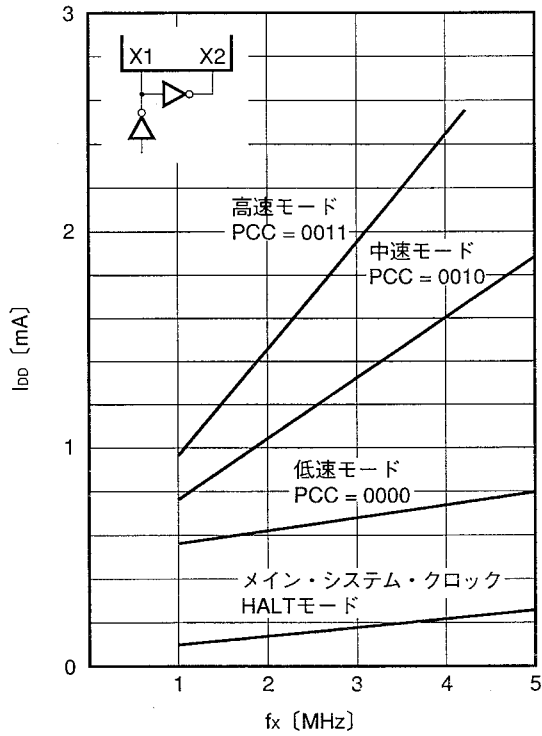
I_{DD} vs V_{DD} (セラミック発振)



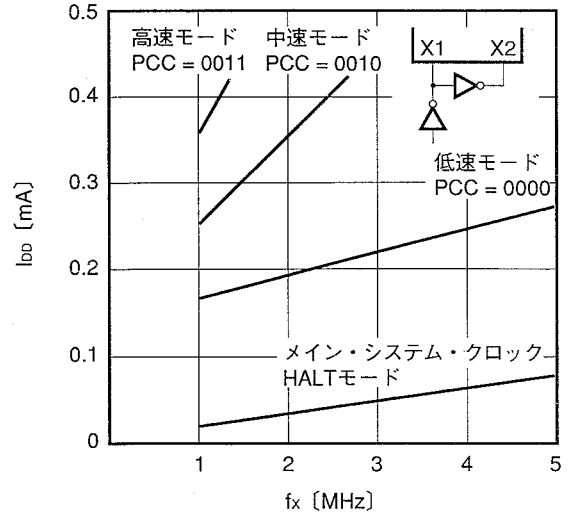
注 メイン・システム・クロックは停止。

保守/廃止

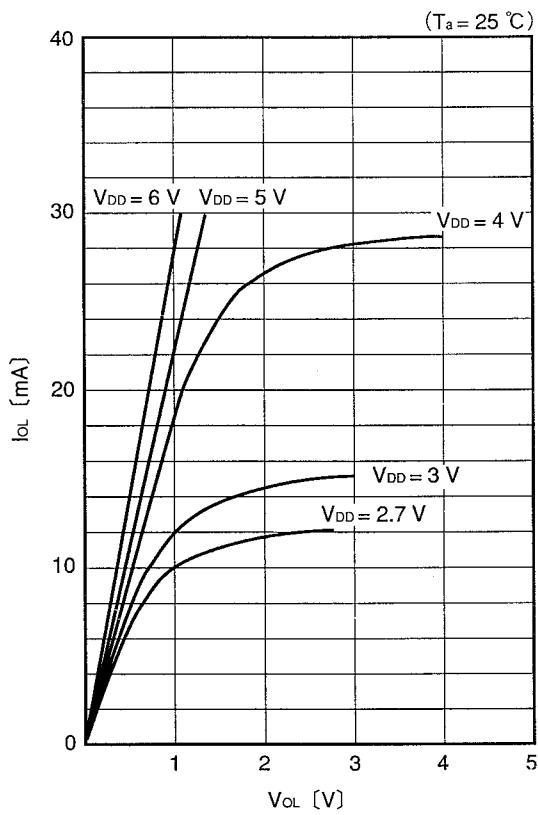
I_{DD} vs f_x (V_{DD} = 5 V, T_a = 25 °C)



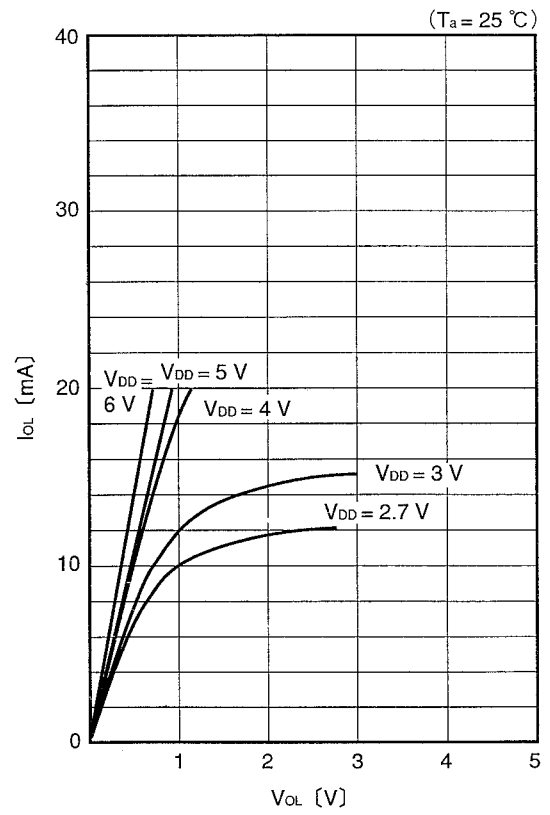
I_{DD} vs f_x (V_{DD} = 3 V, T_a = 25 °C)



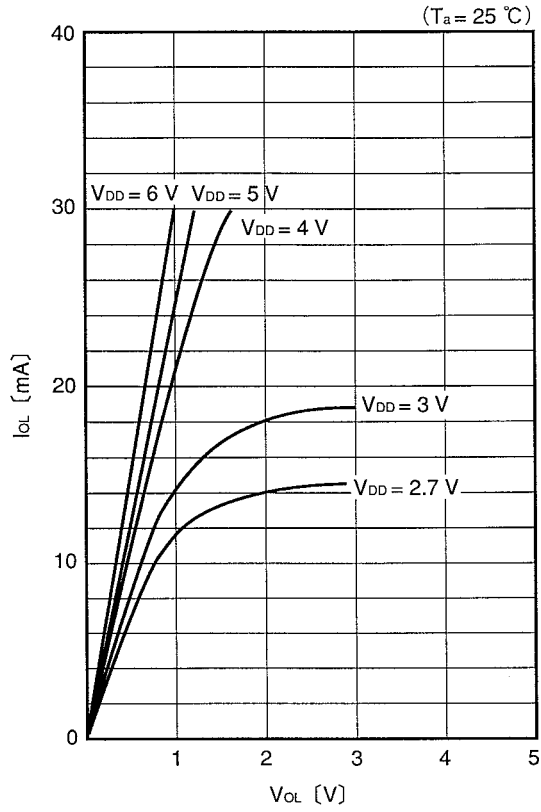
V_{OL} vs I_{OL} (ポート 0)



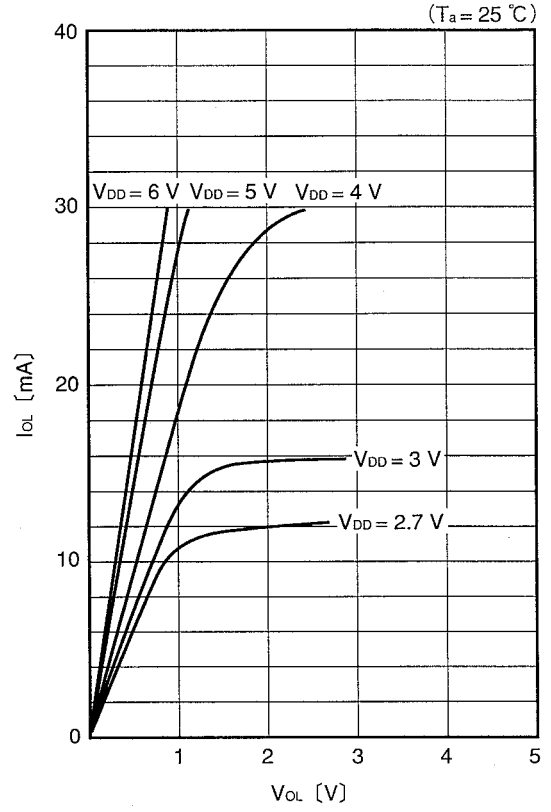
V_{OL} vs I_{OL} (ポート 2, 6, 7) ★



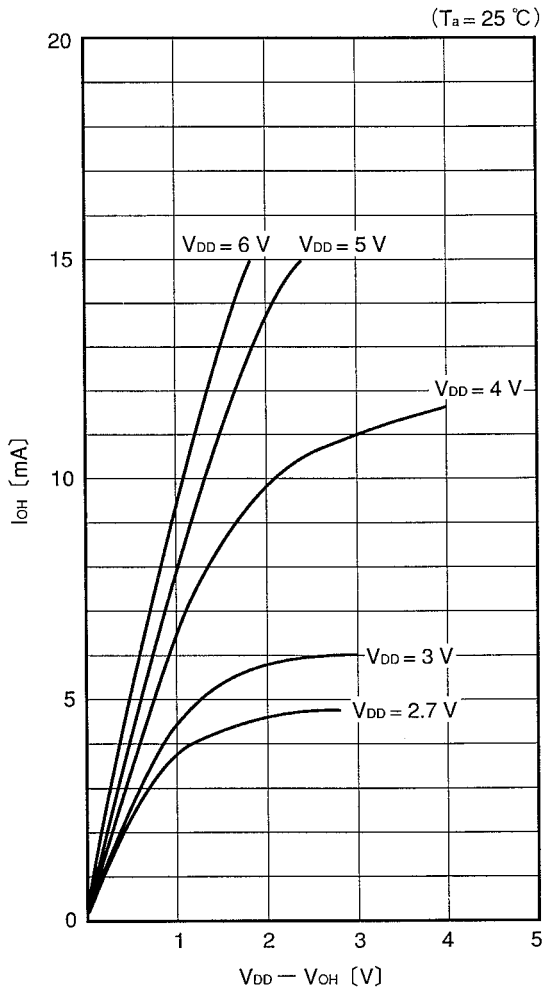
V_{OL} vs I_{OL} (ポート4, 5)



V_{OL} vs I_{OL} (ポート3)



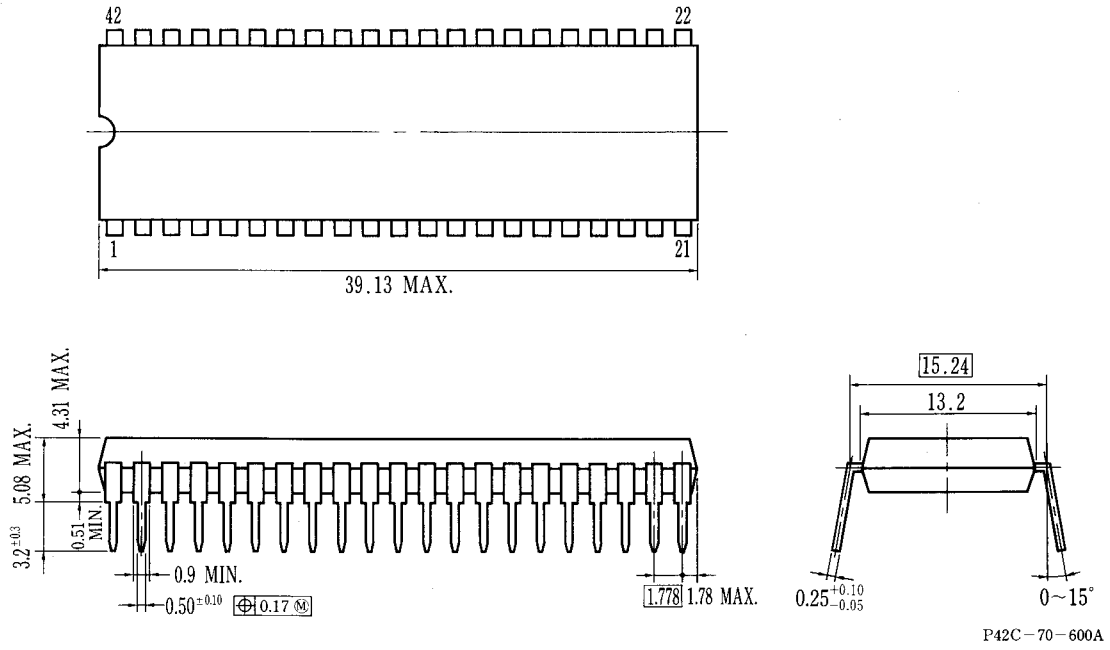
V_{OH} vs I_{OH}



保守/廃止

12. 外形図

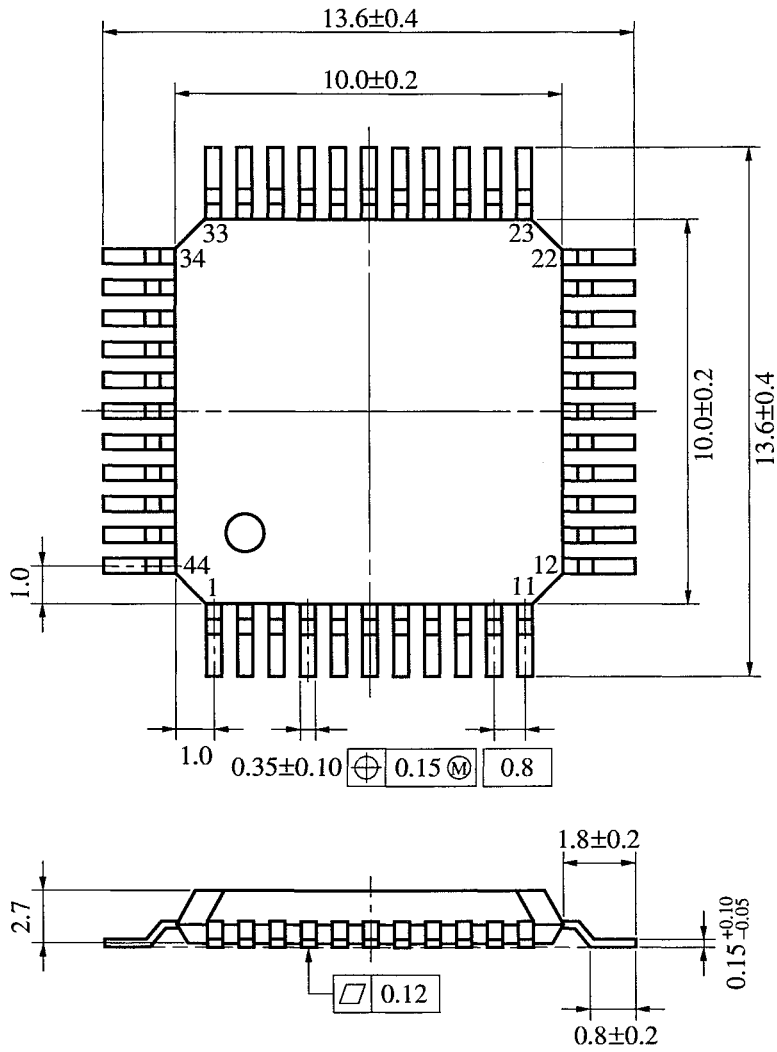
42ピン・プラスチック・シュリンク DIP (600 mil) 外形図(単位: mm)



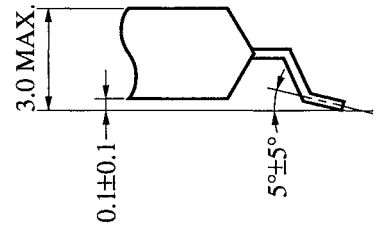
保守/廃止

44ピン・プラスチック QFP (□10) 外形図 (単位: mm)

★



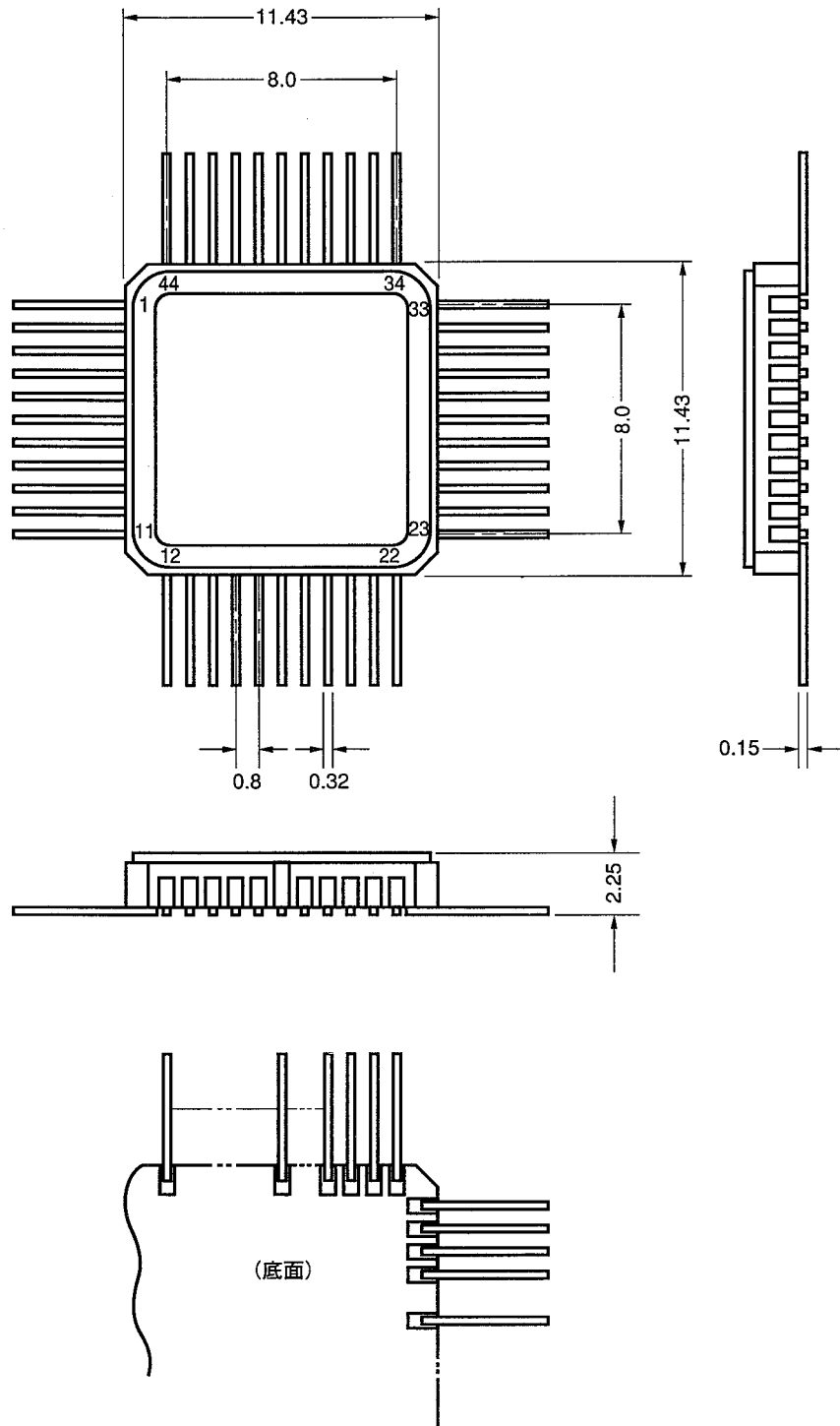
端子先端形状詳細図



P44GB-80-3B4-2

保守/廃止

ES用44ピン・セラミックQFP 外形図 (参考図) (単位: mm)



注意事項

1. 1ピンの位置は、メタル・キャップと接続されている17ピンの位置から判断してください。
2. メタル・キャップは17ピンと接続されており、 V_{SS} (GND) レベルとなりますので注意してください。
3. リード先端の切断加工は工程管理されていませんので、リード長は規定されていません。

13. 半田付け推奨条件



μ PD75004, 75006, 75008の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の詳細は、インフォメーション資料「**半導体デバイス実装マニュアル**」(U10535J)を参照してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

表13 - 1 表面実装タイプの半田付け条件

μ PD75004GB-x x x -3B4 : 44ピン・プラスチックQFP (10 mm)

μ PD75006GB-x x x -3B4 : 44ピン・プラスチックQFP (10 mm)

μ PD75008GB-x x x -3B4 : 44ピン・プラスチックQFP (10 mm)

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：230 ，時間：30秒以内（210 以上），回数：1回 制限日数：7日間 ^注 （以降は125 プリベーク10時間必要）	IR30-107-1
VPS	パッケージ・ピーク温度：215 ，時間：40秒以内（200 以上），回数：1回 制限日数：7日間 ^注 （以降は125 プリベーク10時間必要）	VP15-107-1
ウエーブ・ソルダリング	半田槽温度：260 以下，時間：10秒以内，回数：1回 制限日数：7日間 ^注 （以降は125 プリベーク10時間必要） 予備加熱温度：120 MAX.（パッケージ表面温度）	WS60-00-1
端子部分加熱	端子部温度：300 以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライパック開封後の保管日数で、保管条件は25 ，65 %RH以下。

注意 半田付け方式の併用はお避けください（ただし、端子部分加熱方式は除く）。

表13 - 2 挿入タイプの半田付け条件

μ PD75004CU-x x x : 42ピン・プラスチック・シュリンクDIP (600 mil)

μ PD75006CU-x x x : 42ピン・プラスチック・シュリンクDIP (600 mil)

μ PD75008CU-x x x : 42ピン・プラスチック・シュリンクDIP (600 mil)

半田付け方式	半田付け条件
ウエーブ・ソルダリング (リード部分のみ)	半田槽温度：260 以下，時間10秒以内
端子部分加熱	端子部温度：260 以下，時間：10秒以内

注意 ウエーブ・ソルダリングはリード部のみとし、噴流半田が直接本体に接触しないようにしてください。

お知らせ

本製品には、半田付け推奨条件改善品があります。

(改善内容：赤外線リフロ・ピーク温度拡張(235)，回数2回，制限日数緩和など)

詳細につきましては、当社販売員までお問い合わせください。

付録A．開発ツール

μ PD75008を使用するシステム開発のために次のような開発ツールを用意しております。

ハードウェア	IE-75000-R ^{注1}	75Xシリーズ用インサーキット・エミュレータ
	IE-75001-R	
	IE-75000-R-EM ^{注2}	IE-75000-RおよびIE-75001-R用エミュレーション・ボード
	EP-75008CU/GB-R	μ PD75004CU/GB, 75006CU/GB, 75008CU/GB用のエミュレーション・プロ ープ
	PG-1500	PROMプログラム
	PA-75P008CU	μ PD75P008CU/GB用のPROMプログラム・アダプタで、PG-1500に接続しま す。
ソフトウェア	IEコントロール・プログラム	ホスト・マシン
	PG-1500コントローラ	・ PC-9800シリーズ (MS-DOS™ Ver.3.30 ~ Ver.5.00A ^{注3})
	RA75X リロケートブル・アセンブラ	・ IBM PC/AT™ (PC DOS™ Ver.3.1)

注1．保守品です。

2．IE-75001-Rには内蔵していません。

3．Ver.5.00/5.00Aにはタスク・スワップ機能がありますが、このソフトウェアではタスク・スワップ機能は使用できません。

備考 3rdパーティ製の開発ツールについては、75Xシリーズ **セレクション・ガイド** (U11887J) を参照してください。

付録B . 関連資料



デバイス関連資料一覧

資料名	資料番号
ユーザーズ・マニュアル	IEM-5033
インストラクション活用表	IEM-5009
アプリケーション・ノート	IEM-5081
75Xシリーズ セレクション・ガイド	U11887J

開発ツール関連資料一覧

資料名	資料番号		
ハードウェア	IE-75000-R/IE-75001-R ユーザーズ・マニュアル	EEU-846	
	IE-75000-R-EM ユーザーズ・マニュアル	EEU-673	
	EP-75008CU-R ユーザーズ・マニュアル	EEU-699	
	EP-75008GB-R ユーザーズ・マニュアル	EEU-698	
	PG-1500 ユーザーズ・マニュアル	U11940J	
ソフトウェア	RA75X アセンブラ・パッケージ・ユーザーズ・マニュアル	操作編	U12622J
		言語編	U12385J
	PG-1500コントローラ ユーザーズ・マニュアル	EEU-704	

その他の関連資料

資料名	資料番号
半導体デバイス 実装マニュアル	C10535J
NEC半導体デバイスの品質水準	C11531J
NEC半導体デバイスの信頼性品質管理	C10983J
静電気放電 (ESD) 破壊対策ガイド	C11892J
半導体品質 / 信頼性ハンドブック	C12769J
マイクロコンピュータ関連製品ガイド 社外メーカ編	U11416J

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには必ず最新の資料をご使用ください。

保守 / 廃止

[メ モ]

CMOSデバイスの一般的注意事項

① 静電気対策 (MOS全般)

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

② 未使用入力の処理 (CMOS特有)

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性 (タイミングは規定しません) を考慮すると、個別に抵抗を介して V_{DD} またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

③ 初期化以前の状態 (MOS全般)

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

MS-DOSは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。
PC/AT, PC DOSは、米国IBM社の商標です。

本製品が外国為替および外国貿易管理法の規定による規制貨物等（または役務）に該当するか否かは、ユーザ（仕様を決定した者）が判定してください。

- 本資料の内容は予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。
- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
- 本資料に記載された回路、ソフトウェア、及びこれらに付随する情報は、半導体製品の動作例、応用例を説明するためのものです。従って、これら回路・ソフトウェア・情報をお客様の機器に使用される場合には、お客様の責任において機器設計をしてください。これらの使用に起因するお客様もしくは第三者の損害に対して、当社は一切その責を負いません。
- 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意ください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災/防犯装置、各種安全装置、生命維持を直接の目的としない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート/データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

M7 98.8

— お問い合わせ先 —

【技術的なお問い合わせ先】

NEC半導体テクニカルホットライン
(電話：午前 9:00 ~ 12:00, 午後 1:00 ~ 5:00)

電話 : 044-435-9494
FAX : 044-435-9608
E-mail : s-info@saed.tmg.nec.co.jp

【営業関係お問い合わせ先】

第一販売事業部

東京 (03)3798-6106, 6107, 6108

名古屋 (052)222-2375

大阪 (06)6945-3178, 3200, 3208, 3212

仙台 (022)267-8740

郡山 (024)923-5591

千葉 (043)238-8116

第二販売事業部

東京 (03)3798-6110, 6111, 6112

立川 (042)526-5981, 6167

松本 (0263)35-1662

静岡 (054)254-4794

金沢 (076)232-7303

松山 (089)945-4149

第三販売事業部

東京 (03)3798-6151, 6155, 6586, 1622, 1623, 6156

水戸 (029)226-1702

広島 (082)242-5504

高崎 (027)326-1303

鳥取 (0857)27-5313

太田 (0276)46-4014

名古屋 (052)222-2170, 2190

福岡 (092)261-2806

【資料の請求先】

上記営業関係お問い合わせ先またはNEC特約店へお申しつけください。

【インターネット電子デバイス・ニュース】

NECエレクトロニクスデバイスの情報がインターネットでご覧になれます。

URL(アドレス)

<http://www.ic.nec.co.jp/>