

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

μ PD750004, 750006, 750008, 750004(A), 750006(A), 750008(A)

4ビット・シングルチップ・マイクロコンピュータ

μ PD750008は、8ビット・マイコンに匹敵するデータ処理を可能にした4ビット・シングルチップ・マイコン「75XLシリーズ」の1つです。

従来品であるμ PD75008よりもCPU機能を拡張し、低電圧2.2Vでの高速動作が可能な製品です。そのため従来製品との置き換えだけでなく、電池を使用するアプリケーションなどにも最適です。また、μ PD750008(A)は、μ PD750008に比べて高信頼性の製品です。

μ PD750008には、システム開発時の評価用または少量生産用として、ワン・タイムPROM内蔵品のμ PD75P0016を用意しております。

詳しい機能説明などは次のユーザース・マニュアルに記載しております。設計の際には必ずお読みください。

μ PD750008 ユーザース・マニュアル : U10740J

特 徴

- | | |
|---------------------------------------|---|
| ・低電圧動作可能 : $V_{DD} = 2.2 \sim 5.5 V$ | ・高速動作とパワー・セーブに有利な命令実行時間可変機能 |
| ・内蔵メモリ | 0.95 μs , 1.91 μs , 3.81 μs , 15.3 μs (4.19 MHz動作時) |
| プログラム・メモリ (ROM) | 0.67 μs , 1.33 μs , 2.67 μs , 10.7 μs (6.0 MHz動作時) |
| : 4096 × 8ビット (μ PD750004, 750004(A)) | 122 μs (32.768 kHz動作時) |
| : 6144 × 8ビット (μ PD750006, 750006(A)) | ・強化されたタイマ機能 (4チャンネル) |
| : 8192 × 8ビット (μ PD750008, 750008(A)) | ・従来品のμ PD75008の機能, インストラクションを継承し |
| データ・メモリ (RAM) | ているため置き換えが容易 |
| : 512 × 4ビット | |

用 途

μ PD750004, 750006, 750008

コードレス電話機, 無線機, オーディオ製品, 家電など

μ PD750004(A), 750006(A), 750008(A)

自動車電装など

μ PD750004, 750006, 750008とμ PD750004(A), 750006(A), 750008(A)は品質水準のみが異なります。このデータ・シートでは、特に断りがないかぎり、μ PD750008を代表品種として記述しています。

μ PD750008以外の品種については、μ PD750008をそれぞれの品名に読み替えてください。

また、μ PD750004, 750006, 750008で記述が分かれている場合は(A)品については次のように読み替えてください。

μ PD750004 μ PD750004(A), μ PD750006 μ PD750006(A), μ PD750008 μ PD750008(A)

本資料の内容は、予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。

オーダ情報

オーダ名称	パッケージ	品質水準
μ PD750004CU- x x x	42ピン・プラスチック・シュリンクDIP (600 mil, 1.778 mmピッチ)	標準 (一般電子機器用)
★ μ PD750004CU- x x x -A	"	"
μ PD750004GB- x x x -3BS-MTX	44ピン・プラスチックQFP (10 mm, 0.8 mmピッチ)	"
★ μ PD750004GB- x x x -3BS-MTX-A	"	"
μ PD750006CU- x x x	42ピン・プラスチック・シュリンクDIP (600 mil, 1.778 mmピッチ)	"
★ μ PD750006CU- x x x -A	"	"
μ PD750006GB- x x x -3BS-MTX	44ピン・プラスチックQFP (10 mm, 0.8 mmピッチ)	"
★ μ PD750006GB- x x x -3BS-MTX-A	"	"
μ PD750008CU- x x x	42ピン・プラスチック・シュリンクDIP (600 mil, 1.778 mmピッチ)	"
★ μ PD750008CU- x x x -A	"	"
μ PD750008GB- x x x -3BS-MTX	44ピン・プラスチックQFP (10 mm, 0.8 mmピッチ)	"
★ μ PD750008GB- x x x -3BS-MTX-A	"	"
μ PD750004CU (A) - x x x	42ピン・プラスチック・シュリンクDIP (600 mil, 1.778 mmピッチ)	特別 (高信頼度電子機器用)
μ PD750004GB(A) x x x -3BS-MTX	44ピン・プラスチックQFP (10 mm, 0.8 mmピッチ)	"
μ PD750006CU (A) - x x x	42ピン・プラスチック・シュリンクDIP (600 mil, 1.778 mmピッチ)	"
μ PD750006GB(A) x x x -3BS-MTX	44ピン・プラスチックQFP (10 mm, 0.8 mmピッチ)	"
μ PD750008CU (A) - x x x	42ピン・プラスチック・シュリンクDIP (600 mil, 1.778 mmピッチ)	"
μ PD750008GB(A) x x x -3BS-MTX	44ピン・プラスチックQFP (10 mm, 0.8 mmピッチ)	"

備考1 . オーダ名称末尾「-A」の製品は、鉛フリー製品です。

2 . x x xはROMコード番号です。

品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」(資料番号 C11531J)をご覧ください。

μ PD75000 x と μ PD75000 x (A) の違い

品名 項目	μ PD750004	μ PD750004 (A)
	μ PD750006	μ PD750006 (A)
	μ PD750008	μ PD750008 (A)
品質水準	標準 (一般電子機器用)	特別 (高信頼度電子機器用)

機能一覧

項 目		機 能	
命令実行時間		<ul style="list-style-type: none"> ・ 0.95, 1.91, 3.81, 15.3 μs (メイン・システム・クロック : 4.19 MHz動作時) ・ 0.67, 1.33, 2.67, 10.7 μs (" : 6.0 MHz動作時) ・ 122 μs (サブシステム・クロック : 32.768 kHz動作時) 	
内蔵メモリ	ROM	4096 \times 8 ビット (μ PD750004)	
		6144 \times 8 ビット (μ PD750006)	
		8192 \times 8 ビット (μ PD750008)	
	RAM	512 \times 4 ビット	
汎用レジスタ		<ul style="list-style-type: none"> ・ 4 ビット操作時 : 8 個 \times 4 バンク ・ 8 ビット操作時 : 4 個 \times 4 バンク 	
入出力ポート	CMOS入力	8 本	ソフトウェアにより、内蔵プルアップ抵抗の接続を指定可能 : 7 本
	CMOS入出力	18 本	LED直接駆動可能 ソフトウェアにより、内蔵プルアップ抵抗の接続を指定可能 : 18 本
	N-chオープン・ドレイン入出力	8 本	LED直接駆動可能 13 V耐圧 マスク・オプションによるプルアップ抵抗内蔵可能
	合 計	34 本	
タイマ		4 チャンネル <ul style="list-style-type: none"> ・ 8 ビット・タイマ/イベント・カウンタ : 1 チャンネル ・ 8 ビット・タイマ・カウンタ : 1 チャンネル ・ ベーシック・インターバル・タイマ/ウォッチドッグ・タイマ : 1 チャンネル ・ 時計用タイマ : 1 チャンネル 	
シリアル・インタフェース		<ul style="list-style-type: none"> ・ 3 線式シリアルI/Oモード...MSB/LSB先頭切り替え ・ 2 線式シリアルI/Oモード ・ SBIモード 	
ビット・シーケンシャル・バッファ (BSB)		16 ビット	
クロック出力 (PCL)		<ul style="list-style-type: none"> ・ , 524, 262, 65.5 kHz (メイン・システム・クロック : 4.19 MHz動作時) ・ , 750, 375, 93.8 kHz (" : 6.0 MHz動作時) 	
ブザー出力 (BUZ)		<ul style="list-style-type: none"> ・ 2, 4, 32 kHz (メイン・システム・クロック : 4.19 MHz動作時 またはサブシステム・クロック : 32.768 kHz動作時) ・ 2.93, 5.86, 46.9 kHz (メイン・システム・クロック : 6.0 MHz動作時) 	
ベクタ割り込み		外部 : 3 本, 内部 : 4 本	
テスト入力		外部 : 1 本, 内部 : 1 本	
システム・クロック発振回路		<ul style="list-style-type: none"> ・ メイン・システム・クロック発振用セラミック/クリスタル発振回路 ・ サブシステム・クロック発振用クリスタル発振回路 	
スタンバイ機能		STOP/HALTモード	
動作周囲温度		T _A = - 40 ~ + 85	
電源電圧		V _{DD} = 2.2 ~ 5.5 V	
パッケージ		42ピン・プラスチック・シュリンクDIP (600 mil, 1.778 mmピッチ) 44ピン・プラスチックQFP (10 mm, 0.8 mmピッチ)	

目 次

1 . 端子接続図 (Top View) ...	6
2 . ブロック図 ...	8
3 . 端子機能 ...	9
3.1 ポート端子 ...	9
3.2 ポート端子以外の端子 ...	10
3.3 端子の入出力回路 ...	11
3.4 未使用端子の処理について ...	13
4 . Mk モードとMk モードの切り替え機能 ...	14
4.1 Mk モードとMk モードの違い ...	14
4.2 スタック・バンク選択レジスタ (SBS) の設定方法 ...	15
5 . メモリ構成 ...	16
6 . 周辺ハードウェア機能 ...	21
6.1 デジタル入出力ポート ...	21
6.2 クロック発生回路 ...	21
6.3 サブシステム・クロック発振回路の制御機能 ...	23
6.4 クロック出力回路 ...	24
6.5 ベーシック・インターバル・タイマ/ウォッチドッグ・タイマ ...	25
6.6 時計用タイマ ...	26
6.7 タイマ/イベント・カウンタ ...	27
6.8 シリアル・インタフェース ...	30
6.9 ビット・シーケンシャル・バッファ ...	32
7 . 割り込み機能とテスト機能 ...	33
8 . スタンバイ機能 ...	35
9 . リセット機能 ...	36
10 . マスク・オプション ...	39
11 . 命令セット ...	40
12 . 電気的特性 ...	53
13 . 特性曲線 (参考値) ...	67

14. 外形図 ... 70

15. 半田付け推奨条件 ... 73

付録A . μ PD75008 , 750008 , 75P0016の機能一覧表 ... 75

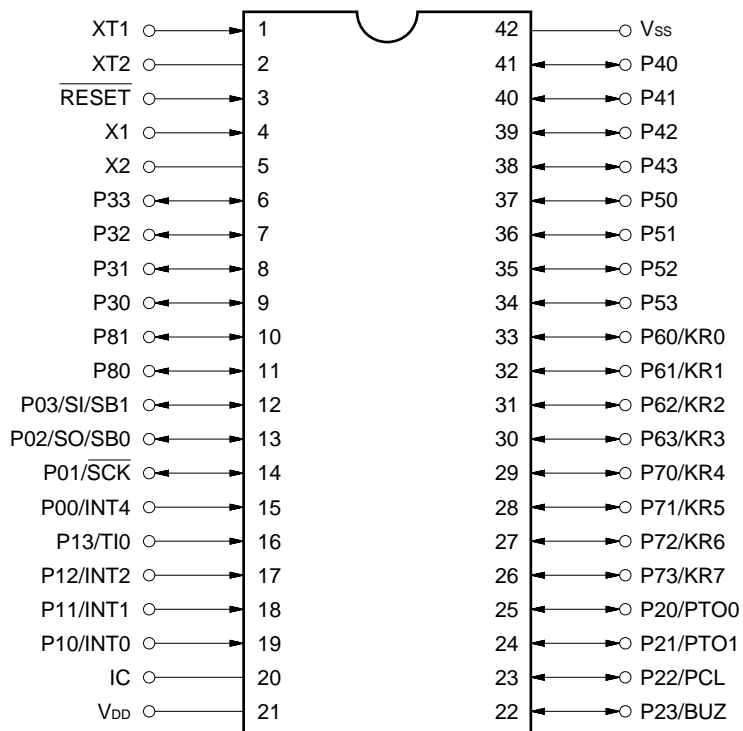
付録B . 開発ツール ... 77

付録C . 関連資料 ... 81

1. 端子接続図 (Top View)

・42ピン・プラスチック・シュリンクDIP (600 mil, 1.778 mmピッチ)

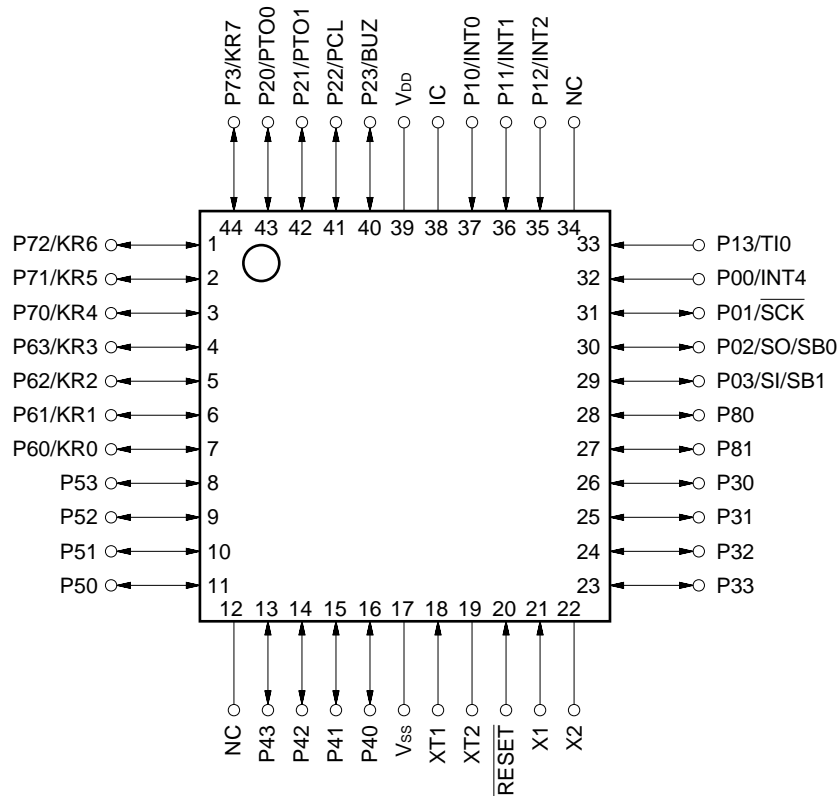
- ★ μ PD750004CU-xxx, μ PD750004CU-xxx-A, μ PD750004CU(A)-xxx
- ★ μ PD750006CU-xxx, μ PD750006CU-xxx-A, μ PD750006CU(A)-xxx
- ★ μ PD750008CU-xxx, μ PD750008CU-xxx-A, μ PD750008CU(A)-xxx



IC : Internally Connected (VDDに直接接続してください)

・44ピン・プラスチックQFP (10 mm, 0.8 mmピッチ)

- ★ μ PD750004GB-x x x-3BS-MTX , μ PD750004GB-x x x-3BS-MTX-A , μ PD750004GB (A) -x x x-3BS-MTX
- ★ μ PD750006GB-x x x-3BS-MTX , μ PD750006GB-x x x-3BS-MTX-A , μ PD750006GB (A) -x x x-3BS-MTX
- ★ μ PD750008GB-x x x-3BS-MTX , μ PD750008GB-x x x-3BS-MTX-A , μ PD750008GB (A) -x x x-3BS-MTX

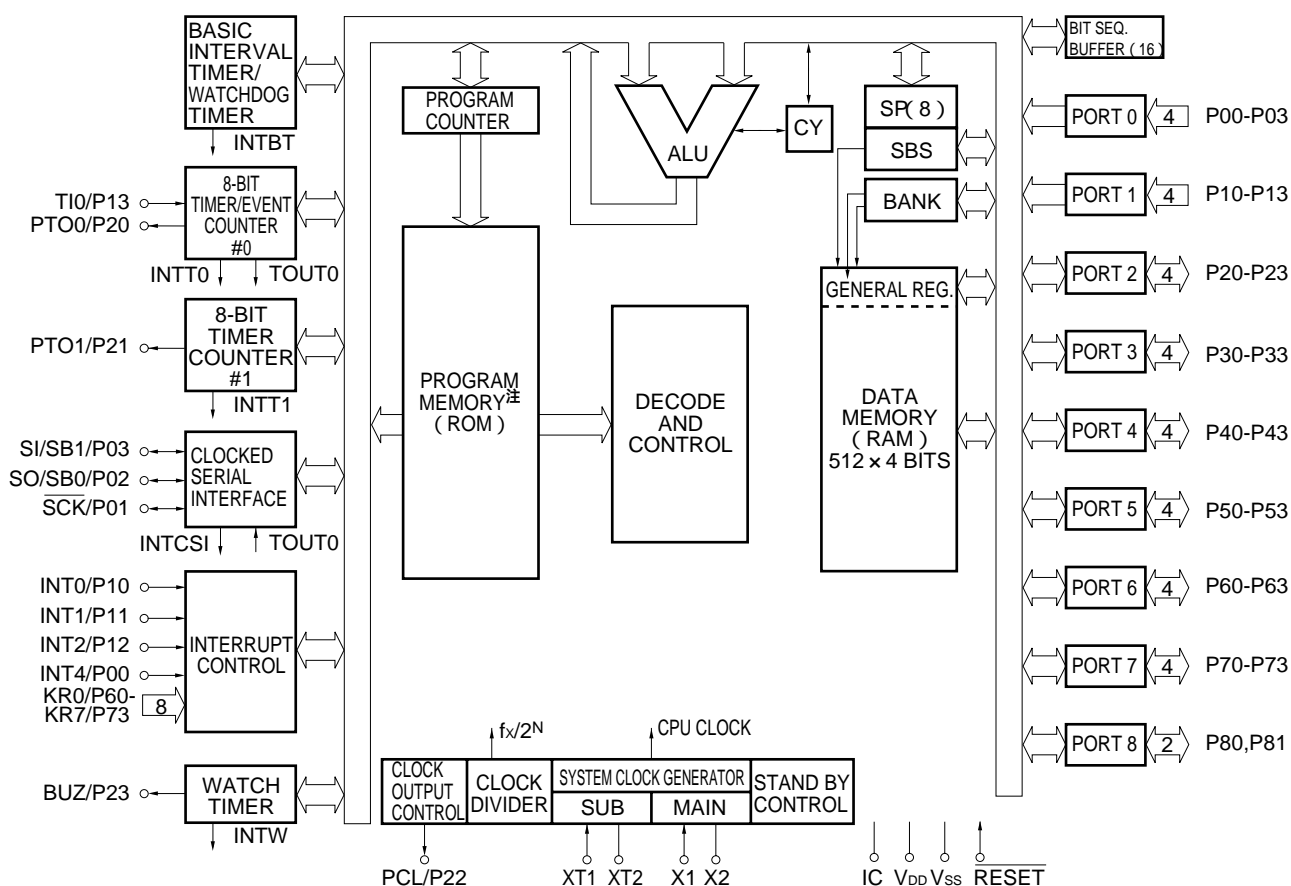


IC : Internally Connected (V_{DD} に直接接続してください)

端子名称

P00-03	: Port0	SO	: Serial Output
P10-13	: Port1	SB0 , SB1	: Serial Data Bus 0 , 1
P20-23	: Port2	RESET	: Reset
P30-33	: Port3	TI0	: Timer Input 0
P40-43	: Port4	PTO0 , PTO1	: Programmable Timer Output 0 , 1
P50-53	: Port5	BUZ	: Buzzer Clock
P60-63	: Port6	PCL	: Programmable Clock
P70-73	: Port7	INT0 , 1 , 4	: External Vectored Interrupt 0 , 1 , 4
P80,81	: Port8	INT2	: External Test Input 2
KR0-KR7	: Key Return0-7	X1 , X2	: Main System Clock Oscillation 1 , 2
SCK	: Serial Clock	XT1 , XT2	: Subsystem Clock Oscillation 1 , 2
SI	: Serial Input	NC	: No Connection
		IC	: Internally Connected

2. ブロック図



注 ROMの容量は、品種により異なります。

3. 端子機能

3.1 ポート端子

端子名称	入出力	兼用端子	機能	8ビット I/O	リセット時	入出力回路 TYPE ^{注1}
P00	入力	INT4	4ビット入力ポート (PORT0)。	x	入力	ⓑ
P01	入出力	$\overline{\text{SCK}}$	P01-P03は3ビット単位で、ソフトウェアにより内蔵プルアップ抵抗の接続を指定可能。			Ⓕ-A
P02	入出力	SO/SB0				Ⓕ-B
P03	入出力	SI/SB1				Ⓜ-C
P10	入力	INT0	4ビット入力ポート (PORT1)。	x	入力	ⓑ-C
P11		INT1	4ビット単位で、ソフトウェアにより内蔵プルアップ抵抗の接続を指定可能。			
P12		INT2				
P13		Ti0	P10/INT0はノイズ除去回路を選択可能。			
P20	入出力	PTO0	4ビット入出力ポート (PORT2)。	x	入力	E-B
P21		PTO1	4ビット単位で、ソフトウェアにより内蔵プルアップ抵抗の接続を指定可能。			
P22		PCL				
P23		BUZ				
P30-P33	入出力	-	プログラマブル4ビット入出力ポート (PORT3)。 ビット単位で入力/出力設定可能。 4ビット単位で、ソフトウェアにより内蔵プルアップ抵抗の接続を指定可能。	x	入力	E-B
P40-P43 ^{注2}	入出力	-	N-chオープン・ドレイン4ビット入出力ポート (PORT4)。 ビット単位でプルアップ抵抗を内蔵可能 (マスク・オプション)。 オープン・ドレイン時、13V耐圧。		ハイ・レベル (プルアップ抵抗内蔵時) またはハイ・インピーダンス	M-D
P50-P53 ^{注2}	入出力	-	N-chオープン・ドレイン4ビット入出力ポート (PORT5)。 ビット単位でプルアップ抵抗を内蔵可能 (マスク・オプション)。 オープン・ドレイン時、13V耐圧。		ハイ・レベル (プルアップ抵抗内蔵時) またはハイ・インピーダンス	M-D
P60	入出力	KR0	プログラマブル4ビット入出力ポート (PORT6)。		入力	Ⓕ-A
P61		KR1	ビット単位で入力/出力指定可能。			
P62		KR2	4ビット単位で、ソフトウェアにより内蔵プルアップ抵抗の接続を指定可能。			
P63		KR3				
P70	入出力	KR4	4ビット入出力ポート (PORT7)。		入力	Ⓕ-A
P71		KR5	4ビット単位で、ソフトウェアにより内蔵プルアップ抵抗の接続を指定可能。			
P72		KR6				
P73		KR7				
P80	入出力	-	2ビット入出力ポート (PORT8)。	x	入力	E-B
P81		-	2ビット単位で、ソフトウェアにより内蔵プルアップ抵抗の接続を指定可能。			

注1. 印はシュミット・トリガ入力を示します。

2. マスク・オプションによるプルアップ抵抗を内蔵しない場合 (N-chオープン・ドレイン入力ポートとして使用している場合)、入力命令、ビット操作命令を行ったときにロウ・レベル入力リーク電流が増加します。

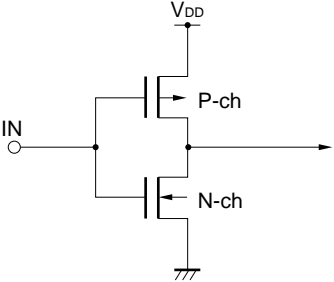
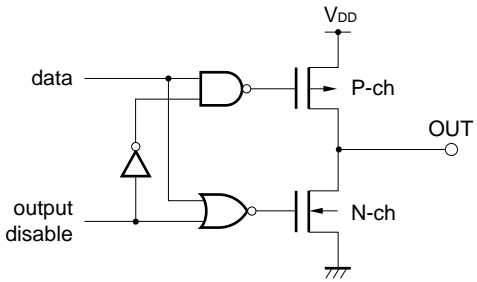
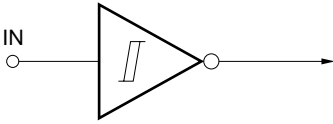
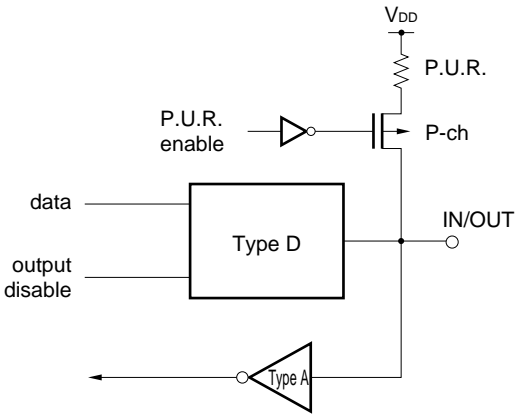
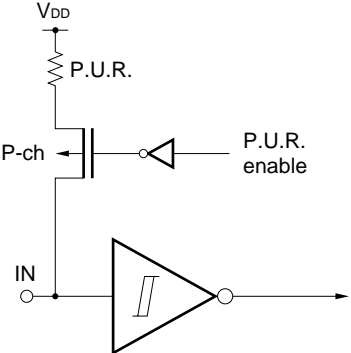
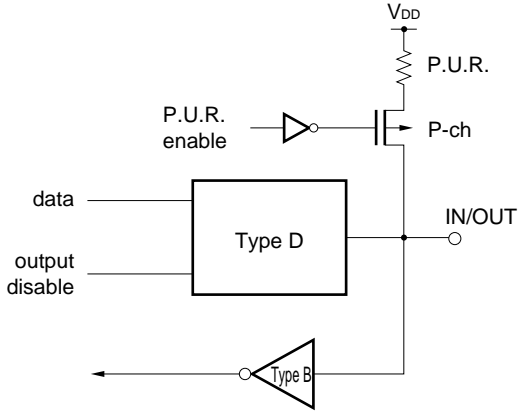
3.2 ポート端子以外の端子

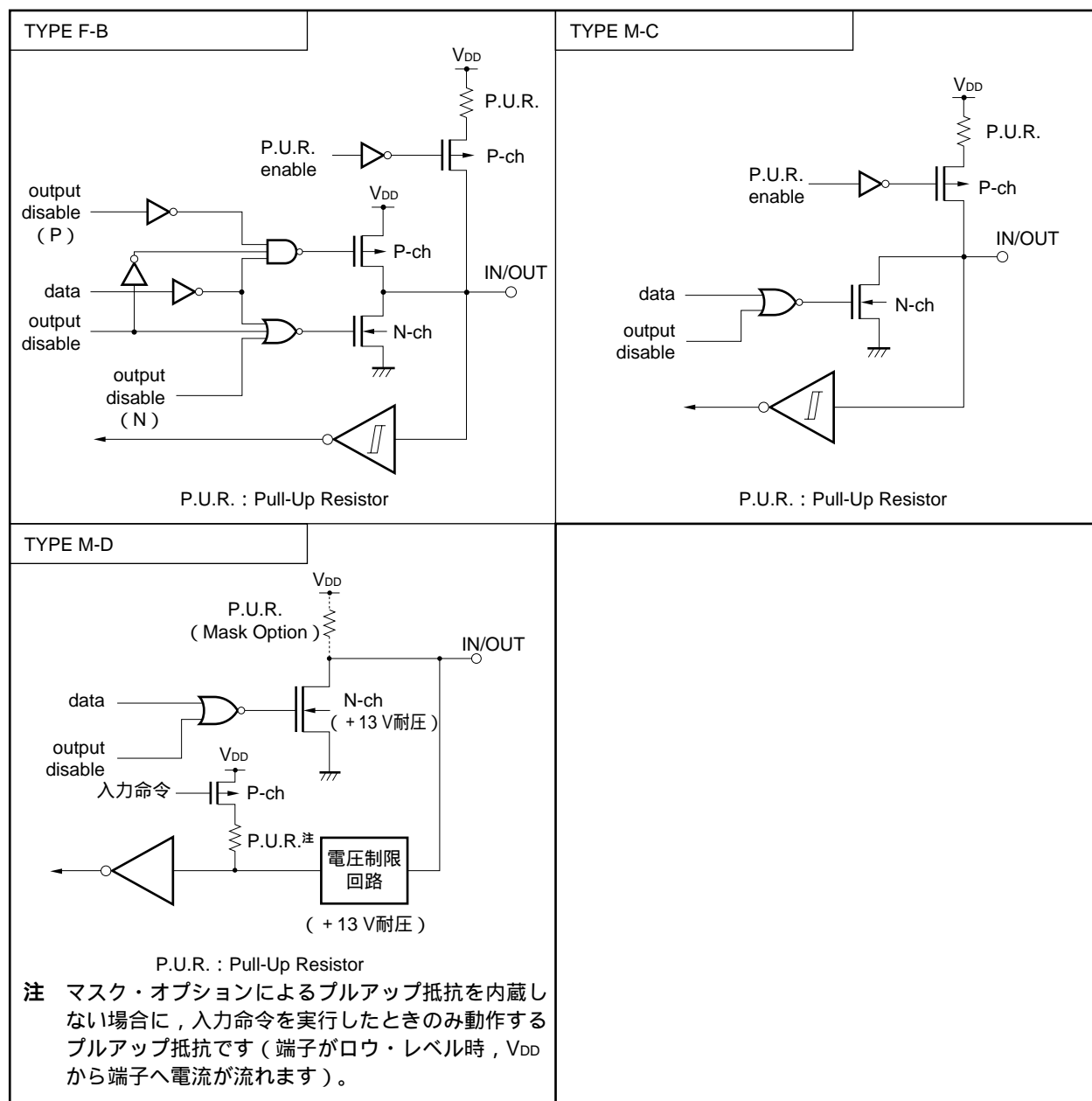
端子名称	入出力	兼用端子	機能		リセット時	入出力回路 TYPE ^注
Ti0	入 力	P13	タイマ/イベント・カウンタへの外部イベント・パルス入力。		入力	Ⓔ-C
PTO0	出 力	P20	タイマ/イベント・カウンタ出力。		入力	E-B
PTO1		P21	タイマ・カウンタ出力。			
PCL		P22	クロック出力。			
BUZ		P23	任意の周波数出力（ブザー用またはシステム・クロックのトリミング用）。			
$\overline{\text{SCK}}$	入出力	P01	シリアル・クロック入出力。		入力	Ⓔ-A
SO/SB0		P02	シリアル・データ出力。 シリアル・データ・バス入出力。			Ⓔ-B
SI/SB1		P03	シリアル・データ入力。 シリアル・データ・バス入出力。			Ⓜ-C
INT4	入 力	P00	エッジ検出ベクタ割り込み入力（立ち上がりおよび立ち下りの両エッジ検出）。			Ⓑ
INT0	入 力	P10	エッジ検出ベクタ割り込み入力（検出エッジ選択可能）。INT0/P10はノイズ除去回路を選択可能。	ノイズ除去回路付き / 非同期選択可	入力	Ⓑ-C
INT1		P11		非同期		
INT2	入 力	P12	立ち上がりエッジ検出テストブル入力。	非同期		
KR0-KR3	入出力	P60-P63	立ち下がりエッジ検出テストブル入力。		入力	Ⓔ-A
KR4-KR7	入出力	P70-P73	立ち下がりエッジ検出テストブル入力。		入力	Ⓔ-A
X1	入 力	-	メイン・システム・クロック発振用クリスタル/セラミック接続端子。外部クロックの場合，X1へ入力しX2へその逆相を入力。		-	-
X2	-					
XT1	入 力	-	サブシステム・クロック発振用クリスタル接続端子。外部クロックの場合，XT1へ入力しXT2へその逆相を入力。 XT1は1ビット入力（テスト）として使用可能。		-	-
XT2	-					
$\overline{\text{RESET}}$	入 力	-	システム・リセット入力（ロウ・レベル・アクティブ）。		-	Ⓑ
IC	-	-	Internally Connected . V_{DD} に直接接続してください。		-	-
V_{DD}	-	-	正電源。		-	-
V_{SS}	-	-	グランド電位。		-	-

注 印はシュミット・トリガ入力を示します。

3.3 端子の入出力回路

μ PD750008の各端子の入出力回路を一部簡略した形式を用いて示します。

<p>TYPE A</p>  <p>CMOS規格の入力バッファになっています。</p>	<p>TYPE D</p>  <p>出力ハイ・インピーダンス (P-ch, N-chともにオフ) とすることができるプッシュプル出力となっています。</p>
<p>TYPE B</p>  <p>ヒステリシス特性を有するシュミット・トリガ入力となっています。</p>	<p>TYPE E-B</p>  <p>P.U.R. : Pull-Up Resistor</p>
<p>TYPE B-C</p>  <p>P.U.R. : Pull-Up Resistor</p>	<p>TYPE F-A</p>  <p>P.U.R. : Pull-Up Resistor</p>



3.4 未使用端子の処理について

★

表 3 - 1 未使用端子の処理一覧

端 子	推奨接続方法
P00/INT4	V _{SS} またはV _{DD} に接続
P01/ $\overline{\text{SCK}}$	個別に抵抗を介して、V _{SS} またはV _{DD} に接続
P02/SO/SB0	
P03/SI/SB1	V _{SS} に接続
P10/INT0-P12/INT2	V _{SS} またはV _{DD} に接続
P13/TI0	
P20/PTO0	入力状態：個別に抵抗を介して、V _{SS} またはV _{DD} に接続
P21/PTO1	
P22/PCL	出力状態：オープン
P23/BUZ	
P30-P33	
P40-P43	
P50-P53	入力状態：V _{SS} に接続 出力状態：V _{SS} に接続（マスク・オプションのプルアップ抵抗を接続しないでください）
P60/KR0-P63/KR3	入力状態：個別に抵抗を介して、V _{SS} またはV _{DD} に接続
P70/KR4-P73/KR7	
P80,P81	出力状態：オープン
XT1 ^注	V _{SS} に接続
XT2 ^注	オープン
IC	V _{DD} に直接接続

注 サブシステム・クロックを使用しない場合は、SOS . 0 = 1（内蔵フィードバック抵抗を使用しない）を選択してください。

4. Mk モードとMk モードの切り替え機能

4.1 Mk モードとMk モードの違い

μ PD750008のCPUはMk モードとMk モードの2つのモードを持ち、どちらを使用するかを選択ができます。モードの切り替え操作は、スタック・バンク選択レジスタ (SBS) のビット3で行います。

- Mk モード： μ PD75008と上位互換性があります。
ROMが16 Kバイトまでの75XL CPUで使用できます。
- Mk モード： μ PD75008との互換性はありません。
ROMが16 Kバイト以上の製品も含め、75XLのCPU全部で使用できます。

表4 - 1に、Mk モードとMk モードの違いを示します。

表4 - 1 Mk モードとMk モードの違い

	Mk モード	Mk モード
サブルーチン命令の スタック・バイト数	2 バイト	3 バイト
BRA !addr1命令 CALLA !addr1命令	なし	あり
CALL !addr命令	3 マシン・サイクル	4 マシン・サイクル
CALLF !faddr命令	2 マシン・サイクル	3 マシン・サイクル

- ★ 注意 Mk モードは、75Xおよび75XLシリーズにおいて、16 Kバイトを越えるプログラム領域をサポートするモードです。このモードにより、16 Kバイトを越える製品とのソフトウェア上の互換性を高めることができます。なお、Mk モードを選択すると、サブルーチン・コール命令実行時のスタック・バイト数がMk モードに比べ1スタックごとに1バイト分使用エリアが増えます。また、CALL !addr, CALLF !faddr命令使用時は、マシン・サイクルがそれぞれ1マシン・サイクル分長くなります。したがって、ソフトウェアの互換性よりRAMの使用効率や処理能力を重視する場合は、Mk モードを使用してください。

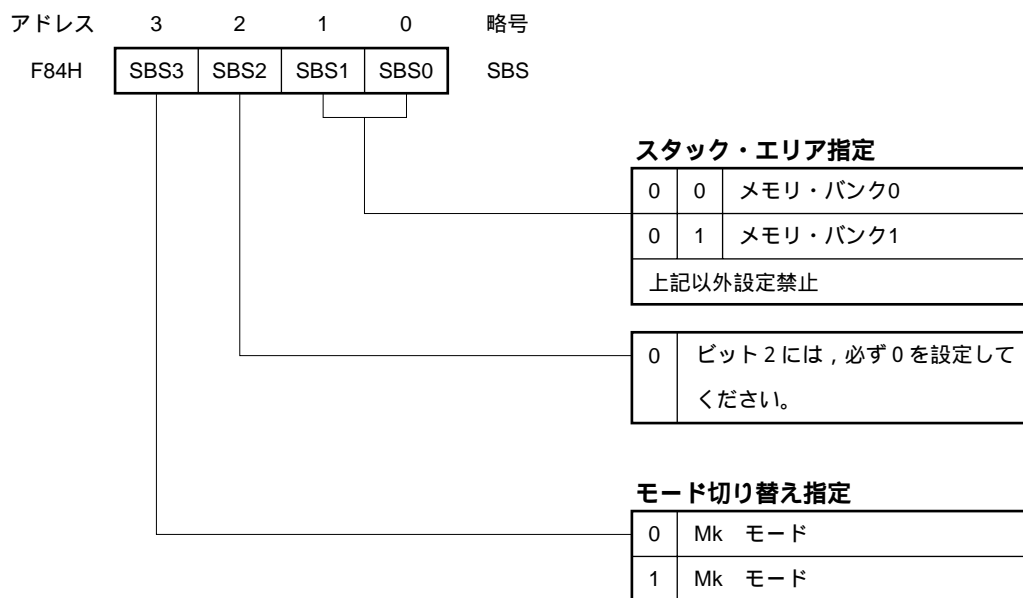
4.2 スタック・バンク選択レジスタ (SBS) の設定方法

Mk モードとMk モードの切り替えは、スタック・バンク選択レジスタによって行います。図4 - 1にそのフォーマットを示します。

スタック・バンク選択レジスタは、4ビット・メモリ操作命令により設定します。Mk モードを使用する場合は、プログラムの初期で必ずスタック・バンク選択レジスタを $100 \times B^{\#}$ にイニシャライズしてください。またMk モードを使用する場合は、必ず $000 \times B^{\#}$ にイニシャライズしてください。

注 xには希望の値を設定してください。

図4 - 1 スタック・バンク選択レジスタのフォーマット



注意 SBS.3はRESET信号発生後“1”になるので、CPUはMk モードで動作します。Mk モードの命令を使用する場合は、SBS.3を“0”にし、Mk モードに設定してから使用してください。

5 . メモリ構成

プログラム・メモリ (ROM) ... 4096 × 8 ビット (0000H-0FFFH) : μ PD750004
6144 × 8 ビット (0000H-17FFH) : μ PD750006
8192 × 8 ビット (0000H-1FFFH) : μ PD750008

・ 0000-0001H番地

RESET信号発生でのプログラム・スタート・アドレスとRBE, MBEの設定値を書くベクタ・テーブルです。
任意の番地からリセット・スタートできます。

・ 0002-000DH番地

各ベクタ割り込みによるプログラム・スタート・アドレスとRBE, MBEの設定値を書くベクタ・テーブルです。
任意の番地から割り込み処理をスタートできます。

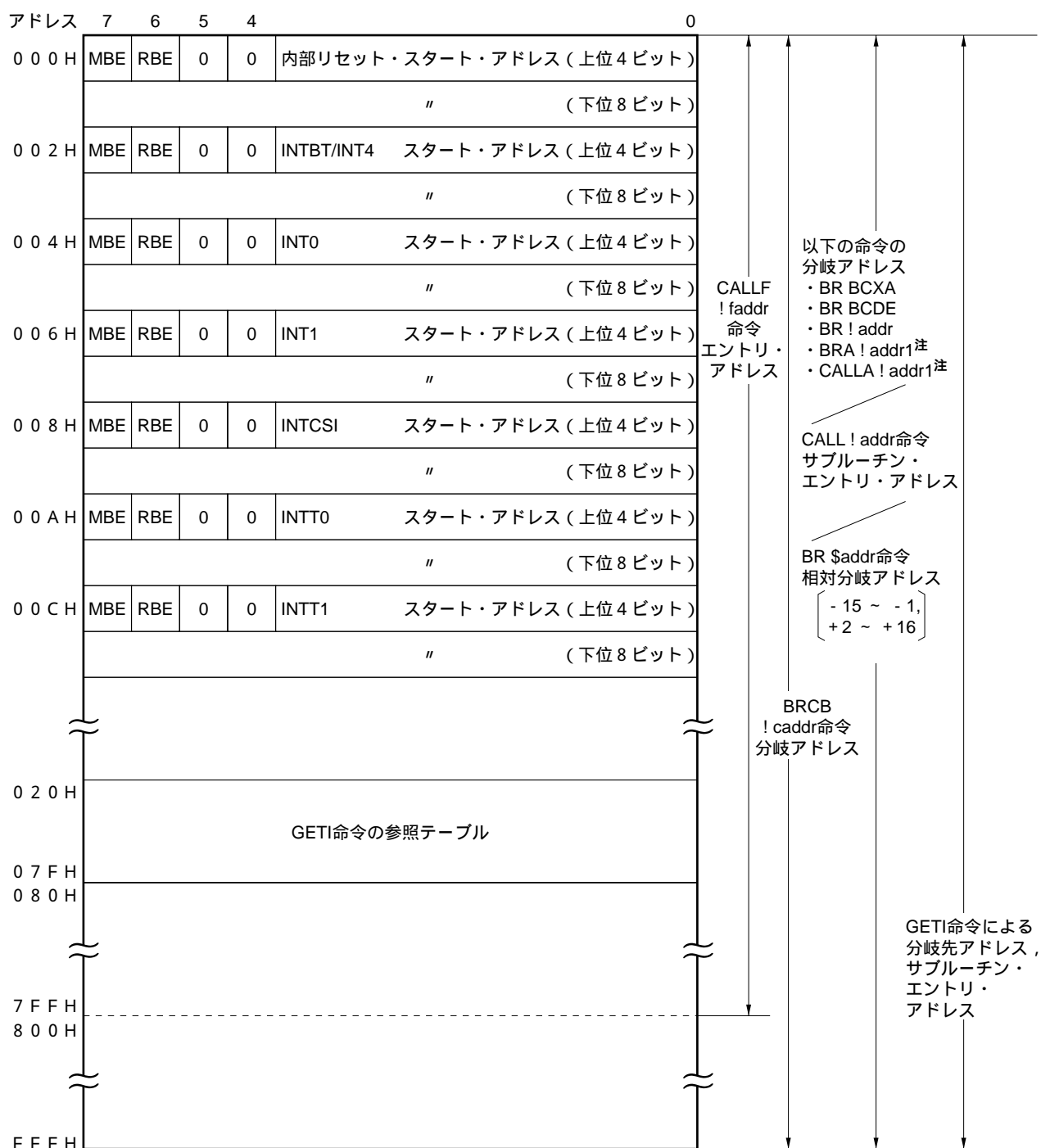
・ 0020-007FH番地

GETI命令で参照するテーブル領域です。

データ・メモリ (RAM)

- ・ データ・エリア ... 512 × 4 ビット (000H-1FFH)
- ・ 周辺ハードウェア・エリア... 128 × 4 ビット (F80H-FFFH)

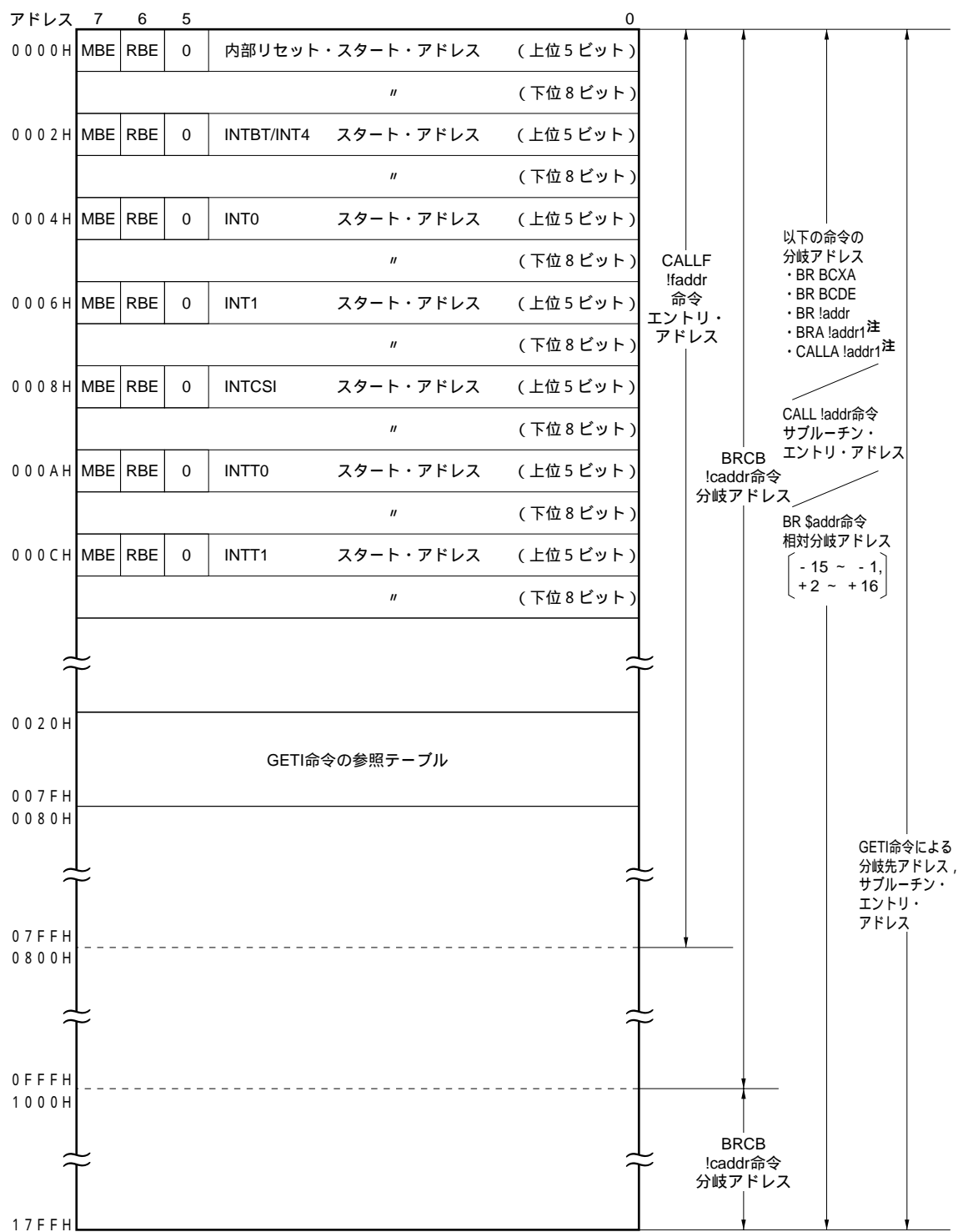
図5 - 1 プログラム・メモリ・マップ (μ PD750004)



注 Mk モードでのみ使用できます。

備考 上記の命令以外では, BR PCDE, BR PCXA命令により, PCの下位8ビットのみ変更したアドレスへ分岐することができます。

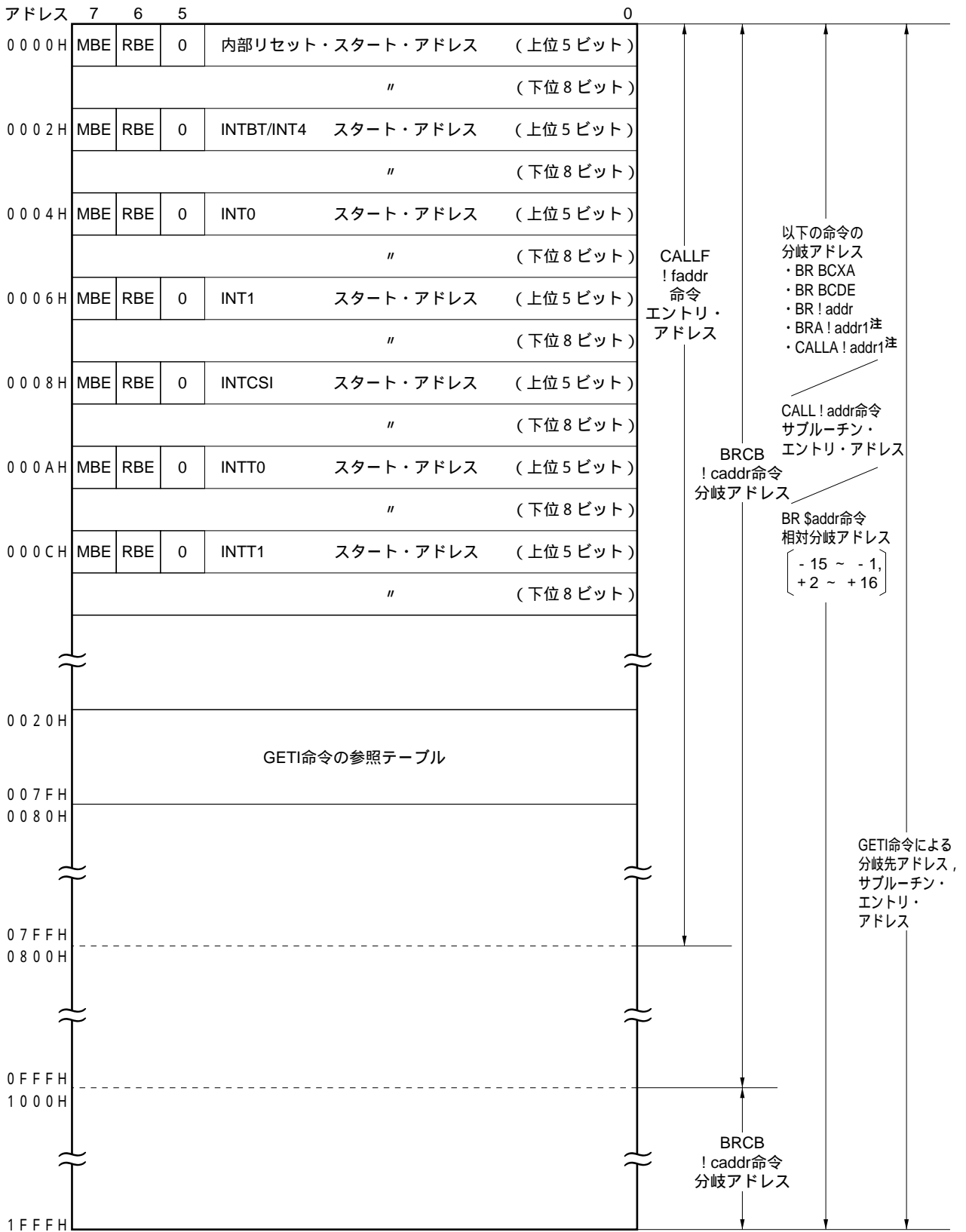
図5 - 2 プログラム・メモリ・マップ (μ PD750006)



注 Mk モードでのみ使用できます。

備考 上記の命令以外では、BR PCDE, BR PCXA命令により、PCの下位8ビットのみ変更したアドレスへ分岐することができます。

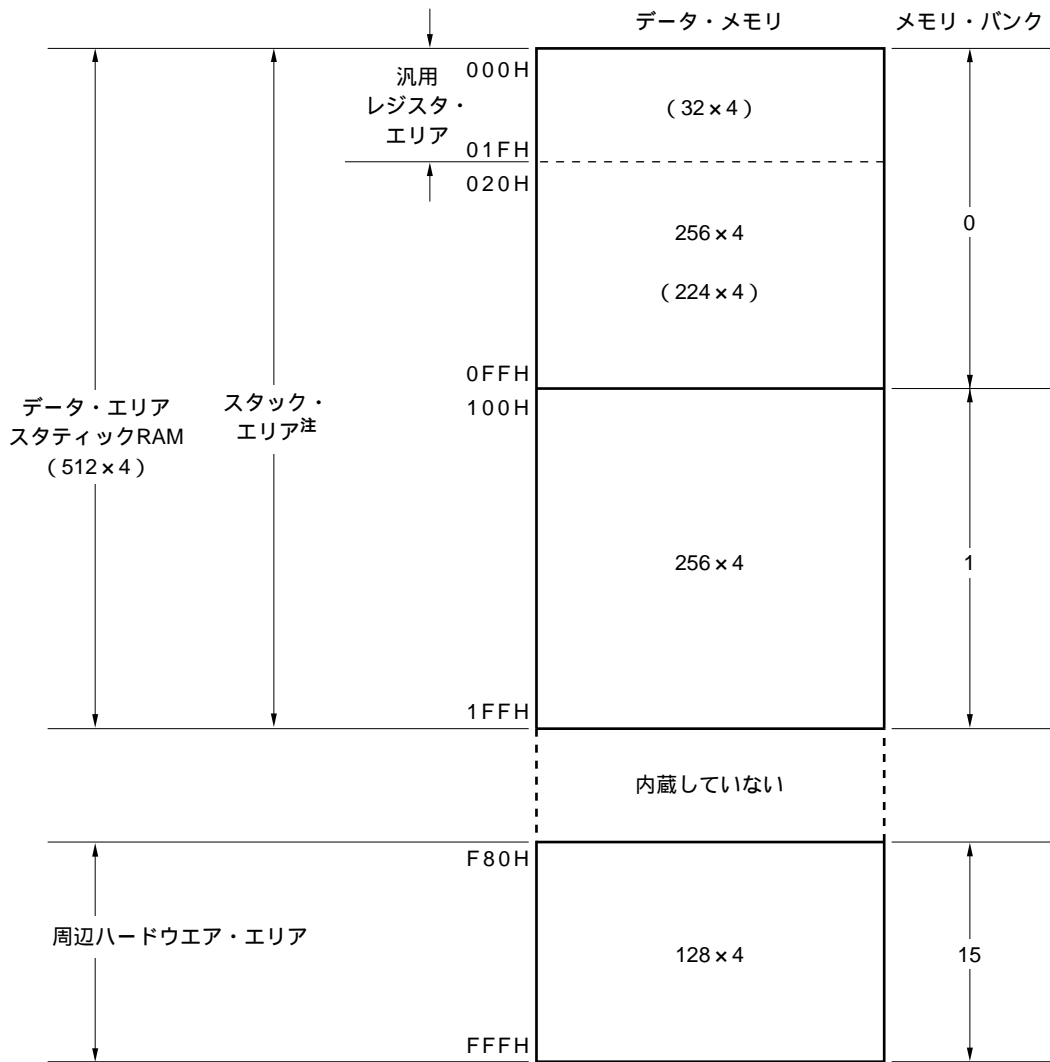
図5 - 3 プログラム・メモリ・マップ (μ PD750008)



注 Mk モードでのみ使用できます。

備考 上記の命令以外では、BR PCDE, BR PCXA命令により、PCの下位8ビットのみ変更したアドレスへ分岐することができます。

図5 - 4 データ・メモリ・マップ



注 スタック・エリアとして、メモリ・バンク 0 , 1 のうち 1 つを選択できます。

6. 周辺ハードウェア機能

6.1 デジタル入出力ポート

I/Oポートには次の3種類があります。

・ CMOS入力 (PORT0, 1)	: 8 本
・ CMOS入出力 (PORT2, 3, 6-8)	: 18 本
・ N-chオープン・ドレイン入出力 (PORT4, 5)	: 8 本
合計	34 本

表 6 - 1 デジタル・ポートの種類と特徴

ポート名	機能	動作, 特徴		備考
PORT0	4 ビット入力	シリアル・インタフェース機能使用時は, 動作モードによって兼用端子が出力機能を持ちます。		INT4, $\overline{SC\bar{K}}$, SO/SB0, SI/SB1と端子を兼用。
PORT1		4 ビット入力専用ポート。		INT0-INT2, T10と端子を兼用。
PORT2	4 ビット入出力	4 ビット単位で入力または出力モードに設定可能。		PTO0, PTO1, PCL, BUZと端子を兼用。
PORT3		1 ビット単位で入力または出力モードに設定可能。		
PORT4	4 ビット入出力 (N-chオープン・ドレイン 13 V 耐圧)	4 ビット単位で入力または出力モードに設定可能。マスク・オプションで 1 ビット単位でプルアップ抵抗の内蔵を指定可能。	PORT4, 5はペアとなって 8 ビット単位でデータの入出力が可能。	
PORT5				
PORT6	4 ビット入出力	1 ビット単位で入力または出力モードに設定可能。	PORT6, 7はペアとなって 8 ビット単位でデータの入出力が可能。	KR0-KR3と端子を兼用。
PORT7		4 ビット単位で入力または出力モードに設定可能。		KR4-KR7と端子を兼用。
PORT8	2 ビット入出力	2 ビット単位で入力または出力モードに設定可能。		-

6.2 クロック発生回路

クロック発生回路は, CPU上の周辺ハードウェアに供給するクロックを発生する装置で, 図 6 - 1 のように構成されています。

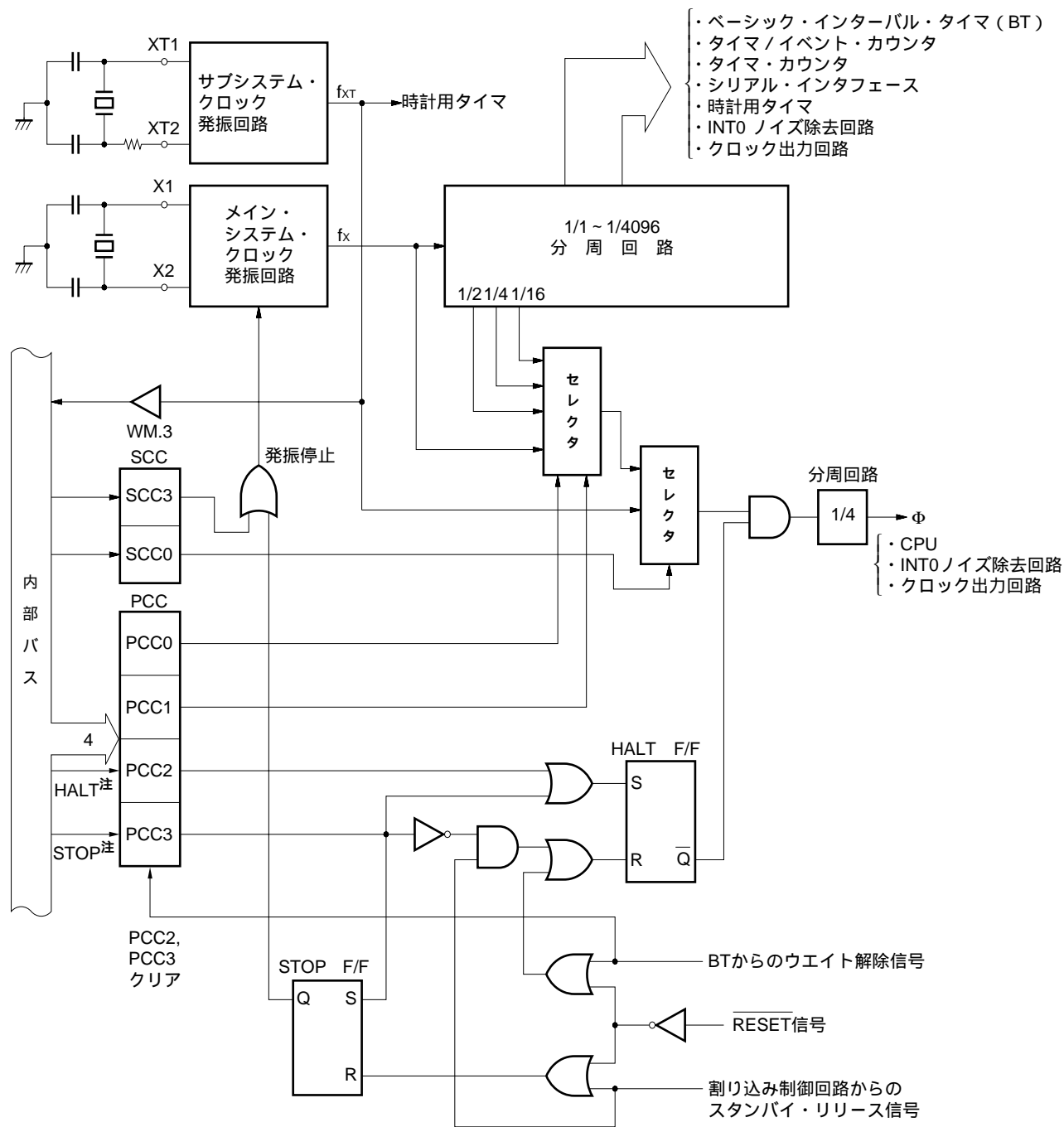
クロック発生回路の動作はプロセッサ・クロック・コントロール・レジスタ (PCC) とシステム・クロック・コントロール・レジスタ (SCC) により決定されます。

メイン・システム・クロックとサブシステム・クロックの2種類があります。

また, 命令実行時間を変化させることができます。

- ・ 0.95 μ s, 1.91 μ s, 3.81 μ s, 15.3 μ s (メイン・システム・クロック : 4.19 MHz動作時)
- ・ 0.67 μ s, 1.33 μ s, 2.67 μ s, 10.7 μ s (メイン・システム・クロック : 6.0 MHz動作時)
- ・ 122 μ s (サブシステム・クロック : 32.768 kHz動作時)

図6-1 クロック発生回路のブロック図



注 命令の実行

備考1 . fx : メイン・システム・クロック周波数

2 . fxt : サブシステム・クロック周波数

3 . Φ = CPUクロック

4 . PCC : プロセッサ・クロック・コントロール・レジスタ

5 . SCC : システム・クロック・コントロール・レジスタ

6 . Φの1クロック・サイクル (tcy) は命令の1マシン・サイクルです。

6.3 サブシステム・クロック発振回路の制御機能

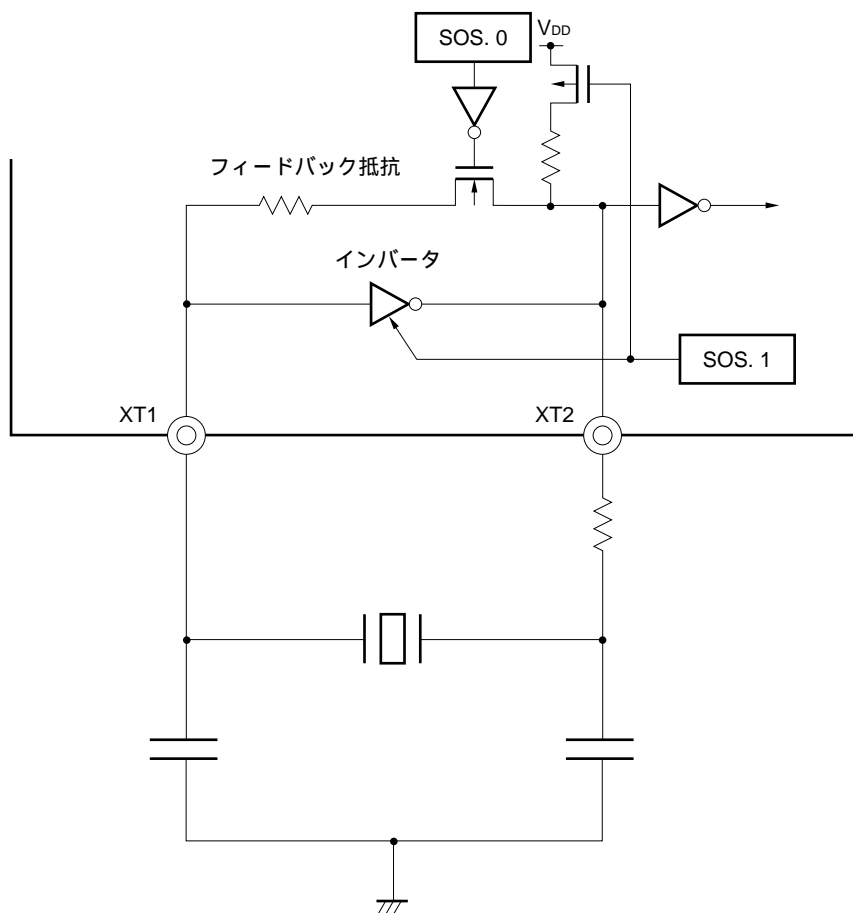
μ PD750008サブシリーズのサブシステム・クロック発振回路には、電源電流を下げるため、次の2つの制御機能があります。

- ・内蔵フィードバック抵抗を使用するか使用しないかをソフトウェアで選択する機能[※]
- ・内蔵インバータのドライブ電流を下げて、電源電圧が高いとき ($V_{DD} = 2.7V$) に消費電流を抑える機能

★ 注 サブシステム・クロックを使用しない場合は、ソフトウェアでSOS.0=1 (内蔵フィードバック抵抗を使用しない) とし、XT1をV_{SS}に接続、XT2はオープンにしてください。サブシステム・クロック発振回路で消費する電流を抑えることができます。

それぞれの機能は、サブ発振回路コントロール・レジスタ (SOS) のビット0, 1を切り替えることで使用できません (図6-2参照)。

図6-2 サブシステム・クロック発振回路

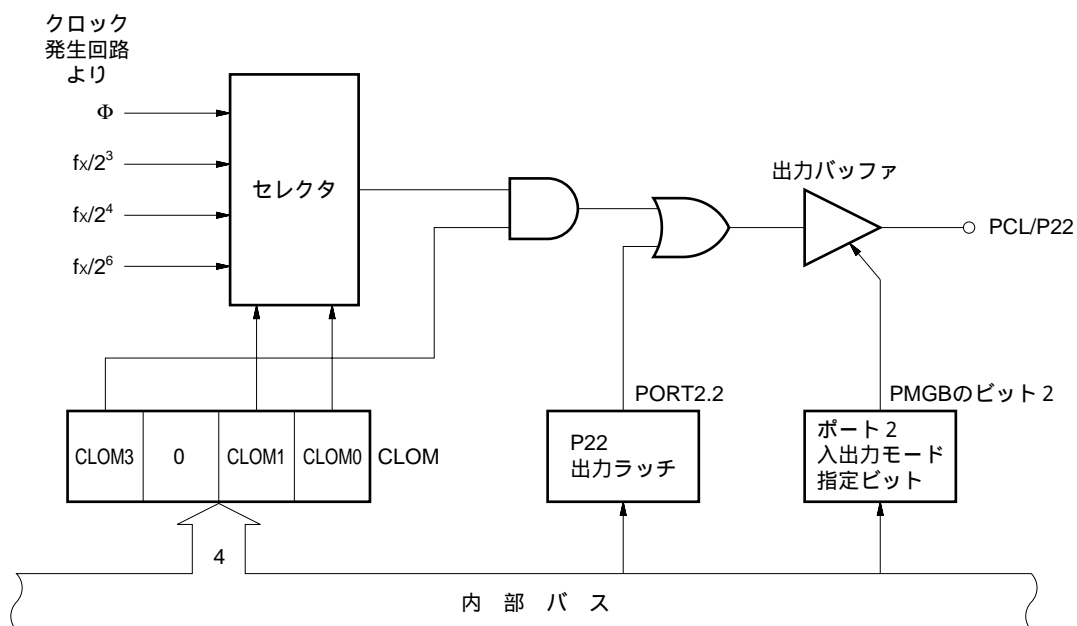


6.4 クロック出力回路

クロック出力回路は、P22/PCL端子からクロック・パルスを出力するための回路です。リモコン波形出力への応用や周辺LSIにクロック・パルスを供給する場合などに利用します。

- ・クロック出力（PCL）： Φ , 524, 262, 65.5 kHz（4.19 MHz動作時）
 Φ , 750, 375, 93.8 kHz（6.0 MHz動作時）

図6-3 クロック出力回路のブロック図



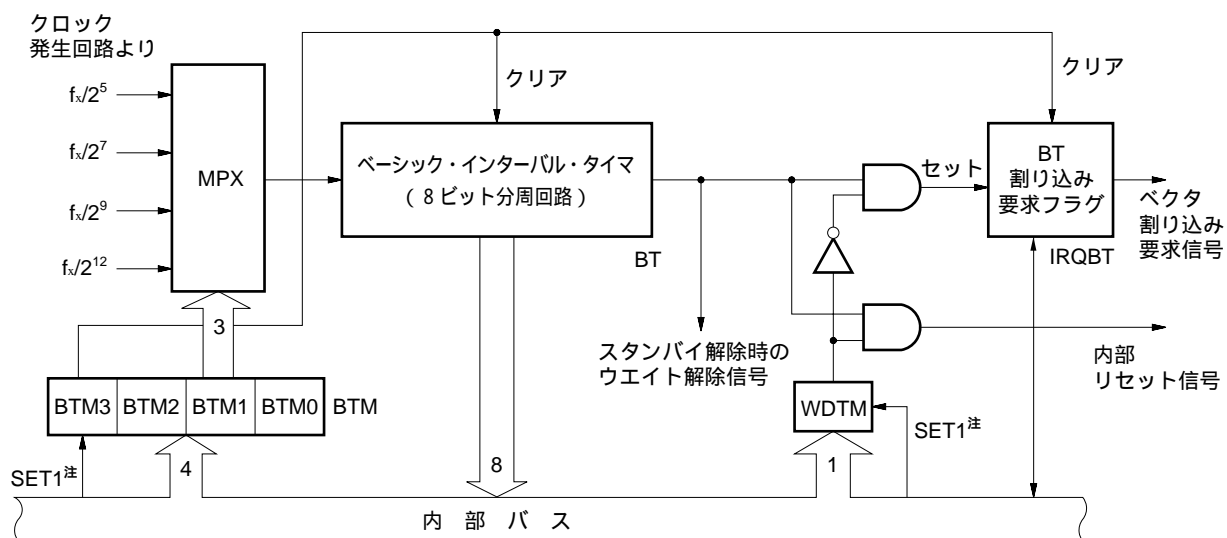
備考 クロックの出力の許可/禁止を切り替えるときに、幅の短いパルスが出力されないように考慮されています。

6.5 ベーシック・インターバル・タイマ/ウォッチドッグ・タイマ

ベーシック・インターバル・タイマ/ウォッチドッグ・タイマには、次の機能があります。

- ・基準時間割り込みを発生するインターバル・タイマ動作
- ・プログラムの暴走を検出し、CPUをリセットするウォッチドッグ・タイマ動作
- ・スタンバイ・モード解除時のウエイト時間の選択とカウント
- ・カウント内容の読み出し

図6-4 ベーシック・インターバル・タイマ/ウォッチドッグ・タイマのブロック図



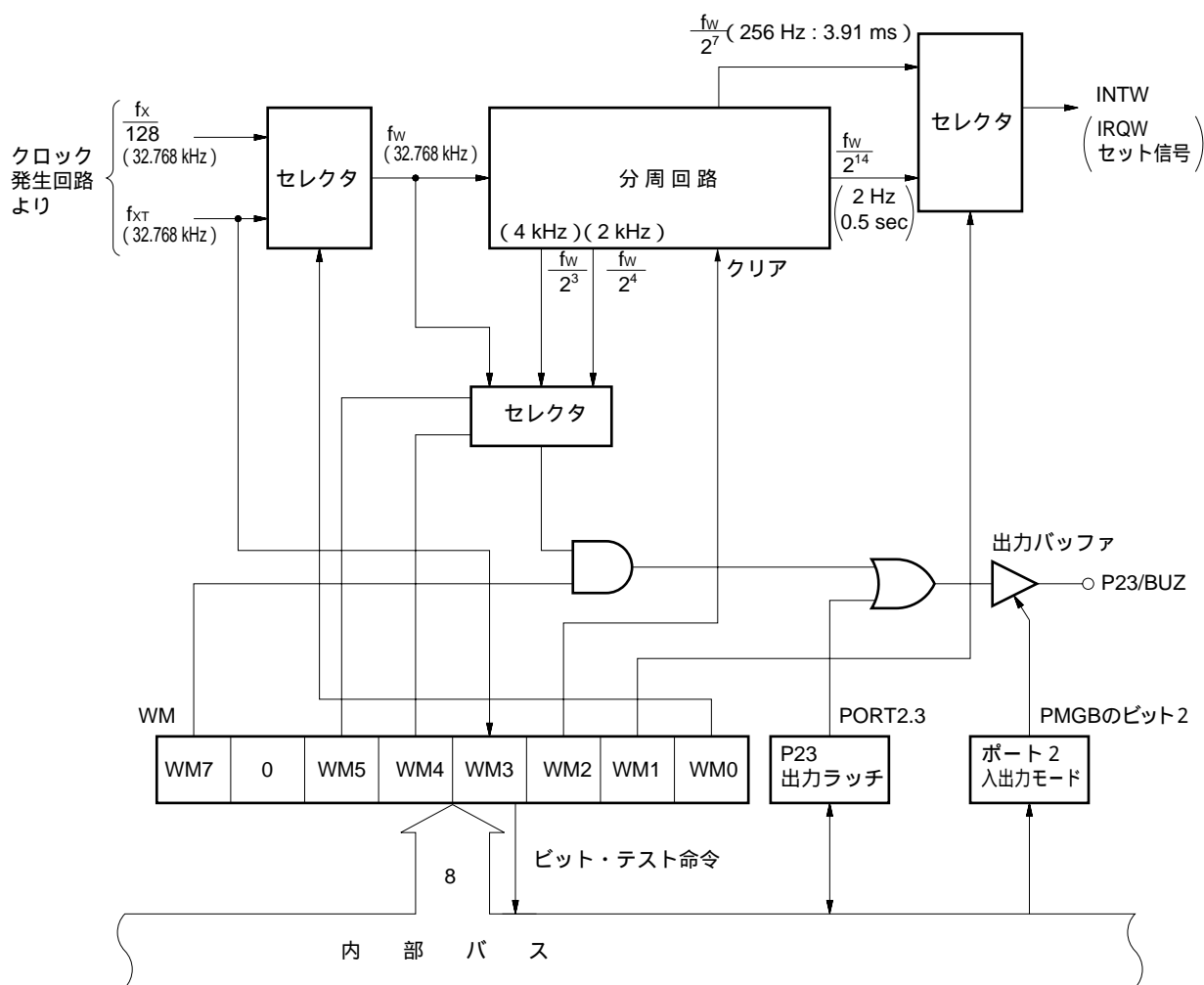
注 命令の実行

6.6 時計用タイマ

μ PD750008は時計用タイマを1チャンネル内蔵しています。また時計用タイマには次の機能があります。

- ・0.5秒の時間間隔でテスト・フラグ (IRQW) をセットします。
IRQWによりスタンバイ・モードの解除ができます。
- ・メイン・システム・クロック (4.194304 MHz) とサブシステム・クロック (32.768 kHz) のいずれでも0.5秒の時間間隔を作ることができます。
- ・早送りモードにより128倍 (3.91 ms) の時間間隔となり、プログラムのデバッグや検査に便利です。
- ・任意の周波数 (2.048, 4.096, 32.768 kHz) をP23/BUZ端子に出力することができ、ブザー音発生や、システム・クロック発振周波数のトリミングに使用できます。
- ・分周回路のクリアができますから、時計をゼロ秒スタートできます。

図6-5 時計用タイマのブロック図



() 内は $f_x = 4.194304$ MHz, $f_{XT} = 32.768$ kHzの場合です。

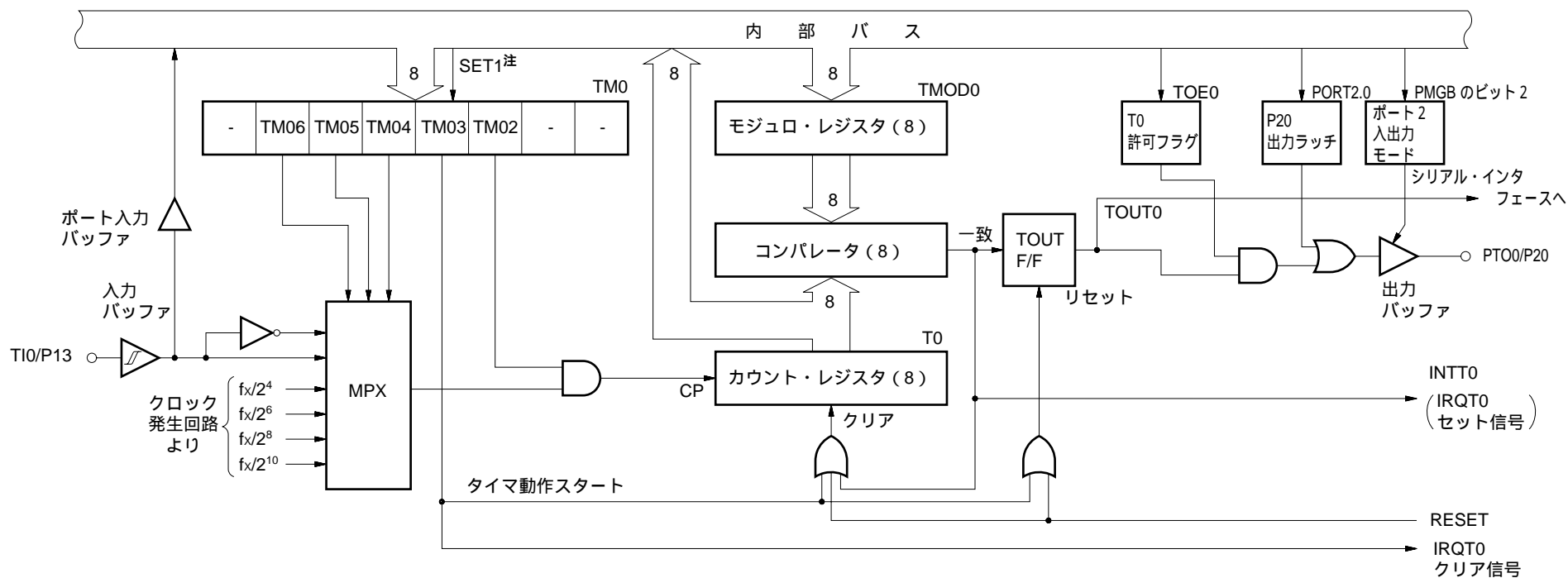
6.7 タイマ/イベント・カウンタ

μ PD750008には、タイマ/イベント・カウンタを1チャンネル、およびタイマ・カウンタを1チャンネル内蔵しています。その構成を図6 - 6, 6 - 7に示します。

タイマ/イベント・カウンタ、およびタイマ・カウンタには、次の機能があります。

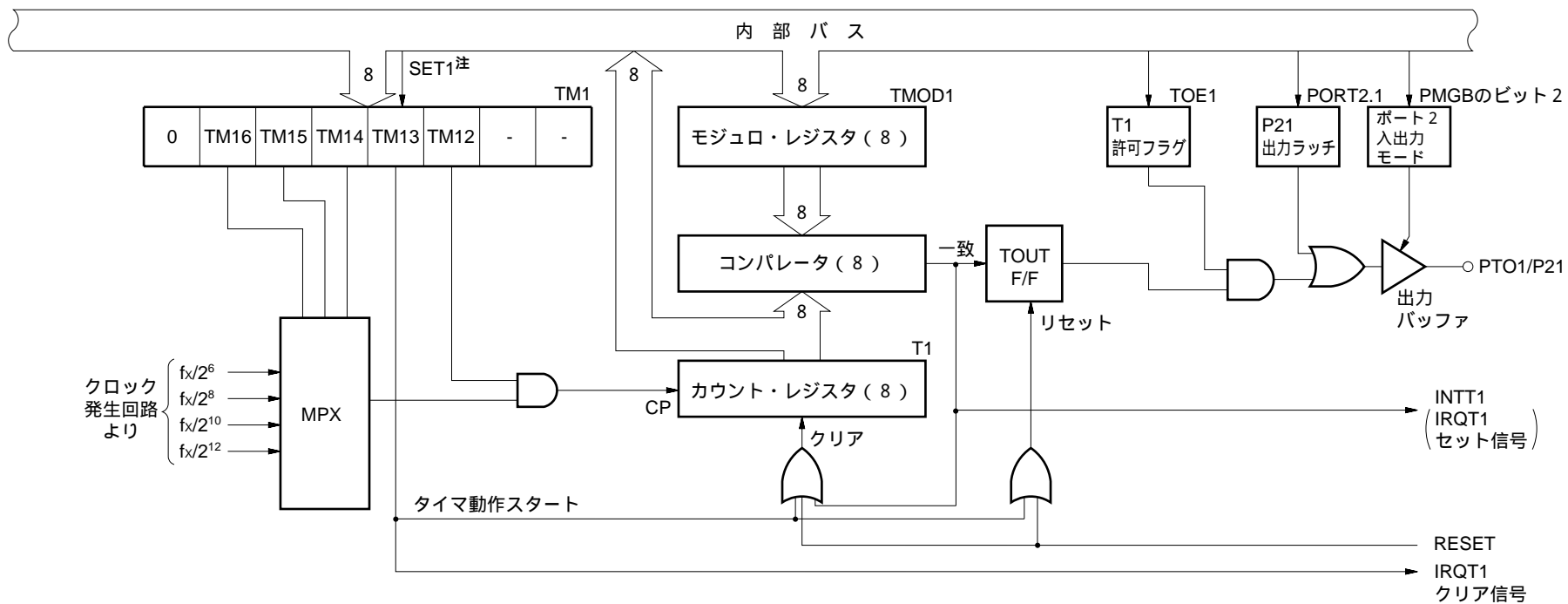
- ・ プログラマブル・インターバル・タイマ動作
- ・ PTO_n端子への任意の周波数の方形波出力 ($n = 0, 1$)
- ・ イベント・カウンタ動作 (チャンネル0のみ)
- ・ TI0端子入力をN分周してPTO0端子へ出力 (分周回路動作) (チャンネル0のみ)
- ・ シリアル・インタフェース回路へのシリアル・シフト・クロック供給 (チャンネル0のみ)
- ・ カウント値の読み出し機能

図6-6 タイマ/イベント・カウンタのブロック図



注 命令の実行

★ 図6-7 タイマ・カウンタのブロック図



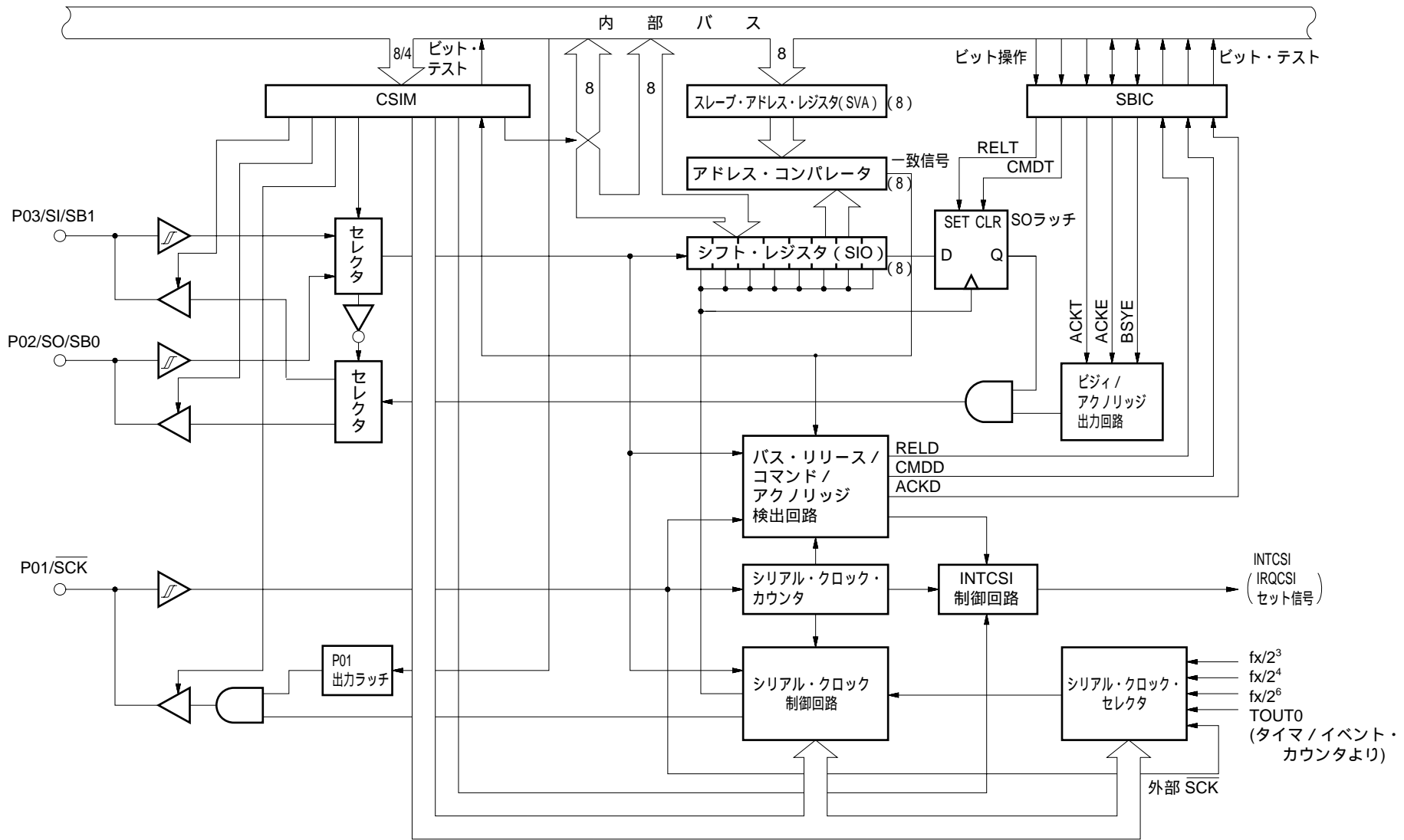
注 命令の実行

6.8 シリアル・インタフェース

μ PD750008は、クロック同期式8ビット・シリアル・インタフェースを内蔵しています。シリアル・インタフェースには、次の4種類のモードがあります。

- ・動作停止モード
- ・3線式シリアルI/Oモード
- ・2線式シリアルI/Oモード
- ・SBIモード

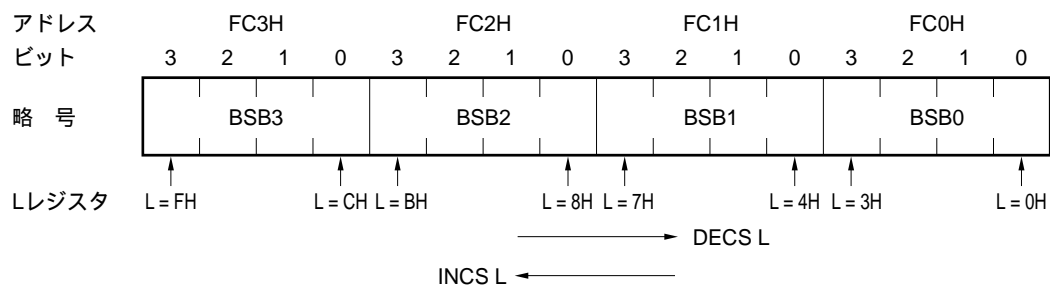
図6-8 シリアル・インタフェースのブロック図



6.9 ビット・シーケンシャル・バッファ ... 16ビット

ビット・シーケンシャル・バッファ (BSB) は、ビット操作用の特殊データ・メモリで、特にアドレスおよびビット指定を順次変更してビット操作が容易にできるので、ビット長の長いデータをビット単位で処理するときに便利です。

図6 - 9 ビット・シーケンシャル・バッファのフォーマット



備考1 .pmem.@Lアドレッシングでは、Lレジスタに対応して指定ビットが移動します。

2 .pmem.@Lアドレッシングでは、MBE, MBSの指定にかかわらずに、いつでもBSBを操作できます。

7. 割り込み機能とテスト機能

μ PD750008には、7種類の割り込みソースと2種類のテスト・ソースがあります。テスト・ソースのうちINT2は、2種類のエッジ検出テストابل入力を備えています。

μ PD750008の割り込み制御回路には次のような機能があります。

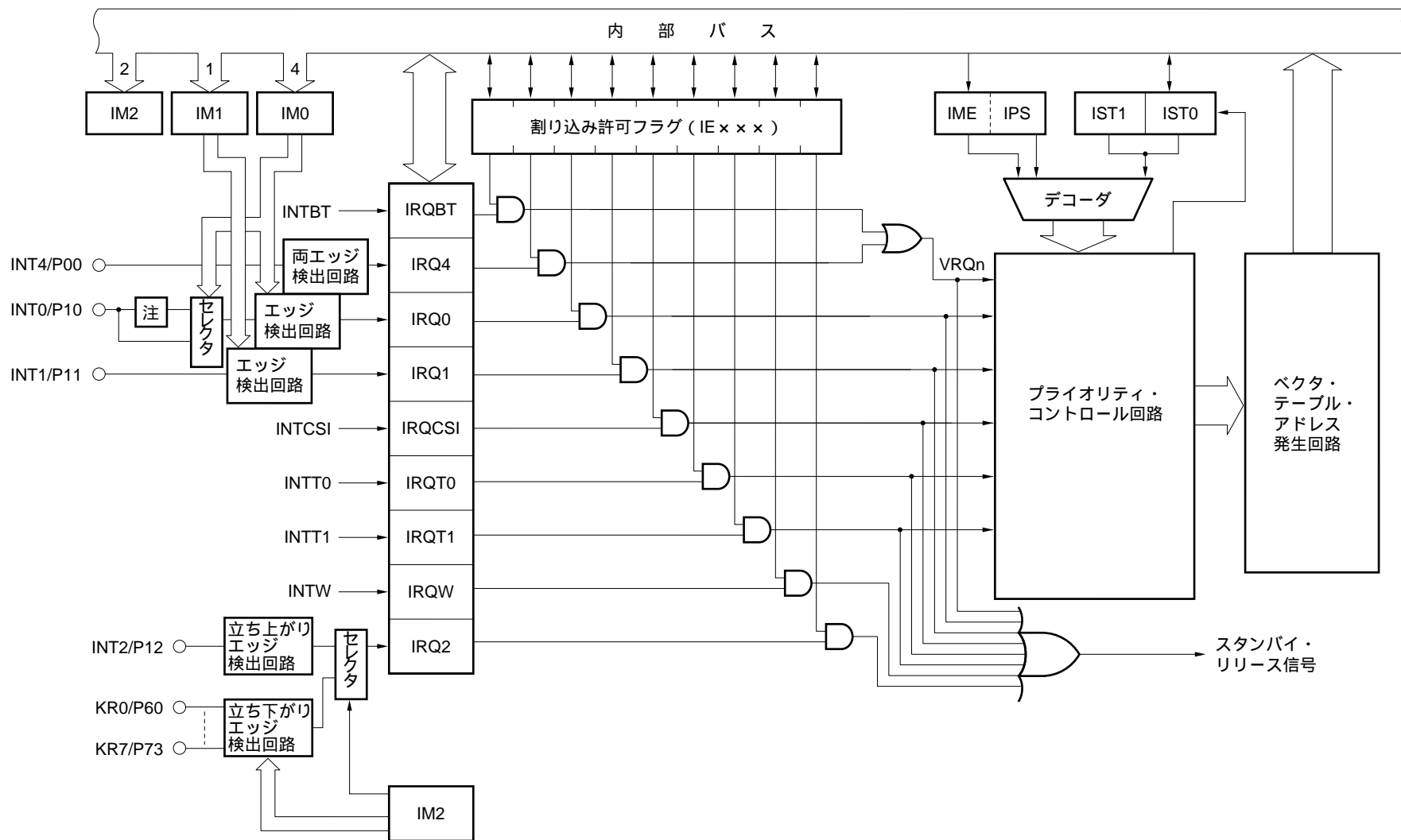
(1) 割り込み機能

- ・割り込み許可フラグ (IE x x x) と、割り込みマスタ許可フラグ (IME) により受け付け可否を制御できるハードウェア制御のベクタ割り込み機能
- ・割り込みスタート・アドレスを任意に設定可能
- ・割り込みプライオリティ選択レジスタ (IPS) により優先順位が指定できる多重割り込み機能
- ・割り込み要求フラグ (IRQ x x x) のテスト機能 (ソフトウェアで割り込み発生の確認可能)
- ・スタンバイ・モードの解除 (割り込み許可フラグにより、解除する割り込みの選択可能)

(2) テスト機能

- ・ソフトウェアでテスト要求フラグ (IRQ x x x) 発生の確認可能
- ・スタンバイ・モードの解除 (テスト許可フラグにより、解除するテスト・ソースの選択可能)

図7-1 割り込み制御回路ブロック図



注 ノイズ除去回路 (ノイズ除去回路選択時はスタンバイ・リリース不可)

8. スタンバイ機能

μ PD750008には、プログラム待機中の消費電力を低減するために、2種類のスタンバイ・モード（STOPモード、HALTモード）が用意されています。

表8 - 1 スタンバイ・モード時の各動作状態

モード		STOPモード	HALTモード
項目			
設定命令		STOP命令	HALT命令
設定時のシステム・クロック		メイン・システム・クロックの場合のみ設定可	メイン・システム・クロックとサブシステム・クロックのいずれでも設定可
動作状態	クロック発生回路	メイン・システム・クロック発振停止	CPUクロックのみ停止（発振継続）
	ベーシック・インターバル・タイム/ウォッチドッグ・タイム	動作停止	メイン・システム・クロック発振時のみ動作（基準時間間隔でIRQBTをセット）
	シリアル・インタフェース	シリアル・クロックに外部SCK入力を選択した場合のみ、動作可能	シリアル・クロックに外部SCK入力を選択した場合、またはメイン・システム・クロック発振時のみ動作
	タイマ/イベント・カウンタ	カウント・クロックにTI0の端子入力を指定した場合のみ、動作可能	カウント・クロックにTI0の端子入力を指定した場合、またはメイン・システム・クロック発振時のみ動作
	タイマ・カウンタ	動作停止	動作可能 ^{注1}
	時計用タイマ	カウント・クロックにfxrを選択した場合動作可能	動作可能
	外部割り込み	INT1, 2, 4は動作可能 INT0のみ動作不可能 ^{注2}	
	CPU	動作停止	
解除信号		割り込み許可フラグで許可されている動作可能なハードウェアからの割り込み要求信号またはRESET信号発生	

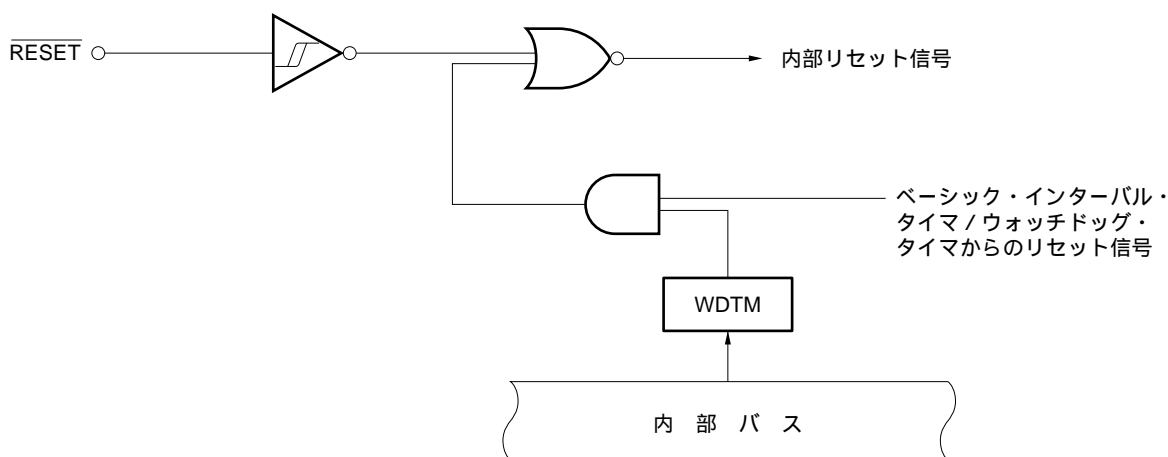
注1．メイン・システム・クロック発振時のみ動作可能。

2．エッジ検出モード・レジスタ（IM0）のビット2により、ノイズ除去回路を選択しない場合（IM02 = 1のとき）のみ動作可能。

9. リセット機能

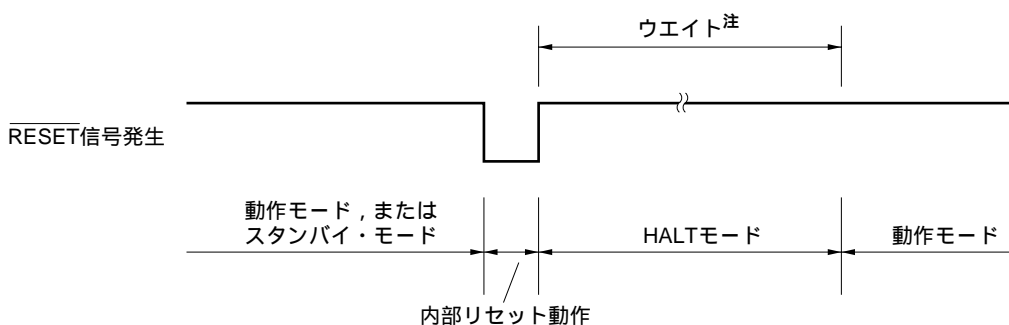
リセット入力には、外部リセット信号 ($\overline{\text{RESET}}$) とベーシック・インターバル・タイマ/ウォッチドッグ・タイマからのリセット信号の2種類があります。どちらか一方のリセット信号が入力されると、内部リセット信号が発生します。図9 - 1 にそれぞれの構成を示します。

図9 - 1 リセット機能の構成



$\overline{\text{RESET}}$ 信号発生によって、各ハードウェアは表9 - 1 に示すようにイニシャライズされます。リセット動作のタイミングを図9 - 2 に示します。

図9 - 2 $\overline{\text{RESET}}$ 信号発生によるリセット動作



注 マスク・オプションにより次の2つの時間を選択することができます。

$2^{17}/f_x$ (21.8 ms : 6.0 MHz動作時, 31.3 ms : 4.19 MHz動作時)

$2^{15}/f_x$ (5.46 ms : 6.0 MHz動作時, 7.81 ms : 4.19 MHz動作時)

表9 - 1 各ハードウェアのリセット後の状態 (1/2)

ハードウェア		スタンバイ・モード中の RESET信号発生	動作中のRESET信号発生
プログラム・カウンタ (PC)	μ PD750004	プログラム・メモリの0000H番地の下位4ビットをPC11-8に, 0001H番地の内容をPC7-0にセット	左に同じ
	μ PD750006,750008	プログラム・メモリの0000H番地の下位5ビットをPC12-8に, 0001H番地の内容をPC7-0にセット	
PSW	キャリー・フラグ (CY)	保持	不定
	スキップ・フラグ (SK0-2)	0	0
	割り込みステータス・フラグ (IST0, IST1)	0	0
	バンク許可フラグ (MBE, RBE)	プログラム・メモリの0000H番地のビット6をRBE, ビット7をMBEにセット	左に同じ
スタック・ポインタ (SP)		不定	不定
スタック・バンク選択レジスタ (SBS)		1000B	1000B
★	データ・メモリ (RAM)	保持	不定
汎用レジスタ (X, A, H, L, D, E, B, C)		保持	不定
バンク選択レジスタ (MBS, RBS)		0, 0	0, 0
★	ベーシック・インター	カウンタ (BT)	不定
バル・タイマ/ウォッチドッグ・タイマ	モード・レジスタ (BTM)	0	0
	ウォッチドッグ・タイマ許可フラグ (WDTM)	0	0
タイマ/イベント・カウンタ	カウンタ (T0)	0	0
	モジュロ・レジスタ (TMOD0)	FFH	FFH
	モード・レジスタ (TM0)	0	0
	TOE0, TOUT F/F	0, 0	0, 0
タイマ・カウンタ	カウンタ (T1)	0	0
	モジュロ・レジスタ (TMOD1)	FFH	FFH
	モード・レジスタ (TM1)	0	0
	TOE1, TOUT F/F	0, 0	0, 0
時計用タイマ	モード・レジスタ (WM)	0	0
シリアル・インタフェース	シフト・レジスタ (SIO)	保持	不定
	動作モード・レジスタ (CSIM)	0	0
	SBIコントロール・レジスタ (SBIC)	0	0
	スレープ・アドレス・レジスタ (SVA)	保持	不定

表9 - 1 各ハードウェアのリセット後の状態 (2/2)

ハードウェア		スタンバイ・モード中の RESET信号発生	動作中のRESET信号発生
クロック発生回路, クロック出力回路	プロセッサ・クロック・コントロール・レジスタ (PCC)	0	0
	システム・クロック・コントロール・レジスタ (SCC)	0	0
	クロック出力モード・レジスタ (CLOM)	0	0
サブ発振回路コントロール・レジスタ (SOS)		0	0
割り込み機能	割り込み要求フラグ (IRQ x x x)	リセット (0)	リセット (0)
	割り込み許可フラグ (IE x x x)	0	0
	プライオリティ選択レジスタ (IPS)	0	0
	INT0, 1, 2モード・レジスタ (IM0, 1, 2)	0, 0, 0	0, 0, 0
デジタル・ポート	出力バッファ	オフ	オフ
	出力ラッチ	クリア (0)	クリア (0)
	入出力モード・レジスタ (PMGA, B, C)	0	0
	プルアップ抵抗指定レジスタ (POGA, B)	0	0
ビット・シーケンシャル・バッファ (BSB0-3)		保持	不定

10. マスク・オプション

μ PD750008には、次のマスク・オプションがあります。

P40-P43, P50-P53のマスク・オプション

プルアップ抵抗の内蔵を選択可能。

ビット単位でプルアップ抵抗の内蔵を指定する

プルアップ抵抗の内蔵を指定しない

スタンバイ機能のマスク・オプション

$\overline{\text{RESET}}$ 信号によるウェイト時間を選択可能。

$2^{17}/f_x$ (21.8 ms : $f_x = 6.0$ MHz動作時, 31.3 ms : $f_x = 4.19$ MHz動作時)

$2^{15}/f_x$ (5.46 ms : $f_x = 6.0$ MHz動作時, 7.81 ms : $f_x = 4.19$ MHz動作時)

サブシステム・クロックのマスク・オプション

内蔵フィードバック抵抗の使用可能 / 不可を選択可能。

内蔵フィードバック抵抗を使用可能にする

(ソフトウェアで内蔵フィードバック抵抗のオン / オフを切り替える)

内蔵フィードバック抵抗を使用不可能にする

(内蔵フィードバック抵抗をハードウェアで切断する)

11. 命令セット

(1) オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述します（詳細はRA75Xアセンブラ・パッケージ ユーザーズ・マニュアル 言語編 (EEU-730) を参照してください）。記述方法の中で、複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および+、-記号はキー・ワードであり、そのまま記述します。

イミディエト・データの場合は、適当な数値またはレーベルを記述します。

レーベルとしてmem, fmem, pmem, bitなどの代わりに、各種レジスタ・フラグの略号を記述できます（詳細は、 μ PD750008 ユーザーズ・マニュアル (U10740J) をご参照ください）。ただし、fmem, pmemは記述できるレーベルに制限があります。

表現形式	記述方法
reg	X, A, B, C, D, E, H, L
reg1	X, B, C, D, E, H, L
rp	XA, BC, DE, HL
rp1	BC, DE, HL
rp2	BC, DE
rp'	XA, BC, DE, HL, XA', BC', DE', HL'
rp'1	BC, DE, HL, XA', BC', DE', HL'
rpa	HL, HL+, HL-, DE, DL
rpa1	DE, DL
n4	4ビット・イミディエト・データまたはレーベル
n8	8ビット・イミディエト・データまたはレーベル
mem	8ビット・イミディエト・データまたはレーベル ^注
bit	2ビット・イミディエト・データまたはレーベル
fmem	FB0H - FBFH, FF0H - FFFHイミディエト・データまたはレーベル
pmem	FC0H - FFFHイミディエト・データまたはレーベル
addr	0000H - 0FFFHイミディエト・データまたはレーベル (μ PD750004) 0000H - 17FFHイミディエト・データまたはレーベル (μ PD750006) 0000H - 1FFFHイミディエト・データまたはレーベル (μ PD750008)
addr1 (Mk モード 時のみ)	0000H-0FFFHイミディエト・データまたはレーベル (μ PD750004) 0000H-17FFHイミディエト・データまたはレーベル (μ PD750006) 0000H-1FFFHイミディエト・データまたはレーベル (μ PD750008)
caddr	12ビット・イミディエト・データまたはレーベル
faddr	11ビット・イミディエト・データまたはレーベル
taddr	20H-7FHイミディエト・データ (ただしbit0=0) またはレーベル
PORTn	PORT0 - PORT8
IE x x x	IEBT, IET0, IET1, IE0 - IE2, IE4, IECSI, IEW
RBn	RB0 - RB3
MBn	MB0, MB1, MB15

注 memは、8ビット・データ処理の場合は偶数アドレスのみ記述できます。

(2) オペレーション説明上の凡例

A	: Aレジスタ; 4ビット・アキュムレータ
B	: Bレジスタ
C	: Cレジスタ
D	: Dレジスタ
E	: Eレジスタ
H	: Hレジスタ
L	: Lレジスタ
X	: Xレジスタ
XA	: レジスタ・ペア (XA); 8ビット・アキュムレータ
BC	: レジスタ・ペア (BC)
DE	: レジスタ・ペア (DE)
HL	: レジスタ・ペア (HL)
XA'	: 拡張レジスタ・ペア (XA')
BC'	: 拡張レジスタ・ペア (BC')
DE'	: 拡張レジスタ・ペア (DE')
HL'	: 拡張レジスタ・ペア (HL')
PC	: プログラム・カウンタ
SP	: スタック・ポインタ
CY	: キャリー・フラグ; ビット・アキュムレータ
PSW	: プログラム・ステータス・ワード
MBE	: メモリ・バンク許可フラグ
RBE	: レジスタ・バンク許可フラグ
PORTn	: ポートn (n=0-8)
IME	: 割り込みマスタ許可フラグ
IPS	: 割り込みプライオリティ選択レジスタ
IE x x x	: 割り込み許可フラグ
RBS	: レジスタ・バンク選択レジスタ
MBS	: メモリ・バンク選択レジスタ
PCC	: プロセッサ・クロック・コントロール・レジスタ
.	: アドレス, ビット区切り
(x x)	: x x でアドレスされる内容
x x H	: 16進データ

(3) アドレッシング・エリアの欄の記号説明

* 1	MB = MBE · MBS (MBS = 0 , 1 , 15)	データ・メモリ・アドレッシング
* 2	MB = 0	
* 3	MBE = 0 : MB = 0 (000H - 07FH) , MB = 15 (F80H - FFFH) MBE = 1 : MB = MBS (MBS = 0 , 1 , 15)	
* 4	MB = 15 , fmem = FB0H - FBFH , FF0H - FFFH	
* 5	MB = 15 , pmem = FC0H - FFFH	
* 6	addr = 0000H - 0FFFH (μ PD750004) , 0000H - 17FFH (μ PD750006) 0000H - 1FFFH (μ PD750008)	プログラム・メモリ・アドレッシング
* 7	addr , addr1 = (Current PC) - 15 ~ (Current PC) - 1 (Current PC) + 2 ~ (Current PC) + 16	
* 8	caddr = 0000H - 0FFFH (μ PD750004) 0000H - 0FFFH (PC ₁₂ = 0 : μ PD750006 , 750008) 1000H - 17FFH (PC ₁₂ = 1 : μ PD750006) 1000H - 1FFFH (PC ₁₂ = 1 : μ PD750008)	
* 9	faddr = 0000H - 07FFH	
* 10	taddr = 0020H - 007FH	
* 11	Mk モード時のみ addr1 = 0000H - 0FFFH (μ PD750004) 0000H - 17FFH (μ PD750006) 0000H - 1FFFH (μ PD750008)	

備考 1 . MBはアクセス可能なメモリ・バンクを示します。

- 2 . * 2 ではMBE , MBSに関係なくMB=0です。
- 3 . * 4 , * 5 ではMBE , MBSに関係なくMB=15です。
- 4 . * 6 ~ * 11は , それぞれアドレッシング可能な領域を示します。

(4) マシン・サイクルの欄の説明

S は , スキップ付き命令がスキップ動作をするときに要するマシン・サイクル数を示します。S の値は次のように変わります。

スキップしないとき	S = 0
スキップされる命令が , 1 バイト命令 , または 2 バイト命令のとき	S = 1
スキップされる命令が , 3 バイト命令 ^注 のとき	S = 2

注 3 バイト命令 : BR !addr , BRA !addr1 , CALL !addr , CALLA !addr1命令

注意 GETI命令は1マシン・サイクルでスキップされます。

1 マシン・サイクルはCPUクロックのΦの1サイクル分 (= tcy) に等しく , PCCの設定により4通りの時間が選択できます。

命令群	二モニック	オペランド	バイト数	マシン・サイクル	オペレーション	アドレッシング・エリア	スキップ条件
転送	MOV	A, #n4	1	1	A n4		たてづみA
		reg1, #n4	2	2	reg1 n4		
		XA, #n8	2	2	XA n8		たてづみA
		HL, #n8	2	2	HL n8		たてづみB
		rp2, #n8	2	2	rp2 n8		
		A, @HL	1	1	A (HL)	* 1	
		A, @HL +	1	2 + S	A (HL), then L L + 1	* 1	L = 0
		A, @HL -	1	2 + S	A (HL), then L L - 1	* 1	L = FH
		A, @rpa1	1	1	A (rpa1)	* 2	
		XA, @HL	2	2	XA (HL)	* 1	
		@HL, A	1	1	(HL) A	* 1	
		@HL, XA	2	2	(HL) XA	* 1	
		A, mem	2	2	A (mem)	* 3	
		XA, mem	2	2	XA (mem)	* 3	
		mem, A	2	2	(mem) A	* 3	
		mem, XA	2	2	(mem) XA	* 3	
		A, reg	2	2	A reg		
		XA, rp'	2	2	XA rp'		
		reg1, A	2	2	reg1 A		
		rp' 1, XA	2	2	rp' 1 XA		
	XCH	A, @HL	1	1	A (HL)	* 1	
		A, @HL +	1	2 + S	A (HL), then L L + 1	* 1	L = 0
		A, @HL -	1	2 + S	A (HL), then L L - 1	* 1	L = FH
		A, @rpa1	1	1	A (rpa1)	* 2	
		XA, @HL	2	2	XA (HL)	* 1	
		A, mem	2	2	A (mem)	* 3	
		XA, mem	2	2	XA (mem)	* 3	
		A, reg1	1	1	A reg1		
XA, rp'	2	2	XA rp'				
テーブル参照	MOV _T	XA, @PCDE	1	3	<ul style="list-style-type: none"> • μPD750004 XA (PC₁₁₋₈ + DE)_{ROM} 		
					<ul style="list-style-type: none"> • μPD750006, 750008 XA (PC₁₂₋₈ + DE)_{ROM} 		
		XA, @PCXA	1	3	<ul style="list-style-type: none"> • μPD750004 XA (PC₁₁₋₈ + XA)_{ROM} 		
					<ul style="list-style-type: none"> • μPD750006, 750008 XA (PC₁₂₋₈ + XA)_{ROM} 		
		XA, @BCDE	1	3	XA (BCDE) _{ROM} ^注	* 6	
		XA, @BCXA	1	3	XA (BCXA) _{ROM} ^注	* 6	

注 μ PD750004を使用する場合は、Bレジスタには“0”を設定してください。 μ PD750006, 750008を使用する場合は、Bレジスタは下位1ビットのみ有効です。

命令群	二モニック	オペランド	バイト数	マシン・サイクル	オペレーション	アドレッシング・エリア	スキップ条件
ビット転送	MOV1	CY, fmem.bit	2	2	CY (fmem.bit)	* 4	
		CY, pmem.@L	2	2	CY (pmem ₇₋₂ + L ₃₋₂ .bit (L ₁₋₀))	* 5	
		CY, @H + mem.bit	2	2	CY (H + mem ₃₋₀ .bit)	* 1	
		fmem.bit, CY	2	2	(fmem.bit) CY	* 4	
		pmem.@L, CY	2	2	(pmem ₇₋₂ + L ₃₋₂ .bit (L ₁₋₀)) CY	* 5	
		@H + mem.bit, CY	2	2	(H + mem ₃₋₀ .bit) CY	* 1	
算	ADDS	A, #n4	1	1 + S	A A + n4		carry
		XA, #n8	2	2 + S	XA XA + n8		carry
		A, @HL	1	1 + S	A A + (HL)	* 1	carry
		XA, rp'	2	2 + S	XA XA + rp'		carry
		rp'1, XA	2	2 + S	rp'1 rp'1 + XA		carry
	ADDC	A, @HL	1	1	A, CY A + (HL) + CY	* 1	
		XA, rp'	2	2	XA, CY XA + rp' + CY		
		rp'1, XA	2	2	rp'1, CY rp'1 + XA + CY		
	SUBS	A, @HL	1	1 + S	A A - (HL)	* 1	borrow
		XA, rp'	2	2 + S	XA XA - rp'		borrow
		rp'1, XA	2	2 + S	rp'1 rp'1 - XA		borrow
	SUBC	A, @HL	1	1	A, CY A - (HL) - CY	* 1	
		XA, rp'	2	2	XA, CY XA - rp' - CY		
		rp'1, XA	2	2	rp'1, CY rp'1 - XA - CY		
	AND	A, #n4	2	2	A A \wedge n4		
		A, @HL	1	1	A A \wedge (HL)	* 1	
		XA, rp'	2	2	XA XA \wedge rp'		
		rp'1, XA	2	2	rp'1 rp'1 \wedge XA		
	OR	A, #n4	2	2	A A \vee n4		
		A, @HL	1	1	A A \vee (HL)	* 1	
		XA, rp'	2	2	XA XA \vee rp'		
		rp'1, XA	2	2	rp'1 rp'1 \vee XA		
	XOR	A, #n4	2	2	A A ∇ n4		
		A, @HL	1	1	A A ∇ (HL)	* 1	
XA, rp'		2	2	XA XA ∇ rp'			
rp'1, XA		2	2	rp'1 rp'1 ∇ XA			
アモーム作	RORC	A	1	1	CY A ₀ , A ₃ CY, A _{n-1} A _n		
	NOT	A	2	2	A \bar{A}		
増減	INCS	reg	1	1 + S	reg reg + 1		reg = 0
		rp1	1	1 + S	rp1 rp1 + 1		rp1 = 00H
		@HL	2	2 + S	(HL) (HL) + 1	* 1	(HL) = 0
		mem	2	2 + S	(mem) (mem) + 1	* 3	(mem) = 0
	DECS	reg	1	1 + S	reg reg - 1		reg = FH
		rp'	2	2 + S	rp' rp' - 1		rp' = FFH

命令群	二モニック	オペランド	バイト数	マシン・サイクル	オペレーション	アドレッシング・エリア	スキップ条件
比較	SKE	reg, #n4	2	2 + S	Skip if reg = n4		reg = n4
		@HL, #n4	2	2 + S	Skip if (HL) = n4	* 1	(HL) = n4
		A, @HL	1	1 + S	Skip if A = (HL)	* 1	A = (HL)
		XA, @HL	2	2 + S	Skip if XA = (HL)	* 1	XA = (HL)
		A, reg	2	2 + S	Skip if A = reg		A = reg
		XA, rp'	2	2 + S	Skip if XA = rp'		XA = rp
操作 キャリー・フラグ	SET1	CY	1	1	CY 1		
	CLR1	CY	1	1	CY 0		
	SKT	CY	1	1 + S	Skip if CY = 1		CY = 1
	NOT1	CY	1	1	CY $\overline{\text{CY}}$		
メモ リ・ ビット 操作	SET1	mem.bit	2	2	(mem.bit) 1	* 3	
		fmem.bit	2	2	(fmem.bit) 1	* 4	
		pmem.@ L	2	2	(pmem ₇₋₂ + L ₃₋₂ .bit(L ₁₋₀)) 1	* 5	
		@ H + mem.bit	2	2	(H + mem ₃₋₀ .bit) 1	* 1	
	CLR1	mem.bit	2	2	(mem.bit) 0	* 3	
		fmem.bit	2	2	(fmem.bit) 0	* 4	
		pmem.@ L	2	2	(pmem ₇₋₂ + L ₃₋₂ .bit(L ₁₋₀)) 0	* 5	
		@ H + mem.bit	2	2	(H + mem ₃₋₀ .bit) 0	* 1	
	SKT	mem.bit	2	2 + S	Skip if (mem.bit) = 1	* 3	(mem.bit) = 1
		fmem.bit	2	2 + S	Skip if (fmem.bit) = 1	* 4	(fmem.bit) = 1
		pmem.@ L	2	2 + S	Skip if (pmem ₇₋₂ + L ₃₋₂ .bit(L ₁₋₀)) = 1	* 5	(pmem.@ L) = 1
		@ H + mem.bit	2	2 + S	Skip if (H + mem ₃₋₀ .bit) = 1	* 1	(@ H + mem.bit) = 1
	SKF	mem.bit	2	2 + S	Skip if (mem.bit) = 0	* 3	(mem.bit) = 0
		fmem.bit	2	2 + S	Skip if (fmem.bit) = 0	* 4	(fmem.bit) = 0
		pmem.@ L	2	2 + S	Skip if (pmem ₇₋₂ + L ₃₋₂ .bit(L ₁₋₀)) = 0	* 5	(pmem.@ L) = 0
		@ H + mem.bit	2	2 + S	Skip if (H + mem ₃₋₀ .bit) = 0	* 1	(@ H + mem.bit) = 0
	SKTCLR	fmem.bit	2	2 + S	Skip if (fmem.bit) = 1 and clear	* 4	(fmem.bit) = 1
		pmem.@ L	2	2 + S	Skip if (pmem ₇₋₂ + L ₃₋₂ .bit(L ₁₋₀)) = 1 and clear	* 5	(pmem.@ L) = 1
		@ H + mem.bit	2	2 + S	Skip if (H + mem ₃₋₀ .bit) = 1 and clear	* 1	(@ H + mem.bit) = 1
	AND1	CY, fmem.bit	2	2	CY $\text{CY} \wedge (\text{fmem.bit})$	* 4	
		CY, pmem.@ L	2	2	CY $\text{CY} \wedge (\text{pmem}_{7-2} + \text{L}_{3-2}.\text{bit}(\text{L}_{1-0}))$	* 5	
		CY, @ H + mem.bit	2	2	CY $\text{CY} \wedge (\text{H} + \text{mem}_{3-0}.\text{bit})$	* 1	
	OR1	CY, fmem.bit	2	2	CY $\text{CY} \vee (\text{fmem.bit})$	* 4	
		CY, pmem.@ L	2	2	CY $\text{CY} \vee (\text{pmem}_{7-2} + \text{L}_{3-2}.\text{bit}(\text{L}_{1-0}))$	* 5	
CY, @ H + mem.bit		2	2	CY $\text{CY} \vee (\text{H} + \text{mem}_{3-0}.\text{bit})$	* 1		
XOR1	CY, fmem.bit	2	2	CY $\text{CY} \nabla (\text{fmem.bit})$	* 4		
	CY, pmem.@ L	2	2	CY $\text{CY} \nabla (\text{pmem}_{7-2} + \text{L}_{3-2}.\text{bit}(\text{L}_{1-0}))$	* 5		
	CY, @ H + mem.bit	2	2	CY $\text{CY} \nabla (\text{H} + \text{mem}_{3-0}.\text{bit})$	* 1		

命令群	二モニック	オペランド	バイト数	マシンサイクル	オペレーション	アドレッシングエリア	スキップ条件
分岐	BR ^注	addr	-	-	<ul style="list-style-type: none"> • μPD750004 PC₁₁₋₀ addr [アセンブラにより, BR !addr, BRCB !caddr, BR \$addrのうち最適な命令を選択します。] • μPD750006, 750008 PC₁₂₋₀ addr [アセンブラにより, BR !addr, BRCB !caddr, BR \$addrのうち最適な命令を選択します。] 	* 6	
		addr1	-	-	<ul style="list-style-type: none"> • μPD750004 PC₁₁₋₀ addr1 [アセンブラにより, 次のうち最適な命令を選択します。 • BR !addr • BRA !addr1 • BRCB !caddr • BR \$addr1] • μPD750006, 750008 PC₁₂₋₀ addr1 [アセンブラにより, 次のうち最適な命令を選択します。 • BR !addr • BRA !addr1 • BRCB !caddr • BR \$addr1] 	* 11	
	!addr	3	3	<ul style="list-style-type: none"> • μPD750004 PC₁₁₋₀ addr • μPD750006, 750008 PC₁₂₋₀ addr 	* 6		
	\$addr	1	2	<ul style="list-style-type: none"> • μPD750004 PC₁₁₋₀ addr • μPD750006, 750008 PC₁₂₋₀ addr 	* 7		
	\$addr1	1	2	<ul style="list-style-type: none"> • μPD750004 PC₁₁₋₀ addr1 • μPD750006, PD750008 PC₁₂₋₀ addr1 			

注 示す部分はMk モード時のみ対応可能です。そのほかはMk モード時のみに対応しています。

命令群	二モニック	オペランド	バイト数	マシン・サイクル	オペレーション	アドレッシング・エリア	スキップ条件	
分岐	BR	PCDE	2	3	• μ PD750004 PC ₁₁₋₀ PC ₁₁₋₈ + DE			
					• μ PD750006, 750008 PC ₁₂₋₀ PC ₁₂₋₈ + DE			
		PCXA		2	3	• μ PD750004 PC ₁₁₋₀ PC ₁₁₋₈ + XA		
						• μ PD750006, 750008 PC ₁₂₋₀ PC ₁₂₋₈ + XA		
		BCDE		2	3	• μ PD750004 PC ₁₁₋₀ BCDE ^{注1}	* 6	
						• μ PD750006, 750008 PC ₁₂₋₀ BCDE ^{注2}		
		BCXA		2	3	• μ PD750004 PC ₁₁₋₀ BCXA ^{注1}	* 6	
						• μ PD750006, 750008 PC ₁₂₋₀ BCXA ^{注2}		
		BRA ^{注3}	!addr1	3	3	• μ PD750004 PC ₁₁₋₀ addr1	* 11	
						• μ PD750006, 750008 PC ₁₂₋₀ addr1		
	BRCB	!caddr	2	2	• μ PD750004 PC ₁₁₋₀ caddr ₁₁₋₀	* 8		
					• μ PD750006, 750008 PC ₁₂₋₀ PC ₁₂ + caddr ₁₁₋₀			
サブルーチン・スタック制御	CALLA ^{注3}	!addr1	3	3	• μ PD750004 (SP - 2) x , x , MBE, RBE (SP - 6 \nexists SP - 3 \nexists SP - 4) PC ₁₁₋₀ (SP - 5) 0 , 0 , 0 , 0 PC ₁₁₋₀ addr1, SP SP - 6	* 11		
					• μ PD750006, 750008 (SP - 2) x , x , MBE, RBE (SP - 6 \nexists SP - 3 \nexists SP - 4) PC ₁₁₋₀ (SP - 5) 0 , 0 , 0 , PC ₁₂ PC ₁₂₋₀ addr1, SP SP - 6			

注1．Bレジスタには必ず“0”を設定してください。

2．Bレジスタは、下位1ビットのみ有効です。

3．で示す部分はMkモード時のみ対応可能です。そのほかはMkモード時のみに対応しています。

命令群	二モニック	オペランド	バイト数	マシン・サイクル	オペレーション	アドレッシング・エリア	スキップ条件
サブルーチン・スタック制御	CALL ^注	laddr	3	3	<ul style="list-style-type: none"> • μPD750004 (SP - 3) MBE, RBE, 0, 0 (SP - 4 \checkmark SP - 1 \checkmark SP - 2) PC₁₁₋₀ PC₁₁₋₀ addr, SP SP - 4 	* 6	
					<ul style="list-style-type: none"> • μPD750006, 750008 (SP - 3) MBE, RBE, 0, PC₁₂ (SP - 4 \checkmark SP - 1 \checkmark SP - 2) PC₁₁₋₀ PC₁₂₋₀ addr, SP SP - 4 		
			4	<ul style="list-style-type: none"> • μPD750004 (SP - 2) x, x, MBE, RBE (SP - 6 \checkmark SP - 3 \checkmark SP - 4) PC₁₁₋₀ (SP - 5) 0, 0, 0, 0 PC₁₁₋₀ addr, SP SP - 6 			
				<ul style="list-style-type: none"> • μPD750006, 750008 (SP - 2) x, x, MBE, RBE (SP - 6 \checkmark SP - 3 \checkmark SP - 4) PC₁₁₋₀ (SP - 5) 0, 0, 0, PC₁₂ PC₁₂₋₀ addr, SP SP - 6 			
CALLF ^注	lfaddr	2	2	<ul style="list-style-type: none"> • μPD750004 (SP - 3) MBE, RBE, 0, 0 (SP - 4 \checkmark SP - 1 \checkmark SP - 2) PC₁₁₋₀ PC₁₁₋₀ 0 + faddr, SP SP - 4 	* 9		
							<ul style="list-style-type: none"> • μPD750006, 750008 (SP - 3) MBE, RBE, 0, PC₁₂ (SP - 4 \checkmark SP - 1 \checkmark SP - 2) PC₁₁₋₀ PC₁₂₋₀ 00 + faddr, SP SP - 4
			3	<ul style="list-style-type: none"> • μPD750004 (SP - 2) x, x, MBE, RBE (SP - 6 \checkmark SP - 3 \checkmark SP - 4) PC₁₁₋₀ (SP - 5) 0, 0, 0, 0 PC₁₁₋₀ 0 + faddr, SP SP - 6 			
				<ul style="list-style-type: none"> • μPD750006, 750008 (SP - 2) x, x, MBE, RBE (SP - 6 \checkmark SP - 3 \checkmark SP - 4) PC₁₁₋₀ (SP - 5) 0, 0, 0, PC₁₂ PC₁₂₋₀ 00 + faddr, SP SP - 6 			

注 示す部分はMk モード時のみ対応可能です。そのほかはMk モード時のみに対応しています。

命令群	二モニック	オペランド	バイト数	マシン・サイクル	オペレーション	アドレッシング・エリア	スキップ条件
サブルーチン・スタック制御	RET ^注		1	3	<ul style="list-style-type: none"> • μPD750004 PC₁₁₋₀ (SP $\bar{\bar{}}$ SP + 3 $\bar{\bar{}}$ SP + 2) MBE, RBE, 0, 0 (SP + 1) $\bar{\bar{}}$ SP SP + 4 		
					<ul style="list-style-type: none"> • μPD750006, 750008 PC₁₁₋₀ (SP $\bar{\bar{}}$ SP + 3 $\bar{\bar{}}$ SP + 2) MBE, RBE, 0, PC₁₂ (SP + 1) SP SP + 4 		
			3	<ul style="list-style-type: none"> • μPD750004 x , x , MBE, RBE (SP + 4) 0 , 0 , 0 , 0 (SP + 1) PC₁₁₋₀ (SP $\bar{\bar{}}$ SP + 3 $\bar{\bar{}}$ SP + 2) SP SP + 6 			
				<ul style="list-style-type: none"> • μPD750006, 750008 x , x , MBE, RBE (SP + 4) MBE, 0 , 0 , PC₁₂ (SP + 1) PC₁₁₋₀ (SP $\bar{\bar{}}$ SP + 3 $\bar{\bar{}}$ SP + 2) SP SP + 6 			
	RETS ^注		1	3 + S	<ul style="list-style-type: none"> • μPD750004 MBE, RBE, 0 , 0 (SP + 1) PC₁₁₋₀ (SP $\bar{\bar{}}$ SP + 3 $\bar{\bar{}}$ SP + 2) SP SP + 4 then skip unconditionally 		無条件
					<ul style="list-style-type: none"> • μPD750006, 750008 MBE, RBE , 0 , PC₁₂ (SP + 1) PC₁₁₋₀ (SP $\bar{\bar{}}$ SP + 3 $\bar{\bar{}}$ SP + 2) SP SP + 4 then skip unconditionally 		
			3 + S	<ul style="list-style-type: none"> • μPD750004 0 , 0 , 0 , 0 (SP + 1) PC₁₁₋₀ (SP $\bar{\bar{}}$ SP + 3 $\bar{\bar{}}$ SP + 2) x , x , MBE, RBE (SP + 4) SP SP + 6 then skip unconditionally 			
				<ul style="list-style-type: none"> • μPD750006, 750008 0 , 0 , 0 , PC₁₂ (SP + 1) PC₁₁₋₀ (SP $\bar{\bar{}}$ SP + 3 $\bar{\bar{}}$ SP + 2) x , x , MBE, RBE (SP + 4) SP SP + 4 then skip unconditionally 			

注 示す部分はMk モード時のみ対応可能です。そのほかはMk モード時のみに対応しています。

命令群	二モニック	オペランド	バイト数	マシン・サイクル	オペレーション	アドレッシング・エリア	スキップ条件	
サブルーチン・スタック制御	RETI ^{注1}		1	3	<ul style="list-style-type: none"> • μPD750004 MBE, RBE, 0, 0 (SP + 1) PC₁₁₋₀ (SP ∇ SP + 3 ∇ SP + 2) PSW (SP + 4 ∇ SP + 5), SP SP + 6 • μPD750006, 750008 MBE, RBE, 0, PC₁₂ (SP + 1) PC₁₁₋₀ (SP ∇ SP + 3 ∇ SP + 2) PSW (SP + 4 ∇ SP + 5), SP SP + 6 • μPD750004 0, 0, 0, 0 (SP + 1) PC₁₁₋₀ (SP ∇ SP + 3 ∇ SP + 2) PSW (SP + 4 ∇ SP + 5), SP SP + 6 • μPD750006, 750008 0, 0, 0, PC₁₂ (SP + 1) PC₁₁₋₀ (SP ∇ SP + 3 ∇ SP + 2) PSW (SP + 4 ∇ SP + 5), SP SP + 6 			
	PUSH	rp	1	1	(SP - 1 ∇ SP - 2) rp, SP SP - 2			
		BS	2	2	(SP - 1) MBS, (SP - 2) RBS, SP SP - 2			
	POP	rp	1	1	rp (SP + 1 ∇ SP), SP SP + 2			
		BS	2	2	MBS (SP + 1), RBS (SP), SP SP + 2			
	割り込み制御	EI		2	2	IME (IPS.3) 1		
			IE x x x	2	2	IE x x x 1		
		DI		2	2	IME (IPS.3) 0		
IE x x x			2	2	IE x x x 0			
入出力	IN ^{注2}	A, PORT _n	2	2	A PORT _n (n=0-8)			
		XA, PORT _n	2	2	XA PORT _{n+1} , PORT _n (n=4, 6)			
	OUT ^{注2}	PORT _n , A	2	2	PORT _n A (n=2-8)			
		PORT _n , XA	2	2	PORT _{n+1} , PORT _n XA (n=4, 6)			
CPU制御	HALT		2	2	Set HALT Mode (PCC.2 1)			
	STOP		2	2	Set STOP Mode (PCC.3 1)			
	NOP		1	1	No Operation			

注1 . で示す部分はMk モード時のみ対応可能です。そのほかはMk モード時のみに対応しています。

2 . IN/OUT命令実行時には、MBE = 0または (MBE = 1 , MBS = 15) としておく必要があります。

命令群	二モニック	オペランド	バイト数	マシン・サイクル	オペレーション	アドレッシング・エリア	スキップ条件	
特殊	SEL	RBn	2	2	RBS n (n=0-3)			
		MBn	2	2	MBS n (n=0, 1, 15)			
	GETI ^{注1, 2}	taddr	1	3	・ μ PD750004 TBR命令のとき $PC_{11-0} (taddr)_{b-0} + (taddr + 1)$ ----- TCALL命令のとき $(SP - 4 \ \& \ SP - 1 \ \& \ SP - 2) \ PC_{11-0}$ $(SP - 3) \ MBE, RBE, 0, 0$ $PC_{11-0} (taddr)_{b-0} + (taddr + 1)$ $SP \ SP - 4$ ----- TBR, TCALL命令以外のとき (taddr $\&$ taddr + 1)の命令実行	* 10	参照した命令による	
					・ μ PD750006, 750008 TBR命令のとき $PC_{12-0} (taddr)_{b-0} + (taddr + 1)$ ----- TCALL命令のとき $(SP - 4 \ \& \ SP - 1 \ \& \ SP - 2) \ PC_{11-0}$ $(SP - 3) \ MBE, RBE, 0, PC12$ $PC_{12-0} (taddr)_{b-0} + (taddr + 1)$ $SP \ SP - 4$ ----- TBR, TCALL命令以外のとき (taddr $\&$ taddr + 1)の命令実行		参照した命令による	
					3 ・ μ PD750004 TBR命令のとき $PC_{11-0} (taddr)_{b-0} + (taddr + 1)$ ----- 4 TCALL命令のとき $(SP - 6 \ \& \ SP - 3 \ \& \ SP - 4) \ PC_{11-0}$ $(SP - 5) \ 0, 0, 0, 0$ $(SP - 2) \ x, x, MBE, RBE$ $PC_{11-0} (taddr)_{b-0} + (taddr + 1)$ $SP \ SP - 6$ ----- 3 TBR, TCALL命令以外のとき (taddr $\&$ taddr + 1)の命令実行		* 10	参照した命令による
					3 TBR, TCALL命令以外のとき (taddr $\&$ taddr + 1)の命令実行			

注1 . で示す部分はMk モード時のみ対応可能です。そのほかはMk モード時のみに対応しています。

2 . TBR, TCALL命令はGETI命令のテーブル定義用アセンブラ疑似命令です。

命令群	ニモニック	オペランド	バイト数	マシン・サイクル	オペレーション	アドレッシング・エリア	スキップ条件
特殊	GETI ^{注1, 2}	taddr	1	3	・ μ PD750006, 750008 TBR命令のとき $PC_{12-0} \quad (taddr)_{4-0} + (taddr + 1)$	* 10	参照した命令による
				4	TCALL命令のとき $(SP - 6) \ \& \ (SP - 3) \ \& \ (SP - 4) \quad PC_{11-0}$ $(SP - 5) \quad 0, 0, 0, PC_{12}$ $(SP - 2) \quad x, x, MBE, RBE$ $PC_{12-0} \quad (taddr)_{4-0} + (taddr + 1)$ $SP \quad SP - 6$		
				3	TBR, TCALL命令以外のとき $(taddr \ \& \ taddr + 1)$ の命令実行		

注1 . 以示す部分はMk モード時のみ対応可能です。

2 . TBR, TCALL命令はGETI命令のテーブル定義用アセンブラ疑似命令です。

12. 電気的特性

絶対最大定格 ($T_A = 25$)

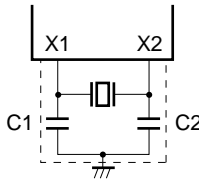
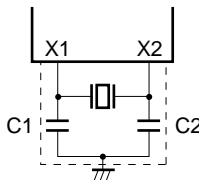
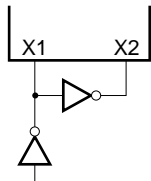
項目	略号	条件	定格	単位
電源電圧	V_{DD}		- 0.3 ~ + 7.0	V
入力電圧	V_{I1}	ポート4, 5以外	- 0.3 ~ $V_{DD} + 0.3$	V
	V_{I2}	ポート4, 5	プルアップ抵抗内蔵時	- 0.3 ~ $V_{DD} + 0.3$
			オープン・ドレイン時	- 0.3 ~ + 14
出力電圧	V_O		- 0.3 ~ $V_{DD} + 0.3$	V
ハイ・レベル出力電流	I_{OH}	1端子当たり	- 10	mA
		全端子合計	- 30	mA
ロウ・レベル出力電流	I_{OL}	1端子当たり	30	mA
		全端子合計	220	mA
動作周囲温度	T_A		- 40 ~ + 85	
保存温度	T_{stg}		- 65 ~ + 150	

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

容量 ($T_A = 25$, $V_{DD} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	C_{IN}	$f = 1$ MHz			15	pF
出力容量	C_{OUT}	被測定端子以外は0 V			15	pF
入出力容量	C_{IO}				15	pF

メイン・システム・クロック発振回路特性 (TA = - 40 ~ + 85)

発振子	推奨定数	項目	条件	MIN.	TYP.	MAX.	単位
セラミック 発振子		発振周波数 (fx) 注1	V _{DD} = 2.2 ~ 5.5 V	1.0		6.0注2	MHz
		発振安定時間注3	V _{DD} が発振電圧範囲の MIN.値に達したのち			4	ms
水晶 振動子		発振周波数 (fx) 注1	V _{DD} = 2.2 ~ 5.5 V	1.0		6.0注2	MHz
		発振安定時間注3	V _{DD} = 4.5 ~ 5.5 V			10	ms
			V _{DD} = 2.2 ~ 5.5 V			30	ms
★ 外部 クロック		X1入力周波数 (fx) 注1	V _{DD} = 1.8 ~ 5.5 V	1.0		6.0注4	MHz
★		X1入力ハイ、ロウ・レベル幅 (txH, txL)	V _{DD} = 1.8 ~ 5.5 V	83.3		500	ns

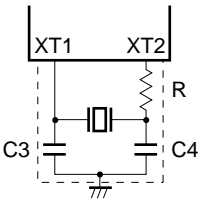
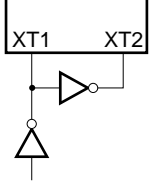
注1．発振周波数およびX1入力周波数は、発振回路の特性だけを示すものです。命令実行時間はAC特性を参照してください。

- ★ 2．2.2 V V_{DD} < 2.7 Vで発振周波数が4.7 MHz < fx < 6.0 MHzの場合、プロセッサ・クロック・コントロール・レジスタ (PCC) を0011に設定すると、1マシン・サイクル・タイムが規定の0.85 μsを満たせなくなるため、PCCは0011以外の値を設定してください。
- 3．発振安定時間は、V_{DD}印加後、またはSTOPモード解除後、発振が安定するのに必要な時間です。
- ★ 4．1.8 V V_{DD} < 2.7 VでX1入力周波数が4.19 MHz < fx < 6.0 MHzの場合、PCCを0011に設定すると、1マシン・サイクル・タイムが規定の0.95 μsを満たせなくなるため、PCCは0011以外の値を設定してください。

注意 メイン・システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接続点は、常にV_{SS}と同電位になるようにする。
- ・大電流が流れるグランド・パターンには接続しない。
- ・発振回路から信号を取り出さない。

サブシステム・クロック発振回路特性 (T_A = - 40 ~ + 85)

発振子	推奨定数	項目	条件	MIN.	TYP.	MAX.	単位
水晶 振動子		発振周波数 (f _{XT}) 注 ¹	V _{DD} = 2.2 ~ 5.5 V	32	32.768	35	kHz
		発振安定時間注 ²	V _{DD} = 4.5 ~ 5.5 V		1.0	2	s
			V _{DD} = 2.2 ~ 5.5 V				10
外部 クロック		XT1入力周波数 (f _{XT}) 注 ¹	V _{DD} = 1.8 ~ 5.5 V	32		100	kHz
		XT1入力ハイ、ロウ・レベル幅 (t _{XTH} , t _{XTL})	V _{DD} = 1.8 ~ 5.5 V	5		15	μs

注 1 . 発振回路の特性だけを示すものです。命令実行時間はAC特性を参照してください。

2 . V_{DD}印加後、発振が安定するのに必要な時間です。

注意 サブシステム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・ 配線は極力短くする。
- ・ 他の信号線と交差させない。
- ・ 変化する大電流が流れる線と接近させない。
- ・ 発振回路のコンデンサの接続点は、常にV_{SS}と同電位になるようにする。
- ・ 大電流が流れるグラウンド・パターンには接続しない。
- ・ 発振回路から信号を取り出さない。

サブシステム・クロック発振回路を使用する場合は、低消費電流にするために増幅度の低い回路になっており、ノイズに対する誤動作がメイン・システム・クロック発振回路よりも起こりやすくなっています。したがって、サブシステム・クロックを使用する場合は、配線方法について特にご注意ください。

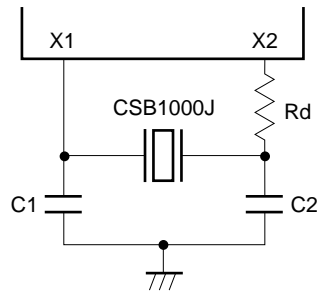
推奨発振回路定数

メイン・システム・クロック：セラミック発振子 (T_A = - 40 ~ + 85)

メーカー	品名	周波数(MHz)	発振回路定数		発振電圧範囲		備考
			C1(pF)	C2(pF)	MIN(V)	MAX(V)	
村田製作所	CSB1000J ^注	1.0	100	100	2.8	5.5	Rd = 4.7 k
	CSA2.00MG040	2.0	100	100	2.8		
	CST2.00MG040		内蔵	内蔵	2.8		
	CSA4.00MG	4.0	30	30	2.8		
	CST4.00MGW		内蔵	内蔵	2.8		
	CSA4.00MGU		30	30	2.6		
	CST4.00MGWU		内蔵	内蔵	2.6		
	CSA4.19MG	4.19	30	30	2.8		
	CST4.19MGW		内蔵	内蔵	2.8		
	CSA4.19MGU		30	30	2.8		
	CST4.19MGWU		内蔵	内蔵	2.8		
	CSA6.00MGU	6.0	30	30	2.9		
	CST6.00MGWU		内蔵	内蔵	2.9		
	CSA6.00MG		30	30	2.7		
CST6.00MGW	内蔵		内蔵	2.7			
京セラ	KBR-1000F/Y	1.0	220	220	2.45	5.5	
	KBR-2.0MS	2.0	82	82	2.5		
	PBRC 2.00A		82	82	2.5		
	KBR-4.0MSA	4.0	33	33	2.5		
	KBR-4.0MKS		内蔵	内蔵	2.5		
	PBRC4.00A		33	33	2.5		
	PBRC4.00B		内蔵	内蔵	2.5		
	KBR-6.0MSA	6.0	33	33	2.5		
	KBR-6.0MKS		内蔵	内蔵	2.5		
	PBRC6.00A		33	33	2.5		
PBRC6.00B	内蔵		内蔵	2.5			
TDK	FCR2.0M3	2.0	33	33	2.2	5.5	
	FCR4.0M5	4.0	15	15	2.0		
	FCR4.19M5	4.19	15	15	2.2		
	FCR6.0M5	6.0	15	15	2.5		

注 セラミック発振子として村田製作所のCSB1000J (1.0 MHz) を使用する場合には、制限抵抗 (Rd = 4.7 k) が必要です (次頁の図参照)。その他の推奨発振子を使用する場合は制限抵抗は不要です。

メイン・システム・クロック推奨回路例（村田製作所製CSB1000J使用の場合）



サブシステム・クロック：水晶振動子（ $T_A = -10 \sim +60$ ）

メーカー	品名	周波数(kHz)	発振回路定数			発振電圧範囲		備考
			C3(pF)	C4(pF)	R(k Ω)	MIN(V)	MAX(V)	
大真空	DT-38	32.768	10	10	220	2.7	5.5	低消費モード
						2.2	5.5	低電圧モード

注意 発振回路定数ならびに発振電圧範囲は、安定して発振する条件を示すものであり、発振周波数精度を保証するものではありません。実装回路にて発振周波数精度を必要とする場合、実装回路にて発振子の発振周波数を調整する必要がありますので、ご使用になる発振子のメーカーに直接お問い合わせください。

DC特性 ($T_A = -40 \sim +85$, $V_{DD} = 2.2 \sim 5.5$ V)

項目	略号	条件		MIN.	TYP.	MAX.	単位			
ロウ・レベル出力電流	I _{OL}	1端子当たり				15	mA			
		全端子合計				150	mA			
ハイ・レベル入力電圧	V _{IH1}	ポート2,3,8		2.7 V $V_{DD} = 5.5$ V	0.7 V_{DD}		V_{DD}	V		
				2.2 V $V_{DD} < 2.7$ V	0.9 V_{DD}		V_{DD}	V		
	V _{IH2}	ポート0,1,6,7, $\overline{\text{RESET}}$		2.7 V $V_{DD} = 5.5$ V	0.8 V_{DD}		V_{DD}	V		
				2.2 V $V_{DD} < 2.7$ V	0.9 V_{DD}		V_{DD}	V		
	V _{IH3}	ポート4,5	ブルアップ 抵抗内蔵時	2.7 V $V_{DD} = 5.5$ V	0.7 V_{DD}		V_{DD}	V		
				2.2 V $V_{DD} < 2.7$ V	0.9 V_{DD}		V_{DD}	V		
				N-chオープン・ ドレイン時		2.7 V $V_{DD} = 5.5$ V	0.7 V_{DD}		13	V
						2.2 V $V_{DD} < 2.7$ V	0.9 V_{DD}		13	V
V _{IH4}	X1,XT1			$V_{DD} - 0.1$		V_{DD}	V			
ロウ・レベル入力電圧	V _{IL1}	ポート2-5,8		2.7 V $V_{DD} = 5.5$ V	0		0.3 V_{DD}	V		
				2.2 V $V_{DD} < 2.7$ V	0		0.1 V_{DD}	V		
	V _{IL2}	ポート0,1,6,7, $\overline{\text{RESET}}$		2.7 V $V_{DD} = 5.5$ V	0		0.2 V_{DD}	V		
				2.2 V $V_{DD} < 2.7$ V	0		0.1 V_{DD}	V		
V _{IL3}	X1,XT1			0		0.1	V			
ハイ・レベル出力電圧	V _{OH}	$\overline{\text{SCK}}$, SO, ポート2,3,6-8 $I_{OH} = -1.0$ mA			$V_{DD} - 0.5$			V		
ロウ・レベル出力電圧	V _{OL1}	$\overline{\text{SCK}}$, SO, ポート2-8	$I_{OL} = 15$ mA, $V_{DD} = 4.5 \sim 5.5$ V		0.2	2.0		V		
			$I_{OL} = 1.6$ mA			0.4		V		
	V _{OL2}	SB0,SB1	N-chオープン・ドレイン,ブルアップ抵抗 1k			0.2 V_{DD}		V		
ハイ・レベル入力 リーク電流	I _{LIH1}	$V_{IN} = V_{DD}$	X1,XT1以外の端子				3	μ A		
	I _{LIH2}		X1,XT1				20	μ A		
	I _{LIH3}	$V_{IN} = 13$ V	ポート4,5 (N-chオープン・ドレイン時)				20	μ A		
ロウ・レベル入力 リーク電流	I _{LIL1}	$V_{IN} = 0$ V	X1,XT1, ポート4,5以外の端子				-3	μ A		
	I _{LIL2}		X1,XT1				-20	μ A		
	I _{LIL3}		ポート4,5 (N-chオープン・ドレイン時) 入力命令実行時以外					-3	μ A	
			ポート4,5 (N-chオープン・ ドレイン時)				-10	-27	μ A	
				$V_{DD} = 5.0$ V						μ A
			ポート4,5 入力命令実行時	$V_{DD} = 3.0$ V			-3	-8	μ A	
ハイ・レベル出力 リーク電流	I _{LOH1}	$V_{OUT} = V_{DD}$	$\overline{\text{SCK}}$, SO/SB0, SB1, ポート2,3,6-8, ポート4,5 (ブルアップ抵抗内蔵時)				3	μ A		
	I _{LOH2}	$V_{OUT} = 13$ V	ポート4,5 (N-chオープン・ドレイン時)				20	μ A		
ロウ・レベル出力 リーク電流	I _{LOL}	$V_{OUT} = 0$ V					-3	μ A		
内蔵ブルアップ抵抗	R _{L1}	$V_{IN} = 0$ V	ポート0-3,6-8 (P00端子を除く)		50	100	200	k		
	R _{L2}		ポート4,5 (マスク・オプション)		15	30	60	k		

★

DC特性 ($T_A = -40 \sim +85$, $V_{DD} = 2.2 \sim 5.5$ V)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	IDD1	6.0 MHz ^{注2} 水晶発振	$V_{DD} = 5.0$ V \pm 10 % ^{注3}			1.9	6.0	mA
			$V_{DD} = 3.0$ V \pm 10 % ^{注4}			0.4	1.3	mA
	IDD2	C1=C2=22 pF	HALT	$V_{DD} = 5.0$ V \pm 10 %		0.72	2.1	mA
			モード	$V_{DD} = 3.0$ V \pm 10 %		0.27	0.8	mA
	IDD1	4.19 MHz ^{注2} 水晶発振	$V_{DD} = 5.0$ V \pm 10 % ^{注3}			1.5	4.0	mA
			$V_{DD} = 3.0$ V \pm 10 % ^{注4}			0.25	0.75	mA
	IDD2	C1=C2=22 pF	HALT	$V_{DD} = 5.0$ V \pm 10 %		0.7	2.0	mA
			モード	$V_{DD} = 3.0$ V \pm 10 %		0.23	0.7	mA
	IDD3	32.768 kHz ^{注5} 水晶発振	低電圧 モード ^{注6}	$V_{DD} = 3.0$ V \pm 10 %		12	35	μ A
				$V_{DD} = 2.5$ V \pm 10 %		7	21	μ A
				$V_{DD} = 3.0$ V , $T_A = 25$		12	24	μ A
			低消費電流 モード ^{注7}	$V_{DD} = 3.0$ V \pm 10 %		6	18	μ A
				$V_{DD} = 3.0$ V , $T_A = 25$		6	12	μ A
	IDD4	HALT モード	低電圧 モード ^{注6}	$V_{DD} = 3.0$ V \pm 10 %		8.5	25	μ A
				$V_{DD} = 2.5$ V \pm 10 %		5	15	μ A
$V_{DD} = 3.0$ V $T_A = 25$					8.5	17	μ A	
低消費電流 モード ^{注7}			$V_{DD} = 3.0$ V \pm 10 %		3.5	12	μ A	
	$V_{DD} = 3.0$ V $T_A = 25$		3.5	7	μ A			
IDD5	XT1=0V ^{注8} STOPモード	$V_{DD} = 5.0$ V \pm 10 %			0.05	10	μ A	
		$V_{DD} = 3.0$ V \pm 10 %			0.02	5	μ A	
			$T_A = 25$		0.02	3	μ A	

注1．内蔵プルアップ抵抗に流れる電流は含みません。

2．サブシステム・クロックを発振させた場合も含まれます。

3．プロセッサ・クロック・コントロール・レジスタ (PCC) を0011に設定し、高速モードで動作させた場合。

4．PCCを0000に設定し、低速モードで動作させた場合。

5．システム・クロック・コントロール・レジスタ (SCC) を1001に設定し、メイン・システム・クロックの発振を停止させ、サブシステム・クロックで動作させた場合。

★ 6．サブ発振回路コントロール・レジスタ (SOS) を0000に設定した場合。

★ 7．SOSを0010に設定した場合。

★ 8．SOSを00x1に設定し、サブ発振回路フィードバック抵抗を使用しない場合 (x : don't care)。

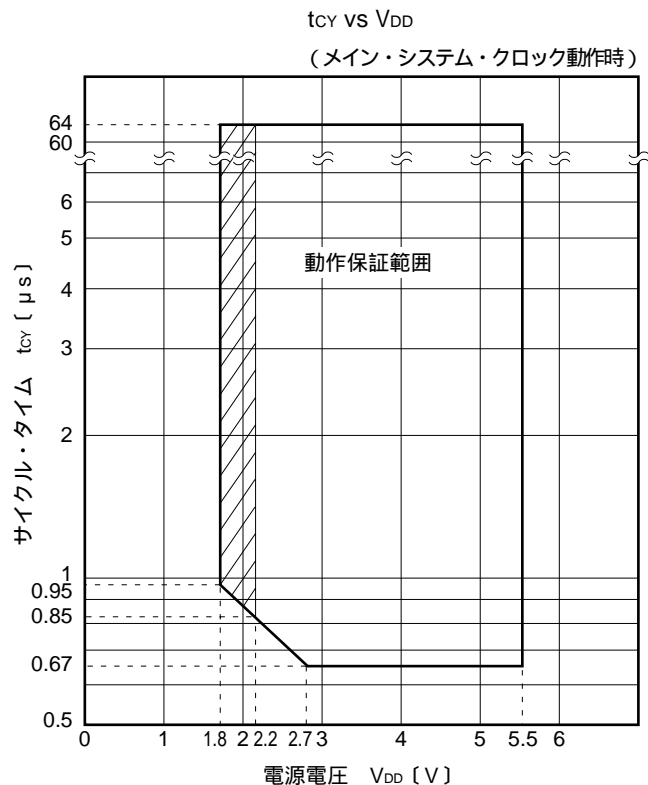
AC特性 ($T_A = -40 \sim +85$, $V_{DD} = 2.2 \sim 5.5$ V)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
★ CPUクロック・サイクル・タイム ^{注1} (最小命令実行時間 = 1マシン・サイクル)	tcy	メイン・システム・クロックで動作	セラミックまたは水晶使用時	$V_{DD} = 2.7 \sim 5.5$ V	0.67		64	μ s
					0.85		64	μ s
		サブシステム・クロックで動作	外部クロック使用時	$V_{DD} = 2.7 \sim 5.5$ V	0.67		64	μ s
				$V_{DD} = 1.8 \sim 5.5$ V	0.95		64	μ s
					114	122	125	μ s
TI0入力周波数	fti	$V_{DD} = 2.7 \sim 5.5$ V		0		1.0	MHz	
				0		275	kHz	
TI0入力ハイ、ロウ・レベル幅	tT1H,tT1L	$V_{DD} = 2.7 \sim 5.5$ V		0.48			μ s	
				1.8			μ s	
★ 割り込み入力ハイ、ロウ・レベル幅	tINTH,tINTL	INT0	IM02 = 0	注2			μ s	
			IM02 = 1	10			μ s	
		INT1,2,4		10			μ s	
		KR0-KR7		10			μ s	
RESETロウ・レベル幅	trSL			10			μ s	

注1 . CPUクロック (Φ) のサイクル・タイム (最小命令実行時間) は、接続された発振子 (および外部クロック) の発振周波数とシステム・クロック・コントロール・レジスタ (SCC)、プロセッサ・クロック・コントロール・レジスタ (PCC) によって決まります。

右図は、メイン・システム・クロック動作時の電源電圧 V_{DD} に対するサイクル・タイム t_{cy} 特性を示します。

2 . 割り込みモード・レジスタ (IM0) の設定により、 $2t_{cy}$ または $128/f_x$ となります。



備考 内は外部クロック使用時のみです。

シリアル転送オペレーション

2線式, 3線式シリアルI/Oモード ($\overline{\text{SCK}}$...内部クロック出力) : ($T_A = -40 \sim +85$, $V_{DD} = 2.2 \sim 5.5 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{\text{SCK}}$ サイクル・タイム	t _{KCY1}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	1300			ns
			3800			ns
$\overline{\text{SCK}}$ ハイ, ロウ・レベル幅	t _{KL1} , t _{KH1}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	t _{KCY1} /2 - 50			ns
			t _{KCY1} /2 - 150			ns
SI ^{注1} セットアップ・タイム(対 $\overline{\text{SCK}}$)	t _{SIK1}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	150			ns
			500			ns
SI ^{注1} ホールド時間(対 $\overline{\text{SCK}}$)	t _{KSH1}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	400			ns
			600			ns
$\overline{\text{SCK}}$ SO ^{注1} 出力遅延時間	t _{KSO1}	R _L = 1 k Ω , C _L = 100 pF	注2 $V_{DD} = 2.7 \sim 5.5 \text{ V}$		250	ns
			0		1000	ns

注1 . 2線式シリアルI/Oモード時は, SB0またはSB1に読み替えてください。

2 . R_L , C_LはSO出力ラインの負荷抵抗, 負荷容量です。

2線式, 3線式シリアルI/Oモード ($\overline{\text{SCK}}$...外部クロック入力) : ($T_A = -40 \sim +85$, $V_{DD} = 2.2 \sim 5.5 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{\text{SCK}}$ サイクル・タイム	t _{KCY2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	800			ns
			3200			ns
$\overline{\text{SCK}}$ ハイ, ロウ・レベル幅	t _{KL2} , t _{KH2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	400			ns
			1600			ns
SI ^{注1} セットアップ・タイム(対 $\overline{\text{SCK}}$)	t _{SIK2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	100			ns
			150			ns
SI ^{注1} ホールド時間(対 $\overline{\text{SCK}}$)	t _{KSH2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	400			ns
			600			ns
$\overline{\text{SCK}}$ SO ^{注1} 出力遅延時間	t _{KSO2}	R _L = 1 k Ω , C _L = 100 pF	注2 $V_{DD} = 2.7 \sim 5.5 \text{ V}$		300	ns
			0		1000	ns

注1 . 2線式シリアルI/Oモード時は, SB0またはSB1に読み替えてください。

2 . R_L , C_LはSO出力ラインの負荷抵抗, 負荷容量です。

SBIモード ($\overline{\text{SCK}}$...内部クロック出力 (マスタ)) : ($T_A = -40 \sim +85$, $V_{DD} = 2.2 \sim 5.5 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{\text{SCK}}$ サイクル・タイム	tkCY3	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	1300			ns
			3800			ns
$\overline{\text{SCK}}$ ハイ, ロウ・レベル幅	tkL3 , tkH3	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	tkCY3/2 - 50			ns
			tkCY3/2 - 150			ns
SB0,1 セットアップ・タイム (対 $\overline{\text{SCK}}$)	tSIK3	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	150			ns
			500			ns
SB0,1 ホールド時間 (対 $\overline{\text{SCK}}$)	tkSI3		tkCY3/2			ns
$\overline{\text{SCK}}$ SB0,1 出力遅延時間	tkSO3	RL = 1 k Ω , CL = 100 pF	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	0	250	ns
				0	1000	ns
$\overline{\text{SCK}}$ SB0,1	tkSB		tkCY3			ns
SB0,1 $\overline{\text{SCK}}$	tsBK		tkCY3			ns
SB0,1 ロウ・レベル幅	tsBL		tkCY3			ns
SB0,1 ハイ・レベル幅	tsBH		tkCY3			ns

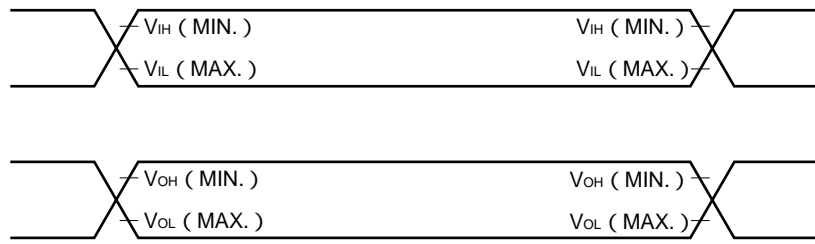
注 RL, CLはSB0,1出力ラインの負荷抵抗, 負荷容量です。

SBIモード ($\overline{\text{SCK}}$...外部クロック入力 (スレーブ)) : ($T_A = -40 \sim +85$, $V_{DD} = 2.2 \sim 5.5 \text{ V}$)

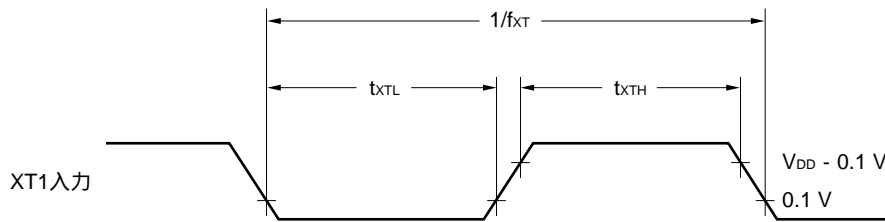
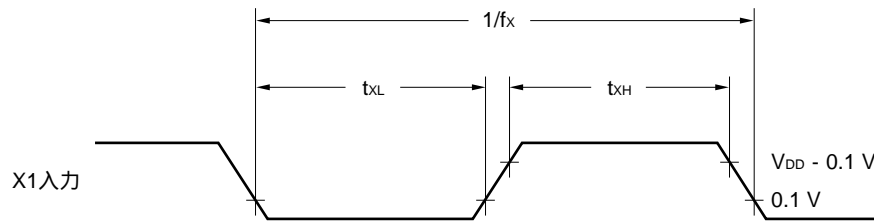
項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{\text{SCK}}$ サイクル・タイム	tkCY4	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	800			ns
			3200			ns
$\overline{\text{SCK}}$ ハイ, ロウ・レベル幅	tkL4 , tkH4	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	400			ns
			1600			ns
SB0,1 セットアップ・タイム (対 $\overline{\text{SCK}}$)	tSIK4	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	100			ns
			150			ns
SB0,1 ホールド時間 (対 $\overline{\text{SCK}}$)	tkSI4		tkCY4/2			ns
$\overline{\text{SCK}}$ SB0,1 出力遅延時間	tkSO4	RL = 1 k Ω , CL = 100 pF	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	0	300	ns
				0	1000	ns
$\overline{\text{SCK}}$ SB0,1	tkSB		tkCY4			ns
SB0,1 $\overline{\text{SCK}}$	tsBK		tkCY4			ns
SB0,1 ロウ・レベル幅	tsBL		tkCY4			ns
SB0,1 ハイ・レベル幅	tsBH		tkCY4			ns

注 RL, CLはSB0,1出力ラインの負荷抵抗, 負荷容量です。

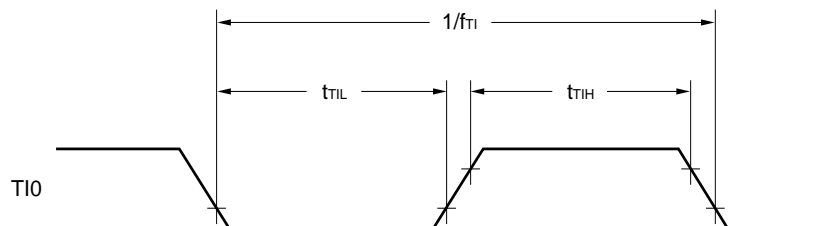
★ ACタイミング測定点 (X1,XT1入力を除く)



★ クロック・タイミング

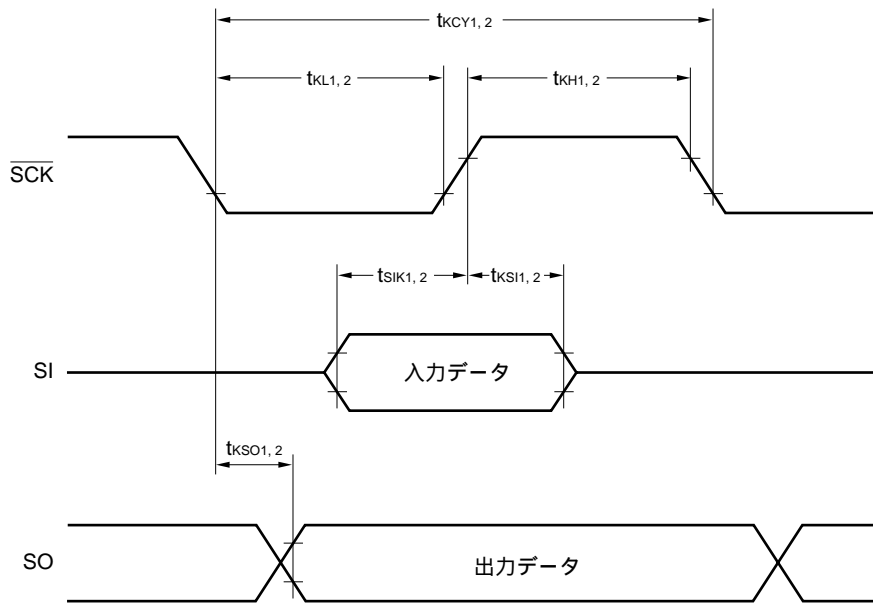


T10タイミング

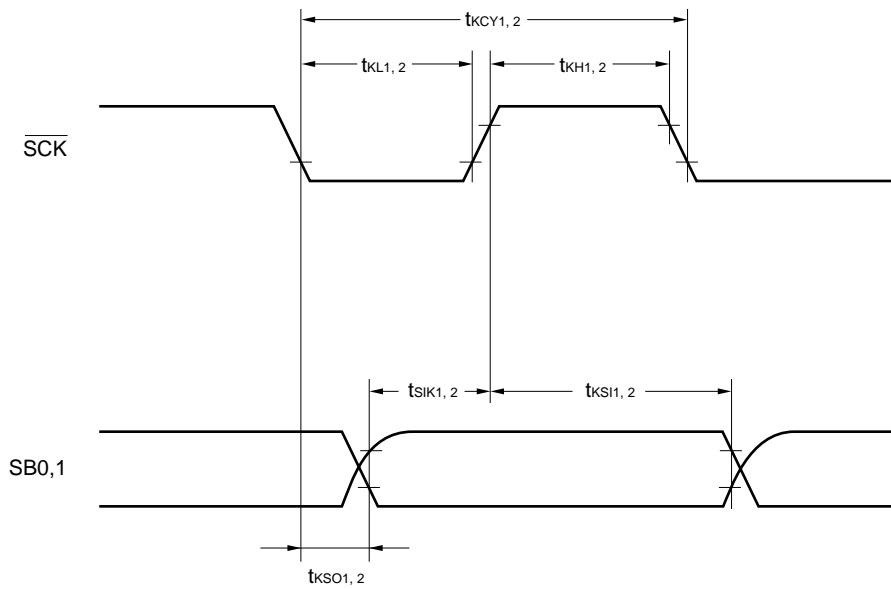


シリアル転送タイミング

3線式シリアルI/Oモード :

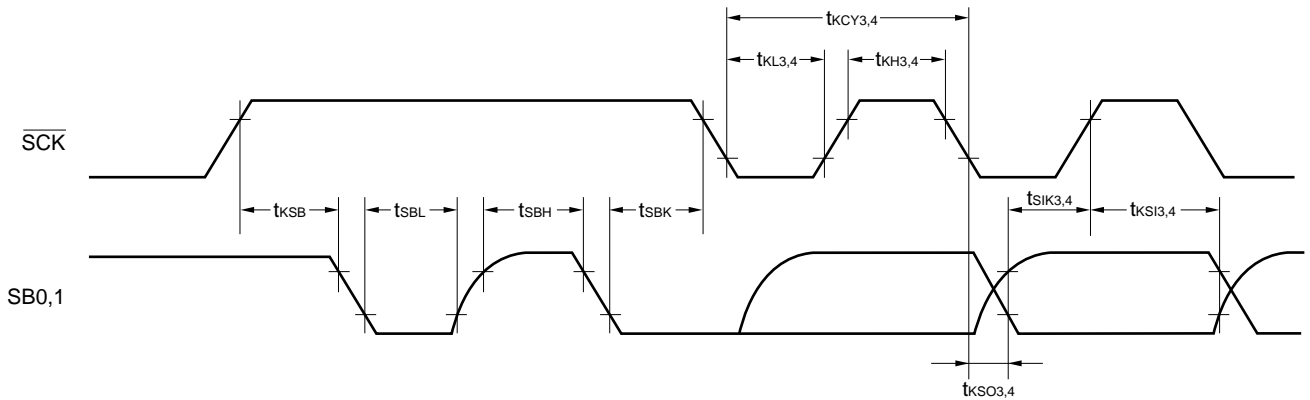


2線式シリアルI/Oモード :

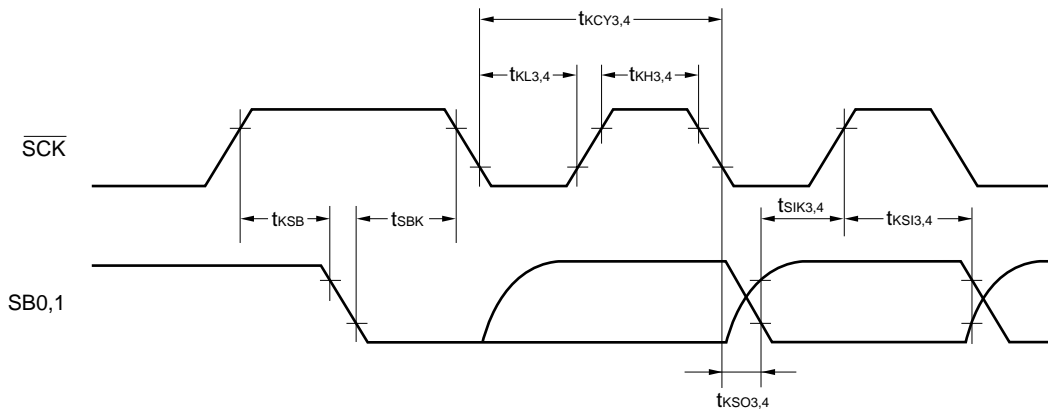


シリアル転送タイミング

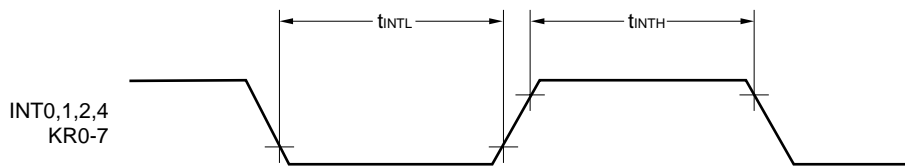
バス・リリース信号転送 :



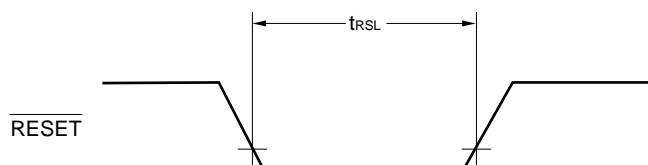
コマンド信号転送 :



割り込み入力タイミング



RESET入力タイミング



データ・メモリSTOPモード低電源電圧データ保持特性 (T_A = - 40 ~ + 85)

項目	略号	条件	MIN.	TYP.	MAX.	単位
リリース信号セット時間	t _{SREL}		0			μs
発振安定ウエイト時間 ^{注1}	t _{WAIT}	RESETによる解除		注2		ms
		割り込み要求による解除		注3		ms

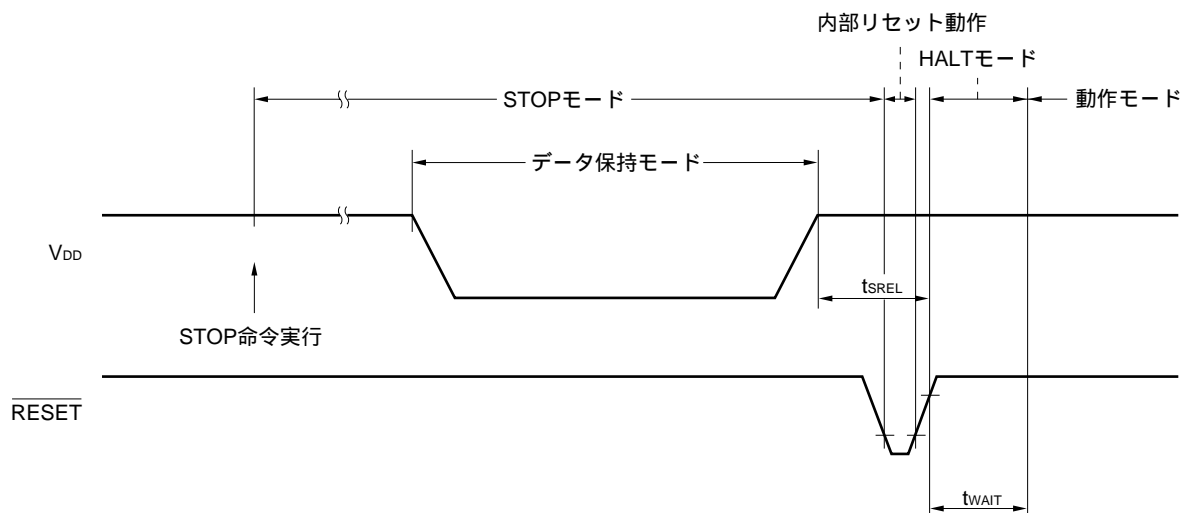
注1．発振安定ウエイト時間は、発振開始時の不安定な動作を防ぐため、CPUの動作を停止しておく時間です。

2．マスク・オプションで、 $2^{17}/f_x$ 、 $2^{15}/f_x$ のいずれかを選択します。

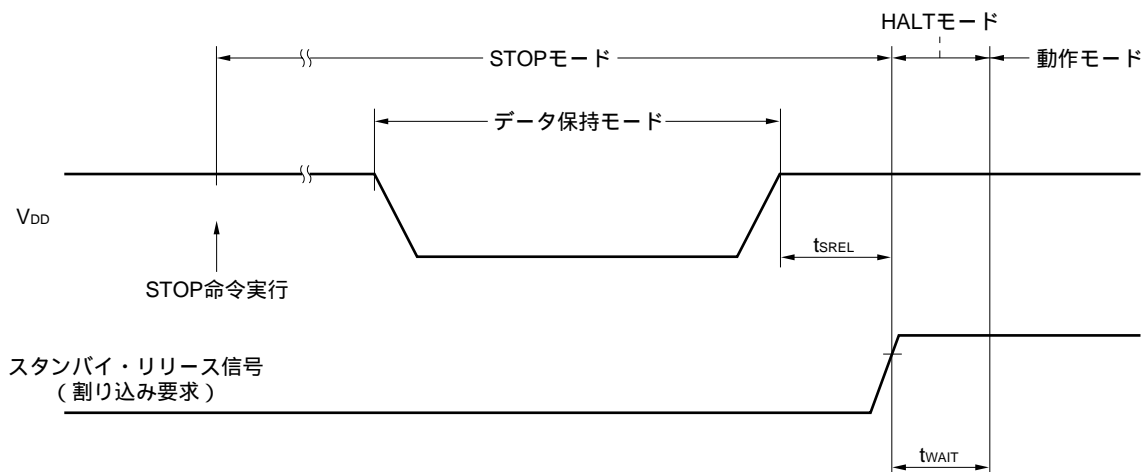
3．ベーシック・インターバル・タイマ・モード・レジスタ (BTM) の設定によります (下表)。

BTM3	BTM2	BTM1	BTM0	ウエイト時間	
				f _x = 4.19 MHz時	f _x = 6.0 MHz時
-	0	0	0	2 ²⁰ /f _x (約250 ms)	2 ²⁰ /f _x (約175 ms)
-	0	1	1	2 ¹⁷ /f _x (約31.3 ms)	2 ¹⁷ /f _x (約21.8 ms)
-	1	0	1	2 ¹⁵ /f _x (約7.81 ms)	2 ¹⁵ /f _x (約5.46 ms)
-	1	1	1	2 ¹³ /f _x (約1.95 ms)	2 ¹³ /f _x (約1.37 ms)

データ保持タイミング (RESETによるSTOPモード解除)



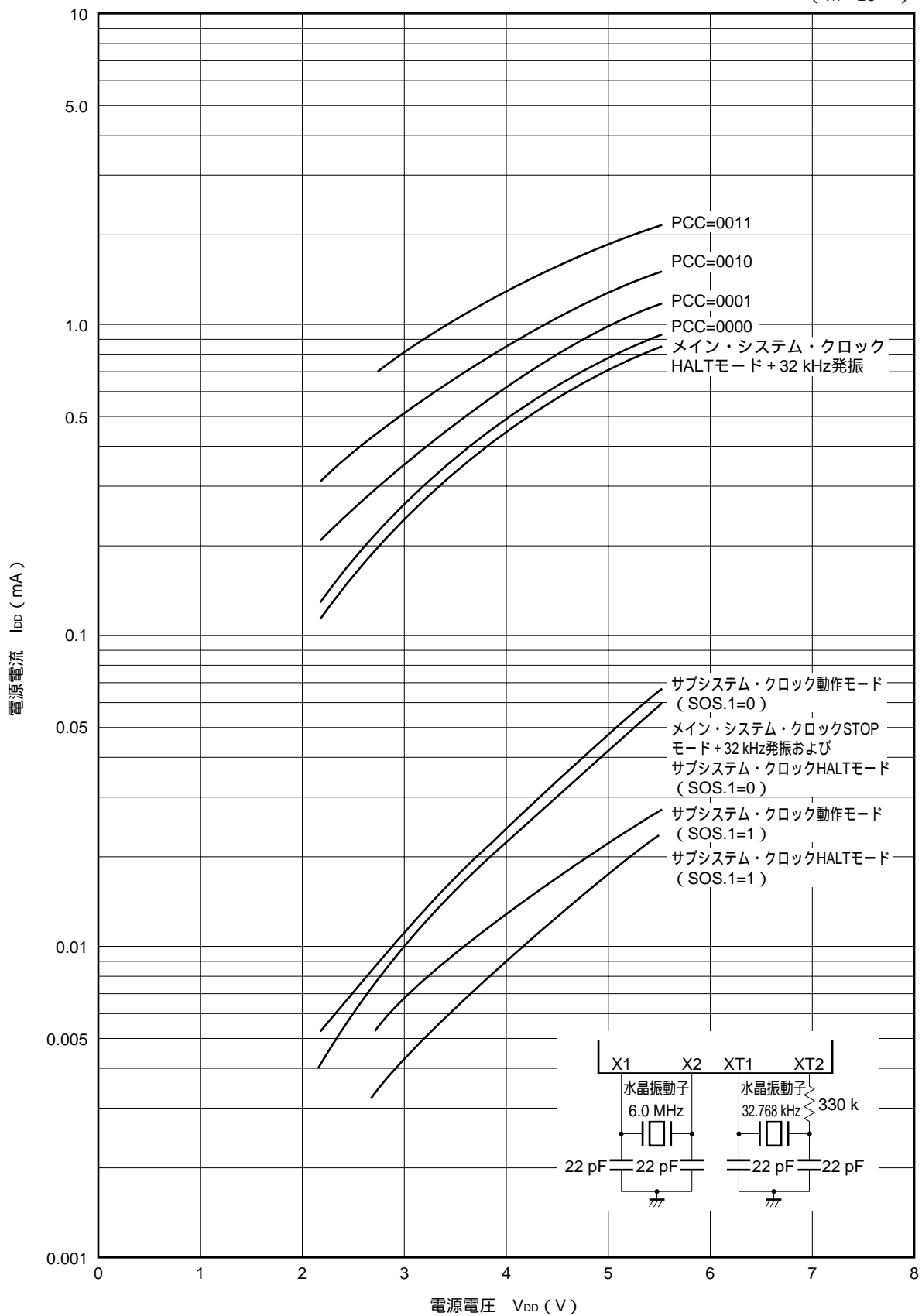
データ保持タイミング (スタンバイ・リリース信号：割り込み信号によるSTOPモード解除)



13. 特性曲線 (参考値)

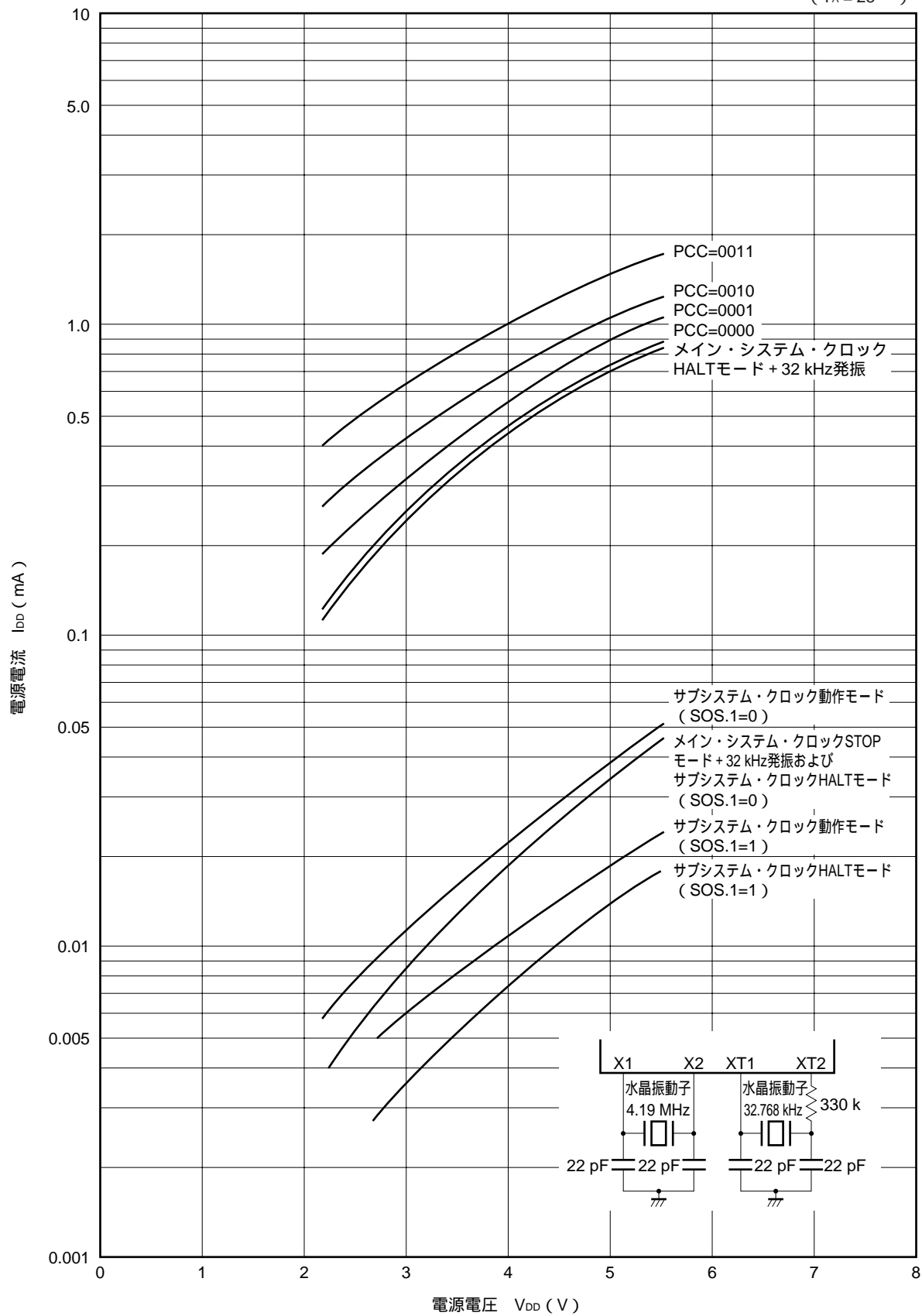
I_{DD} vs V_{DD} (メイン・システム・クロック : 6.0 MHz水晶振動子)

($T_A = 25$)

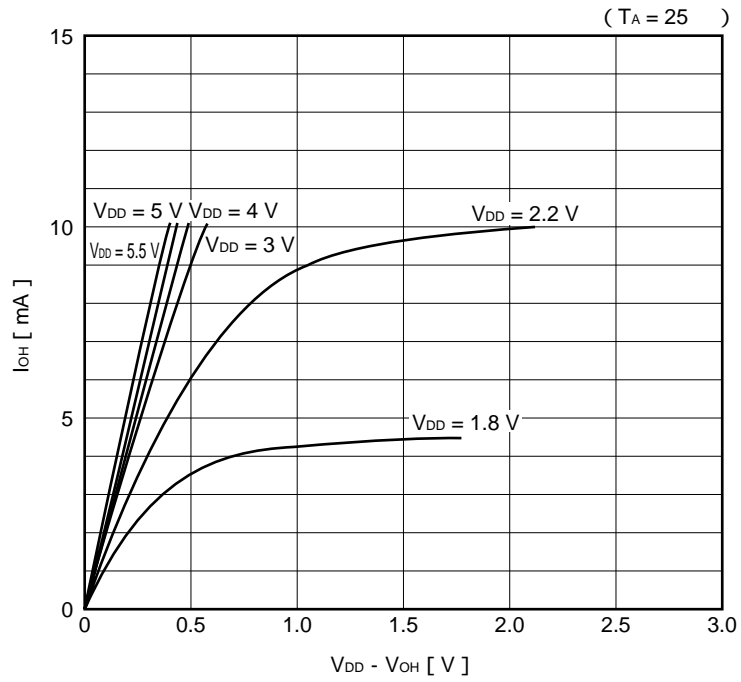


I_{DD} VS V_{DD} (メイン・システム・クロック : 4.19 MHz水晶振動子)

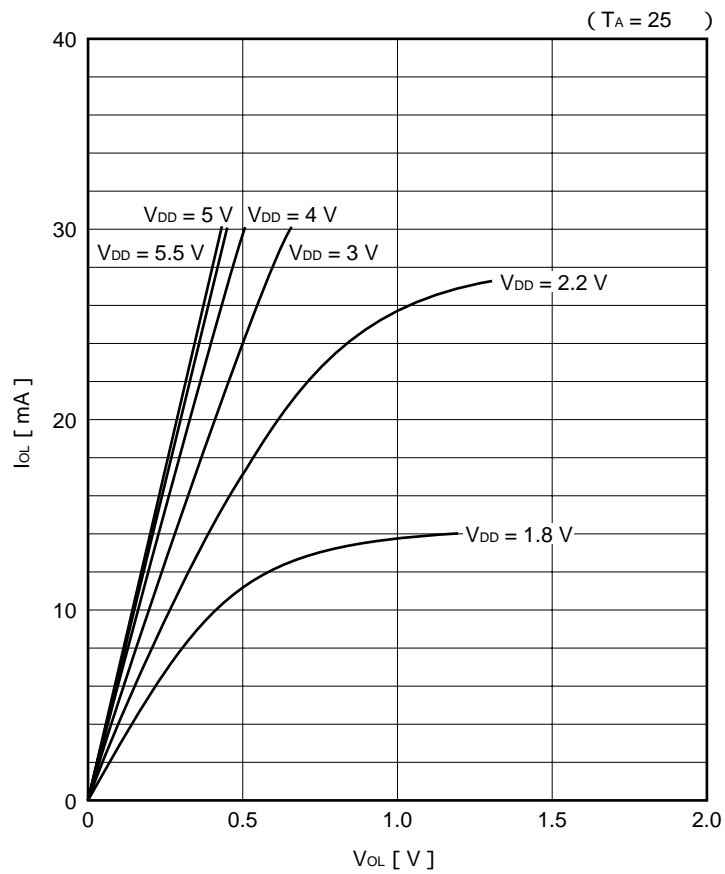
($T_A = 25$)



I_{OH} vs $V_{DD} - V_{OH}$ (ポート 2, 3, 6, 7, 8)



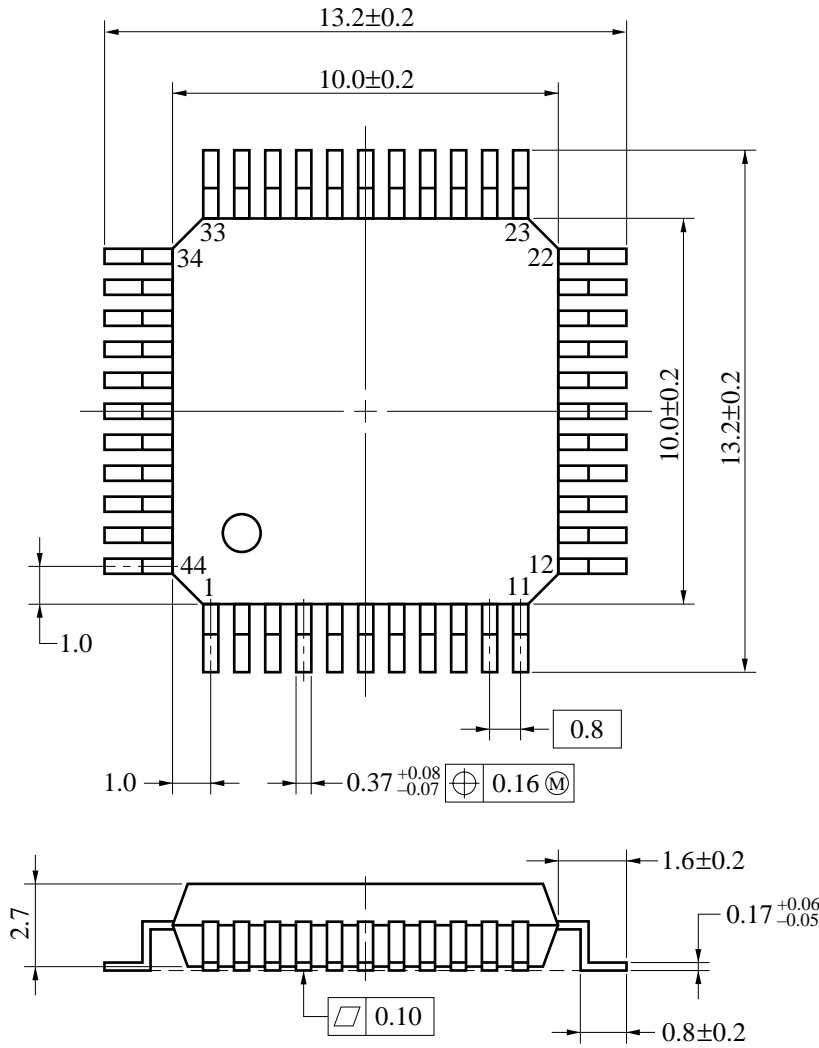
I_{OL} vs V_{OL} (ポート 2, 3, 6, 7, 8)



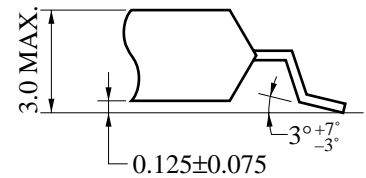
14. 外形図

量産品の外形図 (1/2)

44ピン・プラスチック QFP (10) 外形図 (単位 : mm)



端子先端形状詳細図

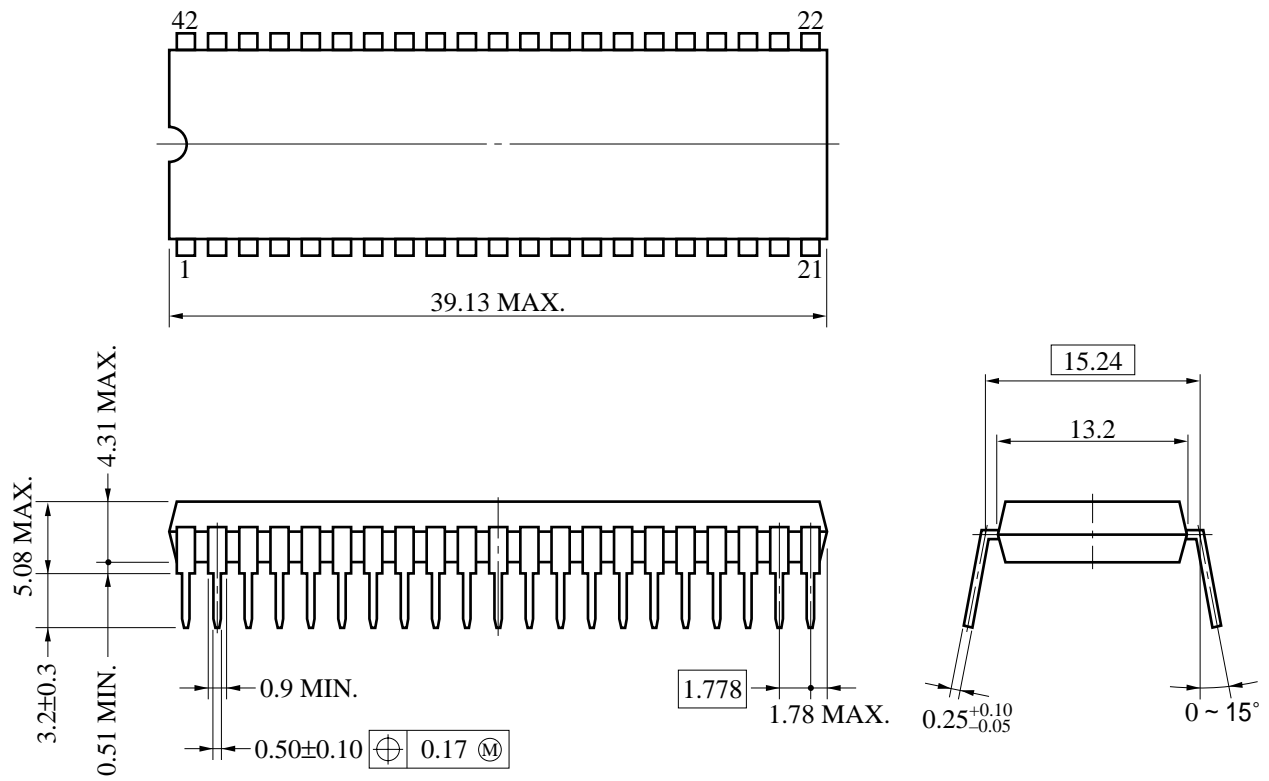


S44GB-80-3BS

注意 ES品は量産品とは外形や材質が異なります。ES品の外形図を参照してください。

量産品の外形図 (2/2)

42ピン・プラスチック・シュリンク DIP (600 mil) 外形図 (単位: mm)

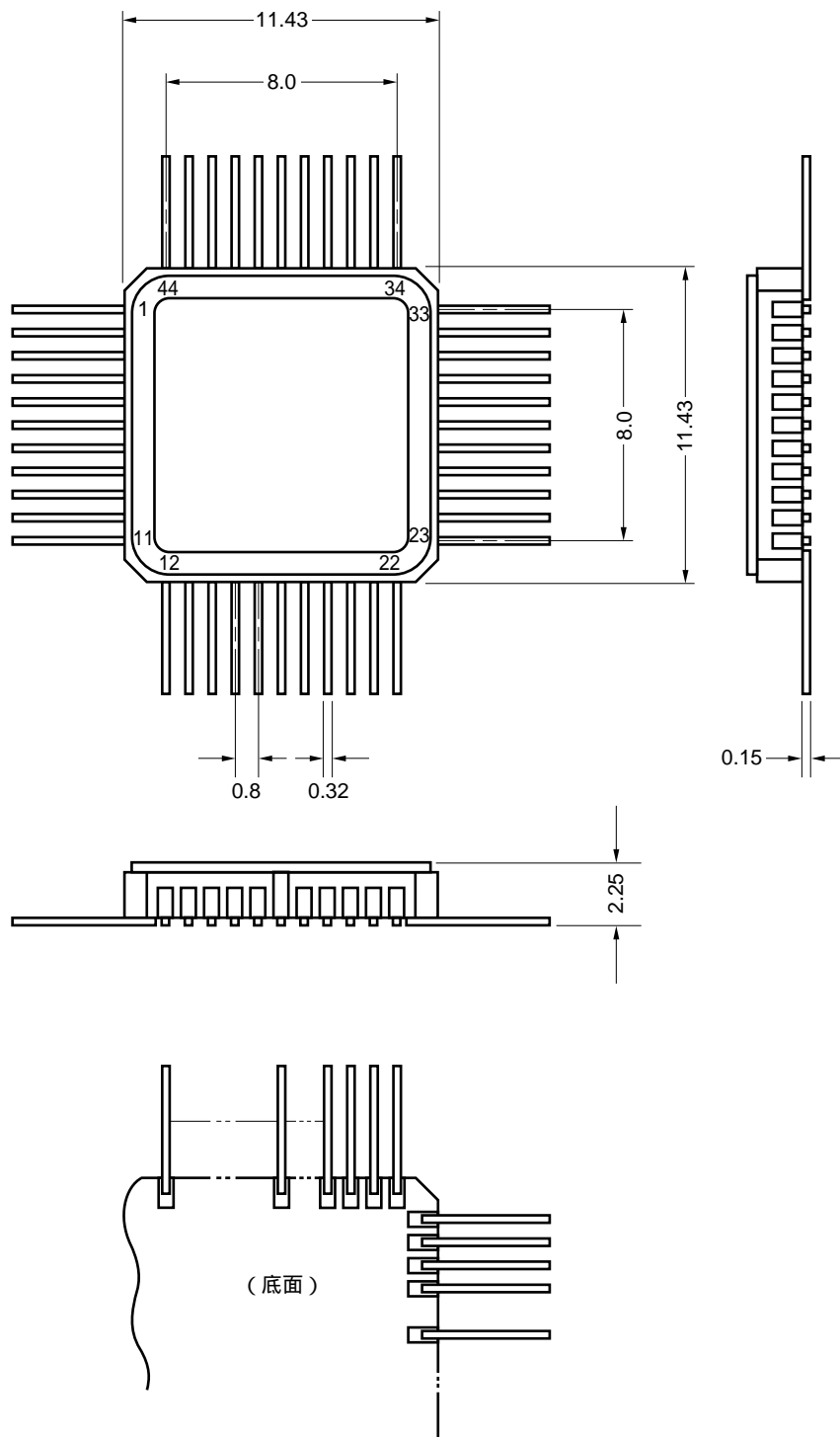


P42C-70-600A-1

注意 ES品の外形や材質は量産品と同じです。

ES品の外形図

ES用44ピン・セラミックQFP 外形図（参考図）（単位：mm）



注意事項

1. 1ピンの位置は、メタル・キャップと接続されている17ピンの位置から判断してください。
2. メタル・キャップは17ピンと接続されており、V_{SS} (GND) レベルとなりますので注意してください。
3. リード先端の切断加工は工程管理されていませんので、リード長は規定されていません。

15. 半田付け推奨条件

μ PD750004, 750006, 750008の半田付け実装は, 次の推奨条件で実施してください。
半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」(<http://www.necel.com/pkg/ja/jissou/index.html>)

表15 - 1 表面実装タイプの半田付け条件

- (1) μ PD750004GB- x x x-3BS-MTX : 44ピン・プラスチックQFP (10 mm, 0.8 mmピッチ)
 μ PD750006GB- x x x-3BS-MTX : "
 μ PD750008GB- x x x-3BS-MTX : "
 μ PD750004GB (A)- x x x-3BS-MTX : "
 μ PD750006GB (A)- x x x-3BS-MTX : "
 μ PD750008GB (A)- x x x-3BS-MTX : "

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 , 時間：30秒以内 (210 以上) , 回数：3回以内	IR35-00-3
VPS	パッケージ・ピーク温度：215 , 時間：40秒以内 (200 以上) , 回数：3回以内	VP15-00-3
ウェーブ・ソルダーリング	半田槽温度：260 以下, 時間：10秒以内, 回数：1回 予備加熱温度：120 MAX. (パッケージ表面温度)	WS60-00-1
端子部分加熱	端子温度：350 以下, 時間3秒以内 (デバイスの一辺当たり)	-

注意 半田付け方式の併用はお避けください (ただし, 端子部分加熱は除く)。

備考 推奨条件以外の半田付け方式および半田付け条件については, 当社販売員にお問い合わせください。

- ★ (2) μ PD750004GB- x x x-3BS-MTX-A : 44ピン・プラスチックQFP (10 mm, 0.8 mmピッチ)
 μ PD750006GB- x x x-3BS-MTX-A : "
 μ PD750008GB- x x x-3BS-MTX-A : "

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260 , 時間：60秒以内 (220 以上) , 回数：3回以内 制限日数：7日間 ^注 (以降は125 プリバーク20~72時間必要) 留意事項 耐熱トレイ以外 (マガジン, テーピング, 非耐熱トレイ) は, 包装状態でのベーキングができません。	IR60-207-3
ウェーブ・ソルダーリング	詳細については, 当社販売員にお問い合わせください。	-
端子部分加熱	端子温度：350 以下, 時間：3秒以内 (デバイスの一辺当たり)	-

注 ドライパック開封後の保管日数で, 保管条件は25 , 65%RH以下。

注意 半田付け方式の併用はお避けください (ただし, 端子部分加熱は除く)。

備考 1 . オーダ名称末尾「-A」の製品は, 鉛フリー製品です。

2 . 推奨条件以外の半田付け方式および半田付け条件については, 当社販売員にお問い合わせください。

表15 - 2 挿入タイプの半田付け条件

	μ PD750004CU-x x x	:	42ピン・プラスチック・シュリンクDIP (600 mil, 1.778 mmピッチ)
	μ PD750006CU-x x x	:	"
	μ PD750008CU-x x x	:	"
★	μ PD750004CU-x x x-A	:	"
★	μ PD750006CU-x x x-A	:	"
★	μ PD750008CU-x x x-A	:	"
	μ PD750004CU(A)-x x x	:	"
	μ PD750006CU(A)-x x x	:	"
	μ PD750008CU(A)-x x x	:	"

半田付け方式	半田付け条件
ウェーブ・ソルダリング (端子のみ)	半田槽温度: 260 以下, 時間: 10秒以内
端子部分加熱	端子温度: 300 以下, 時間: 3秒以内 (1端子当たり)

注意 ウェーブ・ソルダリングは端子のみとし、噴流半田が直接本体に接触しないようにしてください。

備考 1 . オーダ名称末尾「-A」の製品は、鉛フリー製品です。

2 . 推奨条件以外の半田付け方式および半田付け条件については、当社販売員にお問い合わせください。

付録A . μ PD75008, 750008, 75P0016の機能一覧表

(1/2)

項 目		μ PD75008	μ PD750008	μ PD75P0016	
プログラム・メモリ		マスクROM 0000H - 1F7FH (8064×8ビット)	マスクROM 0000H - 1FFFH (8192×8ビット)	ワン・タイムPROM 0000H - 3FFFH (16384×8ビット)	
データ・メモリ		000H - 1FFH (512×4ビット)			
CPU		75X Standard CPU	75XL CPU		
汎用レジスタ		4ビット×8または8ビット×4	(4ビット×8または8ビット×4)×4バンク		
命令実行時間	メイン・システム・クロック 選択時	・0.95, 1.91, 15.3 μ s (4.19 MHz動作時)	・0.95, 1.91, 3.81, 15.3 μ s (4.19 MHz動作時) ・0.67, 1.33, 2.67, 10.7 μ s (6.0 MHz動作時)		
	サブシステム・クロック選択時	122 μ s (32.768 kHz動作時)			
スタック	SBSレジスタ	なし	あり	SBS.3 = 1 : Mk モード選択 SBS.3 = 0 : Mk モード選択	
	スタック・エリア	000H - 0FFH	n00H - nFFH (n=0, 1)		
	サブルーチン・コール命令 のスタック動作	2バイト・スタック	Mk モード時: 2バイト・スタック Mk モード時: 3バイト・スタック		
命令	BRA !addr1 CALLA !addr1	使用不可	Mk モード時: 使用不可 Mk モード時: 使用可能		
	MOV _T XA, @BCDE MOV _T XA, @BCXA BR BCDE BR BCXA		使用可能		
	CALL !addr		Mk モード時: 3マシン・サイクル, Mk モード時: 4マシン・サイクル		
	CALLF !faddr		Mk モード時: 2マシン・サイクル, Mk モード時: 3マシン・サイクル		
	タイマ		3チャンネル ・ベーシック・インターバル・ タイマ: 1チャンネル ・8ビット・タイマ/イベン ト・カウンタ: 1チャンネル ・時計用タイマ: 1チャンネル	4チャンネル ・ベーシック・インターバル・タイマ/ウォッチドッグ・タイ マ: 1チャンネル ・8ビット・タイマ/イベント・カウンタ: 1チャンネル ・8ビット・タイマ・カウンタ: 1チャンネル ・時計用タイマ: 1チャンネル	
	クロック出力 (PCL)		・ Φ , 524, 262, 65.5 kHz (メイン・システム・クロック : 4.19 MHz動作時)	・ Φ , 524, 262, 65.5 kHz (メイン・システム・クロック: 4.19 MHz動作時) ・ Φ , 750, 375, 93.8 kHz (メイン・システム・クロック: 6.0 MHz動作時)	
BUZ出力 (BUZ)	・2 kHz	・2, 4, 32 kHz (メイン・システム・クロック: 4.19 MHz動作時) ・2.93, 5.86, 46.9 kHz (メイン・システム・クロック: 6.0 MHz動作時)			

項 目		μ PD75008	μ PD750008	μ PD75P0016
シリアル・インタフェース		3種のモードに対応可能 ・ 3線式シリアルI/Oモード...MSB/LSB先頭切り替え可能 ・ 2線式シリアルI/Oモード ・ SBIモード		
S O S レ ジ ス タ	フィードバック抵抗カット・フラグ (SOS.0)	マスク・オプションでフィードバック抵抗内蔵可能	内蔵	
	サブ発振器電流カット・フラグ (SOS.1)	なし	内蔵	
レジスタ・バンク選択レジスタ (RBS)		なし	あり	
INT0によるスタンバイ解除		不可	可能	
ベクタ割り込み		外部：3本，内部：3本	外部：3本，内部：4本	
プロセッサ・クロック・コントロール・レジスタ		PCC = 0, 2, 3 使用可能	PCC = 0 ~ 3 使用可能	
電源電圧		$V_{DD} = 2.7 \sim 6.0 \text{ V}$	$V_{DD} = 2.2 \sim 5.5 \text{ V}$	
動作周囲温度		$T_A = -40 \sim +85$		
パッケージ		・ 42ピン・プラスチック・シュリンクDIP (600 mil, 1.778 mmピッチ) ・ 44ピン・プラスチックQFP (10 mm, 0.8 mmピッチ)		

付録B . 開発ツール

μ PD750008を使用するシステム開発のために次のような開発ツールを用意しております。75XLシリーズでは、シリーズ共通のリロケータブル・アセンブラを品種ごとのデバイス・ファイルと組み合わせて使用します。

言語プロセッサ

RA75X リロケータブル・アセンブラ	ホスト・マシン	OS	供給媒体	オーダ名称(品名)
		PC-9800シリーズ	MS-DOS™ (Ver.3.30 、 Ver.6.2 ^注)	
5インチ2HD	μ S5A10RA75X			
IBM PC/AT™ およびその互換機	「IBM PC用のOSにつ いて」参照	3.5インチ2HC	μ S7B13RA75X	
		5インチ2HC	μ S7B10RA75X	

デバイス・ファイル	ホスト・マシン	OS	供給媒体	オーダ名称(品名)
		PC-9800シリーズ	MS-DOS (Ver.3.30 、 Ver.6.2 ^注)	
5インチ2HD	μ S5A10DF750008			
IBM PC/AT およびその互換機	「IBM PC用のOSにつ いて」参照	3.5インチ2HC	μ S7B13DF750008	
		5インチ2HC	μ S7B10DF750008	

注 Ver. 5.00以降にはタスク・スワップ機能がありますが、このソフトウェアではタスク・スワップ機能は使用できません。

備考 アセンブラおよびデバイス・ファイルの動作は、上記のホスト・マシンとOS上でのみ保証されます。

PROM書き込み用ツール

ハードウェア	PG-1500	付属のボードおよび別売りのプログラマ・アダプタを接続することにより、PROM内蔵のシングルチップ・マイクロコンピュータを、スタンド・アロンまたは、ホスト・マシンからの操作によりプログラミングできるPROMプログラマです。 また、256Kビットから4Mビットまでの代表的なPROMをプログラミングすることもできます。			
	PA-75P008CU	μ PD75P0016CU/GB用のPROMプログラマ・アダプタで、PG-1500に接続して使用します。			
ソフトウェア	PG-1500コントローラ	PG-1500とホスト・マシンをシリアルおよびパラレル・インタフェースで接続し、ホスト・マシン上でPG-1500を制御します。			
		ホスト・マシン	OS	供給媒体	オーダ名称（品名）
		PC-9800シリーズ	MS-DOS (Ver.3.30 , Ver.6.2 ^注)	3.5インチ2HD	μ S5A13PG1500
				5インチ2HD	μ S5A10PG1500
		IBM PC/AT およびその互換機	「IBM PC用のOSについて」参照	3.5インチ2HD	μ S7B13PG1500
5インチ2HC	μ S7B10PG1500				

注 Ver.5.00以降にはタスク・スワップ機能がありますが、このソフトウェアではタスク・スワップ機能は使用できません。

備考 PG-1500コントローラの動作は、上記のホスト・マシンとOS上でのみ保証されます。

ディバグ用ツール

μPD750008のプログラム・ディバグ用ツールとしてインサーキット・エミュレータ（IE-75000-R, IE-75001-R）を用意しています。

それぞれのシステム構成を次に示します。

ハードウェア	IE-75000-R ^{注1}	IE-75000-Rは、75Xシリーズ、75XLシリーズを使用する応用システムを開発する際に、ハードウェア、ソフトウェアのディバグを行うためのインサーキット・エミュレータです。μPD750008サブシリーズを開発する場合、IE-75000-Rと別売りのエミュレーション・ボードIE-75300-R-EM、およびエミュレーション・プローブEP-75008CU-RまたはEP-75008GB-Rを組み合わせて使用します。 ホスト・マシン、PROMプログラマと接続して効率的にディバグを行うことができます。 なお、IE-75000-R内にはエミュレーション・ボードIE-75000-R-EMが含まれており、接続されています。			
	IE-75001-R	IE-75001-Rは、75Xシリーズ、75XLシリーズを使用する応用システムを開発する際に、ハードウェア、ソフトウェアのディバグを行うためのインサーキット・エミュレータです。μPD750008サブシリーズを開発する場合、IE-75001-Rと別売りのエミュレーション・ボードIE-75300-R-EM、およびエミュレーション・プローブEP-75008CU-RまたはEP-75008GB-Rを組み合わせて使用します。 ホスト・マシン、PROMプログラマを接続して効率的にディバグを行うことができます。			
	IE-75300-R-EM	μPD750008サブシリーズを使用する応用システムの評価を行うためのエミュレーション・ボードです。 IE-75000-RまたはIE-75001-Rと組み合わせて使用します。			
	EP-75008CU-R	μPD750008CU用のエミュレーション・プローブです。 IE-75000-RまたはIE-75001-Rと、IE-75300-R-EMに接続して使用します。			
	EP-75008GB-R	μPD750008GB用のエミュレーション・プローブです。 IE-75000-RまたはIE-75001-Rと、IE-75300-R-EMに接続して使用します。			
	EV-9200G-44	ターゲット・システムとの接続を容易にする44ピン変換ソケットEV-9200G-44を添付しています。			
ソフトウェア	IEコントロール・プログラム	IE-75000-RまたはIE-75001-Rとホスト・マシンをRS-232-C、およびセントロニクスI/Fで接続し、ホスト・マシン上でIE-75000-RまたはIE-75001-Rを制御します。			
		ホスト・マシン	OS	供給媒体	オーダ名称（品名）
		PC-9800シリーズ	MS-DOS Ver.3.30 ⋮ Ver.6.2 ^{注2}	3.5インチ2HD	μS5A13IE75X
				5インチ2HD	μS5A10IE75X
IBM PC/AT およびその互換機	「IBM PC用のOSについて」参照	3.5インチ2HC	μS7B13IE75X		
		5インチ2HC	μS7B10IE75X		

注1．保守品です。

- Ver.5.00以降にはタスク・スワップ機能がありますが、このソフトウェアではタスク・スワップ機能は使用できません。

備考1．IEコントロール・プログラムの動作は、上記のホスト・マシンとOS上でのみ保証されます。

- μPD750004, 750006, 750008, 75P0016を総称して、μPD750008サブシリーズといいます。

IBM PC用のOSについて

IBM PC用のOSとして、次のものがサポートされています。

OS	バージョン
PC DOS™	Ver.3.1 ~ Ver.6.3 J6.1/V注 ~ J6.3/V注
MS-DOS	Ver.5.0 ~ Ver.6.22 5.0/V注 ~ 6.2/V注
IBM DOS™	J5.02/V注

注 英語モードのみサポートしています。

注意 Ver.5.0以降にはタスク・スワップ機能がありますが、このソフトウェアでは、タスク・スワップ機能は使用できません。

★ 付録C . 関連資料

関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイス関連資料一覧

資料名	資料番号	
	和文	英文
μPD750004, 750006, 750008, 750004(A), 750006(A), 750008(A) データ・シート	U10738J (この資料)	U10738E
μPD75P0016 データ・シート	U10328J	U10328E
μPD750008 ユーザーズ・マニュアル	U10740J	U10740E
μPD750008 インストラクション活用表	IEM-5593	-
75XLシリーズ セレクション・ガイド	U10453J	U10453E

開発ツール関連資料一覧

資料名	資料番号			
	和文	英文		
ハードウェア	IE-75000-R/IE-75001-R ユーザーズ・マニュアル	EEU-846	EEU-1416	
	IE-75300-R-EM ユーザーズ・マニュアル	U11354J	U11354E	
	EP-75008CU-R ユーザーズ・マニュアル	EEU-699	EEU-1317	
	EP-75008GB-R ユーザーズ・マニュアル	EEU-698	EEU-1305	
	PG-1500 ユーザーズ・マニュアル	U11940J	EEU-1335	
ソフトウェア	RA75X アセンブラ・パッケージ ユーザーズ・マニュアル	操作編	EEU-731	EEU-1346
		言語編	EEU-730	EEU-1363
	PG-1500コントローラ ユーザーズ・マニュアル	PC-9800シリーズ (MS-DOS)ベース	EEU-704	EEU-1291
		IBM PCシリーズ (PC DOS)ベース	EEU-5008	U10540E

その他の関連資料一覧

資料名	資料番号	
	和文	英文
IC PACKAGE MANUAL	C10943X	
半導体デバイス 実装マニュアル	C10535J	C10535E
NEC半導体デバイスの品質水準	C11531J	C11531E
NEC半導体デバイスの信頼性品質管理	C10983J	C10983E
静電気放電 (ESD) 試験について	MEM-539	-
半導体デバイスの品質保証ガイド	C11893J	MEI-1202
マイクロコンピュータ関連製品ガイド 社外メーカ編	U11416J	-

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには必ず最新の資料をご使用ください。

CMOSデバイスの一般的注意事項

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力がノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序 内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

MS-DOSは、米国 Microsoft Corporation の米国およびその他の国における登録商標または商標です。
IBM DOS , PC/AT , PC DOSは、米国IBM社の商標です。

本製品が外国為替及び外国貿易法の規定により規制貨物等（または役務）に該当するか否かは、ユーザ（仕様を決定した者）が判定してください。該当する場合、日本国外に輸出する際には日本国政府の輸出許可が必要です。

- 本資料に記載されている内容は2005年8月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命、身体および財産に対する損害の危険を最小限度にするために、冗長設計、延焼対策設計、誤動作防止設計等安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

- (1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- (2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

【発 行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

—— お問い合わせ先 ——

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

【営業関係，技術関係お問い合わせ先】

半導体ホットライン

（電話：午前 9:00～12:00，午後 1:00～5:00）

電 話 : 044-435-9494

E-mail : info@necel.com

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか，NECエレクトロニクスの販売特約店へお申し付けください。
