

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。



IEEE1394 400Mbps PHY

μPD72850A は、P1394a draft 2.0 に準拠した 3 ポートの物理層 LSI です。

μPD72850A は、400 Mbps での動作が可能です。

μPD72850A は、μPD72850 と端子互換でかつ、μPD72850 の機能をそのまま継承したアップグレード品です。

特 徴

P1394a draft 2.0 に準拠した 3 ポートの物理層 LSI

1. Connection debounce
2. Arbitration enhancements
 - ・ Arbitrated short bus reset
 - ・ Ack-accelerated arbitration
 - ・ Fly-by concatenation
 - ・ Multiple-speed packet concatenation
 - ・ Arbitration enhancements and cycle start (controlled by the Link layer)
3. Performance optimization via PHY ping
4. Priority arbitration (controlled by the Link layer)

データ・レート：393.216/196.608/98.304 Mbps

P1394a Draft 2.1 準拠のサスペンド/リジューム機能内蔵

3.3 V 単一電源

Link インタフェースへの電氣的アイソレーション・インタフェース

24.576 MHz 水晶振動子によるクロック発生および 393.216 MHz PLL 内蔵

システム・パワー・マネジメント用のノード・パワー・クラス情報のシグナリング機能内蔵

ケーブル・パワーのモニタ (CPS) 機能内蔵

IEEE std 1394 準拠の Link (FireWire™, i.LINK™) と接続可能

ケーブル・バイアスおよびドライバ終端電圧供給機能内蔵 (3 ポート独立)

アナログ/デジタル電源, GND 分離 80 ピン TQFP パッケージ

電源投入時のポート・ディスエーブル/イネーブル切り替え制御を端子でサポート

サスペンド/リジューム機能オフ・モードをサポート (P1394a Draft 1.3 準拠)

ポート数選択可能

- ・ 1 ポート, 2 ポート, 3 ポート (サスペンド/リジューム機能オフ時のみ対応)

富士フイルムマイクロデバイス株式会社製 MD8405E と端子互換

オーダ情報

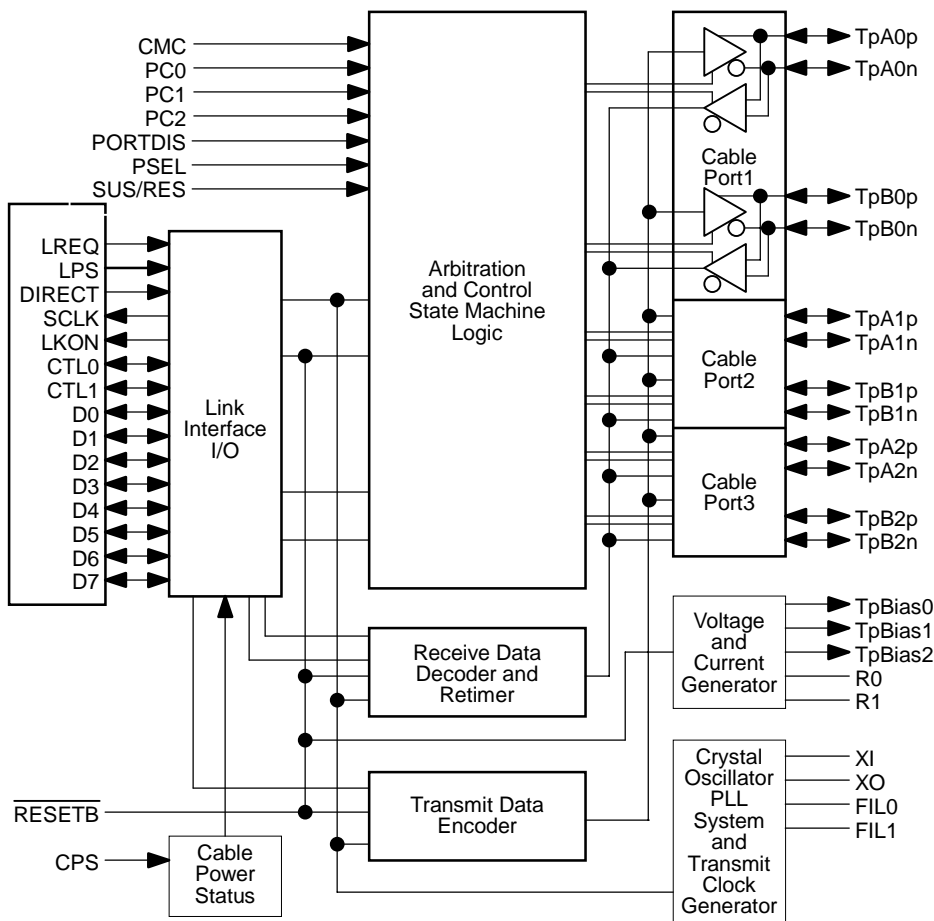
オーダ名称	パッケージ
μPD72850AGK-9EU	80 ピン・プラスチック TQFP (ファインピッチ) (12×12 mm)

本資料の内容は予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。

μPD72850 と μPD72850A との相違点

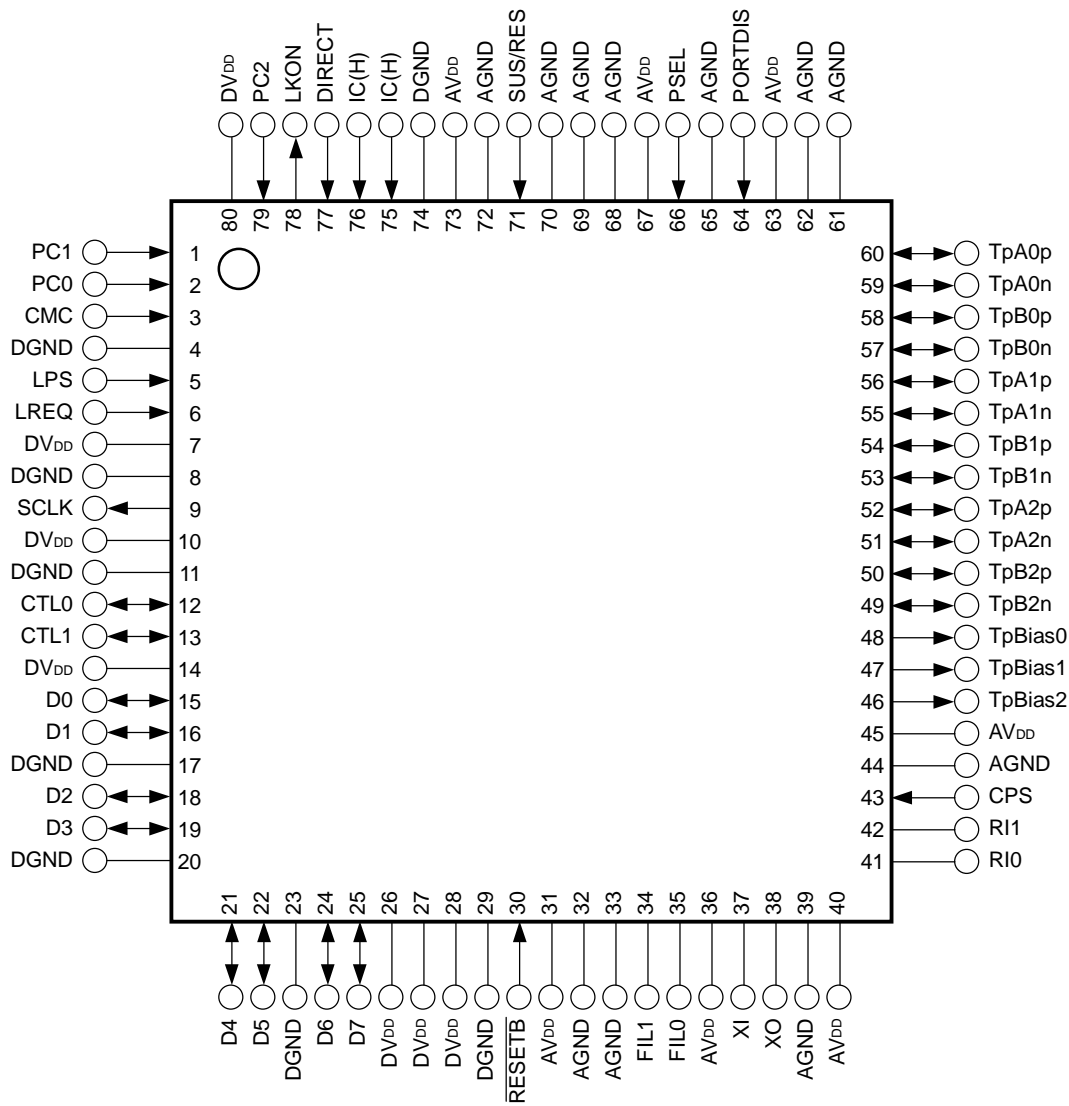
μPD72850A は、μPD72850 の機能をそのまま継承したアップグレード品です。μPD72850 に対して、P1394a draft 2.1 準拠のサスペンド/リジューム機能（バイアス検出機能）を取り込みました。バイアス検出機能は、接続されたデバイスのパワー・セーブからの復帰時やパワー・オン時でのバイアス検出期間の緩和を図っています。

ブロック図



端子接続図 (Top View)

・ 80 ピン・プラスチック TQFP (ファインピッチ) (12×12 mm)



端子名称

AGND	: Analog GND
AV _{DD}	: Analog Power
CMC	: Configuration Manager Capable
CPS	: Cable Power Status
CTL0	: Link Interface Control (bit 0)
CTL1	: Link Interface Control (bit 1)
D0-D7	: Data Input/Output
DGND	: Digital GND
DV _{DD}	: Digital V _{DD}
DIRECT	: Link/PHY Isolation Barrier Control Input
FIL0	: APLL Filter Ground
FIL1	: APLL Filter
IC(H)	: Internally Connected (High Clamped)
LKON	: Link-on Signal Output
LPS	: Link Power Status Input
LREQ	: Link Request Input
PC0-PC2	: Power Class Set Input
PORTDIS	: Port Disable
PSEL	: Support Number of Port Select
<u>RESETB</u>	: Power on Reset Input
RI0	: Reference Power Set, Connect Resistor 0
RI1	: Reference Power Set, Connect Resistor 1
SCLK	: Link Control Output Clock
SUS/RES	: Suspend/Resume Function Select
TpA0n	: First Port Twisted Pair Cable A Negative Phase I/O
TpA0p	: First Port Twisted Pair Cable A Positive Phase I/O
TpA1n	: Second Port Twisted Pair Cable A Negative Phase I/O
TpA1p	: Second Port Twisted Pair Cable A Positive Phase I/O
TpA2n	: Third Port Twisted Pair Cable A Negative Phase I/O
TpA2p	: Third Port Twisted Pair Cable A Positive Phase I/O
TpB0n	: First Port Twisted Pair Cable B Negative Phase I/O
TpB0p	: First Port Twisted Pair Cable B Positive Phase I/O
TpB1n	: Second Port Twisted Pair Cable B Negative Phase I/O
TpB1p	: Second Port Twisted Pair Cable B Positive Phase I/O
TpB2n	: Third Port Twisted Pair Cable B Negative Phase I/O
TpB2p	: Third Port Twisted Pair Cable B Positive Phase I/O
TpBias0	: First port Twisted Pair Output
TpBias1	: Second Port Twisted Pair Output
TpBias2	: Third Port Twisted Pair Output
XI	: Crystal Oscillator Connection XI
XO	: Crystal Oscillator Connection XO

目 次

1. 端子機能一覧 ...	7
1.1 ケーブル・インタフェース端子 ...	7
1.2 Link インタフェース端子 ...	8
1.3 制御端子 ...	8
1.4 IC ...	9
1.5 電源, GND 端子 ...	9
1.6 その他の端子 ...	9
2. PHY レジスタ ...	10
2.1 全体構成 ...	10
2.2 ポート・ステータス・ページ構成 (“000”ページ) ...	13
2.3 ベンダ ID ページ構成 (“001”ページ) ...	14
3. 各部機能 ...	15
3.1 Link インタフェース ...	15
3.1.1 接続方法 ...	15
3.1.2 LPS (Link Power Status) ...	15
3.1.3 LREQ,CTL0,CTL1,D0-D7 ...	15
3.1.4 SCLK ...	15
3.1.5 LKON ...	16
3.1.6 DIRECT ...	16
3.1.7 アイソレーション・バリア ...	16
3.2 ケーブル・インタフェース ...	18
3.2.1 接 続 ...	18
3.2.2 ケーブル・インタフェース回路 ...	19
3.2.3 未使用ポート処理 ...	19
3.2.4 CPS ...	19
3.3 サスペンド/リジューム ...	19
3.3.1 サスペンド/リジューム機能オン・モード (SUS/RES=“H”) ...	19
3.3.2 サスペンド/リジューム機能オフ・モード (SUS/RES=“L”) ...	20
3.4 PLL&水晶発振回路 ...	20
3.4.1 水晶発振回路 ...	20
3.4.2 PLL ...	20
3.5 PC0-PC2,CMC ...	20
3.6 $\overline{\text{RESETB}}$...	20
3.7 RI1,RI0 ...	20
4. PHY/Link インタフェース ...	21
4.1 LPS(Link Power Status)と PHY/Link インタフェースのイニシャライゼーション ...	21
4.2 Link-on Indication ...	22

4.3	PHY/Link インタフェースの動作 (CTL0,CTL1,LREQ,D0-D7)	...	23
4.3.1	CTL0,CTL1	...	23
4.3.2	LREQ	...	23
4.3.3	PHY/Link インタフェース・タイミング	...	29
4.4	アクセラレーション・コントロール	...	30
4.5	ステータス転送	...	31
4.6	Transmit	...	32
4.7	キャンセル	...	34
4.8	Receive	...	35
5.	ケーブルPHY パケット	...	36
5.1	SelfID パケット	...	37
5.2	Link-on パケット	...	37
5.3	PHY Configuration パケット	...	38
5.4	Extended PHY パケット	...	39
5.4.1	Ping パケット	...	39
5.4.2	Remote Access パケット	...	39
5.4.3	Remote Reply パケット	...	40
5.4.4	Remote Command パケット	...	40
5.4.5	Remote Confirmation パケット	...	41
5.4.6	Resume パケット	...	41
6.	電気的特性	...	42
7.	応用回路例	...	47
7.1	IEEE1394 インタフェース	...	47
7.2	NEC/FFM ボード共用化	...	48
8.	外形図	...	49
9.	半田付け推奨条件	...	50

1. 端子機能一覧

1.1 ケーブル・インタフェース端子

端子名	端子番号	I/O	機能												
TpA0p	60	I/O	第一ポート・ツイスト・ペア・ケーブルA正相入出力												
TpA0n	59	I/O	第一ポート・ツイスト・ペア・ケーブルA逆相入出力												
TpB0p	58	I/O	第一ポート・ツイスト・ペア・ケーブルB正相入出力												
TpB0n	57	I/O	第一ポート・ツイスト・ペア・ケーブルB逆相入出力												
TpA1p	56	I/O	第二ポート・ツイスト・ペア・ケーブルA正相入出力												
TpA1n	55	I/O	第二ポート・ツイスト・ペア・ケーブルA逆相入出力												
TpB1p	54	I/O	第二ポート・ツイスト・ペア・ケーブルB正相入出力												
TpB1n	53	I/O	第二ポート・ツイスト・ペア・ケーブルB逆相入出力												
TpA2p	52	I/O	第三ポート・ツイスト・ペア・ケーブルA正相入出力												
TpA2n	51	I/O	第三ポート・ツイスト・ペア・ケーブルA逆相入出力												
TpB2p	50	I/O	第三ポート・ツイスト・ペア・ケーブルB正相入出力												
TpB2n	49	I/O	第三ポート・ツイスト・ペア・ケーブルB逆相入出力												
PORTDIS	64	I	<p>ポート・ディスエーブル</p> <p>SUS/RES (71ピン) = "1" のとき</p> <p>電源投入時、ポート・ステータス・ページ (PHYレジスタ) のDisabledビットに、PORTDIS端子の設定値がロードされます。電源投入時以外は、PORTDIS端子の内容は意味を持ちません。</p> <p>1 : 3ポートともディスエーブルされます。</p> <p>0 : 3ポートともイネーブルになります。</p> <p>SUS/RES (71ピン) = "0" のとき</p> <p>PSEL (66ピン) 入力との組み合わせにより、サポートするポート数を選択できます (PSELの説明を参照してください)。</p>												
PSEL	66	I	<p>ポート数選択入力 (ただし、SUS/RES="0" のときのみ)</p> <table style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <thead> <tr> <th style="border-bottom: 1px solid black;"></th> <th style="border-bottom: 1px solid black; text-align: center;">64ピン</th> <th style="border-bottom: 1px solid black; text-align: center;">66ピン</th> </tr> </thead> <tbody> <tr> <td>1ポート (Port0)</td> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> </tr> <tr> <td>2ポート (Port0,1)</td> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> </tr> <tr> <td>3ポート (Port0-2)</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> </tr> </tbody> </table> <p>この端子は、SUS/RES="1" のとき、AGNDに接続してください。</p>		64ピン	66ピン	1ポート (Port0)	0	1	2ポート (Port0,1)	1	0	3ポート (Port0-2)	0	0
	64ピン	66ピン													
1ポート (Port0)	0	1													
2ポート (Port0,1)	1	0													
3ポート (Port0-2)	0	0													
SUS/RES	71	I	<p>サスペンド/リジューム機能選択</p> <p>1 : サスペンド/リジューム機能はオンします (P1394a draft 2.1)。</p> <p>0 : サスペンド/リジューム機能はオフします (P1394a draft 1.3)。</p>												
CPS	43	I	<p>ケーブル・パワー・ステータス入力</p> <p>390 k の抵抗を介してケーブル・パワーに接続してください。</p> <p>0 : ケーブル・パワー・Fail</p> <p>1 : ケーブル・パワー・オン</p>												

1.2 Link インタフェース端子

端子名	端子番号	I/O	機能
D0	15	I/O	データ入出力 (端子0)
D1	16	I/O	データ入出力 (端子1)
D2	18	I/O	データ入出力 (端子2)
D3	19	I/O	データ入出力 (端子3)
D4	21	I/O	データ入出力 (端子4)
D5	22	I/O	データ入出力 (端子5)
D6	24	I/O	データ入出力 (端子6)
D7	25	I/O	データ入出力 (端子7)
CTL0	12	I/O	Linkインタフェース制御入出力 (端子0)
CTL1	13	I/O	Linkインタフェース制御入出力 (端子1)
LREQ	6	I	Linkリクエスト入力
SCLK	9	O	Linkコントロール用クロック出力 LPS 1 : 49.152 MHz出力 LPS 0 : "0"固定 ("0"になって25 μ sec以内はクロック出力)
LPS	5	I	Link パワー・ステータス入力 0 : Linkパワー・オフ 1 : Linkパワー・オン (PHY/Linkダイレクト接続時) 約300 kHzのクロック信号 (アイソレーション時)
LKON	78	O	Link-on信号出力端子 Link-on信号は、6.144 MHzのクロック信号です (4.2 Link-on Indication参照)。
DIRECT	77	I	PHY/Linkアイソレーション・バリア制御入力 0 : アイソレーション・バリア使用 1 : PHY/Linkダイレクト接続

1.3 制御端子

端子名	端子番号	I/O	機能
PC0	2	I	パワー・クラス設定入力 PHYレジスタ (アドレス: 4H) のPwr_Classビットのリセット値に、この設定値がロードされます。 IEEE1394-1995 4.3.4.1章を参照してください。
PC1	1	I	
PC2	79	I	
CMC	3	I	Configuration manager capable設定端子。 PHYレジスタ (アドレス: 4H) のContenderビットのリセット値に、この設定値がロードされます。 0 : 非Contender 1 : Contender
RESETB	30	I	リセット入力端子。 この端子は、0.1 μFを介してDGNDへ接続することによりパワーオン・リセットを行うことができます。 0 : リセット 1 : ノーマル

1.4 IC

端子名	端子番号	I/O	機能
IC(H)	75, 76	I	内部接続端子 通常この端子は，“1”にプルアップして使用してください。

1.5 電源, GND 端子

端子名	端子番号	I/O	機能
AV _{DD}	31, 36	-	アナログ電源1 (APLL, OSC)
	40, 45	-	アナログ電源2 (Bias)
	63, 67, 73	-	アナログ電源3 (Cable Interface)
AGND	32, 33	-	アナログGND1 (PLL, OSC)
	39, 44	-	アナログGND2 (Bias)
	61	-	アナログGND3 (Common)
	62	-	アナログGND4 (Speed signal)
	65,68-70,72	-	アナログGND5 (Port)
DV _{DD}	7,10,14, 26-28,80	-	デジタル電源
DGND	4,8,11,17,20, 23,29,74	-	デジタルGND

1.6 その他の端子

端子名	端子番号	I/O	機能
TpBias0	48	O	第一ポート用ツイストペア・バイアス出力
TpBias1	47	O	第二ポート用ツイストペア・バイアス出力
TpBias2	46	O	第三ポート用ツイストペア・バイアス出力
RI0	41	-	レファレンス電流設定用抵抗接続端子0 RI1端子との間に9.1 k の抵抗を接続してください。
RI1	42	-	レファレンス電流設定用抵抗接続端子1
FIL1	34	-	APLLフィルタ端子 (部品実装は必要なし)
FIL0	35	-	APLLフィルタ用GND端子 (部品実装は必要なし)
XI	37	-	水晶発振子接続端子XI
XO	38	-	水晶発振子接続端子XO

2. PHY レジスタ

2.1 全体構成

図2 - 1 PHY レジスタ全体構成

	0	1	2	3	4	5	6	7	
0000	Physical_ID						R	PS	
0001	RHB	IBR	Gap_count						
0010	Extended (7)			Reserved	Total_ports				
0011	Max_speed			Reserved	Delay				
0100	Link_active	Contender	Jitter			Pwr_class			
0101	Resume_int	ISBR	Loop	Pwr_fail	Timeout	Port_event	Enab_accel	Enab_multi	
0110	Reserved								
0111	Page_select			Reserved	Port_select				
1000	Register0 (page_select)								
1001	Register1 (page_select)								
1010	Register2 (page_select)								
1011	Register3 (page_select)								
1100	Register4 (page_select)								
1101	Register5 (page_select)								
1110	Register6 (page_select)								
1111	Register7 (page_select)								

(1/3)

フィールド	サイズ	R/W	リセット値	機能
Physical_ID	6	R	000000	SelfID期間中に決定されるPhysical_ID値
R	1	R	0	このビットが“1”であれば、そのノードがルートであることを示します。 1 : ルート 0 : 非ルート
PS	1	R		ケーブル・パワー・ステータス 1 : ケーブル・パワー・オン 0 : ケーブル・パワー・オフ
RHB	1	R/W	0	ルート・ホールド・オフ・ビット “1”の場合、このノードが次のバス・リセットでルートになります。
IBR	1	R/W	0	イニシエート・バス・リセット “1”に設定すると、ロング・バス・リセットを開始します。 ロング・バス・リセット信号出力時間 : 166 μ sec バス・リセット開始により“0”に戻ります。
Gap_count	6	R/W	111111	ギャップ・カウント値 他ノードと同じGap_countになるようにPHY configuration/パケットの送受信によって変更します。 設定後の最初のバス・リセットでは値を保持します。 2回目のバス・リセット後にリセット値に戻ります。
Extended	3	R	111	拡張レジスタ・マップを示します。

フィールド	サイズ	R/W	リセット値	機能
Total_ports	4	R	0011	ポート数 SUS/RES (71ピン) = "1" のとき 0011 : 3ポート SUS/RES (71ピン) = "0" のとき PSEL (66ピン) 入力との組み合わせにより、サポートするポート数を選択できます (1.1 ケーブル・インタフェース端子を参照してください)。 0001 : 1ポート 0010 : 2ポート 0011 : 3ポート
Max_speed	3	R	010	スピード能力値 010 : 400 Mbps
Delay	4	R	0010	ワースト・ケース・リピータ・ディレイ 144 + (2 × 20) = 184 nsec
Link_active	1	R/W	1	Linkアクティブ 1 : イネーブル 0 : ディスエーブル このビットと、LPS端子の論理ANDが、SelfIDパケットのLビットに転送されます。
Contender	1	R/W	機能参照	Contender "1" のとき、そのノードがバス・マネージャの機能を有することを示します。SelfIDパケットのCビットに反映されます。 リセット値 (POR値) はCMC端子をプルアップするかプルダウンするかで決定されます。 プルアップ : Conteder (機能あり) プルダウン : 非Contender
Jitter	3	R	010	リピータ・ディレイの最速と最遅の差。 (2+1) × 20 = 60 nsec
Pwr_class	3	R/W	機能参照	パワー・クラス (IEEE1394-1995 4.3.4.1章参照) SelfIDパケットのPwrフィールドに反映されます。 リセット値 (POR値) はPC0-PC2端子により決定されます。
Resume_int	1	R/W	0	リジューム・インタラプト・イネーブル "1" にセットされているとき、どこかのポートがリジュームするとPort_eventビットが"1" になります。
ISBR	1	R/W	0	イニシエート・ショート (arbitrated) バス・リセット "1" に設定するとバスを獲得しショート・バス・リセットを開始します。 ショート・バス・リセット信号出力時間 : 1.3 μ sec バス・リセット開始により"0" に戻ります。
Loop	1	R/W	0	ループ検出 1 : 検出 このビットに"1" を書き込むと"0" にクリアします。 "0" の書き込みは意味を持ちません。
Pwr_fail	1	R/W	0	ケーブル・パワー不足検出 PSビットの"1" から"0" への変化があると"1" になります。 このビットに"1" を書き込むと"0" にクリアします。 "0" の書き込みは意味を持ちません。

フィールド	サイズ	R/W	リセット値	機能
Timeout	1	R/W	0	アービトラージ・ステート・マシン・タイムアウト このビットに“1”を書き込むと“0”にクリアします。 “0”の書き込みは意味を持ちません。
Port_event	1	R/W	0	ポートの状態変化を示します。 ポートごとのレジスタ・マップ内のInt_Enableビットが“1”の場合にポートのConnected, Bias, Disabled, Faultビットに変化があると“1”にセットされます。 また, Resume_Intビットが“1”の場合, どれか1つのポートがリジュームすると, このビットは“1”にセットされます。 このビットに“1”を書き込むと“0”にクリアします。 “0”の書き込みは意味を持ちません。
Enab_accel	1	R/W	0	イネーブル・アービトラージ・アクセラレーション Ack-acceleration, Fly-byアービトラージをイネーブルにします。 1 : イネーブル 0 : ディスエーブル バス・リクエストがペンディング中にこのビットが変化された場合の動作は保証されません。
Enab_multi	1	R/W	0	イネーブル・マルチスピード・連結パケット このビットを“1”に設定すると種々の速度の連結パケット転送に対応します。 “0”の場合は最初のパケットと同じ速度でのみ連結パケットを送信します。
Page_select	3	R/W	000	ページ・セレクト アドレス“1000” - “1111”のページを選択します。 000 : ポート・ステータス・ページ 001 : ベンダ定義ページ その他 : 予約
Port_select	4	R/W	0000	ポート・セレクト ページ・セレクトで“000” (ポート・ステータス・ページ) 選択時の, ポートを選択します。 0000 : ポート0 0001 : ポート1 0010 : ポート2 その他 : 未使用
Reserved	-	R	000...	予約 “0”固定

2.2 ポート・ステータス・ページ構成 (“000”ページ)

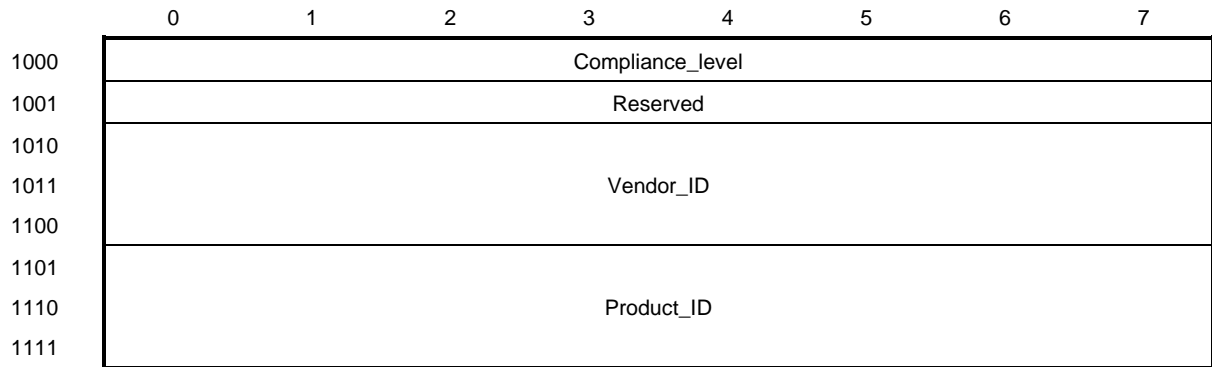
図2-2 ポート・ステータス・ページ構成

	0	1	2	3	4	5	6	7
1000	AStat		BStat		Child	Connected	Bias	Disabled
1001	Negotiated_speed			Int_enable	Fault	Reserved		
1010	Reserved							
1011	Reserved							
1100	Reserved							
1101	Reserved							
1110	Reserved							
1111	Reserved							

フィールド	サイズ	R/W	リセット値	機能
AStat	2	R	XX	“A”ポート・ステータス値 00 : - 10 : “0” 01 : “1” 11 : “Z”
BStat	2	R	XX	“B”ポート・ステータス値 00 : - 10 : “0” 01 : “1” 11 : “Z”
Child	1	R		子ノード・ステータス値 1 : 子ノードに接続 0 : 親ノードに接続
Connected	1	R	0	コネクション・ステータス値 1 : 接続 0 : 非接続
Bias	1	R		バイアス電圧ステータス値 1 : バイアス電圧あり 0 : バイアス電圧なし
Disabled	1	R/W	機能参照	リセット値は、PORTDIS (64ピン) の入力値が設定されます。 1 : ディスエーブル
Negotiated_Speed	3	R		このポートに接続されたノードとの最大データ転送レートを示します。 000 : 100 Mbps 001 : 200 Mbps 010 : 400 Mbps
Int_enable	1	R/W	0	“1”にセットすると、Connected, Bias, Disabled, Faultビットの変化によりPort_eventビットを“1”にセットします。
Fault	1	R/W	0	サスペンド/リジューム中にエラーが起きると“1”になります。 このビットに“1”を書き込むと“0”にクリアします。 “0”の書き込みは意味を持ちません。
Reserved	-	R	000...	予約 “0”固定

2.3 ベンダID ページ構成 (“001”ページ)

図2 - 3 ベンダID ページ構成



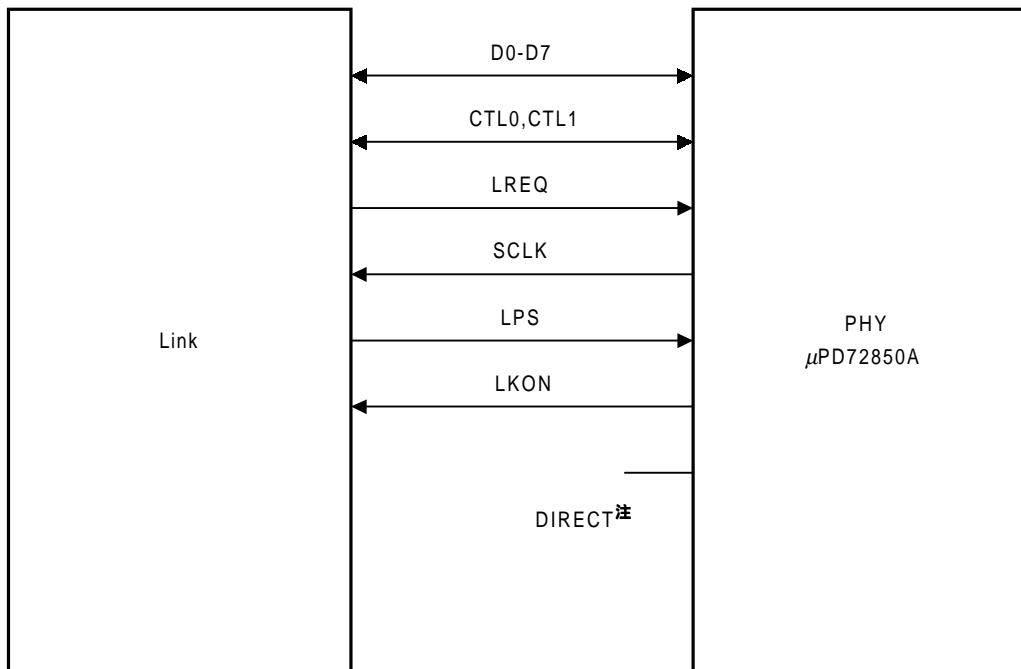
フィールド	サイズ	R/W	リセット値	機 能
Compliance_level	8	R	00000001	IEEE P1394a 準拠
Vendor_ID	24	R	00004CH	会社認識コード NEC IEEE OUI値
Product_ID	24	R		製品コード
Reserved	-	R	000...	予約 “0”固定

3. 各部機能

3.1 Link インタフェース

3.1.1 接続方法

図3 - 1 PHY/Link 接続



注 V_{DD}に固定でLinkとDC接続してください。
GNDに固定でLinkとアイソレーション・バリア接続してください(アイソレーション・バリア接続回路は3.1.7 アイソレーション・バリアを参照してください)。

3.1.2 LPS (Link Power Status)

LPS は Link 電源のオン/オフをモニタする機能です。LPS が 1.2 μsec 以上 L になると PHY/Link インタフェースはリセットされ、D,CTL は L 出力となります(アイソレーション・バリア時はハイ・インピーダンス)。また、LPS が 25 μsec 以上 L になると上記に加え SCLK の供給を停止し、L 出力となります(アイソレーション・バリア時はハイ・インピーダンス)。

3.1.3 LREQ,CTL0,CTL1,D0-D7

- LREQ : Link からのリクエスト受信端子。
- CTL0,CTL1 : PHY/Link インタフェース間の状態を制御する双方向端子。
- D0-D7 : データ送受信, ステータス, スピード・コード送受信に使用する双方向端子。

3.1.4 SCLK

PHY/Link インタフェース同期のための PHY が供給する 49.152 MHz クロック。

3.1.5 LKON (4.2 Link-on Indication 参照)

LKON は Link の電源がオフ (LPS が L または PHY レジスタ内の Link_active ビットが“0”) の場合に、次の条件により信号を出力します。

- ・ Link-on パケット受信時。
- ・ μPD72850A の PHY レジスタ内の、Loop,Pwr_fail,Timeout,Port_event のいずれかのビットが“1”になり、かつ LPS または Link_active ビットのどちらかが“0”のとき。

LPS がアサートされると LKON は L 出力に戻ります。

3.1.6 DIRECT

アイソレーション・バリア使用時に内蔵された微分回路をアクティブにするためには、L に設定してください。アイソレーション・バリア未使用の場合は H に設定してください。

3.1.7 アイソレーション・バリア

IEEE1394 で使用しているケーブルにはデータ / ストロブの信号線の他に電源および GND 線があり、接続先との PHY 同士でケーブルを通じて電源、GND 同士も接続されることとなります。2つの機器間の接地電位が異なっている場合にはケーブルの GND ラインを通じて DC、AC の電流が流れてしまい、ノイズや2つのPHY間のDC電位が異なることによる誤動作、機器の損傷などの問題を生じてしまう可能性があります。

これらの問題を回避するために、μPD72850A はPHY/Link インタフェースにおいて AC カップリングを使用したアイソレーション・バリア方式をサポートしています。アイソレーション・バリアはPHY/Link インタフェース間に AC カップリングに必要な外付け素子を接続して使用します。さらに μPD72850A の DIRECT 端子を L にクランプすることにより、μPD72850A に内蔵されているデジタル微分回路がイネーブルとなります。微分回路は信号の変化量のみを伝搬させるため、H L または L H のときのみインタフェースを駆動することとなります。信号変化がないときにはインタフェースはハイ・インピーダンス状態になります。Link から駆動されたバスがハイ・インピーダンス状態時でも入力回路が誤動作しないように、μPD72850A は D,CTL,LREQ,LPS 端子にシュミット・トリガ入力回路を使用しています。

アイソレーション・バリアを使用するためには、Link レイヤ・コントローラ側にもデジタル微分回路およびシュミット・トリガ入力回路が必要となります。

図3 - 2 アイソレーション・バリア時の信号波形

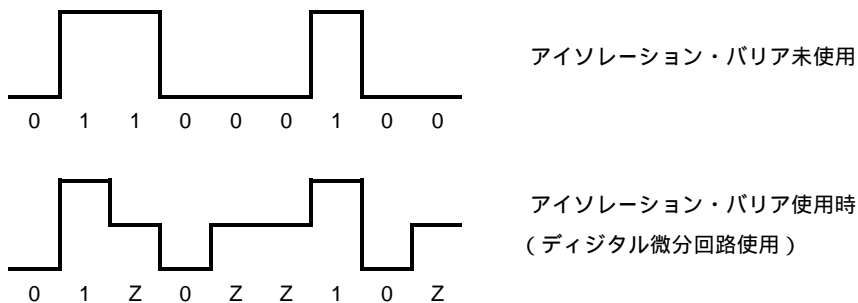
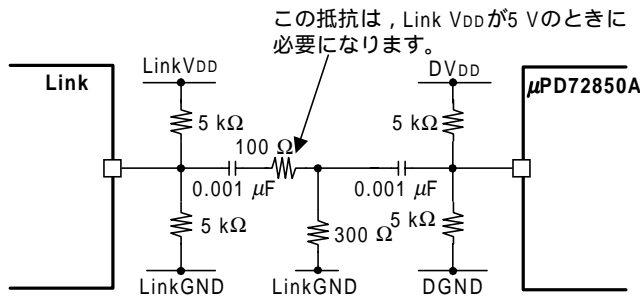
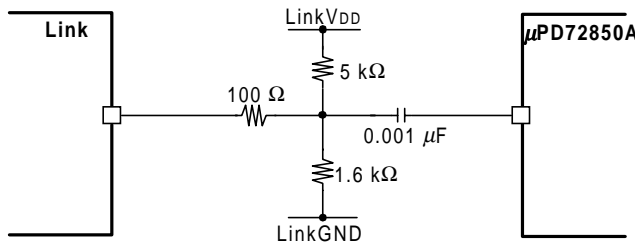


図3-3 SCLK アイソレーション・バリア回路

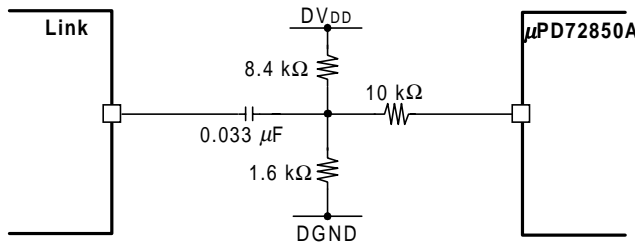
(a) CTL0,CTL1, D0-Dn アイソレーション・バリア回路



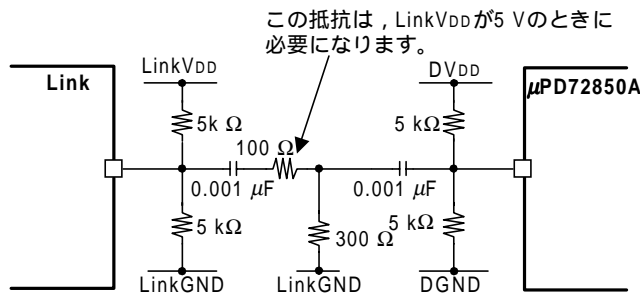
(b) Link-on アイソレーション・バリア回路



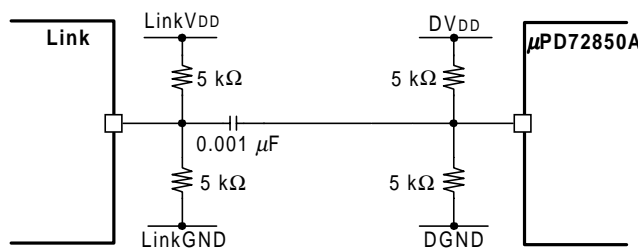
(c) LPS アイソレーション・バリア回路



(d) LREQ アイソレーション・バリア回路



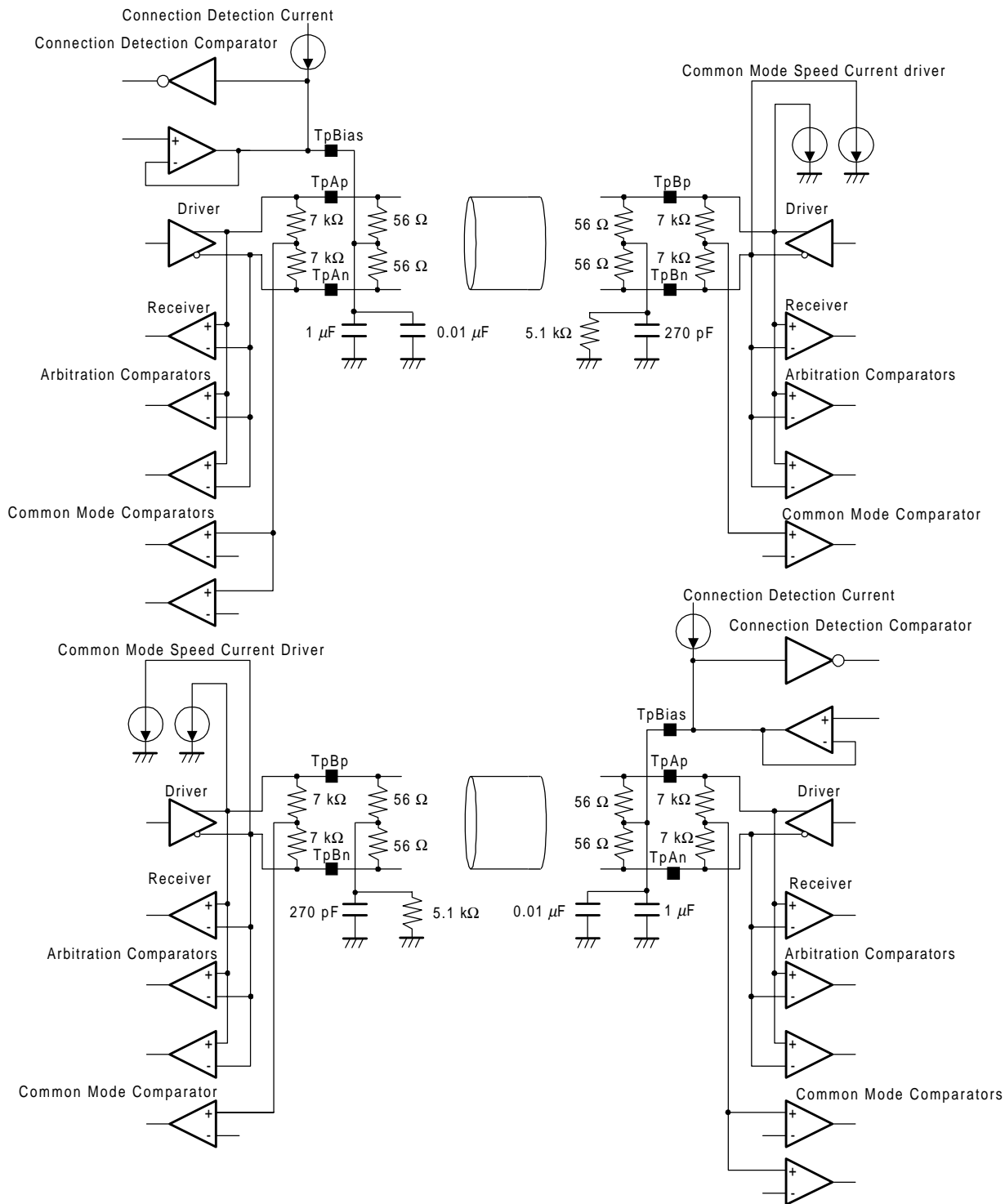
(e) SCLK アイソレーション・バリア回路



3.2 ケーブル・インタフェース

3.2.1 接 続

図3-4 ケーブル・インタフェース



3.2.2 ケーブル・インタフェース回路

各ポートは TpA, TpB の 2 つのツイスト・ペアからなっており, TpA, TpB は制御信号およびデータの送受信やケーブルのライン状態のモニタに使用されます。

IEEE1394 バスへの送信時には, Link レイヤ・コントローラから受信したデータをデータ/ストロブ信号にエンコードし, パラレル - シリアル変換を行って送信します。

μPD72850A は, Link レイヤ・コントローラからのデータを 100/200/400 Mbps のデータ・レートに応じて 2/4/8 ビットで受信し, TpA, TpB からそれぞれストロブ/データ信号を送信します。

IEEE1394 バスからの受信時には, TpA, TpB からそれぞれ受信したデータ/ストロブ信号をシリアル - パラレル変換し, SCLK に同期化したあと, 100/200/400 Mbps のデータ・レートに応じて 2/4/8 ビットで Link レイヤ・コントローラへ送信します。

TpA, TpB とともにバスのアービトレーションおよびライン状態のモニタを行うコンパレータを内蔵し, μPD72850A 内部のステート・マシンに IEEE1394 バスの状態を送信します。

3.2.3 未使用ポート処理

TpAp, TpAn : ノー・コネクション

TpBp, TpBn : AGND

TpBias : 1.0 μF の容量を介して AGND に接続してください。

3.2.4 CPS

ケーブル・パワーとの間に外付けの 390 k の抵抗を直列に接続し, ケーブルのパワーをモニタします。ケーブル・パワーが 7.5 V 以下になると, Link レイヤ・コントローラにケーブル・パワーが Fail したことを伝えます。

3.3 サスペンド/リジューム

3.3.1 サスペンド/リジューム機能オン・モード (SUS/RES="H")

アクティブな状態から Suspended 状態への遷移には 2 通りの動作があります。

1 つは, ノードが Initiate suspend コマンドを設定された自分宛ての Remote コマンド・パケットを受信した場合です。Remote コマンド・パケットを受信すると, ok ビットをセット ('1') した RemoteConfirmation パケットを送信し, Remote コマンド・パケットの port フィールドで指定されたポートの対向の PHY に対して TX_SUSPEND 信号を出力します。その後, このポートは Suspended 状態へ遷移します。

もう 1 つは, RX_SUSPEND 信号, または RX_DISABLE_NOTIFY 信号を受信した場合です。受信したポートは, Active なポートに TX_SUSPEND 信号を出力します。このようにして, リーフ・ノードまで Suspended 状態が伝播していきます。

ただし, 途中で IEEE1394-1995 ノード, Disabled ポート, Suspended ポートがある場合, Suspended 状態の伝播はそこで停止します。

また, 接続された状態で PHY レジスタの Disable ビットが解除 ('0') されると Suspended 状態に遷移します。Suspended 状態のポートが次の場合にリジューム動作を開始し, アクティブ状態に遷移します。

- ・ FAULT ビットがクリアされており, Bias を検出した場合
- ・ アクティブなポートが存在しないノードが, いずれかのポートに Bias を検出した場合
- ・ Resume パケットを送受信した場合
- ・ このポートに対する Resume port コマンドがセットされた Remote コマンド・パケットを受信した場合

3.3.2 サスペンド/リジューム機能オフ・モード (SUS/RES="L")

サスペンド/リジューム機能を使用しないモードでは、μPD72850A は次の動作をします。

- ・ RemoteCommand パケットを無視します。
- ・ Resume パケットを無視します。
- ・ PHY レジスタの Disabled, Int_enable, Resume_int ビットを無視します。
- ・ RemoteAccess パケットに対しては応答します。
- ・ コネクトは Bias で検出します。

3.4 PLL&水晶発振回路

3.4.1 水晶発振回路

24.576 MHz ± 100 ppm のクロックを供給するために、50 ppm 精度の水晶振動子と 10 pF の容量を外付けして使用します。

3.4.2 PLL

水晶発振回路により供給された 24.576 MHz を 16 逓倍 (393.216 MHz) します。

3.5 PC0-PC2,CMC

CMC は SelfID パケットの c ビットと PHY レジスタ内の Contender ビットに対応し、H 入力の場合、そのノードがバス・マネージャの機能を有することを示します。

CMC の値は Link レイヤ・コントローラを通じてソフトウェアで変更できるため、この端子はパワーオン・リセット時の初期値を決定するために使用されます。装置の仕様に基づいて、H または L に 10 k の抵抗でプルアップまたはプルダウンして使用してください。

PC0-PC2 端子は SelfID パケットの pwr フィールドと PHY レジスタ内の Pwr_class に対応しています。Pwr_class に関しては、IEEE1394-1995 の 4.3.4.1 を参照してください。Pwr の値は Link レイヤ・コントローラを通じてソフトウェアで変更できるため、この端子はパワーオン・リセット時の初期値を決定するために使用されます。装置の仕様に基づき、H または L に 10 k の抵抗でプルアップまたはプルダウンして使用してください。

3.6 RESETB

RESETB 端子と GND の間に 0.1 μF の外部キャパシタを接続してください。端子の電圧を 0 V に落とすことにより、最小で 60 msec のリセット幅を発生します。PHY レジスタの内容を含め、すべての回路の初期化を行います。

3.7 RI1,RI0

μPD72850A 内部の回路電流を決定するために、外付け 9.1 k の抵抗を接続してください。

4. PHY/Link インタフェース

4.1 LPS(Link Power Status)と PHY/Link インタフェースのイニシャライゼーション

LPS は Link の電源オン / オフをモニタするための入力端子です。また PHY/Link インタフェースのイネーブル / ディスエーブル (イニシャライゼーション) に使用されます。

<リセット>

LPS 入力端子に TLPS_RESET の間, L を入力した場合 :

CTL0,CTL1,D0-D7 は L を出力し (アイソレーション・バリア時はハイ・インピーダンス)。

SCLK は Link にクロック信号を供給し続けます。

<ディスエーブル>

LPS 入力端子に TLPS_DISABLE の間, L を入力した場合 :

すでに TLPS_RESET 時間を経過しているため, CTL0,CTL1,D0-D7 は L を出力し続けています (アイソレーション・バリア時はハイ・インピーダンス)。

Link への SCLK の供給を停止し, SCLK 端子は L を出力し (アイソレーション・バリア時はハイ・インピーダンス)。

表4 - 1 LPS 特性

項 目	略 号	MIN.	MAX.	単 位
LPS L時間 (アイソレーション・バリア時)	tLPSL	0.09	1.00	μs
LPS H時間 (アイソレーション・バリア時)	tLPSH	0.09	1.00	μs
リセット認識時間	tLPS_RESET	1.2	2.75	μs
ディスエーブル認識時間	tLPS_DISABLE	25	30	μs
アイソレーション・バリア使用時の安定時間	tRESTORE	15	20	μs

図4 - 1 アイソレーション・バリア接続時の LPS 波形

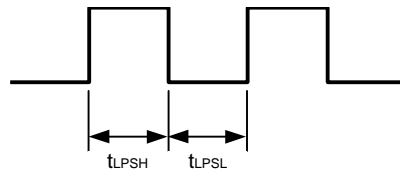
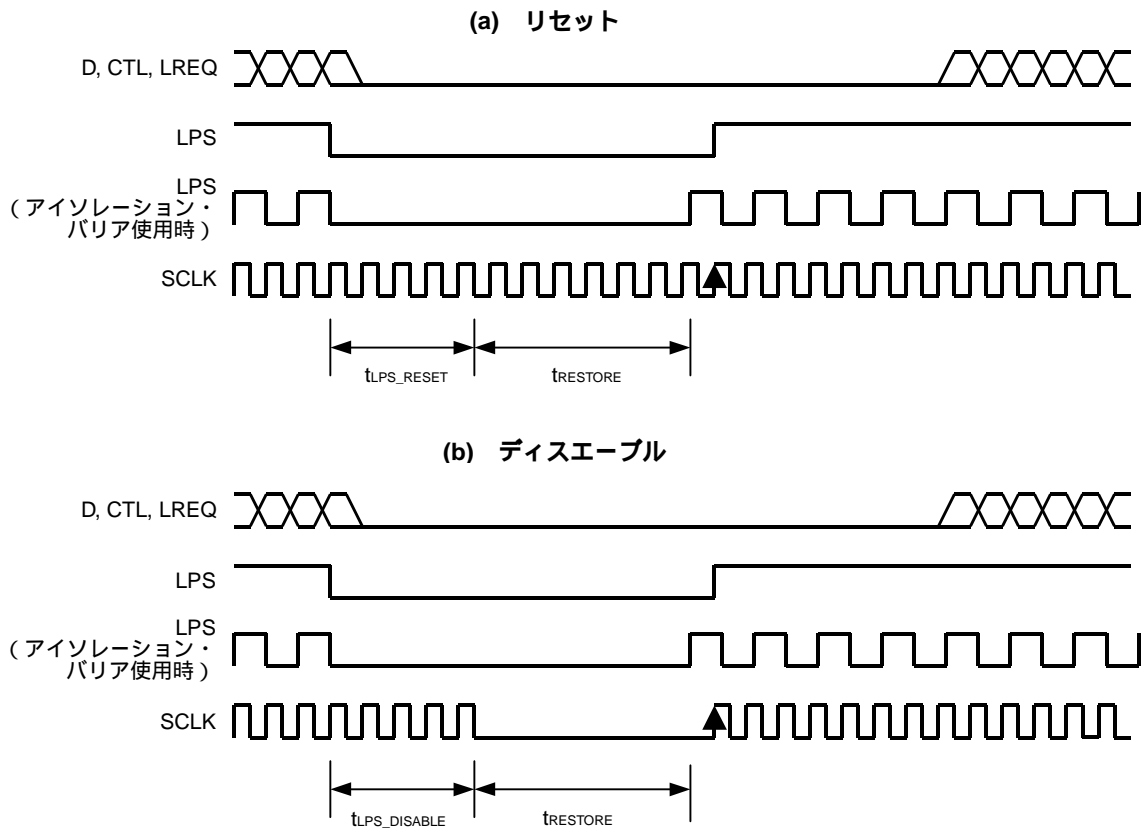


図4 - 2 PHY/Link インタフェースのリセットとディスエーブル



4.2 Link-on Indication

LKON 端子は Link の電源がオフ (LPS が L または PHY レジスタ内の Link_active ビットが“0”) の場合に、次の条件により H を出力します (アイソレーション・バリア時は 6.144MHz のクロック出力)。

- ・ Link-on パケット受信時。
- ・ μPD72850A の PHY レジスタ内の、Loop,Pwr_fail,Timeout,Port_event のいずれかのビットが“1”になり、かつ LPS または Link_active ビットのどちらかが“0”のとき。

表4 - 2 Link-on 特性

項 目	MIN.	MAX.	単 位
周波数	4	8	MHz
デューティ・サイクル	40	60	%
Linkがアクティブ(LPSがアサートされ、かつPHYレジスタ内のLink_activeビットが1)になったあとの持続時間。		500	ns

- ・ LPS または Link_active ビットが“0”であれば、Link はインアクティブと見なされます。
Link がインアクティブの場合、Loop,Pwr_fail,Timeout,Port_event のいずれかのビットが“1”になると、Link-on を出力します。
- ・ Link がアクティブ (LPS と Link_active ビットがともに“1”) の場合、Loop,Pwr_fail, Timeout,Port_event ビットが“1”になるとステータス送信を行います。

- ・ μ PD72850A は上記 interrupt (Loop,Pwr_fail,Timeout,Port_event) 時の動作を除き , LPS が“1”である限り Link_active ビットの値に関わらず Link がアクティブであるのと同じ動作をします(受信したパケットの Link への送信 , gap , reset のステータス報告など)。

4.3 PHY/Link インタフェースの動作 (CTL0,CTL1,LREQ,D0-D7)

PHY/Link インタフェースには次の4つの動作があります。

- ・ CTL による Link レイヤ・コントローラへのステータス送信
- ・ パケット転送
- ・ パケット受信
- ・ LREQ による Link レイヤ・コントローラからのリクエスト

4.3.1 CTL0,CTL1

表 4-3 に示すように , CTL0,CTL1 は PHY/Link インタフェースの制御に使用されます。

表4 - 3 PHY が CTL を制御するときの動作

CTL0,CTL1	タイプ	機能
00	Idle	PHYは , アイドル状態。
01	Status	PHYは , ステータス情報をLinkに転送中。
10	Receive	PHYは , 受信データをLinkに転送中。
11	Grant	PHYは , Linkがデータを送信することを許可。

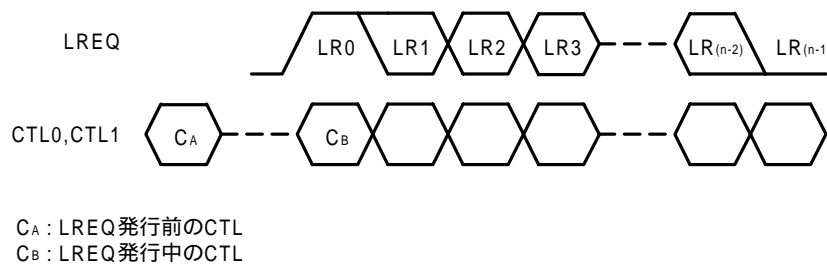
表4 - 4 Link が CTL を制御するときの動作 (上記 Grant 後 Link がインタフェースを制御する権利を得たあとの動作)

CTL0,CTL1	タイプ	機能
00	Idle	Linkは , パケット転送を完了し , PHY/Linkインタフェースを解放します。
01	Hold	Linkは , 送信データが準備できるまで送信状態の保持をPHYに要求しています。 Linkは , 連結パケットの送信を行います。
10	Transmit	Linkは , 送信データをPHYに転送中。
11	-	未使用。

4.3.2 LREQ

PHY レジスタへのアクセスやバスへのリクエストなどは , Link レイヤ・コントローラから PHY (μ PD72850A) の LREQ 入力端子を通して制御されます。

図4 - 3 LREQ , CTL タイミング



(1) LREQ フォーマット

・バス・リクエスト

表4-5 バス・リクエスト・フォーマット

ビット	タイプ	機能
0	start	リクエスト開始信号 : 1
1-3	request	バス・リクエスト・タイプ 000 : ImmReq (acknowledge/パケット送信) 001 : IsoReq (isochronous/パケット送信) 010 : PriReq (cycle start/パケット送信) 011 : FairReq (asynchronous/パケット送信)
4-6	speed	送信スピード 000 : 100 Mbps 010 : 200 Mbps 100 : 400 Mbps その他 : 予約
7	stop	リクエスト終了信号 : 0 (省略可)

・PHY レジスタ : リード・リクエスト

表4-6 レジスタ・リード・リクエスト・フォーマット

ビット	タイプ	機能
0	スタート・ビット	リクエスト開始信号 : 1
1-3	リクエスト・タイプ	100 : ReadReq (リード・リクエスト)
4-7	アクセス・アドレス	PHYレジスタ・アドレス
8	ストップ・ビット	リクエスト終了信号 : 0

・PHY レジスタ : ライト・リクエスト

表4-7 レジスタ・ライト・リクエスト・フォーマット

ビット	タイプ	機能
0	スタート・ビット	リクエスト開始信号 : 1
1-3	リクエスト・タイプ	101 : WriteReq (ライト・リクエスト)
4-7	アクセス・アドレス	PHYレジスタ・アドレス
8-15	ライト・データ	ライト・データ
16	ストップ・ビット	リクエスト終了信号 : 0

・アクセラレーション・コントロール

表4-8 アクセラレーション・コントロール・リクエスト・フォーマット

ビット	タイプ	機能
0	スタート・ビット	リクエスト開始信号：1
1-3	リクエスト・タイプ	110：Acc Ctrl（アクセラレート・コントロール）
4	アクセラレート	0：アクセラレート・ディスエーブル 1：アクセラレート・イネーブル
5	ストップ・ビット	リクエスト終了信号：0

表4-9 リクエスト・タイプ一覧

ビット	タイプ	機能
000	ImmReq	Acknowledgeパケット送信用に使用します。 PHYはIdleを検知するとすぐにバスの制御を行います。
001	IsoReq	isochronousパケット送信用に使用します。 PHYはisochronous gap検出後アービトレーションを行い、バスを獲得します。
010	PriReq	サイクル・マスタ・リクエストなどに使用します。
011	FairReq	Fairリクエスト
100	RdReg	PHYレジスタ・リード要求
101	WrReg	PHYレジスタ・ライト要求
110	AccCtrl	アービトレーション・アクセラレーションのディスエーブル/イネーブル
111	-	未使用

Link が Fair,Priority リクエストをするためには、CTL0,CTL1 が Idle になってから少なくとも1クロック以後にLREQによるリクエストを開始してください。リクエストが認められた場合、μPD72850AはCTL0,CTL1にGrantを出力します。

サイクル・マスタのLinkはcycle startパケットを送信するためにPriReqを使用します。isochronousパケットを送信するためにはIsoReqを使用します。

IsoReqは次のときのみ有効となります。

- ・ cycle start パケットの送信中か受信または同じ isochronous 期間（subaction gap が検出されるまでの期間）
- ・ isochronous パケットの送信中または受信

μPD72850Aはsubaction gap検出またはバス・リセットによりIsoReqをキャンセルします。

上記タイミングの制限を満たすために、LinkがCRCを行う前にパケット受信時にtcodeが8（cycle start）であることを認識してIsoReqを行う場合、CRCがfailした場合には、Linkはisochronousパケットを送信しないでください。Linkキャンセルの方法は4.7 **キャンセル**を参照してください。

Acknowledgeパケット送信のために、Linkはパケット受信後または受信後すぐにImmReqを発行します。これはACK_RESPONSE_TIMEを満たし、他ノードがsubaction gapを検出してしまうことを防ぐためです。μPD72850Aはパケット受信直後にバスを獲得し、CTL0,CTL1にGrantを返します。CRC failの場合LinkはGrant検出後3サイクルの間CTL0,CTL1にIdleをアサートしてください。

バス・リセットが発生すると、未処理のバス・リクエストはキャンセルされます。

レジスタ・ライト要求により、μPD72850A はデータを読み取り、レジスタ内容を変更します。レジスタ・リード要求では、指定されたアドレスのレジスタ内容をステータス送信として Link に出力します。パケットの送受信によりステータス送信が中断された場合、パケットの送受信完了後、最初のビットから Link にステータス送信を再開します。

バス・リクエスト (ImmReq, IsoReq, PriReq, FairReq) 後はパケット送信によりリクエストが完了するか、リクエストがキャンセル (ImmReq, IsoReq の場合の subaction gap 検出時) されるまで次のバス・リクエストはキャンセルされます。

(2) LREQ ルール

一般に、Link のリクエストとシリアル・バスの状態は非同期ですが、シリアル・バスの状態によってバス・リクエストがキャンセルされたり延期されたりすることがあります。

LREQ によるリクエストには次の3つの一般的なルールがあります。

- ・すでに LREQ により要求された未処理のバス・リクエスト (ImmReq, IsoReq, PriReq, FairReq) に対し、Grant を受けるか、Link がリクエストをキャンセルできるようになるまで、Link は次のバス・リクエストを発行できません (ImmReq, IsoReq 時に subaction gap 検出の場合は、リクエストは μPD72850A によりキャンセルされます)。
- ・レジスタ・リード要求によるステータス送信が完了されていない場合は、次の RdReg, WrReg リクエストは発行しないでください。
- ・すべてのバス・リクエスト (ImmReq, IsoReq, PriReq, FairReq) は、バス・リセットによりキャンセルされます。

その他、表 4 - 10 のように、CTL の状態によっても LREQ のリクエストには制限があります。

CTL の状態については図 4 - 3 の CA, CB を参照してください。

表4 - 10 その他のリクエストに関するルール (図4 - 3 LREQ, CTL タイミング参照)

リクエスト	PHYがCTLをドライブしているときに, LREQ発行が許されるCAにおけるCTLの状態	LinkがCTLをドライブしているときのLREQ発行許可	備 考
Fair, Priority	Idle, Status	不可	未処理のバス・リクエストが完了するまではFair, Priority リクエストは発行不可。
Immediate	Receive, Idle	不可	Linkはaknowledge/パケット送信準備ができていない場合, パケット受信中にdestinationIDのデコード完了後, リクエストを発行します。 パケット受信後4サイクル以内にリクエストの最初のビットを送信する必要があります。
Isochronous	Any	可	isochronous期間中にisochronousパケット送信準備ができていれば発行します。 現在送信中のisochronousパケットに連結させてisochronousパケットを送信したい場合は, リクエストを発行しないでください (HOLDを使用)。
Register Read Register Write	Any	可	未処理のリード・リクエストが完了していない場合は, 発行不可。
AccCtrl	Any	可	Accelerate bit0設定: Cycle slaveはEnab_accelビットが“1”の場合, isochronous期間が始まったらすぐにaccelerate bitを0にする必要があります。このリクエストはisochronous期間ごとに1度ずつ行う必要があります。 Accelerate bit1設定: サイクル・マスタは設定しないでください。 詳細は4.4 アクセラレーション・コントロールを参照してください。

表4 - 11 LREQ リクエスト発行後に CTL の状態が変わった場合の PHY の動作

リクエスト	LREQ発行後のCbにおける CTLの状態	PHY (μ PD72850A) の動作
Fair, Priority	Receive	<ul style="list-style-type: none"> ・アービトレーションのアクセラレーションがイネーブルで送信したパケットが8ビット (Ack) であれば, リクエストは保持されます。8ビット以外であれば, リクエストは破棄されます。 ・アービトレーションのアクセラレーションがディスエーブルの場合, リクエストは破棄されます。
	Grant	Arbitration Won
	Idle, Status	バス・リセット発生時以外はリクエストを保持。
Immediate	Grant	
	Receive	パケットをLinkに送信中。リクエスト保持。
	Idle, Status	バス・リセット発生時以外はリクエストを保持。
Isochronous	Transmit	リクエスト保持。
	Idle (Link駆動時)	
	Grant	Arbitration Won
	Receive	リクエスト保持。
	Status	subaction gap検出時はリクエスト破棄。その他はバス・リセットのステータス送信がなければリクエストを保持します。
Register Read	Idle	
	Any (Link駆動時)	
	Grant	リクエスト保持。
	Receive	リクエスト保持。
	Status	対応するレジスタ値を返すまでリクエスト保持。
Register Write, Acceleration control	Idle	
	Any	リクエストを完了します。
	Grant	
	Receive	
	Status	

4.3.3 PHY/Link インタフェース・タイミング

(1) SCLK で規定されたタイミング

表4 - 12 SCLK サイクルで規定された PHY/Link のタイミング制限

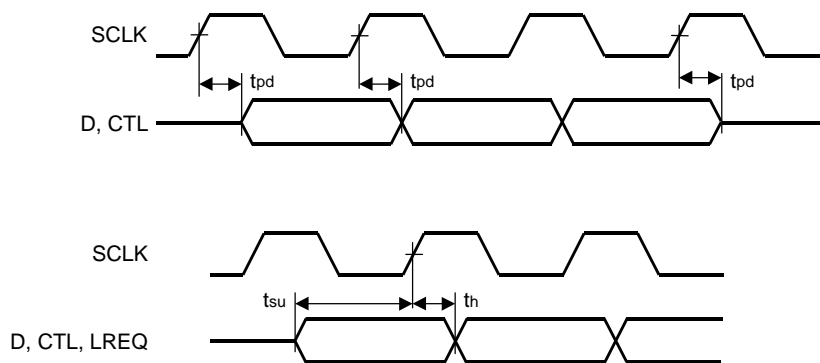
タイミング	内 容	MIN.	MAX.	単 位
BUS_TO_LINK_DELAY	RX_DATA_PREFIX受信からCTLにReceiveを出力するまでの期間	2	9	SCLK cycle
DATA_PREFIX_TO_GRANT	どれかのポートにTX_DATA_PREFIXを出力してからCTLにGrantを出力するまでの期間		25	SCLK cycle
LINK_TO_BUS_DELAY	Linkによるパケット送信後、CTLにIdleがアサートされてからTX_DATA_ENDがすべてのポートに出力されるまでの期間	2	5	SCLK cycle
MAX_HOLD	LinkがGrantを確認後連続してHoldをアサートできる最大の期間		47	SCLK cycle

(2) AC タイミング

表4 - 13 PHY/Link インタフェース・タイミング

項 目	略 号	MIN.	MAX.	単 位
D,CTL出力時間	t_{pd}	0.5	13.5	ns
D,CTL,LREQセットアップ時間	t_{su}	6		ns
D,CTL,LREQホールド時間	t_h	0		ns

図4 - 4 PHY/Link インタフェース AC タイミング



4.4 アクセラレーション・コントロール

ack-acceleration や fly-by をイネーブルにしたままにすると、isochronous 期間に問題が出てしまいます。ルート以外のノードが ack-acceleration や fly-by を使用して asynchronous パケットを送信し続けると、isochronous サイクルに基づいた isochronous 動作に影響が出てしまいます。

Link はこれらのエンハンスメント (Ack-acceleration, fly-by) のディスエーブル/イネーブルをアクセラレーション・コントロール・リクエストにより制御し、上記の問題を回避する必要があります。

サイクル・マスタはアクセラレーション・コントロール・リクエストを発行することはできません。

ローカルの cycle synchronization イベントが発生してからサイクル・スタート・パケットを確認するまでは、これらのエンハンスメントを使用しないでください。この期間では、サイクル・マスタ以外のすべての Link はアクセラレーション・コントロールを次のように使用します。

- a) 一番最近のローカルの cycle synchronization 発生後は、Accelerate Bit を“0”に設定するアクセラレーション・コントロール・リクエストを発行していなければ、Link は Fair, Priority リクエストを発行しないでください。
- b) 連結サブアクションによるスプリット・トランザクションを完了させるための ack_pending のあとを除き、Link は Acknowledge パケットのあとに Primary asynchronous パケットを連続して送信するときに Hold を使用しないでください。
- c) Link は、Accelerate bit を“1”に設定するためのアクセラレーション・コントロール・リクエストを上記 isochronous 期間の終わりに発行し、これらのエンハンスメントをイネーブルにできます。

μPD72850A は isochronous リクエストに対して fly-by acceleration を自動的にイネーブルに設定するため、isochronous 転送に対するアクセラレーション・コントロール設定の必要はありません。

シリアル・バス上にアクティブなサイクル・マスタが存在しない場合は、アクセラレーション・コントロール・リクエストを発行する必要はありません。PHY レジスタ内の Enab_accel ビットがイネーブルに設定されていれば、これらのエンハンスメントはイネーブルになります。アクセラレーション・コントロール・リクエストによって制御する μPD72850A 内部の変数 Accelerating はパワーオン・リセットでは True になっています。

4.5 ステータス転送 (5.2 Link-on パケットも参照してください。)

μPD72850A は D0,D1 端子によりステータス情報を Link に送信します。ステータス送信中は CTL には Status をアサートします。ステータス送信が完了する前にシリアル・バスからパケットを受信すると、CTL に Status 以外の状態をアサートし、ステータス送信を途中で中断します。2つのステータス送信間には少なくとも1 SCLK サイクル以上の Idle が CTL にアサートされます。

μPD72850A は 16 ビットのステータスを次の場合に送信します。

- a)レジスタ・リクエストへのレスポンス
- b)バス・リセット中の SelfID 期間に新しい physicalID が決定したあと (自らの SelfID パケット送信後に送信)

μPD72850A によるイベント indication は最初の 4 ビットのみでの送信となります。

図4 - 5 ステータス・タイミング

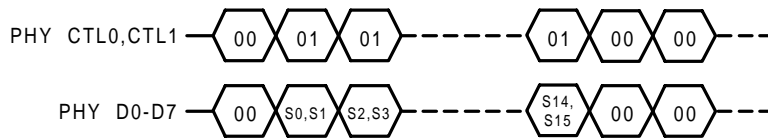


表4 - 14 ステータス・データ・フォーマット

ビット	名 称	機 能
0	ARB_RESET_GAP	Arbitration Reset gap検出
1	SUBACTION_GAP	Subaction gap検出
2	BUS_RESET_START	バス・リセット検出
3	Phy_interrupt	次のいずれかの状態を検出 ・バスのトポロジがループになっている ・ケーブルの電圧が低下 ・アービトレーション・ステート・マシン・タイムアウト ・Port Event
4-7	Address	PHYレジスタ・アドレス
8-15	Data	レジスタ・データ

μPD72850A はステータス送信の途中でステータス送信を中断することがあります。μPD72850A が次にステータス送信をするとき、すでに Link に送信されたビットは“0”にして送信します。

例 S0,S1 ビットを送信後ステータス送信が中断され、次に S0-S3 ビットを送信する場合、S0-S3 のうちの S0,S1 ビットは“0”になっています。

このため、μPD72850A がステータス送信中断後に再度ステータス送信を行う場合は、次の2つの場合になります。

- a)S0-S3 ビットのうち少なくとも1つのビットが“1”。
- b)中断したステータス情報に PHY レジスタ・データを含む場合。
 また、ステータス送信は必ず S0,S1 から開始します。

Link がレジスタ・リード・リクエストをしていても，Subaction gap, arbitration reset gap を検出した場合は，レジスタ・リードに対する応答を延期させて gap のステータスを優先して Link に転送します。

4.6 Transmit

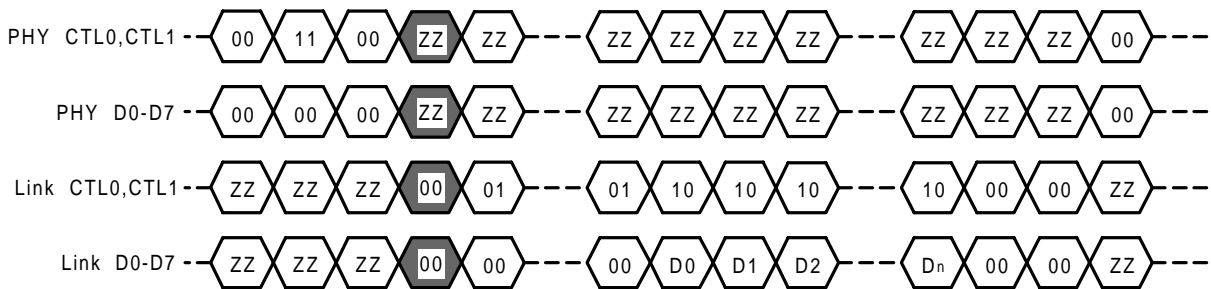
Link が LREQ を使用してシリアル・バスにアクセスするときには，μPD72850A はバスのアービトレーションを行います。

- ・ μPD72850A がバスを獲得すると CTL0,CTL1 に 1SCLK サイクルの期間 Grant を出力し，その後 1SCLK サイクルの期間 Idle を出力します。
- ・ Link は PHY から の Grant を検出すると，1SCLK サイクル後に CTL0,CTL1 に対して Idle, Hold または Transmit を出力し，インタフェースの制御を行います。
- ・ Link は Hold や Transmit をアサートする前に 1 サイクル Idle をアサートする必要がありますが，Idle を 2 サイクル以上出力しないでください。パケット送信の準備ができていないときは，Hold をアサートしますが，Grant を検出後の Hold 出力期間は MAX_HOLD で規定された期間を越えないようにしてください。
- ・ CTL に Hold がアサートされている間 μPD72850A は DATA_PREFIX をシリアル・バスに出力しています。
- ・ パケット送信準備ができたなら Link はパケットの最初のビットを出力すると同時に CTL に Transmit をアサートします。
- ・ パケットの最後のビットを送信後，Link は Idle または Hold を CTL に 1 サイクルだけ出力し，その後 Idle を 1 サイクル出力します。Link は次のサイクルでは CTL,D をハイ・インピーダンス状態にします。

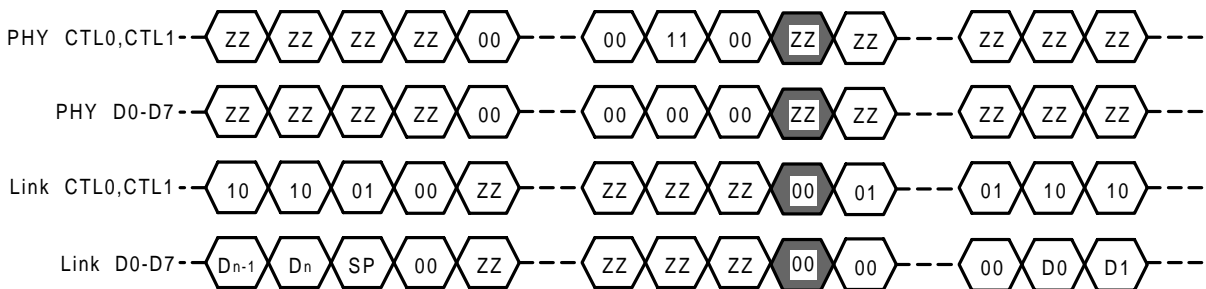
PHY/Link インタフェースでバスを解放する場合には CTL,D0-D7 に 1 サイクルの間 L を出力する必要があります。

図4 - 6 Transmit タイミング

(a) Single パケット



(b) 連結 (Concatenated) パケット



備考 Grant 確認後，すぐにパケット送信できる場合は，Link はパケット送信前に Hold をアサートする必要はありません。

Link がバスを解放せずに次のパケットを続けて送信したいときは次のようになります。

- ・ Hold を CTL にアサートします。この機能は Link が acknowledge や isochronous パケットのあとに続けてパケットを送信するときに使用します。Link は Hold のアサートと同時に D0-D7 に次のパケットの転送速度信号を出力します。転送速度信号のエンコーディングを表 4-15 に示します。
- ・ μPD72850A は Hold を検出すると、MIN_PACKET_SEPARATION で規定される時間後に、CTL に対して Grant を出力します。
- ・ Link は PHY からの Grant を検出すると 1SCLK サイクル後に CTL0,CTL1 に Idle,Hold または Transmit を出力してインタフェースの制御を行います。
- ・ Link は Hold や Transmit をアサートする前に 1 サイクル Idle をアサートする必要がありますが、Idle を 2 サイクル以上出力しないでください。パケット送信の準備ができていないときは、Hold をアサートしますが、Grant を検出後の Hold 出力期間は MAX_HOLD で規定された期間を越えないようにしてください。

Link は連結 (Concatenated) パケットを異なった転送速度で送信することができますが、次の制限があります。

- ・ Link は S100 以外のパケットのあとには S100 のパケットを連結 (Concatenated) して送信することはできません。
- ・ S200 以上の転送速度のパケット後に S100 のパケットを送信したい場合は別のリクエストを発行する必要があります。

PHY レジスタ内の En_Multi ビットが“0”の (Multi-speed がイネーブルになっていない) 場合は、μPD72850A はすべての連結パケットは最初のパケットと同じ速度であるという認識をします。

Link は最後のパケット送信後は CTL に Idle を 2 サイクルの期間アサートします。μPD72850A は Link からの Idle をサンプリングしたあと 1 サイクルの期間 CTL に Idle をアサートします。

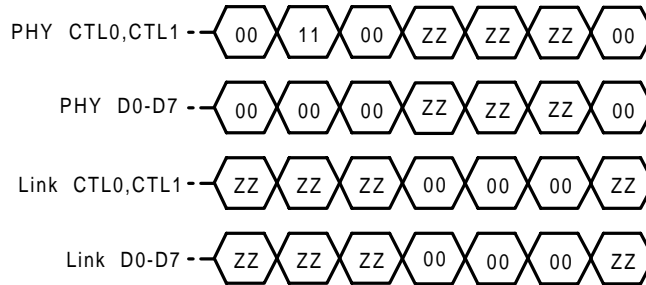
4.7 キャンセル

Link が LREQ のリクエストによってバスを獲得後にデータを送信しない場合の方法を示します。この場合、シリアル・バスにはデータのない Null パケット (DATA_PREFIX DATA_END) が送信されます。

Link キャンセルには次の 2 つの方法があります。

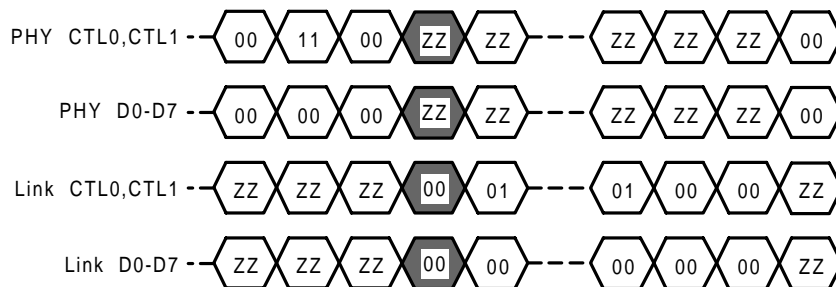
- a) 4.6 で説明したように、Link は Grant 確認後、Idle が Hold,Transmit を CTL に出力します。ここで Link が Idle をアサートした場合、さらに 2 サイクルの期間 Idle を CTL に出力し、その後ハイ・インピーダンス状態にします。
μPD72850A は 2 サイクル目の Idle でキャンセルを確認します。3 サイクル目の Idle はバスがハイ・インピーダンスになることを防ぐために必要となります。

図4 - 7 Link キャンセル・タイミング (Grant 確認後)



- b) Link が Hold をアサートしたあとにキャンセルをしたい場合は、Link は Hold のあとに 2 サイクルの間 Idle をアサートし、その後ハイ・インピーダンス状態にします。この方法は最初に Grant を受けたあとや、連結 (Concatenated) パケット送信をキャンセルするときに使用します。μPD72850A は Hold の次サイクルの Idle でキャンセルを認識します。2 サイクル目の Idle は CTL がハイ・インピーダンス状態になることを防ぐためにアサートします。

図4 - 8 Link キャンセル・タイミング (Hold アサート後)

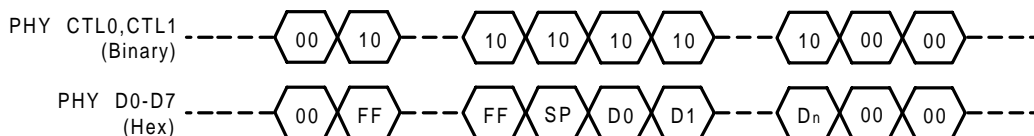


4.8 Receive

シリアル・バスからのパケット受信時の動作を示します。

- ・ μPD72850A がシリアル・バス上で DATA_PREFIX を検出すると CTL に Receive をアサートし ,すべての D 端子に 1 を出力します。
- ・ μPD72850A はパケットの前にパケットの転送速度を示すスピード・コードを D0-D7 に出力します。スピード・シグナルによるスピード・コードの転送は ,PHY/Link インタフェースのプロトコルのためのものであり ,CRC の計算には含まれません。
- ・ μPD72850A は最後のパケット送信時まで CTL に Receive をアサートし続けます。
- ・ パケット送信の完了信号として CTL に Idle をアサートします。

図4 - 9 Receive タイミング



μPD72850A に S100 ,S200 のノードが接続されているなどのシリアル・バスのトポロジによっては ,シリアル・バス上のパケット転送速度のほうが , ノードが受信できる転送速度よりも速いことがあります。このときには μPD72850A にはパケットのない (Null パケット) DATA_PREFIX DATA_END のみが送信されてくるため , Link に対して data Prefix 送信後は Idle をアサートしてシリアル・バスからの受信 (Link への送信) を完了します。

表 4 - 15 にスピード・コードのエンコーディングを示します。

表4 - 15 スピード・コード・エンコーディング

D0-D7		Data rate
Transmitted	Observed	
00000000	00xxxxxx	S100
01000000	0100xxxx	S200
01010000	01010000	S400
11111111	11xxxxxxxx	Data Prefix

5. ケーブル PHY パケット

シリアル・バス上のノードはバス管理のための PHY パケットを送受信します。

PHY パケットの基本構成は次のようになります。

- ・PHY パケットは 2quadlet (64bit) で構成され、2 番目の quadlet (32bit) は最初の quadlet の反転した値になっています。
- ・PHY パケットは必ず S100 の転送速度で転送されます。
- ・シリアル・バスから受信した PHY パケットはすべて Link に送信されます。μPD72850A から送信された PHY パケットも Link に送信されますが、自ノードの Link から送信されてきた PHY パケットは Link には送信しません。

PHY パケットには次の 4 つの種類があります。

- a)SelfID パケット
- b)Link-on パケット
- c)PHY configuration パケット
- d)Extended PHY パケット

μPD72850A が自動的に送信する SelfID パケットはローカル・ノードの Link にも送信されます。

Link が送信してくる PHY パケットについても、μPD72850A はシリアル・バスから PHY パケットを受信したときと同様の動作を行います (Link へのパケット送信を除きます) 。

5.1 SelfID パケット

μPD72850A はバスの初期化中 SelfID フェーズの期間または Ping パケットの応答時に SelfID パケットを送信します。

図5 - 1 Self ID パケット・フォーマット

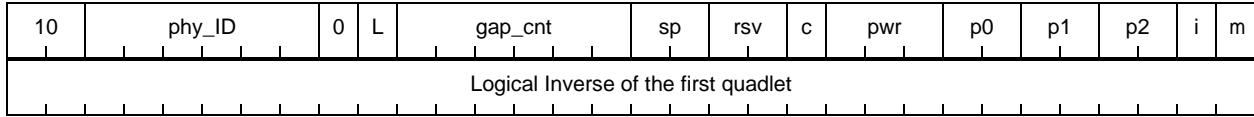


表5 - 1 SelfID パケット

フィールド	機能
phy_ID	自ノードのPhysicalID
L	PHYレジスタ内のLink_activeとLPSの論理積
gap_cnt	PHYレジスタ内のgap_count値
sp	PHYspeed 10 (98.304,196.608,393.216 Mbpsに対応)
c	PHYレジスタ内のCビット値
pwr	PHYレジスタ内のpwr値 000 : ノードは電源を必要としません。電源のリピートも行いません。 001 : 自ノード用の電源を持ち、バスに最小15Wの供給ができます。 010 : 自ノード用の電源を持ち、バスに最小30Wの供給ができます。 011 : 自ノード用の電源を持ち、バスに最小45Wの供給ができます。 100 : ノードはバスのパワーを最大で3W消費します。 110 : ノードはバスのパワーを最大で3W消費します。さらにLinkレイヤ・コントローラをイネーブルするためには最大3W必要です。 111 : ノードはバスのパワーを最大で3W消費します。さらにLinkレイヤ・コントローラをイネーブルするためには最大7W必要です。
i	今回のバス・リセットで、このノードがバス・リセットを発行したことを示します。
m	0固定
rsv	00に固定

5.2 Link-on パケット

μPD72850A は Link-on パケット受信により LKON 端子から 6.144MHz の Link-on 信号を出力します。

図5 - 2 Link-on パケット・フォーマット

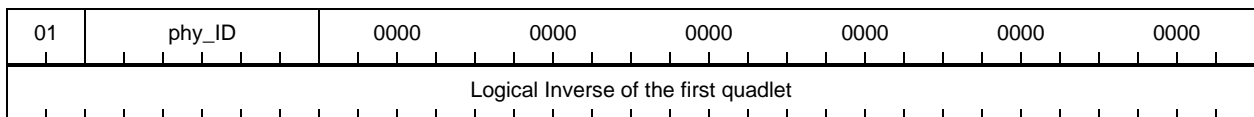


表5 - 2 Link-on パケット

フィールド	機能
phy_ID	LinkonパケットのデスティネーションのphysicalID

5.3 PHY Configuration パケット

ギャップ・カウントの設定や、所望のノードをルートに設定したいときに PHY configuration パケットを使用します。Link から直接 PHY レジスタ内の Gap_count,RHB ビットの書き込みを行うと、バス上の各ノード間の設定に矛盾が生じますので PHY configuration パケットを使用して設定してください。

図5 - 3 PHY Configuration パケット・フォーマット

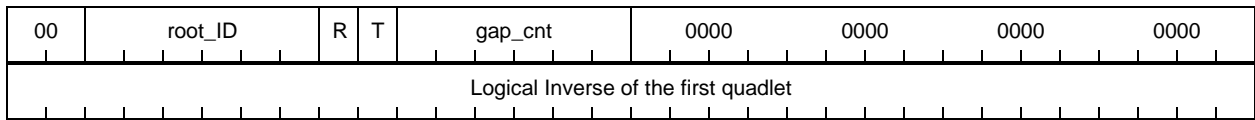


表5 - 3 PHY Configuration パケット

フィールド	機能
root_ID	次のリセットでルートとなるノードのPhysicalID
R	1 にセットされている場合、自ノードのphyIDと、このパケットのrootIDが一致していたら μ PD72850Aはforce_rootビットをセットします。一致していなければforce_rootビットをクリアします。
T	1 の場合、このパケット内のgap_cnt値をギャップ・カウント値としてセットし、さらに次のバス・リセットでギャップ・カウント値がクリアされないように μ PD72850A 内の gap_count_reset_disableフラグをTRUEにセットします。
gap_cnt	このパケットを受信するとすぐにギャップ・カウントをこの値に設定します。次のバス・リセットでも有効ですが、2 回目のバス・リセットでは3FHにクリアされます。

備考 R,T をともに 0 にすると、Extended PHY パケットと見なされ、PHY configuration パケットとしては認識されません。

5.4 Extended PHY パケット

PHY configuration パケット中の R,T ビットをともに 0 で送信すると Extended PHY パケットとして使用されます。Extended PHY パケットでは、すべてのノードにおいて force_root ビット、gap_count ビットに影響を与えません。Extended PHY パケットは次の種類があります。

- a) Ping パケット
- b) Remote access パケット
- c) Remote reply パケット
- d) Remote command パケット
- e) Remote confirmation パケット
- f) Resume パケット

5.4.1 Ping パケット

μPD72850A は自分宛の Ping パケットを受信すると RESPONSE_TIME 時間以内に SelfID パケットを送信します。

図5 - 4 Ping パケット・フォーマット

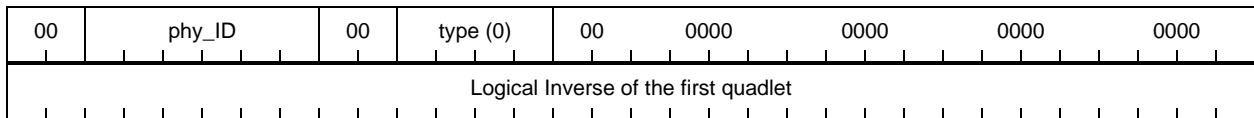


表5 - 4 Ping パケット

フィールド	機能
phy_ID	Pingパケットのデスティネーション・ノードのphysicalID
type	0でPingパケットであることを示します。

5.4.2 Remote Access パケット

他ノードの PHY レジスタ内の情報を読むときには Remote access パケットを使用します。Remote access パケットで指定された PHY は、Remote reply パケットを使用してレジスタ内の値を送信します。

図5 - 5 Remote Access パケット・フォーマット

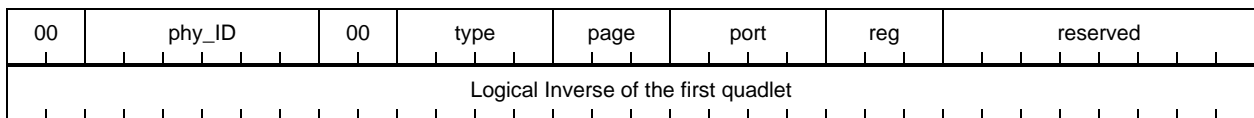


表5 - 5 Remote Access パケット

フィールド	機能
phy_ID	Remote accessパケットのデスティネーション・ノードのphysicalID
type	1 : レジスタ・リード (baseレジスタ) 5 : レジスタ・リード (pageレジスタ)
page	PHYレジスタ内のpageを指定するときに使用します。
port	PHYレジスタ内のportごとのレジスタを指定するときに使用します。
reg	baseレジスタ・リードのときはアドレスを指定します。 pageやportレジスタの場合は1000+regでアドレスが指定されます。

5.4.3 Remote Reply パケット

Remote access パケットへの応答として μ PD72850A は Remote reply パケットを使用してレジスタ内の値を送信します。

図5 - 6 Remote Reply パケット・フォーマット

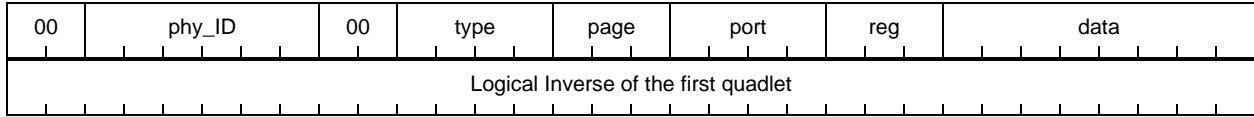


表5 - 6 Remote Reply パケット

フィールド	機能
phy_ID	自ノード (パケット送信元のノード) のphysicalID
type	3 : レジスタ・リード (baseレジスタ) 7 : レジスタ・リード (pageレジスタ)
page	PHYレジスタ内のpageを指定するときに使用します。
port	PHYレジスタ内のportごとのレジスタを指定するときに使用します。
reg	baseレジスタ・リードのときはアドレスを指定します。 pageやportレジスタの場合は1000+regでアドレスが指定されます。
data	指定されたレジスタの内容

5.4.4 Remote Command パケット

Remote command パケットを使用して他ノード PHY のポートの状態を操作することができます。
Remote command パケットを受信した PHY は Remote confirmation パケットを送信します。

図5 - 7 Remote Command パケット・フォーマット

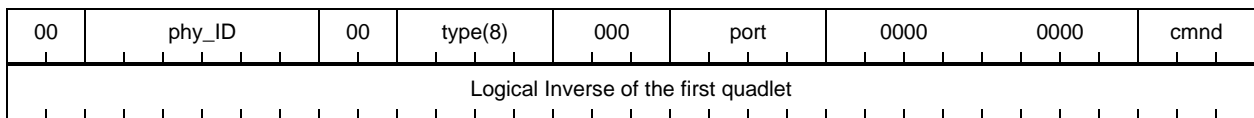


表5 - 7 Remote Command パケット

フィールド	機能
phy_ID	このパケットのdestinationのphysicalID
type	Extended PHYパケット・タイプ 8 : Remote commandパケット
port	操作するノードのPHYのポート
cmnd	コマンド 0 : NOP 1 : TX_DISABLE_NOTIFY送信後ポートをイネーブルにします。 2 : suspend initiatorにします。 4 : ポートのFaultビットを0にクリアします。 5 : ポートをイネーブルにします。 6 : ポートをリジュームします。

5.4.5 Remote Confirmation パケット

μPD72850A は Remote command パケットを受信すると、指定されたポートの状態と cmnd を実行できるかどうかを応答するため Remote confirmation パケットの送信を行います。

図5 - 8 Remote Confirmation パケット・フォーマット

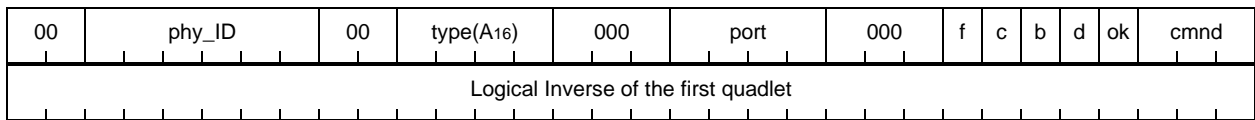


表5 - 8 Remote Confirmation パケット

フィールド	機能
phy_ID	自ノード（パケット送信元のノード）のphysicalID
type	Extended PHYパケット・タイプ A16：Remote confirmationパケット
port	Remote commandパケットにより指定されたポート
f	このポートのPHYレジスタ内のFaultビット値
c	このポートのPHYレジスタ内のConnectedビット値
b	このポートのPHYレジスタ内のBiasビット値
d	このポートのPHYレジスタ内のDisabledビット値
ok	コマンド実行可能時“1”，その他は“0”
cmnd	Remote commandパケットで指定されたコマンド値

5.4.6 Resume パケット

μPD72850A は Resume パケットを受信すると、サスペンドでかつ接続があるポートをすべてリジュームします。Resume パケットはブロードキャストされます。

図5 - 9 Resume パケット・フォーマット

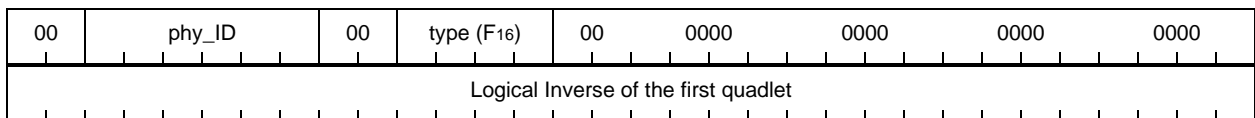


表5 - 9 Resume パケット

フィールド	機能
phy_ID	このパケット送信元ノードのphysical_ID
type	extended PHYパケット・タイプ F16：Resumeパケット

6. 電気的特性

絶対最大定格

項目	略号	条件	定格	単位
電源電圧	V _{DDm}		- 0.5 ~ + 4.6	V
入力電圧	V _{IN}		- 0.5 ~ V _{DD} + 0.5	V
出力電圧	V _{OUT}		- 0.5 ~ V _{DD} + 0.5	V
保存温度	T _{stg}		- 40 ~ + 125	°C

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格値を越えると、製品の品質を損なうおそれがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

推奨動作条件

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧	V _{DD}		3.0	3.3	3.6	V
動作周囲温度	T _A		0.0		70.0	°C
許容損失	P _D				0.9	W

DC 特性

共通

項目	略号	条件	MIN.	TYP.	MAX.	単位
消費電流	I _{DD}	3ポート動作, S400, V _{DD} =3.6 V			240	mA
		1ポート転送動作, S400, V _{DD} =3.3 V		135		mA

PHY/Link インタフェース

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル出力電圧 (Undifferentiated)	V _{OH}	I _{OH} = - 4 mA	2.8			V
ハイ・レベル出力電圧 (Differentiated)	V _{OHD}	I _{OH} = - 9 mA	V _{DD} - 0.4			V
ロウ・レベル出力電圧 (Undifferentiated)	V _{OL}	I _{OL} = 4 mA			0.4	V
ロウ・レベル出力電圧 (Differentiated)	V _{OLD}	I _{OL} = 9 mA			0.4	V
ハイ・レベル入力電圧 (Undifferentiated)	V _{IH}		2.6		V _{DD} + 10%	V
ロウ・レベル入力電圧 (Undifferentiated)	V _{IL}				0.7	V
入力立ち上がりスレッショールド電圧 (LPS)	V _{LIT+}				V _{LREF} + 1	V
入力立ち下がりスレッショールド電圧 (LPS)	V _{LIT-}		V _{LREF} + 0.2			V
ヒステリシス入力立ち上がりスレッショールド電圧 (Differentiated)	V _{IT+}		V _{REF} + 0.3		V _{REF} + 0.9	V
ヒステリシス入力立ち下がりスレッショールド電圧 (Differentiated)	V _{IT-}		V _{REF} - 0.9		V _{REF} - 0.3	V
基準電圧	V _{REF}		V _{DD} /2 ± 1%			V
基準電圧 (LPS)	V _{LREF}		0.5		1.6	V
入力容量	C _{IN}				7.5	pF

ケーブル・インタフェース

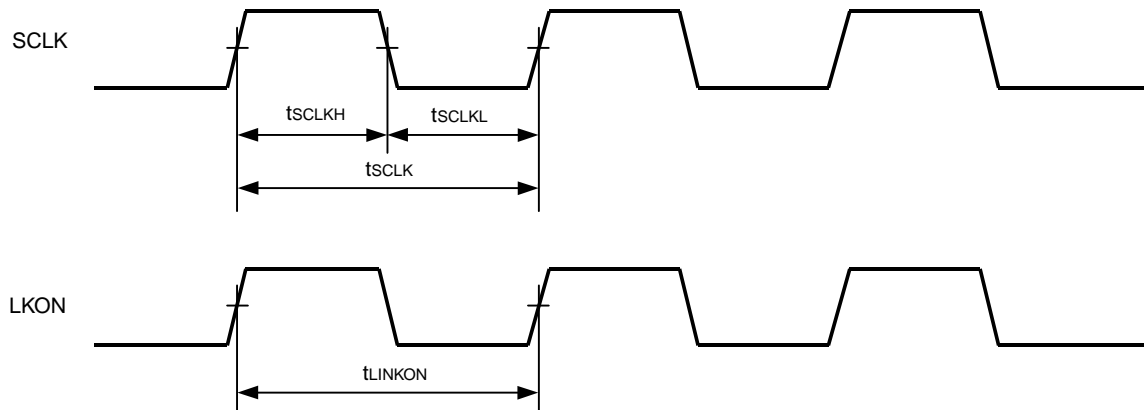
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
Differential入力電圧	V _{ID}	ケーブル入力, 100 Mbps動作	142		260	mV
		ケーブル入力, 200 Mbps動作	132		260	mV
		ケーブル入力, 400 Mbps動作	118		260	mV
TpB common mode 入力電圧	V _{ICM}	100 Mbps speed signaling off	1.165		2.515	V
		200 Mbps speed signaling	0.935		2.515	V
		400 Mbps speed signaling	0.523		2.515	V
Differential 出力電圧	V _{OD}	ケーブル入力 (Test load 55Ω)	172.0		265.0	mV
TpA common mode 出力電圧	V _{OCM}	100 Mbps speed signaling off	1.665		2.015	V
		200 Mbps speed signaling	1.438		2.015	V
		400 Mbps speed signaling	1.030		2.015	V
TpA common mode 出力電流	I _{CM}	100 Mbps speed signaling off	- 0.81		+ 0.44	mA
		200 Mbps speed signaling	- 4.84		- 2.53	mA
		400 Mbps speed signaling	- 12.40		- 8.10	mA
パワー・ステータス・スレッシュホールド電圧	V _{TH}	CPS			7.5	V
TpBias出力電圧	V _{TPBIAS}		1.665		2.015	V

AC 特性

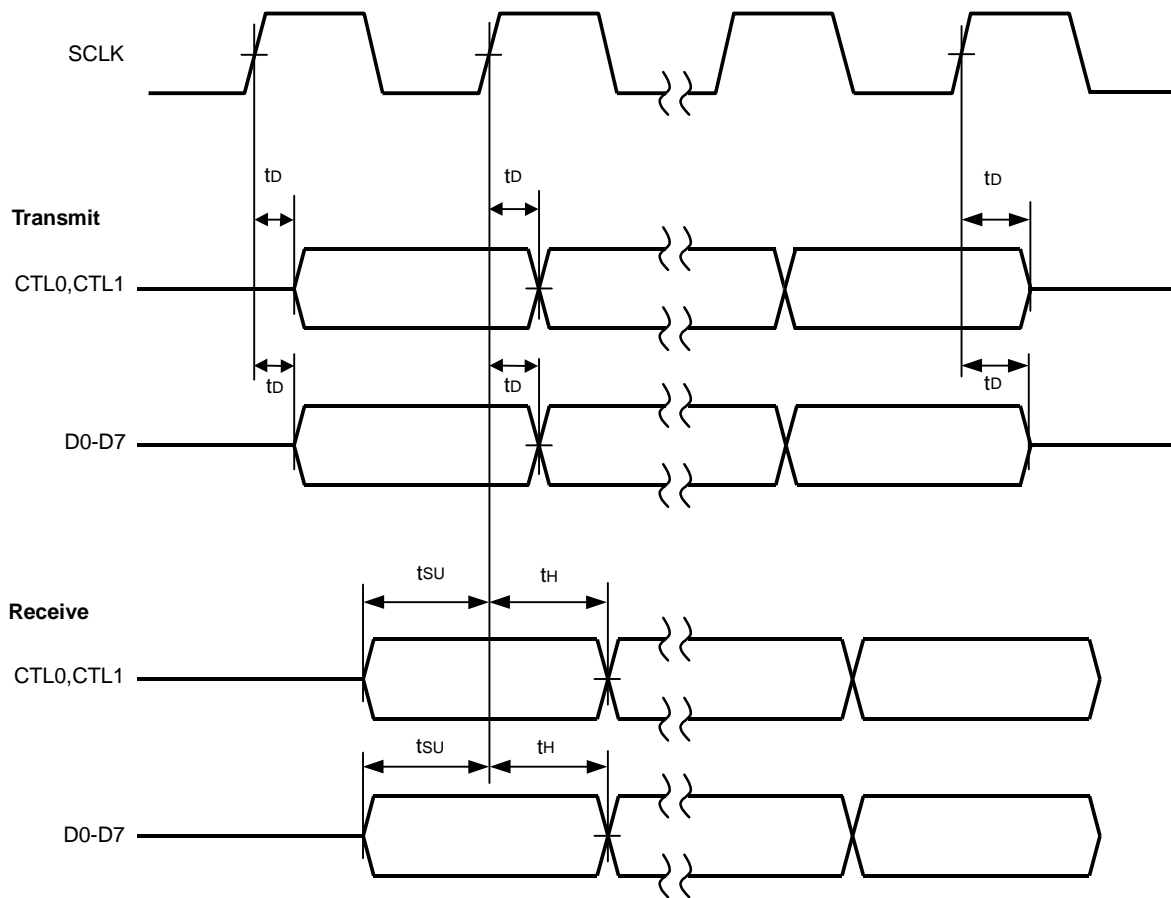
PHY/Link インタフェース

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
D, CTL, LREQセットアップ時間	t _{su}		6			ns
D, CTL, LREQホールド時間	t _{hd}		0			ns
D, CTL出力タイミング時間	t _d		2		12	ns
SCLKサイクル時間	t _{SCLK}		20			ns
SCLKハイ・レベル時間	t _{SCLKH}		9		11	ns
SCLKロウ・レベル時間	t _{SCLKL}		9		11	ns
LKONサイクル時間	t _{LINKON}		160			ns

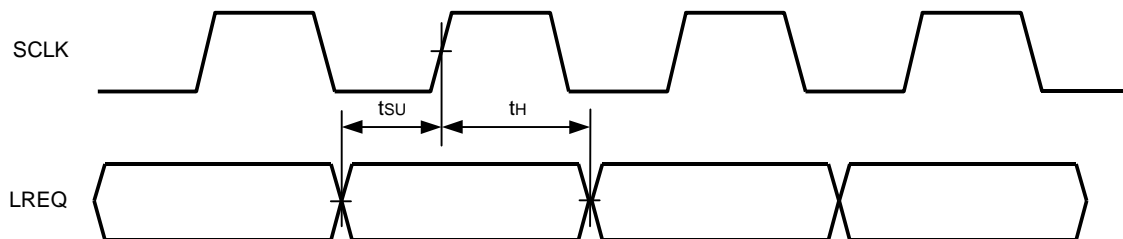
Link インタフェース・タイミング (SCLK, LKON)



Link インタフェース・タイミング (CTL, D)



Link インタフェース・タイミング (LREQ)

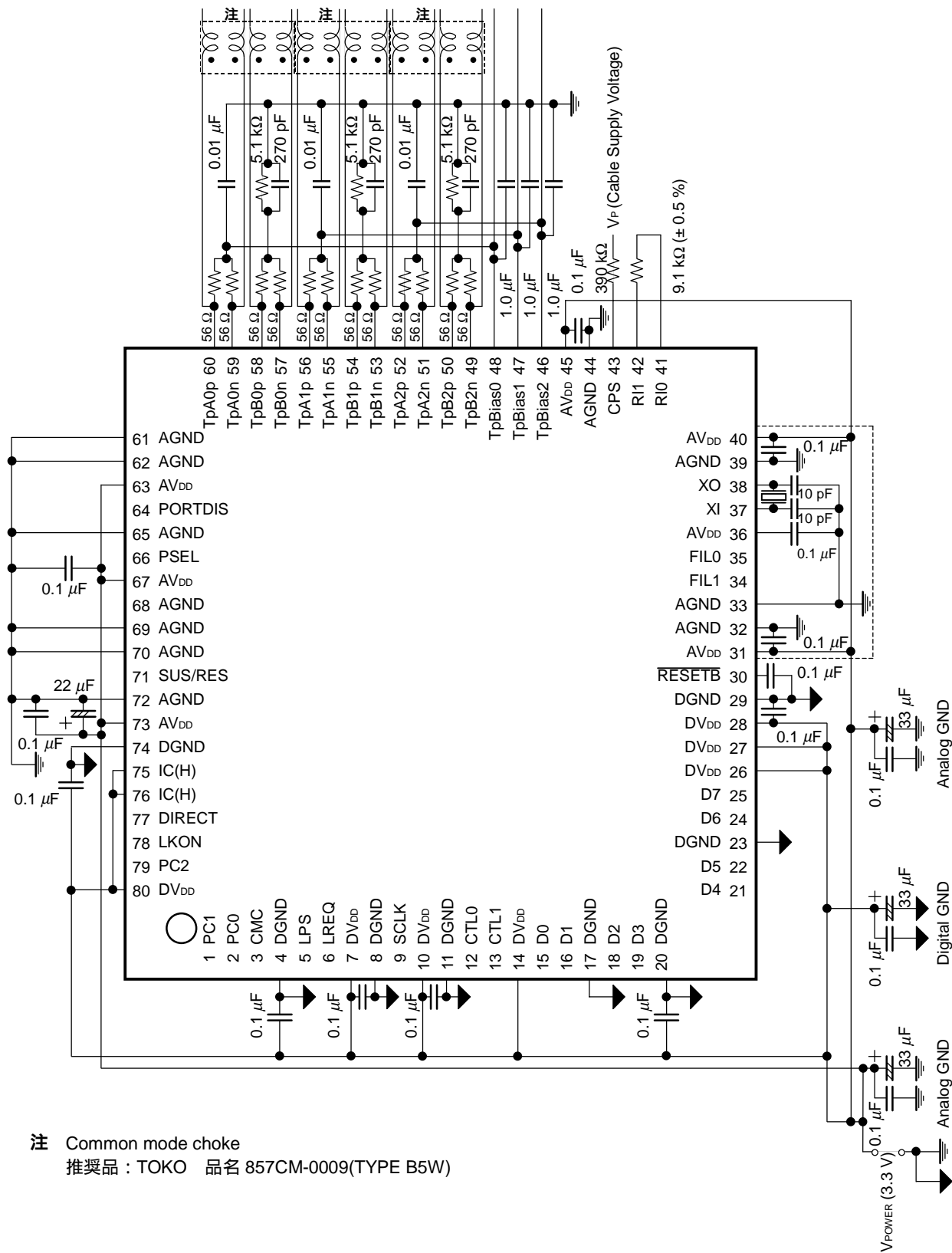


ケーブル・インタフェース

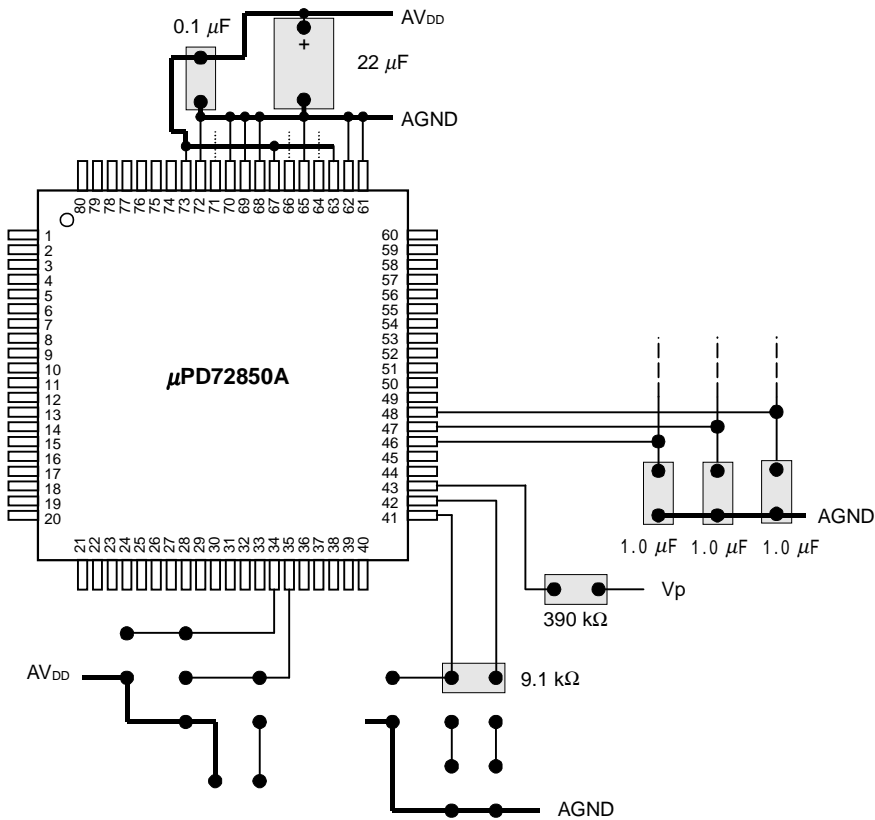
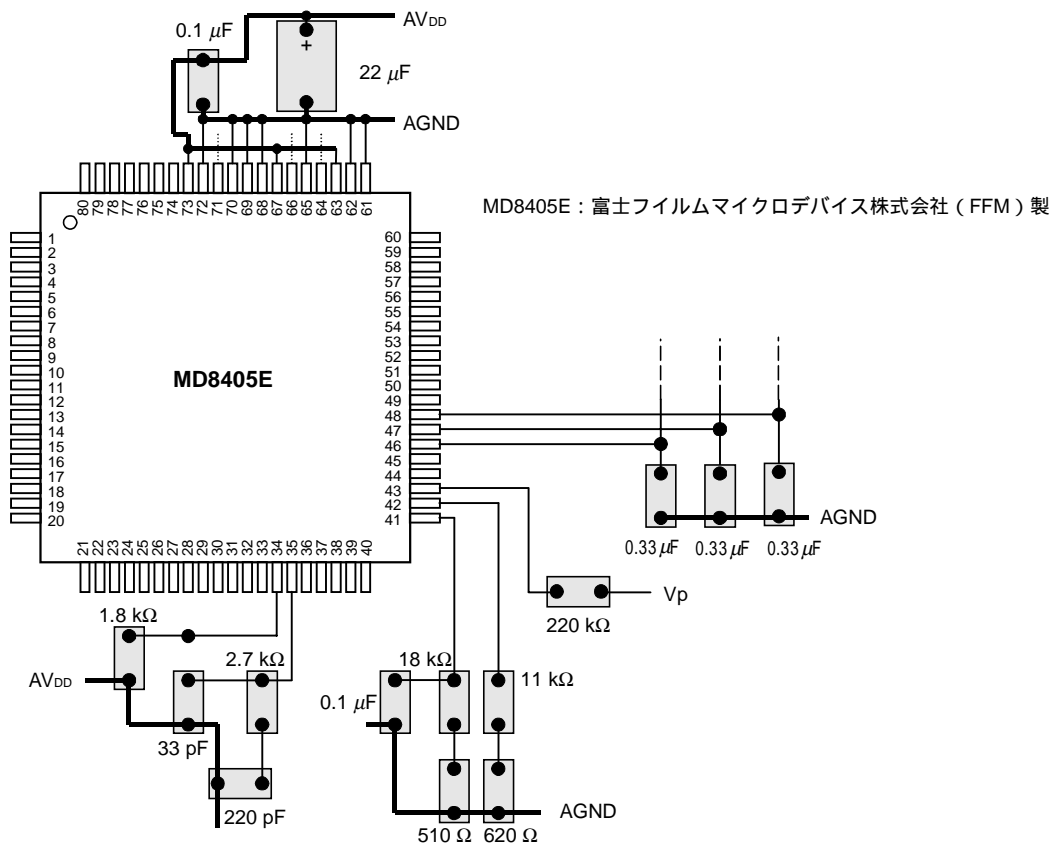
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
TpA, TpB転送ジッタ	tJITTER	TpA, TpBそれぞれのジッタ			± 0.15	ns
TpAストローク, TpBデータ・スキュー	tsKEW	TpA, TpB間のスキュー			± 0.10	ns
TpA, TpB立ち上がり, 立ち下がり時間	tr, tf	55 , 10 pFを介した10% から90%			1.2	ns

7. 応用回路例

7.1 IEEE1394 インタフェース

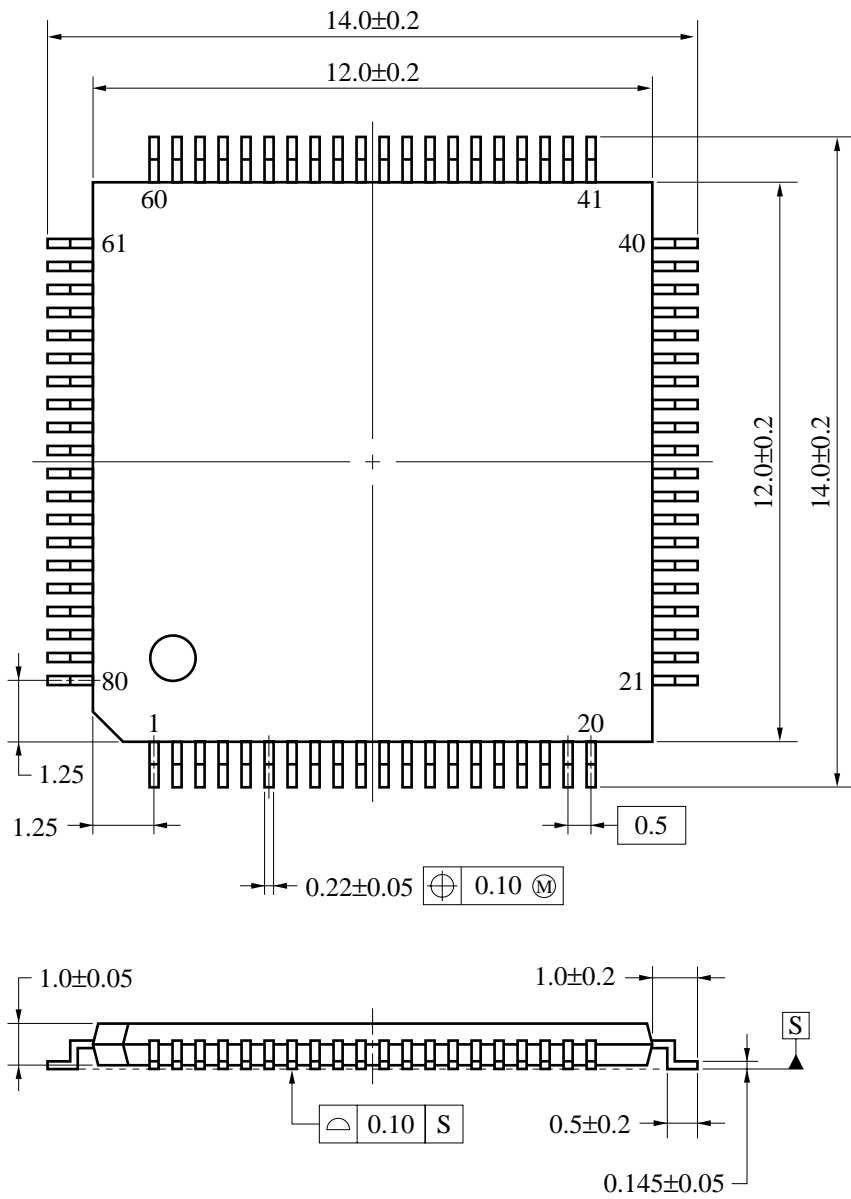


7.2 NEC/FFM ボード共用化

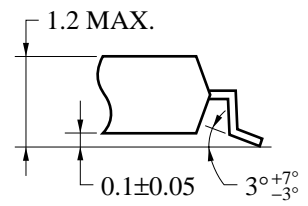


8. 外形図

80ピン・プラスチック TQFP (ファインピッチ)(12x12) 外形図 (単位 : mm)



端子先端形状詳細図



S80GK-50-9EU-1

9. 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の詳細は、インフォメーション資料「半導体デバイス実装マニュアル」(C10535J)を参照してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

表9 - 1 表面実装タイプの半田付け条件

μ PD72850AGK-9EU : 80 ピン・プラスチック TQFP (ファインピッチ) (12×12 mm)

半田付け方式	半 田 付 け 条 件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃，時間：30秒以内（210℃以上），回数：3回以内， 制限日数：3日間 [※] （以降は125℃プリバーク10時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR35-103-3
端子部分加熱	端子温度：300℃以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライパック開封後の保管日数で保管条件は 25℃，65%RH 以下。

CMOSデバイスの一般的注意事項

静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

FireWireは米国アップル・コンピュータ社の商標です。
i.LINKはソニー株式会社の商標です。

本製品は外国為替および外国貿易管理法の規定により規制貨物等（または役務）に該当しますので、日本国外に輸出する場合には、同法に基づき日本国政府の輸出許可が必要です。

- 本資料の内容は予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。
- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
- 本資料に記載された回路、ソフトウェア、及びこれらに付随する情報は、半導体製品の動作例、応用例を説明するためのものです。従って、これら回路・ソフトウェア・情報をお客様の機器に使用される場合には、お客様の責任において機器設計をしてください。これらの使用に起因するお客様もしくは第三者の損害に対して、当社は一切その責を負いません。
- 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。
標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災/防犯装置、各種安全装置、生命維持を直接の目的としない医療機器
特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
当社製品のデータ・シート/データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

M7 98.8

— お問い合わせ先 —

【技術的なお問い合わせ先】

NEC半導体テクニカルホットライン
(電話：午前 9:00～12:00、午後 1:00～5:00)

電話 : 044-435-9494
FAX : 044-435-9608
E-mail : s-info@saed.tmg.nec.co.jp

【営業関係お問い合わせ先】

第一販売事業部

東京 (03)3798-6106, 6107, 6108
名古屋 (052)222-2375
大阪 (06)6945-3178, 3200, 3208, 3212
仙台 (022)267-8740
郡山 (024)923-5591
千葉 (043)238-8116

第二販売事業部

東京 (03)3798-6110, 6111, 6112
立川 (042)526-5981, 6167
松本 (0263)35-1662
静岡 (054)254-4794
金沢 (076)232-7303
松山 (089)945-4149

第三販売事業部

東京 (03)3798-6151, 6155, 6586, 1622, 1623, 6156
水戸 (029)226-1702
広島 (082)242-5504
高崎 (027)326-1303
鳥取 (0857)27-5313
太田 (0276)46-4014
名古屋 (052)222-2170, 2190
福岡 (092)261-2806

【資料の請求先】

上記営業関係お問い合わせ先またはNEC特約店へお申しつけください。

【インターネット電子デバイス・ニュース】

NECエレクトロニクスデバイスの情報がインターネットでご覧になれます。

URL(アドレス)

<http://www.ic.nec.co.jp/>