

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

10/100 Mbps イーサネット™・フィジカル・レイヤ

μ PD72840Aは、カテゴリ5の非シールド型ツイスト・ペア・ケーブル（UTP）、またはタイプ1のシールド型ツイスト・ペア・ケーブル（STP）、光ケーブルを用いた10BASE-Tまたは100BASE-Xネットワークの物理レイヤ（PHY：フィジカル・レイヤ）をサポートするLSIです。

このVLSIデバイスは、10/100 MbpsのFast-Ethernet™ LANを容易に構成できるように設計されています。

μ PD72840Aは、PMDサブレイヤ・インタフェースを介して μ PD72223（ツイスト・ペア・トランシーバ）と、また一方のMII（メディア・インディペンデント・インタフェース）を介して μ PD72810Aに接続し、その動作を保証します。

μ PD72840Aは、BiCMOSプロセスで設計されています。このLSIのシステム・アーキテクチャには、以下に示す数々のコア・テクノロジーが結集されています。

- IEEE 802.3の10 Mbps仕様に準拠した10BASE-T用ENDEC/トランシーバ・モジュール
- クロック・リカバリ/ジェネレータ・モジュール
- 10 Mおよび100 M双方の物理速度を制御する100BASE-XのPCSレイヤ（フィジカル・コーディング・サブレイヤ）とその周辺回路を集積したコア・モジュール

特 徴

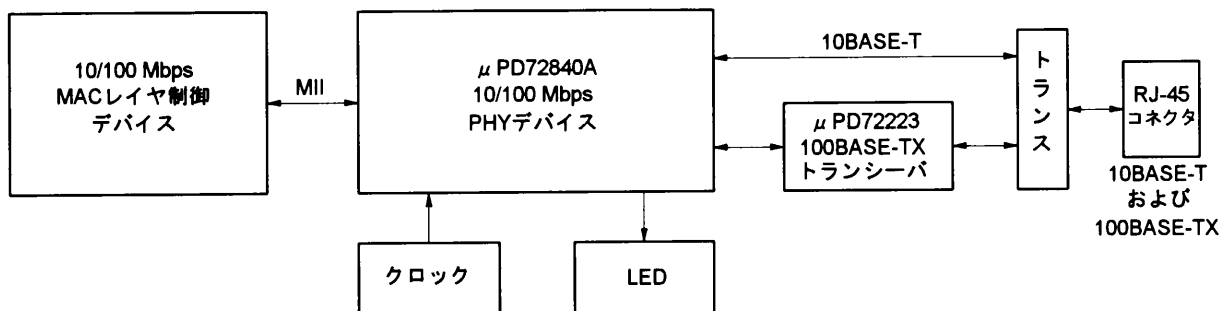
- IEEE 802.3 10BASE-Tに準拠
- ENDECおよびUTP/STP用トランシーバ、フィルタを内蔵
- IEEE 802.3u 100BASE-Xに準拠
- 2ペアのカテゴリ5 UTPケーブル（100 m）およびタイプ1のSTPケーブル、光ファイバをサポート
- ANSIのX3T12 TP-PMDに準拠
- 通信速度を自動選択するためのIEEE 802.3uオートネゴシエーションをサポート
- IEEE 802.3uで規定されたメディア・インディペンデント・インタフェース（MII）をサポート
 - ・シリアル・マネージメント・インタフェース用の各信号を装備
 - ・10 Mbpsのシリアル入出力モードをサポート
- 外部フィルタを必要としない高性能な100 Mbpsクロック・リカバリ回路を内蔵
- 10 Mおよび100 Mbpsそれぞれで全二重通信をサポート
- システム検証を容易にするループバック機能
- 通信状態の表示を行うLED表示機能をサポート
- IEEE 1149.1スタンダードに準拠したテスト・アクセス・ポートを装備
- 100ピン・プラスチックQFP

本資料の内容は、後日変更する場合があります。

オーダ情報

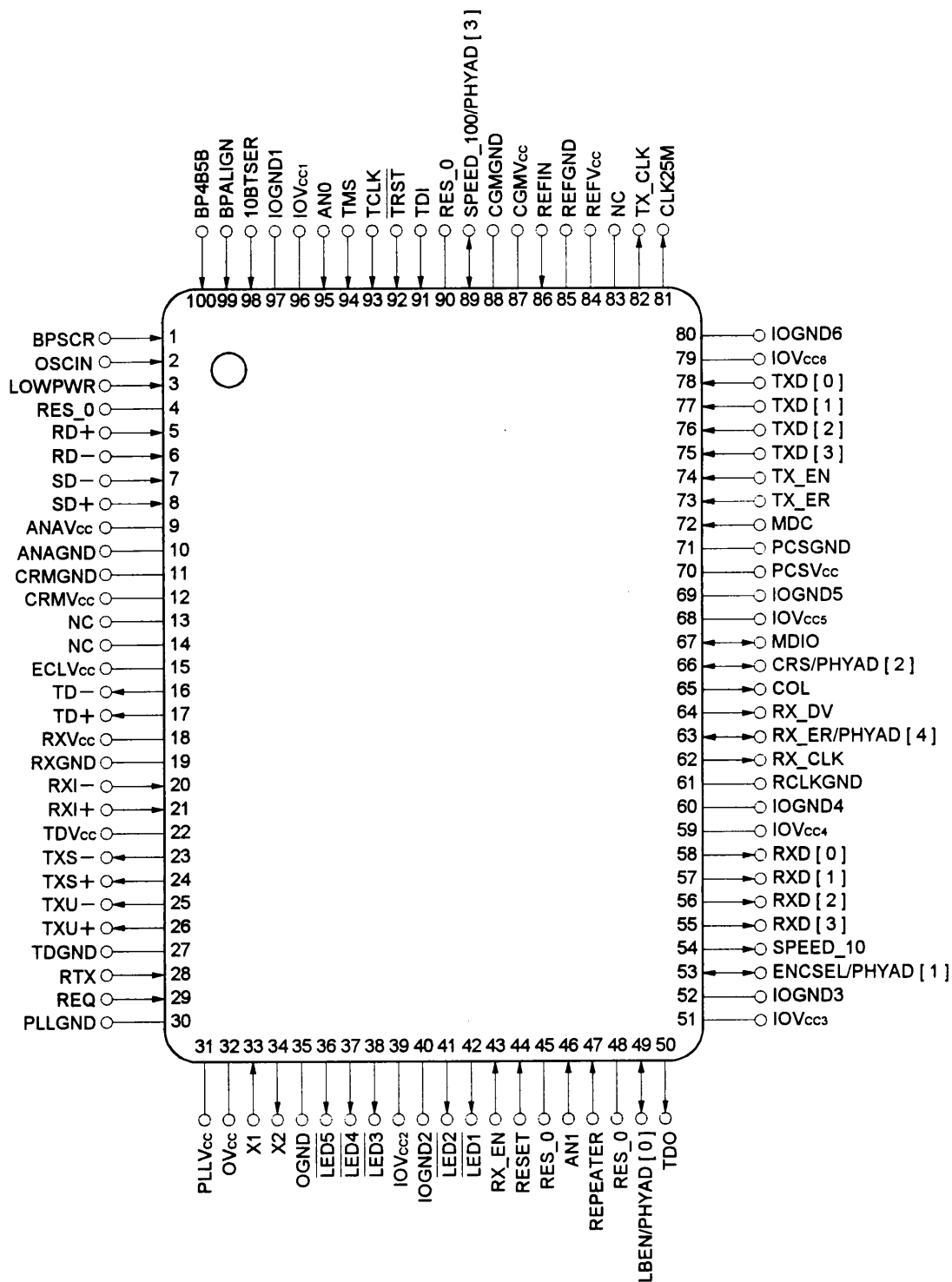
オーダ名称	パッケージ
μ PD72840AVCE	100ピン・プラスチックQFP (14 mm×20 mm)

システム構成例



端子接続図 (Top View)

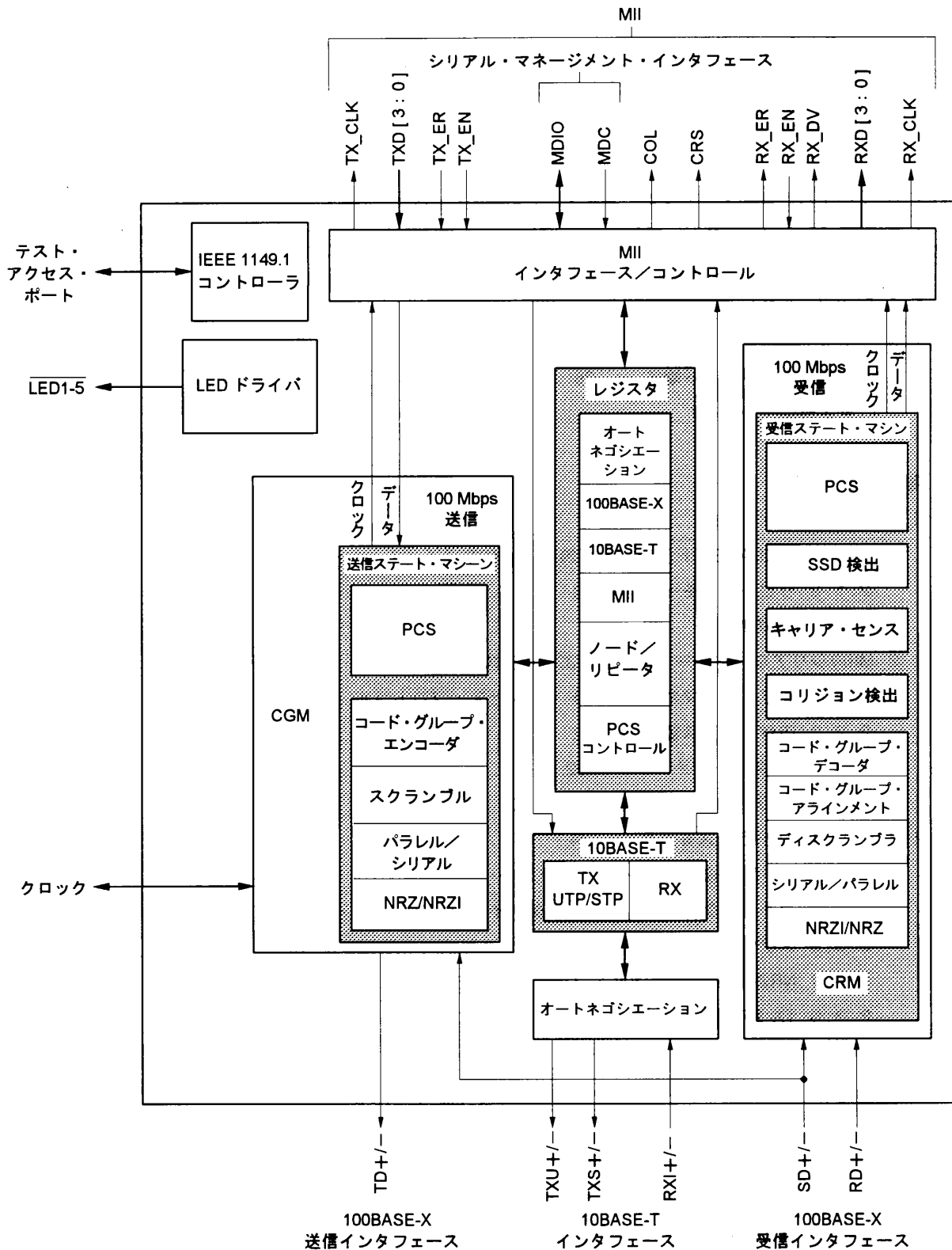
100ピン・プラスチックQFP (14 mm × 20 mm)



端子名称

AN0	: Auto-Negotiation 0	REFIN	: Reference Input
AN1	: Auto-Negotiation 1	REFV _{cc}	: 25 MHz Clock Supply
ANAGND	: Analog Section Ground	REPEATER	: Repeater/Node Mode
ANAV _{cc}	: Analog Section Supply	REQ	: Equalization Resistor
BP4B5B	: Bypass 4B5B Encoder/Decoder	RESET	: Reset
BPALIGN	: Bypass Alignment	RES_0	: Reserved_0
BPSCR	: Bypass Scrambler/Descrambler	RTX	: Extended Cable Resistor
CGMGND	: Clock Generator Module Ground	RX_CLK	: Receive Clock
CGMV _{cc}	: Clock Generator Module Supply	RXD [0] - [3]	: Receive Data
CLK25M	: 25 MHz Clock Output	RX_DV	: Receive Data Valid
COL	: Collision Detect	RX_EN	: Receive Enable
CRMGND	: Clock Recovery Module Ground	RX_ER / PHYAD [4]	
CRMV _{cc}	: Clock Recovery Module Supply		: Receive Error / Phy Address [4]
CRS/PHYAD [2]	: Carrier Sense / Phy Address [2]	RXGND	: Receive Section Ground
ECLV _{cc}	: ECL Outputs Supply	RXI+	: Twisted Pair Receive Input+
ENCSEL / PHYAD [1]		RXI-	: Twisted Pair Receive Input-
	: Encode Select / Phy Address [1]	RXV _{cc}	: Receive Section Supply
IOGND1-6	: TTL Input/Output Ground	SD+	: Signal Detect+
IOV _{cc} 1-6	: TTL Input/Output Supply	SD-	: Signal Detect-
LBEN / PHYAD [0]		SPEED_10	: Speed 10 Mbps
	: Loopback Enable / Phy Address [0]	SPEED_100 / PHYAD [3]	
$\overline{\text{LED1}}$: Transmit LED		: SPEED100Mbps / Phy Address [3]
$\overline{\text{LED2}}$: Receive LED	TCLK	: Test Clock
$\overline{\text{LED3}}$: Link LED	TD+	: Transmit Data+
$\overline{\text{LED4}}$: Polarity/Full Duplex LED	TD-	: Transmit Data-
$\overline{\text{LED5}}$: Collision LED	TDGND	: Transmit Section Ground
LOWPWR	: Low Power Mode Select	TDI	: Test Data Input
MDC	: Management Data Clock	TDO	: Test Data Output
MDIO	: Management Data I/O	TDV _{cc}	: Transmit Section Supply
NC	: No Connect	TMS	: Test Mode Select
OGND	: Internal Oscillator Ground	$\overline{\text{TRST}}$: Test Reset
OSCGND	: External Oscillator Input Ground	TX_CLK	: Transmit Clock
OSCIN	: Oscillator Input	TXD [0] - [3]	: Transmit Data
OV _{cc}	: Internal Oscillator Supply	TX_EN	: Transmit Enable
PCSGND	: Physical Coding Sublayer Ground	TX_ER	: Transmit Error
PCSV _{cc}	: Physical Coding Sublayer Supply	TXS+	: Shielded Twisted Pair Output+
PLLGND	: Phase Locked Loop Ground	TXS-	: Shielded Twisted Pair Output-
PLLV _{cc}	: Phase Locked Loop Supply	TXU+	: Unshielded Twisted Pair Output+
RCLKGND	: Receive Clock Ground	TXU-	: Unshielded Twisted Pair Output-
RD+	: Receive Data+	X1	: Crystal Oscillator Input
RD-	: Receive Data-	X2	: Crystal Oscillator Output
REFGND	: 25 MHz Clock Ground	10BTSER	: Serial/Nibble Select

ブロック図



目 次

1. 端子機能	9
1.1 MIIインタフェース	9
1.2 100 MbpsシリアルPMDインタフェース	12
1.3 10 Mbpsインタフェース	14
1.4 クロック・インタフェース	15
1.5 デバイス・コンフィギュレーション・インタフェース	16
1.6 LEDインタフェース	20
1.7 IEEE 1149.1インタフェース	22
1.8 PHYアドレス・インタフェース	23
1.9 リセット端子	25
1.10 電源およびグランド端子	26
1.11 未定義端子	27
2. 機能説明	28
2.1 PCS制御部	29
2.1.1 100BASE-Xトランシーバ内ブロックのバイパス	29
2.1.2 リピータ・モード	30
2.1.3 MIIの制御	30
2.2 MIIのシリアル・マネージメントによるレジスタ・アクセス	31
2.2.1 シリアル・マネージメント・アクセス・プロトコル	31
2.2.2 PHYアドレス認識	32
2.2.3 MIIマネージメント	32
2.2.4 MIIアイソレート・モード	33
2.3 100BASE-Xトランスミッタ	34
2.3.1 100 Mbps送信ステート・マシン	34
2.3.2 コード・グループ・エンコーダ/インジェクション・ブロック	34
2.3.3 スクランブラ・ブロック	37
2.3.4 NRZ-NRZIエンコーダ・ブロック	37
2.3.5 TX_ER信号	37
2.4 100BASE-Xレシーバ	38
2.4.1 クロック・リカバリ・ブロック	40
2.4.2 NRZI-NRZデコーダ・ブロック	40
2.4.3 ディスクランブラ・ブロック	40
2.4.4 コード・グループ・アラインメント・ブロック	41
2.4.5 5B/4Bコード・グループ・デコーダ・ブロック	41
2.4.6 衝突検出ブロック	41
2.4.7 キャリア・センス・ブロック	41
2.4.8 100 Mbps受信ステート・マシン・ブロック	42
2.4.9 100BASE-X LIM (Link Integrity Monitor)	42
2.4.10 不良SSDの検出	42
2.4.11 FEFI(Far End Fault Indication)機能	42

- 2.4.1.2 CIM (Carrier Integrity Monitor) … 43
- 2.5 クロック・ジェネレータ・モジュール (CGM) … 44
 - 2.5.1 50 MHz基準クロックのみを使用 … 44
 - 2.5.2 50 MHzと20 MHz基準クロックの両方を使用 … 45
 - 2.5.3 25 MHzと20 MHz基準クロックの両方を使用 … 46
 - 2.5.4 25 MHz基準クロックのみを使用 … 47
 - 2.5.5 システム・クロック … 47
- 2.6 100 Mbpsクロック・リカバリ・モジュール (CRM) … 49
- 2.7 10BASE-Tトランシーバ・モジュール … 49
 - 2.7.1 10BASE-Tトランシーバの動作モード … 51
 - 2.7.2 発振モジュール … 51
 - 2.7.3 スマート・スケルチ … 52
 - 2.7.4 衝突検出 … 52
 - 2.7.5 キャリア・センス・ブロック … 53
 - 2.7.6 リンク・パルス検出/生成 … 53
 - 2.7.7 ジャバー機能 … 53
 - 2.7.8 送信出力 … 53
 - 2.7.9 通信状態の表示 … 54
 - 2.7.10 ケーブル接続極性の自動判定 … 54
 - 2.7.10.1 10BASE-Tトランシーバ内部のループバック … 54
 - 2.7.10.2 送受信フィルタ … 55
 - 2.7.10.3 ENDECモジュール … 55
 - 2.7.10.4 REQ端子およびRTX端子 … 56
 - 2.7.10.5 標準的なノード・アプリケーションへの応用 … 57
- 2.8 IEEE 1149.1コントローラ … 58
 - 2.8.1 テスト回路 … 60
 - 2.8.2 デバイス・テスト … 61
- 2.9 IEEE 802.3uオートネゴシエーション … 61
 - 2.9.1 端子制御によるオートネゴシエーション … 62
 - 2.9.2 レジスタ制御によるオートネゴシエーション … 65
 - 2.9.3 オートネゴシエーションの平行検出 (パラレル・ディテクション) … 67
 - 2.9.4 オートネゴシエーションの再スタート … 67
 - 2.9.5 ソフトウェアによるオートネゴシエーションのイネーブル … 67
- 2.10 リセット動作 … 68
 - 2.10.1 電源投入時のリセット … 68
 - 2.10.2 ハードウェア・リセット … 69
 - 2.10.3 ソフトウェア・リセット … 69
- 2.11 ループバック動作 … 69
 - 2.11.1 10BASE-Tループバック … 69
 - 2.11.1.1 10BASE-Tループバック … 69
 - 2.11.1.2 100BASE-Xループバック … 70
 - 2.11.2 100BASE-X動作の選択 … 70
 - 2.11.2.1 通常モード … 70
 - 2.11.2.2 透過モード … 70

- 2.1 2.3 Phaserモード … 71
- 2.1 2.4 100BASE-FXモード … 71
- 2.1 3 低電力モード … 71

- 3. レジスタ … 73
 - 3.1 デフォルト値の表記方法 … 73
 - 3.2 基本モード・コントロール・レジスタ (BMCR) … 74
 - 3.3 基本モード・ステータス・レジスタ (BMSR) … 77
 - 3.4 PHY識別子レジスタ#1 (PHYIDR1) … 79
 - 3.5 PHY識別子レジスタ#2 (PHYIDR2) … 80
 - 3.6 オートネゴシエーション・アダプタイズメント・レジスタ (ANAR) … 80
 - 3.7 オートネゴシエーション・リンク・パートナー・アビリティ・レジスタ (ANLPAR) … 82
 - 3.8 オートネゴシエーション・エクспанション・レジスタ (ANER) … 84
 - 3.9 ディスコネクト・カウンタ・レジスタ (DCR) … 85
 - 3.1 0 フォールス・キャリア・センス・カウンタ・レジスタ (FCSCR) … 85
 - 3.1 1 受信エラー・カウンタ・レジスタ (RECR) … 85
 - 3.1 2 シリコン・リビジョン・レジスタ (SRR) … 86
 - 3.1 3 PCSコンフィギュレーション・レジスタ (PCR) … 86
 - 3.1 4 ループバック, パイパスおよび受信エラー・マスク・レジスタ (LBREMR) … 89
 - 3.1 5 PHYアドレス・レジスタ (PAR) … 92
 - 3.1 6 10BASE-Tステータス・レジスタ (10BTSR) … 94
 - 3.1 7 10BASE-Tコンフィギュレーション・レジスタ (10BTCR) … 94

- 4. μ PD72840Aアプリケーション … 96
 - 4.1 ネットワーク・アダプタ応用例 … 96
 - 4.2 電源パターンの分割 … 97
 - 4.3 電源およびGNDのフィルタリング … 99

- 5. 電気的特性 … 100

- 6. 外形図 … 119

- 7. 半田付け推奨条件 … 120

1. 端子機能

μ PD72840Aの端子機能については、以下のようにインタフェースごとに分けて説明をしています。

- ・ MIIインタフェース
- ・ 100 MbpsシリアルPMDインタフェース
- ・ 10 Mbpsインタフェース
- ・ クロック・インタフェース
- ・ デバイス・コンフィギュレーション・インタフェース
- ・ LEDインタフェース
- ・ IEEE 1149.1インタフェース
- ・ PHYアドレス・インタフェース
- ・ リセット端子
- ・ 電源およびグランド端子
- ・ 未定義端子

注意 1. 各入出力端子の説明中で特に指定のない場合は、信号レベルはTTL/CMOSレベルとなります。

2. IEEE 1149.1サポート欄は、IEEE 1149.1コントローラからの制御の可否を示します（○ = 可、
× = 否）。

1.1 MIIインタフェース

(1/4)

端子名	端子番号	I/O	IEEE 1149.1 サポート	機 能
TX_CLK	82	O,3ステート	×	送信クロック： μ PD72840Aから出力される送信用クロックです。 ・ 100BASE-TXモードでは、内部のクロック・ジェネレータ・モジュール (CGM) 内のPLLにて生成された25 MHzクロックを供給します。 ・ 10BASE-Tのニブル・モードでは、2.5 MHzの送信クロックを供給します。 ・ 10BASE-Tのシリアル・モードでは、10 MHzの送信クロックを供給します。
TXD [3] -TXD [0]	75-78	I	○	送信データ： 10 Mbpsまたは100 Mbpsのニブル・モード (100 Mbpsモードでは25 MHz, 10 Mbpsモードでは2.5 MHz) において、MIIインタフェースに対してニブル・データ (4 ビット・データ) を入力する端子となります。 10 Mbpsのシリアル・モードでは、TXD [0] 端子のみが入力端子として使用され、TXD [3 : 1] 端子は無視されます。

(2/4)

端子名	端子番号	I/O	IEEE 1149.1 サポート	機能
TX_EN	74	I	○	送信イネーブル： 100 Mbpsまたは10 Mbpsのニブル・モードの両モードでは、この端子へのハイ・レベル入力はTXD [3 : 0] 上に有効データが存在していることを表します。 10 Mbpsのシリアル・モードでは、この端子へのハイ・レベル入力はTXD [0] 端子上のみに有効なデータが存在していることを表しています。
TX_ER (TXD [4])	73	I	○	送信エラー： 100 Mbpsモードでは、この端子をハイ・レベルとし、TX_EN端子をアクティブとするとネットワークに対してTXD [3 : 0] 上のデータの代わりにHALTコード・グループ・パターンを送出します。 10 Mbpsモードでは、この端子への入力は無視されます。 エンコーダ・バイパス・モード (BP4B5B端子またはBPALIGN端子をハイ・レベル) では、この端子はTXD [4] 端子として機能します。
MDC	72	I	○	マネージメント・データ・クロック： マネージメント・データ・インプット/アウトプット・シリアル・インタフェース上のMDIO信号に同期したクロックを入力します。これは、送信および受信クロックに対して非同期でもかまいません。クロックの最高レートは2.5 MHzです。
MDIO	67	I/O	○	マネージメント・データI/O： 双方向のマネージメント用インストラクション/データ信号で、上位レイヤ上に実装されたマネージメント機能あるいは内部のMIIレジスタで生成されます。この端子は1.5 kΩのプルアップ抵抗が必要です。
CRS (PHYAD [2])	66	I/O, 3ステート	○	キャリア・センス： 10BASE-Tモードあるいは100BASE-Xの半二重通信モードにおいて、受信あるいは送信のいずれかがアクティブでありキャリアが存在しているとき、この端子はハイ・レベルになります。 リピータおよび全二重動作では、受信部のみがアクティブであることを表します。 この端子は、複数のPHYを接続するアプリケーションでは、PHYアドレス・センシング (PHYAD [2]) 端子として機能しません。詳細については、1.8 PHYアドレス・インタフェースを参照してください。

端子名	端子番号	I/O	IEEE 1149.1 サポート	機能
COL	65	O,3ステート	○	<p>コリジョン・ディテクト :</p> <p>10 Mbpsあるいは100 Mbpsの半二重通信モードにおいて、衝突状態の発生の有無を表します。10BASE-Tモードで、ハートビート・ビット (レジスタ 1 chのビット4) がセットされている場合、フレームの送信完了後、約1 μsの間、CDハートビートを生成出力します。</p> <p>全二重通信モードでは、常にロウ・レベルです。10 Mbps全二重動作におけるハートビートは使用できません。</p>
RX_CLK	62	O,3ステート	×	<p>受信クロック :</p> <p>μ PD72840Aから出力される受信用クロックです。</p> <p>モードによって、出力されるクロックは異なります。</p> <ul style="list-style-type: none"> ・100 Mbpsモードでは、25 MHzとなります。 ・10 Mbpsのニブル・モードでは、2.5 MHzとなります。 ・10 Mbpsのシリアル・モードでは、10 MHzとなります。
RX_ER (PHYAD [4]) (RXD [4])	63	I/O, 3ステート	○	<p>受信エラー :</p> <p>100 Mbpsモードにおいて、受信パケット中に無効なコード・グループ・パターンを検出したときにアクティブ・ハイの信号を出力します。</p> <p>5B/4Bデコーダ・バイパス・モード (BP4B5B端子またはBPALIGN端子をハイ・レベル) では、この端子はRXD [4]端子として機能します。</p> <p>この端子は、複数のPHYを接続するアプリケーションでは、PHYアドレス・センシング (PHYAD [4]) 端子として機能します。詳細については、1.8 PHYアドレス・インタフェースを参照してください。</p>
RX_DV	64	O,3ステート	○	<p>受信データ有効 :</p> <p>この端子のハイ・レベル出力は、RXD [3 : 0] 上に有効なデータが存在することを表します。</p> <p>この端子は、透過モード、Phaserモードでは意味を持ちません。詳しくは、2.1.2 100BASE-X動作の選択を参照してください。</p>
RXD [3]-RXD [0]	55-58	O,3ステート	○	<p>受信データ :</p> <p>100BASE-Xおよび10BASE-Tニブル・モードでは、受信クロック (RX_CLK) に同期した4ビット幅の受信データを出力する端子となります。データは、RX_CLKの立ち下がりエッジごとにドライブされます。</p> <p>10 Mbpsのシリアル・モードでは、RXD [0] 端子のみがRX_CLKの立ち下がりエッジで出力される端子として使用されます。10 Mbpsシリアル・モードでは、RXD [3 : 1] 端子は無視してください。</p>

(4/4)

端子名	端子番号	I/O	IEEE 1149.1 サポート	機 能
RX_EN	43	I	○	受信イネーブル： この端子へのハイ・レベル入力、RXD [3 : 0]、RX_CLK、RX_DVそしてRX_ER端子の出力をイネーブルとします。ロウ・レベルを入力すると、この端子は3ステート状態となります。通常の通信動作では、ハイ・レベルを入力してください。

1.2 100 MbpsシリアルPMDインタフェース

(1/2)

端子名	端子番号	I/O	IEEE 1149.1 サポート	機 能
SPEED_10	54	O	○	スピード 10 Mbps： この端子がハイ・レベルの場合、通信速度が10 Mbpsであることを表します。ロウ・レベルの場合、100 Mbpsであることを表します。この端子は、LED表示などの周辺回路の駆動に使用することも可能です。
★ SPEED_100 (PHYAD [3])	89	I/O	○	スピード 100 Mbps： この端子がハイ・レベルの場合、通信速度が100 Mbpsであることを表します。この端子は、LED表示などの周辺回路の駆動に使用することも可能です。 この端子は、複数のPHYを接続するアプリケーションにおいて、PHYアドレス・センシング (PHYAD [3]) 端子としても機能します。詳細については、1.8 PHYアドレス・インタフェースを参照してください。
ENCSEL (PHYAD [1])	53	I/O	○	エンコード選択： この端子は、μ PD72223と組み合わせて、PMDレイヤでバイナリ・コード (ハイ・レベルを出力) を使用するか、またはMLT-3コード (ロウ・レベルを出力) を使用するかを知らせる制御信号です。 この端子は、複数のPHYを接続するアプリケーションでは、PHYアドレス・センシング (PHYAD [1]) 端子として機能します。詳細については、1.8 PHYアドレス・インタフェースを参照してください。

(2/2)

端子名	端子番号	I/O	IEEE 1149.1 サポート	機能
LBEN (PHYAD [0])	49	I/O	○	<p>ループバック・イネーブル： 100BASE-TX動作において、この端子は、μ PD72223と組み合わせて使用します。</p> <p>μ PD72223内の100 Mbpsトランシーバ内部でループバックさせるための制御を行います。</p> <p>1 = 100BASE-TXトランシーバ・ループバックをイネーブルとします。 0 = 100BASE-TXトランシーバ・ループバックをディスエーブルとします（通常動作）。</p> <p>10 Mbpsモードでは、この端子の出力はDon't Careとなりますので、無視してください。</p> <p>この端子は、複数のPHYを接続するアプリケーションでは、PHYアドレス・センシング（PHYAD [0]）端子として機能します。詳細については、1.8 PHYアドレス・インタフェースを参照してください。</p>
TD- TD+	16 17	○ (ECL)	×	<p>送信データ： μ PD72223に対する125 Mbpsの差動ECLレベルの送信データ出力端子です。</p>
SD- SD+	7 8	┆ (ECL)	×	<p>信号検出： μ PD72223からの差動ECLレベルの信号検出（受信入力に有効なデータが存在することを示す信号）を入力する端子です。PMDトランシーバが受信信号を検出したことを示します。</p>
RD+ RD-	5 6	┆ (ECL)	×	<p>受信データ： PMDトランシーバからの125 Mbps差動ECLレベルの受信データを入力する端子です。</p>

1.3 10 Mbpsインターフェース

端子名	端子番号	I/O	IEEE 1149.1 サポート	機能
REQ	29	I	×	<p>イコライザ回路抵抗：</p> <p>10BASE-Tにおいて、送信データをマンチェスタ・エンコード化してTXU±またはTXS±端子に出力する際、この端子をGNDあるいはV_{cc}との間に抵抗を接続することで信号の増幅ステップを均一に調整することができます。通常、100メートル以下のケーブルで使用する場合は抵抗を接続する必要はありませんが、100メートル以上のケーブルを用いてネットワーク・システムを構築する際には注意が必要です。システム・トポロジに関する詳細については、IEEE 802.3uの第29節を参照してください。</p> <p>この抵抗値を計算するための式については、現在、調査中となっています。</p> <p>この値は評価に基づいて決定する必要があります。詳細については2.7 10BASE-Tトランシーバ・モジュールを参照してください。</p>
RTX	28	I	×	<p>ケーブル延長用抵抗：</p> <p>10BASE-Tにおいて、差動送信信号（TXU±あるいはTXS±端子）の増幅度をこの端子とGNDあるいはV_{cc}との間に接続する抵抗で調整します。</p> <p>通常、100メートル以下のケーブルで使用する場合は抵抗接続の必要はありませんが、100メートル以上のケーブルを用いて完全なネットワーク・システムを構築する際には注意が必要です。システム・トポロジに関する件の詳細については、IEEE 802.3uの第29節を参照してください。</p> <p>この抵抗値を計算するための式については、調査中となっています。現時点では、この値は評価に基づいて決定する必要があります。詳細については2.7 10BASE-Tトランシーバ・モジュールを参照してください。</p>
TXU- TXU+	25 26	O	×	<p>非シールド型ツイスト・ペア用出力：</p> <p>この差動出力ペアは、UTPケーブルを用いた10BASE-T送信出力およびリンク・パルス出力を行う端子です。</p>
TXS- TXS+	23 24	O	×	<p>シールド型ツイスト・ペア用出力：</p> <p>この差動出力ペアは、STPケーブルを用いた10BASE-T送信出力およびリンク・パルス出力を行う端子です。</p>
RXI- RXI+	20 21	I	×	<p>ツイスト・ペア用受信入力：</p> <p>これらの端子は、STPあるいはUTPケーブルのいずれかから入力される10BASE-T受信データを入力する端子です。</p>

1.4 クロック・インタフェース

端子名	端子番号	I/O	IEEE 1149.1 サポート	機能
REFIN	86	I	×	基準クロック入力： 25 MHzのTTLの基準クロック入力です。外部発振モジュール あるいはCLK25M端子（81番ピン）から供給されるクロック を入力します。
CLK25M	81	O,3ステート	×	25 MHzクロック出力： OSCIN端子に入力された50 MHzクロックを2分周したク ロックを出力します。未使用の場合、PGSコンフィギュレーショ ン・レジスタ（アドレス17H）のビット7をセットすることで、ソフトウエ アによりクロック出力をオフにすることができます。この出力信号 は、ハードウェア/ソフトウェア・リセットには影響されません。
OSCIN	2	I	×	オシレータ入力： 50 MHzの外部TTLオシレータ出力クロックを入力する端子 です。この端子を使用しない場合は、4.7 kΩ（推奨値）の抵 抗を介してGNDにプルダウン接続してください。
X2	34	O	×	水晶発振子出力： 20 MHz±0.005%の外部水晶発振子を接続する端子です。 10BASE-Tのタイミングに使われます。X1端子に20 MHzの外 部発振器を接続して使用する場合、この端子は開放してくだ さい。
X1	33	I	×	水晶発振子入力： 20 MHz±0.005%の外部水晶発振子を接続する端子です。こ の端子に入力されたクロックは、10BASE-Tのタイミング生 成とオートネゴシエーション・ブロックで使用されます。未 使用の場合、4.7 kΩ（推奨値）の抵抗を介してVccに接続し てください。この端子がプルアップされると、μ PD72840A は状態を検出し、2.5分周回路をイネーブルとし、内部で分 周された20 MHzクロックを10 Mbpsブロックおよびオート ネゴシエーション・ブロックに供給します。

1.5 デバイス・コンフィギュレーション・インタフェース

(1/4)

端子名	端子番号	I/O	IEEE 1149.1 サポート	機能																											
★ AN0	95	I	x	<p>AN0 :</p> <p>この端子は、4つのレベル（1, M, 0, クロック）を入力する端子です。この端子は、AN1端子とともにμ PD72840Aのネットワーク選択を固定にする、あるいはオートネゴシエーション機能を用いて設定するかのいずれかを選択します（下表参照）。この端子の値は、GNDに接続されると“0”、Vccに接続されると“1”、25 MHzクロックに接続されると“C”、何も接続しない状態にすると“M”となります。Mの状態では、内部抵抗（～3 kΩ）によって中間レベル（Vcc/2）となっています。この端子の状態は、μ PD72840Aの電源立ち上げおよびリセット時にラッチされます。詳細については、2.9 IEEE 802.3uオートネゴシエーションを参照してください。</p> <p style="text-align: right;">(1/2)</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>AN1</th> <th>AN0</th> <th></th> </tr> </thead> <tbody> <tr> <td></td> <td></td> <td> <p>【強制設定モード】</p> <p>オートネゴシエーション機能を使用せずに、端子設定のみでネットワーク・モードを選択します。</p> </td> </tr> <tr> <td>0</td> <td>M</td> <td>10BASE-T 半二重モード</td> </tr> <tr> <td>1</td> <td>M</td> <td>10BASE-T 全二重モード</td> </tr> <tr> <td>M</td> <td>0</td> <td>100BASE-X 半二重モード</td> </tr> <tr> <td>M</td> <td>1</td> <td>100BASE-X 全二重モード</td> </tr> <tr> <td>C</td> <td>M</td> <td>100BASE-X 半二重または 100BASE-X 全二重モード</td> </tr> <tr> <td>M</td> <td>C</td> <td>100BASE-X 全二重または 10BASE-T 全二重モード</td> </tr> <tr> <td>C</td> <td>C</td> <td>100BASE-X 半二重または 10BASE-T 半二重モード</td> </tr> </tbody> </table>	AN1	AN0				<p>【強制設定モード】</p> <p>オートネゴシエーション機能を使用せずに、端子設定のみでネットワーク・モードを選択します。</p>	0	M	10BASE-T 半二重モード	1	M	10BASE-T 全二重モード	M	0	100BASE-X 半二重モード	M	1	100BASE-X 全二重モード	C	M	100BASE-X 半二重または 100BASE-X 全二重モード	M	C	100BASE-X 全二重または 10BASE-T 全二重モード	C	C	100BASE-X 半二重または 10BASE-T 半二重モード
AN1	AN0																														
		<p>【強制設定モード】</p> <p>オートネゴシエーション機能を使用せずに、端子設定のみでネットワーク・モードを選択します。</p>																													
0	M	10BASE-T 半二重モード																													
1	M	10BASE-T 全二重モード																													
M	0	100BASE-X 半二重モード																													
M	1	100BASE-X 全二重モード																													
C	M	100BASE-X 半二重または 100BASE-X 全二重モード																													
M	C	100BASE-X 全二重または 10BASE-T 全二重モード																													
C	C	100BASE-X 半二重または 10BASE-T 半二重モード																													

(2/4)

端子名	端子番号	I/O	IEEE 1149.1 サポート	機能																																	
AN0	95	I	×	<p style="text-align: right;">(2/2)</p> <table border="1"> <thead> <tr> <th>AN1</th> <th>AN0</th> <th></th> </tr> </thead> <tbody> <tr> <td></td> <td></td> <td>【アダプタイズド・モード】 オートネゴシエーションによって、相手デバイスとの交渉を行った上でネットワークの選択を行うモードです。使用するネットワークは、端子設定で選択したモードとオートネゴシエーションによって検出されたモードが一致した場合にそのモードを設定します。</td> </tr> <tr> <td>M</td> <td>M</td> <td>すべてのモード（オートネゴシエーションによって検出されたモードにセットします）。</td> </tr> <tr> <td>0</td> <td>0</td> <td>10BASE-T 半二重モード</td> </tr> <tr> <td>0</td> <td>1</td> <td>10BASE-T 全二重モード</td> </tr> <tr> <td>1</td> <td>0</td> <td>100BASE-X 半二重モード</td> </tr> <tr> <td>1</td> <td>1</td> <td>100BASE-X 全二重モード</td> </tr> <tr> <td>C</td> <td>1</td> <td>100BASE-X 全二重または 10BASE-T 全二重モード</td> </tr> <tr> <td>C</td> <td>0</td> <td>100BASE-X 半二重または 10BASE-T 半二重モード</td> </tr> <tr> <td>1</td> <td>C</td> <td>100BASE-X 全二重または 100BASE-X 半二重モード</td> </tr> <tr> <td>0</td> <td>C</td> <td>10BASE-T 全二重または 10BASE-T 半二重モード</td> </tr> </tbody> </table>	AN1	AN0				【アダプタイズド・モード】 オートネゴシエーションによって、相手デバイスとの交渉を行った上でネットワークの選択を行うモードです。使用するネットワークは、端子設定で選択したモードとオートネゴシエーションによって検出されたモードが一致した場合にそのモードを設定します。	M	M	すべてのモード（オートネゴシエーションによって検出されたモードにセットします）。	0	0	10BASE-T 半二重モード	0	1	10BASE-T 全二重モード	1	0	100BASE-X 半二重モード	1	1	100BASE-X 全二重モード	C	1	100BASE-X 全二重または 10BASE-T 全二重モード	C	0	100BASE-X 半二重または 10BASE-T 半二重モード	1	C	100BASE-X 全二重または 100BASE-X 半二重モード	0	C	10BASE-T 全二重または 10BASE-T 半二重モード
AN1	AN0																																				
		【アダプタイズド・モード】 オートネゴシエーションによって、相手デバイスとの交渉を行った上でネットワークの選択を行うモードです。使用するネットワークは、端子設定で選択したモードとオートネゴシエーションによって検出されたモードが一致した場合にそのモードを設定します。																																			
M	M	すべてのモード（オートネゴシエーションによって検出されたモードにセットします）。																																			
0	0	10BASE-T 半二重モード																																			
0	1	10BASE-T 全二重モード																																			
1	0	100BASE-X 半二重モード																																			
1	1	100BASE-X 全二重モード																																			
C	1	100BASE-X 全二重または 10BASE-T 全二重モード																																			
C	0	100BASE-X 半二重または 10BASE-T 半二重モード																																			
1	C	100BASE-X 全二重または 100BASE-X 半二重モード																																			
0	C	10BASE-T 全二重または 10BASE-T 半二重モード																																			
★ AN1	46	I	×	<p>AN1 :</p> <p>この端子は、4つのレベル（1, M, 0, クロック）を入力する端子です。この端子は、AN0端子とともにμ PD72840Aのネットワーク選択を固定にする、あるいはオートネゴシエーション機能を用いて設定するかを選択します。この端子の値は、GNDに接続されると“0”、Vccに接続されると“1”、25 MHzクロックに接続されると“C”、何も接続しない状態にすると“M”となります。Mの状態では、内部抵抗によって中間レベル（Vcc/2）となっています。この状態は、μ PD72840Aの電源立ち上げおよびリセット時にラッチされます。詳細については、2.9 IEEE 802.3uオートネゴシエーションを参照してください。</p>																																	

端子名	端子番号	I/O	IEEE 1149.1 サポート	機能
REPEATER	47	I	○	<p>リピータ/ノード・モード選択： この端子にハイ・レベルを入力するとリピータ・モードが、ロウ・レベルを入力するとノード・モードがそれぞれ選択されます。リピータ・モードあるいは全二重通信のノード・モードのいずれかを選択した場合、キャリア・センス (CRS) 出力は、受信時のみアクティブとなります。半二重モードでかつ、ノード・モードを選択した場合、キャリア・センス (CRS) 出力は、送信時および受信時の両方でアクティブとなります。</p> <p>IEEE 802.3u/D5.3にあるCIM (Carrier Integrity Monitor) 機能に関する要件を満たすため、この端子がロウ・レベルの場合 (ノード・モード時)、CIM機能は自動的にイネーブルされ、ハイ・レベルの場合 (リピータ・モード)、ディスエーブルされます。</p> <p>電源立ち上げ/リセット時にこの端子の状態は、ラッチされ、アドレス17HのPCSコンフィギュレーション・レジスタのビット12にセットされます。この端子は通常、4.7 kΩの抵抗を介してGNDあるいはV_{cc}に接続してください。</p>
10BT SER	98	I	○	<p>シリアル/ニブル・モード選択： この端子にハイ・レベルを入力するとシリアル転送モードが、ロウ・レベルを入力するとニブル転送モードが選択されます。次に各モードについて説明します。</p> <p>【10 Mbpsシリアル転送動作】 MIIの4ビット・データ・バスのうち、LSBビット、すなわちTXD [0] およびRXD [0] 上でデータを10 MHzクロックでシリアル変換して送受信を行います。このモードは、10 Mbpsのシリアル・インタフェースを持ったデバイス (MAC やリピータ) との接続を意図しています。100 Mbpsモードではこのシリアル動作はサポートしていません。したがって、100 Mbpsモードでは、この端子は無視されます。</p> <p>【10/100 Mbpsニブル転送動作】 MIIのデータ・バス上のデータ転送は、すべて4ビット幅で行われます。すなわち、送受信データはTXD [3 : 0] およびRXD [3 : 0] 上に、4ビット幅に変換され、転送されます。</p> <p>電源立ち上げ/リセット時にこの端子の状態は、ラッチされ、アドレス1BHの10BASE-Tステータス・レジスタのビット9にセットされます。この端子は通常4.7 kΩの抵抗を介してGNDあるいはV_{cc}に接続してください。</p>

端子名	端子番号	I/O	IEEE 1149.1 サポート	機能
BPALIGN	99	I	○	<p>バイパス・アラインメント：</p> <p>この端子にハイ・レベルを入力すると100 Mbpsのデータは、すべての送信および受信処理回路をバイパスしてMIIに転送されます。図2-3 100BASE-Xトランスミッタ、図2-4 100BASE-Xレシーバを参照してください。PCS信号（CRS端子、RX_DV端子、RX_ER端子、COL端子）は、このモードにおいて意味を持ちません。TX_ER（TXD [4]）端子は常にアクティブです。</p> <p>電源立ち上げ/リセット時にこの端子の状態は、ラッチされ、アドレス18Hのループバック、バイパス&受信エラー・マスク・レジスタのビット12にセットされます。この端子は通常、4.7 kΩの抵抗を介してGNDあるいはVccに接続してください。</p>
BP4B5B	100	I	○	<p>4B/5Bエンコーダ&デコーダ・バイパス：</p> <p>この端子にハイ・レベルを入力すると100 Mbpsの送信データおよび受信データは、4B/5Bエンコーダおよび5B/4Bデコーダ回路をバイパスします。PCS信号（CRS端子、RX_DV端子、RX_ER端子、COL端子）はアクティブのまま、このバイパス・モードの影響を受けません。TX_ER（TXD [4]）端子は、TX_EN端子入力により制御されます。</p> <p>電源立ち上げ/リセット時にこの端子の状態は、ラッチされ、アドレス18Hのループバック、バイパス&受信エラー・マスク・レジスタのビット14にセットされます。この端子は通常、4.7 kΩの抵抗を介してGNDあるいはVccに接続してください。</p>
BPSCR	1	I	○	<p>スクランブラ/ディスクランブラ・バイパス：</p> <p>この端子にハイ・レベルを入力すると100 Mbpsの送信データおよび受信データは、スクランブラおよびディスクランブラをバイパスします。</p> <p>PCS信号（CRS端子、RX_DV端子、RX_ER端子、COL端子）はアクティブのまま、このバイパス・モードの影響を受けません。</p> <p>電源立ち上げ/リセット時にこの端子の状態は、ラッチされ、アドレス18Hのループバック、バイパス&受信エラー・マスク・レジスタのビット13にセットされます。この端子は通常、4.7 kΩの抵抗を介してGNDあるいはVccに接続してください。</p>

1.6 LEDインタフェース

これらの端子はLEDを直接ドライブしたり、ネットワーク管理を行うデバイスに対するステータス情報を提供するために使用します。図2-15 標準的な10BASE-T (UTP) ノード・アプリケーションにLEDの接続例を示します。

100 Mbps動作がアクティブであるかどうかを示すLED表示の方法については、1.2 100 MbpsシリアルPMDインタフェースを参照してください。これらの出力端子は、標準的なCMOS出力となっており、オープン・ドレインにはなっていません。

(1/2)

端子名	端子番号	I/O	IEEE 1149.1 サポート	機 能
LED1	42	○	○	<p>送信LED :</p> <p>10 Mおよび100 Mbpsモードにおいて送信中であることを表示するために使用します。ロウ・レベル時、ネットワーク上に送信データが存在していることを示します。</p> <p>PCSコンフィギュレーション・レジスタ (アドレス17H) のビット2 (LED1_MODE) がハイ・レベルのとき、この端子は、PHYアドレス・レジスタ (アドレス19H) のビット5 (CON_STATUS) でステータス定義される、ネットワーク接続状態を表示する機能に変わります。</p> <p>この端子出力には、“モノステーブル”機能を内蔵しています。これにより最小サイズの packets においても、目で確認するのに十分なLED ON時間 (約50 ms) を確保します。</p>
LED2	41	○	○	<p>受信LED :</p> <p>10 Mおよび100 Mbps動作において受信中 (CRS端子がアクティブ) であることを表示するために使用します。ロウ・レベル時、ネットワーク上に受信データが存在していることを示します。</p> <p>この端子出力には、“モノステーブル”機能を内蔵しています。これは、最小パケット長のフレームを生成しても目で確認できるようにLEDのON時間 (約50 ms) を調節する機能があります。</p>

(2/2)

端子名	端子番号	I/O	IEEE 1149.1 サポート	機能
LED3	38	○	○	<p>リングLED :</p> <p>10 Mおよび100 Mbps動作において正常リンク状態であることを示します。ロウ・レベル時、正常リンクであることを示します。</p> <p>100 Mbpsのリンク状態は、SD端子の信号検出入力が有効になると、そのリンク状態が確立されます。SD端子が最小500 μsの間、有効な状態のままであると、LED3端子は有効になります。SD端子入力が無効になるとすぐに、LED3端子も無効になります。</p> <p>10 Mbpsのリンク状態は、少なくとも7つの連続した通常リンク・パルスの受信、または有効な10BASE-Tパケットの受信があった場合に、そのリンク状態が確立されます。LED3端子は、IEEE 802.3に規定されている通り、リンク・ロス・タイマに従って無効となります。</p>
LED4	37	○	○	<p>極性/全二重表示LED :</p> <p>10 Mbps動作においては、ケーブルの接続が正しい極性であることを示します。また、100 Mbps動作あるいは10 Mbps動作において、全二重通信を行っていることを示します。ロウ・レベル・アクティブの信号です。</p> <p>μ PD72840Aは、自動的に極性反転を補正します。極性反転は、LED4端子が有効であることにより示されます。</p> <p>PCSコンフィギュレーション・レジスタ (アドレス17H) のビット1 (LED4_MODE) がセットされている場合、この端子は、10および100 Mbpsの双方において全二重通信を行っていることを表示する機能に変わります。</p>
LED5	36	○	○	<p>コリジョンLED :</p> <p>10 Mおよび100 Mbpsの半二重動作において衝突を検出したことを表示するために使用します。この端子は、10 Mおよび100 Mbpsの全二重通信を行っている場合は、無効となります。この端子は、ロウ・レベル時、ネットワーク上に衝突が存在していることを示します。</p>

1.7 IEEE 1149.1インタフェース（お客様のご要求により、本機能をサポートすることができます。）

μ PD72840Aでは、システム検証を行うための工数を削減するのに役立つバウンダリ・スキャン（IEEE 1149.1）を行うテスト・アクセス・ポートを装備しています。次にそのポートの説明を行います。

★ JTAGテストを必要としない場合、これらの端子は開放してください。

端子名	端子番号	I/O	IEEE 1149.1 サポート	機 能
TDO	50	O,3ステート	—	テスト・データ出力： IEEE 1149.1で規定されたシリアル・インストラクション/ テスト・データを出力します。 バウンダリ・スキャン（IEEE 1149.1）を使用しない場合は、 この端子は開放してください。
TDI	91	I	—	テスト・データ入力： IEEE 1149.1で規定されたシリアル・インストラクション/ テスト・データを入力します。 バウンダリ・スキャン（IEEE 1149.1）を使用しない場合は、 この端子は開放してください（内部に10kΩのプルアップ抵抗を 接続しています）。
$\overline{\text{TRST}}$	92	I	—	テスト・リセット： ロウ・レベル・アクティブの信号です。この端子にロウ・パ ルスを入力するとIEEE 1149.1テスト回路をリセット、初期 化します。この端子にも内部に10kΩのプルアップ抵抗を内 蔵していますので、未使用の場合には開放にしてください。
★ TCLK	93	I	—	テスト・クロック： IEEE 1149.1回路に対するテスト用クロックを入力する端子 です。 バウンダリ・スキャン（IEEE 1149.1）を使用しない場合は、 この端子を開放してください。
TMS	94	I	—	テスト・モード選択： IEEE 1149.1回路を制御する入力端子です。バウンダリ・ス キャン（IEEE 1149.1）を使用しない場合は、この端子は開 放してください（内部に10kΩのプルアップ抵抗を接続して います）。

1.8 PHYアドレス・インタフェース

(1/3)

端子名	端子番号	I/O	IEEE 1149.1 サポート	機能
PHYAD [0] (LBEN)	49	IO	○	<p>PHYアドレス [0] :</p> <p>MIIに複数のμ PD72840A (PHY) を接続するアプリケーションにおいて各PHYを識別するアドレスを設定します。この端子は、このPHYアドレスのLSB (bit0) を指定します。PHYアドレスの設定はこの端子に抵抗 (通常4.7 kΩ) を介してGNDあるいはVccにプルダウン/プルアップ接続することによって行います。</p> <p>この端子のプルアップ/プルダウンされた状態は、電源立ち上げ/リセット時にラッチされ、PHYアドレス・レジスタ (アドレス19H) に反映されます。</p> <p>またこの端子は、100 MbpsのシリアルPMDインタフェースに対するループバック・イネーブル端子としても機能します (1.2 100 MbpsシリアルPMDインタフェースを参照してください)。</p>
PHYAD [1] (ENCSEL)	53	IO	○	<p>PHYアドレス [1] :</p> <p>MIIに複数のμ PD72840A (PHY) を接続するアプリケーションにおいて各PHYを識別するアドレスを設定します。この端子は、このPHYアドレスのビット1を指定します。PHYアドレスの設定は、この端子に抵抗 (通常4.7 kΩ) を介してGNDあるいはVccにプルダウン/プルアップ接続することによって行います。</p> <p>この端子のプルアップ/プルダウンされた状態は、電源立ち上げ/リセット時にラッチされ、PHYアドレス・レジスタ (アドレス19H) に反映されます。</p> <p>またこの端子は、100 MbpsのシリアルPMDインタフェースに対するエンコード選択のための出力端子としても機能します (1.2 100 MbpsのシリアルPMDインタフェースを参照してください)。</p>

(2/3)

端子名	端子番号	I/O	IEEE 1149.1 サポート	機能
PHYAD [2] (CRS)	66	I/O, 3ステート	○	<p>PHYアドレス [2] :</p> <p>MIIに複数のμ PD72840A (PHY) を接続するアプリケーションにおいて各PHYを識別するアドレスを設定します。この端子は、このPHYアドレスのビット2を指定します。PHYアドレスの設定は、この端子に抵抗 (通常4.7kΩ) を介してGNDあるいはVccにプルダウン/プルアップ接続することによって行います。</p> <p>この端子のプルアップ/プルダウンされた状態は、電源立ち上げ/リセット時にラッチされ、PHYアドレス・レジスタ (アドレス19H) に反映されます。</p> <p>またこの端子は、100 MbpsのMIIインタフェースに対するキャリア・センス端子としても機能します (1.2 100 MbpsシリアルPMDインタフェースを参照してください)。</p>
PHYAD [3] (SPEED_100)	89	I/O	×	<p>PHYアドレス [3] :</p> <p>MIIに複数のμ PD72840A (PHY) を接続するアプリケーションにおいて各PHYを識別するアドレスを設定します。この端子は、このPHYアドレスのビット3を指定します。PHYアドレスの設定は、この端子に抵抗 (通常4.7kΩ) を介してGNDあるいはVccにプルダウン/プルアップ接続することによって行います。</p> <p>この端子のプルアップ/プルダウンされた状態は、電源立ち上げ/リセット時にラッチされ、PHYアドレス・レジスタ (アドレス19H) に反映されます。</p> <p>この端子は、その他のPHYアドレス端子と異なり、単独機能の端子となっています。PHYアドレスを設定する際の選択として最良な方法は、この端子に0を設定しないことです。これは、その他の端子を仮にすべてプルダウン接続としたとき、この端子も0に設定するとPHYアイソレーション・モードとなるためです。詳細については、3.2 基本モード・コントロール・レジスタ (BMCR) を参照してください。</p> <p>この端子は、周辺回路の制御などに使われる、SPEED_100端子としても機能します (1.2 100 MbpsシリアルPMDインタフェースを参照してください)。</p>

(3/3)

端子名	端子番号	I/O	IEEE 1149.1 サポート	機 能
PHYAD [4] (RX_ER)	63	I/O, 3ステート	○	PHYアドレス [4] : MIIに複数のμ PD72840A (PHY) を接続するアプリケーションにおいて各PHYを識別するアドレスを設定します。この端子は、このPHYアドレスのビット4を指定します。PHYアドレスの設定は、この端子に抵抗 (通常4.7kΩ) を介してGNDあるいはVccにプルダウン/プルアップ接続することによって行います。 この端子のプルアップ/プルダウンされた状態は、電源立ち上げ/リセット時にラッチされ、PHYアドレス・レジスタ (アドレス19H) に反映されます。 またこの端子は、100 MbpsのMIIインタフェースに対する受信エラー端子としても機能します (1.2 100 MbpsシリアルPMDインタフェースを参照してください)。

PHYAD [4 : 0] 端子によってμ PD72840Aに32個の固有アドレスを割り当ててください。

ただし、オール“0”を設定するとμ PD72840Aは、PHYアイソレーション状態になります。詳細は、3.2 基本モード・コントロール・レジスタ (BMCR) アドレス00Hのアイソレーション・ビットを参照してください。

1.9 リセット端子

端子名	端子番号	I/O	IEEE 1149.1 サポート	機 能
RESET	44	I	○	リセット : この端子にハイ・レベル信号を入力するとμ PD72840Aが初期化されます。
★ LOWPWR	3	I	○	低電力モード選択 : この端子にハイ・レベルを入力すると、低電力モードがアクティブになります (100 Mbps動作モード時のみ)。

1.10 電源およびグランド端子

μ PD72840AのVccおよびGND端子のペアは、次の4つのグループに分けられます。

- (1) グループA…TTL/CMOS入力端子用電源
- (2) グループB…TTL/CMOS出力端子用電源
- (3) グループC…10 Mbps通信インタフェース用電源
- (4) グループD…100 Mbps通信インタフェース用電源

これらのグループは、電源およびGNDのレイアウト、フィルタリングを考えるうえで十分注意する必要があります。

VccおよびGNDに関するレイアウトなどの注意事項については、4. μ PD72840Aアプリケーションを参照してください。

端子名	端子番号	機能
グループA : TTL/CMOS入力端子用電源		
IOVcc1, IOGND1	96, 97	TTL入力/出力端子用電源 # 1
IOVcc2, IOGND2	39, 40	TTL入力/出力端子用電源 # 2
IOVcc3, IOGND3	51, 52	TTL入力/出力端子用電源 # 3
PCSVcc, PCSGND	70, 71	フィジカル・コーディング・サブレイヤ (PCS) 用電源
グループB : TTL/CMOS出力端子用電源		
IOVcc4, IOGND4	59, 60	TTL入力/出力端子用電源 # 4
RCLKGND	61	受信クロック用グランド (Vccペアはありません)
IOVcc5, IOGND5	68, 69	TTL入力/出力端子用電源 # 5
IOVcc6, IOGND6	79, 80	TTL入力/出力端子用電源 # 6
REFVcc, REFGND	84, 85	25 MHzクロック供給用電源
グループC : 10 Mbps通信インタフェース用電源		
RXVcc, RXGND	18, 19	受信回路ブロック用電源
TDVcc, TDGND	22, 27	送信回路ブロック用電源
PLLVcc, PLLGND	31, 30	PLL回路用電源
OVcc, OGND	32, 35	内部発振器用電源
グループD : 100 Mbps通信インタフェース用電源		
ANAVcc, ANAGND	9, 10	アナログ回路用電源
CRMVcc, CRMGND	12, 11	クロック・リカバリ・モジュール (CRM) 用電源
ECLVcc	15	ECL出力端子用電源 (GNDペアはありません)
CGMVcc, CGMGND	87, 88	クロック・ジェネレータ・モジュール (CGM) 用電源

1.1.1 未定義端子

これらの端子は、将来のアップグレードに備えた予約端子です。

端子名	端子番号	IEEE 1149.1 サポート	機 能
NC	13 14 83	×	ノーコネクト： この端子は、将来のための予約端子です。この端子は何も接続せず、開放状態としてください。
RES_0	4	×	リザーブ_0： この端子は、将来のための予約端子です。この端子は最も近いGNDプレーンに接続してください。将来のアップグレードに備えるため、0Ω抵抗を介してGNDに接続するようにしてください。
RES_0	48 90 45	○	リザーブ_0： この端子は、将来のための予約端子です。この端子は最も近いGNDプレーンに接続してください。将来のアップグレードに備えるため、0Ω抵抗を介してGNDに接続するようにしてください。

2. 機能説明

μ PD72840Aは、100BASE-Tのフィジカル・コーディング・サブレイヤ（PCSレイヤ）と10BASE-Tトランシーバを内蔵しており、これらを1チップに集積しています。

μ PD72840Aは、IEEE 802.3uで規定された100BASE-Xおよび10BASE-Tの両方のネットワークに対して、PCSレイヤとメディア・アクセス・コントロール（MAC）との間をインタフェースするメディア・インディペンデント・インタフェース（MII）を備えています。

また、μ PD72223をはじめとする100 Mbpsのフィジカル・メディア・ディペンデント（PMD）用トランシーバに接続するためのインタフェースも備えています。

100BASE-Xの制御部は、次に示す4つのブロックで構成されています。

- (1) 送信部（トランスミッタ）
- (2) 受信部（レシーバ）
- (3) クロック・ジェネレータ・モジュール（CGM）
- (4) クロック・リカバリ・モジュール（CRM）

詳細については、各項目の説明を参照してください。

また、10BASE-Tの制御部には、フィルタおよびマンチェスタ・エンコーダ・デコーダ（ENDEC）を含む10 Mbpsの通信を実現するすべてのトランシーバ・モジュールを内蔵しています（2.7 10BASE-Tトランシーバ・モジュールを参照してください）。

100BASE-Xおよび10BASE-Tのブロックは、それぞれ次の機能ブロックを共通に使用しています。

- (1) PCS制御部
- (2) MIIによるレジスタ・アクセス
- (3) IEEE 1149.1コントローラ
- (4) IEEE 802.3uオートネゴシエーション

2.1 PCS制御部

IEEE 802.3u 100BASE-Xでは、送信、受信およびキャリア検出の機能を実現するフィジカル・コーディング・サブレイヤ（PCS）の仕様が規定されています。これらの機能は、μ PD72840Aに内蔵され、外部抵抗およびMIIのシリアル・マネージメント・インタフェースを介して設定される内部レジスタによって制御されます。

2.1.1 100BASE-Xトランシーバ内ブロックのバイパス

μ PD72840Aには、多様なアプリケーションに対応するための高い柔軟性をもった送信および受信チャンネル・アーキテクチャがあります。具体的には、μ PD72840Aの100BASE-Xトランシーバ内の送信、受信チャンネル内の主な機能ブロックをバイパスすることで、あらゆるアプリケーションに柔軟に対応することができます。次に、各機能の詳細について説明します。

(1) 4B5Bエンコーダおよび5B4Bデコーダのバイパス

100BASE-Xトランシーバについて、送信チャンネル内の4B5Bコード・グループ・エンコーダおよび受信チャンネル内の5B4Bデコーダは、LBREMR（アドレス18H）のBP_4B5B（ビット14）がセットされることによって、バイパスされます。このビットのデフォルト値は電源立ち上げ/リセット時に100番ピンのBP4B5B端子をラッチ、セットされます。このモードでの動作は、2.1 2.2 透過モードを参照してください。

(2) スクランプラおよびディスクランブラのバイパス

送信チャンネル内のスクランブラおよび受信チャンネル内のディスクランブラは、LBREMR（アドレス18H）のBP_SCR（ビット13）がセットされることによって、バイパスされます。このビットのデフォルト値は電源立ち上げ/リセット時に1番ピンのBPSCR端子をラッチ、セットされます。このバイパス機能は、データ・スクランブラを必要としない100BASE-FXを実現するための機能です。

(3) NRZIエンコーダ/デコーダのバイパス

送信チャンネル内のNRZIエンコードおよび受信チャンネル内のNRZIデコーダは、LBREMR（アドレス18H）のNRZI_EN（ビット15）がセットされることによって、バイパスされます。このビットのデフォルト値は“1”で、NRZIエンコーダ/デコーダはバイパスされず、エンコーディング/デコーディング動作はイネーブルとなっています。このバイパス機能はテストの目的で設けられているもので、通常の100BASE-X動作では使用しません。

(4) すべての機能をバイパス（バイパス・アライン）

送信チャンネル内のすべての機能（4B5Bコード・グループ・エンコーダおよびスクランブラ、NRZIエンコーダ）および受信チャンネル内のすべての機能（5B4Bコード・グループ・デコーダおよびディスクランブラ、NRZIデコーダ）は、LBREMR（アドレス18H）のBP_ALIGN（ビット12）がセットされることによって、すべてバイパスされます。このビットのデフォルト値は電源立ち上げ/リセット時に99番ピンのBPALIGN端子をラッチ、セットされます。

このバイパス機能は、これらの送信および受信チャンネルの機能を必要としないリピータ・アプリケーションのために使用されます。このモードでの動作は、2.1 2.3 Phaserモードを参照してください。

2.1.2 リピータ・モード

μ PD72840Aのキャリア・センス (CRS) 動作は、PCR (アドレス17H) のREPEATER (ビット12) の設定によって異なります。このビットに“1”がセットされると66番ピンのCRS信号は受信のみアクティブ状態となります。また、“0”がセットされると送信および受信のいずれかがアクティブのときにCRS信号をアクティブとします。このビットのデフォルト値は電源立ち上げ/リセット時に47番ピンのREPEATER端子によってセットされます。

10 Mbps動作においてリピータ・モードが選択されたとき、CRS信号以外の機能は、その影響を受けません。10 Mbpsリピータ・モードにおいては、CRS信号は、受信がアクティブのときのみ反応します。

100 Mbps動作においてリピータ・モードが選択されたときには、次の3つに影響を及ぼします。まず10 Mbpsリピータ・モードと同じように、CRS信号は、受信がアクティブのときのみ反応するようになります。

次に、SSD (Start of Delimiters) の不良を検出して報告するために、CIM (Carrier Integrity Monitor) 機能が、自動的にイネーブルになります。

最後に、ジャバ・イベントにおけるCRS信号のディスエーブル動作に影響を与えます。リピータ・モードが選択されると、722 μsを越えるジャバ・イベントが発生してもCRS信号はイネーブルのままです。これにより、リピータ・コントローラ・デバイスでは、正しいジャバ・イベントの受け渡しが容易になります。

2.1.3 MIIの制御

μ PD72840AのMIIでは、次の3つの基本的な動作モードがあります。

- ・ 100 Mbps動作
- ・ 10 Mbpsニブル転送動作
- ・ 10 Mbpsシリアル転送動作

(1) 100 Mbps動作

100 Mbpsモードでは、MIIは25 MHzのクロックをもとにニブル・データ (4または5ビット) をMAC層へ転送します。このクロックは、バイパス機能に影響されずに独立しています。

通常の動作 (バイパス・モードでない状態) では、データはRXD [3:0] およびTXD [3:0] 上を4ビット幅で転送されます。バイパス・モード (BP4B5BあるいはBPALIGN端子がハイ・レベル) では、データは5ビット幅 (コード・グループ) で転送されます。

下位4ビットでは、通常モード時と同様、RXD [3:0] およびTXD [3:0] 上で転送されます。

MSBビット (TXD [4] とRXD [4]) は、それぞれTX_ERとRX_ER端子上で転送されます。

(2) 10 Mbpsニブル転送動作

10 Mbpsニブル・モードでは、MIIは2.5 MHzのクロックをもとにニブル・データ (4ビット) を転送します。10 Mbps動作では、100BASE-Xのバイパス機能は用いることはできません。

(3) 10 Mbpsシリアル転送動作

10 Mbps転送でシリアルのリピータ・コントローラをベースとしたアプリケーションにおいて、μ PD72840Aは10 MHzのクロックをもとにTXD [0] 上のシリアル・データを受け入れ、またRXD [0] 上にシリアル・データを出力します。このモードのときは、使用されないMII入力および出力は無視されます (TXD [3:1] とRXD [3:1])。PCS制御信号、CRS、COL、TX_ER、RX_ER、RX_DVの各信号は、通常のまま機能します。

このモードは、10BTSR (アドレス1BH) の10BT_SER (ビット9) がセットされることによって、選択されます。このビットのデフォルト値は電源立ち上げ/リセット時に98番ピンの10BTSER端子によってセットされます。

2.2 MIIのシリアル・マネージメントによるレジスタ・アクセス

MI Iの仕様では、MDCとMDIOのシリアル・マネージメント・インタフェースの端子を介して、16ビット幅×32個の制御およびステータス・レジスタにアクセスするように規定されています。

μ PD72840Aでは、MI Iで規定されたすべてのレジスタおよびオプションとして利用可能なレジスタを備えています。

これらのレジスタの詳細は、3. レジスタで説明しています。次にシリアル・マネージメントによるレジスタ・アクセス動作について説明します。

2.2.1 シリアル・マネージメント・アクセス・プロトコル

シリアル・コントロール・インタフェースには、マネージメント・データ・クロック (MDC) とマネージメント・データ・インプット/アウトプット (MDIO) 端子の2つの端子があります。

MDCの最高クロック周波数は、2.5MHzです。MDIOは双方向の信号であり、最大32個のPHYデバイスによる共有使用が可能です。MDIO上で転送されるフレームのフォーマットを表2-1 MIIシリアル・マネージメントのフレーム・フォーマットに示します。

MDIO端子は、オープン・コレクタ出力であるためプルアップ抵抗 (1.5 kΩ) が必要です。このプルアップ抵抗によって、アイドル時、MDIO信号はハイ・レベルとなります。ノードのマネージメント機能は、それぞれの転送を開始する前に32ビットの連続した“1”のパターンをMDIO上に送出し、μ PD72840Aが同期を確立するよう機能します。このプリアンブルは、連続したMDC : 32個のクロック・サイクルごとにMDIO信号をハイ・レベルにするか、MDC : 32クロックに相当する時間の間、MDIO信号に付けられたプルアップ抵抗でハイ・レベル状態にしておくことで作られます。μ PD72840Aは、これらの転送に対するレスポンスを返す前には、このシーケンスを受信するまでウェイト状態にあります。一度初期化されれば、次に電源投入/リセットされるまで、プリアンブル・シーケンスは必要ありません。

スタート・コードは、“01”パターンとなります。これによって、MDIO信号をアイドル状態からリード/ライト・シーケンスの状態に遷移させます。

リード動作では、レジスタ・アドレス・フィールドとデータ・フィールドの間のターンアラウンド・フィールドの1ビット目をアイドルとします。このリード動作におけるターンアラウンド・フィールドの1ビット目は、その他のアクティブなデバイスが誤ってMDIOをドライブしないようにしています。PHYアドレスによって選択されたμ PD72840Aは、ターンアラウンド・フィールドの2ビット目に“0”をドライブします。

図2-1は、通常のMI Iレジスタ・リード・アクセスにおける、MACデバイス (MAC) とμ PD72840A (PHY) 間でドライブあるいは受信される、MDCとMDIOのタイミング関係について示しています。

ライト動作では、PHYアドレスで指定されたμ PD72840AがデータをライトするためMDIO上のターンアラウンド動作は、必要ありません。ターンアラウンド・フィールドには、マネージメント側から“10”の2つのビットが挿入されます。

図2-2は、通常のMI Iレジスタ・ライト・アクセスにおけるタイミング関係を示しています。

表2-1 MIIシリアル・マネージメントのフレーム・フォーマット

	マネージメント・フレーム・フィールド							
	アイドル	スタート	オペレーション	PHYアドレス	レジスタ	ターンアラウンド	データ	アイドル
リード動作	Hi-Z	01	10	AAAAA	RRRRR	Z0	DDDDDDDDDDDDDDDD	Hi-Z
ライト動作	Hi-Z	01	01	AAAAA	RRRRR	10	DDDDDDDDDDDDDDDD	Hi-Z

備考 A/R/D : 0または1の値

図 2-1 MDC/MDIOリード・オペレーション

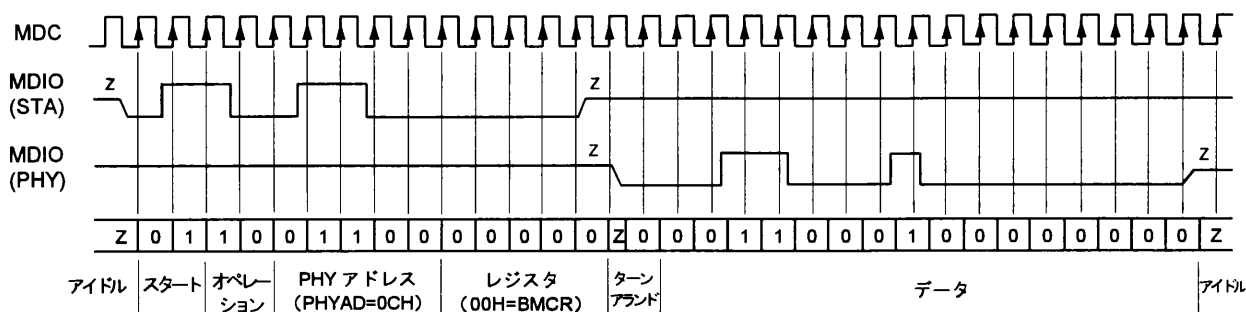
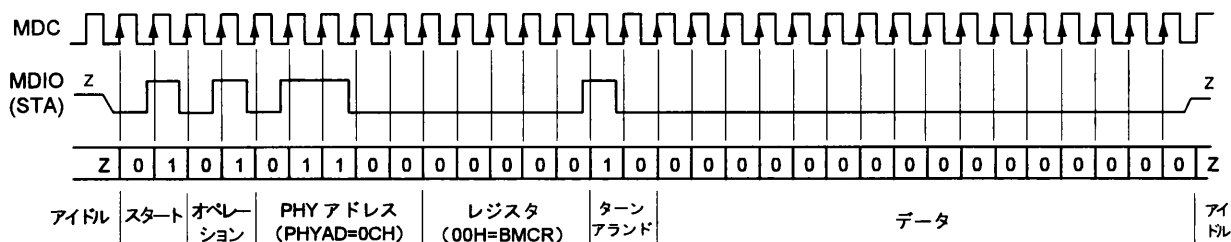


図 2-2 MDC/MDIOライト・オペレーション



★ (1) プリアンプルの抑制

μ PD72840Aは、プリアンプル抑制モードをサポートしており、このモードは基本モード・ステータス・レジスタ (BMSR, アドレス01H) のビット6が1であることで示されます。MACコントローラなどのステーション・マネージメント部が、このビットの1を検出し、システム内のPHYデバイスすべてがプリアンプル抑制機能をサポートしていると判断した場合、ステーション・マネージメント部では、MIIマネージメント処理ごとにプリアンプルを発生させる必要はありません。

μ PD72840Aは、電源投入/リセットに続いて、1回の32ビット・プリアンプル初期化シーケンスを必要とします。通常、このプリアンプルは、MDIO信号に接続されたプルアップ抵抗か、プリアンプル抑制機能をサポートしていると判断したMACコントローラにより与えられます。

2.2.2 PHYアドレス認識

μ PD72840Aには、MIIからのアクセスに回答するために32個のPHYアドレスの中から一つのPHYアドレスを割り当てることができます。MIIに接続されるμ PD72840Aのそれぞれに固有のアドレスを割り当てなければいけないことに注意してください。また、アドレスとして<00000>を選んだ場合は、MIIアイソレート・モードとなります。シリアル・マネージメント・アクセスには影響を与えません。

μ PD72840Aには5ビットのPHYアドレス端子があり、システムの電源立ち上げ/リセット時にラッチされ、PHYアドレス・レジスタに格納されます。これらの端子については、1.8 PHYアドレス・インタフェースを参照してください。PHYアドレス端子のラッチ・タイミングについては、2.10 リセット動作を参照してください。

2.2.3 MIIマネージメント

MIIは、10/100 MbpsシステムにおいてMACあるいはリピータ・デバイスとPHYデバイスを接続するために使用されます。MIIのマネージメント・インタフェースは、複数のPHYデバイスのコンフィギュレーション制御、ステータスおよびエラー情報の収集し、接続されたPHYのタイプおよび能力を決定します。

★ 2.2.4 MIIアイソレート・モード

IEEE 802.3uで規定されたMIIインタフェースで接続される100BASE-X PHYデバイスには、基本モード・コントロール・レジスタ (BMCR, アドレス00H) のビット10に1をデフォルト値として持つことが要求されています。電源投入/リセット時にPHYアドレスが<00000>に設定されていると、μ PD72840Aはこのビットを1に設定し、それ以外の場合には0を設定します。

BMCRレジスタのビット10を1に設定すると、μ PD72840Aは、TXD [3 : 0], TX_ENおよびTX_ER端子にある入力信号には応答せず、TX_CLK, RX_CLK, RX_DV, RX_ER, RXD [3 : 0], COLおよびCRS端子の出力はハイ・インピーダンスとなります。CLK_25M端子の出力はアクティブなままであるため、シリアル・マネージメント・アクセスには応答します。

アイソレート・モードの間、TD±, TXU±, TXS±の各端子は、ディスエーブルされます。RD±, RXI±端子の入力は無視され、何の影響も与えません。

2.3 100BASE-Xトランスミッタ

100BASE-Xの送信部には、MIIから与えられた4ビット・データをスクランブル化し、125 Mbpsのシリアル・データ・ストリームに変換するための機能ブロックがあります。このデータ・ストリームは、μ PD72223のようなツイスト・ペア・ケーブル用PMDを用いた100BASE-TXアプリケーションや、あるいは100BASE-FXアプリケーション用のPMDへ送り出されます。図2-3に100BASE-Xトランスミッタ内にある機能ブロックの概要を示します。

トランスミッタは、次の3つの機能ブロックで構成されています。

- (1) コード・グループ・エンコーダ/インジェクション・ブロック
- (2) スクランブラ・ブロック
- (3) NRZ-NRZIエンコーダ・ブロック

各ブロックは、バイパス設定が可能です。

100BASE-Xトランスミッタ内部の各ブロックに対するバイパス・オプションは、データ変換を必要としない100 Mbpsリピータのようなアプリケーションに対して柔軟に機能します。

2.3.1 100 Mbps送信ステート・マシン

μ PD72840Aは、IEEE 802.3uドラフトの第24節で規定された100BASE-Xの送信ステート・マシンを内蔵しています。

2.3.2 コード・グループ・エンコーダ/インジェクション・ブロック

コード・グループ・エンコーダは、MACで生成された4ビット幅二ブル・データ(4B)を5ビット・コード・グループ(5B)に変換します。この変換では、制御データとパケット・データを区別するためにそれぞれ異なるコード・グループを割り当てるために必要となります。表2-2に4Bから5Bへのコード・グループ・マッピングを示します。

コード・グループ・エンコーダは、MACフレームのプリアンブル・パターンの最初の8ビットをJ/Kコード・グループ・ペア(11000/10001)に置き換えます。その後コード・グループ・エンコーダは、MACから入力される4ビット・コードを対応する5ビット・コード・グループに置き換え続けます。パケットの送信が完了すると、コード・グループ・エンコーダはフレームの最後を表すT/Rコード・グループ・ペア(01101/00111)を生成し送信します。

以後、コード・グループ・エンコーダは次の送信パケットを検出するまで、送信データ・ストリーム上にIDLEコード・グループを送出し続けます。

★ 図 2-3 100BASE-X トランスミッタ

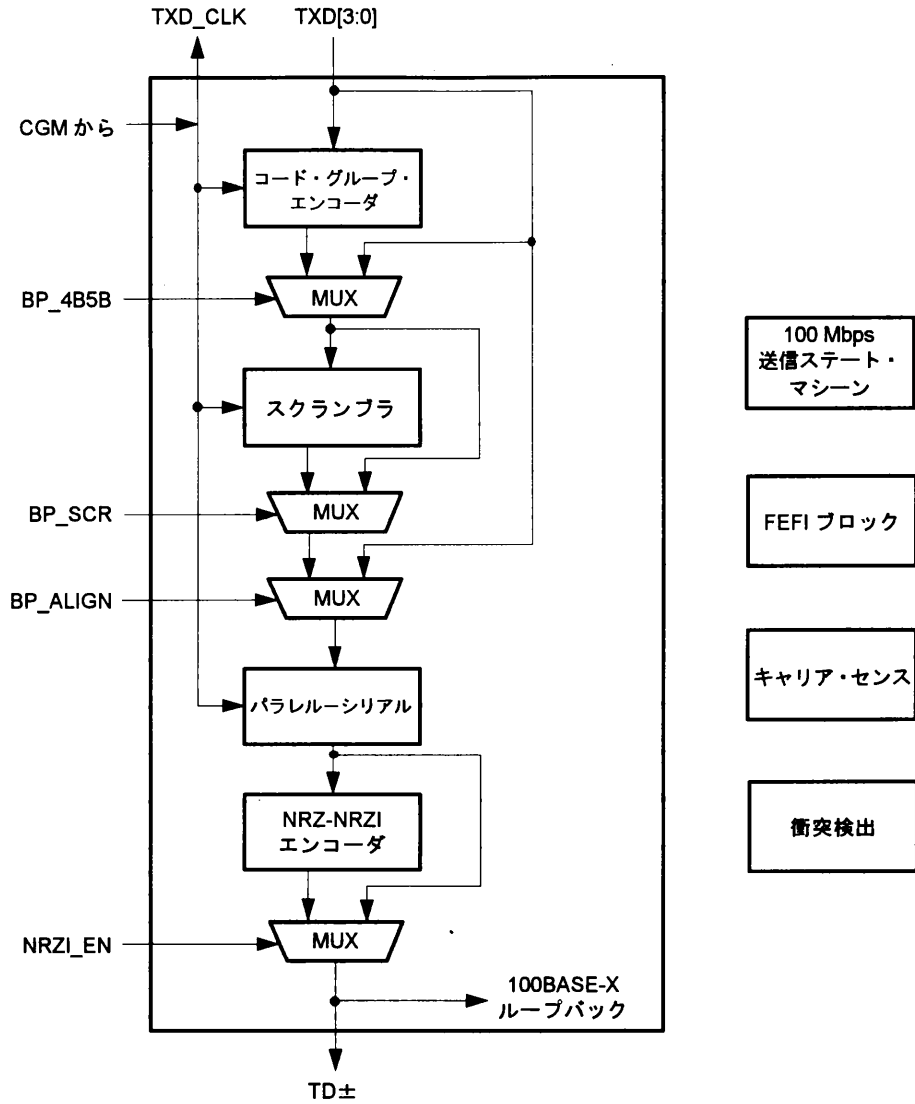


表 2-2 4B5Bコード・グループ・エンコード/デコード

名 称	PCS 5Bコード・グループ	MII 4Bニブル・コード
データ・コード		
0	11110	0000
1	01001	0001
2	10100	0010
3	10101	0011
4	01010	0100
5	01011	0101
6	01110	0110
7	01111	0111
8	10010	1000
9	10011	1001
A	10110	1010
B	10111	1011
C	11010	1100
D	11011	1101
E	11100	1110
F	11101	1111
アイドルおよび制御コード		
H	00100	HALTコード・グループ
I	11111	IDLEコード・グループ (フレーム間ギャップ) -0000 ^{注1}
J	11000	スタート・オブ・ストリーム・デリミタ (SSD) の前半-0101 ^{注1}
K	10001	スタート・オブ・ストリーム・デリミタ (SSD) の後半-0101 ^{注1}
T	01101	エンド・オブ・ストリーム・デリミタ (ESD) の前半-0000 ^{注1}
R	00111	エンド・オブ・ストリーム・デリミタ (ESD) の後半-0000 ^{注1}
無効コード		
V	00000	0110または0101 ^{注2}
V	00001	0110または0101 ^{注2}
V	00010	0110または0101 ^{注2}
V	00011	0110または0101 ^{注2}
V	00101	0110または0101 ^{注2}
V	00110	0110または0101 ^{注2}
V	01000	0110または0101 ^{注2}
V	01100	0110または0101 ^{注2}
V	10000	0110または0101 ^{注2}
V	11001	0110または0101 ^{注2}

注 1. RX_ERがアクティブのとき、データ・フィールドと制御コード・グループ I, J, K, T, Rは、無効コードとしてマッピングされます。

2. 通常、無効コード (V) は、RX_ERがアクティブになると、6Hをマッピングします。LBREMRレジスタ (アドレス18H) のCODE_ERRビット (ビット4) がセットされた場合は、RX_ERがアクティブとなると、無効コードは5Hにマッピングされます。

2.3.3 スクランブラ・ブロック

スクランブラは、通信コネクタとツイスト・ペア（100BASE-TXアプリケーションの場合）上に放出されるエネルギー発散を制御するために必要です。データをスクランブルすることで、ケーブルに放出されるエネルギーの総量は、広い周波数範囲にまたがって均一になるようにします。

スクランブルを行わなかった場合、PMDおよびケーブル上におけるエネルギー・レベルは、一定パターンの5Bシーケンスを連続して伝送させたとき（たとえば、IDLEコード・グループの連続転送など）に、最大レベルとなります。

スクランブラは、11ビットの多項式を持つ閉ループのリニア・フィードバック・シフト・レジスタ（LFSR）で構成されています。閉ループLFSRの出力は、コード・グループ・エンコーダから出力されるNRZフォーマットの5BデータとともにXOR演算回路に入力されて、その論理合成結果がスクランブラ出力として出力されます。

以上の結果、特定の周波数におけるエネルギー放出を20 dBも減少させるようなランダムにスクランブル化されたデータ・ストリームを生成することができます。また、スクランブルをかけるときのもともとなる値にPHYID（PHYAD [4 : 0] 端子で設定されるPHYデバイスごとの値）を使うため、複数のPHYデバイスを用いた装置では、エネルギーが広範囲にわたって分散され、EMIを低減させるのに役立ちます。

★ 2.3.4 NRZ-NRZIエンコーダ・ブロック

送信データ・ストリームがスクランブル化され、シリアル変換されたあと、カテゴリ5のUTPケーブル上に100BASE-TXのTP-PMD仕様で規定されたフレーム送信を行うために、データをNRZIフォーマットにエンコードする必要があります。このブロックは、その動作を実現するためのものです。通常の動作の場合、ツイスト・ペアあるいはファイバ・アプリケーションのどちらでも、このエンコーダは必要となります。このエンコーダがバイパスされるのは、システムのテストあるいはディバグのときのみです。

2.3.5 TX_ER信号

TX_EN入力有効である間にTX_ER入力有効になると、μ PD72840AはTXD [3 : 0] 入力のデータの代わりに5BデータとしてHALTコード・グループを用います。しかしSSD(J/K)とESD(T/R)はHALTコード・グループには置き換えません。よってTX_EN入力有効である間にTX_ER入力有効になると、J/KとT/Rデリミタに正しく挟まれ、データ・コード・グループがHALTコード・グループに置き換えられたフレームになります。

★ 2.4 100BASE-Xレシーバ

100BASE-Xレシーバには、IEEE 802.3uドラフトで規定された125 Mbpsの受信データ・ストリームから受信クロックを再生、MACフレームに復元するために必要ないくつかの機能ブロックで構成されています。

125 Mbpsの受信データ・ストリームは、100BASE-TXアプリケーションでは、μ PD72223のようなツイスト・ペア・トランシーバから送られます。また、100BASE-FXアプリケーションでは、光レシーバから受信データ・ストリームが生成されます。

図2-4のブロック・ダイアグラムに100BASE-Xレシーバの各機能ブロックの概要を示します。

レシーバは次の機能ブロックで構成されています。

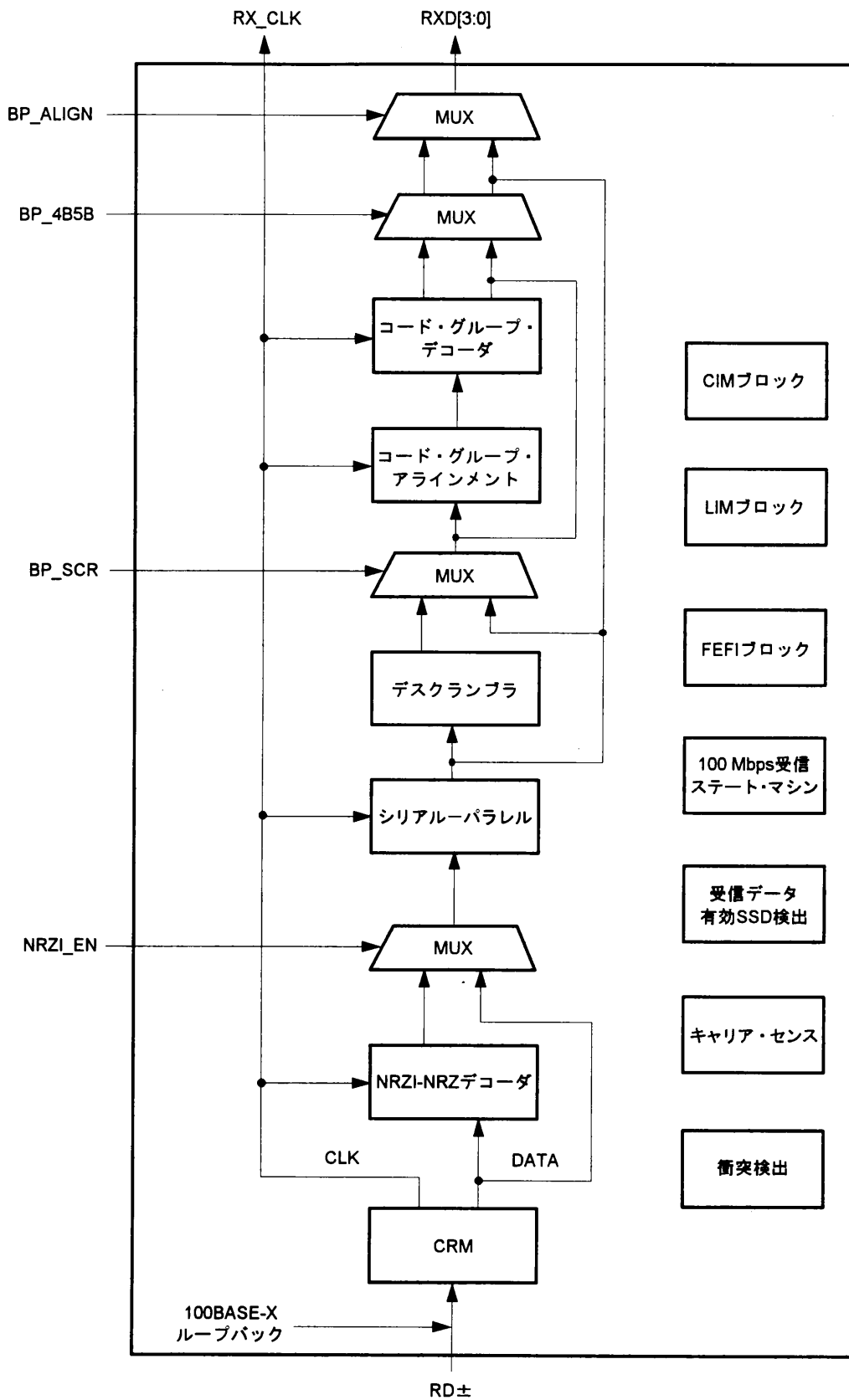
- クロック・リカバリ・ブロック
- NRZI-NRZデコーダ・ブロック^注
- ディスクランブラ・ブロック^注
- コード・グループ・アラインメント・ブロック^注
- 5B/4Bコード・グループ・デコーダ・ブロック^注
- 衝突検出ブロック
- キャリア・センス・ブロック
- 100 Mbps受信ステート・マシン・ブロック
- FEFI(Far End Fault Indication)ブロック
- LIM(Link Integrity Monitor)ブロック
- CIM(Carrier Integrity Monitor)ブロック

注 バイパスを設定することが可能です。

100BASE-Xレシーバの各機能ブロックのバイパス・オプションは、100 Mbpsリピータのようにデータ変換が必ずしも必要でないアプリケーションに対して柔軟に対応します。

★

図 2-4 100BASE-Xレシーバ



2.4.1 クロック・リカバリ・ブロック

クロック・リカバリ・モジュール (CRM) は、外付けのツイスト・ペアやファイバ用のPMDトランシーバから送り出される125 Mbpsのデータ・ストリームを受け入れ、そのデータ・ストリームをもとに125 MHzの受信クロックを抽出します。抽出し、同期化されたクロックとデータは、受信動作に使用されます。

CRMは、アナログ回路ではなく、最新のデジタル・フェーズ・ロック・ループ (PLL) 技術を使って実現しています。

このデジタルPLL回路を使ってμ PD72840Aを設計することで、著しい高性能化の実現に成功しました。

2.4.2 NRZI-NRZデコーダ・ブロック

通常のアプリケーションにおいてNRZI-NRZデコーダは、μ PD72223のようなPMDトランシーバからのデータをディスクランブラ (ディスクランブラがバイパスされた場合には、コード・グループ・アラインメント・ブロック) が必要とするNRZフォーマット・データに変換、供給するために必要となります。これは、PMDトランシーバによって復元された受信データ・ストリームがNRZIフォーマットになっているためであり、そのためディスクランブラへ入力する前にNRZフォーマットにデコードしなければなりません。

2.4.3 ディスクランブラ・ブロック

5ビット (コード・グループ幅) パラレルで構成されたディスクランブラは、受信NRZデータをディスクランブルするために使われます。データをスクランブルする場合の手順と逆になるように、ディスクランブラはスクランブル動作と同様にデータ・スクランブル・シーケンス (N) を生成し、以下に示すXOR演算によってスクランブル・データ (SD) から本来のスクランブルされていないデータ (UD) を復元しなければなりません。

$$SD = UD + N \quad UD = SD + N$$

オリジナルなスクランブル・シーケンス (N) を生成するためのディスクランブラの同期回路は、IDLEコード・グループを含むスクランブル・データ・ストリームをもとに同期します。

ディスクランブラが連続した15個のIDLEコード・グループを受信し (5ビットのNRZフォーマットのIDLEコード・グループは5個の連続する1 (11111) で表されます。)、以降の受信データは受信データ・ストリームに同期、未整列となった5Bコード・グループの非スクランブル・データを生成します。この未整列の5ビット・コード・グループは、コード・グループ・アラインメントで5ビットごと (コード・グループごと) に区切られ、整列されます。

この同期を維持するために、ディスクランブラは、生成する非スクランブル・データの有効性を常に監視する必要があります。このために、常にPMDから入力される信号の同期状態を監視するライン・ステート・モニタと監視タイマが働いています。

ディスクランブラは同期すると、監視タイマ (722 μs) のカウント・ダウンを開始します。この722 μsの期間中に同期するために必要な十分な長さのIDLEコード・グループを検出するとタイマをリセットし、IDLEコード・グループ以外のデータを受信すると新たにカウント・ダウンを再開します。

この監視動作は、ネットワークに接続され、有効な信号を検出している間、継続されます。

722 μsの期間中に、ライン・ステート・モニタが十分な非スクランブルのIDLEコード・グループを検出できなかった場合には、ディスクランブラは同期状態から強制的に抜け出し、再び同期するためにリセットされます。

このタイマのタイムアウトの値は、PCR (アドレス17H) のビット14を1に設定することで、720 μsから2 msに変更することができます。2 msに変更することで、IEEE 802.3に規定されている最大伝送単位 (パケット・サイズ) よりも大きいパケットを使うアプリケーション (スイッチ/ルータ・アプリケーション) でも、ディスクランブラの同期状態を維持することができます。

さらに、このタイマは、PCR（アドレス17H）のビット13を1に設定することで、ディスエーブルすることが可能です。このタイマをディスエーブルすることは、送信スクランブラと受信ディスクランブラの間で同期がとれなくなり、データを正しく変換することができなくなるため、推奨できません。

2.4.4 コード・グループ・アラインメント・ブロック

コード・グループ・アラインメント・モジュールは、ディスクランブラ（ディスクランブラがバイパスされていないものとする）から出力される未整列データを5ビット・データに区切り、さらにこのデータを5Bコード・グループ・データ（5ビット）に変換します。

このコード・グループの整列化動作は、J/Kコード・グループ・ペア（11000, 10001）が検出されたあと開始します。一度、このJ/Kコード・グループ・ペアが検出されるとその後のデータは、5ビット・コード・グループごとに区切り、整列化されます。

2.4.5 5B/4Bコード・グループ・デコーダ・ブロック

コード・グループ・デコーダは、コード・グループ・アラインメントから出力される5ビット・コード・グループを4ビットのニブル・データに変換するルック・アップ・テーブルで構成されています。

コード・グループ・デコーダは、IDLEコード・グループに続く最初のJ/Kコード・グループ・ペア（SSD：スタート・オブ・ストリーム・デリミタ）を検出したとき、J/Kコード・グループを8ビットのMACプリアンブルに置き換えます。すなわち、この10ビットのJ/Kコード・グループ・ペアは“01010101”のニブル・ペアに置き換えられます。そのあと、すべての5Bコード・グループは、パケット全体にわたって、4ビットのニブル・データ（4B）に変換されます。

この変換動作は、ストリームの終わり（ESD：エンド・オブ・ストリーム・デリミタ）を示すT/Rコード・グループ・ペアが検出されるか、少なくとも2個のIDLEコード・グループを受信するまで継続されます。

2.4.6 衝突検出ブロック

100 Mbpsの半二重通信モードにおける衝突検出は、10BASE-Tの場合と同様、MII上のCOL端子で示されます。全二重アプリケーションでは、COL信号はアクティブとなりません。

2.4.7 キャリア・センス・ブロック

キャリア・センス・ブロックにより受信時においては、受信データ・ストリームの任意の10ビット境界中に不連続な2つの“0”を検出すると、CRS端子がアクティブになります。

また送信時においては、μ PD72840AIにTX_EN入力があると、CRS端子がアクティブになります（ただし送信時のキャリア・センス・ブロックの機能は、動作モードにより異なります）。

100 Mbpsの半二重動作モードで、リピータ・モードでない場合には、パケット送信およびパケット受信の両方で、CRS端子をアクティブにします。

リピータ・モード（47番ピンの設定、あるいはPCRレジスタ：アドレス17Hのビット12の設定）では、CRS端子は、パケット受信時のみアクティブとなります。

100 Mbpsの全二重動作時においては、CRS端子の動きはLBREMRレジスタ（アドレス18H）のビット6の設定によります。このビットが0の場合、受信時のみCRS端子がアクティブになり、1の場合には送信時のみでCRS端子がアクティブになります。

受信データ・ストリーム中にIDLEコード・グループ・ペアが検出された場合、CRS端子はインアクティブになります。送信動作によりCRS端子がアクティブになるモードのときには、TX_EN入力がインアクティブになると、ただちにCRS端子がインアクティブになります。

キャリア・センス機能は、コード・グループ・アラインメント機能とは独立しています。

2.4.8 100 Mbps受信ステート・マシン・ブロック

μ PD72840Aには、ANSI/IEEE 802.3u/D5の第24節で規定される100BASE-Xの受信ステート・マシンを内蔵しています。

★ 2.4.9 100BASE-X LIM (Link Integrity Monitor)

100BASE-X LIM (Link Integrity Monitor)機能は、受信部において、信頼性の高いデータを確実に受信するための機能です。確実なデータが受信できない場合、有効なリンク状態を検出するまで、LIMブロックは送信/受信動作を停止します。

オートネゴシエーションがディスエーブルである場合、SD±入力に1回に500μsの間、連続して入力があると、有効なリンク状態であると判断されます。

オートネゴシエーションがイネーブルである場合、有効なリンク状態であるために、次のような制限を必要とします。

- ・リンク初期化が正しく行われるために、ディスクランブラは最小15個のIDLEコード・グループを受信しなければならない。
- ・100BASE-X機能がイネーブルでなければならない。

有効なリンク状態はLED3端子の出力か、基本モード・ステータス・レジスタ (BMSR, アドレス01H) のビット2を読み出すことで、外部で検出することができます。

★ 2.4.10 不良SSDの検出

不良SSD(Start of Stream Delimiter)は、キャリアが検出され (CRS端子アクティブ) , 有効なJ/Kコード・グループ (SSD) が受信されない場合に100BASE-X受信部において起こるエラー状態です。

この状態が検出されると、μ PD72840Aは、少なくとも2個のIDLEコード・グループを検出するまで、5Bコード・グループを受信するサイクルに合わせてMII上でRX_ER信号をアクティブにし、RXD [3 : 0] に1110を出力します。さらにフォールス・キャリア・センス・イベント・カウンタ (アドレス12H) とRX_ERカウンタ (アドレス15H) を1回、インクリメントします。

いったん最低2個のIDLEコード・グループを検出すると、RX_ERとCRS端子は、インアクティブになります。

透過モードの場合 (4B5Bのコード変換をバイパスした場合) , RX_ER端子はRXD [4] 端子として使用され、不良SSD検出時には、RXD [4 : 0] =11110となります。

LBREMRレジスタのビット12が1のとき (コード・グループ・アラインメント機能がバイパスされたとき) , RXD [3 : 0] (RXD [4]) , RX_ERの各端子では、LBREMRレジスタのビット15 (不良SSD検出のイネーブル) の設定にかかわらず、その機能は変化しません。

不良SSD検出機能をオフにすることで、IEEE 802.3uに対応しないアプリケーションをサポートします。

★ 2.4.11 FEFI(Far End Fault Indication)機能

オートネゴシエーションは、100BASE-TXにおいて遠隔障害が発生した場合、ローカル・ステーションからリンク・パートナーに対し情報を伝達するメカニズムを備えています。現在のところ、オートネゴシエーション機能はファイバ動作では規定されていないため、FEFI機能により100BASE-FXアプリケーションにおいても100BASE-TX時と同様の機能を実現します。

遠隔障害は一方のステーションが検出したリンク状態を他方が検出できないときに発生するエラーです。例としてステーションの送信部においてケーブルが接続されていない場合があります。この場合、ステーションは有効なデータを受信し、LIMブロックを通じてリンク状態が良好であると検出することはできますが、送信部が他のステー

ションにデータを伝達していないことを検出することはできません。

このような遠隔障害を検出する100BASE-FXステーションでは、送信するIDLEストリームを、すべて“1”の状態から1個の“0”に続く84個の“1”，すなわちデータ0のコード・グループに続く16個のIDLEコード・グループに置き換えます。これをFEFI IDLEパターンと言います。

FEFI機能がPARレジスタ（アドレス19H）によりイネーブルとされると、μ PD72840Aはその時点でのすべての動作を停止し、SD±端子がディスエーブルされるとFEFI IDLEパターンを送信します。FEFI IDLEパターンの送信は、SD±端子がアクティブになるまで続きます。

μ PD72840Aでは3個以上のFEFI IDLEパターンが検出されると、基本モード・ステータス・レジスタ（アドレス01H）のビット4に1がセットされ、ホストにより読み出されるまで1を保持します。FEFIが検出されると、MIIの送信/受信はディスエーブルとなり、無視されます。

この機能は100BASE-FXに対するオプションであり、100BASE-TXではディスエーブルにしてください。

注意 最初のFEFI IDLEパターンは、IDLEコード・グループ送信中にFEFI IDLEパターンが始まったとき、“1”の数が84個を越える場合があります。また、FEFI IDLEパターンはキャリア検出の原因とはなりません。

★ 2.4.1.2 CIM (Carrier Integrity Monitor)

CIM (Carrier Integrity Monitor)機能は、リピータ動作において、誤ったリンク状態により発生する、不正な送信を防ぎます。この機能はリピータ・アプリケーションにおいて必要とされており、ノード・アプリケーションでは規定されておられません。

REPEATER端子（47番ピン）はPCRレジスタ（アドレス17H）のビット5のデフォルト値を設定し、CIM機能をイネーブルにするか、ディスエーブルにするかを決めます。電源投入後またはリセット後は、ソフトウェアにより、リピータ・モードかノード・モードかによって、この機能をイネーブルあるいはディスエーブルします。

CIMブロックにおいてリンク状態が不安定であると判断された場合、μ PD72840Aは受信データやMII制御信号を伝送せず、MIIを通じて送られてきたデータは無視されます。μ PD72840Aは、有効なキャリア・イベントが発生するまで、受信ストリームを監視し続けます。

不安定なリンク状態が検出されると、PARレジスタ（アドレス19H）のビット5が1にセットされます。このビットは、いったん安定したリンク状態がCIMブロックによって検出されると、読み出し動作によりクリアされます。安定なリンク状態が検出されると、μ PD72840Aは再び通常動作を始めます。

ディスコネクト・カウンタ（アドレス12H）は、リンク状態が不安定であるとCIMブロックが判断するごとにカウントされます。

2.5 クロック・ジェネレータ・モジュール (CGM)

μ PD72840Aのクロック・ジェネレータ・モジュール (CGM) は、さまざまな異なるアプリケーションに応じたクロックを生成するように構成されています。このため目標とするデザインに対し最も適したクロック供給を選択することができます。

この節では、デバイスの観点から見たCGMの動作と、アダプタやリピータといったシステムへの応用について説明します。まず、CGMを駆動するための外付けの基準入力すべてにおいて、許容差を50 ppm以下にすることを推奨しています。これはデバイスを正しく初期化するにあたって重要なことであり、100BASE-Xモードのみでμ PD72840Aを使用する場合だけでなく、10BASE-T部分についても、確実に正しいデバイス初期化を行うために、電源投入時あるいはリセット時に与えられるクロックとして供給されるものでなければなりません。OSCIN端子とCLK25M端子の間にある内部2分周回路の状態が、電源投入時およびリセット時において不定であることも気を付けなければなりません。したがって、OSCIN端子に対するCLK25M端子の相対的な位相は、0度の場合と180度の場合の両方があります。

2.5.1 50 MHz基準クロックのみを使用

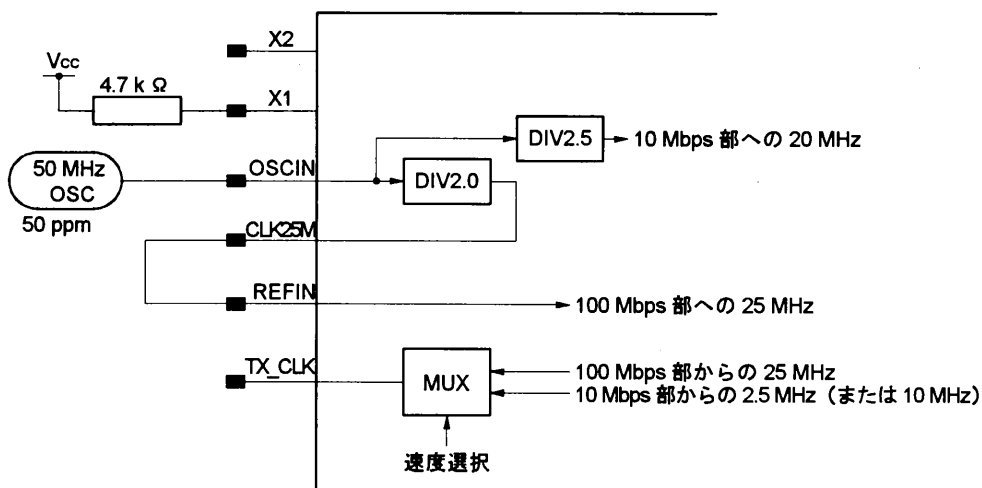
10BASE-T, 100BASE-X, 10/100両対応のときに使用できます。

50 MHz発振器の出力はOSCIN端子に入力され、μ PD72840Aを駆動します。

この基準クロックは、内部で2分周され、CLK25M端子から外部に供給されます。このCLK25M出力を直接REFIN端子に入力することにより、この25 MHzの基準クロックを使って100 Mbps通信モジュールを駆動します。また、50 MHzの信号を内部で2.5分周され、20 MHzの基準クロックとして、直接10 Mbpsモジュールに供給することもできます。この接続例を、図2-5 シングル50 MHz基準クロックに示します。

μ PD72840Aの10BASE-Tモジュールは、X1端子の入力がアクティブでないことを検出すると自動的に20 MHzの基準クロック（内部2.5分周器が生成）に切り替わります。X1端子は、未使用時、Vccにプルアップ（プルアップ抵抗は4.7 kΩを推奨）する必要があります。

図2-5 シングル50 MHz基準クロック



2.5.2 50 MHzと20 MHz基準クロックの両方を使用

10BASE-T,100BASE-X,10/100両対応のときに使用できます。

10 Mbpsモジュールのジッタ性能を向上するために、20 MHzの外部発振器の出力を使ってX1端子をドライブすることができます。

また、20 MHzの水晶振動子をX1とX2端子間に接続して、10 Mbpsモジュールに必要な基準クロックを供給することもできます。この場合、100 Mbpsモジュールは、上記2.5.1で示したように、OSCIN端子に入力される50 MHzクロックから分周して得られる25 MHzの基準クロックをREFIN端子へ入力していなければなりません。接続例を図2-6 50 MHzと20 MHz基準クロックと図2-7 50 MHz基準クロックと20 MHz水晶振動子に示します。

図2-6 50 MHzと20 MHz基準クロック

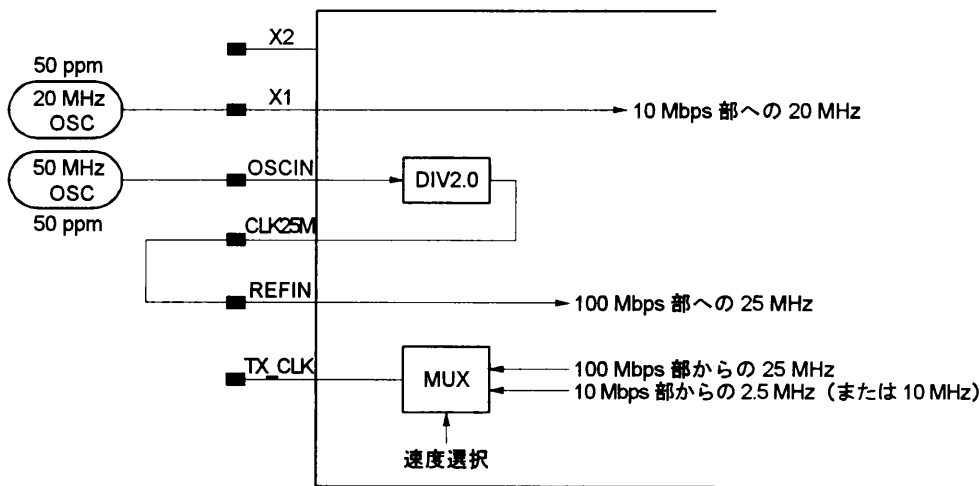
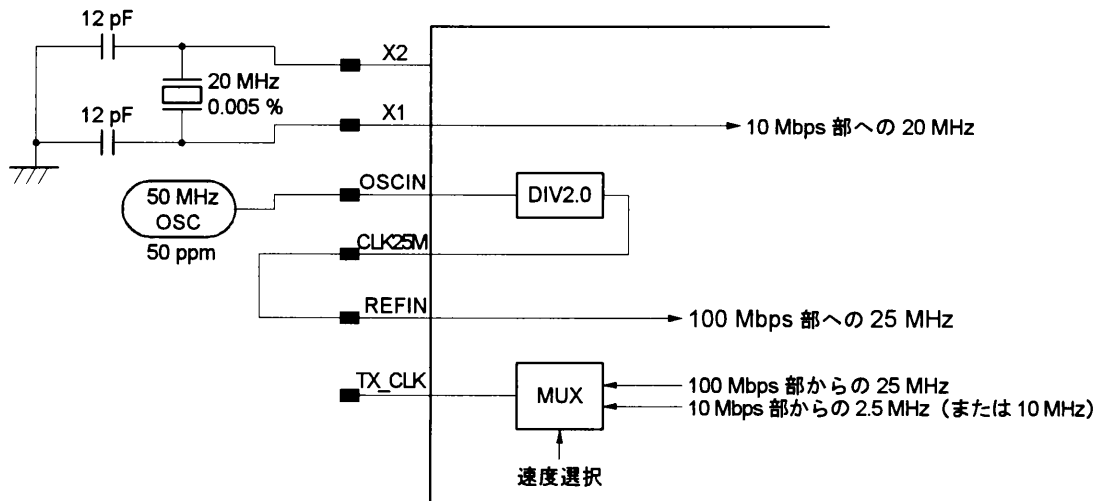


図2-7 50 MHz基準クロックと20 MHz水晶振動子



2.5.3 25 MHzと20 MHz基準クロックの両方を使用

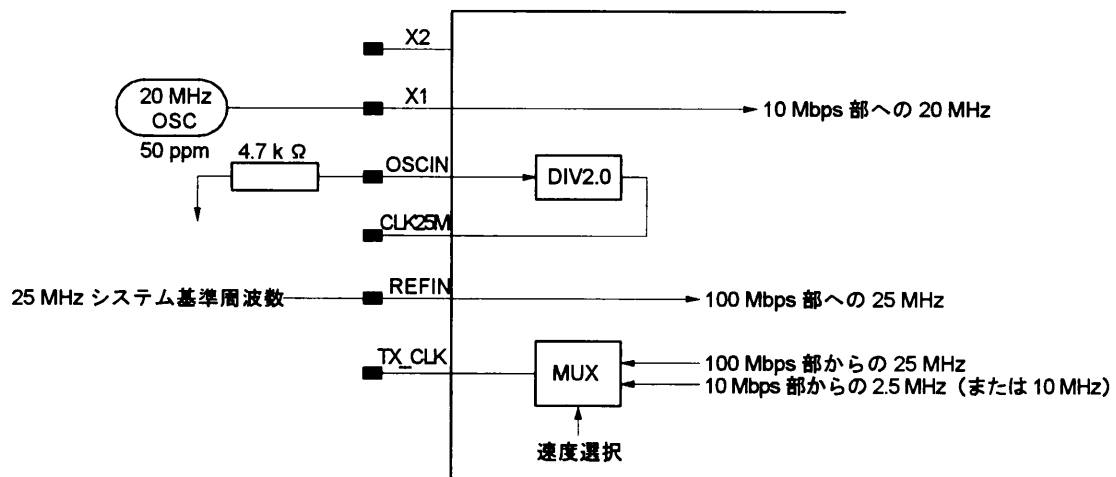
10BASE-T,100BASE-X,10/100両対応のときに使用できます。

上記で説明した50 MHz基準クロックの代わりとして、発振器から供給される25 MHzの基準クロックをREFIN端子に入力し、直接100 Mbpsモジュールをドライブします。

この場合、25 MHz基準クロックとは別にX1とX2端子には、発振器または水晶振動子を用いて20 MHzの基準クロックを供給しなければなりません。接続例を図2-8 25 MHzと20 MHz基準クロックに示します。

このクロック構成において、CLK25M出力は使用しませんので、PCSコンフィギュレーション・レジスタ（アドレス17H）のビット7をセットすることで、ディスエーブル状態にしておくことをお勧めします。

図2-8 25 MHzと20 MHz基準クロック

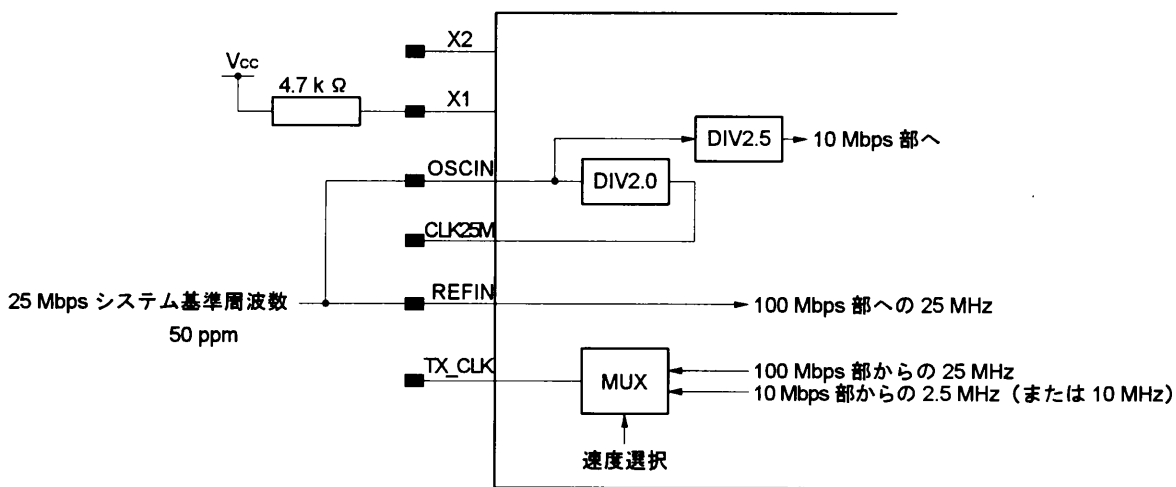


★ 2.5.4 25 MHz基準クロックのみを使用

オートネゴシエーションを使わない100BASE-Xリピータでの適用を目的に、100BASE-Xのみで使用できます。10BASE-T、オートネゴシエーションはこのクロック構成では機能しません。

発振器などから供給される25 MHz基準クロックは、REFIN端子を經由して100 Mbpsモジュールを直接ドライブします。同じ25 MHz基準クロックは、電源投入時またはリセット時に10BASE-Tモジュールを正しく初期化するために、OSCIN端子にも接続しなければなりません。25 MHzクロックが2.5分周されると通常の20 MHz10BASE-T基準クロックは生成されませんが、デバイスの初期化には十分目的を果たすことができます。接続例を図2-9に示します。このクロック構成においてCLK25M出力は使用しませんので、PCSコンフィギュレーション・レジスタ（アドレス17H）のビット7をセットし、ディスエーブル状態にしておくことをお勧めします。

図2-9 シングル25 MHz基準クロック



★ 2.5.5 システム・クロック

μ PD72840Aで生成されるクロックは、シングル・ポートのアダプタ・カードやマルチ・ポート・リピータの設計を容易にすることができます。TX_CLK端子は、1.1 MIIインタフェースで説明したように、MII上のデータをニブル・モードまたはシリアル・モードで受信することができます。

各モードにおけるMII上のTX_CLK信号のクロック・レートは次のようになります。

- ニブル・モード
 - 100 Mbps → TX_CLK = 25 MHz
 - 10 Mbps → TX_CLK = 2.5 MHz
- シリアル・モード
 - 10 Mbps → TX_CLK = 10 MHz

(1) アダプタ・カードにおけるクロックの接続例

ほとんどのシングル・ポートのアダプタ・カード (NIC) のアプリケーションでは、μ PD72840Aを1つ搭載し、MACおよびPMDレイヤに供給するクロックを生成するために、50 MHzの基準クロックを一つ搭載するだけで十分です。この50 MHzの基準クロックにもとづき、μ PD72840Aは10 Mbpsモジュールに供給する20 MHzの内部基準クロックを生成することができます。

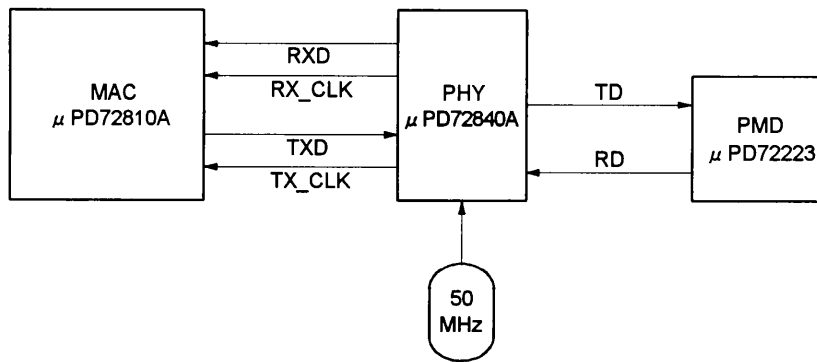
また、μ PD72840Aは100 Mbpsモジュール用に必要な、25 MHzの基準クロックを生成することもできます。100 Mbps動作時には、μ PD72840Aが生成する25 MHzの基準クロックは、TX_CLK端子に出力されます。し

たがって、この端子を使ってMACレイヤ・デバイスと同期させることができます。

10 Mbps動作では、TX_CLK端子はMACレイヤ・デバイスに2.5 MHzまたは10 MHzの基準クロックを供給します。

図2-10 標準的なアダプタ・クロックとデータ接続に、μ PD72840Aを使った標準的なアダプタ・カードにおけるクロックの接続例を示します。

図2-10 標準的なアダプタ・クロックとデータ接続



2.6 100 Mbpsクロック・リカバリ・モジュール (CRM)

クロック・リカバリ・モジュール (CRM) は、10BASE-Xレシーバ内の1ブロックであり、100 Mbpsの通信に必要な受信クロックを抽出します。10BASE-Tで使用する10 Mbpsクロックは、CRMでは抽出しません。

CRMは、RD±端子に入力される125 Mbpsのデータ・ストリーム信号の位相に追従するフェーズ・ロックド・ループ (PLL) 回路を備えています。このデータから、125 MHzの同期クロックを抽出します。MIIから入力されるデータ転送レートは100 Mbpsですが、ツイスト・ペア上のデータ・レートは、内部の4B5Bエンコーダによって、125 Mbpsとなります。

電源投入時、CRMは内部VCOによって、初期クロックを生成、安定供給を行います。その後、データ・ストリームが入力されると、その信号の変化に合うようにクロックの位相を調整します。また、PLLのループ・ゲインの制御を同時に行うことで、フェーズ・ロックが得られるまでのロック・タイムの短縮やジッタの低減を行います。

CRMは、信号検出 (SD±) 入力端子がアクティブになるとPLL動作を開始し、受信データとの位相合わせを行います。SD±端子がインアクティブになると、インアクティブになった直前のデータ・ストリームによってロックされた周波数のままになります。同時にCRMは、受信データ・ストリームに同期した125 MHzのクロックを生成し、10BASE-Xレシーバ内のほかの回路に、クロックとデータの双方を供給します。CRMで生成される受信クロックは、REFIN端子に入力される基準クロック (CGMへ供給) とは、同期していません。

MII上のRX_CLK信号は、100 Mbps動作時にCRMから出力される125 MHzクロックを元に生成されます。このときのRX_CLK信号の周波数は、100 Mbpsのデータを4ビット幅でMACやリピータへ転送するため、25 MHzに設定されます。

2.7 10BASE-Tトランシーバ・モジュール

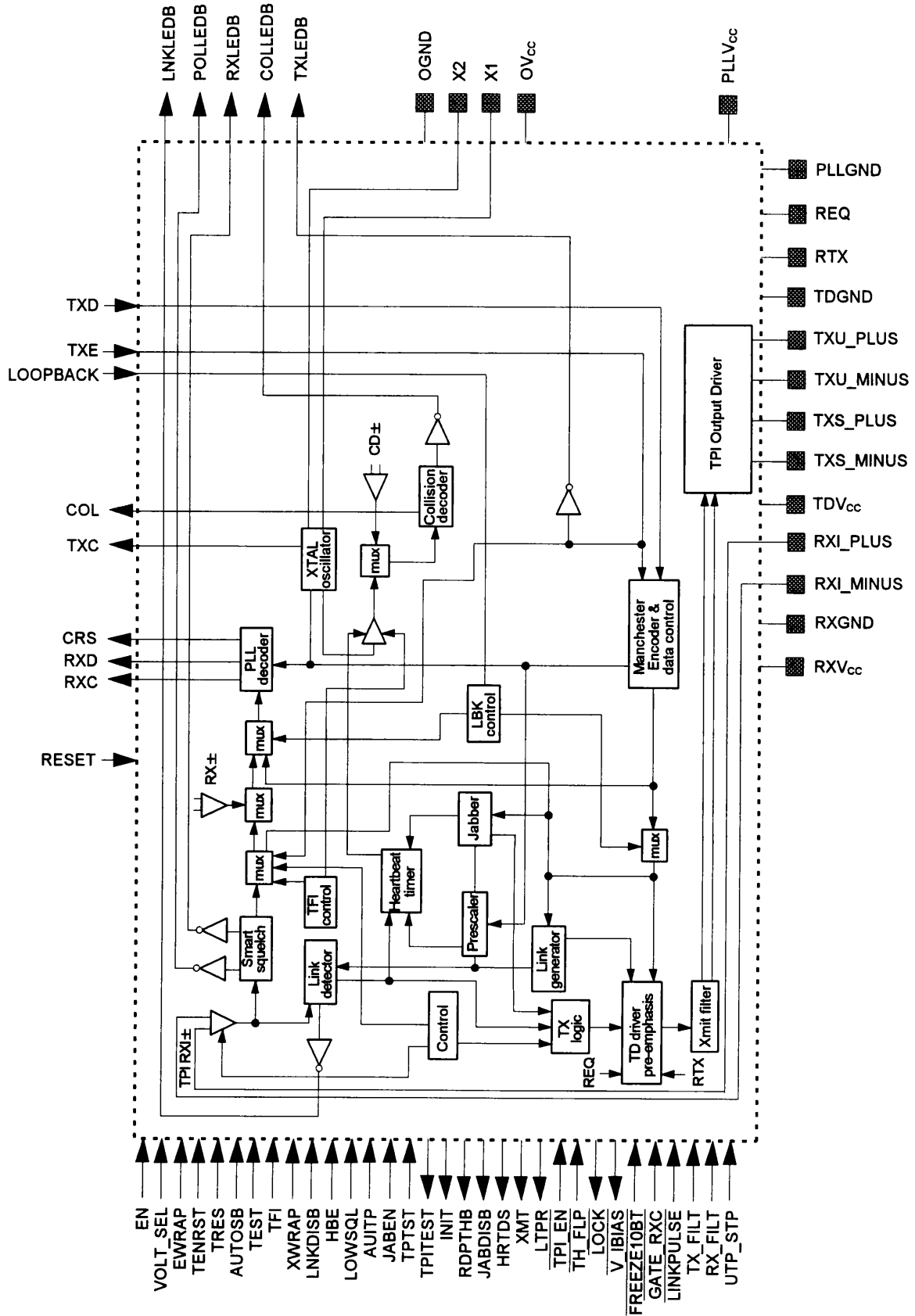
10BASE-Tトランシーバ・モジュールはIEEE 802.3スタンダードに準拠しています。このモジュールには、IEEE 802.3スタンダードで規定されているレシーバ、トランスミッタ、衝突、ハートビート、ループバック、ジャバーおよびリンク・パルス検出などの機能を備えています。

また、フィルタを内蔵しているため、10BASE-Tインタフェースと接続する際、外部にフィルタを接続する必要がありません。

図2-11は、μ PD72840AIに内蔵されている10BASE-Tトランシーバの詳細なブロック図を示しています。ここではシステム・レベルでの動作について一般的な内容に絞って説明します。

★

図 2-1 1 10BASE-T トランシーバ・ブロック図



2.7.1 10BASE-Tトランシーバの動作モード

μ PD72840Aは、10 Mbps動作時、次の2つのモードを備えています。

- ・半二重モード
- ・全二重モード

(1) 半二重モード

半二重モードでは、μ PD72840Aは送信フィルタおよび受信フィルタを内蔵したIEEE 802.3 10BASE-Tトランシーバとして機能します。

(2) 全二重モード

全二重モードでは、μ PD72840Aのトランシーバは、送受信動作を同時に行うことができ、かつ内部ENDECも同時にエンコードおよびデコード動作を行います。その際、衝突 (COL) 信号はアクティブになりません。

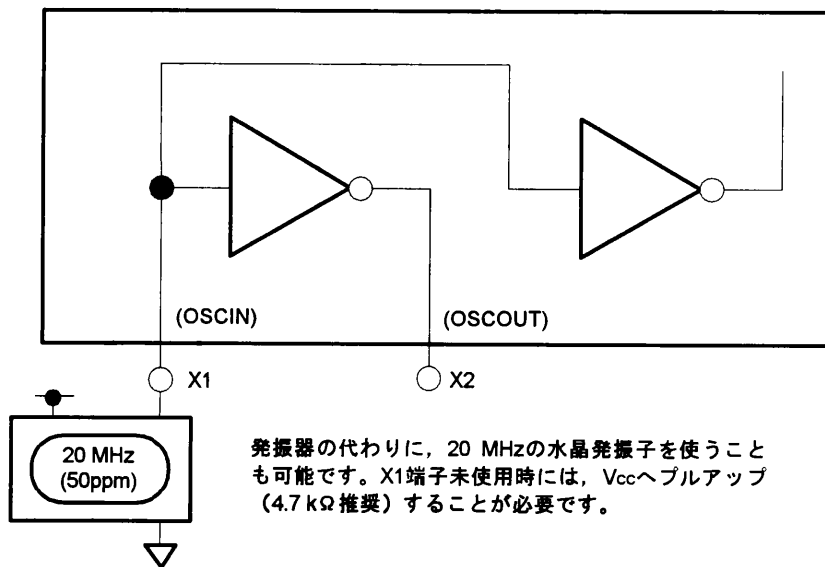
★ 2.7.2 発振モジュール

X1入力として供給される20 MHz水晶振動子または発振器には、次に示す仕様が推奨されます。

- 1.周波数許容差：50 ppmを持つTTLまたはCMOS出力
- 2.40-60%のデューティ・サイクル
- 3.TTL負荷2個分のドライブ能力

図2-1 2に回路図を示します。発振回路が他の回路を駆動する場合には、出力ドライブ能力を追加する必要があります。発振器を使う場合には、発振器出力をX1端子に接続し、X2(OSCOUT)端子は開放のままにしておきます。

図 2-1 2 発振モジュール



発振器の代わりに、20 MHzの水晶発振子を使うことも可能です。X1端子未使用時には、Vccへプルアップ (4.7 kΩ推奨) する必要があります。

2.7.3 スマート・スケルチ

スマート・スケルチは、差動受信入力 (RXI±) 端子に入力されたデータが有効であるかどうかを判断するものです。

μ PD72840Aには、このスマート・スケルチを内蔵しており、受信入力端子にのったインパルス・ノイズを誤って有効信号と認識しないようになっています。

スケルチ回路は、振幅とタイミングを測定し、その組み合わせ (IEEE 802.3の10BASE-Tで規定) に応じてツイスト・ペア上のデータが有効であるかどうかを確認します (図2-13参照)。

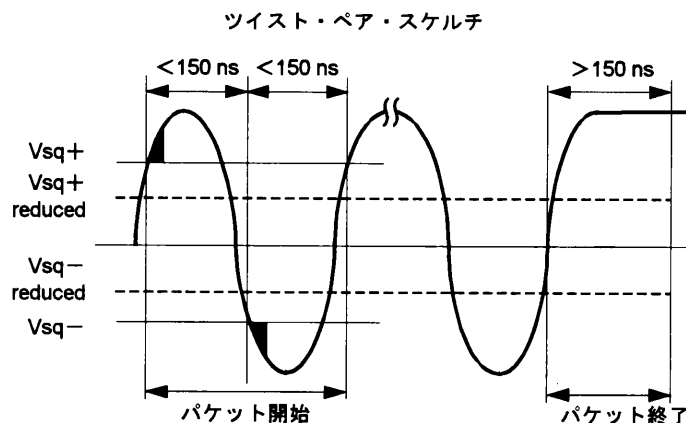
パケット開始時の信号はスマート・スケルチによってチェックされ、スケルチ・レベル (極性により正または負のどちらか) を越えないパルスは除去されます。最初にスケルチ・レベルを越えると、反対側のスケルチ・レベルも150 ns以内に越えなければなりません。最終的に、入力信号が除去されないためには、次の150 ns周期以内に、最初のスケルチ・レベルを越えなければなりません。この結果、チェック処理を行うために各パケットの初めで通常3つのビットがなくなります。

これらの条件を満たすことにより、他の回路に対し有効データが発生したことを示す制御信号が生成されます。その時点でスマート・スケルチはリセットされます。

有効データは、スケルチ・レベルを通過する周期がパケットの終了を示す150 nsよりも大きい周期とならないかぎり、存在するものとみなされます。いったん有効データが検出されると、ノイズによる誤ったパケット終了検出が発生するのを最小限とするため、スケルチ・レベルは低減されます。

受信スケルチのスレッシュホールド値は、規格外の長いケーブルやSTPケーブルを用いたアプリケーションでも使用可能なため、10BTPCRレジスタ (アドレス1CH) のLSSビット (ビット2) の設定によってさらに低くすることもできます。

図2-13 10BASE-Tツイスト・ペア・スマート・スケルチ



2.7.4 衝突検出

半二重動作時に送受信チャンネルの双方がアクティブなとき衝突を検出します。この衝突は、MII上のCOL信号によって報告されます。

衝突検出後、さらに7ビットのデータを受信するまでの衝突状態を維持し、この間はMACレイヤに対して衝突発生報告をしません。この衝突状態を維持することによって、ネットワーク上のノイズを誤って衝突として報告しないようになっています。その後、COL信号は衝突が続く間、セットされたままとなります。

ハートビート (アドレス1CHのビット4) をイネーブルに設定すると、各パケットを送信したあと、約1 μs経過してから約10ビット時間、10 MHzの信号 (この信号は、IEEE 802.3スタンダードではSQE信号) を内部で生成、COL端子から送出することで送信が正常終了したことを知らせます。

2.7.5 キャリア・センス・ブロック

CRS端子は、スマート・スケルチ機能を通じて有効データが検出されると、受信アクティブとしてイネーブルされます。

10 Mbps半二重モードでは、CRS端子はパケット送信およびパケット受信ともに、イネーブルされます。

10 Mbps全二重モードでは、CRS端子の動きはLBREMRレジスタ（アドレス18H）のビット6により決定されます。このビットが0のとき、受信がアクティブであるときのみ、CRS端子がイネーブルとなります。このビットが1の場合は、送信がアクティブであるときのみ、CRS端子がイネーブルとなります。この制御により、μ PD72840Aに接続される全二重対応MACとのインタフェースにおけるフレキシビリティを持たせています。

CRS端子はパケットの終了に続いてディスエーブルされます。

リピータ・モード（47番ピンによる設定、またはPCRレジスタによる設定）では、受信がアクティブのときのみ、CRS端子はイネーブルされます。

2.7.6 リンク・パルス検出／生成

リンク・パルスとは、IEEE 802.3スタンダードの10BASE-T仕様で定められた、通信リンクの有無（ケーブル接続の有無）を認識するためのものです。通常、送信データがないとき、10BASE-Tトランシーバ内のリンク・パルス発生器は、16 ms ± 8 msの間隔で100 ns幅のリンク・パルスを送信ペア上に送信します。

このリンク・パルスは、もう一方のケーブルに接続された装置（リピータなど）内で受信ペア上に折り返され、10BASE-Tトランシーバ内のリンク・パルス検出器で受信されます。この折り返されたリンク・パルスを受信することで接続が適切であるかをチェックします。

有効なリンク・パルスを受信できなかった場合、リンク・パルス検出器は、10BASE-Tトランシーバ内のトランスミッタ、レシーバおよび衝突検出をディスエーブルとします。

リンク検出をディスエーブルにすると、10BASE-Tトランシーバは、リンク・パルスの有無に関わらず常にトランスミッタ、レシーバ、衝突検出機能をイネーブルのままとします。

10BP_LPBK（レジスタ・アドレス18Hのビット11）を“1”に設定すると、受信ペアから入力される信号の状態に影響されず、送信および受信経路をテストすることができます。

2.7.7 ジャバール機能

ジャバール機能は、送信ペア上に出力する送信パケットを監視し、トランスミッタが不正なサイズのパケットを送信しようとしたとき、トランスミッタを強制的にディスエーブルにします。

10BASE-Tトランシーバに内蔵されたジャバール・タイマは、トランスミッタを監視し、26 ms以上トランスミッタがアクティブ状態であったとき、送信を強制的にディスエーブルにします。

このジャバール機能によって一度送信がディスエーブルになると、トランスミッタは内部ENDECモジュールからの送信パケットの生成（トランスミッタがディスエーブルとなると、このパケットは外部に送信されません）が続く間、このディスエーブル状態を維持します。内部ENDECが、送信パケットの生成を完了した後も、約750 ms（アンジャブ・タイム）の間、トランスミッタはディスエーブルになっています。

ジャバール機能は、10BASE-Tモード時のみの機能です。

2.7.8 送信出力

10BASE-Tトランシーバの送信出力としては、2つの出力信号があります。1つは、UTPケーブル（TXU±）用で、もう1つはSTPケーブル（TXS±）用です。これら2つの差動出力は実際には同一のもので、複数のメディアに対応したシステム設計をするにあたり、その設計におけるフレキシビリティの向上をねらったものです。注意しなければならないことは、UTPケーブルとSTPケーブルでインピーダンス特性が異なるという点です（通常UTPケーブルで100Ω、STPケーブルで150Ω）。よって、負荷に対し10BASE-T駆動部のインピーダンスを正しく一致させ

るために、外付け終端抵抗の値には特に注意を払う必要があります。図 2-15 を参照してください。

UTP (100Ω) または STP (150Ω) ケーブルの選択は、10BASE-T コンフィギュレーション・レジスタ (アドレス 1CH) の UTP/STP ビットを設定することによって行います。

1 度に使用できる送信出力は 1 つしかありません。UTP 用送信端子を選択すると STP 用送信端子が Hi-Z 状態となり、逆に STP 用送信端子を選択すると UTP 用送信端子が Hi-Z 状態となります。

μ PD72840A の TXU± および TXS± 端子から出力される信号は、すでに 10BASE-T トランシーバ内のフィルタによってフィルタリングされているため、外付けのフィルタは必要ありません。詳細については、2.7.12 送受信フィルタを参照してください。

100 Mbps 動作時、TXU± 端子、TXS± 端子は Hi-Z です。

2.7.9 通信状態の表示

10BASE-T 通信時の状態は、μ PD72840A の LED 端子に反映され、接続された LED を ON/OFF することで確認できます。5 つの LED 端子 ($\overline{\text{LED1}}$ ~ $\overline{\text{LED5}}$) には、送信動作、受信動作、リンク状態、ケーブル接続の極性、および衝突情報が出力されます。これらの出力端子に関しては、1.6 LED インタフェースを参照してください。

必要に応じてこれらの LED 出力端子は外部回路に対するステータス情報の出力端子としても使うことができます。

38 番ピンのリンク表示 LED 出力 ($\overline{\text{LED3}}$) 端子は、10 および 100 Mbps モード双方において、有効なリンク・パルスを検出、ケーブルが正常に接続されたことを示しています。

このリンク検出機能は 2.7.6 リンク・パルス検出/生成で説明したようにディスエーブルにすることができます。

リンク検出機能をディスエーブルとしたとき、トランシーバはリンク・パルスの有無に関係なく動作し、リンク表示 LED は常に点灯状態となります。

2.7.10 ケーブル接続極性の自動判定

μ PD72840A に内蔵された 10BASE-T トランシーバ・モジュールは、接続された通信ケーブルの極性を自動的に検出する回路を備えています。この回路は、極性が反転したリンク・パルスを 7 つ連続して受信した場合または、3 回連続して受信パケットの終わりで極性が反転したことを検出した場合に、ケーブル接続時の信号極性が反転 (ツイスト・ペア・ケーブルの各信号の極性が逆になる) したことを報告します。

極性の反転が起こるのは通常、通信ケーブルを張る際、ネットワークの主配線 (MDF) または、パッチ・パネル内の配線を誤り、UTP/STP ケーブルの一方の端を逆に接続したことが原因としてあげられます。

この極性の反転状態を検出すると、 $\overline{\text{LED4}}$ 端子をアクティブとします。

μ PD72840A の 10BASE-T トランシーバ・モジュールは、内部でこの極性反転を修正し、受信データを正常にデコードすることができます。これによって、配線の誤りを修正する必要がなくなります。

2.7.11 10BASE-T トランシーバ内部のループバック

LBREMR レジスタ (アドレス 18H) の 10BT_LPBK (ビット 11) ビットがセットされると、上位の MAC レイヤから送られた送信データは、10BASE-T トランシーバ内の内部 ENDEC を経由し、受信チャネル側に戻されます。

送信ドライバと受信入力回路は、ループバック・モードを設定するとディスエーブルとなり、ネットワークから切り離されます。したがってループバックを設定するとネットワーク上の送信または受信状態の影響を受けることなく、10BASE-T トランシーバを含めたデータ経路をテストすることができます。

2.7.1.2 送受信フィルタ

μ PD72840Aには、要求される信号状態を直接生成する機能が内蔵されているため、フィルタを外部に接続する必要がありません。

10BASE-Tの送信および受信ペアには、絶縁トランスやステップ・アップ・トランス、およびインピーダンス整合を行う抵抗を接続するだけで十分です。送信信号の高周波成分は、内部送信フィルタによって最低30 dB減衰されます。

★ 2.7.1.3 ENDECモジュール

ENDECモジュールには基本的に4つの機能を含んでいます。

- ・発振部：20 MHz発振器から、システム・タイミングに必要な10 MHz送信クロック信号を生成する。
- ・マンチェスタ・エンコーダ部：コントローラICまたはリピータICからNRZデータを受け取り、受け取ったデータをマンチェスタ符号に変換し、差動送信ドライバからトランシーバに対し差動出力する。
- ・マンチェスタ・デコーダ部：トランシーバからマンチェスタ符号化されたデータを受信し、受信データをNRZデータに変換し、さらにコントローラICやリピータICへ同期データを転送する際のクロック・パルスを復元する（クロック・リカバリ）。
- ・コリジョン監視：コントローラに対し、10 MHzコリジョン信号が発生していることを示す。

(1) マンチェスタ・エンコーダおよび差動ドライバ

エンコーダはTX_EN端子がハイ・レベルになると動作を始め、NRZデータをプリエンファシスされたマンチェスタ符号データに変換し、トランシーバへ転送します。TX_EN端子がハイ・レベルである間、送信データは送信ドライバ・ペア（TXU±, TXS±）に対しても符号化されます。送信データ（TXD）は送信クロック（TX_CLK）の立ち上がりエッジで有効でなければなりません。TX_EN端子がディスエーブルされると、送信は終了します。最後の状態遷移は、最後のビットが1のときはビットの中央から、最後のビットが0のときはビットの終わりからハイ・レベル状態になります。

(2) マンチェスタ・デコーダ

デコーダは差動レシーバと、マンチェスタ符号化されたデータ・ストリームからクロック信号とデータを分離するためのPLLから構成されます。差動入力には、UTPケーブル、STPケーブルごとに適応させるために、それぞれに合った終端抵抗で外部終端する必要があります。図2-14を参照してください。

デコーダでは、ビット中央での状態遷移が検出されなくなるとフレームの終了を検出します。最後のビットのあと1.5ビット時間以内に、キャリア・センス信号はディスエーブルとなります。CRS端子がロウ・レベルとなったあとも、さらに5ビット時間の間、受信クロックはアクティブのままとなり、コントローラICまたはリピータICの受信タイミングを保証します。

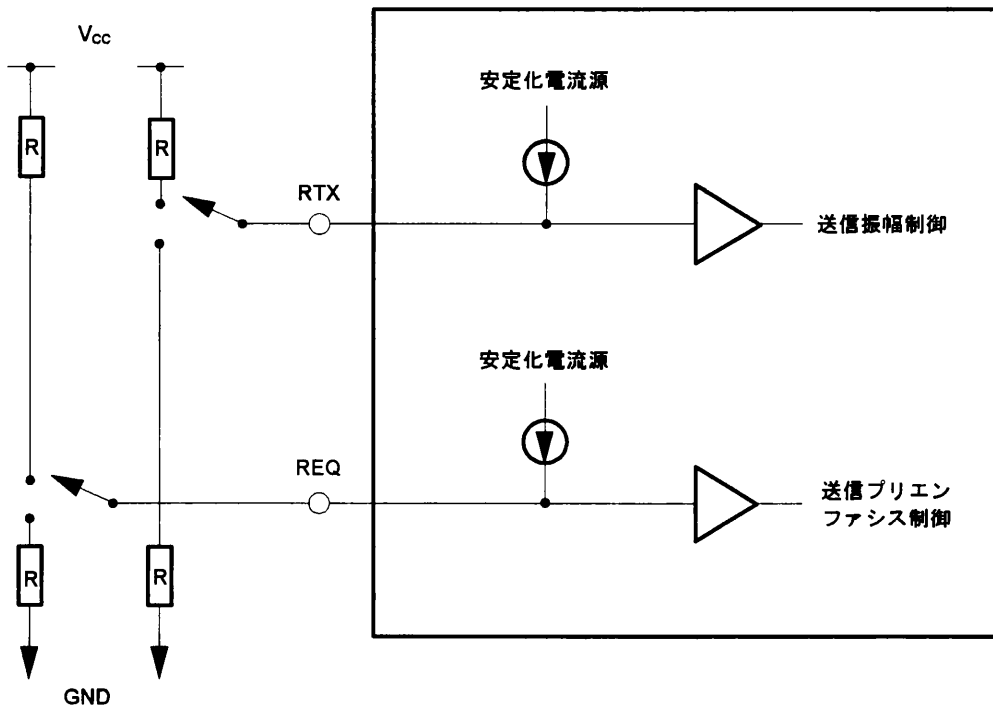
★ 2.7.1 4 REQ端子およびRTX端子

REQ端子およびRTX端子により、10BASE-T送信信号のプリエンファシス（REQ端子）と送信振幅（RTX端子）を直接制御することができます。これらの端子は通常、開放状態のままかまいませんが、より小さい送信振幅が要求されるアプリケーションにおいては、抵抗を介してGNDにプルダウンする必要があります。反対に、より大きい送信振幅が要求されるアプリケーションにおいては、抵抗を介してVccにプルアップする必要があります。図2-14に簡単に図示します。

外付けのトランスや終端抵抗にはさまざまな種類があり、送信振幅（プリエンファシスも含めて）を評価するためには、何回か実験が必要になります。重要なことは、プリエンファシスが送信振幅に追従するために、RTX端子とREQ端子には同じ抵抗値でプルアップまたはプルダウン（どちらか一方、2つの端子で同じ処理にすること）することです。

たいていの場合約50 kΩの抵抗でプルアップまたはプルダウンすると、送信振幅とプリエンファシスは、約5%から10%変化します。この抵抗値については、実験により決定されることをお勧めします。

図 2 - 1 4 REQ端子およびRTX端子



2.7.15 標準的なノード・アプリケーションへの応用

図2-15に、10BASE-Tインタフェースへの接続例を示します。STPの接続にはTXS±信号を使用し、UTPの接続にはTXU±端子を使います。UTPを使用する場合の標準的なアプリケーションでは、TXS±端子を接続する必要はありません。

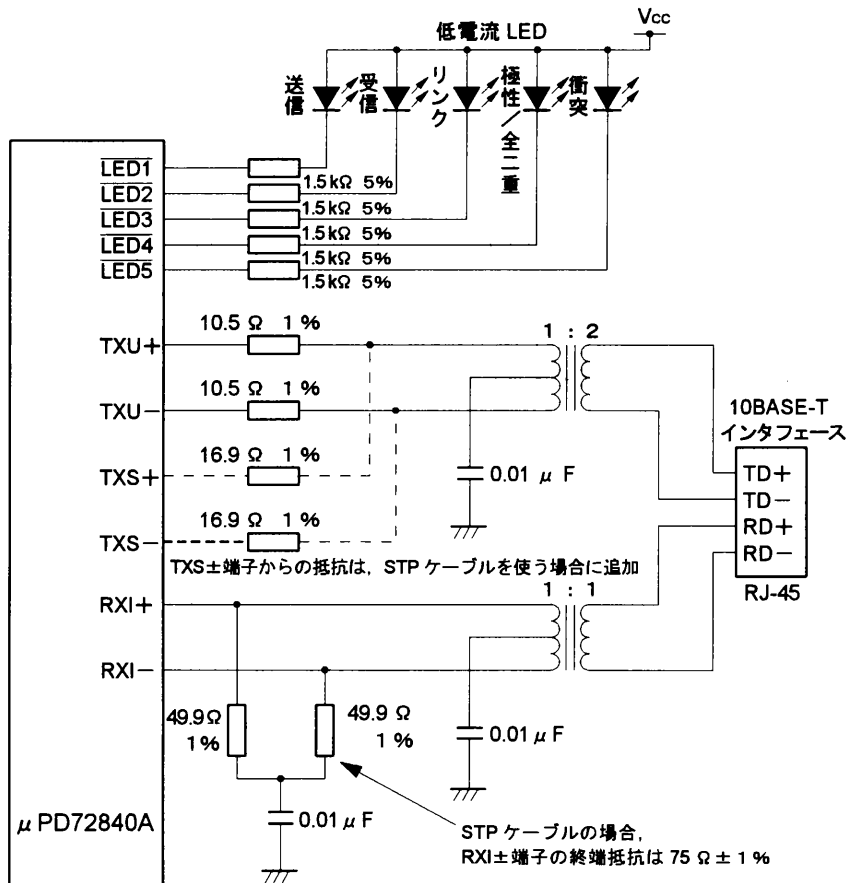
TXU±端子に直列に接続した抵抗の値は、送信時の出力インピーダンスがツイスト・ペア・ケーブルのインピーダンスと整合するような値を選択しています。

μ PD72840Aの10BASE-Tの送信ペアには、ケーブルのインピーダンスと整合させるために、巻き数比が1 : 2のトランスと結合します。

10BASE-Tの受信ペアには、1 : 1の絶縁トランスを結合し、終端抵抗を接続します。

詳細については、図2-15 標準的な10BASE-Tノード・アプリケーションを参照してください。

図2-15 標準的な10BASE-Tノード・アプリケーション



2.8 IEEE 1149.1コントローラ（お客様のご要求により、この機能をサポートすることができます。）

IEEE 1149.1スタンダードは、デジタル集積回路およびアナログ／デジタルが混在した回路のテストを行うための信号ポート（アクセス・ポート）とそのテスト手順などのアーキテクチャを定めたものです。

この技術を使用することによって、非常に複雑なデジタル集積回路および高密度な表面実装を必要とするシステムに対して、組み立てられた回路基板に手を入れることなく、またその他の製品を接続した状態で、容易にテストを行うことができ、その工数を大幅に削減することが可能となります。

IEEE 1149.1スタンダードでは、デジタル集積回路に内蔵されたテスト用機能の使用および制御方法についても規定しています。このような機能には、組み立てられた製品の評価をサポートする機能に加えて、内部スキャン・パスや自己テスト機能といった機能も含まれています。詳細に関しては、IEEE 1149.1（バウンダリ・スキャン）スタンダードを参照してください。

この規格に準拠した回路では、各種のテスト命令や、それにとまなうデータをシリアルで入力することが可能となっています。また、命令の実行結果についてもシリアル・データとして出力されます。

μ PD72840Aでは、IEEE 1149.1で規定されたテスト・アクセス・ポート（TAP）として、TMS、TCLK、テスト・データ入力（TDI）、テスト・データ出力（TDO）およびテスト・リセット（TRST）の5つの端子を備えています。

これらの端子については、1.7 IEEE 1149.1インタフェースを参照してください。

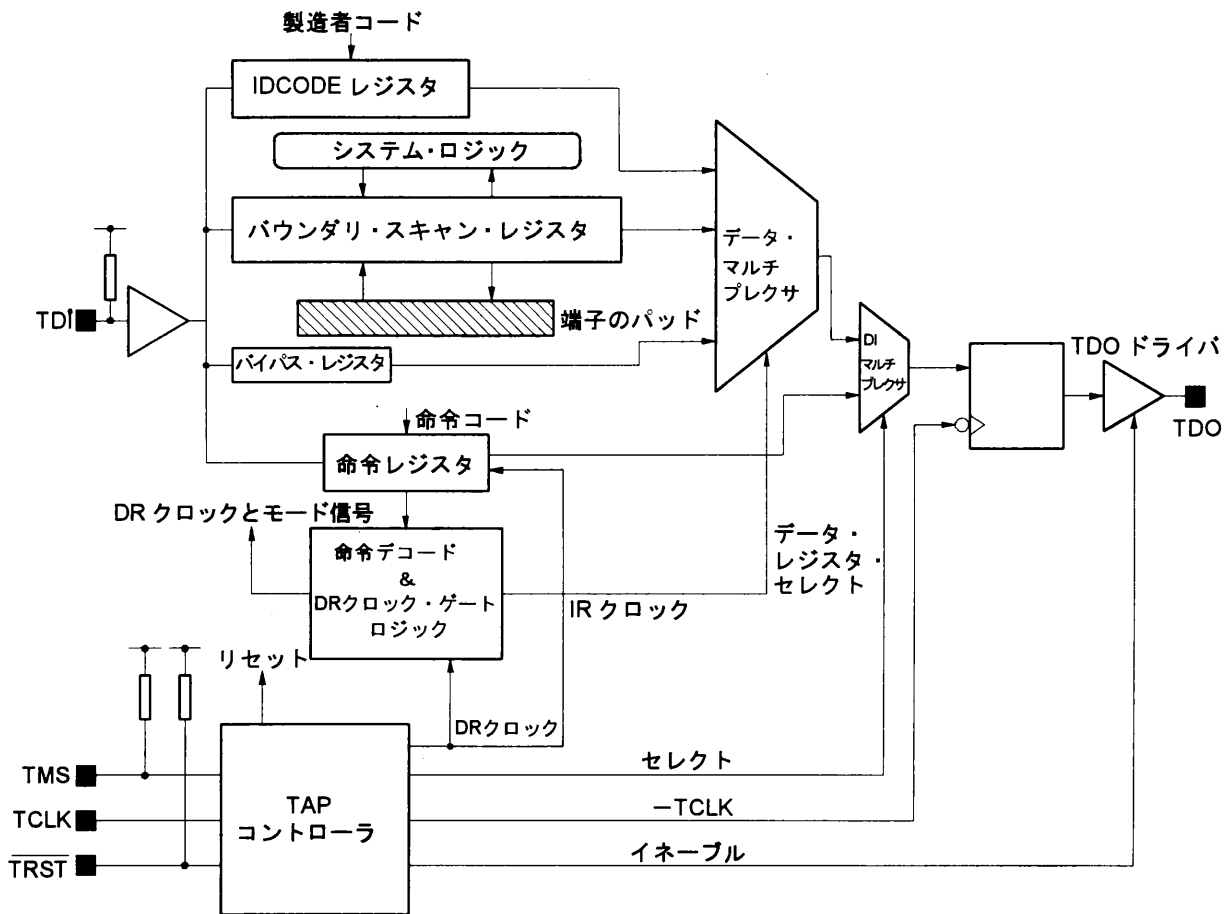
シリアル・データの入出力を保証するために、すべての入力および出力データは、テスト・クロック（TCLK）端子に同期しています。

TMSとTDI端子への入力信号は、TCLKの立ち上がりエッジでサンプリングし、IEEE 1149.1コントローラ内に取り込みます。

TDO端子への出力信号は、TCLKの立ち下がりエッジに同期して、出力データを送出します。

図2-16にIEEE 1149.1のアーキテクチャを示します。

図 2-1 6 IEEE 1149.1アーキテクチャ



2.8.1 テスト回路

IEEE 1149.1コントローラ内部のテスト回路は、テスト・アクセス・ポート (TAP) 命令レジスタ、およびバイパス、デバイスID、バウンダリ・スキャン・レジスタを含むテスト用のデータ・レジスタ群によって構成されています。

TAPを制御するコントローラは、TMSとTCLK信号の変化に対応して16個のステート・マシンに同期し、動作します。このコントローラは、命令レジスタとテスト・データ・レジスタにクロックと制御信号を供給することにより、動作シーケンスを制御しています。また、この制御信号は、命令レジスタとテスト・データ・レジスタの間でTDIとTDO信号の切り替えも行います。

μ PD72840Aには、命令セットとして4つの基本命令 (ID_コード、バイパス、サンプル/プリロードおよびEXTEST) を備えています。リセット後のデフォルト設定としてID_コード命令が最初選択されています。ID_コード命令がサポートされていない場合は、代わりにバイパス命令が選択されます。

(1) ID_コード (ID_CODE) 命令

ID_コード命令により、コントローラ内にあらかじめ設定された32ビットのIDCODEレジスタがアクセスされ、その内容を確認することができます。このレジスタ内には、製造ベンダのID、製品のIDおよびバージョンが書き込まれています。

(2) バイパス (BYPASS) 命令

バイパス命令では、バイパス・レジスタを使用します。

バイパス・レジスタ内には、1つのシフト・レジスタを備えており、テスト動作を行わない場合、μ PD72840AのTDIとTDO端子の間を最も短いシリアル・バスで結びます。これによって、複数のデバイスのTDI-TDO間をデジ・チェーンで結んだときにシステム中のテスト対象デバイスに対してテスト・データをより高速に転送することが可能となります。

(3) サンプル/プリロード命令

サンプル/プリロード命令は、内蔵されたその他のシステム・ロジック (10/100 Mbpsの通信モジュールなど) の通常動作に干渉されることなく、バウンダリ・スキャン・レジスタにアクセスする場合に用います。

この命令が選択されると、次の2つの動作を実行します。

(a) サンプル動作

サンプル動作とは、その他のシステム・ロジックの通常動作に干渉することなく、入力端子から内部システム・ロジックへ送られるデータおよび内部システム・ロジックから出力端子へ送られるデータをサンプリングし、さらにバウンダリ・スキャン・レジスタ内の各データ・レジスタ (DR) セルへ取り込む動作のことです。

このDRにセットされたデータは、TAPコントローラがキャプチャDRのコントロール・ステートに遷移したあと、TCLK信号の立ち上がりエッジでシフト・アウトされ、TDO端子から出力されます。

(b) プリロード動作

プリロード動作は、バウンダリ・レジスタ内のDRセルにあらかじめ決められたデータを設定するための動作です。

上記のサンプル動作で取り込んだデータをTDO端子からシフト・アウトしている間、TDI端子に各セルに設定すべき任意のデータ・パターンをシフト・インする動作を表します。バウンダリ・スキャン・レジスタ内のパラレル出力でそのデータがラッチされることで、その対応する出力端子を任意の状態とすることを可能にします。

この動作によって、後述のEXTEST命令実行前に、出力端子を任意の状態とします。

このプリロード動作を行わなければ、サンプル動作において最初のDRデータの取り込みが完了するまで、出力端子から不定データがドライブされることになります。

サンプル動作とプリロード動作は、それぞれ一方がシフト・データの出力、もう一方がシフト・データの入力を行う動作であるため、同時に実行することができます。

(4) EXTEST命令

EXTEST命令は、μ PD72840Aに接続された外部回路（通常は、基板内部の接続デバイス）をテストするための命令です。この命令を実行する前に、サンプル/プリロード命令のプリロード動作を使って、各出力端子から出力するテスト信号を、バウンダリ・スキャン・レジスタにシフト・インしておく必要があります。この動作を事前に行うことによって、EXTEST命令が実行されると、μ PD72840Aは外部回路に対して任意のテスト信号を即座にドライブすることが可能になります。

2.8.2 デバイス・テスト

IEEE 1149.1スタンダードでは、多数の標準的なスタティック端子（外部からの信号入力によってのみ状態を変化する端子）の状態をテストするための手法を規定しています。これによって、システム設計時に必要とされる正確な限界値を得ることができます。

IEEE 1149.1コントローラにはまた、各端子をテストした結果を用いて、自身のTAPコントロール用アクセス・ポートをテストすることもできます。この場合のテスト項目を次に示します。

- TDI端子からTDO端子へのシリアル・シフト動作を禁止したときのTDO端子のHi-Z状態
- TCLK, TMS, TDIおよび $\overline{\text{TRST}}$ 端子の入力リーク
- TDO端子がHi-Z状態となったときの出力リーク
- TCLK, TMS, TDI, $\overline{\text{TRST}}$ およびTDOのオープンまたはショート状態
- IDCODEレジスタ、バイパス・レジスタおよびTAPコントローラのステート・マシン・シーケンスのチェック

端子のオープンまたはショート状態は、各入出力端子に対応するバウンダリ・スキャン・レジスタのセルに任意のビット・パターンを与えることにより確認できます。

LSI内部のボンディング・ワイヤがショートした場合、バウンダリ・スキャン・レジスタにシフトインされる入力信号が誤って解釈されたり、テスト・コンパレータがシフトアウトする際のデータ出力が失敗する可能性があります。

“01”の連続したビット・パターンを用いてテストを繰り返すと、V_{CC}とGNDのショートまたはオープン状態を調べることができます。

2.9 IEEE 802.3uオートネゴシエーション

オートネゴシエーション機能は、ケーブルで接続された端末-リピータ間（リンク・セグメント）の両端でコンフィギュレーション情報を交換し、双方のデバイスでサポートされている動作モードを自動的に交渉し、上位ソフトウェアに対して、最も高い性能を実現できる動作モードの使用を促す機能です。

このコンフィギュレーション情報の交換時、高速リンク・パルス（FLP）バーストと呼ばれる信号をリンク・セグメントの両端にある2つのデバイスの間でやり取りし、それぞれのデバイスで通信可能なモードを決定します。

オートネゴシエーションの詳細については、IEEE 802.3uドラフトの第28節を参照してください。

μ PD72840Aは、4つの異なったプロトコル（10 Mbps半二重、10 Mbps全二重、100 Mbps半二重、100 Mbps全二重）をサポートしており、オートネゴシエーション・モードをイネーブルにすると、もう一方の端に接続されたデバイスの能力に応じて、最も高い性能を発揮できるプロトコルを自動的に検索します。

μ PD72840Aのオートネゴシエーション機能は、内部レジスタにアクセスするか、またはAN1およびAN0（46および95番ピン）端子を使って制御することができます。

★ 2.9.1 端子制御によるオートネゴシエーション

AN0およびAN1端子の状態により、オートネゴシエーション機能をディスエーブル状態とし、μ PD72840Aを強制的に端子で設定したプロトコルにする（強制モード）モードか、あるいはオートネゴシエーションをイネーブルとして、表2-3 オートネゴシエーション・モード選択表に示すプロトコルが利用可能かどうかをオートネゴシエーションで交渉する（アダプタイズド・モード）モードかいずれかの選択が可能です。

AN0およびAN1端子は、V_{cc}、GND、25 MHzクロックあるいは開放状態の4レベルを入力する端子であり、この4レベルの組み合わせにより、内部レジスタをアクセスせずに動作モードを設定することができます（図2-17を参照してください）。特性上、クロック信号を入力する場合には、CMOSレベルのクロック信号（信号の最大値：V_{cc}の10%以内）が必要になります。さらにAN0端子およびAN1端子は通常のCMOS入力端子とは構造が異なるため、25 MHzクロックでこの端子をドライブする場合には、バッファを入れてください。

AN0およびAN1端子の状態で電源投入時あるいはリセット時において、ANARレジスタのビット5からビット8だけでなく、PARレジスタのビット6、ビット7、ビット10の状態が決定されます。

ソフトウェア・リセット時には、μ PD72840Aはオートネゴシエーションをイネーブルにし、10 Mbps半二重、10 Mbps全二重、100 Mbps半二重、100 Mbps全二重といったすべてのモードに対応できることを示すよう、デフォルト設定します。

AN0およびAN1端子によりオートネゴシエーションがイネーブルにされたかどうかということは、BMCRレジスタには影響を与えず、PARレジスタのビット10に反映されます。

この電源投入時またはリセット時、端子によって設定されたオートネゴシエーションのイネーブル/ディスエーブルの設定は、アドレス00Hの基本モード・コマンド・レジスタ（BMCR）によって、いつでも変更することができます。

★ 表 2-3 オートネゴシエーション・モード選択 (1/2)

AN1 (46番ピン)	AN0 (95番ピン)	レジスタの設定内容	動作
強制モード			
0	M	PAR (アドレス19H) のビット10=0, ビット6=1, ビット7=0 ANAR (アドレス04H) のビット5から8はデフォルト値に設定。	オートネゴシエーションをディスエーブルとするとともにプロトコルを強制的に10BASE-Tの半二重モードに設定
1	M	PAR (アドレス19H) のビット10=0, ビット6=1, ビット7=1 ANAR (アドレス04H) のビット5から8はデフォルト値に設定。	オートネゴシエーションをディスエーブルとするとともにプロトコルを強制的に10BASE-Tの全二重モードに設定
M	0	PAR (アドレス19H) のビット10=0, ビット6=0, ビット7=0 ANAR (アドレス04H) のビット5から8はデフォルト値に設定。	オートネゴシエーションをディスエーブルとするとともにプロトコルを強制的に100BASE-Xの半二重モードに設定
M	1	PAR (アドレス19H) のビット10=0, ビット6=0, ビット7=1 ANAR (アドレス04H) のビット5から8はデフォルト値に設定。	オートネゴシエーションをディスエーブルとするとともにプロトコルを強制的に100BASE-Xの全二重モードに設定
C	M	PAR (アドレス19H) のビット10=0, ビット6=0, ビット7=1 ANAR (アドレス04H) のビット5=0, ビット6=0, ビット7=1, ビット8=1	オートネゴシエーションをディスエーブルとするとともにプロトコルを強制的に100BASE-Xの全二重モードに設定 (相手デバイスへの通知内容は100BASE-Xの半二重モードと100BASE-Xの全二重モードをデフォルト値として設定)
M	C	PAR (アドレス19H) のビット10=0, ビット6=0, ビット7=1 ANAR (アドレス04H) のビット5=0, ビット6=1, ビット7=0, ビット8=1	オートネゴシエーションをディスエーブルとするとともにプロトコルを強制的に100BASE-Xの全二重モードに設定 (相手デバイスへの通知内容は100BASE-Xの全二重モードと10BASE-Tの全二重モードをデフォルト値として設定)
C	C	PAR (アドレス19H) のビット10=0, ビット6=0, ビット7=0 ANAR (アドレス04H) のビット5=1, ビット6=0, ビット7=1, ビット8=0	オートネゴシエーションをディスエーブルとするとともにプロトコルを強制的に100BASE-Xの半二重モードに設定 (相手デバイスへの通知内容は100BASE-Xの半二重モードと10BASE-Tの半二重モードをデフォルト値として設定)

備考 1. “M” は、オープン状態でのレベルを示します (V_{cc}÷2)。

2. “1” は、ハイ・レベルを示します。

3. “0” は、ロウ・レベルを示します。

4. ANARレジスタに設定されるオートネゴシエーション可能なプロトコルのデフォルト設定は、100BASE-X全二重、100BASE-X半二重、10BASE-T全二重、10BASE-T半二重です。

★ 表 2-3 オートネゴシエーション・モード選択 (2/2)

AN1 (46番ピン)	AN0 (95番ピン)	レジスタの設定内容	動作
アダプタイズド・モード			
M	M	BMCR (アドレス00H) のビット12=1 ANAR (アドレス04H) のビット5~8=1	オートネゴシエーションをイネーブルとするとともにすべてのプロトコルを利用可能とする
0	0	BMCR (アドレス00H) のビット12=1 ANAR (アドレス04H) のビット5=1, ビット6~8=0	オートネゴシエーションをイネーブルとするとともに10BASE-Tの半二重モードを利用可能とする
0	1	BMCR (アドレス00H) のビット12=1 ANAR (アドレス04H) のビット5=0, ビット6=1, ビット7=0, ビット8=0	オートネゴシエーションをイネーブルとするとともに10BASE-Tの全二重モードを利用可能とする
1	0	BMCR (アドレス00H) のビット12=1 ANAR (アドレス04H) のビット5=0, ビット6=0, ビット7=1, ビット8=0	オートネゴシエーションをイネーブルとするとともに100BASE-Xの半二重モードを利用可能とする
1	1	BMCR (アドレス00H) のビット12=1 ANAR (アドレス04H) のビット5~7=0, ビット8=1	オートネゴシエーションをイネーブルとするとともに100BASE-Xの全二重モードを利用可能とする
C	1	PAR (アドレス19H) のビット10=1 ANAR (アドレス04H) のビット5=0, ビット6=1, ビット7=0, ビット8=1	オートネゴシエーションをイネーブルし, 100BASE-Xの全二重モード, 10BASE-Tの全二重モードが使用可能であることを通知
C	0	PAR (アドレス19H) のビット10=1 ANAR (アドレス04H) のビット5=1, ビット6=0, ビット7=1, ビット8=0	オートネゴシエーションをイネーブルし, 100BASE-Xの半二重モード, 10BASE-Tの半二重モードが使用可能であることを通知
1	C	PAR (アドレス19H) のビット10=1 ANAR (アドレス04H) のビット5=0, ビット6=0, ビット7=1, ビット8=1	オートネゴシエーションをイネーブルし, 100BASE-Xの全二重モード, 100BASE-Xの半二重モードが使用可能であることを通知
0	C	PAR (アドレス19H) のビット10=1 ANAR (アドレス04H) のビット5=1, ビット6=1, ビット7=0, ビット8=0	オートネゴシエーションをイネーブルし, 10BASE-Tの全二重モード, 10BASE-Tの半二重モードが使用可能であることを通知

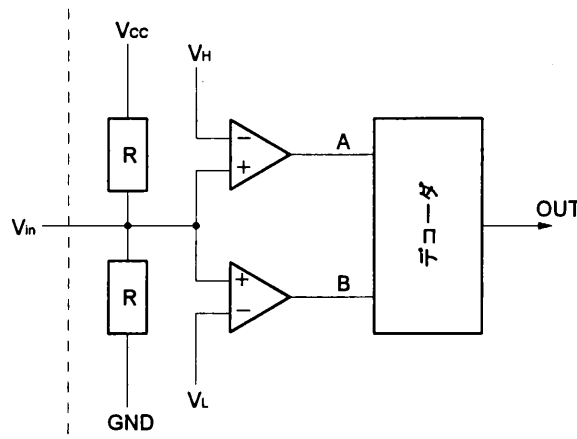
備考 1. “M” は、オープン状態でのレベルを示します (Vcc÷2)。

2. “1” は、ハイ・レベルを示します。

3. “0” は、ロウ・レベルを示します。

4. ANARレジスタに設定されるオートネゴシエーション可能なプロトコルのデフォルト設定は、100BASE-X全二重, 100BASE-X半二重, 10BASE-T全二重, 10BASE-T半二重です。

図 2-1 7 4 ステート 端子制御



V _{in}	A	B	OUT
0 V	L	L	L
V _{cc} ÷ 2	L	H	M
V _{cc}	H	H	H
25 MHz	25 MHz	25 MHz	C

2.9.2 レジスタ制御によるオートネゴシエーション

オートネゴシエーションをイネーブルにすると、μ PD72840Aはアドレス04Hのオートネゴシエーション・アドレスバタイズメント・レジスタ (ANAR) にプログラムされた情報を、FLPバーストにコーディングし送信します。このコーディング・データは、10 Mbps, 100 Mbpsの2つの通信速度と半二重および全二重通信のそれぞれの組み合わせの中から選択されます。ANARレジスタのビット5からビット8, PARレジスタのビット10, ビット7, ビット6のデフォルト値は、電源投入またはリセット時のAN0およびAN1端子の状態で決定されます。

BMCRレジスタは、上位ソフトウェアによりμ PD72840Aの動作を制御するために使われます。しかし、AN0およびAN1端子はBMCRレジスタの内容に影響を与えず、BMCRレジスタを使ってモード選択に関するステータス情報を得ることはできません。オートネゴシエーションのイネーブル/ディスエーブル、半二重/全二重モード、オートネゴシエーションやソフトウェアあるいはAN0/AN1端子によって設定された通信速度に関するステータス情報は、PARレジスタ (アドレス19H) のビット10, ビット7, ビット6を読み出すことで得られます。

PARレジスタのビット6およびビット7は、オートネゴシエーション機能がディスエーブルされているか、オートネゴシエーションが完了したあとに、有効な値を示します。

このANLPARの内容は、自局と相手デバイスの間で、最高性能を実現できるプロトコルを設定するために使われます。

上位ソフトウェアは、ANARとオートネゴシエーションによって得られたANLPARの内容を比較し、ANARとANLPARの双方で“1”がセットされており、かつ下記リストに示すプロトコル優先順位の中で最も高いものを選択します。

[オートネゴシエーション優先順位]

- 最上位 : 100BASE-TX全二重 (最も高い優先順位)
- 2位 : 100BASE-TX半二重
- 3位 : 10BASE-T全二重
- 最下位 : 10BASE-T半二重 (最も低い優先順位)

アドレス00Hのベーシック・モード・コントロール・レジスタ (BMCR) によって、オートネゴシエーション機能のイネーブル、ディスエーブルおよび再実行 (リスタート) が行えます。

オートネゴシエーションをディスエーブルにすると上位ソフトウェアが、10 Mbpsおよび100 Mbps動作の切り替えを行うためにBMCRレジスタ (アドレス00H) 内の速度選択ビット (ビット13) を、また全二重および半二重動作の切り替えを行うために同レジスタのデュプレックス・モード (ビット8) ビットを制御する必要があります。BMCRレジスタのオートネゴシエーション・イネーブル・ビット (ビット12) がセットされている場合、速度選択ビットとデュプレックスモード・ビットはオートネゴシエーション動作に影響を与えません。

アドレス01Hのベーシック・モード・ステータス・レジスタ (BMSR) のビット15から11で、オートネゴシエーションのベース・リンク・コード・ワード (ベース・ページ) 内のテクノロジー・アビリティ・フィールドに対応する機能の利用可否を、ビット3でオートネゴシエーションの使用可否、ビット0で拡張レジスタの使用可否を設定します。

これらのビットは、μ PD72840Aがサポート可能なすべてのモードを上位ソフトウェアに報告するために、常にセットされたままになっています (ただし、BMSRの100BASE-T4ビットのみセットされません。これは、μ PD72840Aが、この機能をサポートしていないためです)。

また、BMSRレジスタのその他のビットは、次の状態を報告します。

1. オートネゴシエーションが完了したかどうか (ビット5)
2. 相手デバイスがリモート・フォールトを発生したかどうか (ビット4)
3. 有効リンクが設定されたかどうか (ビット2)
- ★ 4. プリアンブル抑制機能をサポートしているか (ビット6)

アドレス04Hのオートネゴシエーション・アダプタイズメント・レジスタ (ANAR) は、μ PD72840Aが利用可能なプロトコルをオートネゴシエーション機能に知らせるためのものです。

デフォルトでは、100BASE-T4を除く、残りのプロトコルすべてが利用可能とコーディングされて、送信されます。また、ANARを変更することにより、特定のプロトコルを利用不可とすることもできます。ネットワークを管理する上位ソフトウェアが利用可能なプロトコルを制限するために、ANARを変更し、強制的に使用する通信モードを変更する方法があります。

アドレス05Hには、オートネゴシエーション・リンク・パートナー・アビリティ・レジスタ (ANLPAR) が配置されています。このレジスタは、オートネゴシエーションの結果得られた、相手デバイス (リンク・パートナー) の実行可能プロトコルを示すものです。このレジスタの内容は、オートネゴシエーション完了ビット (ビット5) がセットされているときに、有効となります。

アドレス06Hのオートネゴシエーション拡張レジスタ (ANER) は、オートネゴシエーションで得られた追加情報を示します。

このレジスタは、次の情報もあわせて示します。

1. マルチプル・リンク・フォールトの発生有無 (ビット4)
2. リンク・パートナーが、ネクスト・ページ機能をサポートしているかどうか (ビット3)
3. μ PD72840Aがネクスト・ページ機能をサポートしているかどうか (ビット2)
μ PD72840Aは、ネクスト・ページ機能をサポートしていませんので、このビットは常に0です。
4. オートネゴシエーションでやりとりしている現在のページが受信されたかどうか (ビット1)
5. リンク・パートナーがオートネゴシエーションをサポートしているかどうか (ビット0)

2.9.3 オートネゴシエーションの平行検出（パラレル・ディテクション）

μ PD72840Aは、μ PD72223（100BASE-TX用トランシーバ）と組み合わせて使用することにより、IEEE 802.3uで規定された平行検出機能（パラレル・ディテクション）をサポートします。

平行検出機能は、10 Mbpsと100 Mbps双方のレシーバから出力される受信信号を監視し、リンク状態をオートネゴシエーション機能に報告します。μ PD72840A内部のオートネゴシエーション機能は、この情報を使ってオートネゴシエーション機能を持たないリンク・パートナーに対して、100BASE-Xあるいは10BASE-Tのトランシーバ（PMA：フィジカル・メディア・アタッチメント）が認識可能な有効リンク・パルス信号を送信し、正しいプロトコルを設定することができます。

オートネゴシエーション機能は、平行検出を行うためにANARレジスタのビット5、ビット7に相当するビット・セットを持ったPMAから有効なリンク信号のみを受け付けます。これにより、μ PD72840Aは相手デバイスに通知した使用可能なプロトコルに従い、100 Mbps動作のみ、10 Mbps動作のみ、10 Mbpsおよび100 Mbps両対応と、それぞれのCSMA/CDデバイスとして設定することができます。これらのビットの状態はAN0およびAN1端子による設定あるいはANARレジスタの書き込みにより変更することが可能です。たとえば、ANARレジスタのビット5に0を、ビット7に1を書き込み（100 Mbps動作のみに設定）、リンク・パートナーがオートネゴシエーションに対応しない10BASE-Tであった場合には、通知したプロトコルと検出されたプロトコルが同じでないために、オートネゴシエーションは成立しません。このようにμ PD72840Aは、NICやスイッチといったデュアル・モード（10 Mbpsと100 Mbpsの両方に対応）のアプリケーションばかりでなく、リピータのようなシングル・モード（10Mbpsか100Mbpsか、どちらか一方に対応）のアプリケーションにも使用することができます。

平行検出の結果として、オートネゴシエーションが完了した場合には、ANLPARレジスタ（アドレス05H）のビット5、ビット7は、リンク・パートナーの現在の動作モードを反映し設定されます。ソフトウェアは、オートネゴシエーション完了ビット（レジスタ・アドレス01Hのビット5）がセットされLP_AN_ABLEビット（レジスタ・アドレス06Hのビット0）から0が読み出されることで、平行検出を通して交渉が完了したと判断します。

平行検出の例として、リンク・パートナーが100BASE-TXはサポートしているがオートネゴシエーションをサポートしていない場合、μ PD72840Aは、FLPバースト上でリンク・コード・ワードのやりとりがなくても、平行検出により有効なIDLE信号を検出することで100 Mbps動作が利用可能であることを認識します。また、10BASE-Tはサポートするがオートネゴシエーションはサポートしないリンク・パートナー（10BASE-T接続として導入されているものの大多数がこれに相当します。）に接続した場合、8-24 msの間隔で与えられる有効なリンク・パルスを検出することで、10BASE-T半二重動作が可能であることを認識することができます。

2.9.4 オートネゴシエーションの再スタート

一度、オートネゴシエーションが成立すると、BMCRレジスタのビット9を1にセットすることで、いつでもオートネゴシエーションの再スタートをかけることができます。成立したオートネゴシエーションによって設定されたモードで有効なリンク状態を失った場合、オートネゴシエーション動作を再始動し、リンク信号により再度、コンフィギュレーションを行います。この機能により、ケーブルが未接続になった場合でも、有効なコンフィギュレーションを保持することが可能です。

再交渉要求によりμ PD72840Aは、ブレイク・リンク・タイマが切れるまで（1500 ms）、送信データとリンク・パルスの送出を停止します。したがって、リンク・パートナーはリンク状態を失い、通常のオートネゴシエーションが再始動します。μ PD72840Aは、ブレイク・リンク・タイマが切れたあとFLP（高速リンク・パルス）を発行することで、オートネゴシエーションを再始動します。

2.9.5 ソフトウェアによるオートネゴシエーションのイネーブル

μ PD72840Aが電源投入時に、オートネゴシエーションに対応しないデバイス（従来技術）として初期化され、その後ソフトウェアにより再びオートネゴシエーションに対応しようとする場合、BMCRレジスタ（アドレス00H）

のビット12は最初にクリアされ、次にオートネゴシエーションの再スタートをかけるためにセットされなければなりません。

2.10 リセット動作

μ PD72840Aは、ハードウェアおよびソフトウェアでリセットすることができます。ハードウェア・リセットは、通常動作中または電源投入時に、RESET端子（44番ピン）をアクティブすることで実行されます。ソフトウェア・リセットは、BMCR（アドレス00H）のResetビット（ビット15）をセットすることで実行されます。

デバイスの初期化後、いつでもハードウェア・リセットおよびソフトウェア・リセットを実行することができますが、ハードウェア・リセットを実行する場合には、2.10.1 電源投入時のリセットにあるような初期化方法で行う必要があります。ハードウェア・リセット動作においてこの初期化シーケンスが守られない場合、デバイス誤動作の原因となります。

2.10.1 電源投入時のリセット

Vccがμ PD72840Aに対して供給される際には、通常電圧である5 Vに達するまでに多少時間がかかります。この初期電源投入時間は、Vccが0 Vから5 Vに立ち上がる時間に影響されます。Vccの立ち上がり約4 Vに達したとき、μ PD72840Aは、RESET端子の状態に関連し必要な時間をとったうえで、内部のリセット動作を開始します。電源投入時に、リセット動作を確実に実行するために2つの方法があります。

第一の方法は、ハードウェアにより電源投入と同時にRESET端子をアクティブにするような、特別な電源投入回路を使用する方法です。この場合、RESET端子がインアクティブ（立ち下がリエッジ）状態になるのは、Vccの立ち上がりが最初に4 Vに達してから、少なくとも500 μs経過したあとでなければなりません。

第二の方法は、初期電源投入後にリセット・パルスを生成する応用回路を用いる方法です。この場合、気を付けなければならないことは、Vccの立ち上がりが最初に4 Vに達した時点から500 μs経過したあとに、少なくとも1 μs幅の正論理パルスを、RESET端子に与えなければならないことです。

以上、2つの方法において重要なことは、μ PD72840Aのハードウェア・コンフィギュレーション端子（表2-4参照）が示す各ロジック・レベルが、リセット動作時の機能としてデバイスにラッチされることです。これらのハードウェア・コンフィギュレーションの値は、RESET端子がインアクティブになってから800 ns後に、μ PD72840A内でラッチされます。

リセット動作中にμ PD72840Aにラッチされるハードウェア・コンフィギュレーションの値は、電源投入時に、次の端子が示しているロジック・レベルに依存しています。

電源投入時のリセット動作の間、 $\overline{\text{LED1}}$ から $\overline{\text{LED5}}$ のLEDインタフェース端子は不定状態になり、またSPEED_10端子はアクティブ状態となり、SPEED_100端子はインアクティブ状態となります。

表 2-4 ハードウェア・コンフィギュレーション端子

端子番号	第一の機能	リセット時にラッチされる値
49	LBEN	PHYAD [0]
53	ENCSEL	PHYAD [1]
66	CRS	PHYAD [2]
89	PHYAD [3]	PHYAD [3]
63	RX_ER	PHYAD [4]
95	AN0	AN0
46	AN1	AN1
47	REPEATER	REPEATER
98	10BTSER	10BTSER
99	BPALIGN	BPALIGN
100	BP4B5B	BP4B5B
1	BPSCR	BPSCR

2.10.2 ハードウェア・リセット

ハードウェア・リセットは、少なくとも1 μs幅の正論理パルスが、通常動作中にμ PD72840AのRESET端子に与えられることにより実行されます。これによりデバイスは、すべてのレジスタをデフォルト値にリセットします。また電源投入時のリセット動作と同様に、ハードウェア・コンフィギュレーションの値が、再ラッチされません。

★ 2.10.3 ソフトウェア・リセット

ソフトウェア・リセットは、基本モード・コントロール・レジスタ (BMCR) (アドレス00H) のビット15を1に設定することで、実行されます。このビットは自動的にクリアされますが、ソフトウェア・リセット動作が完了するまでは、“1”が読み出されます。ソフトウェア・リセットは、すべてのレジスタをデフォルト値に初期化し、ハードウェア・コンフィギュレーションの値を再びラッチします。上位ソフトウェアは、ソフトウェア・リセット実行後、次のμ PD72840Aに対するMII動作を開始するまで500 μs待つ必要があります。

2.11 ループバック動作

μ PD72840Aでは、いくつかのループバック動作のモードをサポートしています。

2.11.1 10BASE-Tループバック

10BASE-T動作におけるループバック動作は、MIIを通じて基本モード・コントロール・レジスタ (BMCR) (アドレス00H) のLoopbackビット (ビット14) を1に設定し、ループバック、バイパスおよび受信エラー・マスク・レジスタ (LBREMR) (アドレス18H) の10BT_LPBKビット (ビット11) を1に設定することで、選択されます。これらのビット設定によって、送信用のMIIデータ入力にある10BASE-Tデータが、10BASE-Tトランシーバ内を通り、受信用のMIIデータ出力に戻されます。このループバック・モードの間では、マンチェスタ符号化された10BASE-Tデータは、シリアル差動出力であるTXU±およびTXS±からは出力されません。

通常の10BASE-T動作では、規格に準拠するために、MII送信データをMII受信データにループバックします。データは10BASE-T送信部にも送られ、TXU±あるいはTXS±から出力されます。

2.1.1.2 100BASE-Xループバック

100BASE-X動作におけるループバック動作は、基本モード・コントロール・レジスタ (BMCR) (アドレス00H) のLoopbackビット (ビット14) を1に設定するか、あるいはループバック、バイパスおよび受信エラー・マスク・レジスタ (LBREMR) (アドレス18H) のLB [1:0] ビット (ビット8およびビット9) で決定されるモードを選択することで、ループバック・モードが選択されます。

基本モード・コントロール・レジスタ (BMCR) (アドレス00H) のLoopbackビット (ビット14) を1に設定することで、100BASE-X動作であるため25 MHz動作となる点を除き、2.11.1 10BASE-T ループバックの項と同じような、MII送信からMII受信へのループバック動作となります。

ループバック、バイパスおよび受信エラー・マスク・レジスタ (LBREMR) (アドレス18H) のLB [1:0] ビット (ビット8およびビット9) により、3つの異なる動作モードを選ぶことができます。

1. Bit 8=0, Bit 9=0 : 通常動作 (ループバックなし)
2. Bit 8=0, Bit 9=1 : PMDループバック動作
3. Bit 8=1, Bit 9=0 : リモート・ループバック

第1の設定は、ループバックなしで通常動作を行う設定です。

第2の設定は、μ PD72840AのLBEN出力端子を、ツイスト・ペア・トランシーバであるμ PD72223のLBEN入力端子に接続し、有効にすることで、ツイスト・ペア・トランシーバをループバック・モードにします。これにより、μ PD72840Aが100BASE-Xのシリアル・データをTD+/-出力端子からツイスト・ペア・トランシーバに送信するとき、このデータは直接μ PD72840AのRD+/-入力端子にループバックされます。

第3の設定は、リモート・ループバック動作を選択します。この設定では、μ PD72840Aは、離れた通信相手に対して、リモート・ループバックを提供します。ツイスト・ペア・ケーブルから受信したシリアル・データは、μ PD72223を経由して、μ PD72840AのRD+/-入力端子に転送され、μ PD72840AのTD+/-出力端子に戻されます。そして最終的には、μ PD72223を経由して、ツイスト・ペア・ケーブル上に戻され、通信相手に返送されます。

これらの100BASE-Xループバック・モードでは、リモート・ループバックを除いて、ループバック機能の実行にあたっては、550 μsの停止時間が発生します。この時間は、有効データがMIIのRXD [3:0] 出力端子に現れる前に、100BASE-TXディスクリンブラがスクランブルされたデータ・ストリームに対し同期を再びとるために必要な時間です。

2.1.2 100BASE-X動作の選択

μ PD72840Aは、100Mbps動作として、通常モードと、その他に3つのモードをサポートします。

2.1.2.1 通常モード

第1のモードは、通常モードです。このモードは、標準的で最も普通に使われるモードで、MACコントローラとケーブルの間で、フィジカル・レイヤを通じたデータ転送により、すべての送信、受信が可能です。

2.1.2.2 透過モード

第2のモードは透過モードです。このモードでは、トランスミッタおよびレシーバにおける4B/5B変換がバイパスされます。このモードは、電源投入時/リセット時にμ PD72840AのBP4B5B端子 (100番ピン) をハイ・レベルに設定するか、あるいはLBREMRレジスタ (アドレス18H) のBP_4B5Bビット (ビット14) をセットすることで、設定されます。

透過モードでは、100BASE-Xトランスミッタおよびレシーバにおける、残りの機能ブロックは、すべて使用可能です。これにより、ツイスト・ペア・ケーブル上の5ビット・シリアル・コード・グループは、4ビットに変換さ

れずに、ディスクランブラされたデータとしてMIIインタフェース上に現れます。MIIインタフェースは通常4ビット幅のニブル・データ・ワードしか転送しませんので、新たにMSBとして、データの5ビット目を、受信動作の場合にはRX_ER端子に、送信動作の場合にはTX_ER端子を使用して転送します。

透過モードにおいて、MII送信/MII受信動作に対するデータ・タイミング・クロックは、すべて通常モードの場合と同じです。しかしパケット受信において、スタート・オブ・ストリーム・デリミタであるJ/Kコード・グループ・ペアは、“01010101”のMACプリアンプルに変換されません。またエンド・オブ・デリミタであるT/Rコード・グループ・ペアは、受信データとしてRXD [3:0]とRX_ER端子から出力される前に、パケットから分離されることはありません。パケット送信においては、送信データとしてTXD [3:0]とTX_ER端子には、J/Kコード・グループとT/Rコード・グループがパケット・デリミタとして、与えられなければなりません。

受信データが有効であることを示すRX_DV信号は、透過モード時も通常モード時と同じ動作をします。IDLEコード・グループは、“00000”としてMIIインタフェース上を通過します。

透過モード時の動作は、CRS動作を除き、ノード・モードでもリピータ・モードでも同じです。通常モード時では、μ PD72840Aがリピータ・モードで動作するように設定されている場合、CRS信号は、たとえコリジョンが発生していても、送信中はその機能が抑えられています。

2.1 2.3 Phaserモード

100Mbpsにおける動作モードとして最後に述べるのは、Phaserモードです。このモードは、システム設計上でμ PD72840Aのクロック・リカバリおよびクロック・ジェネレータ機能のみを必要とするアプリケーションで使用することができます。このモードは、電源投入時/リセット時にμ PD72840AのBPALIGN端子(99番ピン)をハイ・レベルに設定するか、あるいはLBREMRレジスタ(アドレス18H)のBP_ALIGNビット(ビット12)をセットすることで、設定されます。

Phaserモードにおいては、100BASE-Xトランスミッタおよびレシーバの変換ブロックすべてが、バイパスされます(図2-3、図2-4参照)。これにより、μ PD72840AのMII送信データ(TXD [3:0]とTX_ER)として、どんな5Bデータが与えられても単純にシリアル変換され、ツイスト・ペア・トランシーバであるμ PD72223へ出力され、ツイスト・ペア・ケーブル上へと出力されます。同じように、μ PD72840AのRD+/-入力端子より受信した100BASE-Xシリアル・データは、5ビットの平行ワードに変換され、MII受信データ(RXD [3:0]とRX_ER)として出力されます。アイドルを含むすべてのデータは、シリアル/平行変換以外の変更が加わることなく、μ PD72840Aを通過します。

2.1 2.4 100BASE-FXモード

μ PD72840Aは、スクランブラ機能とディスクランブラ機能をバイパスすることで、100BASE-FX機能に対応します。このモードはハードウェア設定、またはソフトウェアによる設定により、実現されます。

ハードウェアで設定する場合には、電源投入時/リセット時において、BPSCR端子(1番ピン)をハイ・レベルにします。ソフトウェアでの設定は、LBREMRレジスタ(アドレス18H)のBP_SCRビット(ビット13)をセットすることで行われます。

PCRレジスタ(アドレス17H)のF_CONNECTビット(ビット5)をセットすることで、100BASE-FX動作中に通信を切断する機能をバイパスすることが可能です。

★ 2.1 3 低電力モード

μ PD72840Aは、2つの電力モードをサポートしています。

1つは、10 Mbps機能ブロックおよび100 Mbps機能ブロックの双方に電源が供給される、通常モードです。このモードでは、ソフトウェアの指示あるいはオートネゴシエーションにより、10 Mbps動作と100 Mbps動作を切り替えることが可能です。

もう一つのモードは、μ PD72840A内の100 Mbps機能ブロックのみに電源が供給される、低電力モードです。このモードでは、10 Mbps機能ブロックおよびオートネゴシエーションは機能しません。このモードは、10 Mbps動作やオートネゴシエーションを利用しない100 Mbpsリピータ・アプリケーションで特に有効です。

標準的な12ポート100BASE-Xリピータにおいてμ PD72840Aを使う場合、トータルで500 mAから800 mAの低消費電力化が図れます。

2つのモードの選択は、LOWPWR端子（3番ピン）で設定されます。LOWPWR端子がハイ・レベルのとき低電力モードが選択され、ロウ・レベルのときは通常に電源供給されるモードになります。

3. レジスタ

MIIでは、MII上に接続されたデバイス1つ当たり、16ビット幅の最大32個のレジスタをサポートしています。

μ PD72840Aのレジスタ配置を、下表に示します。各レジスタの説明に関しては、3.2 基本モード・コントロール・レジスタ (BMCR) から3.17 10BASE-Tコンフィギュレーション・レジスタ (10BTCR) を参照してください。

また、MIIによるレジスタのシリアル・アクセス制御方法に関しては、2.2 MIIのシリアル・マネージメントによるレジスタ・アクセスを参照してください。

アドレス	レジスタ名	機能
00H	BMCR	基本モード・コントロール・レジスタ
01H	BMSR	基本モード・ステータス・レジスタ
02H	PHYIDR1	PHY 識別子レジスタ # 1
03H	PHYIDR2	PHY 識別子レジスタ # 2
04H	ANAR	オートネゴシエーション・アダプタイズメント・レジスタ
05H	ANLPAR	オートネゴシエーション・リンク・パートナー・アビリティ・レジスタ
06H	ANER	オートネゴシエーション・エクステンション・レジスタ
07H-0FH	リザーブ	IEEE 802委員会のMII ワーキング・グループが、将来拡張のため予約
10-11H	リザーブ	予約
12H	DCR	ディスコネクト・カウンタ・レジスタ
13H	FCSCR	フォールス・キャリア・センス・カウンタ・レジスタ
14H	リザーブ	予約：このレジスタは、読み出し／書き込み禁止。
15H	RECR	受信エラー・カウンタ・レジスタ
16H	SRR	シリコン・リビジョン・レジスタ
17H	PCR	PCS コンフィギュレーション・レジスタ
18H	LBREMR	ループバック、バイパスおよび受信エラー・マスク・レジスタ
19H	PAR	PHY アドレス・レジスタ
1AH	リザーブ	予約
1BH	10BTSR	10BASE-Tステータス・レジスタ
1CH	10BTCR	10BASE-Tコンフィギュレーション・レジスタ
1D-1FH	リザーブ	予約：読み出し／書き込み禁止

3.1 デフォルト値の表記方法

3.2 基本モード・コントロール・レジスタ (BMCR) 以降のレジスタに関する説明において、端子設定によってデフォルト値が変化するものは、次のような形式で表します。

(端子#) リセット時に端子#からラッチされた値

3.2 基本モード・コントロール・レジスタ (BMCR)

アドレス00H

(1/3)

ビット名	ビット	デフォルト値	リード/ライト	機能
★ Reset	15	0	R/W	<p>リセット：</p> <p>このビットを1にすると、μ PD72840Aのステータス・レジスタおよび制御レジスタはデフォルト値に設定されます。さらにすべてのハードウェア・コンフィギュレーション端子の値も再ラッチされます。このビットは自動的にクリアされますが、リセット処理が完了するまでは1が読み出されます。ソフトウェアは、電源投入後ソフトウェア・リセットを実行するまで500μs待たなければなりません。</p> <p>1：ソフトウェア・リセット 0：通常動作</p>
Loopback	14	0	R/W	<p>ループバック：</p> <p>ループバック機能は、MIIのTXD[0：3]に入力した送信データを、RXD[0：3]に折り返して出力します。このビットがセットされると、10 Mbps, 100 Mbpsの双方においてループバックがイネーブルされます。100BASE-TX動作時にこのビットが設定されると、有効なデータの送信／受信動作が始まる前に、550μsの停止時間が発生します。このビットは、LBREMR（アドレス18H）のループバック制御ビット8および9の設定より優先されます。</p> <p>1：ループバック・イネーブル 0：通常動作</p>
Speed Selection	13	1	R/W	<p>速度選択：</p> <p>通信速度はこのビットの設定、あるいはオートネゴシエーション（このレジスタのビット12をセット）によって選択されます。オートネゴシエーションをイネーブルとした場合、このビットの値は無視されます。AN0およびAN1端子からラッチ入力された設定状態は、このビットの設定に影響を与え、さらにAuto-Negotiation Enableビット（ビット12）の設定より優先されます。</p> <p>1：100 Mbps動作 0：10 Mbps動作</p>

(2/3)

ビット名	ビット	デフォルト値	リード/ライト	機能
Auto-Negotiation Enable	12	1	R/W	<p>オートネゴシエーション・イネーブル :</p> <p>1 : オートネゴシエーション・イネーブル</p> <p>このビットがセットされると、このレジスタのビット8と13が無視されます。</p> <p>0 : オートネゴシエーション・ディスエーブル</p> <p>通信速度および使用プロトコルは、このレジスタのビット8と13で決定されます。</p> <p>μ PD72840Aが電源投入時にオートネゴシエーションに対応しないよう設定され、その後ソフトウェアによりオートネゴシエーションをイネーブルにしようとするとき、このビットはまず始めにクリアされ、その後セットされなければなりません。このビットはオートネゴシエーション機能を制御することのみを目的としており、オートネゴシエーション機能の状態を示すものではありません。</p>
★ Reserved	11	0	R/W	<p>予約 :</p> <p>“0”を書き込んでください。読み出し時は不定となります。</p>
Isolate	10	注	R/W	<p>アイソレート :</p> <p>PHYアドレスが0Hにセットされていると、このビットが電源投入時またはリセット時にセットされます。詳細は、1.8 PHYアドレス・インタフェースを参照してください。</p> <p>1 : μ PD72840Aを、シリアル・マネージメント・アクセスを除いたMII上のデータ転送から切り離します。このビットを“1”に設定するとμ PD72840Aは、TXD [3 : 0] , TX_ENおよびTX_ER端子の入力信号にตอบสนองせず、TX_CLK, RX_CLK, RX_DV, RX_ER, RXD [3 : 0] , COLおよびCRS端子の出力をハイ・インピーダンス状態にします。CLK25 M端子の出力はアクティブなままであるためシリアル・マネージメント・アクセスにはตอบสนองします。アイソレート・モード時、TX_EN端子は無視され、TD±端子はIDLE送信を行い、TXU±およびTXS±端子はハイ・インピーダンス状態になり、RD±およびRXI±端子の入力は無視され、リンク信号はディスエーブルされます。</p> <p>0 : 通常動作</p>

注 PHYAD (PHYアドレス) 端子の設定によって、デフォルト値は異なります。PHYアドレスが0Hであった場合、“1”となり、それ以外のPHYアドレスでは“0”となります。

ビット名	ビット	デフォルト値	リード/ライト	機能
Restart Auto-Negotiation	9	0	R/W	<p>オートネゴシエーション再実行：</p> <p>1：オートネゴシエーションを再実行 オートネゴシエーションを再実行，再初期化します。オートネゴシエーションがディスエーブルの場合（このレジスタのビット12がクリアされている場合），このビットは機能しません。このビットに“1”を設定したあと，オートネゴシエーションを開始するまで“1”が読み出されその後，自動的にクリアされます。オートネゴシエーションの動作は，上位ソフトウェアによって，このビットをクリアされても影響を受けません。</p> <p>0：通常動作</p>
Duplex Mode	8	1	R/W	<p>全二重／半二重選択：</p> <p>このビットは，オートネゴシエーションがディスエーブル（このレジスタのビット12が“0”）のときに設定可能となります。BMSRレジスタ（アドレス01H）のビット11からビット15で定義されたプロトコルが，現在対応可能なプロトコルを表します。このビットはプロトコルの設定状態を示すものではありません。</p> <p>1：全二重動作 0：半二重動作</p>
Collision Test	7	0	R/W	<p>衝突テスト：</p> <p>1：衝突テストをイネーブルとします。 このビットは，“1”に設定すると，TX_EN信号がアクティブとなったとき，COL信号をアクティブとします。</p> <p>0：通常動作</p>
Reserved	6-0	不定	R	<p>予約ビット：</p> <p>“0”を書き込んでください。読み出し時は不定となります。</p>

3.3 基本モード・ステータス・レジスタ (BMSR)

アドレス01H

このレジスタは、リード・オンリーのレジスタであり、ビット11~15、ビット6、ビット3およびビット0は固定値です。

(1/3)

ビット名	ビット	デフォルト値	リード/ライト	機能
100BASE-T4	15	0	R	100BASE-T4サポート： 1：μ PD72840Aが100BASE-T4をサポートしていることを示しています。 0：μ PD72840Aが100BASE-T4をサポートしないことを示しています。
100BASE-TX Full Duplex	14	1	R	全二重の100BASE-TXサポート： 1：μ PD72840Aが全二重通信の100BASE-TXをサポートしていることを示しています。 0：μ PD72840Aが全二重通信の100BASE-TXをサポートしていないことを示しています。
100BASE-TX Half Duplex	13	1	R	半二重の100BASE-TXサポート： 1：μ PD72840Aが半二重通信の100BASE-TXをサポートしていることを示しています。 0：μ PD72840Aが半二重通信の100BASE-TXをサポートしていないことを示しています。
10BASE-T Full Duplex	12	1	R	全二重の10BASE-Tサポート： 1：μ PD72840Aが全二重通信の10BASE-Tをサポートしていることを示しています。 0：μ PD72840Aが全二重通信の10BASE-Tをサポートしていないことを示しています。
10BASE-T Half Duplex	11	1	R	半二重の10BASE-Tサポート： 1：μ PD72840Aが半二重通信の10BASE-Tをサポートしていることを示しています。 0：μ PD72840Aが半二重通信の10BASE-Tをサポートしていないことを示しています。
Reserved	10-7	0	R	予約： “0”を書き込んでください。読み出し時は、不定となります。

ビット名	ビット	デフォルト値	リード/ライト	機能
★ MF Preamble Suppression	6	1	R	<p>MIIマネージメントにおけるプリアンプルの抑制</p> <p>1 : μ PD72840AがプリアンプルなしのMIIマネージメント処理に対応することを示します。</p> <p>0 : μ PD72840AはMIIマネージメント処理ごとにプリアンプルを必要とすることを示します。</p> <p>電源投入またはハードウェア・リセット後、最小32ビットのプリアンプルが必要になります。またIEEE 802.3uではMIIマネージメント処理間でアイドル状態が必要とされています。</p>
Auto-Negotiation Complete	5	0	R	<p>オートネゴシエーション完了 :</p> <p>1 : オートネゴシエーションが完了したことを示しています。</p> <p>0 : オートネゴシエーションがまだ完了していないことを示しています。</p>
Remote Fault	4	0	R	<p>遠隔障害検出 :</p> <p>このビットは、このレジスタをリードしたあとクリアされます。</p> <p>1 : 遠隔障害状態を検出</p> <p>このビットは、ANLPAR (アドレス05H) のRFビット (ビット13) がセットされている場合に“1”となります。</p> <p>0 : 遠隔障害状態を未検出</p>
Auto-Negotiation Ability	3	1	R	<p>オートコンフィギュレーションの実行 :</p> <p>1 : μ PD72840Aがオートネゴシエーションを実行することが可能であることを示しています。</p> <p>0 : μ PD72840Aがオートネゴシエーションを実行することが不可能であることを示しています。</p>
Link Status	2	0	R	<p>リンク状態 :</p> <p>このビットは、100BASE-Xまたは10BASE-Tに受信データがあると判断したμ PD72840Aで、内部にあるリンク・テスト・フェール・ステート・マシンの状態を表しています。有効なリンクにより、送信/受信機能は通常動作します。リンクが検出されない場合、送信ブロックも受信ブロックも、100BASE-X、10BASE-Tにかかわらず、送信データ、受信データに対応しません。しかし、リンク・パルスやIDLE信号 (μ PD72840Aに設定された通信速度による) は、ネットワーク上に流されます。このビットは、ラッチ回路で構成されており、通信異常によるリンク・パルス未検出の状態となるとクリアされ、MIIのシリアル・マネージメント・インタフェースによるリード・アクセスが行われるまで保持されます。</p> <p>1 : 有効なリンク・パルスを検出、相手デバイスとの通信が可能であることを示しています (10 Mbpsまたは100 Mbps動作時)。</p> <p>0 : 有効なリンクを検出していない状態を示しています。</p>

(3/3)

ビット名	ビット	デフォルト値	リード/ライト	機能
Jabber Detect	1	0	R	ジャバ-検出： 10BASE-Tトランシーバが、ジャバ-状態を検出したかどうかを報告します。このビットは、ラッチ回路で構成されており、ジャバ-状態を検出するとセットされ、MIIのシリアル・マネージメント・インタフェースによるリード・アクセス、またはμPD72840Aがリセットされるとクリアされます。このビットは、10 Mbps動作のみ意味を持ちます。 1：ジャバ-検出 0：ジャバ-未検出
Extended Capability	0	1	R	拡張レジスタのサポート： IEEE 802.3uのMII仕様で規定された拡張レジスタのサポートの有無を示します。 1：拡張レジスタをサポート（アドレス2H～32Hまでが拡張レジスタ） 0：基本レジスタのみサポート（アドレス0，1Hが基本レジスタ）

3.4 PHY識別子レジスタ#1 (PHYIDR1)

アドレス02H

PHY識別子レジスタ#1と#2は、IEEE 802.3委員会が、各ベンダの製品を識別するために割り当てた24ビットの固有アドレス（OUI：Organizationally Unique Identifier）と製品の型番（6ビット）および改訂番号（4ビット）で構成されています。

μPD72840Aは、必要であれば32ビットのPHY識別子として、0Hを返します。PHY識別子は、ネットワーク管理に使用されます。

この製品に割り当てられたOUIは080017Hであり、この識別子は米国ナショナル・セミコンダクター社のIDです。

この2つのレジスタは、リード・オンリーであるため変更することはできません。

ビット名	ビット	デフォルト値	リード/ライト	機能
OUI_MSB	15-0	2000H	R	OUIの上位： OUI（080017H）のビット3から18を、このレジスタのビット15から0に格納しています。OUIの上位2ビットは無視されます（IEEE 802.3uでは、この2ビットがビット1と2に相当します）。

3.5 PHY識別子レジスタ#2 (PHYIDR2)

アドレス03H

ビット名	ビット	デフォルト値	リード/ライト	機能
OUI_LSB	15-10	17H	R	OUIの下位: OUI (080017H) のビット19から24が、このレジスタのビット15から10に格納されています。
VNDR_MDL	9-4	0H	R	製品型番: このビット9から4に、6ビットの製品型番が格納されています。
MDL_REV	3-0	1H	R	改訂番号: このビット3から0に、μ PD72840Aのリビジョンを表す4ビットの改訂番号が格納されています。このフィールドは、μ PD72840Aを改訂した場合、インクリメントされます。

3.6 オートネゴシエーション・アダプタイズメント・レジスタ (ANAR)

アドレス04H

このレジスタは、オートネゴシエーションを通じてリンク・パートナーと交渉するときに、利用可能なプロトコルについて通知するための情報を持っています。

(1/2)

ビット名	ビット	デフォルト値	リード/ライト	機能
NP	15	0	R	ネクスト・ページ機能のサポート: μ PD72840Aでは、ネクスト・ページ機能をサポートしていないため、このビットは“0”固定です。 0:ネクスト・ページのサポートなし 1:ネクスト・ページのサポートあり
ACK	14	0	R	アクノリッジ: μ PD72840Aのオートネゴシエーション・ステート・マシンが、FLPパースト中のこのビットを制御し、オートネゴシエーションを行う過程において、自動的にビットセットします。上位ソフトウェアはこのビットに“1”を書き込まないようにしてください。 1:相手デバイスからのデータに対してアクノリッジを送信。 0:アクノリッジの送信は行わない。
RF	13	0	R/W	遠隔障害: 1:μ PD72840Aが遠隔障害を検出したことを示します。 0:μ PD72840Aが遠隔障害を検出していないことを示しています。
Reserved	12-10	不定	R/W	予約: “0”を書き込んでください。読み出し時は、不定となります。

(2/2)

ビット名	ビット	デフォルト値	リード/ライト	機能
T4	9	0	R	<p>100BASE-T4サポート :</p> <p>μ PD72840Aは100BASE-T4をサポートしないので、このビットは常に0になります。</p> <p>1 : μ PD72840Aが100BASE-T4をサポートすることを相手デバイスに示します。</p> <p>0 : μ PD72840Aが100BASE-T4をサポートしないことを相手デバイスに示します。</p>
TX_FD	8	1	R/W	<p>全二重の100BASE-TXサポート :</p> <p>1 : μ PD72840Aが全二重の100BASE-TXをサポートすることを相手デバイスに示します。</p> <p>0 : μ PD72840Aが全二重の100BASE-TXをサポートしないことを相手デバイスに示します。</p>
TX	7	1	R/W	<p>半二重の100BASE-TXサポート :</p> <p>1 : μ PD72840A が半二重の100BASE-TXをサポートすることを相手デバイスに示します。</p> <p>0 : μ PD72840A が半二重の100BASE-TXをサポートしないことを相手デバイスに示します。</p>
10_FD	6	1	R/W	<p>全二重の10BASE-Tサポート :</p> <p>1 : μ PD72840Aが全二重の10BASE-Tをサポートすることを相手デバイスに示します。</p> <p>0 : μ PD72840Aが全二重の10BASE-Tをサポートしないことを相手デバイスに示します。</p>
10	5	1	R/W	<p>半二重の10BASE-Tサポート :</p> <p>1 : μ PD72840Aが半二重の10BASE-Tをサポートすることを相手デバイスに示します。</p> <p>0 : μ PD72840Aが半二重の10BASE-Tをサポートしないことを相手デバイスに示します。</p>
Selector	4-0	1H	R	<p>プロトコル選択ビット :</p> <p>これらのビットは、μ PD72840Aのオートネゴシエーションによってサポートされている、ベース・リンク・コード・ワード中のセクタ・フィールドのエンコード値を指定するものです。μ PD72840AではIEEE 802.3のCSMA/CDプロトコルをサポートしているため、00001Bとエンコードし、示します。</p>

3.7 オートネゴシエーション・リンク・パートナー・アビリティ・レジスタ (ANLPAR)

アドレス05H

このレジスタは、オートネゴシエーションを用いて得た相手デバイスがサポートしている機能を示すレジスタです。

(1/2)

ビット名	ビット	デフォルト値	リード/ライト	機能
NP	15	0	R	<p>ネクスト・ページ表示 :</p> <p>0 : 相手デバイスがネクスト・ページをサポートしていないことを示しています。</p> <p>1 : 相手デバイスがネクスト・ページをサポートしていることを示しています。</p>
ACK	14	0	R	<p>アクノリッジ :</p> <p>μ PD72840Aのオートネゴシエーション・ステート・マシンが、入力されるFLPバースト中のこのビットを自動的に制御します。上位ソフトウェアは、このビットに対して“1”の書き込みを行わないようにしてください。</p> <p>1 : リンク・パートナーがオートネゴシエーションでやり取りされるデータ・ワード中のアクノリッジ・ビットがセットされていたことを示しています。</p> <p>0 : アクノリッジがセットされていないことを示しています。</p>
RF	13	0	R	<p>遠隔障害 :</p> <p>1 : 相手デバイスが、遠隔障害を検出したことを示しています。</p> <p>0 : 相手デバイスが、遠隔障害を検出していないことを示しています。</p>
Reserved	12-10	不定	R	<p>予約 :</p> <p>“0”を書き込んでください。読み出し時は、不定となります。</p>
T4	9	0	R	<p>100BASE-T4サポート :</p> <p>1 : 相手デバイスが100BASE-T4をサポートしていることを示しています。</p> <p>0 : 相手デバイスが100BASE-T4をサポートしていないことを示しています。</p>
TX_FD	8	0	R	<p>全二重の100BASE-TXサポート :</p> <p>1 : 相手デバイスが全二重の100BASE-TXをサポートしていることを示しています。</p> <p>0 : 相手デバイスが全二重の100BASE-TXをサポートしていないことを示しています。</p>

(2/2)

ビット名	ビット	デフォルト値	リード/ライト	機能
TX	7	0	R	半二重の100BASE-TXサポート： 1：相手デバイスが半二重の100BASE-TXをサポートしていることを示しています。 0：相手デバイスが半二重の100BASE-TXをサポートしていないことを示しています。
10_FD	6	0	R	全二重の10BASE-Tサポート： 1：相手デバイスが全二重の10BASE-Tをサポートしていることを示しています。 0：相手デバイスが全二重の10BASE-Tをサポートしていないことを示しています。
10	5	0	R	半二重の10BASE-Tサポート： 1：相手デバイスが半二重の10BASE-Tをサポートしていることを示しています。 0：相手デバイスが半二重の10BASE-Tをサポートしていないことを示しています。
Selector	4-0	0H	R	プロトコル選択ビット： これらのビットは、相手デバイスのオートネゴシエーション機能でサポートされている、ベース・リンク・コード・ワード中のセクタ・フィールドのエンコード値を示すものです。

3.8 オートネゴシエーション・エクspansion・レジスタ (ANER)

アドレス06H

ビット名	ビット	デフォルト値	リード/ライト	機能
Reserved	15-5	0	R	予約： 常に0となっています。
MLF	4	0	R	マルチプル・リンク・フォールト： 1：マルチプル・リンク・フォールト 10BASE-Tリンク検出機能あるいは100BASE-XのLIM機能のどちらか一方、あるいは両方で有効なリンク状態であることが検出され、オートネゴシエーション仕様に従って2つの機能がともに有効なリンク状態を保持した場合、あるいは2つの機能がともにリンク状態を保持しない場合に、結果として接続できなかったことを示します。このビットは通常、受信チャンネルが誤動作しているか、誤った接続がされている場合に示されます。 0：マルチプル・リンク・フォールトが検出されていないことを示します。
LP_NP_ABLE	3	0	R	相手デバイスによるネクスト・ページのサポート： 相手デバイスがネクスト・ページをサポートしているかどうかを示すステータスです。このビットが“1”であると、相手デバイスがネクスト・ページ機能をサポートしていることを示します。
NP_ABLE	2	0	R	ネクスト・ページ機能： μ PD72840Aが、オートネゴシエーションの追加情報を示す「ネクスト・ページ」を送ることができるかどうかを示します。μ PD72840Aでは、ネクスト・ページ機能をサポートしていないため、このビットは常に“0”となります。
PAGE_RX	1	0	R	リンク・コード・ワード・ページ受信： 新しいリンク・コード・ワード・ページを受信したとき、このビットをセットします。MIIのシリアル・マネージメント・インタフェースによって、アドレス05HのANLPPARが読み出されると、このビットは自動的にクリアされます。
LP_AN_ABLE	0	0, R0		相手デバイスによるオートネゴシエーションのサポート： このビットが“1”になると、相手デバイスがオートネゴシエーションをサポートしていることを示します。

3.9 ディスコネクト・カウンタ・レジスタ (DCR)

アドレス12H

ビット名	ビット	デフォルト値	リード/ライト	機能
DCNT [15:0]	15-0	0000H	R/W	<p>ディスコネクト・カウンタ :</p> <p>この16ビットのカウンタは、ケーブルの未接続 (ディスコネクト) 状態を検出するごとにインクリメントされます。すなわち、μ PD72840Aと相手デバイスの接続が切り離されるたびに、カウンタはインクリメントします。このカウンタは、FFFFHを越えると自動的に0000Hにロール・オーバーします。このレジスタは、リードすると自動的にクリアされます。</p>

3.10 フォールス・キャリア・センス・カウンタ・レジスタ (FCSCR)

アドレス13H

ビット名	ビット	デフォルト値	リード/ライト	機能
FCSCNT [15:0]	15-0	0000H	R/W	<p>フォールス・キャリア・イベント・カウンタ :</p> <p>この16ビット・カウンタは、フォールス・キャリア・イベントが発生すると、すなわちJ/Kコード・グループを検出しない状態で、受信回路でキャリアを検出 (CRS端子がアクティブ) するとインクリメントします。このカウンタは、カウント・フル状態 (カウント値 : FFFFH) となると停止します。このレジスタは、リードすると自動的にクリアされます。このカウンタは、最後にMIIマネージメントから読み出されたあとに発生したフォールス・キャリア・イベントの総数を表しています。CIM(Carrier Integrity Monitor)は、リンク状態が不安定かどうか評価するために、CIM自身に内蔵するカウンタを用いています。</p>

3.11 受信エラー・カウンタ・レジスタ (RECR)

アドレス15H

ビット名	ビット	デフォルト値	リード/ライト	機能
RXERCNT [15:0]	15-0	0000H	R/W	<p>RX_ERカウンタ :</p> <p>この16ビット・カウンタは、受信エラーを検出するたびにインクリメントされます。有効パケット (受信中に衝突が発生しなかったパケットが対象) の受信中に、1つまたはそれ以上の受信エラー状態を検出するとパケット受信の最後で、1インクリメントします。このカウンタはFFFFHを越えると0000Hにロールオーバーします。このレジスタは、リードすると自動的にクリアされます。</p>

★ 3.1 2 シリコン・リビジョン・レジスタ (SRR)

アドレス16H

ビット名	ビット	デフォルト値	リード/ライト	機能
SIREV [15:0]	15-0	0001H	R	シリコン・リビジョン番号： このレジスタはμ PD72840Aのシリコン・リビジョン・コードを示しています。この値は大規模なリビジョン変更があった場合に更新されません。

3.1 3 PCSコンフィギュレーション・レジスタ (PCR)

アドレス17H

(1/3)

ビット名	ビット	デフォルト値	リード/ライト	機能
NRZI_EN	15	1	RW	NRZIイネーブル： 1 : 100 Mbps送信および受信データ・ストリームに対するNRZIエンコードおよびデコードをイネーブルとします。 0 : NRZIエンコードおよびデコードをディスエーブルとします。
★ DESCR_TO_SEL	14	0	RW	ディスクリンブラ・タイムアウト： 1 : ディスクリンブラ・タイムアウト=2ms 0 : ディスクリンブラ・タイムアウト=722μs ディスクリンブラ・タイムアウトには、ディスクリンブラの同期を維持するのに必要な、十分な長さのIDLEコード・グループを検出する間隔を設定します。デフォルト値：722μsにより100BASE-X規格に準拠したアプリケーションをサポートします。 タイムアウトのタイムアウトは、ディスクリンブラの同期が失われたことを示し、ディスクリンブラはただちにIDLEコード・グループを探して再び同期をとるよう動作します。 タイムアウト=2msの設定は、IEEE 802.3の規格値より大きいパケット・サイズを扱うアプリケーションにおいて、ディスクリンブラの同期を維持するときに使用します。
DESCR_TO_DIS	13	0	RW	ディスクリンブラ・タイムアウト・ディスエーブル： 1 : 100BASE-Xレーバのディスクリンブラ内の監視タイムアウト動作をディスエーブルにします。 0 : 監視タイムアウト動作をイネーブルにします。

(2/3)

ビット名	ビット	デフォルト値	リード/ライト	機能
REPEATER	12	(Pin#47)	R/W	<p>リピータ/ノード・モード :</p> <p>リピータ・モードでは, μ PD72840Aからのキャリア・センス (CRS) 出力は, 受信動作時のみアクティブとなります。ノード・モードでは, 全二重動作を行っていないときに, CRS端子は, 受信または送信動作のいずれかがアクティブであるとロウ・レベルになります。</p> <p>リピータ端子 (47番ピン) の値 (4.7kΩのプルアップまたはプルダウン抵抗によって設定) は, 電源投入時またはリセット時にラッチされ, このビットに反映されます。</p> <p>1 : リピータ・モード 0 : ノード・モード</p>
ENCSEL	11	0	R/W	<p>エンコーダ・モード選択 :</p> <p>このビットは, μ PD72840AのENCSEL信号 (53番ピン) をドライブします。ENCSEL信号は, μ PD72223のENCSEL端子入力に接続され, データ・コーディングの制御に使用されます。</p> <p>1 : μ PD72223をバイナリ・エンコードに設定 0 : μ PD72223をMLT3エンコードに設定</p>
Reserved	10-8	不定	R	<p>予約 :</p> <p>“0” を書き込んでください。読み出し時は, 不定となります。</p>
CLK25MDIS	7	0	R/W	<p>CLK25M端子制御 :</p> <p>このビットは, CLK25M端子出力を制御します。この出力を未使用とすると, GNDラインに対する信号の揺れと消費電力を低減することができます。CLK25M出力を必要とするアプリケーションでは, このビットを“0” にしてください。詳細については, 2.7 10BASE-Tトランシーバ・モジュールを参照してください。</p> <p>1 : CLK25M端子 (81番ピン) の出力をHi-Z 0 : CLK25M端子 (81番ピン) の出力をイネーブル</p>
F_LINK_100	6	1	R/W	<p>正常リンク (100 Mbps動作時) 状態へ強制移行 :</p> <p>このビットは, 100 Mbps動作時にリンクパルスの受信の有無にかかわらず, 強制的に正常接続状態とし, LINKLED (LED3端子) をイネーブルにします。このビットは, 試験を目的としています。</p> <p>1 : 通常の100 Mbps動作 0 : 強制的に正常接続状態とします (100 Mbps動作時)</p>

ビット名	ビット	デフォルト値	リード/ライト	機能
★ CIM_DIS	5	(pin#47)	R/W	<p>CIM(Carrier Integrity Monitor)機能ディスエーブル：</p> <p>1：CIM機能 ディスエーブル（ノード/スイッチ動作）</p> <p>0：CIM機能 イネーブル（リピータ動作）</p> <p>REPEATER端子（47番ピン）は、CIM機能をイネーブルにするか、ディスエーブルとするか、このビットのデフォルトを決定します。電源投入時あるいはリセット時にこのビットに入力される値は、REPEATER端子に設定された値の反転となります。電源投入あるいはリセット後は、ソフトウェアによって、この機能をディスエーブル、またはイネーブルすることができます。</p>
TX_OFF	4	0	R/W	<p>送信の強制停止：</p> <p>1：MIIインタフェース信号にかかわらず、100 Mbps出力であるTD±端子はインアクティブになります。</p> <p>0：100 Mbps送信出力TD±端子をイネーブル</p> <p>このビットの機能は、ネットワーク上で通常の100 Mbps動作を禁止した上で、試験を行うことを目的としています。</p>
Reserved	3	不定	R	<p>予約：</p> <p>“0”を書き込んでください。読み出し時は、不定となります。</p>
LED1_MODE	2	0	R/W	<p>LED1端子の動作モード選択：</p> <p>1：LED1端子（42番ピン）は、ネットワークとの接続状態（PAR（アドレス19H）のCIM_STATUS（ビット5））表示用に設定されます。これは、100BASE-TXモードで使用する場合、ネットワークの管理を行うために使用されます。</p> <p>0：10および100 Mbps動作における送信状態を表示する端子となります。</p>
LED4_MODE	1	0	R/W	<p>LED4モード選択：</p> <p>1：LED4端子（37番ピン）は、10および100 Mbps動作時で、全二重通信を行っていることを示す機能となります。</p> <p>0：LED4端子は、10BASE-Tモードではケーブルの接続極性を、100BASE-Xモードでは、全二重通信を行っていることを示す機能となります。</p>
Reserved	0	不定	R	<p>予約：</p> <p>“0”を書き込んでください。読み出し時は、不定となります。</p>

3.14 ループバック、バイパスおよび受信エラー・マスク・レジスタ (LBREMR)

アドレス18H

(1/3)

ビット名	ビット	デフォルト値	リード/ライト	機能
★ BAD_SSD_EN	15	1	R/W	<p>不良SSD検出イネーブル：</p> <p>1：不良SSD検出をイネーブル</p> <p>0：不良SSD検出をディスエーブル</p> <p>この不良SSDが検出されると、μ PD72840Aは、少なくとも2個のIDLEコード・グループを検出するまで、5Bコード・グループを受信するサイクルに合わせて、MII上でRX_ER信号をアクティブにしRXD [3：0]に1110を出力します。</p> <p>いったん最低2個のIDLEコード・グループを検出すると、RX_ERとCRS端子は、インアクティブになります。</p> <p>LBREMRレジスタのビット12が1のとき（コード・グループ・アラインメント機能がバイパスされたとき）、RXD [3：0]、RX_ER/RXD [4]の各端子では、このビットの設定にかかわらず、その機能は変化しません。</p>
BP_4B5B	14	(Pin#100)	R/W	<p>4B5Bエンコードおよび5B4Bデコードをバイパス：</p> <p>電源投入時またはリセット時に、BP4B5B端子（100番ピン）の値がラッチされ、このビットに反映されます。</p> <p>1：4B5Bエンコーダと5B4Bデコーダをバイパスします。</p> <p>0：通常の4B5Bエンコーダおよび5B4Bデコーダとして機能します。</p>
BP_SCR	13	(Pin#1)	R/W	<p>スクランブラ/ディスクランブラをバイパス：</p> <p>電源投入時またはリセット時に、BPSCR端子（1番ピン）の値がラッチされ、このビットに反映されます。</p> <p>1：スクランブラおよびディスクランブラをバイパスします。</p> <p>0：通常のスクランブラおよびディスクランブラとして機能します。</p>
BP_ALIGN	12	(Pin#99)	R/W	<p>コード・グループ・アラインメントをバイパス：</p> <p>電源投入時またはリセット時に、BPALIGN端子（99番ピン）の値がラッチされ、このビットに反映されます。詳細については、2.1 PCS制御部を参照してください。</p> <p>1：受信機能（ディスクランブラ、コード・グループ・アラインメントおよびコード・グループ・デコード）および送信機能（コード・グループ・エンコーダおよびスクランブラ）をバイパスします。</p> <p>0：通常動作</p>
10BT_LPBK	11	0	R/W	<p>10BASE-Tのエンコーダ/デコーダをループバック：</p> <p>1：10BASE-TトランシーバのENDEC内においてデータをループバックします。</p> <p>0：通常動作</p>
Reserved	10	(Pin#49) RW	R/W	<p>予約：</p> <p>“0”を書き込んでください。読み出し時は、不定となります。</p>

(2/3)

ビット名	ビット	デフォルト値	リード/ライト	機能															
LB [1 : 0]	9-8	00	R/W	<p>ループバック制御ビット1, 0 :</p> <p>これらのビットは100 Mbps通信におけるループバック機能を設定します。</p> <table border="1"> <tr> <td>LB1</td> <td>LB0</td> <td>モード</td> </tr> <tr> <td>0</td> <td>0</td> <td>通常動作</td> </tr> <tr> <td>0</td> <td>1</td> <td>μ PD72223内部ループバック・モード</td> </tr> <tr> <td>1</td> <td>0</td> <td>リモートループバック</td> </tr> </table> <p>(受信データを送信チャネル : TD±端子ヘルプバックします。受信データはMII上にも出力されます。またMIIを通じて送信される送信データはTD±端子出力に影響を与えません。)</p> <table border="1"> <tr> <td>1</td> <td>1</td> <td>予約</td> </tr> </table> <p>μ PD72223内部ループバックを選択した場合、3.2 基本モード・コントロール・レジスタ (BMCR) (アドレス00H) のビット14で説明したように、RXD端子出力に有効データが現れるまでに、550 μsの「停止時間」が発生します。BMCRのビット14は、このビットよりも優先されず。</p>	LB1	LB0	モード	0	0	通常動作	0	1	μ PD72223内部ループバック・モード	1	0	リモートループバック	1	1	予約
LB1	LB0	モード																	
0	0	通常動作																	
0	1	μ PD72223内部ループバック・モード																	
1	0	リモートループバック																	
1	1	予約																	
Reserved	7	0	R/W	<p>予約 :</p> <p>“0”を書き込んでください。読み出し時は、不定となります。</p>															
★ ALT_CRS	6	0	R/W	<p>CRS動作選択 :</p> <p>このビットは、μ PD72840Aが全二重動作モードで使用される場合の、CRS信号の動作について設定します。この機能により、全二重動作時に上位MACコントローラに対し柔軟性を持たせることが可能です。</p> <p>1 : 全二重動作において、送信時のみCRS信号がアクティブとなります。100 Mbps動作時におけるRD±入力からの受信、10 Mbps動作時におけるRXI±入力からの受信ではアクティブなりません。</p> <p>0 : 全二重動作において、100 Mbps動作時におけるRD±入力からの受信、10 Mbps動作時におけるRXI±入力からの受信があったときのみCRS信号がアクティブとなります。</p>															
★ LBK_XMT_DS	5	1	R/W	<p>ループバックにおける100Mbps送信ディスエーブル :</p> <p>1 : ループバック動作中、TD±出力からの送信をディスエーブル</p> <p>0 : ループバック動作中、TD±出力からの送信をイネーブル</p> <p>μ PD72223内部ループバックにおいて、正しくループバック動作させるためには、このビットを0にする必要があります。リモートループバックでは、このビットの設定によりネットワーク上でループバック動作を行うかどうかを決定します。</p>															

(3/3)

ビット名	ビット	デフォルト値	リード/ライト	機能
CODE_ERR	4	0	R/W	<p>コード・エラー値の選択：</p> <p>1：RXD [3 : 0] 端子に5Hを出力するとともにRX_ER端子をハイ・レベルとして、強制的にコード・エラーを発生させます。</p> <p>0：RXD [3 : 0] 端子に6Hを出力するとともにRX_ER端子をハイ・レベルとして、強制的にコード・エラーを発生させます。</p>
PE_ERR	3	0	R/W	<p>早期終了エラー：</p> <p>早期終了エラーとは、データ・ストリーム終了を示すT/Rコード・グループ・ペア (ESD) を受信する前に、ストリーム中に2個のIDLEコード・グループを検出すると、発生します。この設定によって報告する値が異なります。</p> <p>1：強制的にRXD [3 : 0] 端子に4Hを出力するとともにRX_ER端子をハイ・レベルにして、早期終了エラーを検出したことを報告します。</p> <p>0：強制的にRXD [3 : 0] 端子に6Hを出力するとともにRX_ER端子をハイ・レベルにして、早期終了エラーを検出したことを報告します。</p>
LINK_ERR	2	0	R/W	<p>リンク・エラー：</p> <p>1：強制的にRXD [3 : 0] 端子に3Hを出力するとともにRX_ER端子をハイ・レベルとして、リンク・エラーを検出したことを報告します。</p> <p>0：RXD [3 : 0] 端子上のデータを変更せず、かつRX_ER端子をロウ・レベルとします。</p>
PKT_ERR	1	0	R/W	<p>パケット・エラー：</p> <p>1：強制的にRXD [3 : 0] 端子に2Hを出力するとともにRX_ER端子をハイ・レベルとして、パケット・エラー (ディスクランブラの監視タイマ (722 μs) がタイム・アウト) を検出したことを報告します。</p> <p>0：RXD [3 : 0] 端子上のデータを変更せず、かつRX_ER端子をロウ・レベルとします。</p>
Reserved	0	0	R/W	<p>予約：</p> <p>“0”を書き込んでください。読み出し時は、不定となります。</p>

3.15 PHYアドレス・レジスタ (PAR)

アドレス19H

(1/2)

ビット名	ビット	デフォルト値	リード/ライト	機能
Reserved	16-12	0	R	予約： “0”を書き込んでください。読み出し時は、不定となります。
★ DIS_CRS_JAB	11	(pin#47)	R/W	<p>ロング・パケット時のキャリア・センス信号ディスエーブル： このビットは、100 Mbps動作においてロング・パケットによりディスクランブラのタイム・アウトが発生した場合のCRS信号について、制御します。</p> <p>1：ディスクランブラのタイムアウトが発生したあと、CRS信号はディスエーブルされます。</p> <p>0：ディスクランブラのタイムアウトが発生したあとも、CRS信号はイネーブルのまま、ディスクランブラにより再同期がとれた時点で、ディスエーブルされます。</p> <p>このビットのデフォルト値は、電源投入あるいはリセット時のREPEATER端子（47番ピン）の状態によります。REPEATER端子がロウ・レベルの場合、デフォルト値として1が設定され、ハイ・レベルの場合、デフォルト値として0が設定されます。</p>
★ AN_EN_STAT	10	(pin#95,#46)	R	<p>オートネゴシエーション・ステータス： このビットは、AN0/AN1端子の設定またはBMCR（アドレス00H）のビット12の設定によって、オートネゴシエーション機能がイネーブルされているか、ディスエーブルされているかを示します。</p> <p>1：オートネゴシエーションがイネーブルされている</p> <p>0：オートネゴシエーションがディスエーブルされている</p>
★ Reserved	9	0	R	“0”を書き込んでください。読み出し時は不定となります。
★ FEFI_EN	8	0	R/W	<p>FEFI(Far End Fault Indication)機能イネーブル： 1：FEFI機能をイネーブル 0：FEFI機能をディスエーブル</p> <p>FEFI機能は、100BASE-FXにおいてネットワーク上で障害が発生していることを通知するための機能です。2.4.11 FEFI(Far End Fault Indication)機能を参照してください。</p>

ビット名	ビット	デフォルト値	リード/ライト	機能
★ DUPLEX_STAT	7	(pin#95,#46)	R	<p>プロトコル・ステータス :</p> <p>このビットは、AN0/AN1端子の設定またはBMCR (アドレス00H) のビット8の設定、あるいはオートネゴシエーションによる設定で選択された現在の動作モード (半二重/全二重) を示しています。</p> <p>1 : 全二重動作モード 0 : 半二重動作モード</p> <p>PAR (アドレス19H) のビット10が0 (オートネゴシエーションがディスエーブル)、あるいはPARのビット10が1でBMSR (アドレス01H) のビット5が1 (オートネゴシエーションが完了) のとき、このビットは有効になります。</p> <p>BMSR (アドレス01H) のビット2が1のとき (有効なリンク状態を表す) も、このビットは有効です。</p>
SPEED_10	6	(pin#95,#46)	R	<p>通信速度表示 :</p> <p>このビットは、μ PD72840Aが現在動作している通信速度を表します。</p> <p>1 : 10 Mbps動作 0 : 100 Mbps動作</p> <p>PAR (アドレス19H) のビット10が0 (オートネゴシエーションがディスエーブル)、あるいはPARのビット10が1でBMSR (アドレス01H) のビット5が1 (オートネゴシエーションが完了) のとき、このビットは有効になります。</p> <p>BMSR (アドレス01H) のビット2が1のとき (有効なリンク状態を表す) も、このビットは有効です。</p>
CIM_STATUS	5	0	R	<p>CIM (Carrier Integrity Monitor) 機能ステータス :</p> <p>このビットは、CIM機能のステータスを示します。このステータスは、PCR (アドレス17H) のLED1_MODEビット (ビット2) が“1”に設定されているとき、LED1端子の点灯で確認できます。</p> <p>1 : 不安定なリンク状態を検出した。 0 : 不安定なリンク状態を検出していない。</p>
PHADDR [4 : 0]	4-0	(PHYAD端子)	R/W	<p>PHYアドレス・ビット4-0 :</p> <p>電源投入時またはリセット時に、PHYAD [4 : 0] 端子の状態がこのレジスタにラッチされます。これらの端子の説明に関しては、1.8 PHYアドレス・インタフェースを参照してください。MIIを通じ、最初に送信または受信されるPHYアドレスのビットは、MSB (ビット4) となります。複数のμ PD72840Aを接続した場合、通信管理機能は、各PHYのアドレスを事前に認識していなければなりません。PHYアドレスが0Hに設定されている場合は、BMCR (アドレス00H) のアイソレート・ビット (ビット10) をセットします。</p>

3.1 6 10BASE-Tステータス・レジスタ (10BTSR)

アドレス1BH

ビット名	ビット	デフォルト値	リード/ライト	機能
Reserved	15-0	0	R	予約： “0”を書き込んでください。読み出し時は、不定となります。
10BT_SER	9	(Pin#98)	R/W	10BASE-Tシリアル・モード： 電源投入時またはリセット時に、10BTSER端子 (98番ピン) の値がこのビットにラッチされます。100 Mbps動作では、シリアル・モードをサポートしていません。 1：10BASE-Tシリアル・モードを選択 (詳細については、1.5 デバイス・コンフィギュレーション・インタフェースと2.1.3 (3) 10 Mbpsシリアル転送動作を参照してください)。 0：10BASE-Tニブル・モードを選択 (詳細については、2.1.3 (2) 10 Mbpsニブル転送動作を参照してください)。
Reserved	8-0	0	R	予約： “0”を書き込んでください。読み出し時は、不定となります。

3.1 7 10BASE-Tコンフィギュレーション・レジスタ (10BTCR)

アドレス1CH

(1/2)

ビット名	ビット	デフォルト値	リード/ライト	機能
★ Reserved	15	1	R/W	“1”を書き込んでください。読み出し時は不定となります。
★ Reserved	14-8	不定	R	“0”を書き込んでください。読み出し時は不定となります。
★ Reserved	7	1	R/W	“1”を書き込んでください。読み出し時は不定となります。
★ Reserved	6	不定	R	“0”を書き込んでください。読み出し時は不定となります。
LP_EN	5	1	R/W	リンク・パルス・イネーブル： オートネゴシエーションがイネーブルとし、その結果より100 Mbps動作に設定するとμ PD72840Aは10 Mbps動作のリンク・パルス送信をディスエーブルとするため、このビットをクリアします。μ PD72840Aのオートネゴシエーションがディスエーブルの状態では、100 Mbps動作に設定した場合、このビットは通信動作に影響を与えません。 1：リンク・パルスの送信をイネーブル。 0：リンク・パルス送信をディスエーブルとし、強制的に正常リンク状態とします。
HBE	4	1	R/W	ハートビート・イネーブル： μ PD72840Aが、全二重動作モードに設定されている場合、このビットは無視されます。これは、衝突やハートビート機能は、全二重通信では意味がないためです。また、100 Mbps動作時においても意味を持ちません。 1：ハートビート機能をイネーブル 0：ハートビート機能をディスエーブル

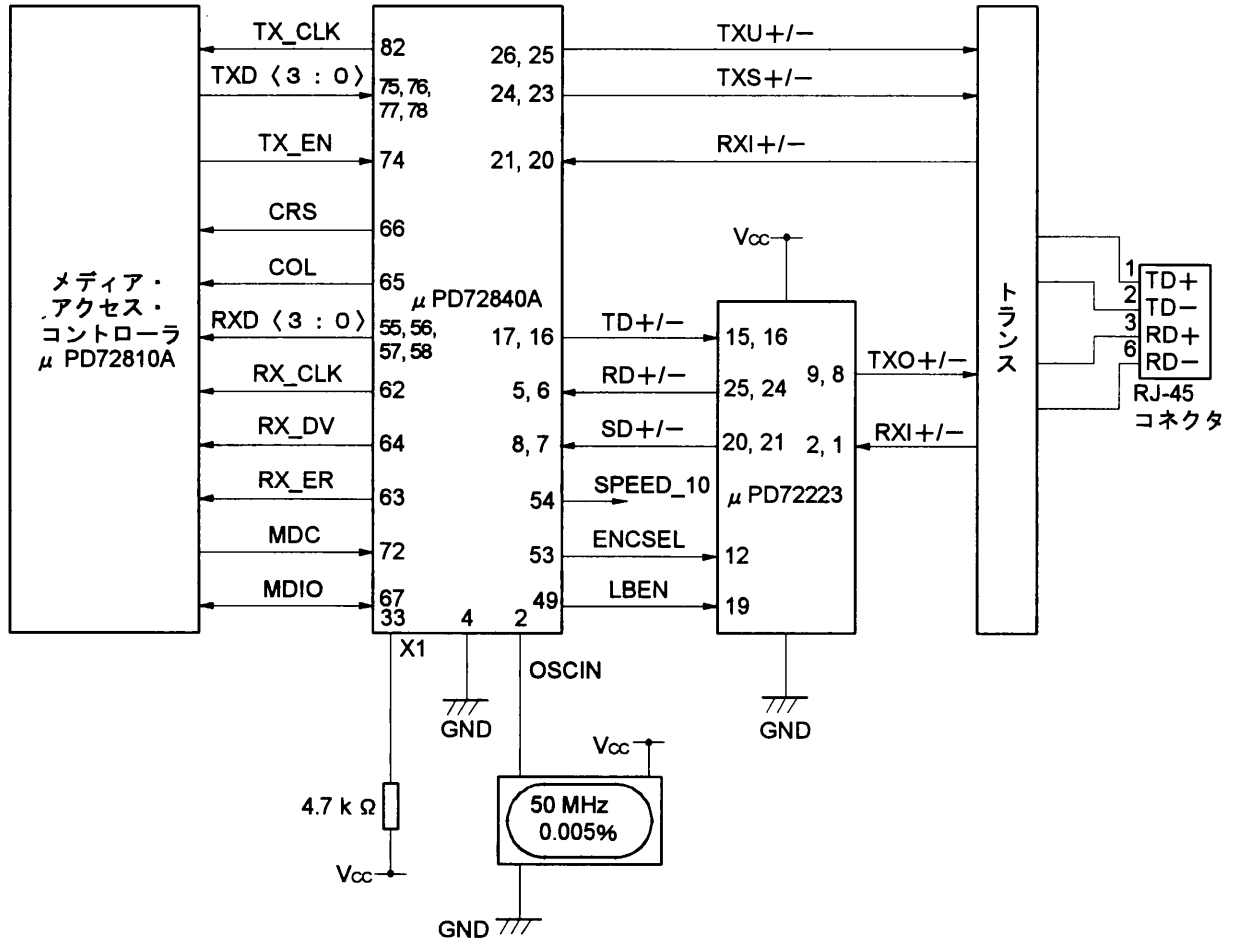
(2/2)

ビット名	ビット	デフォルト値	リード/ライト	機能
UTP/STP	3	1	R/W	<p>UTP/STP選択：</p> <p>非シールド型ツイスト・ペア（UTP）用の送信出力（TXU±）とシールド型ツイスト・ペア（STP）用の送信出力（TXS±）の選択を行います。</p> <p>1度に1つの送信出力ペア（TXU±またはTXS±）のみが選択可能です。</p> <p>非選択となった送信出力は、Hi-Z状態となります。</p> <p>1：UTPを選択</p> <p>0：STPを選択</p>
LSS	2	0	R/W	<p>ロウ・スケルチ選択：</p> <p>通常の10BASE-Tの受信スケルチ・スレッシュホールドとするか、ケーブル長のより長いアプリケーション（通常は100 m）やSTPを用いたアプリケーションで使用するためにさらに低いスケルチ・スレッシュホールドに設定するかを選択します。</p> <p>1：ロウ・スケルチ・スレッシュホールドを選択</p> <p>0：通常の10BASE-Tスケルチ・スレッシュホールドを選択</p>
Reserved	1	0	R	<p>予約：</p> <p>“0”を書き込んでください。読み出し時は、不定となります。</p>
JABEN	0	1	R/W	<p>ジャバー・イネーブル：</p> <p>μ PD72840Aを10BASE-T全二重モードまたは10BASE-Tトランシーバ・ループバック・モード（LBREMR（アドレス18H）の10BP_LPBK（ビット11）を“1”）に設定したときのジャバー機能をイネーブルまたはディスエーブルにします。</p> <p>このビットは、100 Mbps動作時には意味を持ちません。</p> <p>1：ジャバー機能をイネーブル</p> <p>0：ジャバー機能をディスエーブル</p>

4. μ PD72840Aアプリケーション

4.1 ネットワーク・アダプタ応用例

図 4-1 10/100 Mbpsアダプタ・カードの構成例



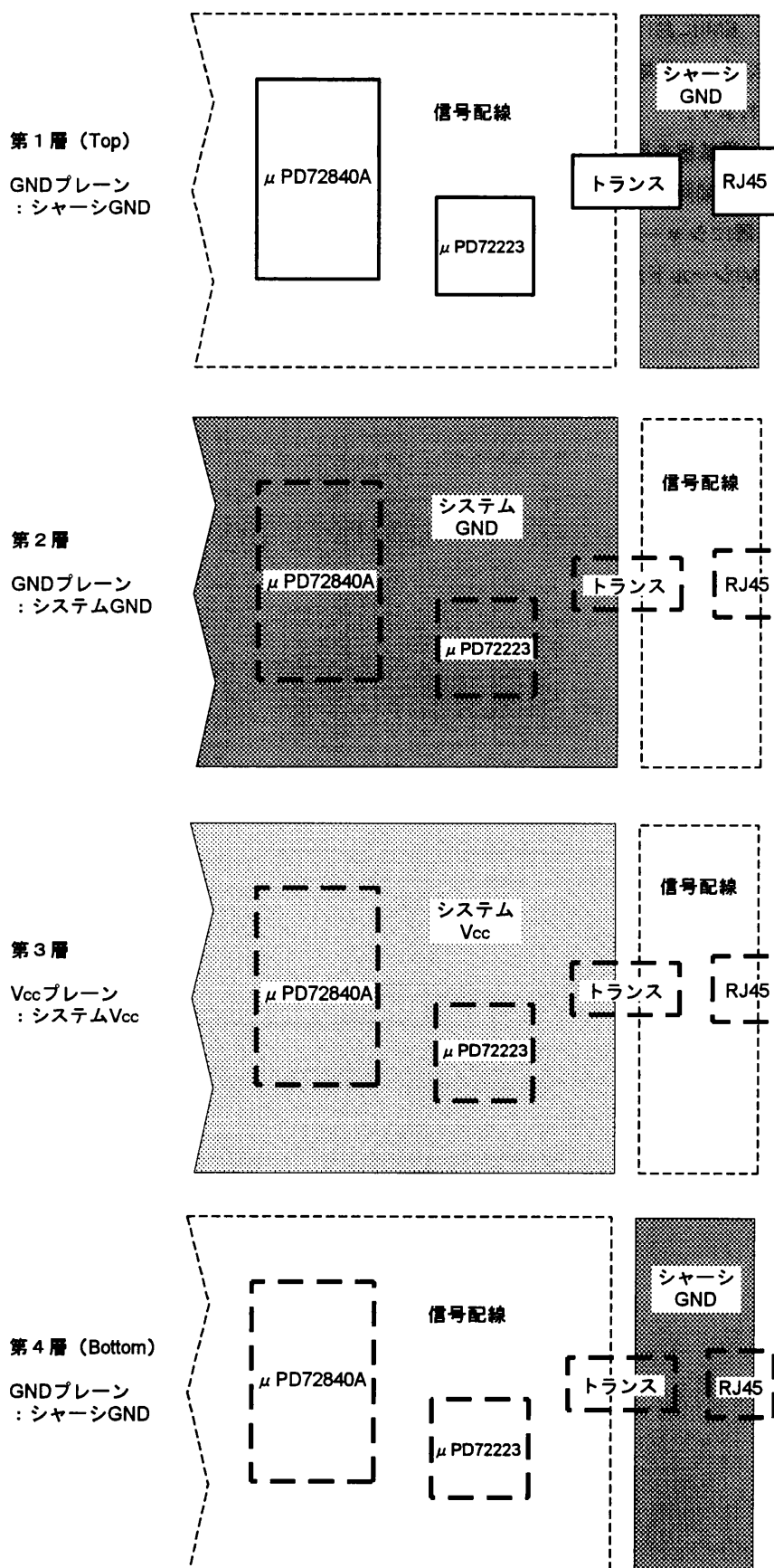
★ 4.2 電源パターンの分割

電源パターンの分割に関する推奨条件は、よりシンプルな形となっています。システム設計においてパターン分割数を減らすことが、EMIにおける不要輻射の減少に役立つことは、実際のデータにより示されています。また、システム側のVccおよびGND領域内の電源パターン分割をなくすことで、信号の引き回しによる特性インピータンスはそのまま維持されます。

図4-2に一般的な4層基板を用いた設計を想定した場合の、パターン分割と部品配置の例を示します。一つの層におけるパターン同士の間隔は、最低125 milとるようにしてください。

トップとボトム層にシャーシGNDを取ることで、トランスとRJ-45コネクタの間でやり取りされる125 Mbps信号に対するEMIシールドが形成されます。

図 4-2 電源とGNDの分離

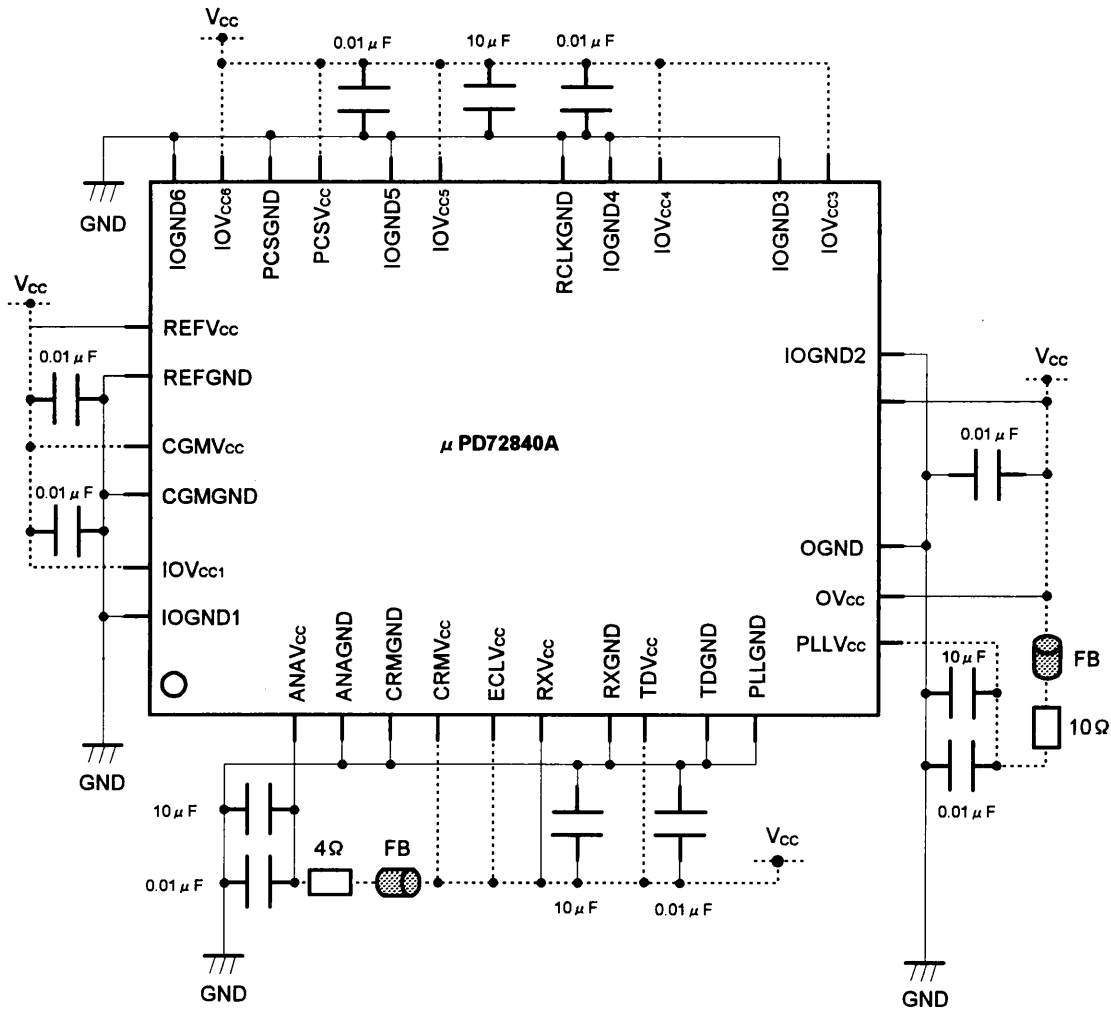


★ 4.3 電源およびGNDのフィルタリング

μ PD72840Aの電源およびGND端子間には、端子になるべく近い場所に十分なフィルタを設けることをお勧めします。図4-3にアナログ部およびPLL部電源への考慮を含めた、フィルタリングの方法について示します。ANAV_{cc}から4Ωの抵抗への接続は、できる限り短くかつ太いパターン（20~30 mil幅程度）を使って接続してください。PLL_{Vcc}に接続される10Ωの抵抗に対しても、同じような考慮が必要です。

図4-3の例では、カップリングの効果が十分得られる状態を維持しながら、カップリング素子の数が最小になるように設計した場合の参考例を示しています。

図4-3 電源のカップリングと分離



★ 5. 電気的特性

絶対最大定格

項 目	略号	条 件	MIN.	TYP.	MAX.	単位
電源電圧	V _{CC}		-0.5		+7.0	V
入力電圧	V _I		-0.5		V _{CC} +0.5	V
出力電圧	V _O		-0.5		V _{CC} +0.5	V
保存温度	T _{stg}		-65		+150	°C
ECL信号出力電流	I _{o1}		-50			mA
ESD保護耐圧			2000			V

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

推奨動作条件

項 目	略号	条 件	MIN.	TYP.	MAX.	単位
電源電圧	V _{CC}		4.75	5.0	5.25	V
動作周囲温度	T _A		0		70	°C
基準クロック入力 (REFIN) 周波数		周波数偏差 : ±50 ppm		25		MHz
基準クロック入力 (REFIN) デューティ比			35		65	%
オシレータ入力 (OSCIN) 周波数		周波数偏差 : ±50 ppm		50		MHz
オシレータ入力 (OSCIN) デューティ比			35		65	%
クリスタル仕様						
共振周波数		周波数偏差 : ±50 ppm, T _A =0~70°C		20		MHz

DC特性

適用端子欄の記号については、次の表を参照してください。

記号	意 味
I	入力状態となる端子
O	出力状態となる端子
Z	ハイ・インピーダンス (Hi-Z) 状態となる端子
O, Z	出力およびHi-Z状態となる端子
I/O	入出力状態となる端子
I/O, Z	入出力およびHi-Z状態となる端子

(1/2)

項 目	略号	適応端子	条 件	MIN.	TYP.	MAX.	単 位
ハイ・レベル入力電圧	V _{IH}	RXI±, RD±を除く入力端子 I I/O I/O, Z		2.0			V
		ANO, AN1入力端子	I _{IH} = 2 mA	V _{CC} -1.0			V
ロウ・レベル入力電圧	V _{IL}	RXI±, RD±を除く入力端子 I I/O I/O, Z				0.8	V
		ANO, AN1入力端子	I _{IL} = -2 mA			1.0	V
中間レベル入力電圧	V _{IM}	ANO, AN1入力端子のみ	端子をオープン	(V _{CC} ÷2) -0.25	V _{CC} ÷2	(V _{CC} ÷2) +0.25	V
ハイ・レベル入力電流	I _{IH}	RXI±, RD±を除く入力端子 I I/O I/O, Z	V _{IN} = V _{CC}			10	μA
		X1端子	X2をオープン			-100	μA
ロウ・レベル入力電流	I _{IL}	RXI±, RD±を除く入力端子 I I/O I/O, Z	V _{IN} = GND			10	μA
		X1入力	X2をオープン			100	μA
		TMS, TDI, TRST端子				1	mA
ハイ・レベル出力電圧	V _{OH}	O, Z I/O I/O, Z	I _{OH} = -4 mA	V _{CC} -0.5			V
		TX_CLK端子		V _{CC} -1.5			V

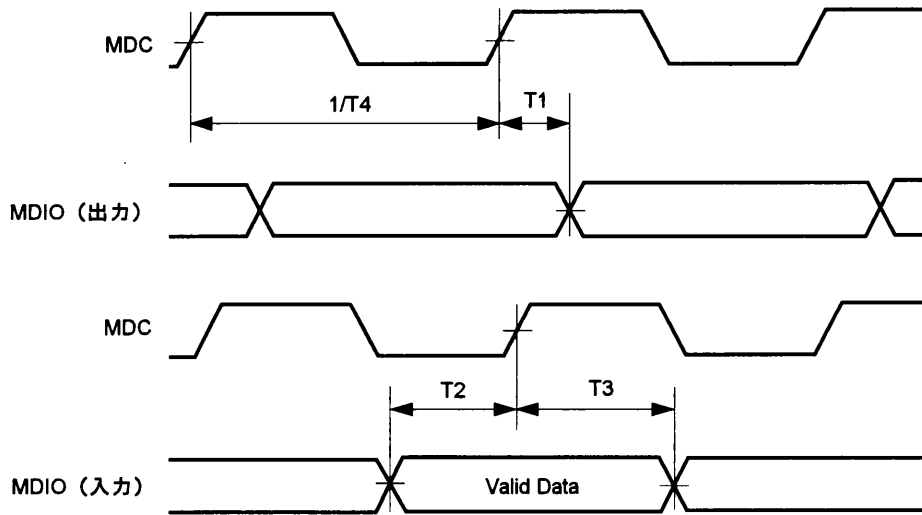
(2/2)

項目	略号	適応端子	条件	MIN.	TYP.	MAX.	単位
ロウ・レベル出力電圧	V _{OL}	O O, Z I/O I/O, Z	I _{OL} = 4 mA			0.4	V
3ステート・リーク電流	I _{oz1}	I/O, Z O, Z	V _{OUT} = V _{CC}			10	μA
3ステート・リーク電流	I _{oz2}	I/O, Z O, Z	V _{OUT} = GND			-10	μA
ロウ・レベル出カインピーダンス	R _{OL}	TXU±端子 TXS±端子			5		Ω
ハイ・レベル出カインピーダンス	R _{OH}	TXU±端子 TXS±端子			5		Ω
差動出力電圧	V _{OD}	TXU±端子 TXS±端子	開放		±2.5		V
CMOS入力容量	C _{IN1}	I			8		pF
ECL入力容量	C _{IN2}	I			5		pF
CMOS出力容量	C _{OUT1}	O Z			10		pF
ECL出力容量	C _{OUT2}	O Z			5		pF
10BASE-T受信スレッシュホールド	V _{TH1}	RXI±端子		300		585	mV
10BASE-T受信スレッシュホールド (ロウ・スケルチ時)	V _{TH2}	RXI±端子		175		300	mV
差動ECLレベル入力電圧	V _{DIFF}	ECLレベル入力端子	両端子を同時に計測	150			mV
コモン・モード電圧	V _{CM}	ECLレベル入力端子	両端子を同時に計測, V _{DIFF} = 300 mV	V _{CC} -2.0		V _{CC} -0.5	mV
ECL入力電流	I _{INECL}	ECLレベル入力端子	V _{IN} = V _{CC} または GND	-200		+200	μA
ECLハイ・レベル出力電圧	V _{OHECL}	ECLレベル出力端子	V _{IN} = V _{IH} MAX.	V _{CC} -1.075		V _{CC} -0.830	V
ECLロウ・レベル出力電圧	V _{OLECL}	ECLレベル出力端子	V _{IN} = V _{IL} MAX.	V _{CC} -1.860		V _{CC} -1.570	V
電源電流 (Total)	I _{CC}	電源端子	10/100 Mbps動作時 (LOWPWR=0)		300		mA
			100 Mbps動作時 (LOWPWR=1)		285		mA

MIIシリアル・マネージメント ACタイミング

項 目	略号	条 件	MIN.	TYP.	MAX.	単位
MDIO出力遅延時間 (対MDC↑)	T1		0		300	ns
MDIOセットアップ時間 (対MDC↑)	T2		10			ns
MDIOホールド時間 (対MDC↑)	T3		10			ns
MDC周波数	T4				2.5	MHz

備考 MDC, MDIOのテスト時の負荷 : 50 pF / 1 kΩ

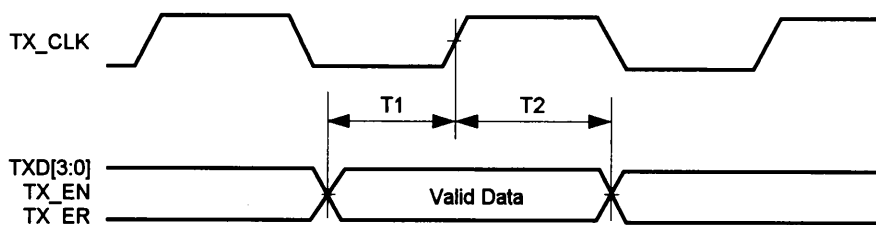


100Mbps ACタイミング

100Mbps MII送信タイミング

項 目	略号	条 件	MIN.	TYP.	MAX.	単 位
TXD[3:0], TX_EN, TX_ER セットアップ時間 (対TX_CLK↑)	T1	100 Mbps通常モード	10			ns
TXD[4:0]セットアップ時間 (対TX_CLK↑)		100 Mbps透過モード (BP_4B5B)	10			ns
TXD[4:0]セットアップ時間 (対TX_CLK↑)		100 Mbps Phaserモード (BP_ALIGN)	10			ns
TXD[3:0], TX_EN, TX_ER ホールド時間 (対TX_CLK↑)	T2	100 Mbps通常モード	-1			ns
TXD[4:0]ホールド時間 (対TX_CLK↑)		100 Mbps透過モード (BP_4B5B)	-1			ns
TXD[4:0]ホールド時間 (対TX_CLK↑)		100 Mbps Phaserモード (BP_ALIGN)	-1			ns

備考 送信MII TX_CLKのテスト時の負荷 : 50 pF / 1 kΩ

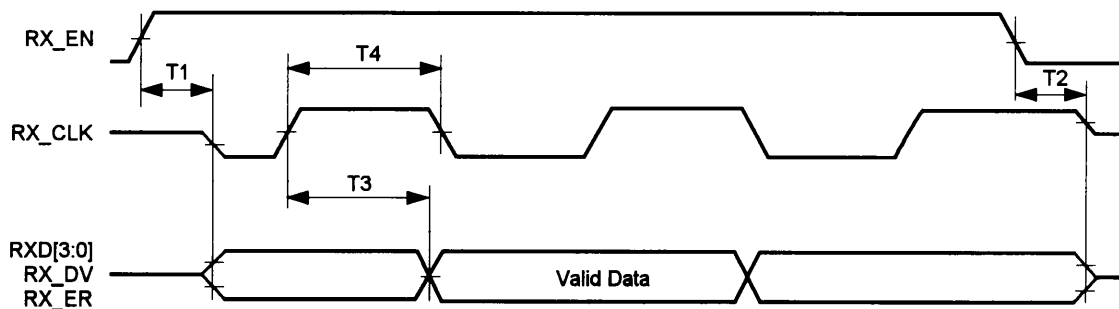


100 Mbps MII受信タイミング

項 目	略号	条 件	MIN.	TYP.	MAX.	単位
RX_CLK, RXD[3:0], RX_DV, RX_ER バリッド時間 (対RX_ENアクティブ)	T1	すべての100 Mbps動作モード		10		ns
RX_CLK, RXD[3:0], RX_DV, RX_ER フロート時間 (対RX_ENインアクティブ)	T2	すべての100 Mbps動作モード		10		ns
RXD[3:0], RX_DV, RX_ER 遅延時間 (対RX_CLK↑)	T3	100 Mbps通常モード	10		30	ns
RXD[4:0], RX_DV遅延時間 (対RX_CLK↑)		100 Mbps透過モード (BP_4B5B)	10		30	ns
RXD[4:0], RX_DV遅延時間 (対RX_CLK↑)		100 Mbps Phaserモード (BP_ALIGN)	10		30	ns
RX_CLKデューティ比	T4	すべての100Mbps動作モード	35		65	%

備考 1. RXD[3:0], RX_DV, RX_ERは, RX_CLKの立ち下がりエッジに同期して出力されます。しかし, RX_CLKのデューティ比に影響されないよう各値を規定するために, 一つ前の立ち下がりエッジからのタイミングとして規定しています。

2. 各受信MII信号のテスト時の負荷 : 50 pF / 1 kΩ



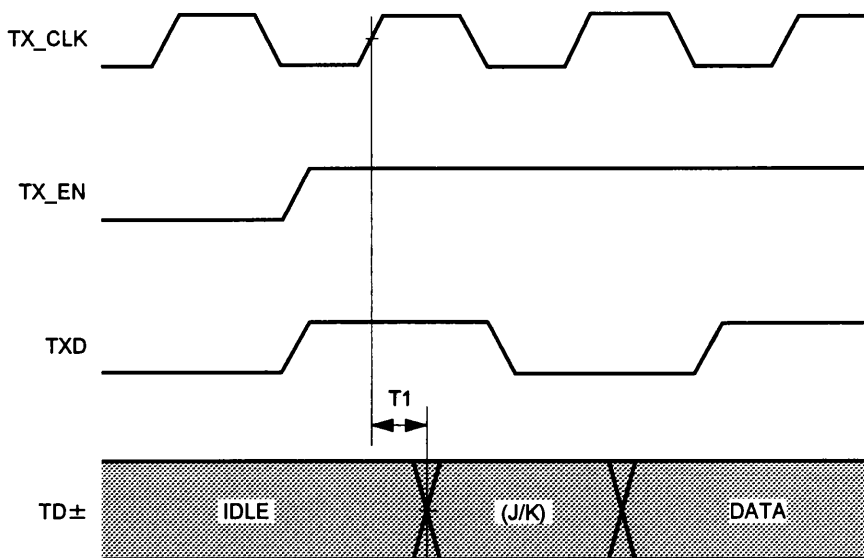
100 Mbps 送信パケット・タイミング (パケットの開始)

項目	略号	条件	MIN.	TYP.	MAX.	単位
TD±遅延時間 (対TX_CLK↑)	T1	100 Mbps通常モード			3.0	bits
		100 Mbps透過モード (BP_4B5B)			3.0	bits
		100 Mbps Phaserモード (BP_ALIGN)			3.0	bits

備考 1. この値は、TX_ENがイネーブルされたあとの最初のTX_CLKの立ち上がりエッジから、TD±から出力される“J”コード・グループの最初のビットが現れるまでの時間を測定した値です。1 bit time = 10 ns (100 Mbps動作時)

2. TD±のテスト時の負荷：50 pFの容量性負荷を持った50Ω等価終端負荷

3. 送信MII信号TX_CLKのテスト時の負荷：50 pF/1 kΩ

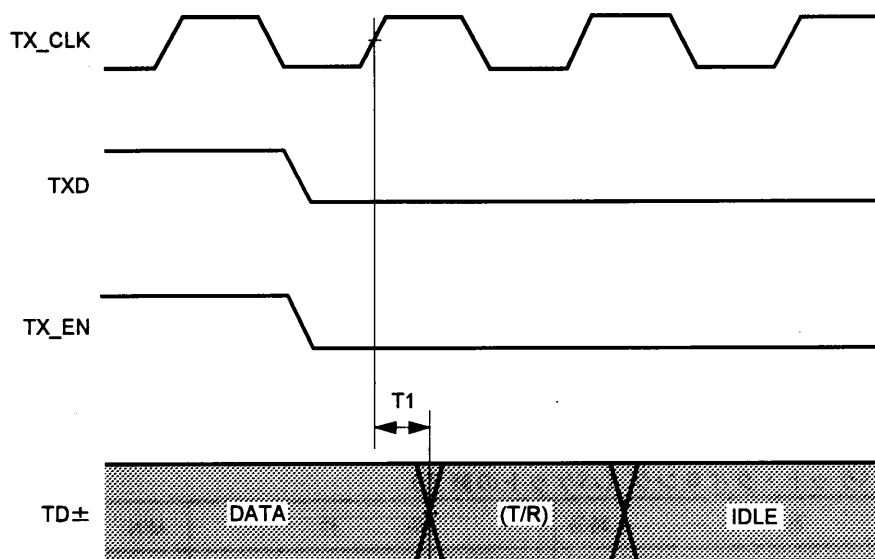


100 Mbps 送信パケット・タイミング (パケットの終了)

項 目	略号	条 件	MIN.	TYP.	MAX.	単位
TD±遅延時間 (対TX_CLK↑)	T1	100 Mbps通常モード			3.0	bits
		100 Mbps透過モード (BP_4B5B)			3.0	bits
		100 Mbps Phaserモード (BP_ALIGN)			3.0	bits

備考1. この値は、TX_ENがディスエーブルされたあとの最初のTX_CLKの立ち上がりエッジから、TD±から出力される“T”コード・グループの最初のビットが現れるまでの時間を測定した値です。1 bit time = 10 ns (100 Mbps動作時)

2. TD± テスト時の負荷 : 50 pFの容量性負荷を持った50Ω等価終端負荷
3. 送信MII信号 TX_CLK テスト時の負荷 : 50 pF / 1 kΩ

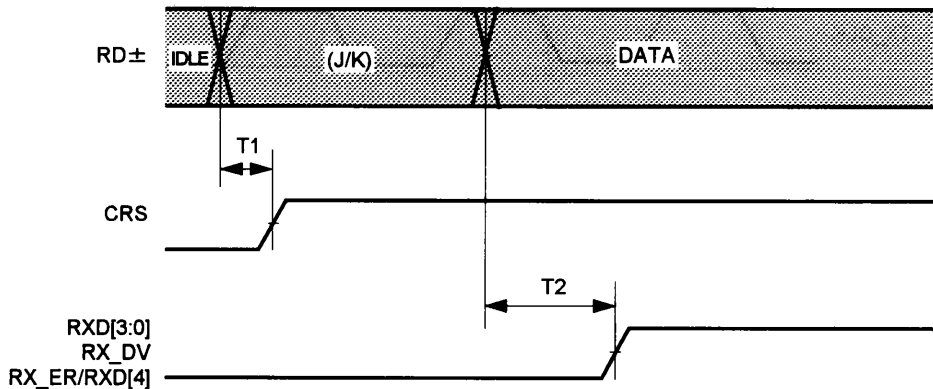


100 Mbps 受信パケット・タイミング (パケットの開始)

項目	略号	条件	MIN.	TYP.	MAX.	単位
CRSオン遅延時間	T1	100 Mbps通常モード			17.5	bits
		100 Mbps透過モード (BP_4B5B)			17.5	bits
受信データ遅延時間	T2	100 Mbps通常モード			21	bits
		100 Mbps透過モード (BP_4B5B)			21	bits
		100 Mbps Phaserモード (BP_ALIGN)			10	bits

備考 1. CRSオン遅延時間は、“J”コード・グループの最初のビットから、CRS信号がイネーブルされるまでの時間を測定した値です。1 bit time = 10 ns (100 Mbps動作時)

2. 各受信MII信号のテスト時の負荷 : 50 pF / 1 kΩ

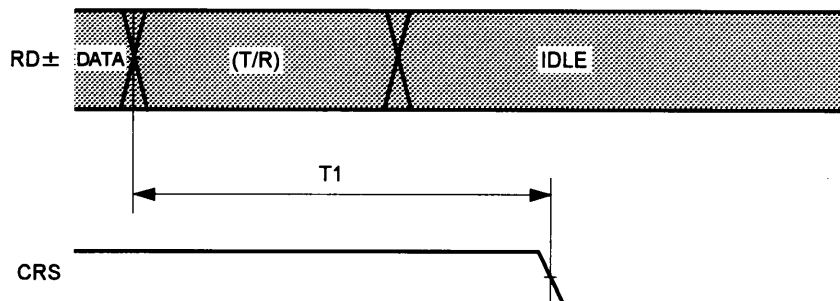


100 Mbps 受信パケット・タイミング (パケットの終了)

項目	略号	条件	MIN.	TYP.	MAX.	単位
CRSオフ遅延時間	T1	100 Mbps通常モード			13.5	bits
		100 Mbps透過モード (BP_4B5B)			13.5	bits

備考 1. CRSオフ遅延時間は、“T”コード・グループの最初のビットから、CRS信号がディスエーブルされるまでの時間を測定した値です。1 bit time = 10 ns (100 Mbps動作時)

2. 各受信MII信号のテスト時の負荷 : 50 pF / 1 kΩ



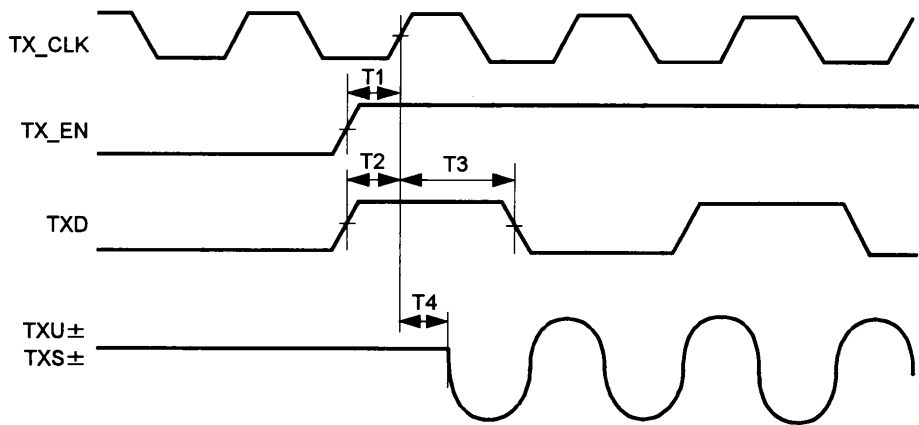
10 Mbps ACタイミング

10 Mbps 送信タイミング (パケットの開始)

項 目	略号	条 件	MIN.	TYP.	MAX.	単 位
TX_ENセットアップ時間 (対TX_CLK↑)	T1	10 Mbpsニブル・モード		25		ns
		10 Mbpsシリアル・モード		15		ns
送信データ・セットアップ時間 (対TX_CLK↑)	T2	10 Mbpsニブル・モード		25		ns
		10 Mbpsシリアル・モード		15		ns
送信データ・ホールド時間 (対TX_CLK↑)	T3	10 Mbpsニブル・モード	-1			ns
		10 Mbpsシリアル・モード	-1			ns
送信出力遅延時間 (対TX_CLK↑)	T4	10 Mbpsニブル・モード			6.8	bits
		10 Mbpsシリアル・モード			2.5	bits

備考 1. 1 bit time = 100 ns (10 Mbpsニブル・モード時および10 Mbpsシリアル・モード時)

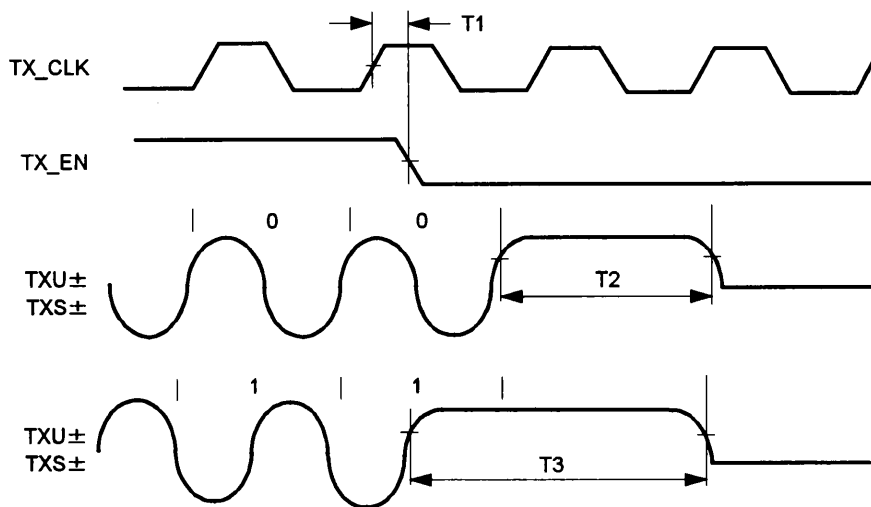
2. 送信MII信号TX_CLKのテスト時の負荷 : 50 pF / 1 kΩ



10 Mbps 送信タイミング (パケットの終了)

項目	略号	条件	MIN.	TYP.	MAX.	単位
TX_EN保持時間 (対TX_CLK↑)	T1	10 Mbpsニブル・モード	-1			ns
		10 Mbpsシリアル・モード	-1			ns
パケット終了後のデータ・ハイ時間 (最後のビットが0であった場合)	T2	10 Mbpsニブル・モード	250			ns
		10 Mbpsシリアル・モード	250			ns
パケット終了後のデータ・ハイ時間 (最後のビットが1であった場合)	T3	10 Mbpsニブル・モード	250			ns
		10 Mbpsシリアル・モード	250			ns

備考 送信MII信号TX_CLKのテスト時の負荷: 50 pF / 1 kΩ

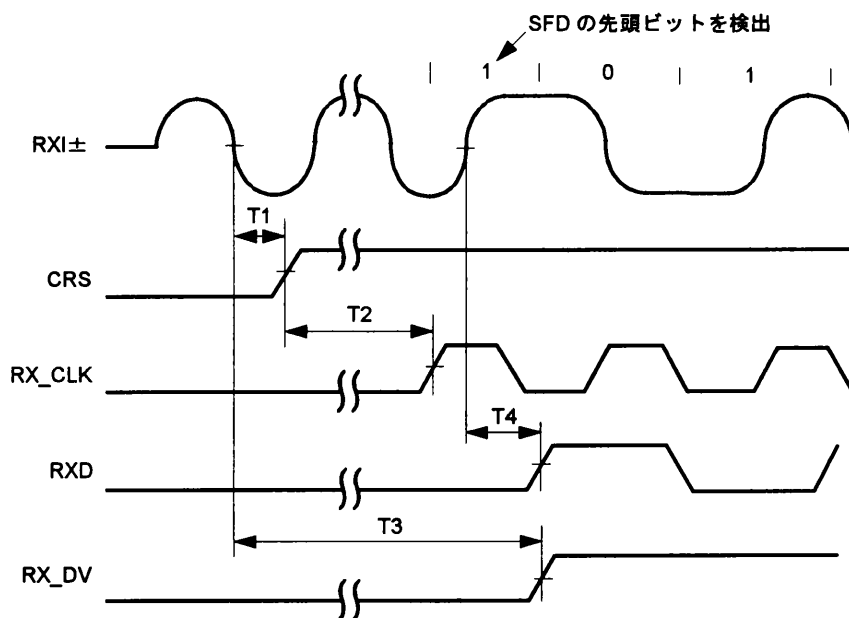


10 Mbps 受信タイミング (パケットの開始)

項目	略号	条件	MIN.	TYP.	MAX.	単位
CRSオン遅延時間	T1	10 Mbpsニブル・モード			1	μs
		10 Mbpsシリアル・モード			1	μs
RX_CLK生成遅延時間	T2	10 Mbpsニブル・モード			3.6	μs
		10 Mbpsシリアル・モード			3.2	μs
受信データ遅延時間	T3	10 Mbpsニブル・モード			17.3	bits
		10 Mbpsシリアル・モード			10	bits
SFD伝達時間	T4	10 Mbpsニブル・モード			10	bits
		10Mbpsシリアル・モード			0.8	bits

備考 1. 受信データ遅延時間は、プリアンプルの最初のビットからRX_DVがイネーブルされるまでの時間を測定した値です。1 bit time = 100 ns (10 Mbpsニブル・モード時および10 Mbpsシリアル・モード時)

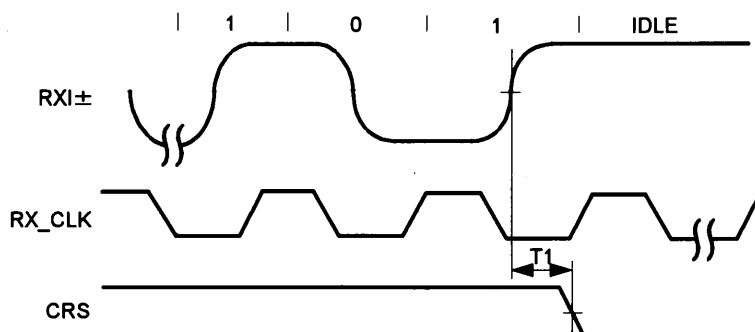
2. 各受信MII信号のテスト時の負荷: 50 pF/1 kΩ



10 Mbps 受信タイミング (パケットの終了)

項目	略号	条件	MIN.	TYP.	MAX.	単位
CRSオフ遅延時間	T1	10 Mbpsニブル・モード			1.1	μs
		10 Mbpsシリアル・モード			150	ns

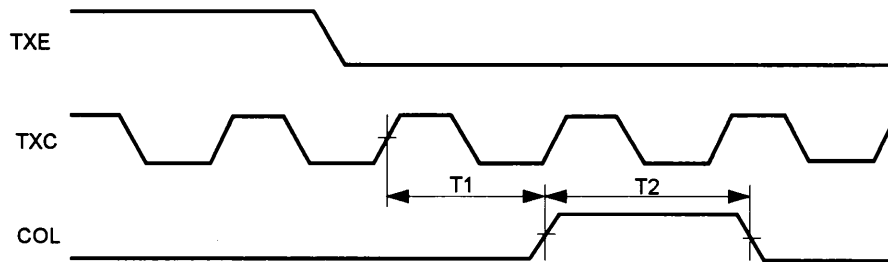
備考 各受信MII信号のテスト時の負荷: 50 pF/1 kΩ



ハートビート・タイミング

項目	略号	条件	MIN.	TYP.	MAX.	単位
CDハートビート遅延時間	T1	10 Mbpsニブル・モード		1.6		μs
		10 Mbpsシリアル・モード		1.6		μs
CDハートビート持続時間	T2	10Mbpsニブル・モード		1.3		μs
		10Mbpsシリアル・モード		1.3		μs

備考 送信MII信号TX_CLKおよびCOLのテスト時の負荷：50 pF/1 kΩ

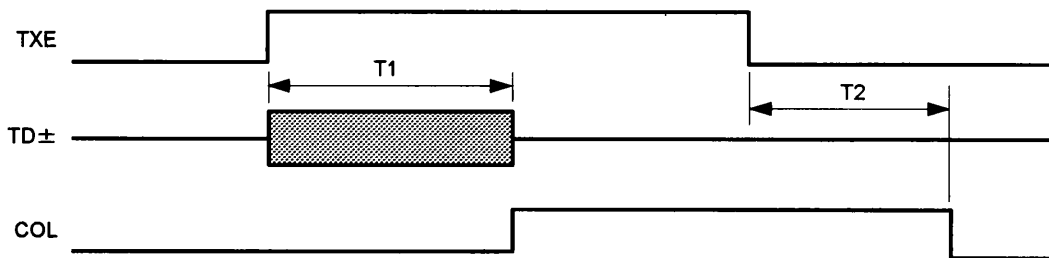


10 Mbps ジャバ・タイミング

項目	略号	条件	MIN.	TYP.	MAX.	単位
ジャバ起動遅延時間	T1	10 Mbpsニブル・モード		26		ms
		10 Mbpsシリアル・モード		26		ms
アン・ジャバ時間	T2	10 Mbpsニブル・モード		728		ms
		10 Mbpsシリアル・モード		728		ms

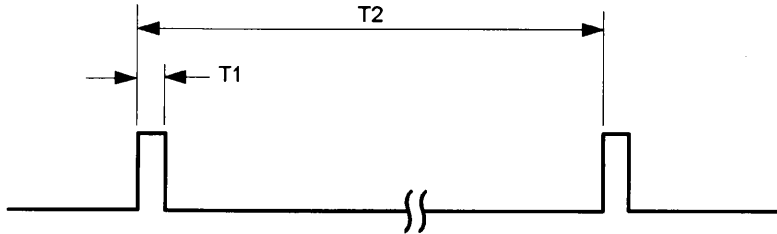
備考 1. COL信号のテスト時の負荷：50 pF/1 kΩ

2. TD±端子のテスト時の負荷：50 pFの容量性負荷を持った50Ω等価終端負荷



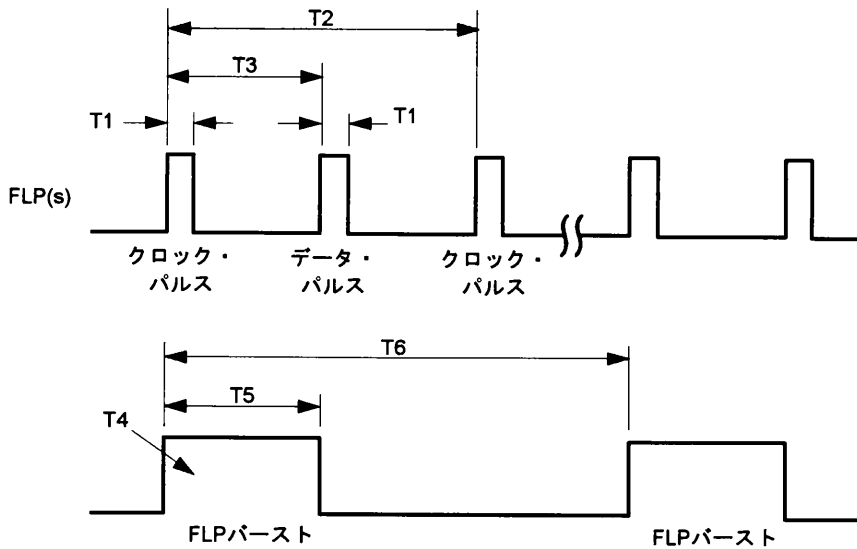
10BASE-T NLP(Normal Link Pulse)タイミング

項 目	略号	条 件	MIN.	TYP.	MAX.	単位
リンク・パルス幅	T1			100		ns
リンク・パルス期間	T2		8	16	24	ms



オートネゴシエーション FLP(Fast Link Pulse)タイミング

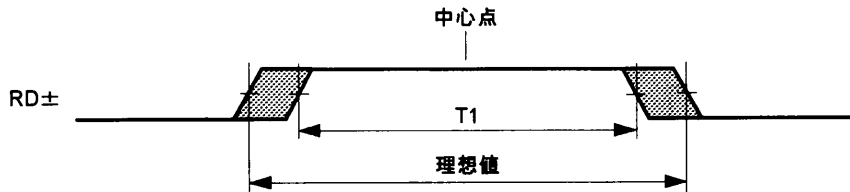
項 目	略号	条 件	MIN.	TYP.	MAX.	単位
クロック/データ・パルス幅	T1			100		ns
クロック・パルス周期	T2		111	125	139	μs
クロック・パルスーデータ・パルス間隔	T3	データ = "1"	55.5		69.5	μs
1バースト中のパルス数	T4		17		33	
バースト幅	T5			2		ms
バースト間隔	T6		8		24	ms



クロック・リカバリ・モジュール (CRM) ・タイミング

CRM認識タイミング

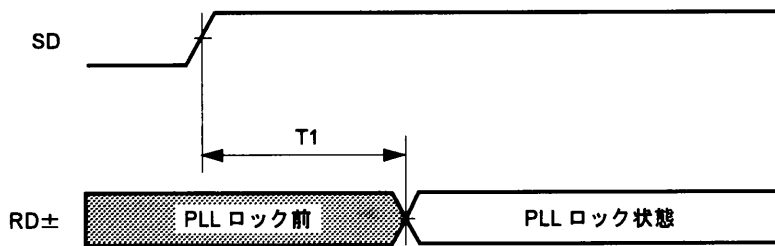
項目	略号	条件	MIN.	TYP.	MAX.	単位
CRM認識可能領域	T1	CRM認識可能領域の理想値は ±4 nsです。	-3		+3	ns



CRMクロック生成タイミング

項目	略号	条件	MIN.	TYP.	MAX.	単位
CRMクロック生成時間	T1	100 Mbps動作時			250	μs

備考 クロック・ジェネレータ・モジュール (CGM) は、クロック・リカバリ・モジュール (CRM) が受信データをロックする前、少なくとも100 μsの間、安定している必要があります。



リセット・タイミング

ハードウェア・リセット・タイミング

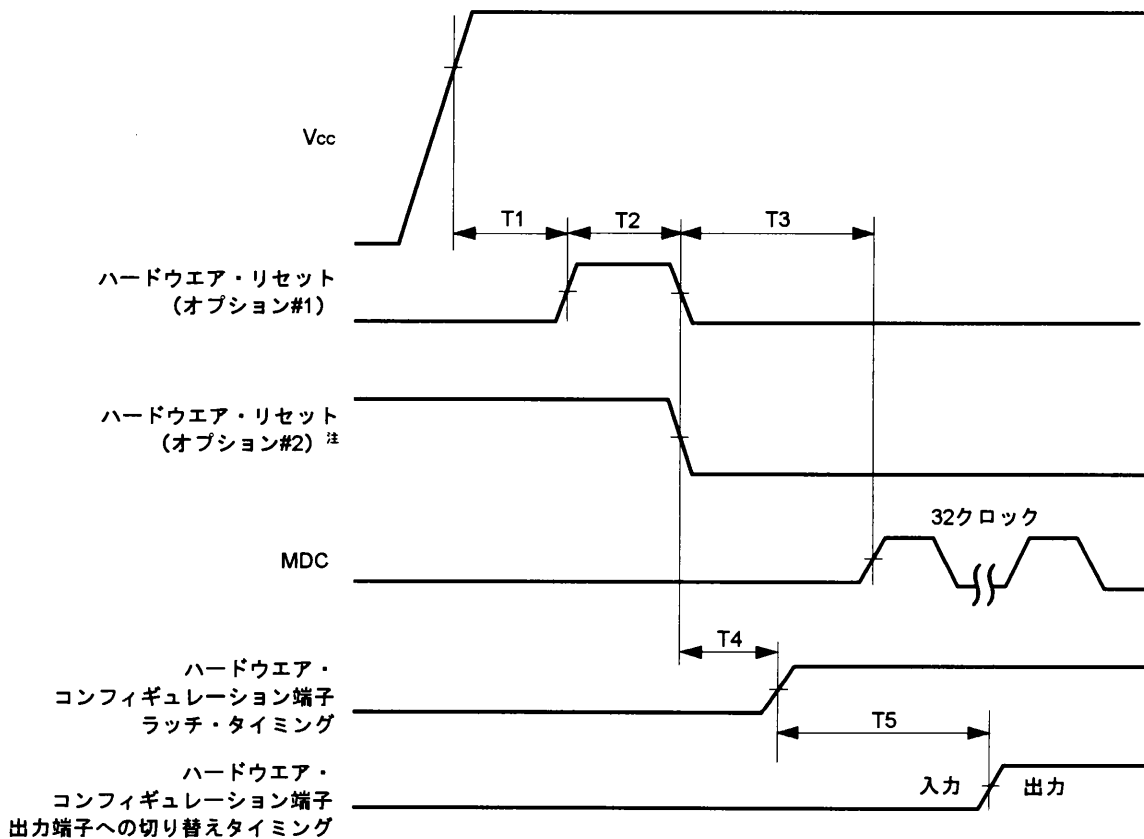
項目	略号	条件	MIN.	TYP.	MAX.	単位
内部リセット時間	T1		500			μs
ハードウェア・リセット・パルス幅	T2		1			μs
MDCプリアンブルまでのリセット安定時間 ^{注1}	T3		500			μs
ハードウェア・コンフィギュレーション時間 ^{注2}	T4			800		ns
ハードウェア・コンフィギュレーション端子イネーブル時間 ^{注3}	T5			800		ns

注1. MDIO端子は、シリアル・マネージメントを初期化する32ビット信号を与えるために、プルアップされます。

2. ハードウェア・コンフィギュレーション時間は、ハードウェアおよびソフトウェア・リセットがディスエーブルされてから、ハードウェア・コンフィギュレーション端子の値がラッチされるまでの時間です。

3. ハードウェア・コンフィギュレーション端子イネーブル時間は、2つの機能を持ったハードウェア・コンフィギュレーション端子において、その値をラッチ後、ハードウェア・コンフィギュレーション端子が出力端子に切り替わるまでの時間です。ハードウェア・コンフィギュレーション端子に接続するプルアップ/プルダウンについては、出力端子に切り替わるのに先立って、正しい値がラッチされるよう、RCによる時定数に注意する必要があります。

備考 ソフトウェア・リセットは、電源投入後あるいはハードウェア・リセットがディスエーブルしてから、少なくとも500μs経過してから実行するようにしてください。



注 ハードウェア・リセット・タイミング (オプション#2) では、Vccが立ち上がったあと、T1+T2の間ハイ・レベルにします。

ループバック・タイミング

10 Mbpsおよび100 Mbpsループバック・タイミング

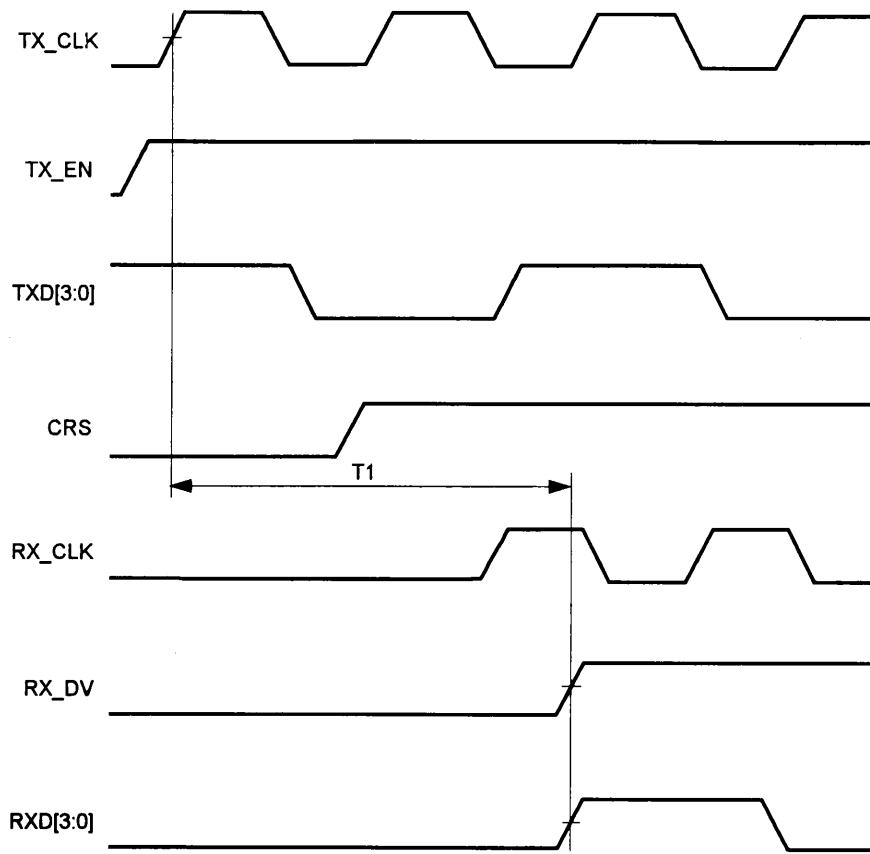
項 目	略号	条 件	MIN.	TYP.	MAX.	単位
ループバック時RX_DV遅延時間 (対TX_EN)	T1	100 Mbps動作時 ^{注1, 2, 3}			240	ns
		10 Mbpsシリアル・モード時 ^{注4}			250	ns
		10 Mbpsニブル・モード (内部ループバック) 時			2	μs
		10 Mbpsニブル・モード (通常動作) 時			2	μs
TD±遅延時間 (対RD±)	T2	リモート・ループバック時 (100 Mbps動作のみ)			25	ns

注1. μ PD72223内部ループバック・タイミングは、外付けトランシーバのループバック・タイミングに依存しており、ここでは定義しません。

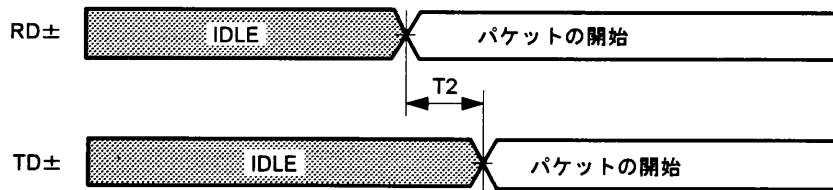
2. μ PD72840AのTD±出力は、ループバック動作中、LBREMRレジスタのビット5 (LBK_XMT_DSビット) によって、イネーブルあるいはディスエーブルされます。

3. ディスクランブラ機能の特性により、リモート・ループバックを除いた100 Mbps動作におけるループバック・モードでは、最初に550 μsの停止時間が発生します。ここで示すタイミング・チャートは、停止時間後のタイミングを示したものです。

4. 10BASE-Tループバック (シリアルまたはニブル・モード) では、TXU±, TXS±出力はインアクティブのままです。



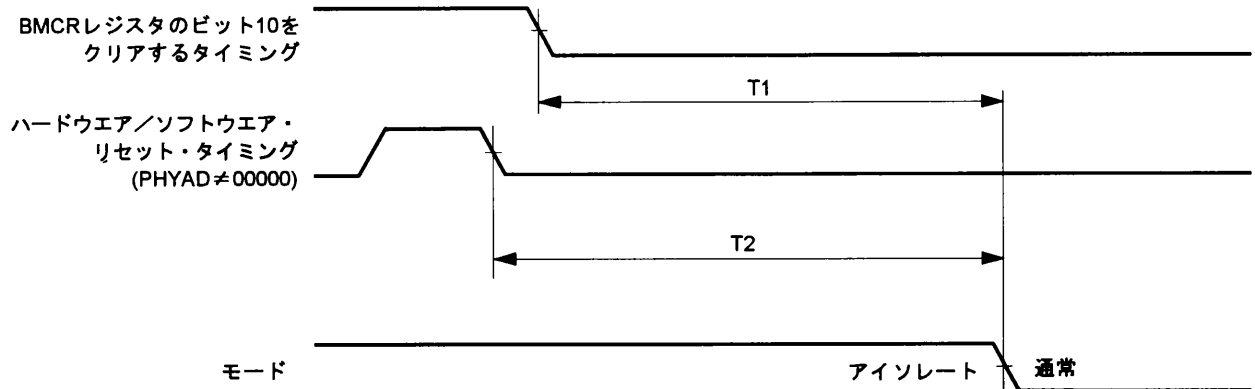
リモート・ループバック・タイミング



アイソレーション・タイミング

PHYアイソレーション・タイミング

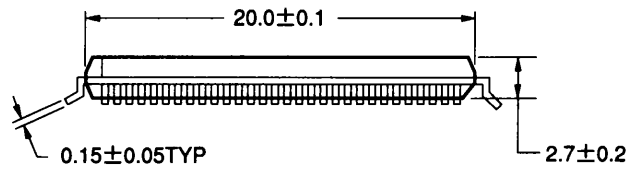
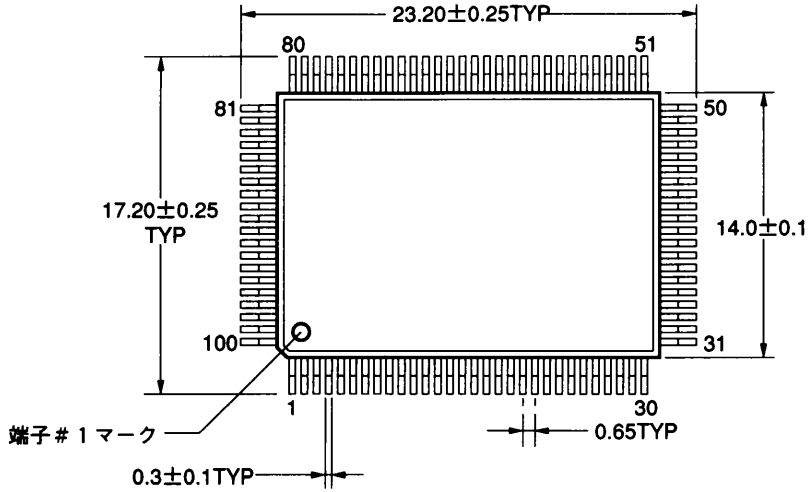
項 目	略号	条 件	MIN.	TYP.	MAX.	単位
アイソレート状態から通常モードへの切り替え時間	T1	BMCRCレジスタのビット10をクリアしたあと			100	μs
アイソレート状態から通常モードへの切り替え時間	T2	ソフトウェアまたはハードウェア・リセットをディスエーブルしたあと			500	μs



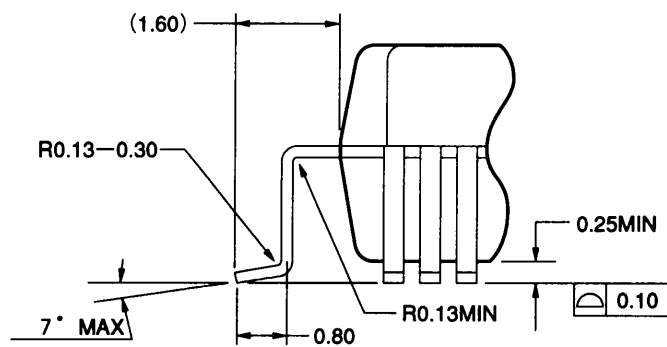
6. 外形図

100ピン・プラスチックQFP (14 mm×20 mm)

単位：mm



端子先端形状詳細図



7. 半田付け推奨条件

μ PD72840Aの半田付け条件については、当社販売員にお問い合わせください。

表面実装タイプ

- ・ μ PD72840AVCE : 100ピン・プラスチックQFP (14 mm×20 mm)

CMOSデバイスの一般的注意事項

①静電気対策 (MOS全般)

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

②未使用入力の処理 (CMOS特有)

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性 (タイミングは規定しません) を考慮すると、個別に抵抗を介して V_{DD} またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

③初期化以前の状態 (MOS全般)

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

イーサネット, Ethernetは, 米国ゼロックス社の商標です。

本製品は外国為替および外国貿易管理法の規定により戦略物資等(または役務)に該当しますので, 日本国外に輸出する場合には, 同法に基づき日本国政府の輸出許可が必要です。

本資料に掲載の応用回路および回路定数は, 例示的に示したものであり, 量産設計を対象とするものではありません。

- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して, 当社は当社もしくは第三者の知的財産その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合, 当社はその責を負うものではありませんのでご了承ください。
- 当社は品質, 信頼性の向上に努めていますが, 半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として, 人身事故, 火災事故, 社会的な損害等を生じさせない冗長設計, 延焼対策設計, 誤動作防止設計等安全設計に十分ご注意願います。
- 当社は, 当社製品の品質水準を「標準水準」, 「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また, 各品質水準は以下に示す用途に製品が使われることを意図しておりますので, 当社製品の品質水準をご確認の上ご使用願います。
 標準水準: コンピュータ, OA機器, 通信機器, 計測機器, AV機器, 家電, 工作機械, パーソナル機器, 産業用ロボット
 特別水準: 輸送機器(自動車, 列車, 船舶等), 交通用信号機器, 防災/防犯装置, 各種安全装置, 生命維持を直接の目的としない医療機器
 特定水準: 航空機器, 航空宇宙機器, 海底中継機器, 原子力制御システム, 生命維持のための医療機器, 生命維持のための装置またはシステム等
 当社製品のデータ・シート/データ・ブック等の資料で, 特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は, 必ず事前に当社販売窓口までご相談頂きますようお願い致します。
- この製品は耐放射線設計をしておりません。

M4 94.11

— お問い合わせは, 最寄りのNECへ —

【営業関係お問い合わせ先】

半導体第一販売事業部 半導体第二販売事業部 半導体第三販売事業部	〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3454-1111 (大代表)
中部支社 半導体第一販売部 半導体第二販売部	〒460 名古屋市中区錦一丁目17番1号 (NEC中部ビル)	名古屋 (052)222-2170 名古屋 (052)222-2190
関西支社 半導体第一販売部 半導体第二販売部 半導体第三販売部	〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3178 大阪 (06) 945-3200 大阪 (06) 945-3208
北海道支社 札幌支店 仙台支店 岩手支店 山形支店 郡山支店 いわき支店 長岡支店 土浦支店 水戸支店 神奈川支社 群馬支店	札幌 (011)231-0161 仙台 (022)267-8740 盛岡 (0196)51-4344 山形 (0236)23-5511 郡山 (0249)23-5511 いわき (0246)21-5511 長岡 (0258)36-2155 土浦 (0298)23-6161 水戸 (029)226-1717 横浜 (045)324-5524 高崎 (0273)26-1255	太田支店 (0276)46-4011 宇都宮支店 (028)621-2281 小山支店 (0285)24-5011 長野支社 (0263)35-1662 甲府支店 (0552)24-4141 埼玉支社 (048)641-1411 立川支社 (0425)26-5981 千葉支社 (043)238-8116 静岡支社 (054)255-2211 北松支店 (0762)23-1621 福井支店 (0776)22-1866
富山支店 三浦支店 京都支社 神戸支社 中国支社 鳥取支店 岡山支店 四国支社 新居浜支店 松山支店 九州支社	富山 (0764)31-8461 津 (0592)25-7341 京都 (075)344-7824 神戸 (078)333-3854 広島 (082)242-5504 鳥取 (0857)27-5311 岡山 (086)225-4455 高松 (0878)36-1200 新居浜 (0897)32-5001 松山 (089)945-4149 福岡 (092)271-7700	

【本資料に関する技術お問い合わせ先】

半導体ソリューション技術本部 第一システム技術部	〒210 川崎市幸区塚越三丁目484番地	川崎 (044)548-8884	半導体 インフォメーションセンター FAX(044)548-7900 (FAXにてお願い致します)
半導体販売技術本部 東日本販売技術部	〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3798-9619	
半導体販売技術本部 中部販売技術部	〒460 名古屋市中区錦一丁目17番1号 (NEC中部ビル)	名古屋 (052)222-2125	
半導体販売技術本部 西日本販売技術部	〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3383	