

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

PCI対応10/100 Mbps CSMA/CDコントローラ

μ PD72810Aは、IEEE 802.3 10BASE-Tのメディア・アクセス・コントロール機能 (MAC) やバッファ管理機能、ならびにIEEE802.3u 100BASE-T対応のメディア・アクセス・コントロール機能、MII (Media Independent Interface) 機能を内蔵した1チップ10/100 Mbps CSMA/CD (Carrier Sense Multiple Access with Collision Detection) コントローラです。 μ PD72810Aは、CPUインタフェースとしてPCIバージョン2.1 (Peripheral Component Interconnect Revision 2.1) の32ビット・バス・マスタ・インタフェースに対応しており最大33 MHzでのデータ転送が可能です。

全二重 (送信、受信同時) 動作が可能で、実行速度として最大200 Mbpsを実現できます。

μ PD72810AのIEEE 802.3 10 Mbps用のインタフェースは、10BASE-Tを直接サポートし、また、10BASE2または10BASE5に対してAUI (Attachment Unit Interface) を介してサポートします。

μ PD72810Aは、絶縁トランスを外部に1つ接続するだけでPCI対応の10BASE-Tを実現します。 μ PC8392とDCコンバータを用いることで10BASE2も実現できます。

100 Mbpsは、IEEE 802.3u準拠のMIIを通して物理レイヤ・トランシーバ (μ PD72840A, μ PD72223) との接続が可能です。

μ PD72810Aのバッファ管理は、メモリ空間とシステム・バスを最適化することが可能です。パケットが保持されるバッファを記述するディスクリプタ情報は、送信、受信動作で対称となっています。

パケット情報は、バッファ長やバイト境界に関する制限なしに、メモリ空間のどこにでも配置できるため、ドライバの柔軟性が向上します。また、送信や受信に必要な情報をバーストインまたはバーストアウトすることにより、バスを使用する上でのオーバーヘッドを減少することができます。

オプションとしてシリアルEEPROM™を使用してシステムを構成することもできます。 μ PD72810AはEEPROMを検知し、その内容をハードウェア・デフォルトとしてオーバーライトするために使います。さらに、オプションのブートROMを使用することにより、オペレーティング・システムをサーバから遠隔ロードすることができるため、ディスクレスなワークステーションのブートアップが可能となります。

また、 μ PD72810AはIEEE 802.3uに完全準拠なMII、受信MACアドレス用外部CAMインタフェース、MIB統計収集機能、IEEE 1149.1準拠のバウンダリ・スキャン機能や、パワーオン時に内部回路を自動的にチェックする内部自己試験 (BIST) 機能が用意されています。

本資料の内容は、後日変更する場合があります。

特 徴

- ・ 10 Mbps IEEE 802.3 10BASE-T準拠
- ・ 100 Mbps IEEE 802.3u 100BASE-T準拠およびMII内蔵
- ・ PCIバージョン2.1準拠（最大33 MHzの転送速度）
- ・ マネージメント・インタフェースとしてRFC 1213（MIB II）， RFC1398（Ether-like MIB）， IEEE 802.3 LMEの

統計情報

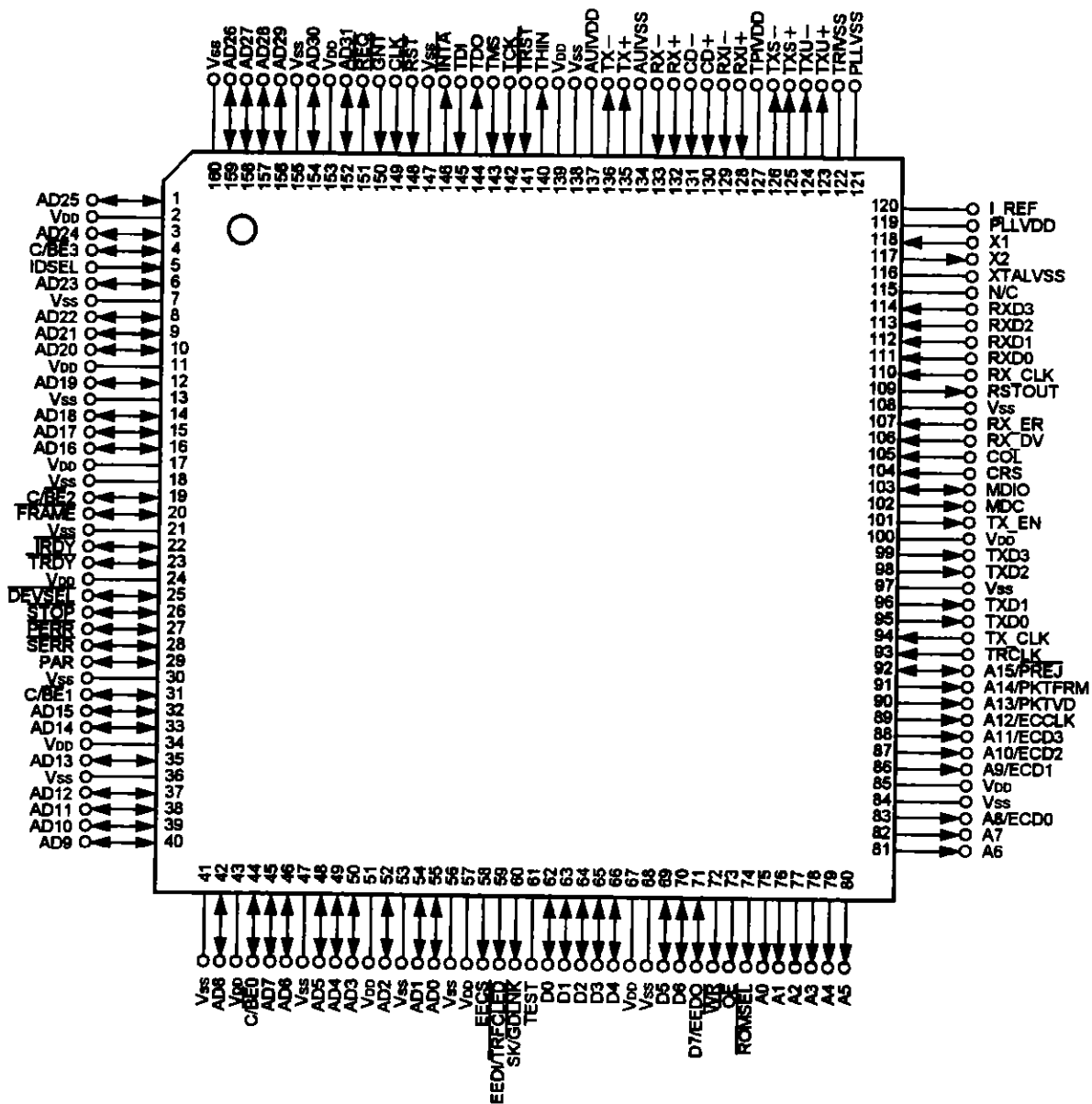
- ・ IEEE 802.3 AUIインタフェース
- ・ 10BASE-Tトランシーバ内蔵
- ・ プロトコル依存型ブロードキャスト・フィルタリング
- ・ 内蔵CAMによる10個のMACアドレスのフィルタリング
- ・ ブートROMインタフェース
- ・ シリアルEEPROMインタフェース
- ・ 外部CAMインタフェース
- ・ 全二重動作
- ・ 内部CAMとEEPROM用自己試験機能（BIST）内蔵
- ・ IEEE 1149.1バウンダリ・スキャン・テスト
- ・ CMOS

オーダ情報

オーダ名称	パッケージ
μ PD72810AVUL	160ピン・プラスチック QFP（□28 mm）

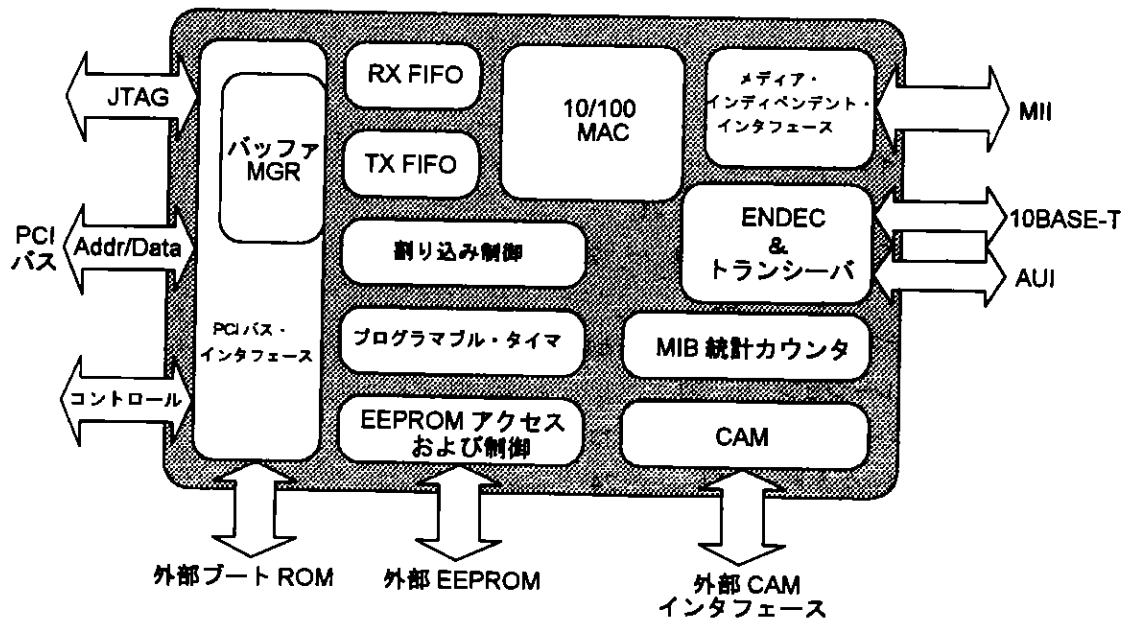
端子接続図 (Top View)

160ピン・プラスチックQFP (□28 mm)

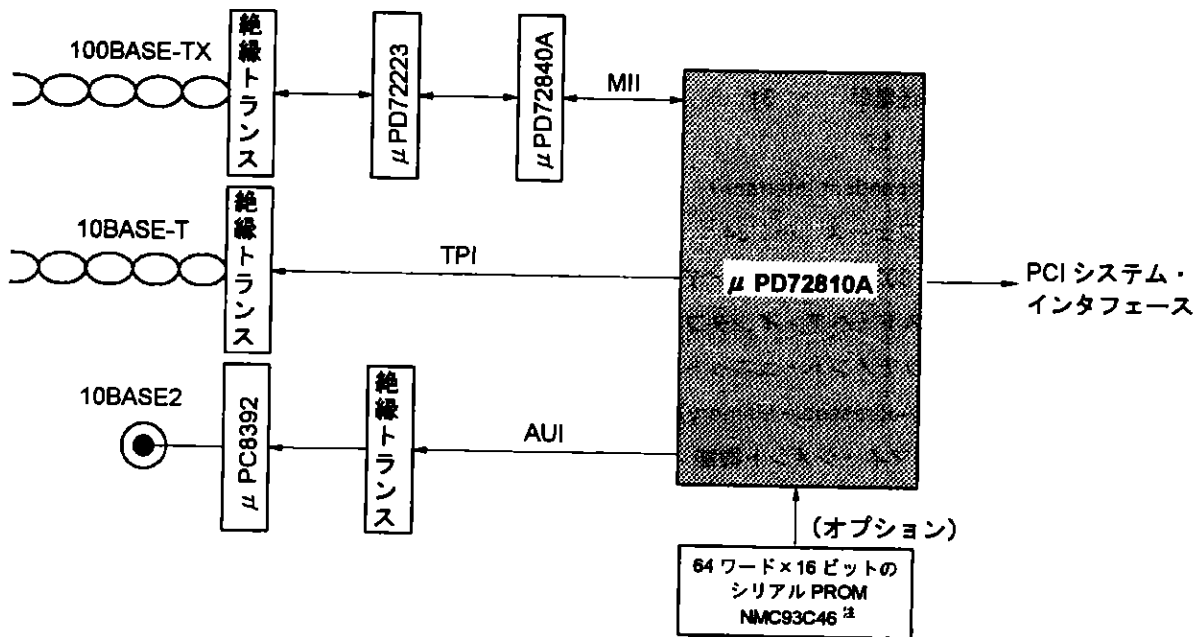


A15-A0	: Address	$\overline{\text{ROMSEL}}$: ROM Select
AD31-AD0	: Address and Data	$\overline{\text{RST}}$: Reset
AUIVDD	: Analog Supply	RSTOUT	: Reset Out
AUIVSS	: Analog Ground	RXD3-RXD0	: Receive Data
CD+, CD-	: AUI Collision Detect	RXI+, RXI-	: Twisted Pair Receive Input
CLK	: Clock	RX+, RX-	: AUI Receive Input
COL	: Collision Detected	RX_CLK	: Receive Clock
CRS	: Carrier Sense	RX_DV	: Receive Data
C/ $\overline{\text{BE3}}$ -C/ $\overline{\text{BE0}}$: Bus Command/Byte Enable	RX_ER	: Receive Error
D0	: Test	$\overline{\text{SERR}}$: System Error
D1	: EEPROM BIST Control	SK	: Serial Clock
D2	: CAM BIST Control	$\overline{\text{STOP}}$: Stop
D3	: Interface Select	TCK	: Test Clock
D4	: Timer and Register Select	TDI	: Test Input
D7-D0	: Data	TDO	: Test Output
$\overline{\text{DEVSEL}}$: Device Select	TEST	: Test
ECCLK	: External CAM Clock	THIN	: Thin Cable
ECD3-ECD0	: External CAM Data	TMS	: Test Mode Select
EECS	: EEPROM Chip Select	TPIVDD	: Analog Supply
EEDI	: Data In	TPIVSS	: Analog Ground
EEDO	: Data Out	TRCLK	: Timer and Register Clock
$\overline{\text{FRAME}}$: Frame	$\overline{\text{TRDY}}$: Target Ready
$\overline{\text{GDLNK}}$: Good Link LED	$\overline{\text{TRFCLED}}$: Traffic LED
$\overline{\text{GNT}}$: Grant	$\overline{\text{TRST}}$: Test Reset
IDSEL	: Initialization Device Select	TXD3-TXD0	: Transmit Data
$\overline{\text{INTA}}$: Interrupt A	TXS+, TXS-	: Shielded Twisted Pair Transmit Output
$\overline{\text{IRDY}}$: Initiator Ready	TXU+, TXU-	: Unshielded Twisted Pair Transmit Output
I_REF	: Reference Current	TX_CLK	: Transmit Clock
MDC	: Management Data Clock	TX_EN	: Transmit Enable
MDIO	: Management Data I/O	TX+, TX-	: AUI Transmit Output
N/C	: No Connection	V _{DD}	: Digital Supply
$\overline{\text{OE}}$: Output Enable	V _{SS}	: Digital Ground
PAR	: Parity	$\overline{\text{WR}}$: Write
$\overline{\text{PERR}}$: Parity Error	X1	: Crystal Feedback Input or External Oscillator Input
PKTFRM	: Packet Framing	X2	: Crystal Feedback Output
PKTVD	: Packet Valid	XTALVSS	: Analog Ground
PLLVDD	: Analog Supply		
PLLVSS	: Analog Ground		
$\overline{\text{PREJ}}$: Packet Reject		
$\overline{\text{REQ}}$: Request		

★ ブロック図



システム構成例



注 NMC93C46は、米国ナショナル セミコンダクター社の製品です。

目 次

- 1. 端子機能 … 10
- 2. 機能説明 … 21
 - 2.1 システム・インタフェース … 21
 - 2.1.1 バイト・オーダー … 21
 - 2.1.2 PCIバス割り込み制御 … 22
 - 2.1.3 タイマ … 22
 - 2.1.4 テスト・アクセス・ポートとIEEE 1149.1バウンダリ・スキャン … 23
 - 2.2 バス・オペレーション … 23
 - 2.2.1 ターゲット・リード … 23
 - 2.2.2 ターゲット・ライト … 24
 - 2.2.3 マスタ・リード … 25
 - 2.2.4 マスタ・ライト … 26
 - 2.2.5 コンフィギュレーション・アクセス … 27
 - 2.3 バッファ管理 … 27
 - 2.4 受信および送信FIFO … 28
 - 2.4.1 受信FIFO … 28
 - 2.4.2 送信FIFO … 28
 - 2.5 MACユニット … 29
 - 2.5.1 MAC受信部 … 29
 - 2.5.2 MAC送信部 … 31
 - 2.6 全二重動作 … 32
 - 2.7 MII (Media Independent Interface) … 33
 - 2.8 10 Mbpsインタフェース … 34
 - 2.8.1 IEEE 802.3エンコーダ/デコーダ (ENDEC) ユニット … 34
 - 2.8.2 ツイスト・ペア・インタフェース (TPI) モジュール … 35
 - 2.8.3 アタッチメント・ユニット・インタフェース (AUI) … 37
 - 2.9 CAM (Content Addressable Memory) … 38
 - 2.10 ネットワーク・マネージメント機能 … 39
 - 2.11 低電力モード … 41
 - 2.12 リセット動作 … 41
- 3. コントローラ・レジスタ … 43
 - 3.1 概 要 … 43
 - 3.2 コンフィギュレーション・レジスタ … 43
 - 3.2.1 コンフィギュレーションIDレジスタ (CFGID) … 44
 - 3.2.2 コンフィギュレーション・コマンド/ステータス・レジスタ (CFGCS) … 45
 - 3.2.3 コンフィギュレーション・リビジョンIDレジスタ (CFGRID) … 47
 - 3.2.4 コンフィギュレーション・レイテンシ・タイマ・レジスタ (CFGLAT) … 48
 - 3.2.5 コンフィギュレーションI/Oベース・アドレス・レジスタ (CFGIOA) … 50
 - 3.2.6 コンフィギュレーション・メモリ・アドレス・レジスタ (CFGMA) … 51

3.2.7	コンフィギュレーション・サブシステムIDレジスタ (CFGSID)	… 51
3.2.8	ブートROMコンフィギュレーション・レジスタ (CFGROM)	… 52
3.2.9	コンフィギュレーション割り込みレジスタ (CFGINT)	… 53
3.3	オペレーショナル・レジスタ	… 54
3.3.1	コマンド・レジスタ (CR)	… 55
3.3.2	コンフィギュレーション・レジスタ (CFG)	… 57
3.3.3	割り込みステータス・レジスタ (ISR)	… 59
3.3.4	割り込みマスク・レジスタ (IMR)	… 61
3.3.5	割り込みイネーブル・レジスタ (IER)	… 63
3.3.6	割り込み待ち時間カウンタ・レジスタ (ILCR)	… 63
3.3.7	送信ディスクリプタ・ポインタ・レジスタ (TXDP)	… 64
3.3.8	送信コンフィギュレーション・レジスタ (TXCFG)	… 65
3.3.9	送信バースト制御レジスタ (TXBC)	… 67
3.3.10	送信ステータス・レジスタ (TXSR)	… 68
3.3.11	受信ディスクリプタ・ポインタ・レジスタ (RXDP)	… 69
3.3.12	受信コンフィギュレーション・レジスタ (RXCFG)	… 70
3.3.13	受信アーク/バースト制御レジスタ (RXBC)	… 72
3.3.14	受信ステータス・レジスタ (RXSR)	… 73
3.3.15	EEPROMアクセス・レジスタ (EER)	… 75
3.3.16	MIIアクセス・レジスタ (MIIR)	… 76
3.3.17	CAM制御レジスタ (CCR)	… 78
3.3.18	CAMデータ・レジスタ (CDR)	… 80
3.3.19	タイマ制御レジスタ (TCR)	… 81
3.3.20	タイマ最大カウンタ・レジスタ (TMR)	… 82
3.3.21	タイマ・カウンタ・レジスタ (TCTR)	… 82
3.3.22	シリコン・リビジョン・レジスタ (SRR)	… 83
3.3.23	ターゲット・テスト制御レジスタ (TTSCR)	… 83
3.3.24	ENDECアクセス・レジスタ (ENDEC)	… 84
3.3.25	ブートROMアドレス・レジスタ (MADR)	… 86
3.3.26	ブートROMデータ・レジスタ (MDAT)	… 86
3.3.27	MIB制御レジスタ (MIBC)	… 87
3.4	MIB (Management Information Base Registers)	… 88
3.4.1	エラーなし受信	… 90
3.4.2	エラー受信	… 91
3.4.3	エラーなし送信	… 92
3.4.4	エラー送信	… 93
4.	バッファ管理	… 94
4.1	概要	… 94
4.2	ディスクリプタ・フォーマット	… 94
4.2.1	シングル・ディスクリプタ・パケット	… 98
4.2.2	マルチプル・ディスクリプタ・パケット	… 98
4.2.3	ディスクリプタ・リスト	… 99

- 4.3 送信アーキテクチャ … 100
 - 4.3.1 送信ステート・マシン … 101
 - 4.3.2 送信データ・フロー … 104
- 4.4 受信アーキテクチャ … 105
 - 4.4.1 受信ステート・マシン … 106
 - 4.4.2 受信データ・フロー … 109
- 5. ブートROM … 110
 - 5.1 概 要 … 110
 - 5.2 ブートROMに必要な条件 … 110
 - 5.2.1 ブートROMインタフェース … 110
 - 5.2.2 ブートROMアクセス … 111
- 6. バウンダリ・スキャン・テスト・アクセス・ポート (JTAG) … 112
 - 6.1 概 要 … 112
 - 6.2 テスト・アクセス・ポート・コントローラ信号 … 112
 - 6.3 命令セット … 112
 - 6.4 BSDLモデル … 113
- 7. EEPROMマップ … 114
- 8. CAM … 115
 - 8.1 概 要 … 115
 - 8.2 内部CAM … 115
 - 8.2.1 内部CAM構成 … 115
 - 8.2.2 物理/マルチキャスト・アドレス … 115
 - 8.2.3 ブロードキャスト・アドレス … 115
 - 8.2.4 内部CAMの書き込み, 読み出し … 116
 - 8.2.5 内部CAMのコンフィギュレーション … 116
 - 8.2.6 内部CAM BIST … 116
 - 8.3 外部CAM … 117
 - 8.3.1 コマンド/ステータス・モード … 117
 - 8.3.2 フレーム/データ・モード … 118
 - 8.3.3 外部CAMデータ … 118
- 9. ネットワーク・インタフェース … 119
- 10. 基板レイアウト上の配慮 … 122
 - 10.1 発振入力 … 122
 - 10.1.1 外部クリスタル … 122
 - 10.1.2 クロック発振モジュール … 123
 - 10.1.3 基板レイアウトに関する配慮 … 123
 - 10.2 電源上の配慮 … 123

- 10.3 精密電流源 … 124

- 11. 電気的特性 … 125
 - 11.1 バス・クロック・タイミング … 127
 - 11.2 パワーオン・リセット … 127
 - 11.3 リセット・サイクル (パワーオン後の動作時) … 128
 - 11.4 コンフィギュレーション・ライト … 129
 - 11.5 コンフィギュレーション・リード … 130
 - 11.6 バス・マスタ・リード・サイクル … 131
 - 11.7 バス・マスタ・ライト・サイクル … 132
 - 11.8 ターゲット・リード・サイクル … 133
 - 11.9 ターゲット・ライト・サイクル … 134
 - 11.10 バス・アービトレーション・サイクル … 135
 - 11.11 コンフィギュレーションEEPROM … 135
 - 11.12 ブートROMアクセス・サイクル … 136
 - 11.13 バウンダリ・スキャン … 137
 - 11.14 外部CAMインタフェース … 137
 - 11.15 MII (Media Independent Interface) … 138
 - 11.16 ACタイミング・テスト条件 … 139

- 12. 外形図 … 141

- 13. 半田付け推奨条件 … 142

1. 端子機能

バス・インタフェース (1/3)

端子名	端子番号	入出力	機能
AD31-AD0	152, 154, 156-159, 1, 3, 6, 8-10, 12, 14-16, 32, 33, 35, 37-40, 42, 45, 46, 48-50, 52, 54, 55	I/O	アドレスとデータ： マルチプレクス・アドレスおよびデータ・バス信号です。バス・マスタとして動作する場合、μ PD72810Aは、最初のバス・フェーズでアドレスをドライブします。その後のフェーズでは、ターゲットがアドレス・ポインタをインクリメントするまで待って、データを読み出しか書き込みを行います。バス・ターゲットとして動作する場合、μ PD72810Aは、バス上の各アドレスとデコードし、ターゲットがアドレスされていれば応答します。
C/BE3-C/BE0	4, 19, 31, 44	I/O	バス・コマンド/バイト・イネーブル： アドレス・フェーズでは、これらの信号は“バス・コマンド”，つまり発生するバス・トランザクションを定義します。データ・フェーズでは、どのバイト・レーンが有効なデータを保持しているかを示します。リトル・エンディアン・モードでは、C/BE0端子はバイト0（ビット7-ビット0），C/BE3端子は、バイト3（ビット31-ビット24）にそれぞれ対応します。ビッグ・エンディアン・モードでは、C/BE0はバイト0（ビット31-ビット24）に、C/BE3はバイト3（ビット7-ビット0）に対応します。
CLK	149	I	クロック： すべてのバス・フェーズのタイミングを供給するPCIバス・クロックです。立ち上がりエッジで各フェーズの開始を定義します。 クロック周波数は、0から33 MHzの範囲です。
TRCLK	93	I	タイマ・アンド・オペレーション・レジスタ・クロック： 内部タイマの駆動、オフセット値が0040Hを越えるオペレーション・レジスタへのアクセス、デバイス上のその他の回路を駆動するために必要とされる外部供給クロックです。タイマ制御を正しく行うためには、入力周波数が66ピンのストラッピング・オプションで設定される値と、一致していなければなりません（ストラッピング・オプションの項を参照）。
DEVSEL	25	I/O	デバイス・セレクト： ターゲットとして動作する場合、FRAME信号がアクティブになったあとにμ PD72810Aがアドレスを認識すると、この信号はロウ・レベルになります。バス・マスタとして動作する場合は、PCIターゲットがデータ転送用のデスティネーション・アドレスを確実に認識できるように、μ PD72810Aは、この信号をサンプリングします。

バス・インタフェース (2/3)

端子名	端子番号	入出力	機能
FRAME	20	I/O	フレーム： バス・マスタとして動作する場合、この信号はロウ・レベルになり、バス・トランザクションの開始と期間を示します。この信号がアクティブになると、データ転送が起こり、トランザクションが最終フェーズになる前に、信号はインアクティブになります。ターゲットとして動作する場合は、現在のトランザクションが自分にアドレスされたものかどうかをチェックするために、デバイスは、アドレスとデコードする前にこの信号をモニタします。
GNT	150	I	グラント： この信号がロウ・レベルになると、アービタからバスの使用権がμ PD72810Aに譲与されたことを示します。この入力にはバス・マスタ・モードでのみ使われます。
IDSEL	5	I	初期化デバイス選択： この信号は、コンフィギュレーション・リードとライト・アクセス中のみ、ハイ・レベルになります。
INTA	146	O	割り込みA： この信号は、割り込みステータス・レジスタと割り込みマスク・レジスタで定義された割り込み条件が生じたときに、ロウ・レベルになります。この端子はオープン・ドレイン出力です。
IRDY	22	I/O	イニシエータ・レディ： バス・マスタとして動作する場合、イニシエータが現在のデータ・フェーズのトランザクションを完了する準備ができたとき、この信号はロウ・レベルになります。この信号は、TRDY信号と組み合わせて使われ、IRDYとTRDY信号の双方がロウ・レベルになると、CLK信号の立ち上がりエッジでデータ・トランザクションが発生します。ターゲットとして動作する場合、IRDY信号はマスタがデータをバス上に出力したことを示します。
PAR	29	I/O	パリティ： この信号は、PAR端子を含むAD31-AD0およびC/BE3-C/BE0端子上の偶数パリティを示します。マスタとして動作する場合、PAR信号はアドレスおよびライト・データ・フェーズ中にアクティブになります。ターゲットとして動作する場合、この信号は、リード・データ・フェーズ中にアクティブになります。
PERR	27	I/O	パリティ・エラー： マスタまたはターゲットとしての動作中にかかわらず、μ PD72810Aはこの信号をロウ・レベルにして、入力データにパリティ・エラーが発生したことを示します（特別なサイクルは除く）。バス・マスタとして動作中には、μ PD72810Aは、すべての書き込み動作中に、この信号をモニタします（特別なサイクルは除く）。

★

バス・インタフェース (3/3)

端子名	端子番号	入出力	機能
$\overline{\text{REQ}}$	151	0	リクエスト： μ PD72810Aはこの信号をロウ・レベルにして、アービタにバスの使用権を要求します。
$\overline{\text{RST}}$	148	1	リセット： この信号がアクティブになると、μ PD72810Aの出力信号はすべて3ステート状態となり、デバイスは既知の状態になります。
$\overline{\text{SERR}}$	28	I/O	システム・エラー： μ PD72810Aは、アドレス・パリティ・エラーまたはシステム・エラーが発生した場合、この信号をロウ・レベルにします。
$\overline{\text{STOP}}$	26	I/O	ストップ： この信号は、ターゲット・デバイスがマスタ・デバイスに対して、現在のトランザクションの中止を要求するときにロウ・レベルになります。
$\overline{\text{TRDY}}$	23	I/O	ターゲット・レディ： ターゲットとして動作する場合、この信号は、スレーブ・デバイスが現在のデータ・フェーズのトランザクションを完了する準備ができたときにロウ・レベルになります。この信号は、 $\overline{\text{IRDY}}$ 信号と組み合わせて使われ、 $\overline{\text{IRDY}}$ と $\overline{\text{TRDY}}$ 信号の双方がロウ・レベルになると、CLK信号の立ち上がりエッジでデータ・トランザクションが発生します。マスタとして動作する場合、 $\overline{\text{TRDY}}$ 信号は、ターゲットが書き込み動作、または読み出し動作中にデータを準備できたことを示します。

アタッチメント・ユニット・インタフェース (AUI) とツイスト・ペア・インタフェース (TPI) (1/2)

端子名	端子番号	入出力	機能
CD+ CD-	130 131	I	AUIコリジョン検出: 絶縁トランスを介してAUIインタフェースからのコリジョン検出差動信号を入力します。
GDLNK	60	O	リンクLED: オープン・ドレインのアクティブ・ロウ出力です。ツイスト・ペア・モードでは、リンクが良好なとき、またはリンク・テストがディスエーブルとなったときに、この信号はアクティブになります。AUIモードではオフとなります。この信号は、EEPROMシリアル・クロックとマルチプレクスされています (EEPROMインタフェースのSK信号の機能を参照してください)。
RX+ RX-	132 133	I	AUI受信入力: 絶縁トランスを介してAUIインタフェースからの受信差動信号を入力します。
RXI+ RXI-	128 129	I	ツイスト・ペア受信入力: これら2つの信号は、ペアとなってツイスト・ペア・メディアから絶縁トランスを介して、入力データを受信します。
THIN	140	O	シン・ケーブル: この出力信号は、μ PD72810Aがシン・ケーブルで構成されたときにハイ・レベルになります。 10BASE2イーサネット構成で要求されるDC-DCコンバータをイネーブルにするために使います。
TRFCLED	59	O	トラフィックLED: オープン・ドレインのアクティブ・ロウ出力です。μ PD72810AがAUIまたはTPIモードでデータを送信または受信するとき、この信号は約50msアクティブになります。 この端子は、EEDI端子とマルチプレクスされています (EEPROMインタフェースのEEDI端子の機能を参照してください)。
TX+ TX-	135 136	O	AUI送信出力: これら2つの端子は、ペアとなってAUIトランシーバからエンコードされたデータを送信します。これらの出力は、ソース・フォロワであるため、270Ωのプルダウン抵抗を接続します。 備考 これらの信号は、ツイスト・ペア・メディアが選択された場合は、3ステート状態となります。

備考 デバイスがMIIインタフェースのみで制御されるよう定義する場合は、AUIおよびTPIの入出力端子には何も接続しないままにしておくことが可能です。

アタッチメント・ユニット・インターフェース (AUI) とツイスト・ペア・インターフェース (TPI) (2/2)

端子名	端子番号	入出力	機能
TXS+ TXS-	125 126	○	STPケーブル用送信出力： 150Ωシールド型ツイスト・ペア・ケーブル用の送信出力端子です。ブリエンファサイズおよびフィルタされた作動信号を出力します。このドライバは、データ送信中とアイドル・モード中、同じコモン・モード電圧を維持します。 備考 この信号は、非シールド型ツイスト・ペア使用時は、3ステート状態となります。
TXU+ TXU-	123 124	○	UTPケーブル用送信出力： 100Ω非シールド型ツイスト・ペア・ケーブル用の送信出力端子です。ブリエンファサイズおよびフィルタされた作動信号を出力します。このドライバは、データ送信中とアイドル・モード中、同じコモン・モード電圧を維持します。 備考 この信号は、シールド型ツイスト・ペア使用時は、3ステート状態となります。
X1	118	I	水晶発振子入力/発振器入力： この端子は、内部ENDECにクロックを供給するために使用します。水晶発振子はこの端子とX2端子間に接続します。水晶発振器を使用する場合、この端子にクロックを入力します。 備考 MIIインターフェースのみを使用する場合には、水晶発振器を接続する必要はありません。
X2	117	○	水晶発振子出力： この端子は、水晶発振子を用いる場合にゲインを与えます。水晶発振器を使用する場合は、この端子をオープンにしてください。

備考 デバイスがMIIインターフェースのみで制御されるよう定義する場合は、AUIおよびTPIの入出力端子には何も接続しないままにしておくことが可能です。

EEPROMインタフェース

端子名	端子番号	入出力	機能
EECS	58	O	EEPROMチップ・セレクト： EEPROM用のチップ・セレクト信号です。この信号は、ネットワーク・コンフィギュレーション・データのロード時に、EEPROMをイネーブルにします。
EEDI	59	O	データ・イン： μ PD72810Aは、この端子を使って、EEPROMにオペ・コード、アドレス、およびデータをシリアルに書き込みます。この端子はTRFCLED端子とマルチプレクスされます（AUIおよびTPIインタフェースのTRFCLED端子の機能を参照してください）。 備考 この信号は、外部EEPROMへ入力されます。
EEDO	71	I	データ・アウト： μ PD72810Aは、この端子を使って、EEPROMの内容をシリアルに読み出します。この端子は、ブートROMデータ端子のビット7とマルチプレクスされます。 備考 この信号は、外部EEPROMから出力されます。
SK	60	O	シリアル・クロック： リセット後、μ PD72810Aは、コンフィギュレーションされていれば、SK、EEDO、EEDIを使いEEPROMのデータを読み出します。SK端子は、EEPROMのデータ転送に必要なクロックを供給します。この端子は、GDLNK端子とマルチプレクスされます（AUIおよびTPIインタフェースのGDLNK端子の機能を参照してください）。

MII (Media Independent Interface) (1/2)

端子名	端子番号	入出力	機能
COL	105	I	競合検出： PHYユニットからのコリジョン信号の入力です。 ハイ・レベル入力時に非同期にアクティブにすることができます。 コリジョン状態中アクティブです。
CRS	104	I	キャリア・センス： PHYユニットからのキャリア・センス信号の入力です。ハイ・レベル入力時に非同期にアクティブにすることができます。PHYユニットは、アイドル状態でなくなったときアクティブとなります。
MDC	102	O	マネージメント・データ・クロック出力： マネージメント・データ転送用のクロック出力です。最大周波数2.5 MHzです。
MDIO	103	I/O	マネージメント・データ入出力： PMD (Physical Media Dependent) マネージメント情報を転送するための双方向信号です。 μ PD72810A側では2.0 kΩでプルダウンしてください。
RSTOUT	109	O	リセット・アウト： PMDをリセットするための出力信号です。 RST端子がアクティブになると、この信号はアクティブになります。
RX_CLK	110	I	受信クロック： PMDで生成された受信データ同期クロック入力です。クロック周波数は、100 Mbpsにおいて25 MHz、10 Mbpsで2.5 MHzとなります。
RXD3-RXD0	114-111	I	受信データ： PMDでの受信データは、ニブル・コードで受信クロックに同期して受信します。 RXD3信号が最上位ビットを示し、RXD0信号は最下位ビットとなります。
RX_DV	106	I	受信データ・バリッド： PMDでの受信データが、MIIを通してニブル・コードで転送されるとき有効データ信号です。 この信号は、SFD (フレーム開始デリミッタ) でアクティブとなり、フレームの終了でインアクティブとなります。
RX_ER	107	I	受信エラー： メディア・エラーを検出し、RX_DVがアクティブになる場合は、この信号を外部PHYユニットによって、ハイ・レベルに同期してアクティブとしてください。
TX_CLK	94	I	送信クロック： PMDから供給されるクロックです。 クロック周波数は、100 Mbpsの場合、25 MHz±100 ppm、10 Mbpsの場合、2.5 MHz±100 ppmとなります。

★

備考 デバイスがMIIインタフェースのみで制御されるよう定義する場合は、AUIおよびTPIの入出力端子には何も接続しないままにしておくことが可能です。

MII (Media Independent Interface) (2/2)

端子名	端子番号	入出力	機能
TXD3-TXD0	99, 98, 96, 95	○	送信データ： PMDへの送信データは、ニブル・コードで送信クロックに同期してドライブされます。TXD3信号が最上位ビットとなり、TXD0信号が最下位ビットとなります。
TX_EN	101	○	送信イネーブル： TXD3-TXD0端子上のデータが有効であることを表します。この信号はTXD3-TXD0端子上にデータ送信を行うとき、送信クロックに同期してアクティブとなります。

備考 デバイスがMIIインタフェースのみで制御されるよう定義する場合は、AUIおよびTPIの入出力端子には何も接続しないままにしておくことが可能です。

ブートROMインタフェース

端子名	端子番号	入出力	機能
A15-A0	92-86, 83-75	○	アドレス： 64KブートROMをアクセスするためのアドレス信号です。ビット8からビット15は、外部CAM信号とマルチプレクスされています（外部CAMインタフェースの信号説明を参照してください）。
D7-D0	71-69, 66-62	I/O	データ： ブートROMのデータ信号です。すべてのブートROMデータ端子は、内部でプルアップされています。ビット7（71番端子）は、EEDO端子とマルチプレクスされています（EEPROMインタフェースのEEDO端子の機能を参照してください）。 備考 ハードウェア・リセット中のストラッピング・オプションに関しては、次項を参照してください。
\overline{OE}	73	○	アウトプット・イネーブル： この信号は、読み出し動作時に、ブートROMの出力バッファをイネーブルにします。
ROMSEL	74	○	ROMセレクト： ブートROM用のチップ・セレクト信号です。ブートROMを選択するときロウ・レベルになります。この信号が、ハイ・レベルになると、ブートROMは非選択状態となり、外部CAMが選択されます。
\overline{WR}	72	○	ライト： この信号は、書き込みサイクル中に、データをフラッシュ・メモリにストローブします。

ハード・リセット時のストラッピング・オプション

下表のストラッピング・オプションは、 $\overline{\text{RST}}$ 信号の最後部のエッジ（立ち上がりエッジ）でサンプルされます。ROMデータ端子は、すべて内部でプルアップされます。

端子名	端子番号	入出力	機能
D0	62	I/O	テスト用。ロウ・レベル設定禁止。
D1	63	I/O	EEPROM BIST制御： この信号をロウ・レベルにすると、EEPROM BISTとConfigローディングがディスエーブルになります。EEPROM BISTとConfigローディングをイネーブルにするには、この信号をハイ・レベルにしてください。
D2	64	I/O	CAM BIST制御： この信号をロウ・レベルにすると、CAM BISTがディスエーブルになります。CAM BISTをイネーブルにするには、この信号をハイ・レベルにしてください。
D3	65	I/O	インタフェース・セレクト： この信号をロウ・レベルにすると、MIIがイネーブルとなり、内部ENDECがディスエーブルになります。この信号をハイ・レベルにすると内部ENDECがイネーブルとなり、MIIがディスエーブルになります。このリセット設定は、ソフトウェアでENDECアクセス・レジスタのESTAビットをセットすることで無効とすることができます。
D4	66	I/O	タイマ・アンド・レジスタ・セレクト： TRCLKIに供給されるクロック周波数が20 MHzであるか、25 MHzであるかを指示するために使用します。 この信号をロウ・レベルにすると、内部タイマは20 MHzで動作するように定義されます。 この信号をハイ・レベルにすると、内部タイマは25 MHzで動作するように定義されます。
D5	69	I/O	オートネゴシエーション・ディスエーブル/イネーブル： この信号をロウ・レベルにすると、高速リンク・パルスによるオートネゴシエーションがディスエーブルになります。ハイ・レベルにすると、イネーブルになります。この設定は、物理レイヤ・デバイスにプログラミングされたソフトウェアによって無効にすることができます。

外部CAMインタフェース

端子名	端子番号	入出力	機能
ECCLK	89	○	外部CAMクロック： ニブル幅データをサンプルするための25 MHzクロックです。この端子は、ブートROMアドレス端子のA12とマルチプレクスされています（ブートROMインタフェースの機能を参照してください）。
ECD3-ECD0	88-86, 83	○	外部CAMデータ： 外部CAMへのニブル長のデータ出力です。これらの端子は、ブートROMアドレス端子A8からA11とマルチプレクスされます（ブートROMインタフェースの機能を参照してください）。
PKTFRM	91	○	パケット・フレーミング： この信号は、デスティネーション・アドレスの最初のニブル・データで、クロックに同期してアクティブになります。キャリアのロス（パケットの終わり）が発生した場合は、インアクティブとなります。この端子は、ブートROMアドレス端子A14とマルチプレクスされます（ブートROMインタフェースの機能を参照してください）。
PKTVD	90	○	パケット・バリッド： この信号は、パケットが有効であるとき（CRCノー・エラー、ノー・フレーム・エラー時）アクティブになります。また、PKTFRM信号がインアクティブとなったあとでもアクティブになります。ブートROMアドレス端子A13とマルチプレクスされています（ブートROMインタフェースの機能を参照してください）。
PREJ	92	⊥	パケット・リジェクト： この信号がロウ・レベルになると（入力フレームの最初の64オクテット以内）、MACはパケットをリジェクトします。この信号がアクティブになっても、PKTVD信号の生成には影響しません。この端子には、外部にプルアップ抵抗を接続します。この端子は、ブートROMアドレス端子A15とマルチプレクスされます（ブートROMインタフェースの機能を参照してください）。

テスト・アクセス・ポート（お客様のご要求により、本機能をサポートすることができます。）

端子名	端子番号	入出力	機 能
TCK	142	I	テスト・クロック： この信号は、IEEE 1149.1バウンダリ・スキャン実行時にシリアル・データの同期をとるために使用します。
TDI	145	I	テスト入力： TCK信号の立ち上がりエッジでシフト・インするシリアル・データ信号です。この端子は内部でプルアップされています。
TDO	144	O, Z	テスト出力： TCK信号の立ち下がりエッジでシフト・アウトする3ステート・シリアル・データです。
TMS	143	I	テスト・モード・セレクト： この信号は、TAPコントローラの動作を制御します。この端子は、内部でプルアップされています。
TRST	141	I	テスト・リセット： この信号がハイ・レベルからロウ・レベルに変化すると、TAPコントローラは論理的にリセット状態となります。通常動作（非テスト）時には、ロウ・レベルに固定します。 この端子は、内部でプルアップされています。

電源および未使用端子

端子名	端子番号	入出力	機 能
NC	115		ノー・コネクション
TEST	61		何も接続しないでください。
I_REF	120		I/Oパッドのグラウンドの揺れを減少させるための、精密電流源です。
V _{DD}	2, 11, 17, 24, 34, 43, 51, 57, 67, 85, 100, 139, 153		デジタル電源です。 +5Vを供給してください。
PLL _{VDD} , TPIV _{VDD} , AUIV _{VDD}	119, 127, 137		アナログ電源です。 +5Vを供給してください。
PLL _{VSS} , TPIV _{VSS} , AUIV _{VSS} , XTALV _{VSS}	121, 122, 134, 116		アナログ・グラウンド。
V _{SS}	7, 13, 18, 21, 30, 36, 41, 47, 53, 56, 68, 84, 97, 108, 138, 147, 155, 160		デジタル・グラウンド。

2. 機能説明

μ PD72810Aは、次のような機能を持っています。

- IEEE 1149.1バウンダリ・スキャン, 外部ブートROM付きのPCIバス・インタフェース, およびEEPROMインタフェース
- 簡単かつ高効率なバッファ管理機構
- 独立した受信および送信FIFOとDMAコントローラ
- IEEE 802.3u準拠の10/100 Mbpsメディア・アクセス・コントロール (MAC)
- MII (Media Independent Interface)
- エンコーダ/デコーダ (ENDEC), ツイスト・ペア・インタフェース (TPI), およびアタッチメント・ユニット・インタフェース (AUI) ユニット
- MIB統計レジスタ
- 内部10アドレス連想記憶装置 (CAM) および外部CAMインタフェース

ここでは、これら μ PD72810Aの機能の概要を説明します。

2.1 システム・インタフェース

μ PD72810Aのバス・インタフェースは、PCIローカル・バス仕様Ver.2.1に準拠しています。また、PCI仕様のオプション機能も内蔵されています。

- $\overline{\text{INTA}}$ (オプション割り込み要求端子)
- $\overline{\text{TRST}}$ を含むIEEE 1149.1テスト・アクセス・ポート
- 内部自己試験

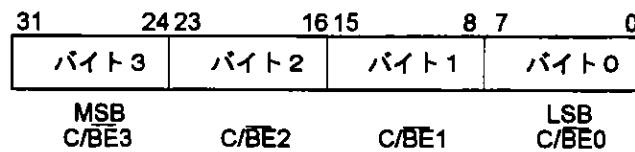
詳細は、PCIローカル・バスVer.2.1仕様を参照してください。

2.1.1 バイト・オーダー

μ PD72810Aでは、AD31-AD0端子で構成されるアドレス・バス上のデータのバイト・オーダーを、リトル・エンディアンまたはビッグ・エンディアンに設定することができます。この設定には、CFG : BEMビットを使用します。バイト・オーダーは、FIFOの動作とディスクリプタ情報に影響しますが、レジスタ情報は、ビット配列されたままとなります (つまり、AD31ビットは、レジスタ空間のビット31にマッピングされ、AD0はビット0にマッピングされます)。

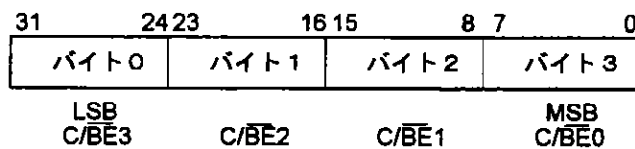
リトル・エンディアン (CFG : BEM = 0) : リトル・エンディアンでは、システム・メモリ中の受信および送信データとディスクリプタのバイト・オーダーは、次のようになります。

図 2-1 リトル・エンディアンのバイト・オーダ



ビッグ・エンディアン (CFG : BEM=1) : ビッグ・エンディアンでは、システム・メモリ中の受信および送信データとディスクリプタのバイト・オーダは、次のようになります。

図 2-2 ビッグ・エンディアンのバイト・オーダ



2.1.2 PCIバス割り込み制御

μ PD72810AのPCIバス割り込みは、 \overline{INTA} 端子を非同期にロウ・レベルにすることにより行われます。この端子はオープン・ドレイン出力です。割り込みソースは、割り込みステータス・レジスタ (ISR) (3.3.3 割り込みステータス・レジスタ (ISR) 参照) により決定します。ISRの1ビットまたは複数ビットがセットされると、現在保留中のすべての割り込みを示します。

備考 ISRを読み出すと、すべてのビットがクリアされます。特定の割り込みをマスクするには、割り込みマスク・レジスタ (IMR) を使用します (3.3.4 割り込みマスク・レジスタ (IMR) 参照)。

2.1.3 タイマ

レイテンシ・タイマは、CFGLATレジスタのLATフィールド (3.2.4 コンフィギュレーション・レイテンシ・タイマ・レジスタ (CFGLAT) 参照) で規定します。レイテンシ・タイマは、μ PD72810AがPCIバスをホールドする最小バス・クロック数を定義します。μ PD72810Aがバスの制御権を獲得し、 \overline{FRAME} 信号をアクティブにすると、レイテンシ・タイマはカウント・ダウンを開始します。μ PD72810Aがバス転送を完了する前に \overline{GNT} 信号がインアクティブになった場合は、レイテンシ・タイマがゼロになるまで (または、バス転送が完了するまで)、μ PD72810Aはバス使用権を保持します。

このタイマは、8ビット・カウンタに、1111bに固定された下位4ビットが付加されているため、タイマの設定値は、16クロック単位でインクリメントします。

ILCRレジスタのインタラプト・レイテンシ・タイマ (3.3.6 割り込み待ち時間カウント・レジスタ (ILCR) 参照) は、割り込みの発生 (ISRおよびIMRレジスタの対応するビットが“1”の場合) からISR読み出し時間を計測します。

これによって、ソフトウェアは、システムが割り込みに応答するまでの時間を知ることができます。

このインタラプト・レイテンシ・タイマは、16ビット長のカウンタで、800 nsごとにインクリメントされます。タイマがFFFFHまでインクリメントされると、カウントを停止し、このときのレイテンシ時間は、最大値の52.4 msを示しています。

汎用タイマTCR, TMR, およびTCTR (3.3.19~3.3.21参照) は、ソフトウェアによって、いかなる方法にも使用できます。タイマは、TCRによって、イネーブル、ディスエーブルまたはリセットされます。いったんイネーブルになると、TCTRでの現有値からカウント・アップを行います (TCRレジスタのTRSフィールドを“1”にセッ

トすると、TCTRの値は00000000Hにリセットされます)。タイマはディスエーブルになると、カウント動作を停止し、その値を保持します。保持された値は、TCTRから読み出すことができます。TCTR値は、タイマがディスエーブルされたときのみ変更できます。

TMR値がTCTRと同じになった場合、ISRのTMRとTCRのMCビットがセットされます。IMRのタイマ割り込みをイネーブルにすると、タイマ割り込みが発生します。TCRのCONTをセットすると、タイマは連続動作を行い、ISRのTMRとTCRのMCビットを定期的にセットします。

タイマは、32ビット長のカウンタであり、800 nsごとにインクリメントされます。

2.1.4 テスト・アクセス・ポートとIEEE 1149.1バウンダリ・スキャン

(お客様のご要求により、本機能をサポートすることができます。)

μ PD72810Aは、IEEE 1149.1に準拠するテスト・アクセス・ポートを備えています。このアクセス・ポートは、チップまたはシステム・レベルのバウンダリ・スキャンを行うために使用します。IEEE 1149.1バウンダリ・スキャンに必要な端子および機能と、オプションの $\overline{\text{TRST}}$ 入力端子も備えています。入出力信号の詳細は、1. 端子機能を参照してください。

2.2 バス・オペレーション

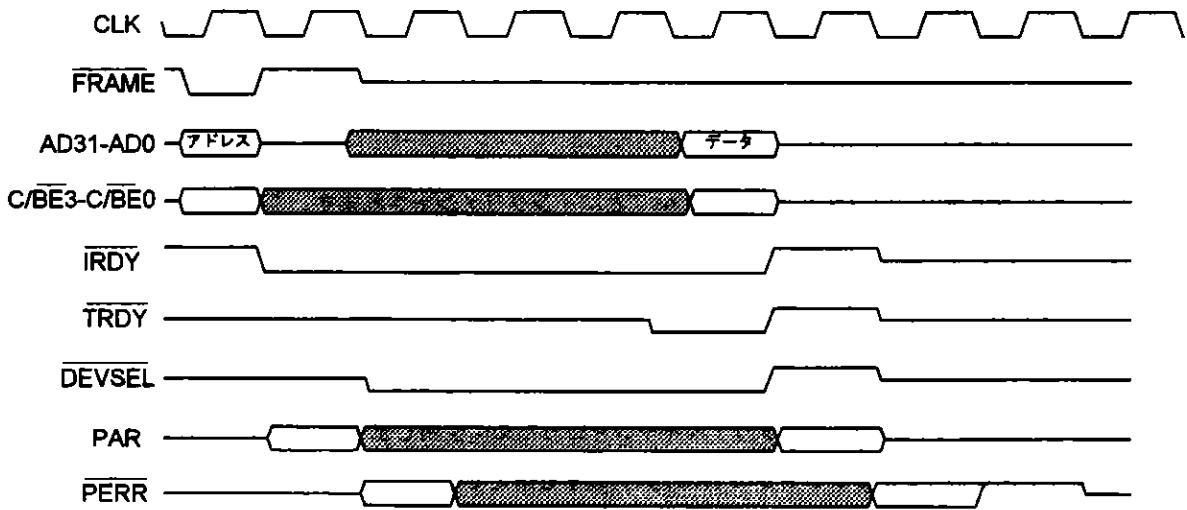
2.2.1 ターゲット・リード

ターゲット・リードは、システムが $\overline{\text{FRAME}}$ 信号、アドレス、およびコマンド(0010Bあるいは0110B)を発行することから開始されます(図2-3参照)。アドレス・バス上の上位24ビットが、CFGIOAレジスタのIOBASEフィールド、あるいはCFGMAレジスタのMEMBASEフィールドに一致した場合、μ PD72810Aは2クロック・サイクル後に $\overline{\text{DEVSEL}}$ 信号が発生します。

システムはアドレス・サイクルのあと、アドレス・バスを3ステート状態に、 $\text{C}/\overline{\text{BE}}$ バスをバイト・イネーブルにしなければなりません。 $\overline{\text{DEVSEL}}$ アクティブ後の2サイクル目で、32ビット・データおよび $\overline{\text{TRDY}}$ 信号が有効になります。そのとき $\overline{\text{IRDY}}$ がアクティブである場合、 $\overline{\text{TRDY}}$ 信号は次のクロックで1サイクルの間ハイ・レベルになり、その後3ステートになります。

備考 ターゲット・リードは32ビット幅でなければなりません。

図2-3 ターゲット・リード・オペレーション



2.2.2 ターゲット・ライト

ターゲット・ライトは、システムがFRAME信号、アドレス、およびコマンド (0011Bあるいは0111B) を発行することで開始されます (図2-4 参照)。アドレス・バス上の上位24ビットが、CFGIOAレジスタのIOBASEフィールド、あるいはCFGMAレジスタのMEMBASEフィールドに一致した場合、μ PD72810Aは2クロック・サイクル後にDEVSEL信号を発生します。

DEVSELアクティブ後の2サイクルで、デバイスはIRDY信号をモニタします。そのときIRDY信号がアクティブであると、μ PD72810AはTRDY信号をアクティブにします。次のクロックで32ビット・ダブル・ワード・データがラッチされ、TRDY信号は1サイクルの間ハイ・レベルとなり、その後3ステートになります。

備考 ターゲット・ライトは32ビット幅でなければなりません。

図2-4 ターゲット・ライト・オペレーション



FRAME信号が、IRDY信号のアクティブ期間を越えてアクティブである場合、μ PD72810Aは前述のように最初のダブル・ワード・データをラッチし、ディスコネクトを発行します。すなわち、TRDY信号とともにSTOP信号をアクティブにします。STOP信号は、FRAME信号がインアクティブになるのを検知するまで、アクティブのままになります。

2.2.3 マスタ・リード

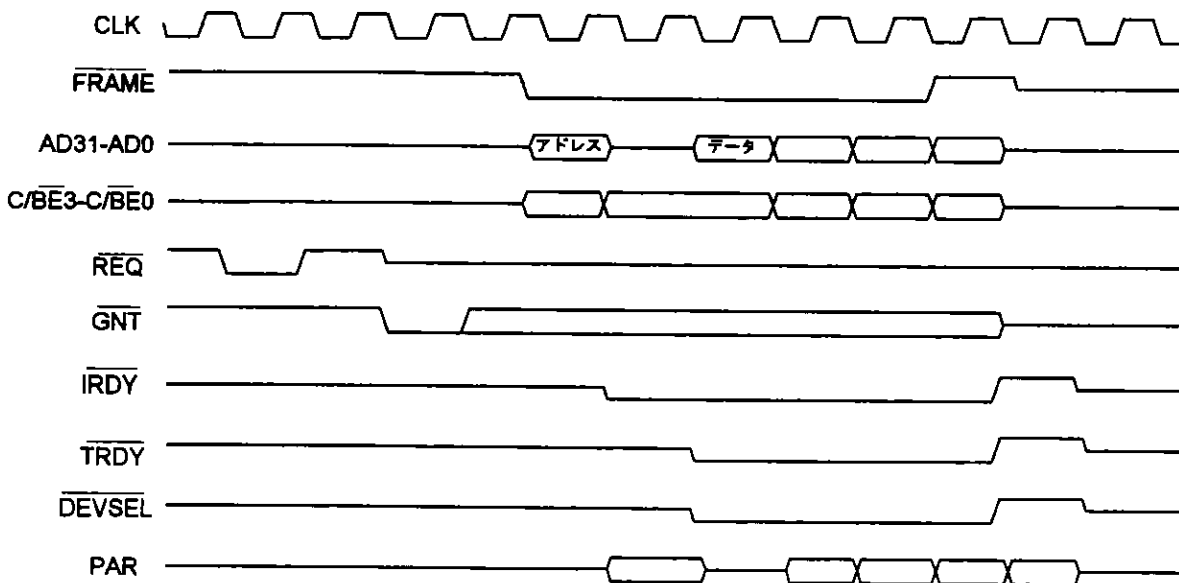
マスタ・リードは、μ PD72810AがREQ信号をアクティブにすることで開始されます（図2-5参照）。GNT信号が2クロック・サイクル以内にアクティブになった場合、GNT信号後2クロックでFRAME信号、アドレス、コマンドが発生します（FRAME信号およびアドレスは1サイクルのみ）。GNT信号が3クロック・サイクルよりもあとにアクティブになった場合は、GNT信号の次のクロックでFRAME信号、アドレス、コマンドが発生します。

デバイスは、DEVSEL信号がアクティブになるのを、8クロック・サイクルの間待ちます。DEVSEL信号がアクティブにならないまま8クロック・サイクルが経過すると、デバイスは、FRAME信号を1サイクルの間、ハイ・レベルにすることでマスタ・アポートを発行します。IRDY信号は、次のサイクルでハイ・レベルになります。2つの信号はインアクティブとなったサイクルの次のサイクルで、3ステートになります。

アドレスおよびコマンドが発生したあとのクロック・エッジで、アドレス・バスは3ステートになり、C/BEバスは有効なバイト・イネーブルを示します。FRAME信号がアクティブになったあとのクロック・エッジでIRDY信号はアクティブになります（シングル・リードの場合、FRAME信号はインアクティブになります）。TRDY信号とDEVSEL信号の2つがアクティブであることを検出したクロックにおいて、データはラッチされます（必要に応じてバイト・イネーブルは変更されます）。これはFRAME信号がインアクティブになる次のサイクルまで、続きます。

最後から2番目のリード・サイクルが起こったクロックで、FRAME信号をハイ・レベルにします（1サイクル後、3ステートになります）。デバイスがTRDY信号のアクティブを検出する次のクロック・エッジで、IRDY信号をハイ・レベルにします。この信号も1サイクル後、3ステートになります。これでリード動作は終了します。μ PD72810Aはリード動作の間、ウエイト・ステートを入れません。

図2-5 マスタ・リード・オペレーション



2.2.4 マスタ・ライト

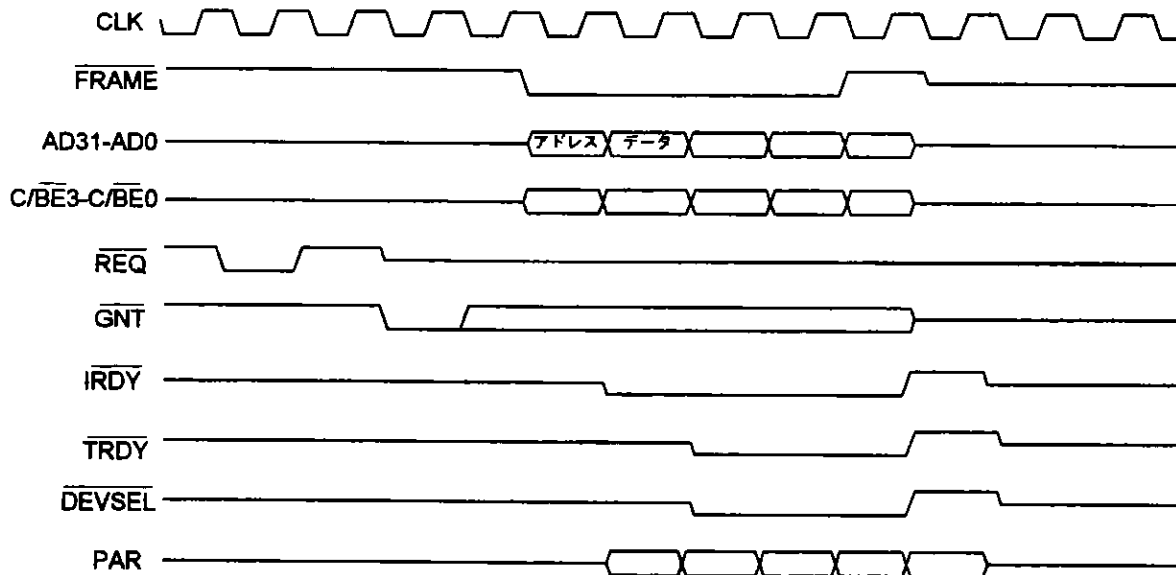
マスタ・ライトは、μ PD72810Aが $\overline{\text{REQ}}$ 信号をアクティブにすることで開始されます（図2-6参照）。 $\overline{\text{GNT}}$ 信号が2クロック・サイクル以内にアクティブになった場合、 $\overline{\text{GNT}}$ 信号後2クロックで $\overline{\text{FRAME}}$ 信号、アドレス、コマンドが発生します（ $\overline{\text{FRAME}}$ 信号およびアドレスは1サイクルのみ）。 $\overline{\text{GNT}}$ 信号が3クロック・サイクルよりも後にアクティブになった場合は、 $\overline{\text{GNT}}$ 信号の次のクロックで $\overline{\text{FRAME}}$ 信号、アドレス、コマンドが発生します。

デバイスは、 $\overline{\text{DEVSEL}}$ 信号がアクティブになるのを、8クロック・サイクルの間待ちます。 $\overline{\text{DEVSEL}}$ 信号がアクティブにならないまま8クロック・サイクルが経過すると、デバイスは、 $\overline{\text{FRAME}}$ 信号を1サイクルの間、ハイ・レベルにすることでマスタ・アポートを発行します。 $\overline{\text{IRDY}}$ 信号は、次のサイクルでハイ・レベルになります。2つの信号はインアクティブとなったサイクルの次のサイクルで、3ステートになります。

アドレスおよびコマンドが発生したあとのクロック・エッジで、データ・バスが有効になり、 $\overline{\text{C}/\overline{\text{BE}}}$ バスは有効なバイト・イネーブルを示します。 $\overline{\text{FRAME}}$ 信号がアクティブになったあとのクロック・エッジで $\overline{\text{IRDY}}$ 信号はアクティブになります（シングル・ライトの場合、 $\overline{\text{FRAME}}$ 信号はインアクティブになります）。 $\overline{\text{TRDY}}$ 信号と $\overline{\text{DEVSEL}}$ 信号の2つがアクティブであることを検出したクロックにおいて、次のサイクルのためのデータが有効になります（必要に応じてバイト・イネーブルは変更されます）。これは $\overline{\text{FRAME}}$ 信号がインアクティブになる次のサイクルまで、続きます。

最後から2番目のライト・サイクルが起こったクロックで、 $\overline{\text{FRAME}}$ 信号をハイ・レベルにします（1サイクル後、3ステートになります）。デバイスが $\overline{\text{TRDY}}$ 信号のアクティブを検出する次のクロック・エッジで、 $\overline{\text{IRDY}}$ 信号をハイ・レベルにします。この信号も1サイクル後、3ステートになります。これでライト動作は終了します。μ PD72810Aはライト動作の間、ウェイト・ステートを入れません。

図2-6 マスタ・ライト・オペレーション



2.2.5 コンフィギュレーション・アクセス

コンフィギュレーション・レジスタへのアクセスは、シングル・データ・ワード転送という点で、ターゲット・リードおよびターゲット・ライト動作と似ており、システムによって制御されます。システムがコンフィギュレーション・アクセスを制御するために、アドレス・フェーズの間、正しいコマンド（1010Bあるいは1011B）ばかりではなくIDSEL信号も発生しなければなりません。μ PD72810Aは、ターゲット動作時と同様に応答します。

備考 コンフィギュレーション・リードは32ビット幅でなければなりません。コンフィギュレーション・ライトはバイトごとのアクセスが可能です。

2.3 バッファ管理

μ PD72810Aのバッファ管理機構は、簡単かつ、効率的なフレーム・バッファ・メモリの使用を可能にするものです。フレームは、送信、受信時とも同様なフォーマットでセーブされます。また、このバッファ管理機構は、パケット情報用のディスクリプタとバッファを別々に使用します。このため、受信キューから送信キュー・ディスクリプタを変更するだけで、フレーム・データを受信バッファから送信バッファに簡単に転送することができます。

ディスクリプタのフォーマットは、大きく分けて3つの形でセーブできます。

- ・パケットを1つのディスクリプタと1つのパケット・フラグメントでセーブ
- ・パケットを1つのディスクリプタと複数のフラグメントでセーブ
- ・パケットを複数のディスクリプタと複数フラグメントでセーブ

このようにμ PD72810Aのバッファ管理は柔軟性をもたせることが可能であり、システム構成をする場合、μ PD72810Aのバッファリング機能を最大限に引き上げることができます。

パケット・ディスクリプタとフラグメントの最適な構成は、運用するシステムのバッファ・メモリのアーキテクチャやネットワーク・トラフィックにより決定されます。詳細は、4. バッファ管理を参照してください。

2.4 受信および送信FIFO

μ PD72810Aは送信、受信用に独立した512バイトのFIFOを内蔵しています。これらのFIFOは、送受信データの格納に使われ、ホスト・システムをネットワークからのリアルタイムな処理要求から開放します。

これらのFIFOは、TXCFGおよびRXCFGレジスタ（3.3.8 送信コンフィギュレーション・レジスタ（TXCFG）、3.3.12 受信コンフィギュレーション・レジスタ（RXCFG）参照）に設定されたFIFOスレッシュホールドによって制御されます。

FIFOスレッシュホールドは、μ PD72810AがPCIバスの使用権を要求する前に、どの程度FIFOに空きがなければならぬか、どの程度FIFOにデータをためることができるかを決定します。また、送信FIFOの設定は、メディア上へのデータ送信開始に対して、送信FIFO内にどの程度データが格納されていなければならないかを設定するスレッシュホールドもあります。μ PD72810Aは、いったん、PCIバス上へバス・リクエストをすると、TXCFGレジスタ、RXCFGレジスタのMXDMAビットによる許可にしたがって、FIFOをエンプティ状態またはフル状態にしようとします。

2.4.1 受信FIFO

受信FIFOはMIIのニブル・データ・インタフェースとPCI32ビット（ロング・ワード）のシステム・インタフェース間の異なる転送速度に対応するためのバッファとして機能します。

受信FIFOは、127×32ビット（508バイト）のメモリ・アレイで構成されています。

受信FIFO制御回路は、ニブル／バイト変換回路、スレッシュホールド回路、バッファ・マネージメント・エンジンの3つで構成されます。

受信時には、ニブル／バイト変換回路がMIIを通して受信されたデータをFIFOに格納します。

データがFIFOに入ると、スレッシュホールド回路は、32ビット幅のロング・ワードで転送データの数をモニタします。RXCFGレジスタのDRTHフィールドに設定されたスレッシュホールドは、PCIバスを通してシステム・メモリをアクセスするためのDMA要求の前に、内部MAC部からFIFOへのロング・ワード書き込みの数を決定します。このスレッシュホールドとなると、スレッシュホールド回路は、バッファ・マネージメント・エンジンをイネーブルとし、FIFOからロング・ワードを読み出し、システム・メモリに転送します。システム・メモリへのデータ転送は、FIFO内のデータが1ロング・ワード以下となると、いったん停止します。この処理はパケットの終わりか、RXCFGレジスタのMXDMAビットで設定された数に達するまで続きます。

2.4.2 送信FIFO

送信FIFOは、受信FIFOと同様にMIIのニブル・データ・インタフェースとPCI32ビット（ロング・ワード）のシステム・インタフェース間の異なる転送速度に対応するためのバッファとして機能します。送信FIFOは、127×32ビット（508バイト）のメモリ・アレイで構成されています。

送信FIFO制御回路は、ニブル／バイト変換回路、スレッシュホールド回路、バッファ・マネージメント・エンジンの3つで構成されています。

送信スタートにおいて、バッファ・マネージメント・エンジンは、送信FIFOがフルとなるまで（または、完全なパケットがフェッチされるまで）ロング・ワードをフェッチします。スレッシュホールド回路は、送信FIFOに書き込まれるデータ・バイト数をモニタします。転送データが、TXCFGレジスタのDRTHフィールドの設定値になると、ニブル／バイト変換回路が送信FIFOからニブル単位でデータを読み出し、MIIへ転送します。

バッファ・マネージメント・エンジンにより送信FIFOがフルになると、スレッシュホールド回路はFIFO内の空きをモニタします。送信FIFOの空きがTXCFGレジスタのFLTHフィールドの設定値よりも大きい場合、スレッシュホールド回路はさらにロング・ワードをメモリからフェッチします。この処理は、パケットの終わりまで続きます。

2.5 MACユニット

メディア・アクセス・コントロール (Media Access Control) ユニットの TPI, AUIまたはMIIを介して送受信されるパケットのメディア・アクセスを制御します。送信時には、MACユニットは、送信FIFOからのデータを802.3タイプ・フレーミングをし、ENDECユニットへのニブル・データの転送、またはMIIへのニブル幅のデータを転送します。受信データは、ENDECからデシリアライズされるか、MIIからのニブル・データでMACユニットに供給され、フレームをチェックし、受信FIFOに転送します。MACユニットの動作は、μ PD72810Aのコントロール・レジスタおよびステータス・レジスタによって制御されます。

802.3フレーム・フォーマットは、プリアンプル (PA) , フレーム開始デリミッタ (SFD) , デスティネーション・アドレス (DA) , ソース・アドレス (SA) , 長さ (LEN) , データおよびフレーム・チェック・シーケンス (FCS) で構成されます (図2-7参照)。受信動作においてμ PD72810Aは、プリアンプル、フレーム開始デリミッタ、FCSデータを削除します。また、送信動作において、μ PD72810Aはプリアンプル、フレーム開始デリミッタ、FCSデータを生成します。

図2-7 IEEE 802.3パケット構造

PA	SFD	DA	SA	LEN	データ	FCS
60b	4b	6B	6B	2B	46B-1500B	4B

B=バイト
b=ビット

2.5.1 MAC受信部

MAC受信部は、データ受信動作およびループバック動作を制御します。4ビットのSFDパターンを検出後、受信デシリアライザがアクティブとなり、受信FIFOにデータを転送します。アドレス・コンパレータは受信データのDAフィールドと内蔵CAMのアドレスとを比較し、一致すれば、デシリアライザがパケットの残りの部分を受信FIFOに転送します。パケットは、キャリア・センス信号 (CRS) がインアクティブの場合に分解されます。受信終了において、受信部は次のようなチェックを行います。

- フレーム・アラインメント・エラー
- シンボル・エラー
- CRCエラー
- レンジス・エラー

受信ステータス情報は、受信ディスクリプタのCMDSTSフィールドに示されます (3.3.14 受信ステータス・レジスタ (RXSR) 参照)。

ループバック動作において受信部は、通常の受信と同じ動作を行います。

受信部は、次のブロックから構成されています。

- ・受信ステート・マシン (RSM)
- ・受信回路
- ・ニブル回路
- ・アドレス・コンパレータ
- ・CRC回路
- ・CAM回路

(1) 受信ステート・マシン (RSM)

RSMは、通常の実受信動作と自己折り返し受信動作でのシーケンスを保証します。ネットワークがインアクティブのとき、RSMはネットワーク状態をモニタするためにアイドル状態となります。

ネットワークがアクティブ状態になると、RSMは受信FIFO内ヘータを書き込むためにニブル回路を動作状態にします。

この状態において次の条件が満たされると、パケットの実受信を停止します。

- ・ FIFOオーバラン ; μ PD72810Aが受信データをメモリへ転送する前に、受信FIFOが一杯になった場合。
- ・ CAMアドレス不一致 ; パケットのデスティネーション・アドレスとCAMのエントリが一致しないため、パケットがリジェクトされた場合。
- ・ メモリ・リソース・エラー ; 入力パケットをバッファリングするためのリソース(バッファやディスクリプタ)が足りない場合。
- ・ コリジョンまたはその他のエラー ; ネットワーク上でコリジョンが発生した場合、またはCRCエラーなどのエラーが発生した場合(特に、μ PD72810Aは、コリジョン・パケットのリジェクトまたはエラー・パケットのリジェクトをするようになっている場合)。

これらの条件が発生しない場合、RSMは、RXSRレジスタ(3.3.14 受信ステータス・レジスタ(RXSR)参照)内のステータスで示されるパケット処理をします。

(2) 受信回路

受信回路は、受信部の動作を制御するコマンド・レジスタ、コントロール・レジスタ、およびステータス・レジスタを持ちます。この回路は、受信FIFOにデータを書き込むための制御信号を発生し、CRC回路やデシリアライザからのエラー信号を処理し、パケットをリジェクトするために、RSMの「パケット・リジェクト」信号をアクティブにし、受信ステータス・レジスタに適切なステータスを通知します。

(3) ニブル回路

ニブル回路は、4ビット・ニブルで入力されたデータ・ストリームを、32ビットのロング・ワードにします。また、CRC回路の同期をとり、受信動作の開始(SFD検出後)、受信の終わりにインアクティブとなるCRS端子に対して適切なフレーム・アラインメントをチェックします。

(4) アドレス・コンパレータ

アドレス・コンパレータはDA(受信またはループバック時)またはSA(送信時)をラッチして、ラッチしたアドレスが、CAMのエントリ・アドレスの1つと一致するかをチェックします。

(5) CRC回路

CRC回路は、受信データから4バイトのフレーム・チェック・シーケンス(FCS)フィールドを計算し、受信パケットの最後の4バイトのCRCデータと比較します。CRC計算多項式はAUTODIN II ($X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$)です。

(6) CAM

CAMは、受信パケットのフィルタリングのためにユーザでプログラム可能な14エントリを持ちます。CAMには、10種類の固有アドレスまたはマルチキャスト・アドレスと、4種類のブロードキャスト・アドレスが設定できます。詳細は8. CAMを参照してください。

2.5.2 MAC送信部

MAC送信部は、送信FIFOからデータを読み出し、IEEE 802.3で定義されているCSMA/CD (Carrier Sense Multiple Access with Collision Detection) プロトコルによりネットワークにデータを送出します。

MAC送信部は、次のブロックから構成されます。

- ・送信ステート・マシン
- ・プロトコル・ステート・マシン
- ・シリアライザ
- ・プリアンプル・ジェネレータ
- ・CRC回路
- ・ジャム・ジェネレータ

(1) 送信ステート・マシン (TSM)

TSMは、シリアライザ、プリアンプル・ジェネレータおよびジャム・ジェネレータを制御するために、さまざまなネットワーク条件下でトランスミッタが実行するためのイベント・シーケンスを規定します。

コリジョンが発生しない場合、トランスミッタはパケットの始まりに60ビットのプリアンプルと4ビットのSFDを付け、シリアル化してデータを送出します。パケットの終わりでは、4バイトCRCパターンをFCSとして付加します。

コリジョンが発生した場合、トランスミッタは、データ送信から4バイトのジャム・パターン送出切り替え、全ノードに対してコリジョンの発生を通知します。

プリアンプル送出中にコリジョンが発生した場合、トランスミッタはプリアンプルが完了したあとにジャム・パターンを送出します。送信が完了するとトランスミッタは、送信ステータス・レジスタ (TXSR) (3.3.10 送信ステータス・レジスタ (TXSR) 参照) にステータスを書き込みます。

(2) プロトコル・ステート・マシン

μ PD72810AのCSMA/CDプロトコルの実行は、プロトコル・ステート・マシンが行います。

送信開始において、プロトコル・ステート・マシンはキャリア・センスおよびコリジョン信号をモニタします。ほかのノードが送信動作を行っている場合、μ PD72810Aは、ネットワークが空くまで、送信を保留します。その後、フレーム間ギャップ・タイマに設定された時間 (96ビット時間) が過ぎると、μ PD72810Aはデータを送信します。このフレーム間ギャップ・タイマに設定された時間は、2つの部分に分かれ、最初の64ビット時間で新たなネットワーク上へのデータ転送は、フレーム間ギャップ・タイマにリスタートをかけます。

この64ビット時間を越えると、ネットワーク動作状態は無視され、ステート・マシンはデータ転送までの残り32ビット時間の特機状態となります。データ送信中にコリジョンが発生した場合、μ PD72810Aは、送信動作停止のまえに、データ送信から4バイトのジャム・パターン送信にその動作を切り替えます。

コリジョンに伴う再送信の開始は、バックオフ・アルゴリズムで決定されたランダム・スロット時間 (512ビット時間) の間待機します。このアルゴリズムは、 n 回目の再送信を行う前に、μ PD72810Aが待機状態となるスロット時間の整数 r を次のランダム値より決定します。

$$0 < r \leq 2^k$$

(ただし、 $k = \min(n, 10)$)

たとえば、16回目の送信でコリジョンが発生し、TXCFGレジスタのTXRRフィールドが0の場合、μPD72810Aはパケットの送信を中止し、「最大送信試行回数」エラーを、送信ステータス・レジスタ (TXSR レジスタ、ECフィールド) にセットします (3.3.10 送信ステータス・レジスタ (TXSR) 参照)。TXCFG レジスタのTXRRフィールドがnの場合において (ただし、nはゼロではない)、μPD72810Aは、16n+16 回コリジョンが発生すると送信を中止します。この場合、TXExcessiveCollision MIBカウンタが、n+1 インクリメントされます (3.4.4 エラー送信を参照してください)。

(3) シリアライザ (10 Mbpsの場合)

送信FIFOにデータが書き込まれたあと、シリアライザはFIFOからバイト幅のデータを読み出し、NRZデータ・ストリームを10 Mbpsのマンチェスタ・エンコーダに転送します。このときのデータ送信速度は、送信クロック (TXC) によって決まります。シリアル化されたデータは、SFDのあとに送信されます。

(4) プリアンブル・ジェネレータ

プリアンブル・ジェネレータは、60ビット長の「1」と「0」が交互に組み合わされたパターンと、4ビットの1011b SFDパターンを、各パケットの最初に付加します。これによって、受信ノードは入力データの同期を確立させます。プリアンブルは、コリジョンが起きた場合でも、全部送信 (64ビット) されますので、この場合のフラグメントは96ビットとなります (64ビットのプリアンブルと、4バイト・ジャム・パターン)。

(5) CRC回路

CRC回路は、4バイトのFCSフィールドを、送信したシリアル・データから計算します。CRCイネーブルの場合、4バイトのFCSフィールドが送信パケットの終わりに付加されます (図2-3参照)。

ブリッジなどのアプリケーションでは、CRC回路の動作を禁止することが必要です。この場合、送信ディスクリプタ (4.2 ディスクリプタ・フォーマット参照) のコマンド/ステータス・フィールドのSUPCRCビットをセットします。

この機能は、ネットワーク上のパケットが、すでにCRCを付加されたパケットとなっているため、このパケットを他のセグメントに転送する場合にブリッジでのCRC付加を行わないようにするために使われます。

(6) ジャム・ジェネレータ

ジャム・ジェネレータは、それぞれ0101である4バイトのパターンを生成し、ネットワーク上のすべてのノードにコリジョン発生を通知します。コリジョンが発生すると、μPD72810Aはデータの送信を中止し、ジャム・ジェネレータをイネーブルにします。プリアンブル送出時にコリジョンが発生した場合、μPD72810Aは、ジャム・ジェネレータをイネーブルにする前にプリアンブルの送信を完了させます (プリアンブル・ジェネレータの機能を参照してください)。

2.6 全二重動作

μPD72810Aは、パケットの送信と受信を同時に行う全二重動作が可能です。

この動作モードは、現在のIEEE 802.3CSMA/CDスペックでは半二重動作のため定義されておられません。

μPD72810Aを全二重動作させるようにシステムを構成するには、内部ENDECまたはMIIを介して、ENDECアクセス・レジスタ (3.3.24 ENDECアクセス・レジスタ (ENDEC) 参照) のTFIビットを1に、HBEビットを0に、TXCFGレジスタのCSIビットおよびHBIビットを1に、RXCFGレジスタのATXビットを1に設定します。

★ 2.7 MII (Media Independent Interface)

MIIIは、メディア・タイプ (STP, カテゴリ3/4/5のツイスト・ペア線, 光ファイバなど) およびデータ・レート (10または100 Mbps) に依存しない送信および受信データのインタフェースを提供します。

このインタフェースは、各方向に4ビット幅 (ニブル) を持つデータ経路と制御信号および管理信号で構成されます。

MIIMネージメント・インタフェースは、シリアルEEPROMと同様な通信プロトコルを使用します。このプロトコルは、同じシリアル・インタフェースを共有する最大32個のPHYデバイスと最大32個のPHY内の16ビット・リード/ライト・レジスタをアドレスする機能を持ちます。MIIMネージメント・プロトコルのフレーム・フォーマットは、スタート・ビット (SB), オペコード (OP), PHYアドレス (PA), レジスタ・アドレス (RA), ライン・ターン・アラウンド (LT) およびデータで構成されます (図2-8参照)。

図2-8 MIIフレーム・フォーマット

SB	OP	PA	RA	LT	データ
2b	2b	5b	5b	2b	16b

b=ビット

- ・スタート・ビットは、(01) です。
- ・オペコードは、ライト・アクセス時には (01) と、リード・アクセス時には (10) です。
- ・PHYアドレスはデバイス・アドレスです。
- ・レジスタ・アドレスは、デバイスのレジスタのアドレスです。
- ・ライン・ターン・アラウンド・ビットは、ライト・アクセスでは (10) で、リード・アクセスでは (20) となります。これによって、MIIラインの時間を「ターン・アラウンド (turn around)」にします。
- ・データは、16ビット長で、PHYデバイスから書き込みまたは読み出されます。

リセット・フレームもまた用意されており、これは、32ビットの連続する“1” (FFFF FFFFH) で構成されます。電源供給後、PHYデバイスは、MIIMネージメント通信を実行する前に、リセット・フレームを受信することが必要です。また、リセット・フレームは、接続されたPHYデバイスのすべてが、データ・トラフィックに再同期するために、いつでも発行することができます (図2-9参照)。

図2-9 リセット・フレーム・フォーマット

SB	OP	PA	RA	LT	データ
11	11	11111	11111	11	1111 1111 1111 1111

MIIRレジスタ (MIIR) は、シリアルMIIIに対するパラレル・アクセスを可能にします。コマンドがリード・コマンドの場合、μ PD72810Aは、MIIRのMDATフィールドに読み出しデータの16ビットを配置します。ライト・コマンドの場合は、コマンド・フィールドに引き続きMDATフィールドの値がPHYデバイスに送出されます。

MIIRの詳細については、3.3.16 MIIアクセス・レジスタ (MIIR) を参照してください。

2.8 10 Mbpsインタフェース

10 Mbpsインタフェースは、エンコーダ/デコーダ (ENDEC) モジュールとツイスト・ペア・インタフェース (TPI) モジュールで構成されています。このインタフェースは、μ PD72810A を10 Mbps対応ネットワークに接続するとき使用します。

2.8.1 IEEE 802.3エンコーダ/デコーダ (ENDEC) ユニット

エンコーダ/デコーダ (ENDEC) ユニットは、ツイスト・ペア・インタフェース (TPI) モジュールまたはAUIとMACユニット間のインタフェースです。このインタフェースは、IEEE 802.3 10BASE5, 10BASE2, 10BASE-Tをサポートするための差動マンチェスタ・データ・エンコードおよびデコード機能を持ちます。

送信において、ENDECユニットは、MACユニットからのNRZ (Non Return Zero) データとクロックでマンチェスタ・データを生成し、トランシーバに対して差動信号として出力します。

受信においては、PLLにより受信マンチェスタ・データをNRZデータと受信クロックを生成します。

ENDECユニットは、マンチェスタ・トランシーバ/レシーバ、水晶発振器、コリジョン信号トランスレータ、診断ループバック機能で構成されます。

このENDECユニットの特長を次に示します。

- ・イーサネット™ I および II, IEEE 802.3 10BASE5, 10BASE2, および10BASE-Tと準拠
- ・受信クロック・リカバリ機能付き10 Mbpsマンチェスタ・エンコード/デコード
- ・精密部品は不要
- ・診断用ループバック機能
- ・ノイズ除去のためのスケルチ機能付き受信およびコリジョン入力回路
- ・トランシーバ (アタッチメント・ユニット・インタフェース) ケーブルとは、外部パルス・トランスを介して接続

ENDECユニットの機能は、トランシーバでの差動マンチェスタ・エンコード・データとMACユニットでのNRZ (Non Return Zero) データの相関性を保つためのエンコードとデコードを行います。データ・ストリームのエンコード/デコードのほかに、ENDECユニットは、MACユニットへのコリジョン検出、キャリア・センス、クロックといった信号を供給します。

(1) マンチェスタ・エンコーダ

ネットワークへの送信時、ENDECユニットはNRZシリアル・データをMACユニットから差動マンチェスタ・データに変換します。この動作を行うために、MACユニットからのNRZビット・ストリームはENDECユニットのマンチェスタ・エンコーダ・ブロックを経由します。エンコードされたビット・ストリームは、送信ドライバを介して、送信差動端子から送信されます。

(2) マンチェスタ・デコーダ

ネットワークからの受信時、トランシーバからの差動受信データは、マンチェスタ・エンコード・データからNRZシリアル・データに変換されると共に同期受信クロックを生成し、MACユニットの受信データおよびクロック入力に送られます。

この動作を行うために、受信信号は差動レシーバからPLLデコーダ・ブロックに送られます。PLLは受信クロックを生成し、マンチェスタ・コードをデコードしNRZシリアル・データ・ストリームを生成します。

デコーダからのNRZデータは、6ビット時間内に有効となります。デコーダは、ビット中に変化が検出されなくなるとフレームの終わりを検出します。

(3) 制御信号

マンチェスタ・エンコード/デコード機能のほかに、ENDECユニットはMACユニットへの制御信号とクロック信号を生成します。ENDECユニットは、MACユニットにネットワークから受信差動端子にデータを受信中であることを示すキャリア・センス信号を出力します。ENDECユニットのコリジョン・レシーバが、差動コリジョン入力端子上に10 MHzの信号を検出すると、ENDECユニットはMACユニットに、コリジョン検出信号を出力します。コリジョン信号は、ネットワーク上のいずれかにおいてコリジョンが発生したことを示します。

また、ENDECユニットは、MACユニットに受信および送信クロックを供給します。送信クロックは、発振器入力を2分周したもので、受信クロックは、マンチェスタ入力データから、PLLによって生成されます。

(4) 発振器

発振器は、ネットワークのタイミングのための10 MHzのクロックを生成します。パラレル共振クリスタルまたは外部クロックによってソース・クロックを供給します。発振器の20 MHz出力は2分周され、MACユニットに10 MHzのクロックを供給します。また、発振器は、エンコードおよびデコード回路に対してもクロックを供給します。

2.8.2 ツイスト・ペア・インタフェース (TPI) モジュール

TPIモジュールは、次の機能を備えています。

(1) スマート・スケルチ回路

差動受信入力 (RXI+/-) 端子に有効データの検出

(2) コリジョン検出回路

差動送信出力 (TXS+/-, TXU+/-) 端子と差動受信入力 (RXI+/-) 端子のデータの同時送受信チェック

(3) リンク検出回路/ジェネレータ

ツイスト・ペア・モジュールを接続するケーブルの健全性をチェック

(4) ジャバ

有効パケット長よりも長いパケットを送信しようとした場合、トランスミッタをディスエーブルにする。

(5) トランスミッタ

送信ドライバとプリエンファシスを使って、総和抵抗とトランスまたはフィルタを介してマンチェスタ・エンコード・データを送信。

(1) スマート・スケルチ

μ PD72810Aは、RXI+/-差動入力端子にインテリジェントな受信スケルチを実現し、受信入力端子上のインパルス・ノイズが、有効信号として誤って認識されるのを防ぎます。

このスケルチ回路は、ツイスト・ペア入力上のデータの有効性を決定するために、振幅とタイミングを測定しています。スマート・スケルチの電圧レベル・オプションは2つあり、1つは10BASE-Tモードで、IEEE 802.3 10BASE-T仕様を満たす電圧レベルとなっています。2つ目のモードは、低スケルチ・モードで、このモードでは、低スケルチ・スレッシュホールドを使用し、ケーブル長を長くし、受信信号の低下するようなアプリケーションに使用します。これらのスケルチ・モード・レベルは、ENDECレジスタのLOWSQLビットで選択します (3.3.24 ENDECアクセス・レジスタ (ENDEC) 参照)。

パケットの始まりの信号は、スマート・スケルチでチェックされ、スケルチ・レベル (極性によって、正または負) を下回るパルスは除去されます。最初のスケルチ・レベルを正しく上回った信号は、150 ns以内に反対のスケルチ・レベルを上回る必要があります。この信号が、次の150 ns内に最初のスケルチ・レベルを上回らないと、入力波形が除去されます。このチェック過程において、パケットの始めの3ビットが失われます。

スケルチ・レベルの条件が満たされると、制御信号が生成され、スケルチ回路のほかの部分に有効データが存在することを知らせます。このとき、スマート・スケルチ回路はリセットされます。

低スケルチ・モードは、スケルチ・レベルが低い点を除けば動作は同じです。

有効なデータは、スケルチ・レベルがパケットの終わりから150 ns以上の時間ピリオドで生成されなくなるまで存在するとみなされます。いったんデータが検出されると、スケルチ・レベルはノイズによる誤ったパケット終了検出を最小限にするためにスケルチ・レベルは低減されます。

(2) コリジョン検出回路

TPIモジュールは、受信および送信チャネルが同時にアクティブのときにコリジョンと判断します。TPIモジュールは、受信中にコリジョンを検出した場合、コントローラにコリジョンの通知をします。TPIモジュールは、送信動作時にコリジョンを検出した場合、7ビット時間経過後コントローラにコリジョンの通知をします。これは、ネットワーク上のノイズによって、誤ったコリジョン検出が通知されることを防ぐためです。コントローラへの信号は、コリジョンが発生している間保持され、ENDECレジスタのTFIビットが1にセットされると、コリジョン信号は無視されます(3.3.24 ENDECアクセス・レジスタ (ENDEC) 参照)。

また、パケット送信完了後、約1 μs後、SQE (Signal Quality Error) 信号が生成され、MACユニットに送られます。この信号は、10 MHzの10サイクルで構成されます。また、この10 MHz信号は、ハートビートとも呼ばれ、コリジョン回路の継続動作を保証するものです。この信号は、ENDECレジスタのHBEビットが0にリセットされている場合は生成されません。

(3) リンク検出回路/ジェネレータ

リンク・ジェネレータは、IEEE 802.3 10BASE-Tで定義されるリンク・パルスを生成します。データがない場合、100 nsのパルスが、16 msごとにTXO+出力端子に送出します。

このリンク・パルスは、メディア・アクセス・ユニット (MAU) との接続の健全性をチェックするために使います。リンク検出回路は、リモート・ユニットから受信した有効パルスをチェックします。有効リンク・パルスが受信されない場合、リンク検出回路は、送信、受信およびコリジョン検出機能をディスエーブルにします。

GDLNK出力端子は、LEDを直接駆動し、良好なツイスト・ペア・リンクが確立していることを示します。リンク良好状態で、LEDは点灯します。リンク健全機能は、ENDECアクセス・レジスタ (ENDEC) のリンク・イネーブル (LNKEN) ビットを0にすると、ディスエーブルとなります(3.3.24 ENDECアクセス・レジスタ (ENDEC) 参照)。

(4) ジャバ

ジャバ・タイマは、トランスミッタをモニタし、トランスミッタが26 msを越えてアクティブな場合、送信をディスエーブルにします。その後、トランスミッタは、ENDECモジュールの内部送信イネーブル信号がアクティブの期間ディスエーブルとなります。この内部信号は、ジャバ・ロジックが再び送信出力をイネーブルにする前に、約750 ms (アンジャバ時間と呼ぶ) 間、インアクティブになります。

(5) トランスミッタ

トランスミッタは、4つの信号と、シールド・ツイスト・ペア (STP) ケーブル (TXS+/-) と、非シールド・ツイスト・ペア (UTP) ケーブル (TXU+/-) 用にプリエンファサイズされたマンチェスタ・エンコード・データによって構成されています。

デジタル・エンファシス (デバイス内部で行われる) は、5 MHz (100 ns) 以上で10 MHz (50 ns) マンチェスタ・エンコード波形パルスの減衰の原因となるツイスト・ペア・ケーブルでのロウ・パス・フィルタ効

果を補償するために要求されます。

(6) ステータス情報

μ PD72810Aは、1. 端子機能で示すようにTRFCLEDとGDLNK端子ステータス情報を提供します。これらの端子はLED駆動に適するようにオープン・ドレインとなっています。

2.8.3 アタッチメント・ユニット・インタフェース (AUI)

ENDECユニットのエンコーダは、MACユニットがシリアル・データ・ストリームの送出を開始すると、動作を開始します。このエンコーダは、MACユニットからのNRZデータを、差動ドライバ(TX+/-)用のマンチェスタ・データに変換します。マンチェスタ・エンコードでは、ビット・セルの前半は反対の論理のデータ、セル後半は真のデータで構成されます。NRZビット・セルのセンタで常に変化点を持ちます。AUIユニットはMACユニットからのデータ送出が続くかぎりこの動作をします。送信動作の終了において、最終変化は常に正になり、最終ビットが1であればビット・セルの中央でこの変化は起こり、最終ビットが1であれば、ビット・セルの終わりで完了します。

差動送信端子は、最大50 mのツイスト・ペアAUIケーブルを駆動します(IEEE 802.3 AUI準拠)。各出力はソース・フォロワ構成で、グランドとの間に270Ωのプルダウン抵抗が必要です。また、μ PD72810A AUI出力端子とAUIインタフェース(AUIコネクタ)間の接続はパルス・トランスを介して行います。

ドライバは、イーサネットとIEEE 802.3の間でTX+とTX-端子がアイドル状態では等しくなり互換性を保つためのフル・ステップ・モードを備えています。

デコーダは、差動レシーバとフェーズ・ロック・ループ(PLL)で構成され、マンチェスタ・エンコード・データ・ストリームからクロック信号とNRZデータを生成します。各差動入力端子は、39Ωの直列抵抗で終端します。

ノイズによってデコーダが誤ってトリガされないように、入力スケルチ回路は-175 mV未満の信号を除去します。デコーダは-300 mVよりも大きな負の信号をデコードします。

入力信号が、このスケルチ回路の条件を上回るとデコーダは動作を開始します。受信データに対する許容ジッタは18 nsです。データの最終ビット受信後、デコーダは1.5ビット時間内にフレームの終わりを検出します。

トランシーバ部でコリジョンを検出すると、μ PD72810Aの差動入力端子(CD+とCD-)に対して10 MHzの信号を生成します。μ PD72810Aは、コリジョン検出信号がアクティブであることを検出すると、コリジョン・トランスレータ回路が10 MHzのコリジョン信号に変換しMACユニットにコリジョン発生を知らせます。この信号によって、MACユニットは現在の送信を中止し、他の送信をスケジューリングします。

コリジョン差動入力端子(CD+/-)は、差動受信入力端子(RX+/-)と同様に終端されており、コリジョン入力とAUIインタフェース間には、パルス・トランスが必要となります。スケルチ回路もまた同様で、-175 mV未満のパルスを除去します。

2.9 CAM (Content Addressable Memory)

μ PD72810Aは、IEEE 802.3MACフレームのデスティネーション・アドレスの比較を行いパケット・フィルタリングを行うためのCAM (Content Addressable Memory) を14エントリ内蔵しています。これら14エントリのうち、最初の10エントリは、物理アドレスまたはマルチキャスト・アドレス用で、その他の4エントリはブロードキャスト・アドレス用です。アドレス0DHから00Hが、CAM制御レジスタ (CCR) のCAMエントリ・ポインタ・ビット (CEP) でアクセスされます (8.2 内部CAM参照)。

また、μ PD72810Aは外部CAMインタフェースも備えています。外部CAMインタフェースは、あらゆるアプリケーションにおけるフィルタリング機能をベースとしたパケット・フィルタリングに適用できます。

外部CAMインタフェースへのインタフェース構成は、コマンド/ステータスとフレーム/データの2つのモードがあります。コマンド/ステータス・モードは、外部CAMからステータスの取得やコマンドの書き込み (プログラミングにおいて) の場合に使用します。

このモードは、コマンドとステータスを、外部CAMに書き込みまたは読み出しを行うためのものです。外部CAMをプログラムするときこのモードを使用します。このモードで使うレジスタは、インタフェースがブートROMをアクセスするとき使うレジスタと同様に、MADRレジスタをアドレス用に、MDATレジスタをデータ用に使います (3.3.25 ブートROMアドレス・レジスタ (MADR), 3.3.26 ブートROMデータ・レジスタ (MDAT) 参照)。

フレーム/データ・モードは、フレーム・データのアドレス一致チェックのCAM動作を行うためのフリー・ランニング動作モードです。

フレーム/データ・モードは、デスティネーション・アドレスの一致によって、パケット・フィルタリングを行うために使用します。このモードでのインタフェースは、 $\overline{\text{PREJ}}$ 、PKTFRM、PKTVD、ECCLK、およびECD3-ECDO信号で構成されます。 $\overline{\text{PREJ}}$ はパケットがリジェクトされたことを示し、PKTFRMはパケットがフレーミングされていることを示します。また、PKTVDはパケットが有効であることを、ECCLKはパケットのクロック同期信号、ECD3-ECDOは、ニブル幅のパケット・データです。ECCLK信号の周波数は100 Mbpsのネットワークで、25 MHz、10 Mbpsのネットワークで2.5 MHzです。パケット情報などのインフォメーションは、内蔵CAMに送られる情報と同様に、このインタフェースを介して外部CAMに送られます。内蔵CAMならびに外部CAMは共にパケットのフィルタリングを行います。パケットは、内蔵CAMでのリジェクト信号または外部CAMにおいて $\overline{\text{PREJ}}$ 信号がアクティブにならないかぎり有効となります。

2.10 ネットワーク・マネージメント機能

μ PD72810Aは、ノードがネットワーク全体の性能を監視できるようにするため、次に示すレイヤ・マネージメント規格をサポートします。

- ・ RFC 1213 (MIB II)
- ・ RFC 1398 (Ether-like MIB)
- ・ IEEE 802.3hレイヤ・マネージメント
- ・ IEEE 802.3uレイヤ・マネージメント

また、μ PD72810Aは、表2-1に示すようなカウンタが用意されており、これらのカウンタを使用することにより、ノード・マネージメント・エージェント・ソフトウェアが、送信/受信パケットのステータスを調べる必要がなくなります。内蔵されているカウンタは次のとおりです。

表2-1 ノード管理統計カウンタ (1/2)

カウンタ名	関連規格
RXOctetsOK	RFC 1213 IEEE 802.3
RXFramesOK	IEEE 802.3
RXBroadcastPkts	RFC 1213 IEEE 802.3
RXMulticastPkts	RFC 1213 IEEE 802.3
RXErroredPkts	RFC 1213
RXFCSErrors	RFC 1398 IEEE 802.3
RXMsdPktErrors	RFC 1213 RFC 1398 IEEE 802.3
RXFAErrors	RFC 1398 IEEE 802.3
RXSymbolErrors	IEEE 802.3
RXFrameTooLong	RFC 1398 IEEE 802.3
TXOctetsOK	RFC 1213 IEEE 802.3
TXFramesOK	IEEE 802.3
TXDeferred	RFC 1398 IEEE 802.3
TXBroadcastPkts	RFC 1213 IEEE 802.3

備考 これらのカウンタの詳細については、3.4 MIB (Management Information Base Registers) を参照してください。

表 2-1 ノード管理統計カウンタ (1/2)

カウンタ名	関連規格
TXMulticastPkts	RFC 1213 IEEE 802.3
TXFrames1Coll	RFC 1398 IEEE 802.3
TXFramesMultiColl	RFC 1398 IEEE 802.3
TXPktsErrored	RFC 1213
TXExcessiveCollisions	RFC 1398 IEEE 802.3
TXExcessiveDeferral	IEEE 802.3
TXOWC	RFC 1398 IEEE 802.3
TXSQErrors	RFC 1398
TXCSErrors	RFC 1398 IEEE 802.3

備考 これらのカウンタの詳細については、3.4 MIB (Management Information Base Registers) を参照してください。

2.11 低電力モード

μ PD72810Aのコンフィギュレーション・レジスタ (CFG) には、低電力モード・ビット (LPM) があり、このビットを1にセットすると、μ PD72810Aは低電力モードに設定され、MACユニットへのクロック供給、バッファ・マネージャ、送受信FIFO、MIB統計カウンタ、MII、外部CAM、EEPROM、およびブートROMインタフェースと内部ENDECユニットがディスエーブルとなります。また、ENDECユニットはENDECアクセス・レジスタの低電力ビットにより内部ENDECユニットのみをディスエーブルすることができます。

μ PD72810Aのリセット後、ストラッピング・オプションのD3 (65番端子) インタフェース・セレクトがロウ・レベルの場合、ENDECユニットはディスエーブル状態となり、ENDECレジスタのELPMとETSAビットがセットされます。ストラッピング・オプションのD3がハイ・レベルの場合、ENDECユニットはイネーブルとなり、ENDECレジスタのELPMとETSAビットはリセットされます。

CFGレジスタのLPMビットをセットまたはリセットしても、ENDECレジスタのELPMビットには影響しません。これらのレジスタ・ビットは、OR回路で動作しENDECユニットを低電力状態にします。表2-2に、低電力ビットの推奨構成を示します。

表2-2 低電力ビットの構成

CFG :		ENDEC :		機 能
LPM	ETSA	ELPM		
0	0	0		10 Mbps ENDECを介してデータを送出するアクティブ・コントローラ
0	0	1		推奨できません (ENDECは低電力モードです)。
0	1	0		推奨できません (データはMIIを介して送出されますが、ENDECにも電源が供給されます)。
0	1	1		MIIを介してデータを送出するアクティブ・コントローラ
1	X	X		コントローラ (ENDECを含む) は低電力モードです。

CFGレジスタのLPMビットがセットされている場合、システム・インタフェースはアクティブ状態を保持します。PCIコンフィギュレーション・レジスタに対するリードまたはライト・アクセスと、オペレーショナル・レジスタ・マップのオフセット0000Hから001CHは、利用可能です。0020Hから00FCHのオフセットへのアクセスは、読み出しのみが可能です。

低電力モードの解除時には、レジスタ情報は失われていないので、μ PD72810AのPCIコンフィギュレーション・レジスタまたはオペレーション・レジスタ空間を再構成する必要はありません。ENDECユニットは低電力状態から解除された場合、リセットする必要があります。

2.12 リセット動作

μ PD72810Aは、 $\overline{\text{RST}}$ 端子が8 PCIクロック以上ロウ・レベルに保持されると、ハードウェア・リセット状態となります。8 PCIクロック以上 $\overline{\text{RST}}$ 端子がハイ・レベルとなると、このリセット状態は解除されます。このシーケンスにより (8 PCIクロック以上 $\overline{\text{RST}}$ 端子の状態の保持)、μ PD72810Aが誤ってリセット状態に設定されたり、またはリセット状態が解除されてしまうグリッチを防ぎます。

リセット・シーケンスは、次のように行うことを推奨します。

- (1) $\overline{\text{RST}}$ 端子を1 msロウ・レベルとします (PCI仕様)。μ PD72810Aはリセット信号を受け付け、リセット状態に入ります。
- (2) $\overline{\text{RST}}$ 端子をインアクティブにすると、CAM BISTおよびEEPROM BIST機能がアクティブとなります。EEPROM BIST機能は約1 ms実行され、結果はCFGレジスタのBISEビット (ビット31) に報告されます (3.

3.2 コンフィギュレーション・レジスタ参照)。BIST機能の結果が良好であれば、シリアルEEPROMポートから有効データや、PCIシステム・デバイス/ベンダなどのコンフィギュレーション・データ、PCI最小許可/最大待ち時間およびSUBクラス/RevIDが、EEPROMから読み出され、各コンフィギュレーション・レジスタにロードされます。BIST機能の実行結果がエラー (Fail) の場合は、各コンフィギュレーション・レジスタにはデフォルト値がプログラムされます。

(3) ストラッピング・オプションが $\overline{\text{RST}}$ 信号の最後部のエッジ (立ち上がりエッジ) でサンプリングされます。表2-3にストラッピング・オプションを示します。

表2-3 電源供給時のストラッピング・オプション

タグ	端子番号	機能
D0	62	テスト用： アクセスしないでください。
D1	63	EEPROM BIST制御： この端子が0の場合、EEPROM BIST機能とコンフィギュレーション・レジスタへのロードはディスエーブルです。 1の場合、EEPROM BIST機能とコンフィギュレーション・レジスタへのロードはイネーブルです。これによって、コンフィギュレーション・データがEEPROMからロードされるか、デフォルト値を使用するかを選択が可能となります。
D2	64	CAM BIST制御： この端子が0の場合、CAM BIST機能はディスエーブルです。1の場合、CAM BIST機能はイネーブルです。
D3	65	MIIインタフェース・セレクト： この端子が0の場合、外部MIIを選択します (内部ENDECユニットはディスエーブルとなります)。1の場合、内部ENDECユニットが選択されます。このリセット設定は、ソフトウェアによってオーバライドされます (ENDECアクセス・レジスタのESTAビットをプログラムすることによる)。
D4	66	タイマ・アンド・レジスタ・セレクト： この端子が0の場合、TRCLKに供給されるクロック周波数が20 MHzであることを示します。この端子が1の場合、25 MHzであることを示します。これによって内部タイマを駆動するクロックが、10 Mbps時のみ必要とされる20 MHzクロックか、100 Mbps時に物理レイヤから供給される25 MHzクロックかを選択が可能となります。
D5	69	オートネゴシエーション・ディスエーブル/イネーブル： この端子が0の場合、オートネゴシエーション (高速リンク・パルスによる) はディスエーブルになります。この端子が1の場合、オートネゴシエーションはイネーブルになります。これによって、伝送路上に高速リンク・パルスを発生させるかどうかの選択が可能になります。

3. コントローラ・レジスタ

3.1 概 要

μPD72810A PCI CSMA/CDコントローラは、レジスタを設定することにより制御できます。コンフィギュレーション・レジスタは、PCIコンフィギュレーション空間をマッピングし、オペレーショナル・レジスタは、PCIメモリとI/O空間双方をマッピングします。コンフィギュレーション・レジスタは、PCIコンフィギュレーション・バス・サイクルでアクセスされます。μPD72810Aは、256バイトのコンフィギュレーション・レジスタ空間が必要です。これら256バイトのうち64バイトは定義済みヘッダ領域として使われ、そのほかは、デバイス固有領域として使われます。すべてのレジスタ長は32ビットで構成されます。

3.2 コンフィギュレーション・レジスタ

μPD72810Aは、PCI ver.2.1コンフィギュレーション・レジスタ空間を持ちます。PCIコンフィギュレーション・レジスタによりPCI BIOSは、μPD72810Aのソフトウェア・コンフィギュレーションが可能です。PCIコンフィギュレーション・レジスタはソフトウェア・リセットにより影響しません。PCIコンフィギュレーション・レジスタはハードウェア・リセットが実行されるとデフォルト値になります。すべての予約レジスタに書き込みを行っても無視され、読み出し時には0が返されます。

表3-1 PCIコンフィギュレーション・レジスタ・マップ

オフセット	リード/ライト	タグ	機 能	参照項
0000H	R	CFGID	コンフィギュレーションIDレジスタ	3.2.1
0004H	R/W	CFGCS	コンフィギュレーション・コマンド/ステータス・レジスタ	3.2.2
0008H	R	CFGRID	コンフィギュレーション・リビジョンIDレジスタ	3.2.3
000CH	R/W	CFGLAT	コンフィギュレーション・レイテンシ・タイム・レジスタ	3.2.4
0010H	R/W	CFGIOA	コンフィギュレーションI/Oベース・アドレス・レジスタ	3.2.5
0014H	R/W	CFGMA	コンフィギュレーション・メモリ・アドレス・レジスタ	3.2.6
0018H-0028H	—	—	予約 (読み出すと0を返します。)	—
002CH	R	CFGSID	コンフィギュレーション・サブシステムIDレジスタ	3.2.7
0030H	R/W	CFGROM	ブートROMコンフィギュレーション・レジスタ	3.2.8
0034H-0038H	—	—	予約 (読み出すと0を返します。)	—
003CH	R/W	CFGINT	コンフィギュレーション割り込み選択レジスタ	3.2.9

3.2.1 コンフィギュレーションIDレジスタ (CFGID)

オフセット : 000H

アクセス : リードのみ

ハード・リセット : 0001100BH

ソフト・リセット : 変化なし

このレジスタは、デバイスIDとベンダIDを格納します。このレジスタの値は、外部EEPROMから自動ロードされません。

ビット	略称	機能
31-16	DEVID	デバイスID : リードのみ。0001Hです。
15-0	VENID	ベンダID : リードのみ。100BHです。

3.2.2 コンフィギュレーション・コマンド/ステータス・レジスタ (CFGCS)

オフセット : 0004H

アクセス : リード/ライト

ハード・リセット : 02800000H

ソフト・リセット : 変化なし

このレジスタは、デバイスのコンフィギュレーション時に、コマンドを発行したり、ステータスをチェックするために使われます。コマンドは、個々の動作に対応するビットをセットします。ステータス・ビット (31-16) はデバイスのステータスを表します。コマンド・ビット (15-0) はメモリ空間またはI/O空間の選択や、バス・マスタ動作時の高速バック・トゥ・バック転送を行うために使用します。ステータス・ビットは、レジスタに対して対応するビットへの“1”の書き込みによりリセットされます。

ビット	略称	機能
31	DPERR	パリティ・エラー検出 : CFGCSのREPRSPビットがセットされていてμ PD72810AがPCIバス上でパリティ・エラーを検出したとき“1”がセットされます。
30	SSERR	システム・エラー検出 : μ PD72810Aが $\overline{\text{SERR}}$ 信号アクティブになったとき“1”がセットされます。このビットは、“1”にセットされると“0”にクリアされます。
29	RMABT	マスタ・アポート受信 : トランザクションがマスタ・アポートで終了したとき“1”をセットします (特殊サイクルを除く)。 このビットは、“1”にセットされると“0”にクリアされます。
28	RTABT	ターゲット・アポート受信 : トランザクションがターゲット・アポートで終了したとき“1”をセットします。このビットは、“1”にセットされると“0”にクリアされます。
27	STABT	ターゲット・アポート送信 : μ PD72810Aがターゲット・アポートでトランザクションを終了したとき“1”をセットします。このビットは、“1”にセットされると“0”にクリアされます。
26, 25	DSTIM	$\overline{\text{DEVSEL}}$ タイミング : リードのみ。μ PD72810Aが中位デコード速度ですべてのターゲット・アクセスをする場合、01Hとなります。
24	DPD	データ・パリティ検出 : “1”がセットされる条件は次のようになります。 (a) μ PD72810Aが $\overline{\text{PERR}}$ 信号をアクティブにした、または検出したとき (b) μ PD72810Aがエラー発生時にバス・マスタであるとき (c) パリティ・エラー応答ビットがセットされたとき このビットは、“1”にセットされると“0”にクリアされます。

ビット	略称	機能
23	FBB	高速バック・トゥ・バック機能： リードのみ。μ PD72810Aが高速バック・トゥ・バック・トランザクションを受け付けることができることを示しています。
22-16	—	予約（読み出すと0が返されます。）
15-9	—	予約（読み出すと0が返されます。）
8	SERREN	SERRイネーブル： アドレス・パリティ・エラー検出時に、μ PD72810AがSERR信号を発生することを可能にします。
7	—	予約（読み出すと0が返されます。）
6	PERRSP	パリティ・エラー応答： μ PD72810Aがターゲットとして動作しているとき、パリティ・エラー検出時にPERR信号をアクティブにする場合、ならびにイニシエータとして動作しPERR信号をサンプリングする場合、1をセットします。このビットが0の場合、データ・パリティ・エラーは無視されます。CFGレジスタのPESELビットによって、動作は指定されます。
5	—	予約（読み出すと0が返されます。）
4	MWIEN	メモリ・ライト・アンド・インバリデート・イネーブル： システム・コンフィギュレーション・タイムがメモリ・ライト・アンド・インバリデート・イネーブル・サイクルを許可するときに1とします。
3	—	予約（読み出すと0が返されます。）
2	BMEN	バス・マスタ・イネーブル： μ PD72810AがPCIバス・マスタとして動作するとき1とします。このビットが0のとき、バス・マスタとしての動作は禁止されます。
1	MSEN	メモリ空間アクセス： 1がセットされた場合、μ PD72810Aがメモリ空間へのアクセスに応答します。0のとき、メモリ空間に対するアクセスは無視されます。 備考 MSENとIOSENビットは、相互に排他ではないので、両方とも1にセットできます。
0	IOSEN	I/O空間アクセス： 1がセットされた場合、μ PD72810AはI/O空間へのアクセスに応答します。0のとき、I/O空間に対するアクセスは無視されます。 備考 IOSENとMSENビットは、相互に排他ではないので、両方とも1にセットできます。

3.2.3 コンフィギュレーション・リビジョンIDレジスタ (CFGRID)

オフセット : 0008H

アクセス : リードのみ

ハード・リセット : 02000000H

ソフト・リセット : 変化なし

このレジスタは、シリコン・リビジョン番号とソフトウェア・インタフェース仕様のリビジョン番号を格納し、コンフィギュレーション・ソフトウェアに10/100 Mbps PCI CSMA/CDコントローラ・クラスを知らせます。

ビット	略称	機能
31-24	BASECL	ベース・クラス : このフィールドは02Hに設定され、ネットワーク・コントローラであることを示します。
23-16	SUBCL	サブクラス : デフォルトは00Hで、CSMA/CDコントローラであることを示します。外部EEPROMが有効チェックサムを伴って検出された場合、このフィールドは、外部EEPROMのSUBCLフィールドの内容に設定されます。
15-8	PROGIF	プログラミングIF : デフォルトは00Hで、μ PD72810Aソフトウェア・インタフェース仕様の初版を示します。
7-0	REVID	シリコン・リビジョン : 00Hです。初版であることを示します。 この値は、機能変更され改訂されるとインクリメントされます。外部EEPROMが有効チェックサムを伴って検出された場合は、このフィールドは、外部EEPROMのREVIDフィールドの内容に設定されます。

3.2.4 コンフィギュレーション・レイテンシ・タイマ・レジスタ (CFGLAT)

オフセット : 000CH

アクセス : リード/ライト

ハード・リセット : 80000000H

ソフト・リセット : 変化なし

このレジスタは、BIST (Built-in Self Test) やレイテンシ・タイマ、キャッシュ・ライン・サイズなどの付加機能のステータス表示と制御を行います。

ビット	略称	機能
31	BISTCAP	BIST可能 : リードのみ。μ PD72810Aが内蔵自己テストを行うことができるとき1となります。
30	BISTEN	BISTイネーブル : 1にセットすると内蔵自己テストを開始します。テスト完了後、このビットは0にリセットされます。
29, 28	—	予約 (読み出すと0が返され、書き込みは無視されます。)
27-24	BISTCOD	BISTフェイル・コード : 0のときBISTが正しく完了したことを示します。1の場合、BISTフェイル (失敗) を表します。
23-16	HDRT	ヘッダ・タイプ : 予約 (読み出すと0が返され、書き込みは無視されます。)
15-8	LAT	レイテンシ・タイマ : μ PD72810AがPCIバスをホールドする最小PCIクロック数を設定します。 詳細は2.1.3 タイマを参照してください。

ビット	略称	機能
7-0	CLS	<p>キャッシュ・ライン・サイズ： キャッシュ・サイズの値を設定します。設定可能な値は、2, 4, 8, 16, 32, 64, または128です。 その他の値はすべて0と認識されます。</p> <p>0より上のキャッシュ・ラインが選択された場合、μ PD72810Aは、バス・マスタ転送のために、次のPCIコマンドを使用します。</p> <p>メモリ・リード： 0110…メモリ・リード（データ・サイズがキャッシュ・ラインよりも小さい場合） 1100…メモリ・リード・マルチプル（データ・サイズがキャッシュ・ラインよりも大きい場合） 1110…メモリ・リード・ライン（データ・サイズがキャッシュ・ラインに等しい場合）</p> <p>メモリ・ライト： 1111…メモリ・ライト・アンド・インバリデート（ライト・サイクルがキャッシュ・ライン全体をオーバーライトし、CFGCSレジスタのMWIENビットがセットされた場合） 0111…メモリ・ライト（ライト・サイクルがキャッシュ・ライン全体をオーバーライトしないか、MWIENビットがセットされていない場合）</p> <p>キャッシュ・ライン・サイズを0（または無効サイズ）に設定すると、μ PD72810Aは、バス・マスタ転送のために、次のPCIコマンドを使用します。</p> <p>0110…メモリ・リード（データ・サイズが8ダブル・ワードより小さい場合） 1100…メモリ・リード・マルチプル（データ・サイズが8ダブル・ワードより大きい場合） 1110…メモリ・リード・ライン（データ・サイズが8ダブル・ワードと等しい場合） 0111…メモリ・ライト（すべてのライト・サイクルに対する）</p>

3.2.5 コンフィギュレーションI/Oベース・アドレス・レジスタ (CFGIOA)

オフセット : 0010H

アクセス : リード/ライト

ハード・リセット : 00000001H

ソフト・リセット : 変化なし

このレジスタは、コンフィギュレーション時にアドレス・マップを構成するために必要となるベースI/Oアドレスを指定します。また、μ PD72810Aが、I/O空間にマッピングできる必要なバイト数も表します。

ビット	略称	機能
31-8	IOBASE	ベースI/Oアドレス : このフィールドは、オペレーション・レジスタ・マップ用のベースI/Oアドレスに設定されます。
7-2	IOSIZE	サイズ表示 : リードのみ。μ PD72810Aが、I/O空間の最低256バイトを必要とすることを示します。
1	—	予約 (読み出すと0が返されます。)
0	IOIND	I/O空間インディケータ : リードのみ。このビットが1のときμ PD72810AがI/O空間にマッピング可能であることを示します。

3.2.6 コンフィギュレーション・メモリ・アドレス・レジスタ (CFGMA)

オフセット：0014H
 アクセス：リード/ライト
 ハード・リセット：00000000H
 ソフト・リセット：変化なし

このレジスタは、コンフィギュレーション時にアドレス・マップを構成するために必要となるベース・メモリ・アドレスを指定します。また、μ PD72810Aが、メモリ空間にマッピングできる必要なバイト数も表します。

ビット	略称	機能
31-12	MEMBASE	ベース・メモリ・アドレス： このフィールドは、オペレーショナル・レジスタ・マップ用のベース・アドレスに設定されます。
11-4	MEMSIZE	メモリ・サイズ： リードのみ。このフィールドが00Hのとき、μ PD72810Aが最低4096バイトのメモリ空間を必要とすることを示します。
3	MEMPF	プリフェッチャブル： リードのみ。このビットが0のとき、μ PD72810Aがプリフェッチングをサポートしていないことを示します。
2, 1	MEMLOC	ロケーション選択： リードのみ。このフィールドが00bのとき、ベース・レジスタが32ビット幅であり、32ビット・メモリ空間のどこにでも配置できることを示しています。
0	MEMIND	メモリ空間表示： リードのみ。このビットが0のとき、μ PD72810Aがメモリ空間にマッピング可能であることを示します。

3.2.7 コンフィギュレーション・サブシステムIDレジスタ (CFGSID)

オフセット：002CH
 アクセス：リードのみ
 ハード・リセット：0001100BH
 ソフト・リセット：変化なし

ビット	略称	機能
31-16	SDEVID	サブシステム・デバイスID： 外部EEPROMが有効なチェックサムを伴って検出された場合、このフィールドは、外部EEPROMのSDEVIDフィールドの内容に設定されます。 そのほかの場合は、デフォルトの0001Hに設定されます。
15-0	SVENID	サブシステム・ベンダID： 外部EEPROMが有効なチェックサムを伴って検出された場合、このフィールドは、外部EEPROMのSVENIDフィールドの内容に設定されます。 そのほかの場合は、PCIベンダIDのデフォルトの100BHに設定されます。

3.2.8 ブートROMコンフィギュレーション・レジスタ (CFGROM)

オフセット : 0030H

アクセス : リード/ライト

ハード・リセット : 00000000H

ソフト・リセット : 変化なし

ビット	略称	機能
31-16	ROMBASE	ROMベース・アドレス : ブートROMのベース・アドレスに設定されます。
15-11	ROMSIZE	ROMサイズ : リードのみ。0のとき、μ PD72810Aが、64 KバイトのブートROM空間を必要とすることを示します。
10-1	—	予約 (0を読み返します。)
0	ROMEN	ROMイネーブル : このビットは、ブートROMへのアクセスをイネーブルにするために、PC BIOSによって使われます。このため、μ PD72810Aはアドレス・デコード・ロジックをブートROMと自分自身の間で共有することができます。BIOSは、実行する前にブートROMの中身をシステムRAMにコピーします。このビットを1にセットすると、ブートROMのアドレス・デコードがイネーブルとなり、オペレーショナル・ターゲット・レジスタへのアクセスがディスエーブルとなります。

3.2.9 コンフィギュレーション割り込みレジスタ (CFGINT)

オフセット : 003CH

アクセス : リード/ライト

ハード・リセット : 340B0100H

ソフト・リセット : 変化なし

このレジスタは、POSTソフトウェアにより示される割り込みラインの番号を格納し、それにより割り込みコントローラなどに接続されます。

ビット	略称	機能
31-24	MXLAT	最大レイテンシ時間 : 要求する最大レイテンシ時間が設定されます。μ PD72810Aはこのフィールドを52 (13μs) に初期化します。外部EEPROMが有効なチェックサムを伴って検出された場合、このフィールドは外部EEPROMのMXLATフィールド値に設定されます。
23-16	MNGNT	最小グラント時間 : 要求する最小グラント時間が設定されます。μ PD72810Aはこのフィールドを11 (2.75μs) に初期化します。外部EEPROMが有効なチェックサムを伴って検出された場合、このフィールドは外部EEPROMのMNGNTフィールド値に設定されます。
15-8	IPIN	割り込み端子 : リードのみ。このフィールドが、0000 0001bに設定されると、デバイスが、 \overline{INTA} 端子を割り込み端子として使用していることを示します。
7-0	ILINE	割り込みライン : μ PD72810Aの割り込み端子が接続される、割り込みコントローラ上のライン値に設定されます。

3.3 オペレーショナル・レジスタ

μ PD72810Aは、表3-2に示す、PCIメモリ空間またはI/O空間にマッピングされたオペレーショナル・レジスタを備えています。これらのレジスタは、デバイスの動作制御やデバイスのステータスを得るために、ホスト・システムによって使われます。レジスタの選択は直接ベース+オフセット・アドレスで行います。オフセット値が0040H以上のレジスタを完全に機能させるには、TRCLKにクロック入力が必要です。

表3-2 オペレーショナル・レジスタ・マップ

オフセット	リード/ライト	タグ	機能	参照項
0000H	R/W	CR	コマンド・レジスタ	3.3.1
0004H	R/W	CFG	コンフィギュレーション・レジスタ	3.3.2
0008H	—	—	予約	—
000CH	—	—	テスト制御レジスタ・アクセス禁止	—
0010H	R	ISR	割り込みステータス・レジスタ	3.3.3
0014H	R/W	IMR	割り込みマスク・レジスタ	3.3.4
0018H	R/W	IER	割り込みイネーブル・レジスタ	3.3.5
001CH	R	ILCR	割り込み待ち時間カウンタ・レジスタ	3.3.6
0020H	R/W	TXDP	送信ディスクリプタ・ポインタ・レジスタ	3.3.7
0024H	R/W	TXCFG	送信コンフィギュレーション・レジスタ	3.3.8
0028H	R/W	TXBC	送信バースト制御レジスタ	3.3.9
002CH	R/W	TXSR	送信ステータス・レジスタ	3.3.10
0030H	R/W	RXDP	受信ディスクリプタ・ポインタ・レジスタ	3.3.11
0034H	R/W	RXCFG	受信コンフィギュレーション・レジスタ	3.3.12
0038H	R/W	RXBC	受信アーリノバースト制御レジスタ	3.3.13
003CH	R/W	RXSR	受信ステータス・レジスタ	3.3.14
0040H	R/W	EER	EEPROMアクセス・レジスタ	3.3.15
0044H	R/W	MIIR	MIIアクセス・レジスタ	3.3.16
0048H	R/W	CCR	CAM制御レジスタ	3.3.17
004CH	R/W	CDR	CAMデータ・レジスタ	3.3.18
0050H	R/W	TCR	タイマ制御レジスタ	3.3.19
0054H	R/W	TMR	タイマ最大カウンタ・レジスタ	3.3.20
0058H	R/W	TCTR	タイマ・カウンタ・レジスタ	3.3.21
005CH	R	SRR	シリコン・リビジョン・レジスタ	3.3.22
0060H	R/W	TTSCR	ターゲット・テスト制御レジスタ	3.3.23
0064H	R/W	ENDEC	ENDECアクセス・レジスタ	3.3.24
0068H	R/W	MADR	ブートROMアドレス・レジスタ	3.3.25
006CH	R/W	MDAT	ブートROMデータ・レジスタ	3.3.26
0070H	R/W	MIBC	MIB制御レジスタ	3.3.27
0074H-007CH	—	—	予約	—
0080H-00D8H	R	MIB	MIBレジスタ	3.4
00DCH-00FCH	—	—	予約	—

3.3.1 コマンド・レジスタ (CR)

オフセット : 0000H

アクセス : リード/ライト

ハード・リセット : 00000000H

ソフト・リセット : 00000000H

このレジスタは、μPD72810Aにコマンドを発行するときに使用します。これらのコマンドは、動作ファンクションに合わせて対応するビットをセットします。トランスミッタ/レシーバのイネーブル/ディスエーブルとそれぞれのファンクションのリセットもできます。

ビット	略称	機能
31-9	—	予約
8	RST	<p>ソフトウェア・リセット :</p> <p>1にセットされると、μPD72810Aは強制的にソフト・リセット状態になります。この状態では、トランスミッタおよびレシーバはディスエーブルとなり、FIFOは初期化され、すべてのレジスタは、ソフト・リセット状態にリセットされます。この動作は、下記のTXRおよびRXRビットの動作を同時に実行するものです。</p> <p>このRSTビットは、リセット動作時には1が読み出され、リセット動作が完了すると0になります。</p>
7	SWI	<p>ソフトウェア割り込み :</p> <p>1にセットされると、μPD72810Aは強制的にハードウェア割り込みを発生します。この割り込みは、IMRレジスタでマスク可能です。</p>
6	—	予約
5	RXR	<p>レシーバ・リセット :</p> <p>1にセットされると、現在のパケット受信は強制的に停止し、受信データとステータスFIFOは初期化され、受信ステート・マシンはアイドル状態となります (RXEビットは0になります)。</p> <p>このビットはライトのみで、読み出すと常に0を返します。</p> <p>備考 PHYデバイスに対して、なんらかの変更を行った場合 (内部ENDECユニットとMII間の切り替えなど)、レシーバをリセットする必要があります。</p>
4	TXR	<p>トランスミッタ・リセット :</p> <p>1にセットされると、現在実行中の送信は強制的に停止し、送信データとステータスFIFOは初期化され、送信ステート・マシンはアイドル状態となります (TXEビットは0になります)。このビットはライトのみで、読み出すと常に0を返します。</p> <p>備考 PHYデバイスに対して、なんらかの変更を行った場合 (内部ENDECユニットとMII間の切り替えなど)、トランスミッタをリセットする必要があります。</p>

ビット	略称	機 能
3	RXD	<p>受信ディスエーブル：</p> <p>1にセットされるとバケット受信終了後、受信ステート・マシンがディスエーブルになります。この動作が終了すると、RXEビットは0にクリアされます。このビットはライトのみで、読み出すと常に0を返します。RXDとRXEビットが、同じライト・サイクルでセットされている場合、RXEビットが無視され、RXDビットが優先されます。</p>
2	RXE	<p>受信イネーブル：</p> <p>受信ステート・マシンがアイドル状態のときに1にセットされると、受信ステート・マシンがアクティブになります。このビットは、受信ステート・マシンがアクティブのときに読み出されると、常に1を返し、ステート・マシンがアイドル状態になると、リセットされます。電源投入後、ソフトウェアはこのビットをセットする前に、レシーバが完全にリセットされていることを確認しなければなりません（ISRレジスタのRXRCMPビットの説明を参照してください）。</p> <p>備考 このビットが1のとき、書き込みは無視されます。</p>
1	TXD	<p>送信ディスエーブル：</p> <p>1にセットされると、バケット送信終了後、送信ステート・マシンがディスエーブルになります。この動作が終了すると、TXEビットは0にクリアされます。このビットはライトのみで、読み出すと常に0を返します。TXDとTXEビットが同じライト・サイクルでセットされている場合、TXEビットが無視され、TXDビットが優先されます。</p>
0	TXE	<p>送信イネーブル：</p> <p>送信ステート・マシンがアイドル状態のときに1にセットされると、送信ステート・マシンがアクティブになります。このビットは、送信ステート・マシンがアクティブのときに読み出されると、常に1を返し、ステート・マシンがアイドル状態になると、リセットされます。電源投入後、このビットがセットされる前に、ソフトウェアでトランスミッタが完全にリセットされていなければなりません（ISRレジスタのTXRCMPビットの説明を参照してください）。</p> <p>備考 このビットが1のとき、書き込みは無視されます。</p>

3.3.2 コンフィギュレーション・レジスタ (CFG)

オフセット：0004H

アクセス：リード/ライト

ハード・リセット：00000000H

ソフト・リセット：00000000H

このレジスタは、ビッグ・エンディアン/リトル・エンディアン・モードの設定、BIST (Built-In Self Test) 結果、および外部CAMや低電力モードなどの設定に使用します。

ビット	略称	機能
31	BISE	自己診断テスト・エラー： このビットは、リセット後のすべてのBISTエラー条件の論理和で表されます。0のとき、すべてのBISTモジュールが正常に完了したことを表します。 1のとき、BISTでエラーが検出されたことを示します。このビットは、リードのみで、書き込みは無視されます。
30-8	—	予約
7	REQALG	PCIバス・リクエスト・アルゴリズム： このビットは、PCIバスに対するリクエスト・モードを選択します。0のとき、μ PD72810AはPCIバスに対し、積極的にバス・リクエストを出します。1のときは、消極的にバス・リクエストを出します。
6	MWIDIS	メモリ・ライト・アンド・インバリデート・ディスエーブル： PCIバス上のメモリ・ライト・アンド・インバリデート・コマンドの使用をディスエーブルします。
5	POW	プログラム・アウト・オブ・ウインド・タイマ： このビットは、アウト・オブ・コリジョン・ウインド・タイマが512ビット時間のスロット時間のカウントをいつ開始するかを制御します。0のときは、タイマがSFDのあとにカウントを開始し、1のときは、プリアンプルの最初のビットのあとにカウントを開始します。
4	EXD	過剰遅延タイマ・ディスエーブル： 1になると、過剰遅延による送信エラーの報告を禁止します。これによって、EDステータスのセットと、Tx過剰遅延MIBカウンタのインクリメントが禁止されます。
3	PESEL	パリティ・エラー検出： このビットは、μ PD72810Aのバス・マスタ動作中にデータ・パリティ・エラーが検出された場合、 $\overline{\text{SERR}}$ 信号がアクティブになるのを制御します。 このビットが1の場合、パリティ・エラーが発生しても、 $\overline{\text{SERR}}$ 信号はアクティブになりません。 0にリセットされた場合、パリティ・エラーが発生すると、 $\overline{\text{SERR}}$ 信号がアクティブになり、システム・エラーが発生したことを示します。
2	ECE	外部CAMイネーブル： 1のとき、外部CAMがイネーブルとなります。0のとき、ブートROMがイネーブルとなります。

★

ビット	略称	機 能
1	LPM	<p>低電力モード：</p> <p>1にセットされると、μ PD72810A（内部ENDECユニットを含む）は強制的に電源スリープ・モード設定になります。このビットを0にすると、μ PD72810Aは通常動作状態に復帰します。低電力モードでは、すべてのレジスタの値は保持されます。</p> <p>詳細は、低電力モードの説明を参照してください。</p> <p>備考 内部ENDECユニットを使用していた場合、低電力モードからの復帰時には、ENDECをリセットする必要があります。</p>
0	BEM	<p>ビッグ・エンディアン・モード：</p> <p>このビットは、PCIデータ・バスで転送されるデータのバイト・オーダを制御します。1のとき、バイト0がAD31-AD24端子に現れ（モトローラ・プロセッサ用ビッグ・エンディアン・モード）、0のときは、バイト0がAD7-AD0端子に現れます（インテル・プロセッサ用のリトル・エンディアン・モード）。</p> <p>備考 このビットをセットしても、レジスタ・アクセスには影響がありませんが、ディスクリクタ・アクセスは影響を受けます。</p>

3.3.3 割り込みステータス・レジスタ (ISR)

オフセット : 0010H

アクセス : リードのみ

ハード・リセット : 00000000H

ソフト・リセット : 00000000H

このレジスタは、 \overline{INTA} 端子がアクティブになったときの、割り込みソースを示します。割り込みマスク・レジスタ (IMR) の対応するビットをイネーブルにすると、このレジスタの該当ビットで割り込みが発生します。割り込みがアクティブのとき、このレジスタ内の1つまたは複数ビットが“1”にセットされます。割り込みステータス・レジスタは、IMRレジスタの対応するマスク・ビットの状態にかかわらず、現在保留されている割り込みをすべて反映します。ISRレジスタを読み出すことによりすべての割り込みは解除されます。このレジスタはリード動作のみが可能です。

ビット	略称	機 能
31-28	—	予約
27	EEDONE	EEPROM動作完了 : EEPROM動作の読み出し、または書き込み動作が完了し、ステート・マシンがアイドル状態に入ったとき、1にセットされます。
26	—	予約
25	TXRCMP	送信リセット完了 : 送信リセット動作が完了したとき、1にセットされます。
24	RXRCMP	受信リセット完了 : 受信リセット動作が完了したとき、1にセットされます。
23	DPERR	パリティ・エラー検出 : パリティ・チェックがイネーブルで、PCIバス上でデータ・パリティ・エラーをμ PD72810Aが検出したとき、1にセットされます (CFGCSレジスタのPERRSPビットがセットされたとき)。
22	SSERR	システム・エラー通知 : μ PD72810AがPCIバス上にシステム・エラーを示しているとき、1になります。
21	RMABT	受信マスタ・アポート : μ PD72810Aがマスタ・アポート信号を受信したとき、1になります。
20	RTABT	受信ターゲット・アポート : μ PD72810Aがターゲット・アポート信号を受信したとき、1になります。
19	TXDERR	送信ディスクリプタ・エラー : μ PD72810Aが無効送信ディスクリプタをディテクトしたとき、1になります。ディスクリプタのサイズが、フラグメント・サイズの総和よりも大きいときに発生します。
18	—	予約
17	RXDERR	受信ディスクリプタ・エラー : μ PD72810Aが無効受信ディスクリプタをディテクトしたとき、1になります。ディスクリプタのサイズが、フラグメント・サイズの総和よりも大きいときに発生します。
16	RXSOVR	Rxステータス・オーバラン : RxステータスFIFOオーバランが発生したとき、1になります。
15	HIBERR	上位ビット・エラー・セット : このビットは、ビット25-16の論理和です。

ビット	略称	機能
14	MII	MII動作完了： MII PHYデバイスに対するMIIのシリアル通信がリクエストされていた動作を完了したとき、1になります。
13	TMR	タイマ割り込み： プログラマブル・タイマの設定時間が経過したとき、1になります（3.3.10 タイマ制御レジスタ（TCR）参照）。
12	SWI	ソフトウェア割り込み： CRレジスタのSWIビットがセットされたとき、1になります。
11	MIB	MIBサービス： イネーブルなMIBカウンタの1つが、割り込みスレッシュホールドとなったとき、1になります。
10	TFU	Tx FIFOアンダーラン： 送信FIFOがアンダーランとなったとき、1になります。
9	TXIDLE	Txアイドル： 送信ステート・マシンが、非アイドル状態からアイドル状態に移行したとき、1になります。これは、ステート・マシンが「リスト終了」状態を検出したときに発生します（NULLリンク・フィールドまたはOWNを持つディスクリプタはクリア）。
8	TXERR	Txパケット・エラー： 失敗に終わった送信の最後の送信ディスクリプタが有効ステータスを更新した場合に、1になります。
7	TXDESC	送信ディスクリプタ： CMDSTSフィールドの設定されたINTRビットを持つ送信ディスクリプタが更新されたとき、1になります。
6	TXOK	TxパケットOK： 非バースト・モード（TXBCレジスタのTBENビット=0）では、成功した送信の最後の送信ディスクリプタが、有効なステータスで更新されたとき、1になります。 送信バースト・モードがイネーブルの場合は、このビットは、正常に送信されたパケット数が、TXBCレジスタのTBCNTビットで指定された値に到達したか、または、少なくとも、1つのパケットが正常に送信され、TXBCレジスタのTBTMOビットで設定された時間が経過したことを示します。
5	RFO	RxFIFOオーバーラン： 受信データFIFOオーバーラン条件が発生したとき、1になります。
4	RXIDLE	Rxアイドル： 受信ステート・マシンが、非アイドル状態からアイドル状態に移行したとき、1になります。これは、ステート・マシンが「リスト終了」状態を検出したときに発生します（NULLリンク・フィールドまたはOWNを持つディスクリプタはセット）。
3	RXEALRY	受信アーリ・スレッシュホールド： RXBCレジスタのRBCNTビットで指定されたバイト数がメモリに転送されたとき、1になります。
2	RXERR	受信パケット・エラー： 失敗したパケット受信の最後の受信ディスクリプタが、有効なステータスで更新されたとき、1になります。
1	RXDESC	受信ディスクリプタ： CMDSTSフィールドの設定されたINTRビットを持つ受信ディスクリプタが更新されたとき、1になります。
0	RXOK	受信OK： 非バースト・モード（RXBCレジスタのRBMODビット=0）で良好パケットの最終受信ディスクリプタが、有効なステータスで更新されたとき、1になります。 受信バースト・モードがイネーブルの場合は、このビットは、正常に受信されたパケット数がRXBCレジスタのRBCNTビットで指定された値に到達したか、または、少なくとも、1つのパケットが正常に受信され、RXBCレジスタのRBTMOを越えたことを表します。

3.3.4 割り込みマスク・レジスタ (IMR)

オフセット : 0014H

アクセス : リード/ライト

ハード・リセット : 00000000H

ソフト・リセット : 00000000H

このレジスタは、ISRレジスタから発生する割り込みをマスクします。このレジスタのビットに“1”を書き込むと、対応する割り込みがイネーブルになります。ハードウェア・リセット中は、すべてのマスク・ビットがクリアされます。

ビット	略称	機能
31-28	—	予約
27	EEDONE	EEPROM動作完了 : 1 のとき、ISRレジスタの対応するビットが割り込みを発生します。
26	—	予約
25	TXRCMP	送信リセット完了 : 1 のとき、ISRレジスタの対応するビットが割り込みを発生します。
24	RXRCMP	受信リセット完了 : 1 のとき、ISRレジスタの対応するビットが割り込みを発生します。
23	DPERR	パリティ・エラー検出 : 1 のとき、ISRレジスタの対応するビットが割り込みを発生します。
22	SSERR	システム・エラー通知 : 1 のとき、ISRレジスタの対応するビットが割り込みを発生します。
21	RMABT	受信マスタ・アポート : 1 のとき、ISRレジスタの対応するビットが割り込みを発生します。
20	RTABT	受信ターゲット・アポート : 1 のとき、ISRレジスタの対応するビットが割り込みを発生します。
19	TXDERR	送信ディスクリプタ・エラー : 1 のとき、ISRレジスタの対応するビットが割り込みを発生します。
18	—	予約
17	RXDERR	受信ディスクリプタ・エラー : 1 のとき、ISRレジスタの対応するビットが割り込みを発生します。
16	RXSOVR	受信ステータスFIFOオーバーラン : 1 のとき、ISRレジスタの対応するビットが割り込みを発生します。
15	HIBERR	上位ビット・エラー : 1 のとき、ISRレジスタの対応するビットが割り込みを発生します。
14	MII	MII動作完了 : 1 のとき、ISRレジスタの対応するビットが割り込みを発生します。
13	TMR	タイマ割り込み : 1 のとき、ISRレジスタの対応するビットが割り込みを発生します。

ビット	略称	機 能
12	SWI	ソフトウェア割り込み： 1のとき、ISRレジスタの対応するビットが割り込みを発生します。
11	MIB	MIBサービス： 1のとき、ISRレジスタの対応するビットが割り込みを発生します。
10	TFU	Txアンダーラン： 1のとき、ISRレジスタの対応するビットが割り込みを発生します。
9	TXIDLE	Txアイドル： 1のとき、ISRレジスタの対応するビットが割り込みを発生します。
8	TXERR	Txパケット・エラー： 1のとき、ISRレジスタの対応するビットが割り込みを発生します。
7	TXDESC	送信ディスクリプタ： 1のとき、ISRレジスタの対応するビットが割り込みを発生します。
6	TXOK	送信パケットOK： 1のとき、ISRレジスタの対応するビットが割り込みを発生します。
5	RFO	受信オーバーラン： 1のとき、ISRレジスタの対応するビットが割り込みを発生します。
4	RXIDLE	受信アイドル： 1のとき、ISRレジスタの対応するビットが割り込みを発生します。
3	RXEARLY	受信アーリー・スレッシュホールド： 1のとき、ISRレジスタの対応するビットが割り込みを発生します。
2	RXERR	受信パケット・エラー： 1のとき、ISRレジスタの対応するビットが割り込みを発生します。
1	RXDESC	受信ディスクリプタ： 1のとき、ISRレジスタの対応するビットが割り込みを発生します。
0	RXOK	受信OK： 1のとき、ISRレジスタの対応するビットが割り込みを発生します。

3.3.5 割り込みイネーブル・レジスタ (IER)

オフセット : 0018H
 アクセス : リード/ライト
 ハード・リセット : 00000000H
 ソフト・リセット : 00000000H

割り込みイネーブル・レジスタは、ハードウェアINTA信号を制御します。

ビット	略称	機能
31-1	—	予約
0	IE	割り込みイネーブル： 1のとき、ハードウェアINTA信号をイネーブルにします。0になると、ハードウェアINTA信号はマスクされ、割り込みは発生しません。このビットの設定は、ISRやIMRレジスタに影響しません。このビットは、シングル・アクセスのホストに対して、ハードウェア割り込みをディスエーブルにする能力を与えるものです（リード・モディファイ・ライト・サイクルを不要にします）。

3.3.6 割り込み待ち時間カウント・レジスタ (ILCR)

オフセット : 001CH
 アクセス : リードのみ
 ハード・リセット : 00000000H
 ソフト・リセット : 00000000H

このレジスタは、システムが割り込みを処理する時間を測定します。ソフトウェアは、このレジスタの割り込み待ち時間カウント値を読み出して、現在のシステムの割り込み待ち時間を1バイト単位（10 Mbps）または10バイト単位（100 Mbps）で測定します。割り込み待ち時間は、受信アーリ割り込みに対して、バイト・カウントの設定時間を知るのに有効です。

ビット	略称	機能
31-16	—	予約
15-0	ILCNT	割り込み待ち時間カウント値： ハードウェア割り込みが発生すると、カウント値は一度クリアされてからインクリメントされ、システムがISRレジスタを読み出すと、カウントは停止します。待ち時間カウント値は800 nsごとにインクリメントされます。カウント値がFFFFHのとき、待ち時間は最大の52.4 msになります。

3.3.7 送信ディスクリプタ・ポインタ・レジスタ (TXDP)

オフセット : 0020H

アクセス : リード/ライト

ハード・リセット : 00000000H

ソフト・リセット : 00000000H

このレジスタは、現在の送信ディスクリプタを示します。

ビット	略称	機 能
31-2	TXDP	<p>送信ディスクリプタ・ポインタ :</p> <p>μ PD72810Aは、現在の送信ディスクリプタのポインタを示します。</p> <p>リセット (ハードウェア, ソフトウェア, または送信リセット) が解除されたあと、このレジスタは、CRレジスタのTXEビットがセットされる前に完了した送信ディスクリプタのアドレスに更新されなければなりません。送信ステート・マシンがアクティブのとき、TXDPの値は、アクティブなディスクリプタでリンクされたリストに沿って、ステート・マシンより更新されます。現在の送信ディスクリプタのリンク・フィールドがNULLの場合 (リストの終わりを示す) TXDPの値は更新されず、現在のディスクリプタを保持します。その後、CRレジスタのTXEビットに書き込みが行われると、送信ステート・マシンは、現在のディスクリプタのリンク・フィールドを再度読み出し、新たなディスクリプタがリストに追加されたかをチェックします。送信ディスクリプタは、ホスト・メモリの偶数の32ビット・バウンダリにアラインされます (A1, A0 は0でなければなりません)。</p>
1, 0	-	予約 (読み出すと00bを返し、書き込みは無視されます。)

3.3.8 送信コンフィギュレーション・レジスタ (TXCFG)

オフセット : 0024H

アクセス : リード/ライト

ハード・リセット : 00000810H

ソフト・リセット : 00000810H

このレジスタは、μ PD72810Aの送信コンフィギュレーションを定義し、ループバック、ハートビート、自動送信パディング、プログラマブル・インタフェース・ギャップ、ディスクリプタ当たりのフラグメント、送信リトライ・カウントおよびフィル&ドレイン・スレッシュホールドといった機能を制御します。

ビット	略称	機能
31	CSI	<p>キャリア・センス無視 :</p> <p>このビットを1にセットすると、トランスミッタはキャリア・センス活動を無視するため、送信ステータス・レジスタに対するCRSステータスの報告は禁止され、また、MIBカウンタ部に対するTXCSエラーのログギングも禁止されます。</p> <p>このビットが0 (デフォルト) のときは、トランスミッタはキャリア・センスをモニタし、送信ステータス・レジスタとMIBカウンタ部に有効キャリア・センス・ステータスを反映します。この設定は、全二重動作時に必要となります。</p>
30	HBI	<p>ハートビート無視 :</p> <p>このビットを1にセットすると、トランスミッタは、パケット送信に続くハートビート (CD) パルスを無視し、MIBカウンタ部へのTXSQEエラーのログギングを禁止します。0 (デフォルト) になると、トランスミッタはハートビート・パルスをモニタし、MIBカウンタ部にTXSQEエラーをログします。この設定は、全二重動作時に必要となります。</p>
29	MLB	<p>MACループバック :</p> <p>このビットが1のとき、μ PD72810AのMACはループバック状態となります。この状態では、すべての送信トラフィックがレシーバに送られ、MII送受信インタフェースがディスエーブルとなります。このビットが0のときは、通常MAC動作となります。ループバック・モードをイネーブルする前に、トランスミッタとレシーバはディスエーブルとなっていなければなりません (MLBモード中に受信したパケットは、RXSRレジスタのLBPフィールドのループバック状態を反映します)。</p>
28	ATP	<p>自動PAD挿入 :</p> <p>このビットを1にセットすると、MACフレームが64バイト以下のショート・フレームの場合、自動的にPADを挿入します。</p> <p>これによって、ドライバ・ソフトウェアは、実際のパケット・データのみを送信すればよくなります。このビットを0にすると、自動PAD挿入機能はディスエーブルとなり、ソフトウェアでのパディングの制御が必要となります。</p>
27, 26	IFG	<p>フレーム間ギャップ時間 :</p> <p>このフィールドにより、ユーザはフレーム間ギャップ時間をIEEE 802.3規格の10 Mbpsにおける9.6 μs、100 Mbpsにおける960 nsで定義します。このフィールドをプログラムすることで10 Mbpsでは9.6-8.4 μsに、100 Mbpsでは960-840 nsに設定できます。</p> <p>ゼロ以外の値は、IEEE 802.3規格に準拠しません。フレーム間ギャップは、次の式で表されます。</p> <p>10 Mbps : 9.6 μs-0.4 (IFG1, IFG0) μs</p> <p>100 Mbps : 960 ns-40 (IFG1, IFG0) ns</p>

ビット	略称	機能
25-23	MXF	<p>送信ディスクリプタ当たりの最大フラグメント数 :</p> <p>このフィールドは、ソフトウェアが1つの送信ディスクリプタに対して使用するフラグメントの最大数を設定します。μ PD72810Aでは、ディスクリプタ当たり最大8個のフラグメントをサポートします。ソフトウェアは、このフィールドを使ってディスクリプタ読み出し動作中に読み出されるフラグメント数を制限して使うことができます。これによってPCIバスのディスクリプタ動作のオーバーヘッドが減少します。このフィールドを0にすると、ディスクリプタ1つ当たり8フラグメントとなります。</p> <p>その他の値は、送信バス・マスタ・ステート・マシンが読み出すフラグメント数を指定します。</p>
22-20	MXDMA	<p>送信DMAバースト当たりの最大DMAバースト・サイズ :</p> <p>このフィールドは、送信DMAデータバーストの最大値を、次のように設定します。</p> <p>000 = 現在のフラグメント・カウント値とFIFOの空き空間による。 001 = 1つの32ビット・ワード (4バイト) 010 = 2つの32ビット・ワード (8バイト) 011 = 4つの32ビット・ワード (16バイト) 100 = 8つの32ビット・ワード (32バイト) 101 = 18の32ビット・ワード (64バイト) 110 = 32の32ビット・ワード (128バイト) 111 = 64の32ビット・ワード (256バイト)</p>
19-16	TXRR	<p>送信リトライ・カウント :</p> <p>このTXRRフィールドの4ビットは、IEEE 802.3で定義された16回のリトライ・カウントに対してリトライ回数を付加します (16の倍数)。</p> <p>このフィールドが0にセットされるとトランスミッタは、コリジョン発生に対し最大16回の再送信を行います。</p> <p>TXRRフィールドが0より大きい値に設定されると、トランスミッタは下記の式で算出された回数再送信を行います。</p> <p>設定したリトライ値を越えた場合は、送信は過剰コリジョンにより失敗します。</p> <p style="text-align: center;">リトライ回数 = 16 + (TXRR * 16)</p> <p>正確な管理統計を維持するためには、ステータスを次のように更新する必要があります。</p> <ul style="list-style-type: none"> ・TXExcessiveColl MIBカウンタを16回のリトライごとにインクリメントする。 ・TXFrames1CollとTXFramesMultiCollカウンタを最後の16のブロックの回数に応じて更新する。 ・送信が指定リトライ回数内で成功した場合は、TXSRレジスタのCCNTビットは、最後のブロック (16回) 内で発生したコリジョン回数で示す。 ・送信が指定リトライ回数内に正常に完了した場合、ディスクリプタはそれに応じて更新される。
15	-	予約
14-8	FLTH	<p>送信フィル・スレッシュホールド :</p> <p>32ビット・ワード中のフィル・スレッシュホールドを指定します。送信FIFO空き空間の32ビット・ワード数がこのレベルになると、送信バス・マスタ・ステート・マシンは送信FIFOを一杯にするために、PCIバスに対し送信パケット・フラグメント・リードのリクエストを出すことが可能になります。</p>
7	-	予約

ビット	略称	機能
6-0	DRTH	<p>送信ドレーン・スレッシュホールド：</p> <p>32ビット・ワード中のドレーン・スレッシュホールドを指定します。FIFOの32ビット・ワード数がこのレベルになると（または、FIFOが、少なくとも1つの完全なパケットを保持している）と、MAC送信ステート・マシンはパケットの送信を開始します。このフィールドに書き込む値として、0は無効で、0が書き込まれた場合の結果は不定です。</p> <p>注意 デッドロック状態を回避するために、送信ドレーン・スレッシュホールドは、127-FLTHフィールドの値より大きく設定しないでください。</p>

3.3.9 送信バースト制御レジスタ (TXBC)

オフセット：0028H

アクセス：リード/ライト

ハード・リセット：00000000H

ソフト・リセット：00000000H

送信バースト・モードでは、ドライバは、完全な送信パケットの割り込み処理をバッチ化することができます。このレジスタのTBENビットがセットされると、TBCNTフィールドは、送信OK割り込みが発生する前に、送信完了しなければならないパケット数を定義します。また、TBTMOフィールドは、トランスミッタがTBCNTとなる前にアイドル状態になったとき、送信OK割り込みを強制的に発生させるためのアイドル・タイマを定義します。

TBTMOアイドル・タイマは、ISRレジスタのTXOKビット、TXERRビット、TXDESCビットのいずれかがセットされるとリセットされます。このレジスタは、送信ステート・マシンがアイドル状態のときだけ、書き換え可能です。

ビット	略称	機能
31	TBEN	<p>送信バースト・イネーブル：</p> <p>1のときに送信バースト・モードをイネーブルにし、0のときにディスエーブルにします。</p>
30-20	—	予約
19-16	TBCNT	<p>送信バースト・カウント：</p> <p>このフィールドは、TXOK割り込みが発生する前に送信されていなければならない連続送信パケット数を表します。0は16を表します。</p>
15-12	—	予約
11-0	TBTMO	<p>送信バースト・タイムアウト：</p> <p>送信バースト・モードのアイドル・タイムアウト値です。</p> <p>送信バースト・モードがイネーブルの間、タイマは、パケットの最後のディスクリプタが更新されたあと、このフィールドの値で初期化されます。タイマは、1.6μs単位でデクリメントされます。ほかのパケットの送信が始まる前にタイマの設定時間が経過すると、TXOK割り込みが発生します。</p>

3.3.10 送信ステータス・レジスタ (TXSR)

オフセット：002CH

アクセス：リード/ライト

ハード・リセット：00000000H

ソフト・リセット：00000000H

このレジスタのビットは、送信ディスクリプタ・ストラクチャのcmdstsビットに対応しています。このレジスタによって、ソフトウェアは、送信ステータスFIFOの最初にある送信ステータス値を確認することができます。このレジスタはテスト用であり、通常動作では使用しません。

ビット	略称	機能
31	OWN	ディスクリプタ所有権： このビットはソフトウェアによって1にセットされ、μ PD72810AがTXDPレジスタで示されるディスクリプタを所有していることを示します。このビットはμ PD72810Aによって0にリセットされ、ソフトウェアがディスクリプタを所有していることを示します。
30	MORE	多重ディスクリプタ： 1のとき、現在のディスクリプタが現在のパケットの最終ディスクリプタではないことを示します。 0のとき、現在のディスクリプタが現在のパケットの最終ディスクリプタであることを示します。
29	INTR	ディスクリプタ割り込み： 1のとき、現在のディスクリプタが送信ステート・マシンにより更新され、ISRレジスタのTXDESCビットがセットされることを示します。
28	SUPCRC	CRC制御： 1のとき、現在のパケットに対するCRCの発生が抑制されていることを示します。 備考 マルチプル・ディスクリプタ・パケットの場合、すべてのディスクリプタにおいてSUPCRCを同じ設定にしなければなりません。
27	OK	送信成功： 1のとき、現在のパケット送信が正常に完了したことを示します。
26	TXA	送信アボート： 1のとき、現在のパケット送信がアボートされたことを示します。
25	TFU	送信FIFOアンダーラン： 1のとき、パケットの終わり（EOP）になる前に、現在の送信中に送信FIFOが空になったことを示します。
24	CRS	キャリア・センス喪失： 1のとき、現在の送信でキャリア信号が喪失したことを示します。この状態は、TXCFGレジスタのCSIビットがセットされていれば、報告されず、また、ISRレジスタのTXERRビットをセットする要因となるものではありません。
23	TD	送信遅延： 1のとき、現在の送信が遅延されたことを示します。

ビット	略称	機能
22	ED	過剰遅延： 1 のとき、現在の送信の遅延時間が3.2 msより長いことを示します。送信はアボートされました。
21	OWC	ウインドウ外コリジョン： 1 のとき、現在の送信中にMACがウインドウ外コリジョンを検出したことを示します（CFGレジスタのPOWビットの説明を参照してください）。これにより送信は中止され、ソフトウェアにより再送信する必要があります。
20	EC	過剰コリジョン： 1 のとき、現在の送信中に発生した競合数が16より多いことを示します。
19-16	CCNT	コリジョン・カウント： TXCFGレジスタのTXRRビットが0でないとき、現在の送信中または、最後の16回の送信ブロック中に発生した競合数に設定されます。
15-12	—	予約（読み出すと0を返し、書き込みは無視されます。）
11-0	SIZE	ディスクリプタ・サイズ： 現在のディスクリプタのすべてのフラグメントによって記述されたデータの全体サイズをバイトで表します。

3.3.11 受信ディスクリプタ・ポインタ・レジスタ (RXDP)

オフセット：0030H

アクセス：リード/ライト

ハード・リセット：00000000H

ソフト・リセット：00000000H

このレジスタは、現在の受信ディスクリプタを示します。

ビット	略称	機能
31-2	RXDP	受信ディスクリプタ・ポインタ： 受信ステート・マシンがアイドル状態の場合、ソフトウェアは、このフィールドを、使用可能な受信ディスクリプタのアドレスに設定する必要があります。受信ステート・マシンがアクティブの場合は、このフィールドの値は、ステート・マシンの使用可能なディスクリプタのリンク・テスト上の動作に従って更新されます。受信ステート・マシンがアイドル状態でないかぎり、このレジスタにソフトウェアで書き込みを行わないでください。受信ディスクリプタは、32ビット・バウンダリにアラインされます（RXDP0, RXDP1はゼロでなければなりません）。
1, 0	—	予約

3.3.12 受信コンフィギュレーション・レジスタ (RXCFG)

オフセット : 0034H

アクセス : リード/ライト

ハード・リセット : 00000010H

ソフト・リセット : 00000010H

このレジスタは、μPD72810Aの受信コンフィギュレーションを設定するために使います。エラー・パケットやショート・パケットの受け付けや、受信ドレーン・スレッシュホールドの設定などの受信特性は、このレジスタで制御します。

ビット	略称	機能
31	AEP	エラー・パケット受け付け : 1のときは、CRCエラー、アラインメント・エラーおよびコリジョン・エラーが発生したパケットも、すべて受け付けられます。0のときは、CRCが発生したパケット、アラインメントおよびコリジョン・エラーはすべて、可能なかぎりリジェクトされます。エラーのタイプによっては、このビットの設定にかかわらず、エラーが発生した受信パケットでも受け付けられるものもあります。これらのエラーは、パケットの最後のディスクリプタのCMDSTSフィールドに示されます。
30	ARP	ショート・パケット受け付け : 1のときは、エラーのない、64バイト未満のパケットはすべて受け付けられます。このビットが0のときは、64バイトに満たないパケットは、可能なかぎりリジェクトされます。
29	—	予約
28	ATX	送信パケット受け付け : 1のとき、ローカル送信 (PMDループバックや全二重動作など) と同時に受信されたデータは、有効受信データとして受け付けられます。 0 (デフォルト) のときは、ローカル送信と同時に受信されたデータはリジェクトされます。このビットは、PMDループバックや全二重動作時には、1にセットする必要があります。
★ ★	AJAB	ジャバ・パケット受け付け : 1のとき、1518バイト長を超えるパケット (パケットの最大長は4092バイト) を受け付け、受信データ・バッファに格納します (ただし、受信ディスクリプタ・リストで十分な長さを持つバッファが指定されていた場合)。0のとき、1518バイトを超えるパケット (CRCを含む) はリジェクトされます。バイト・カウントが4092バイトの場合は、パケットが切り捨てられたことを示しています。
26	—	予約

ビット	略称	機 能
25-23	MXF	<p>受信ディスクリプタの最大フラグメント：</p> <p>このフィールドは、受信ディスクリプタ1つ当たりに対する最大フラグメント数を設定します。</p> <p>μ PD72810Aでは1ディスクリプタ当たり最大8個のフラグメントをサポートできます。このフィールドは、ディスクリプタ読み出し動作中に読み出されるフラグメント数を、ソフトウェアが制限するために使われます。これによって、PCIバスのディスクリプタ動作時のオーバヘッドが減少します。このフィールドを0に設定すると、1ディスクリプタ当たり、8個のフラグメントとなります。その他の値は、受信バス・マスタ・ステート・マシンが読み出すフラグメント数を指定します。</p>
22-20	MXDMA	<p>受信DMAバーストに対する最大DMAバースト・サイズ：</p> <p>このフィールドは、受信DMAデータ・バーストの最大サイズを次のように設定します。</p> <p>000 = 現在のフラグメント・カウント値による。</p> <p>001 = 1つの32ビット・ワード (4バイト)</p> <p>010 = 2つの32ビット・ワード (8バイト)</p> <p>011 = 4つの32ビット・ワード (16バイト)</p> <p>100 = 8つの32ビット・ワード (32バイト)</p> <p>101 = 16の32ビット・ワード (64バイト)</p> <p>110 = 32の32ビット・ワード (128バイト)</p> <p>111 = 64の32ビット・ワード (256バイト)</p>
19-7	-	予約
6-0	DRTH	<p>受信ドレーン・スレッシュホールド：</p> <p>ドレーン・スレッシュホールドを32ビット・ワード単位で指定します。このレジスタのビット0は、常に0でなければなりません。受信FIFOのバイト数が、このフィールドの設定値に到達した場合、またはFIFOが完全なバケットを保持している場合は、受信バス・マスタ・ステート・マシンは、受信FIFOからホスト・メモリへデータ転送するためのDMAを要求することが許可されます。このデータ転送は、フラグメント・サイズとMXDMAフィールドに依存し、ドレーン・スレッシュホールドは、各DMAバウンダリで再評価されます。</p>

3.3.13 受信アーリノバースト制御レジスタ (RXBC)

オフセット : 0038H

アクセス : リード/ライト

ハード・リセット : 00000000H

ソフト・リセット : 00000000H

受信バースト・モードでは、ドライバは、完全な受信パケットの割り込み処理をバッチ処理することができます。このレジスタのRBENビットがセットされ、RBMODビットがクリアされていると、RBCNTフィールドは、受信OK割り込みが発生する前に受信完了するパケット数を定義します。またRBTMOは、レシーバがRBCNTとなる前に、アイドル状態になるときに発生する受信OK割り込みを強制的に発生させるためのアイドル・タイマを定義します。RBTMOアイドル・タイマは、ISRレジスタのRXOKビット、RXERRビット、RXDESCビットのいずれかがセットされると、リセットされます。このレジスタは、受信ステート・マシンがアイドル状態のときだけ、書き換え可能です。

受信アーリ・モードは、パケットの受信が完了する前に、ドライバが受信パケットの処理を開始することができます。パケットの最初で、受信バス・マスタ・ステート・マシンがRBCNTバイトをホスト・メモリに正常に転送すると、RXEARLY割り込みが発生します。

ビット	略称	機 能
31	RBEN	受信アーリノバースト・イネーブル： 1のときに受信バーストまたはアーリ・モードをイネーブルにし、0のときにディスエーブルにします。
30	RBMOD	受信アーリノバースト・モード： 1のときに受信アーリ・モードを、0のときに受信バースト・モードをそれぞれ選択します。
29, 28	—	予約
27-16	RBCNT	受信アーリノバースト・カウント： 受信バースト・モードでは、このフィールドは、受信OK割り込みが発生する前に受信されていなければならない連続受信パケット数を、下位4ビットで表します。値“0”はパケット数が16であることを示します。受信アーリ・モードでは、このフィールドは、RXEARLY割り込みが発生する前に、パケットの最初でホスト・バスに転送されていなければならないバイト数を示します。
15-12	—	予約
11-0	RBTMO	受信バースト・タイムアウト： 受信バースト・モードのアイドル・タイムアウト値です。受信バースト・モードがイネーブルの間、タイマはパケットの最後のディスクリプタが更新されたあと、このフィールドの値で初期化されます。タイマは、1.6μs単位でデクリメントされます。ほかのパケットの受信が始まる前にタイマの設定時間が経過すると、RXOK割り込みが発生します。

3.3.14 受信ステータス・レジスタ (RXSR)

オフセット : 003CH

アクセス : リード/ライト

ハード・リセット : 40000000H

ソフト・リセット : 40000000H

このレジスタのビットは、受信ディスクリプタ・ストラクチャのcmdstsビットに対応しています。このレジスタによって、ソフトウェアは、受信ステータスFIFOの最初にある受信ステータス値を確認することができます。このレジスタはテスト用であり、通常動作には使用しません。

ビット	略称	機能
31	OWN	ディスクリプタ所有権 : 0 のとき、μ PD72810A が RXDP レジスタで示されるディスクリプタを所有していることを示します。 1 のとき、ソフトウェアがディスクリプタを所有していることを示します。
30	MORE	多重ディスクリプタ : 1 のとき、現在のディスクリプタが現在のバケットの最終ディスクリプタではないことを示します。
29	INTR	ディスクリプタ割り込み : 1 のとき、受信ステート・マシンによって現在のディスクリプタが更新されたときに ISR レジスタの RXDESC ビットがセットされることを示します。
28	—	予約 (1 が書き込まれなければなりません。)
27	OK	バケット受信 OK : 1 のとき、現在のバケット受信が正常に完了したことを示します。
26	RXA	受信アボート : 1 のとき、現在のバケット受信がアボートされたことを示します。RFO ビットがセットされている場合、受信はオーバーランによってアボートされたことを示しています。RFO ビットがクリアされていれば、受信ディスクリプタ・エラーが発生したことを示しています。メモリに転送されたデータ数は、RXSR レジスタの SIZE フィールドにセットされます。
25	RFO	受信 FIFO オーバーラン : 1 のとき、受信オーバーラン状態が発生したことを示します。 このとき、RXA ビットもセットされます。

ビット	略称	機能
24,23	DEST	<p>デスティネーション・クラス： 内部CAMがイネーブルの場合、これらのビットは、前回のパケットのデスティネーション・アドレス・クラスを、次のように示します。</p> <p>00 = パケットは、リジェクトされた。 01 = デスティネーションは、CAMのユニキャスト・アドレスと一致。 10 = デスティネーションは、マルチキャスト（ブロードキャストではない）アドレス。 11 = デスティネーションは、ブロードキャスト・アドレス。</p> <p>内部CAMがイネーブルの場合、00はパケットがリジェクトされたことを示しています。通常、リジェクトされたパケットは、バスの動作を引き起こさず、また受信ディスクリプタを消費することはありません。この状態は、パケットのリジェクト（物理アドレスまたはブロードキャスト・フィルタCAMから内部的に発生するか、外部から発生）が、受信ドレーン・スレッシユホールドよりも遅れてパケットに生じた場合に発生します。</p>
22	LONG	<p>ロング・パケット受信： 最後に受信したパケットのサイズが1518バイトを越えているとき、1となります。</p>
21	RUNT	<p>ショート・パケット受信： 最後に受信したパケットのサイズが64バイト（CRCを含む）に満たないとき、1となります。</p>
20	ISE	<p>無効シンボル・エラー： (100BASE-TXのみ) 現在のパケットの受信中に、無効シンボルが発見されたとき、1になります。</p> <p>備考 シンボル・エラーが発生すると、RX_DV信号がアクティブの間（有効データ受信中）に、RX_ER信号が1またはそれ以上のクロック間アクティブになります。</p>
19	CRCE	<p>CRCエラー： 現在のパケットに付加されたCRCが無効の場合に1になります。このビットは、RXSRレジスタのISEビットとともにセットされます。</p>
18	FAE	<p>フレーム・アラインメント・エラー： 現在のパケットが、オクテット単位で必要な数に満たないとき、またはCRCエラーが検出されたとき、1になります。</p>
17	LBP	<p>ループバック・パケット： 現在のパケットがMACループバック送信の結果であるとき、1になります。</p>
16	COL	<p>コリジョン受信： 現在のパケットを受信中にコリジョンが発生したとき、1になります。</p>
15-12	—	<p>予約（読み出すと0を返し、書き込みは無視されます。）</p>
11-0	SIZE	<p>ディスクリプタ・サイズ： 現在のパケットのサイズに設定されます。</p>

3.3.15 EEPROMアクセス・レジスタ (EER)

オフセット : 0040H

アクセス : リード/ライト

ハード・リセット : 00000000H

ソフト・リセット : 00000000H

このレジスタは、EEPROMに対してデータ・アクセスを行うときに使用されます。BIST制御ビットとステータス・ビットで構成され、ソフトウェアにEEPROMがビジィであるかどうかを示します。

ビット	略称	機能
31	EIU	EEPROMアクティブ : このビットはリードのみで、EEPROMステート・マシンがアクティブのときにハードウェアで1にセットされます。ソフトウェアは、このビットに対してポーリングを行い、EEPROMの読み出しまたは書き込み動作完了をモニタするために、このビットが0になるのを待ちます。また、ソフトウェアは、EEDONE割り込みステータス・ビットを待ちます。
★ 30	EBE	EEPROM BISTイネーブル : このビットを1にセットして、EEPROMの内蔵自己テスト (BIST) をイネーブルにします。BISTが完了すると、このビットはハードウェアでクリアされます。BIST機能は、新しいEEPROMのチェックサムを自動的に算出する場合に使用されます。BISTが完了すると、このレジスタのEEDATAフィールドの上位バイトにチェックサムの2の補数が入り、下位バイトには、チェックサム符号定数値(55H)が入ります。EEPROMの内容を変更後にBISTを行った場合は、EEPROMのチェックサム格納領域にEEDATAフィールドの内容を直接書き込んで、新しいチェックサムに更新してください。
29	EBF	EEPROM BIST失敗 : リードのみ。EEPROM BISTの結果、無効なチェックサムが検出された場合、このビットが1になります。このビットは、このレジスタ空間に書き込みを行うとクリアされます。
28-24	—	予約
23-16	EECMD	EEPROMコマンド : ライトのみ。この8ビット値は、シリアル化されEEPROMに送られるコマンドです。このフィールドは、2ビットのオペコードと6ビットのアドレスで構成されます。 EEPROMに送られる最初のビットは、このフィールドのビット23となります。
15-0	EEDATA	EEPROMデータ : 書き込み時は、ソフトウェアがこのフィールドに16ビットのデータを書き込み、読み出し時は、このフィールドからデータを取り出します。

★ 3.3.16 MIIアクセス・レジスタ (MIIR)

オフセット : 0044H

アクセス : リード/ライト

ハード・リセット : 00000000H

ソフト・リセット : 00000000H

MIIRレジスタは、MIIのシリアル・マネージメント・インタフェースにアクセスを行うために使用します。MIIマネージメント・インタフェースは、PHYデバイスからコンフィギュレーション情報をロードしたり、ステータス情報を検索したりするために使います。

このレジスタは、シリアル化され、PHYデバイスに発行するコマンドをロードするためにも使われます。コマンドが読み出しコマンドの場合、μPD72810Aは、MIIRレジスタのMDATフィールドに読み出された16ビット・データを配置します。コマンドが書き込みコマンドである場合、MDATフィールドの値は、コマンド・フィールドに従ってPHYに送られます。

ビット	略称	機能
31	MIU	<p>MIIアクティブ :</p> <p>このビットはリードのみで、ハードウェアによって1にセットされ、MIIマネージメント・アクセス・ステート・マシンが、現在アクティブであることを示します。MIIマネージメント・インタフェースにアクセスするソフトウェアはすべて、MIIRに書き込みを行う前にこのビットが0になるのを待ちます。また、このビットは、ソフトウェアが、マネージメント読み出しまたは書き込み動作の完了状態をモニタする場合、ポーリングされます。あるいはまた、ソフトウェアは、MIIシリアル・アクセス動作の完了を、ISRレジスタに発生する割り込みによって知ることが可能です。</p>
30	MRE	<p>MII読み出しエラー :</p> <p>このビットは、読み出しデータ・ストリームの中に先行する0が検出されずに読み出し動作が行われたあとに、1にセットされます。このような状態は、PHYがコマンドに応答しない場合に発生します。このビットは、このレジスタ空間に書き込みを行うとクリアされます。</p>
29	—	予約
28	ENTMPL	<p>内部ENDECイネーブル :</p> <p>ライトのみ。このビットがセットされると、内部ENDEC (10 Mbps) PHYへのMIIアクセスをイネーブルします。内部ENDEC PHYは、MII-PHYアドレスの1FHに対応します。ソフトウェアは、PHYアドレスが1FHである外部PMDにアクセスする場合には、このビットをクリアしなければなりません。このビットの状態にかかわらず、他のアドレスのPHYをアクセスすることは可能です。このビットは、ストラッピング・オプションのD3ではセットされません。</p>

ビット	略称	機 能
27, 26	AM	<p>アクセス・モード： ライトのみ。これらのビットは、MIIのアクセス・タイプを次のように指定します。</p> <p>00 予約</p> <p>01 マネージメント書き込み。このモードでは、MDATフィールドの内容が、指定されたPHYアドレスのレジスタに書き込まれます。</p> <p>10 マネージメント読み出し。このモードでは、データを指定されたPHYアドレスのレジスタから読み出し、MDATフィールドに配置します。</p> <p>11 マネージメント・リセット。このモードでは、接続されたPHYデバイスに32個の連続する1で構成されるリセット・フレームを送出します。</p>
25-21	PADR	<p>PHYアドレス： ライトのみ。このフィールドは、32個のPHYデバイスから1つを選択します。 このフィールドは、リセット・モードでは使用しません。 内部ENDECをアクセスするためには、このフィールドに1FHを設定してください。</p>
20-16	RADR	<p>レジスタ・アドレス： このフィールドは、PHYデバイスの32個の16ビット・レジスタからアクセスされるレジスタを1つ選択します。このフィールドは、リセット・モードでは使用しません。</p>
15-0	MDAT	<p>MIIデータ： 各MIIアクセス・コマンドで書き込みまたは読み出される16ビットのデータ・フィールドです。</p>

3.3.17 CAM制御レジスタ (CCR)

オフセット : 0048H

アクセス : リード/ライト

ハード・リセット : 00000000H

ソフト・リセット : 00000000H

CCRレジスタは、μPD72810Aの内蔵受信アドレス比較CAMの制御および構成のために使います。内蔵CAMは、固有アドレスまたはマルチキャスト・アドレスを比較するための10個（48ビット構成）のCAMエン트리と、種々のプロトコルで用いられるブロードキャスト・パケットのフィルタリングのための4個のCAMエントリを持ちます。また、内蔵CAM回路は、すべての固有アドレス・フレーム、ブロードキャスト・フレーム、およびマルチキャスト・フレームの受信を可能とすることもできます。内蔵CAMの構成に関する詳細は、CDRレジスタの説明を参照してください。

ビット	略称	機能
31	CMEN	<p>CAMイネーブル :</p> <p>このビットが1の場合、CAMは、すべてのマスクされていないCAMエントリの比較をします。このビットが0の場合は、すべてのアドレス比較機能がディスエーブルとなります（すべての受信パケットはリジェクトされます）。</p> <p>CAMエントリに書き込みまたは読み出しアクセスを行う場合は、このビットを0にリセットする必要があります。受信パケットは、内蔵CAMがディスエーブルにおいても、外部CAMにより受信可能です。</p> <p>備考 CAMは、受信イネーブルにおいてイネーブル/ディスエーブルします。</p> <p>受信イネーブルになると、CAMロジックがアクティブになる前に、レシーバがアイドル状態になるのを待ちます。受信ディスエーブルになり、受信動作で、24バイト未満のデータが受信されると、パケットをリジェクトします。24バイト以上が受信されると（パケットが受け付けられた状態）、CAM回路はアクセプトした受信動作に影響を与えずにインアクティブとなります。</p>
30	AAB	<p>ブロードキャスト受信 :</p> <p>このビットが1の場合、すべてのブロードキャスト・アドレス・パケットを受信します。0の場合、CAMエントリ10-13のフィルタリング基準に合致したブロードキャスト・アドレス・パケットを受信します。</p>
29	AAM	<p>マルチキャスト受信 :</p> <p>このビットが1の場合、すべてのマルチキャスト・アドレス・パケットを受信します。0の場合、受信パケットをアクセプトするためにCAMエントリ0-9内の受信アドレス情報のいずれかと一致しなければなりません。</p>
28	AAP	<p>固有アドレス受信 :</p> <p>このビットが1の場合、すべての固有アドレス・パケットを受信します。0の場合、受信パケットをアクセプトするためにCAMエントリ0-9内の受信アドレス情報のいずれかと一致しなければなりません。</p>

ビット	略称	機能
27	CMW	<p>CAM書き込み:</p> <p>このビットを1にセットするとCAM書き込みステート・マシンを起動し、CDRへの2から3の連続書き込みが可能となります。このビットはライトのみで、読み出すと常に0を返します。</p> <p>備考 CAM書き込みステート・マシンは、CAMがディスエーブルのときのみアクティブとなります (CMEN=0)。</p>
26	CMR	<p>CAM読み出し:</p> <p>このビットを1にセットするとCAM読み出しステート・マシンを起動し、CDRから2から3の連続読み出しが可能となります。このビットはライトのみで、読み出すと常に0を返します。</p> <p>備考 CAM読み出しステート・マシンは、CAMがディスエーブルのときのみアクティブとなります (CMEN=0)。</p>
25	MATSEL	<p>一致レジスタ選択:</p> <p>このビットを0にセットすると、CAMイネーブル・マスク・レジスタにCEMビット (CCRレジスタの13から0ビット) をマッピングします。このビットが1のとき、CEMビットは、CAMイネーブル一致レジスタを反映します。</p>
24-20	—	予約
19-16	CEP	<p>CAMエン트리・ポインタ:</p> <p>このフィールドは、CDRを介して読み出されたまたは書き込まれるCAM位置の4ビット・アドレスを保持します。CAMエントリは最大14個ですので (CDRレジスタの説明を参照)、0DHより大きなエン트리・ポインタ値は受け付けません。</p>
15,14	—	予約
13-0	CEM	<p>CAMイネーブル・マスク/一致:</p> <p>このレジスタは、MATSELビットの状態によって、CAMマスク・レジスタまたはCAM一致レジスタへのアクセスを可能にします。MATSELビットを0に設定された場合、このレジスタの内容は、アドレス比較に関連するCAMアドレスをイネーブルにするために使われます。1にセットされたビットが、関連するCAM位置のマスクを解除 (イネーブル) します。MATSELビットが1の場合、このレジスタは、最も最近に受信されたパケットに一致するCAMエントリを反映します。</p>

3.3.18 CAMデータ・レジスタ (CDR)

オフセット : 004CH

アクセス : リード/ライト

ハード・リセット : 00000000H

ソフト・リセット : 00000000H

CAMデータ・レジスタは、内蔵CAMフィールドに対する読み出しおよび書き込みに使用します。

ビット	略称	機能
31-16	—	予約
15-0	CDR	CAMデータ・レジスタ : 書き込み動作時に、CAMセルに書き込まれたデータおよび読み出し動作後に格納されたデータを保持します。

内蔵CAMのブロードキャストの13-10エントリに対して、読み出しまたは書き込みを行う場合、16ビット・ワードで2回アクセスします。最初のアクセス(データ・ワード0)はブロードキャスト・データ(BD)です。ブロードキャスト・データは、データ・ワード1のBTビットで定義されるブロードキャスト・パケット内の選択フィールドの比較内容を指定するために使われます。

2回目のアクセス(データ・ワード1)では、ビット15-ビット2のみが予約されているため、ビット1とビット0によって、ブロードキャスト・タイプ(BT)を示します。このブロードキャスト・タイプは、ブロードキャスト・パケット・フレーム・タイプと特定のプロトコル・フィールドを指定し、次のように定義されます。

表3-3 ブロードキャスト・データ・パケット・タイプ

BT	フォーマット	ブロードキャスト・パケット
00	イーサネットDIX	- BD15-BD0が、MACサイズ/タイプ・フィールド(パケット・バイト12, 13)と一致する場合。
01	IEEE 802.2	- MACサイズ/タイプ・フィールド(バイト12, 13)が1500以下の場合。 - BD7-BD0が802.2 DSAPフィールド(パケット・バイト14)と一致する場合。 備考 BD15-BD8は使用しません。
10	IEEE 802.2 SNAP	- MACサイズ/タイプ・フィールド(バイト12, 13)が1500以下の場合。 - 802.2 DSAP, SSAP, および制御フィールド(パケット・バイト14, 15, 16)の値が、それぞれ、AAH, AAH, 03Hである場合。 備考 BD15-BD8は使用しません。

BT	フォーマット	ブロードキャスト・パケット
11	RFC 1042	<ul style="list-style-type: none"> ・MACサイズ/タイプ・フィールド (バイト12, 13) が1500以下の場合。 ・802.2 DSAP, SSAP, および制御フィールド (パケット・バイト14, 15, 16) の値が、それぞれ、AAH, AAH, 03Hである場合。 ・OUIフィールド (パケット・バイト17, 18, 19) の値が "00 00 00" である場合。 ・BD15-BD0がSNAPヘッダ (パケット・バイト20, 21) のイーサネット/DIX プロトコル・タイプ・フィールドと一致する場合。

内蔵CAM内の物理またはマルチキャスト位置9-0の読み出し、または書き込みをした場合、16ビットのワード・データで3回アクセスします。最初のアクセスがデータ・ワード0で、3回目のアクセスがデータ・ワード2になります。

3.3.19 タイマ制御レジスタ (TCR)

オフセット : 0050H

アクセス : リード/ライト

ハード・リセット : 00000000H

ソフト・リセット : 00000000H

このレジスタは、汎用タイマを連続モードに設定し、タイマをイネーブルにして制御します。

ビット	略称	機能
31-4	—	予約
3	TRS	タイマ・カウント・リセット : このビットを1にすると、タイマのカウント値を0にリセットします。 このビットを読み出すと、常に0を返します。このビットはいつでも使用することができます。
2	MC	最大カウント : このビットが1のとき、最大カウント・レジスタ (TMR) で指定された最大カウント値までタイマがカウントしたことを示します。このビットをクリアするには、1を書き込みます。
1	CONT	連続モード・イネーブル : このビットに0が書き込まれると、タイマは、最大カウント値までカウント後、停止します (TENビットもリセットされます)。1が書き込まれると、タイマはすべて0にリセットされ、最大カウント値に到達したあともカウントを継続します (TENビットはセットされたままです)。
0	TEN	タイマ・イネーブル : このビットに1が書き込まれると、タイマ動作がイネーブルとなります。0を書き込むと、タイマは現在の状態のまま停止します。

3.3.20 タイマ最大カウント・レジスタ (TMR)

オフセット : 0054H

アクセス : リード/ライト

ハード・リセット : 00000000H

ソフト・リセット : 00000000H

このレジスタは、汎用タイマ (TCR) の最大カウント値を指定します。

ビット	略称	機能
31-0	TMR	<p>タイマ最大カウント :</p> <p>プログラマブル・タイマ (TCR) の最大カウント値を設定します。このカウント値に到達すると、タイマ回路は次のような動作を行います。</p> <ol style="list-style-type: none"> 1. TCRレジスタのMCビットがセットされます。 2. タイマ割り込みがマスク解除され、割り込みがイネーブル状態の場合、割り込みが発生します (3.3.3 割り込みステータス・レジスタ (ISR), 3.3.4 割り込みマスク・レジスタ (IMR) を参照)。 3. CONTビットがリセットされている場合、タイマは自動的に停止し、TENビットはリセットされます。CONTビットがセットされている場合、タイマは、次のクロック・エッジで 00000000H にリセットされ、カウントを継続します。

3.3.21 タイマ・カウント・レジスタ (TCTR)

オフセット : 0058H

アクセス : リード/ライト

ハード・リセット : 00000000H

ソフト・リセット : 00000000H

このレジスタは、汎用タイマ (TCR) の現在カウント値を保持します。

ビット	略称	機能
31-0	TCTR	<p>タイマ・カウント :</p> <p>10 Mbps MAC フレーム・バイト単位の 800 ns (1.25 MHz) ごとにインクリメントされるプログラマブル・タイマの現在カウント値を保持します。このカウント・レジスタ値は、いつでも読み出せますが、書き込みはタイマがディスエーブルのとき (TCRレジスタのTENビット = 0) のみ可能です。</p>

3.3.22 シリコン・リビジョン・レジスタ (SRR)

オフセット : 005CH
 アクセス : リードのみ
 ハード・リセット : 変化なし
 ソフト・リセット : 変化なし

このレジスタはシリコン・リビジョン番号を保持します。

ビット	略称	機能
31-16	—	予約。
15-8	MAJ	メジャー・リビジョン・レベル : μ PD72810Aのファースト・リリースのメジャー・リビジョンは00Hです。
7-0	MIN	マイナー・リビジョン・レベル : 現在のリリースのマイナー・リビジョンは03Hです。

3.3.23 ターゲット・テスト制御レジスタ (TTSCR)

オフセット : 0060H
 アクセス : リード/ライト
 ハード・リセット : 変化なし
 ソフト・リセット : 変化なし

このレジスタは、EEPROMのアクセスをイネーブルするとき、および全二重動作でのフロー制御におけるコリジョン信号を使用するときを使用します。

ビット	略称	機能
31-14	—	予約。読み出すと無視されます。0を書き込んでください。
13	FEA	フルEEPROMアクセス : このビットを1にすると、EEPROMのすべての領域が読み出しまたは書き込み可能となります。このビットがクリアされると、読み出しはすべての領域で可能ですが、書き込みはアプリケーションEEPROM空間 (10H-3FH) のみ可能です。
12	SB	シングル・バックオフ : このビットを1にすると、IEEE 802.3ランダム・バックオフ・アルゴリズムの代わりにIEEE 802.3で規定された1スロット・タイムで常にバックオフを行う送信バックオフ・ステート・マシンとなります。このビットが0 (デフォルト) の場合、通常の送信バックオフにより動作します。
11-0	—	予約。読み出すと無視されます。0を書き込んでください。

★

3.3.24 ENDECアクセス・レジスタ (ENDEC)

オフセット：0064H

アクセス：リード/ライト

ハード・リセット：07006002H (内部ENDECがストラッピング・オプションで選択された場合)

ハード・リセット：2F006006H (MIIがストラッピング・オプションで選択された場合)

ソフト・リセット：変化なし

このレジスタは、エンコーダ/デコーダ機能を制御します。また、メディアの選定とフィルタの補助となります。

ビット	略称	機能
31	NWAYLB	<p>NWayループバック：</p> <p>このビットを設定することで、NWayループバックがイネーブルになります。ループバック・モードはNWayブロックのリンク・パルス出力をNWayブロックのリンク・パルス入力に接続し、自己オートネゴシエーションを可能にします。ENDECや100BASE-Xロジックからのリンク信号は、NWayループバックの間、無視されます。最終的にアービトレーション・ステート・マシンの、いったんflp_link_good_checkステートになるよう、モディファイされ、さらにflp_link_goodステートへ進みます。いったんflp_link_goodステート状態になると、リセットか、mr_main_resetか、再ネゴシエーションか、NWayループバック・モード選択の解除があるまで、その状態を保持します。</p>
30	THIN	<p>10BASE2イネーブル：</p> <p>1のとき、THIN出力信号がアクティブになります。AUI経由で同軸トランシーバを接続するときに使います。</p>
29	ETSA	<p>MIIセレクト：</p> <p>1のとき、データがMIIを経由します。0のとき、データは、内蔵ENDECを経由します。ソフトウェアは、このビットを変更するたびにトランスミッタおよびレシーバをリセットしなければなりません (CRレジスタのTXRビット、RXRビットの説明を参照)。</p> <p>このビットは電源ON時、ストラッピング・オプション：D3の反転がセットされます。</p>
28	ETRST	<p>ENDECリセット：</p> <p>ライトのみ。1のとき、ENDECをリセットします。このビットは自動的にクリアされます。</p> <p>備考 ENDECは、低電力モードを解除時にリセットする必要があります。</p>
27	ELPM	<p>ENDEC低電力モード：</p> <p>1のとき、ENDECは低電力モードとなり、20 MHzクリスタルの発振が停止し、すべてのPLLとリファレンス電源からバイアスを取り除きます。このビットをクリアすると、ENDECは通常動作を行います。</p>
26	XMTFIL	<p>送信出力フィルタ：</p> <p>1のとき、送信データは、内蔵Txフィルタを経由するため、外部Txフィルタが不要となります。</p>
25	RCVFIL	<p>受信出力フィルタ：</p> <p>1のとき、受信データは、内蔵Rxフィルタを経由するため、外部Rxフィルタが不要となります。</p>
24	STP	<p>メディア選択：</p> <p>1のとき、非シールド型ツイスト・ペア・ドライバ (TXU+/-) をイネーブルにします。このビットをクリアすると、シールド型ツイスト・ペア・ドライバ (TXS+/-) がイネーブルになります。</p>

ビット	略称	機能
23	TFI	トラフィック無視： 1のとき、ENDECが、送信開始時に受信トラフィックを無視できるようにします。このため、ENDECは全二重モードで動作します。このビットが1のときは、Tx/Rxコリジョンは報告されません。
22,21	—	予約。0にしてください。
20	AUTO	オートスイッチ・ディスエーブル： 1のとき、有効なリンク・パルスの受信によってメディア・インタフェースを選択する内部ENDEC回路がイネーブルになります。このビットが0で有効なリンク・パルスが受信された場合、TPIモードが選択されます。有効なリンク・パルスが受信されていない場合、AUIモードが選択されます。
19	AUI	AUI選択： 1のとき、AUIポートがイネーブルになります。このビットを0にすると、ツイスト・ペア動作がイネーブルとなります。AUTOビットが0のときは、AUIビットは機能しません。
18,17	—	予約。0にしてください。
16	EWRAP	EWRAPイネーブル： 1のとき、ENDEC回路のループバックをイネーブルにします。
15	XWRAP	XWRAPイネーブル： 1のとき、TPI回路のループバックをイネーブルにします。
14	LNKDIS	ENDECリンク・ディスエーブル： 0のとき、TPIリンク保全チェック機能をイネーブルにします。
13	HBE	ハートビート・イネーブル： 1のとき、ハートビート信号をイネーブルにします。ハートビート信号を生成できないときに発生するSQE (Signal Quality Error) がMIBに報告されます (3.4.4 エラー送信参照)。MACが全二重動作のとき、このビットは0にリセットしてください。
12	LOWSQL	ロウ・スケルチ・セレクト： 1のとき、TPI受信スケルチ・スレッシュホールドを強制的に10BASE-T仕様よりも低くします。
11	JABEN	ジャバ・イネーブル： 1のとき、XWRAPとTFIモードのジャバをイネーブルにします。IEEE 802.3のイーサネット動作では、このビットが無視されます。
10	LBSFDEN	SFDイネーブルによるリンク： このビットがセットされると、link10bt_in_Zが有効で、有効な10 mb SFDが検出されることにより、Nwayブロックがflp_link_good状態になることを許可します。Nway仕様では、連続したNLPを見つけたあとでのみ、link_good状態にするべきであると要求しています。この方法は、Nway仕様より強化されており、ある種の接続問題の解決を支援することが可能です。たとえば、沈黙している100BASE-Xノードが、ENDECが正常リンクと解釈する信号を送っていると、不用意にリンク・パス・状態になる場合があります。
9-5	—	予約。0にしてください。
4	INIT	TPI初期化： リードのみ。1のとき、AUIモードが選択されたことを示し、TPIはリセットされます。
3	—	予約。リードのみ (値は無視されます)。
2	JABDIS	ジャバ・ディスエーブル： リードのみ。1のとき、ジャバ回路がアクティブで、現在のパケット送信が停止していることを示します。
1	HRTDIS	ハートビート・ディスエーブル： リードのみ。0のとき、ハートビート機能がコリジョンの間でディスエーブルか、TPIがリンク失敗状態であることを示します。

ビット	略称	機能
0	XMT	送信制御： リードのみ。1 のとき、リンク・パルスは送信されずに、データが送信されていることを示します。

3.3.25 ブートROMアドレス・レジスタ (MADR)

オフセット：0068H
 アクセス：リード/ライト
 ハード・リセット：FFFFFFFFH
 ソフト・リセット：FFFFFFFFH

このレジスタは、μ PD72810AがブートROMで構成される場合の (CFGレジスタのECEビット=0) , ブートROMのアドレスを保持します。μ PD72810AがブートROMではなく外部CAMで構成される場合 (CFGレジスタのECEビット=1) , このレジスタは、外部CAMのアドレス・レジスタ・アクセス・ポートとして使用されます。

ビット	略称	機能
31	AUTOINC	オートインクリメント： このビットがセットされるとADDRの内容はMDATレジスタへの32ビット・アクセスのたびに自動的にインクリメントされます。
30-16	—	予約
15-0	ADDR	ブートROMアドレス： 外部ブートROM (あるいは外部CAM) をアクセスするための16ビット・アドレスです。

3.3.26 ブートROMデータ・レジスタ (MDAT)

オフセット：006CH
 アクセス：リード/ライト
 ハード・リセット：ROMアドレス0の内容
 ソフト・リセット：ROMアドレス0の内容

このレジスタは、μ PD72810AがブートROMで構成されるとき (CFGレジスタのECEビット=0) , 外部ブートROMのアクセス・ポートとして使用されます。μ PD72810AがブートROMではなく外部CAMで構成されている場合 (CFGレジスタのECEビット=1) , このレジスタは、外部CAMのデータ・レジスタ・アクセス・ポートとして使用されます。

ビット	略称	機能
31-0	DATA	ブートROMデータ： ソフトウエアは、外部ブートROMの読み出しにおいてMADRとMDATを使います (フラッシュ・メモリが使用されている場合は、書き込み)。すべてのアクセスは32ビット幅で行われ、32ビット・バウンダリにアラインされていなければなりません。

3.3.27 MIB制御レジスタ (MIBC)

オフセット : 0070H

アクセス : リード/ライト

ハード・リセット : 00000002H

ソフト・リセット : 00000002H

MIBCレジスタはMIB情報の収集制御, ワーニング・ビットのアクセス制御, 統計ブロックのアクセス制御を行います。

ビット	略称	機能
31-6	—	予約
5	MIBMODE	MIBアクセス・モード: 1の場合, 全MIB統計に対するシングルI/Oポート・アクセスをイネーブルにします。ソフトウェアは, 最初のMIBデータ・ポート (オフセット: 0×80) へ連続的に読み出すことにより, すべてのMIB統計を検索するモードとして使います。PRSTビットでMIB統計ブロックの初期値にアクセス・ポインタをリセットできます。
4	PRST	MIBポインタ・リセット: 1にセットすると, MIBカウンタ・アクセス・ポインタがリセットされます。このビットは読み出すと, 常に0を返します。
3	—	予約。0でなければなりません。
2	ACLR	全カウンタ・クリア: 1にセットすると, すべてのカウンタを強制的に0にリセットします。このビットを読み出すと, 常に0を返します。
1	FRZ	全カウンタ停止: 1にセットすると, カウンタ値を強制的に, 現在値のままに停止し, 統計ブロックを読み出すと, 停止までのマネージメント統計が示されます。 このビットを0にすると, カウンタは通常どおりインクリメントされ, 個々のカウンタ値は, カウント動作中に読み出すことができます。
0	WRN	ワーニング・テスト・インジケータ: このフィールドはリードのみです。すべての統計カウンタが, オーバフロー・ワーニング状態になると, 1になります。このビットは, 1つ以上の統計カウンタがクリアされると, 0にクリアされます。

3.4 MIB (Management Information Base Registers)

このカウンタは、MIB II, Ether-like MIBおよびIEEE MIBといった、マネージメント仕様に準拠した統計セットを提供します。カウンタ値は、表3-4に示されるレジスタを通じてアクセスすることができます。すべてのMIBカウンタは、読み出されるとクリアされます。

μ PD72810AのMIBブロックは、次のマネージメント仕様に準拠した統計セットを提供します。

- ・ RFC 1213 (MIB II)
- ・ RFC 1398 (Ether-like MIB)
- ・ ANSI/IEEE規格802.3hレイヤ・マネージメント
- ・ ANSI/IEEE規格802.3uレイヤ・マネージメント

μ PD72810AのMIBにより標準に準拠した統計を保証するために、各送受信パケットのステータスを検査するためのノード・マネージメント・エージェント・ソフトウェアの必要性がなくなります。

しかし、μ PD72810AのMIBブロックは、上記のMIB仕様で要求される各種統計を得るための独自のハードウェア・カウンタを持ちません。ハードウェア・カウンタは、他の統計値から数学的に引き出される統計情報を省略しています。また、スペース上、μ PD72810AのMIBのカウンタのビット幅は、上記のスタンダード仕様で要求されるビット幅よりも狭くなっています。これはマネージメント・エージェント・ソフトウェアが、完全準拠統計値(ソフトウェア・カウンタ)のセットを維持し、ソフトウェア・カウンタが更新しなければならない回数を低減するためのハードウェア・カウンタを使用し、各パケットのステータスを検査するための要求を削減します。特定ハードウェア用統計カウンタのサイズは、カウント値が上記仕様で規定される理論的最高速度でインクリメントされた場合、15 ms未満でロールオーバーが発生しないように選定されています。しかし、この理論的最高速度は実際のネットワーク・トラフィックやイベントに適合しないため、ハードウェア・カウンタの実際のロールオーバー速度は数秒にとどまります。ハードウェア・カウンタは、イベントが発生するたびに、MACによって自動的に更新されます。

カウンタが最大値に達する前に、その値を読み出すのに十分な時間を確保するよう、それぞれのカウンタは割り込みスレッシュホールドを持っています。表3-4で与えられる割り込みスレッシュホールドとは、割り込みが発生するために必要な、1となるべき最上位ビットからのビット数を表しています。TXCSErrorsを例にとると、1110 0000B (E0H) が割り込みスレッシュホールドの値となります。

表3-4に、マネージメント・インフォメーション・ブロック・マップを示します。

表 3-4 マネージメント・インフォメーション・ブロック・マップ

オフセット	レジスタ名	カウンタ・サイズ (ビット)	割り込み スレッシユホールド (ビット)
0080H	RXOctetsOK	28	12
0084H	RXFramesOK	16	8
0088H	RXBroadcastPkts	8	3
008CH	RXMulticastPkts	8	3
0090H	RXErroredPkts	16	8
0094H	RXFCSErrors	8	3
0098H	RXMsdPktErrors	8	3
009CH	RXFAErrors	8	3
00A0H	RXSymbolErrors	8	2
00A4H	RXFrameTooLong	4	2
00A8H	TXOctetsOK	28	12
00ACH	TXFramesOK	16	8
00B0H	TXDeferred	16	8
00B4H	TXBroadcastPkts	8	3
00B8H	TXMulticastPkts	8	3
00BCH	TXFrames1Coll	16	8
00C0H	TXFramesMultiColl	16	8
00C4H	TXPktsErrored	16	8
00C8H	TXExcessiveCollisions	4	2
00CCH	TXExcessiveDeferral	4	2
00D0H	TXOWC	8	3
00D4H	TXSQEErrors	4	2
00D8H	TXCSErrors	8	3

μ PD72810AのMIBイベント・カウンタは次の4つのグループに分類されます。

- ・エラーなし受信
- ・エラー受信
- ・エラーなし送信
- ・エラー送信

3.4.1 エラーなし受信

カウンタ名	機 能	参 考	備 考
RXOctetsOK	オクテット (バイト) 正常受信	RFC 1213 802.3 LM	正常に受信したパケットのバイト・カウントがこのカウンタに加えられます。パケット・バイト・カウントには、アドレス、タイプ、データおよびFCSフィールドが含まれます。
RXFramesOK	フレーム (パケット) 正常受信	802.3 LM	このカウンタは、受信FIFOに正しく受信されたパケットによりインクリメントされます (ブロードキャスト、マルチキャスト、固有アドレス・パケットを含みます)。
RXBroadcastPkts	ブロードキャスト・ パケット正常受信	RFC 1213 802.3 LM	このカウンタは、ブロードキャスト・パケットが正常受信されるたびにインクリメントされます。 備考 ブロードキャスト・パケットを受け付けるためには、CAMを初期化する必要があります。
RXMulticastPkts	マルチキャスト・ パケット正常受信	RFC 1213 802.3 LM	このカウンタは、マルチキャスト・パケットが正常受信されるたびにインクリメントされます。 備考 マルチキャスト・パケットを受け付けるためには、CAMを初期化する必要があります。

3.4.2 エラー受信

カウンタ名	機能	参考	備 考
RXErroredPkts	エラー・パケット受信	RFC 1213	このカウンタは、エラーが発生したパケットを受信するたびにインクリメントされます。このカウンタ値には、ワイヤ・エラーとFIFOオーバーラン発生によってFIFOから自動的にリジェクトされたパケットが含まれています。
RXFCSErrors	CRCエラー・パケット受信	RFC 1398 802.3 LM	このカウンタは、CRCエラー・パケットが受信されるたびにインクリメントされます。 備考 MIIインタフェースでは、CRCエラーは、CRSが無効になったあとおよび偶数バイトが受信されたあとの無効CRCと定義されます。
RXMedPktErrors	FIFOオーバーランによるパケット欠け	RFC 1213 RFC 139 802.3 LM	このカウンタは、受信がデータまたはステータスFIFOのオーバーラン（バッファ空間不足）のためアポートされるたびにインクリメントされます。
RXFAErrors	フレーム・アラインメント・エラー付きパケット受信	RFC 1398 802.3 LM	このカウンタは、フレーム・アラインメント・エラー付きのパケットを受信するたびにインクリメントされます。 備考 MIIインタフェースでは、FAエラーは、CRSが無効になったあとおよび奇数ニブル（ドリブル・ニブル）が受信されたあとの無効CRCと定義されます。
RXSymbolErrors	100 Mbps動作で1つ以上のシンボル・エラー・パケットの受信	802.3 LM	このカウンタは、100 Mbps動作で1つ以上のシンボル・エラーが発生するたびにインクリメントされます。 備考 MIIインタフェースでは、シンボル・エラーは、RX_DV信号がアクティブ（有効データ送信中）に、RX_ER信号が1クロック以上アクティブになることで示されます。
RXFrameTooLong	1518バイトより長いパケット受信 (ロング・パケット)	RFC 1398 802.3 LM	このカウンタは、802.3規格で規定された1518バイトより長いパケットが受信されるたびにインクリメントされます。

3.4.3 エラーなし送信

カウンタ名	機能	参考	備 考
TXOctetsOK	オクテット (バイト) 単位正常送信	RFC 1213 802.3 LM	正常に送信された各パケットのバイト・カウントがこのカウンタに加えられます。パケット・バイト・カウントには、アドレス、タイプ、データおよびFCSフィールドが含まれます。
TXFramesOK	フレーム (パケット) 正常送信	802.3 LM	このカウンタは、パケット (ブロードキャスト、マルチキャストおよび固有アドレス・パケットを含む) が正常送信されるたびにインクリメントされます。
TXDeferred	送信パケット遅延	RFC 1398 802.3 LM	このカウンタは、アクティブ・ライン状態 (パケット1つ当たりに対して1回発生する) によって、パケット送信が遅延するたびにインクリメントされます。
TXBroadcastPkts	ブロードキャスト・ パケット正常送信	RFC 1213 802.3 LM	このカウンタは、ブロードキャスト・パケットが正常送信されるたびにインクリメントされます。
TXMulticastPkts	マルチキャスト・ パケット正常送信	RFC 1213 802.3 LM	このカウンタは、マルチキャスト・パケットが正常送信されるたびにインクリメントされます。
TXFrames1Coll	1回コリジョン・フ レーム (パケット) 正常送信	RFC 1398 802.3 LM	このカウンタは、1回のコリジョン・ウィンドウでパケットが正常に送信されるたびにインクリメントされます。
TXFramesMultiColl	1以上コリジョン・ フレーム (パケッ ト) 正常送信	RFC 1398 802.3 LM	このカウンタは、2-15回のコリジョン・ウィンドウでパケットが正常に送信されるたびにインクリメントされます。

3.4.4 エラー送信

カウンタ名	機能	参考	備 考
TXPktsErrored	エラー・パケット送信	RFC 1213	このカウンタは、送信中にエラーを検出したパケットが送信されるたびにインクリメントされます。このカウンタ値は、マニュアルやFIFOアンダーランでアポートされた送信は含みますが、16回未満のコリジョン発生のパケットは含みません。
TXExcessive Collisions	過剰コリジョンによる送信パケット・アポート	RFC 1398 802.3 LM	このカウンタは、16回のコリジョンが発生し、送信がアポートされるたびにインクリメントされます。 備考 自動送信リトライ機能がイネーブルの場合は、このカウンタは、16回のコリジョンの倍数で1回インクリメントされます。
TXExcessive Deferral	過剰遅延による送信パケット・アポート	802.3 LM	このカウンタは、過剰遅延タイマ (2.46 ms) のタイムアウトによって、送信がアポートされるたびにインクリメントされます。
TXOWC	送信中のウィンドウ外競合	RFC 1398 802.3 LM	このカウンタは、ウィンドウ外コリジョンによって送信がアポートされるたびにインクリメントされます。
TXSQEErrors	送信後SQEメッセージ (ハートビート) の喪失	RFC 1398	このカウンタは、PMDから、送信後、ハートビート信号が検出されないたびにインクリメントされます。
TXCSErrors	送信中のキャリア・センスの喪失または欠乏	RFC 1398 802.3 LM	このカウンタは、送信開始後にキャリアが検出されないか、送信中にキャリア・センスが喪失するたびにインクリメントされます。

4. バッファ管理

4.1 概 要

μ PD72810Aのバッファ管理機能は、次のような特徴を持ちます。

- ・簡素
- ・PCIバスの有効利用（バッファ管理技術による最小オーバーヘッド）
- ・CPU負荷の低減
- ・柔軟性

μ PD72810Aのバッファ管理機能は、μ PD72932、72934と似ていますが、受信アーキテクチャがより簡素なものとなっています。このバッファ管理機能では、パケット情報用に別々のバッファとディスクリプタを使用しており、送信および受信用のディスクリプタの構造は対称となっています。このようなアーキテクチャは、ソフトウェアおよびハードウェアに高い柔軟性を与えます。

送信または受信されたパケットは、送信または受信前に割り当てられたメモリ・バッファに格納されます。これらのバッファは、使用前にいつでも割り当てることができます。パケットのディスクリプタはこれらのバッファに「ポイント」を書き込まれます。ディスクリプタは、パケット1つ当たり、またはパケット・フラグメント1つ当たりで使用され、各ディスクリプタは、1つまたはそれ以上のパケット・フラグメントをセーブします。パケット自体は、1つまたは複数のフラグメントに格納されます。ディスクリプタとパケット・データは、メモリのどこにでも格納することができます（つまり、個々のディスクリプタとパケット・データ領域や、1つの大きなメモリ・ブロックを前もって割り当てる必要はありません）。

4.2 ディスクリプタ・フォーマット

μ PD72810Aの送信および受信ディスクリプタの構成は、同一フォーマットを使用します。

ディスクリプタを同一フォーマットとすることで、ブリッジやスイッチング・アプリケーションにおいて、1個の受信パケット用ディスクリプタ・リストで受信リストを送信リストに制御ソフトウェアで変更するだけで、パケット転送が可能となります。これによって、パケット・データの転送において、1つのメモリ領域から別の領域にデータを転送せずにパケット転送が可能となることで高速転送ができます。

ディスクリプタは、偶数ロング・ワード・バウンダリ（32ビット）でアラインされます。ディスクリプタは、4から18個の32ビット（ロング・ワード）フィールドで構成されます（図4-1参照）。

図4-1 ディスクリプタ・フォーマット

link
cmdsts
fragcnt0
fragptr0
...
...

link : ディスクリプタの最初のフィールドはlinkフィールドです。このフィールドは、リスト中の次のディスクリプタを示すポインタを示します。このフィールドがnull (0000 0000H) の場合、リンク・リストの最後のディスクリプタを示します。

cmdsts : ディスクリプタの2番目のフィールドは、コマンド/ステータス・フィールド (CMDSTS) です。コマンド/ステータス・フィールドはディスクリプタで処理するコマンドと、パケットの送信または受信結果として書き込まれるステータスで構成します。送信側と受信側は、共通のビット・エンコーディングを行います (表4-2参照)。

fragcnt0 : ディスクリプタの3番目のフィールドは、最初のフラグメントのフラグメント・サイズ・カウンタです。このフィールドは、フラグメントのサイズをバイトで示し、下位12ビットのみが有効です。したがって、各フラグメントは最大4096バイトです。1つのディスクリプタは、最大8個のフラグメントを持ちます。

fragptr0 : ディスクリプタの4番目のフィールドは、最初のフラグメントに対するフラグメント・ポインタです。フラグメント・ポインタはメモリ上のフラグメントの開始アドレスを示しています。各フラグメントには、1つのフラグメント・ポインタが対応します。

多重フラグメント : パケットが複数のフラグメントに分割された場合、フラグメントは4ロング・ワードより長くなります。連続する各フラグメントは、フラグメント・サイズ・カウンタとフラグメント・ポインタ・フィールドが交互に割り当てられます (すなわち、第5, 7, 9, ...フィールドはそれぞれフラグメント・サイズ・カウンタ1, 2, 3, ...となり、第6, 8, 10, ...フィールドは、それぞれフラグメント・ポインタ1, 2, 3となります)。

表 4-1 μ PD72810Aのディスクリプタ・フォーマット

オフセット	タグ	機 能
0000H	link	32ビットのリンク・フィールドです。リンク・リスト上の次のディスクリプタを示すポインタです。ディスクリプタが32ビット・バウンダリにアラインするため、ビット1, ビット0は0とします。
0004H	cmdsts	32ビットのコマンド/ステータス・フィールド (TXSRとRXSRレジスタおよび表4-2に従ってビット・エンコードされる) です。
0008H	fragcnt0	最初のフラグメントまたはバッファのサイズをバイト単位で示すカウンタです。フラグメント・カウント・フィールドの下位12ビットのみが有効です。ソフトウェアは (要求されたときのみ), このフィールドの最上位ビット (MSB) を1にして, これがディスクリプタの最後のフラグメントであることを示します。最後のフラグメント・カウンタMSBが1にセットされると, μ PD72810Aは, ディスクリプタ・バーストをできるかぎり早く切り捨てます。
000CH	fragptr0	最初のフラグメントまたはバッファを示す32ビットのポインタです。フラグメントやバッファは, どのバイト・バウンダリからでも始めることができます。
0010H	fragcnt1	2番目のフラグメントのバイト単位のサイズ (必要な場合) です。
0014H	fragptr1	2番目のフラグメントを示す32ビットのポインタ (必要な場合) です。
0018H	—	
001CH	—	

図 4-2 ディスクリプタのCMDSTSフィールド

bit(s)	31	30	29	28	27	26-12	11-0
タグ	OWN	MORE	INTR	SUPCRC	OK	(受信/送信による)	SIZE

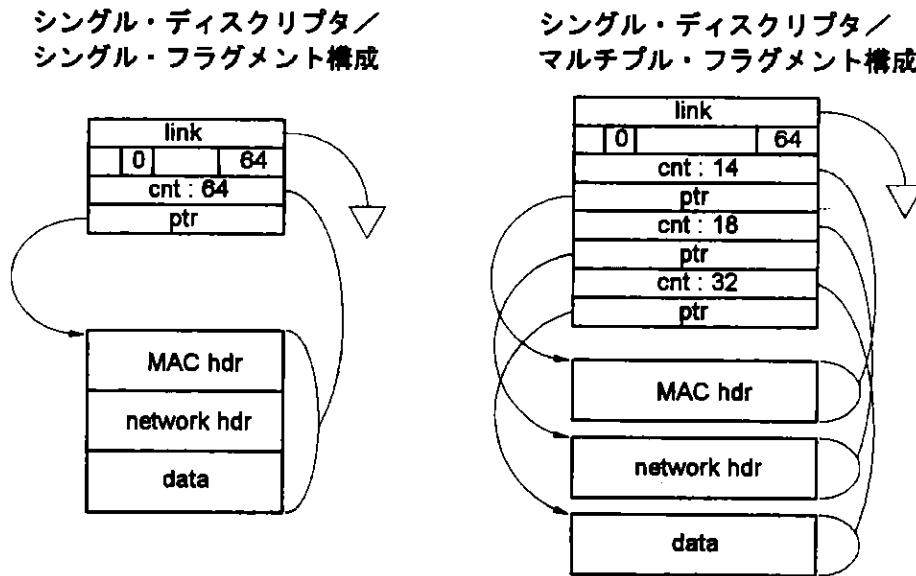
表4-2 CMDSTSフィールドの共通ビット定義

ビット	タグ	機能
31	OWN	ディスクリプタ所有権： 送信ディスクリプタにおいて、このビットが1になるとμPD72810Aがディスクリプタを所有していることを示します。受信において0になると、μPD72810Aがディスクリプタを所有していることを示します。
30	MORE	多重ディスクリプタ： ディスクリプタがパケットの最終ディスクリプタでないとき、1がセットされます（他のディスクリプタに続く）。ディスクリプタがパケットの最終ディスクリプタのとき、0がセットされます。完了ステータス・ビットは、このビットが0のときのみ有効です。
29	INTR	割り込み： ディスクリプタ割り込みを要求するとき、ソフトウェアにより1にセットします。μPD72810Aがディスクリプタの所有権をソフトウェアに戻すと、割り込みが発生します。
28	SUPCRC	CRC削除： 送信ディスクリプタでは、このビットは、MACによってCRCが付加されないことを示しています。受信ディスクリプタでは、CRCがパケット長に含まれ、ハードウェアによって、最後のフラグメント・バッファに終わりまでコピーされたことを示します。
27	OK	パケットOK： パケットの最終ディスクリプタでは、このビットは、パケットが正常に送信または受信されたことを示します。
26-12	—	これらのビットの使用方法は、送信と受信ディスクリプタでは異なります（TXSRとRXSRレジスタの詳細説明は、3.3.10 送信ステータス・レジスタ（TXSR）と3.3.14 受信ステータス・レジスタ（RXSR）を参照）。
11-0	SIZE	ディスクリプタ・バイト・カウント： ディスクリプタによって記述されたデータのサイズをバイトで表します（フラグメント・サイズ・カウンタの総和）。μPD72810Aは、この値からカウントダウンを開始しカウント値が0になるまでフラグメント処理をします。ディスクリプタ・キャッシュに転送されたフラグメント数よりもこのフィールドの示すフラグメント数が大きい場合、μPD72810Aはエラーが発生します。最終フラグメントのバイト数が、残りのディスクリプタ・カウント値よりも大きい場合は、エラーとはなりません。つまり、ディスクリプタのサイズは、フラグメント・カウント値の総和と等しくする必要はありません。

4.2.1 シングル・ディスクリプタ・パケット

シングル・ディスクリプタでのパケットを表すために、CMDSTSフィールドのMOREビット（ビット30）は0にセットされます（図4-3を参照）。これによって、このディスクリプタが最終ディスクリプタであり、パケットに対する唯一のディスクリプタであることを示します。しかし、パケットは、複数のフラグメントに存在することもあります（図4-3を参照）。μPD72810Aは、1つのディスクリプタで最大8個のフラグメントをサポートします。

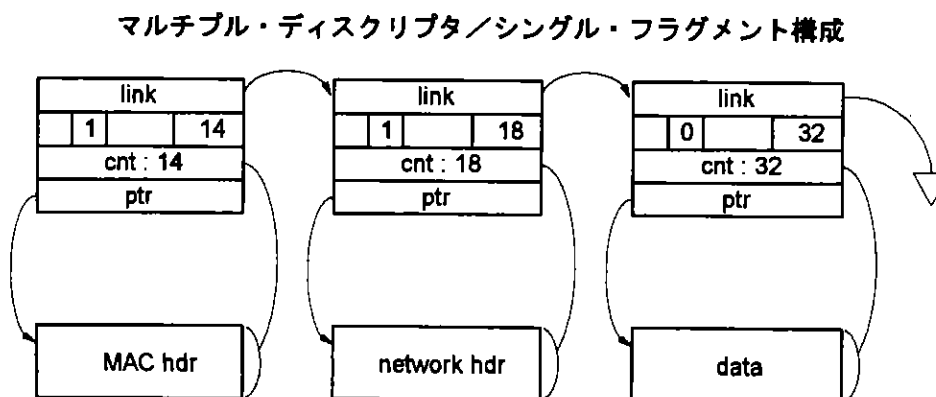
図4-3 シングル・ディスクリプタ・パケット



4.2.2 マルチプル・ディスクリプタ・パケット

1つのパケットが、ディスクリプタ境界を超える場合もあります。この場合は、パケットの最終ディスクリプタを除くすべてのディスクリプタのMOREビット（CMDSTSフィールドのビット30）を1にセットすることでリンクされます（図4-4参照）。ブリッジ、スイッチ、ルータなどのインターネット機器では、メモリの最適化のために、受信ディスクリプタ1つに対して小バッファでの使用を可能とし、受信パケットを格納するために最小バッファ・サイズで使用できるようなハード構成を可能にします。

図4-4 マルチプル・ディスクリプタ・パケット

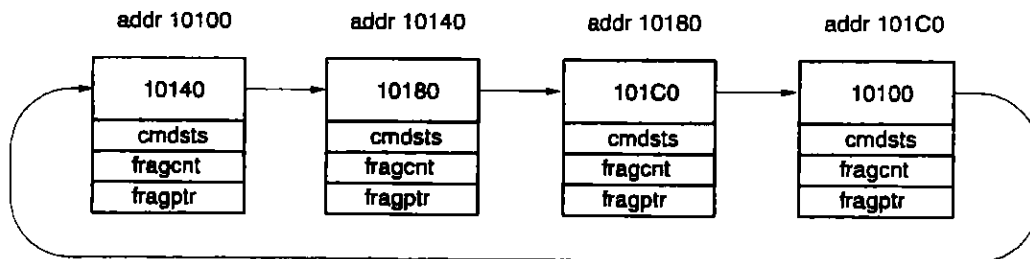


4.2.3 ディスクリプタ・リスト

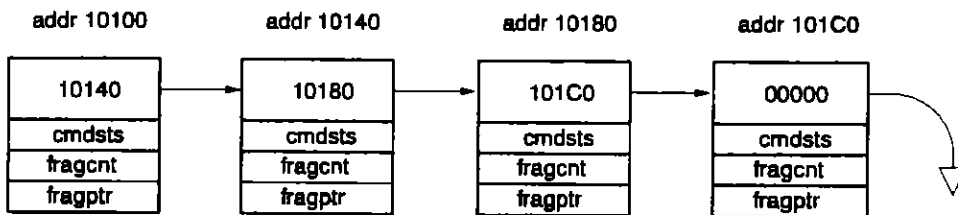
パケット・ディスクリプタは、リンク・フィールドを使ってリンク・リストとして構成されます。これによって、設計者はシステム設計における柔軟性を得ることができます。リスト上の最終ディスクリプタを、最初のディスクリプタとリンクしたり、他のリストのディスクリプタとリンクすることにより（ディスクリプタのシリアル・チェーン）、ディスクリプタのリング形式が可能です（図4-5参照）。リンクするディスクリプタの数に制限はありません。したがって、ディスクリプタのリストは、いかなるパケット数またはパケット・フラグメント数でも表すことができます。

図4-5 リング・ディスクリプタおよびリンク・リスト構成

(a) リング構成されたディスクリプタ



(b) リンク・リスト構成されたディスクリプタ



4.3 送信アーキテクチャ

μ PD72810Aの送信アーキテクチャは、処理する情報が最小になるように設計されています。データは、1つのパケットまたは複数フラグメントに分割されたパケットとして、ディスクリプタによって参照されます。これは、データ・アクセスの高速化、最小限での処理（または転送）を行うことを可能とします。情報を転送する必要がある場合、この転送は、バースト転送やDMAで行います。転送データ処理を特徴付けるためのカスタム構成は、送信コンフィギュレーション・レジスタ (TXCFG) (3.3.8 送信コンフィギュレーション・レジスタ (TXCFG) 参照) で行います。

μ PD72810Aは、送信FIFO (TxFIFO) からのパケット・データの送信効率を高めるために、送信FIFOドレーン (DRTH) と送信FIFOフィル (FLTH) の2つのスレッシュホールドを使います。DRTHは (TXCFGレジスタのDRTHフィールド)、パケット送信でTxFIFOからのデータ送出を始める前のFIFOのレベルを決定します。TxFIFOに完全なパケットがあればこのスレッシュホールドに満たなくても送信は開始されます。

FLTH (TXCFGレジスタのFLTHフィールド) は、データをフェッチするためにバス要求のスレッシュホールドを決定します。

大量のパケット・データを高速に転送するためにDMAが使われます。μ PD72810Aは、送信ディスクリプタ・フラグメント・ポインタで示されるパケット・データを、DMA転送によって、システム・メモリからTxFIFOに転送します。送信DMAデータのバーストの最大サイズは、TXCFGレジスタのMXDMAフィールドに設定します。

μ PD72810Aは、TxFIFOが一杯になるまで、バスとデータ転送を繰り返し要求します。

DMAを容易にするために、パケット・ディスクリプタはパケット・データから分離されます。μ PD72810Aは、システム・メモリから送信ディスクリプタ・キャッシュ (TxDescCache) にパケット・ディスクリプタを読み出します。TxDescCacheは、最大8個のフラグメントのカウンタとポインタ、および送信ディスクリプタ・ポインタ (リンク) とコマンド/ステータス (CMDSTS) フィールドを持つ送信ディスクリプタ (合計18ロング・ワード) を維持するために十分な容量があります。1回のバス・アクセスでトランザクションが完了するように、送信ディスクリプタは、TxDescCacheにバースト・モードで転送されます。パケット・データが分割されるフラグメントの最大数 (パケット・ディスクリプタ1つ当たりに対する) は、TXCFGレジスタのMXFフィールドで定義されます。

パケット・ディスクリプタの高速バースト・モード転送を実現するために、送信ディスクリプタ・アドレスが送信ディスクリプタ・ポインタ (TXDP) レジスタに書き込まれます。ウィンドウ内コリジョンの場合、μ PD72810Aはパケットの再送信を試みます。送信がリトライされる回数は、TXCFGレジスタのTXRRフィールドで定義されます。

4.3.1 送信ステート・マシン

1つまたは、一連のパケットを送信するために、送信ステート・マシンは、次に示す7つのステートにより実行します。

txIdle	送信ステート・マシンはアイドル状態。
txDescRefr	PCIバスからの、完全なディスクリプタのリンク・フィールドのリフレッシュ転送を待っている状態。
txDescRead	PCIバスからTxDescCacheへのディスクリプタの転送完了を待っている状態。
txFifoBlock	TxDATAFIFOの空きスペースが、TxFillThreshold (TXCFGレジスタのFLTHフィールドで定義された) になるのを待っている状態。
txFragRead	PCIバスから、TxDataFIFOへフラグメント (または、フラグメントの一部) が転送されるのを待っている状態。
txDescWrite	中間の送信ディスクリプタのCMDSTSフィールド (CMDSTSフィールドのMOREビット=1) の、ホスト・メモリへの書き込み完了を待っている状態。
txAdvance	現在のディスクリプタのリンク・フィールドを調べ、リンク・フィールドがNULLでなければ、次のディスクリプタに進む (このステートは一時的なものです)。

また、送信ステート・マシンは、次の内部データ空間を操作します。

TXDP	現在の送信ディスクリプタを示す32ビットのレジスタ (3.3.7 送信ディスクリプタ・ポインタ・レジスタ (TXDP) を参照)。
Flag	現在の送信ディスクリプタが完了し、ドライバに所有権が移行したとき (TXSRレジスタのOWNビットで示される) にセットされる内部ビット・フラグ。このフラグは、TXDPレジスタに新しい値がロードされる (ステート・マシンまたはドライバによって) と、クリアされる。
TxDescCache	サポートされた最大送信ディスクリプタのサイズに等しい内部データ空間 (最大18ロング・ワード)。
descCnt	現在のディスクリプタに残っているバイト数。
fragCnt	現在のフラグメントに残っているバイト数。
fragPtr	現在のフラグメントの次の未読み出しバイトを示すポインタ。
txFifoCnt	TxDATAFIFO中の現在のデータ量 (バイト数)。
txFifoAvail	TxDATAFIFO中の現在の空きスペース量 (TxDataFIFO-txFifoCntのサイズ)。

送信ステート・マシンの入力には、次のイベントが含まれています。

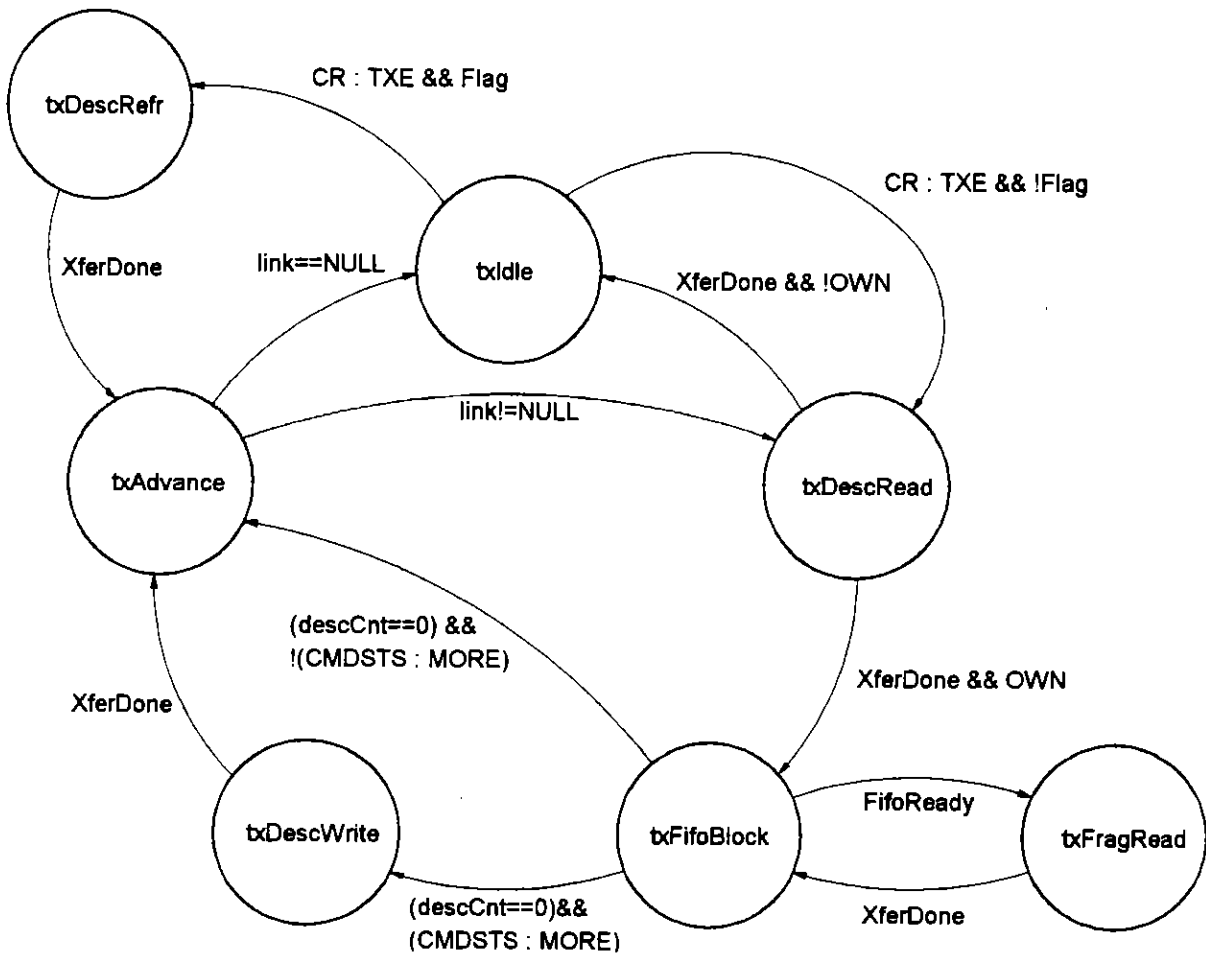
CR : TXE	ドライバがコマンド・レジスタのTXEビットをアクティブにする (3.3.2 コンフィギュレーション・レジスタ (CFG) 参照)。
XferDone	PCIバス転送要求の完了。
FifoReady	txFifoAvailがtxFillThresholdより大きい。

表 4-3 送信ステート

ステート	イベント	次ステート	動作
bddle	CR : TXE&& ! Flag	txDescRead	TXDPによって示されるアドレスの、TXCFGによって長さを指定されたディスクリプタのバースト転送を開始。
	CR : TXE&&Flag	txDescRefr	現在のディスクリプタのリンク・フィールドをリフレッシュするためにバースト転送を開始。
txDescRefr	XferDone	txAdvance	
txDescRead	XferDone&&OWN	txFiroBlock	
	XferDone&&IOWN	bddle	ISRレジスタのTXIDLEビットをセット、CRレジスタのTXEビットをリセット。
txFiroBlock	FiroReady	txFragRead	fragPtrからTxDataFIFOにバースト転送を開始。データ長は、txFifoAvail, fragCntまたはdescCntの最小値。結果によって、fragCntとdescCntをデクリメント。fragCnt = 0ならば、txDescCacheの次のフラグメントに進む。
	(descCnt == 0) && (CMDSTS : MORE)	txDescWrite	メモリのディスクリプタにステータスを書き戻すため、バースト転送を開始。CMDSTSフィールドのOWNビットはクリア。
	(descCnt == 0) && ! (CMDSTS : MORE)	txAdvance	TXDPの値のTxDataFIFOへの書き込み。
txFragRead	XferDone	txFiroBlock	
txDescWrite	XferDone	txAdvance	
txAdvance	link! = NULL	txDescRead	TXDP <- txDescCache : link, Flagをクリア。TXDPによって示される、TXCFGレジスタのMXFフィールドで指定されるデータ長でバースト転送を開始。
	link == NULL	bddle	Flagをセット。ISRレジスタのTXIDLEビットをセット。CRレジスタのTXEビットをリセット。

★

図 4-6 送信状態図



4.3.2 送信データ・フロー

μ PD72810Aの送信アーキテクチャは、パケット送信において次のようなステップで実行されます。

1. デバイス・ドライバが上位レイヤからパケットを受信します。
2. 使用可能なμ PD72810A送信ディスクリプタを割り当てます。フラグメント情報は、NOS対応データ・ストラクチャからμ PD72810Aの送信ディスクリプタにコピーされます。
3. ドライバは、このディスクリプタを送信待機中の送信ディスクリプタの内部リストに追加します。
4. 内部リストが空であれば（このディスクリプタは、残ったパケットを表しているだけ）、ドライバは、TXDPレジスタをディスクリプタのアドレスに設定します。
5. ドライバは、送信ステート・マシンをアクティブとするために、CRレジスタのTXEビットをセットします。
6. アイドル状態の場合、送信ステート・マシンは、TxDescCacheにディスクリプタを読み込みます。
7. その後、送信ステート・マシンは、ディスクリプタに記述されたフラグメント中を移動し、TxDataFIFOにデータを書き込みます。ハードウェアは、アラインメントがない状態を仮定し、バイト・アラインメントのあらゆるフェーズを行います。フラグメントは、どのバイト・アドレスからでも開始/終了できます。送信ステート・マシンは、フラグメント・ポインタとカウンタを使って、TxDataFIFOをフルにします。
また、現在のディスクリプタのCMDSTSフィールドのMOREビットとSIZEフィールドを使って、パケット・バウンダリがいつ発生したのかを検出します。
8. パケットの送信を完了した場合（正常、異常完了にかかわらず）、ステート・マシンは、メイン・メモリ内の現在のディスクリプタのCMDSTSフィールドを更新し（1つの32ビット・ワードをバス・マスタすることによって）、所有権を放棄し（OWN=0）、パケット完了ステータスを報告します。
パケット送信において複数のディスクリプタを用いた場合、完了ステータスは、最終ディスクリプタを更新します。この場合、中間のディスクリプタはOWNビットのみが書き換えられます。
9. ディスクリプタのリンク・フィールドがゼロでない場合、ステート・マシンは、次のディスクリプタに進み、同様な処理を続けます。
10. リンク・フィールドがNULLの場合、送信ステート・マシンはアイドル状態に戻り、TXDPレジスタに書き込みが行われるか、CRレジスタのTXEビットがセットされるのを待ちます。TXDPレジスタに書き込みが行われた場合、Flagはクリアされます。TXEビットがセットされたとき、ステート・マシンはFlagをチェックします。Flagがセットされていれば、ステート・マシンは現在のディスクリプタのリンク・フィールドをリフレッシュします。その後、ステート・マシンは、リストの最後に付け加えられた、新しいディスクリプタのリンク・フィールドに進みます。Flagがクリアされている（TXDPレジスタに書き込みが行われたことを意味する）場合、ステート・マシンは、TXDPによって示されるディスクリプタを読み込み処理を開始します。

4.4 受信アーキテクチャ

受信アーキテクチャは、可能なかぎり送信アーキテクチャと対称です。

μ PD72810Aの受信アーキテクチャは、情報の処理が最小となるようにできています。データは、1つのパケットまたは複数フラグメントに分割され、ディスクリプタによって参照されます。これは、データの高速度アクセス、最小限での処理（または転送）を行うことを可能とします。情報が転送される場合、この転送は、バースト転送やDMAといった方法で行われます。受信データ処理における条件設定は、受信コンフィギュレーション・レジスタ（RXCFG）（3.3.12 受信コンフィギュレーション・レジスタ（RXCFG）を参照）で行います。

受信バッファ・マネージャは、ディスクリプタ・アドレスをプリフェッチして、入力パケットに備えます。

受信FIFO（RxFIFO）が受信したデータの量が、受信FIFOドレーン・スレッシュホールド（DRTH）で定義されたレベルになった場合、受信バス・マスタ・ステート・マシンは、DMAによって、RxFIFOからシステム・メモリにデータ転送を開始します。RxFIFOに完全なパケットがある場合は、RXCFGレジスタのDRTHフィールドで指定されたスレッシュホールドに満たなくても、転送は開始されます。RxFIFOからホスト・メモリへのDMA転送は、RXCFGレジスタのMXDMAフィールドを使って、レシーバの最大DMAバースト・サイズを指定することによって制限できます。

データが受信されると、受信ディスクリプタ・キャッシュ（RxDescCache）にディスクリプタが生成されます。一度データがホスト・メモリに転送されると、RxDescCacheの受信ディスクリプタは、1回のバス・アクセスでホスト・メモリに（バースト・モードで）転送されます。受信ディスクリプタは、以前受信ディスクリプタ・ポインタ・レジスタ（RXDP）にロードされていたメモリ領域に書き込まれます。

1つのディスクリプタでアクセスできるフラグメント数は、RXCFGレジスタの最大フラグメント（MXF）フィールドで設定することができますが、絶対最大数は8個です。1つの受信データ・パケットは、ホスト・メモリ内の、1つのディスクリプタで参照される1つのフラグメント、1つのディスクリプタで参照される複数のフラグメント、または複数のディスクリプタで参照される複数のフラグメントに配置できます。

4.4.1 受信ステート・マシン

1つまたは、一連のパケットを受信するために、受信ステート・マシンは、次に示す7つのステートを順番に実行します。

rxIdle	受信ステート・マシンはアイドル状態。
rxDescRefr	PCIバスからの、完全なディスクリプタのリンク・フィールドのリフレッシュ転送を待っている状態。
rxDescRead	PCIバスからRxDescCacheへのディスクリプタの転送完了を待っている状態。
rxFifoBlock	RxDataFIFOのデータ量が、RxDrainスレッシュホールドになるか、RxDataFIFOに完全なパケットが格納されるのを待っている状態。
rxFragWrite	RxDataFIFOから、PCIバスを介して、データがホスト・メモリに転送されるのを待っている状態。
rxDescWrite	受信ディスクリプタのCMDSTSフィールドが、メモリに完全に書き込まれるのを待っている状態。

また、受信ステート・マシンは、次の内部データ空間を操作します。

RXDP	現在の受信ディスクリプタを示す32ビットのレジスタ（3.3.11 受信ディスクリプタ・ポインタ・レジスタ（RXDP）参照）。
Flag	現在の受信ディスクリプタが完了し、ドライバに所有権が返還されたとき（RXSRレジスタのOWNビットで示される）にセットされる内部フラグ。このフラグは、（ステート・マシンまたはドライバによって）RXDPレジスタに新しい値がロードされると、クリアされます。
RxDescCache	サポートされた最大受信ディスクリプタのサイズに等しい内部データ空間（最大18ロング・ワード）。
descCnt	現在のディスクリプタで記述されるすべてのフラグメントの受信データを格納するために利用可能なバイト数。
fragCnt	現在のフラグメントに残っているバイト数。
fragPtr	現在のフラグメントの次の未書き込みバイトを示すポインタ。
rxPktCnt	RxDataFIFOのパケット数。MAC（FIFOのフィル・サイド）によってインクリメントされ、パケットが処理されるに従って、受信ステート・マシンによってデクリメントされます。
rxPktBytes	RxDataFIFOから転送される現在のパケットのバイト数（実際は、RxDataFIFOに現在あるパケットのバイト数）。

備考 FIFOのサイズを上回るパケットの場合は、この値はFIFOサイズより大きくなりません。

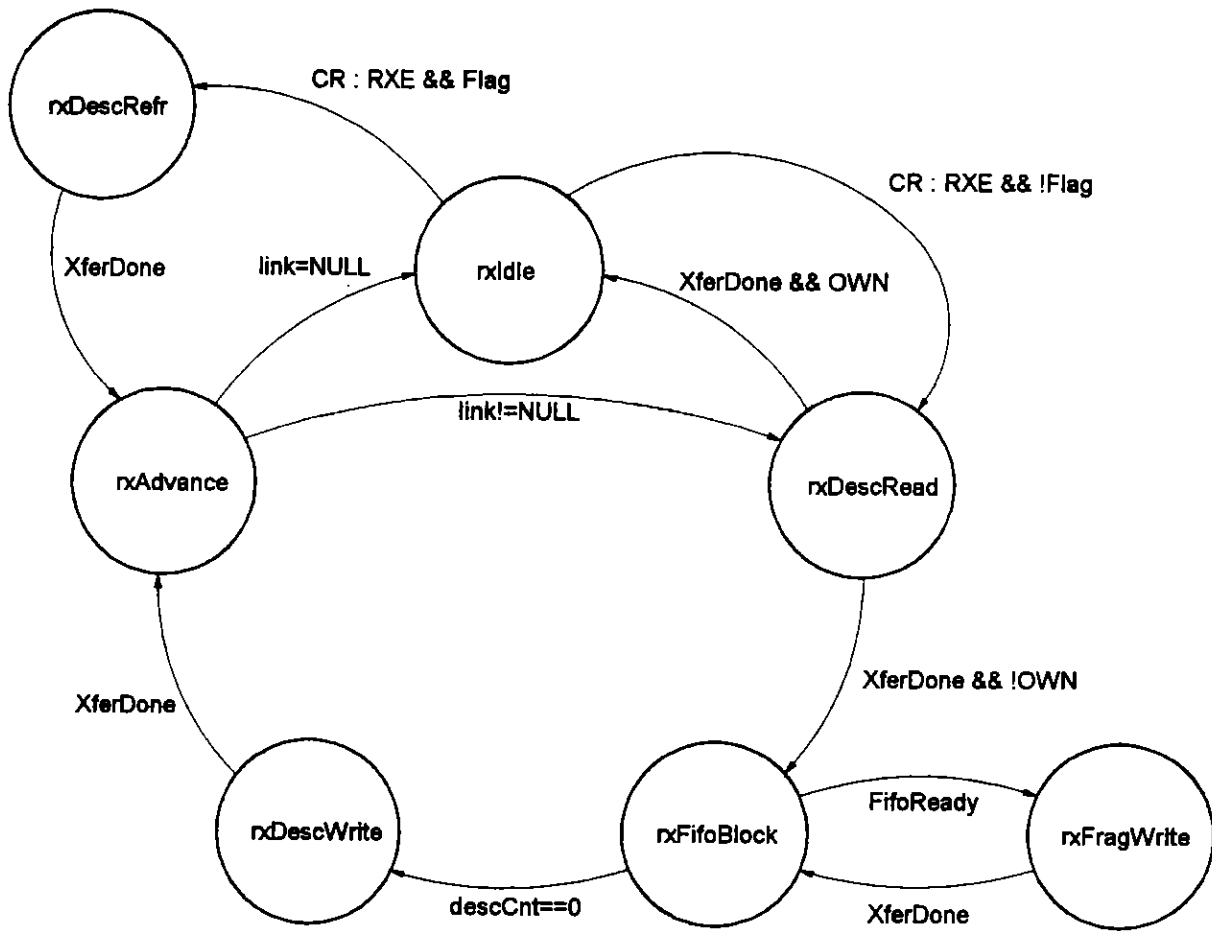
受信ステート・マシンへの入力は、次のイベントが含まれています。

CR : RXE	コマンド・レジスタにRXEビットがセットされます。
XferDone	PCIバス転送要求の完了。
FifoReady	RxDataFIFOに完全なパケットが存在（サイズは無関係）するか、RxDataFIFOのバイト数がRxDrainスレッシュホールドよりも大きい場合、RxDataFIFOのデータを吐き出す準備が完了します。つまり、（rxPktCnt>0）または（rxPktBytes>rxドレーン・スレッシュホールド）

表 4-4 受信ステート・マシン

ステート	イベント	次ステート	動作
nddle	CR : RXE&&!Flag	rxDescRead	RXDPによって示されるアドレスの, RXCFGレジスタのMXFフィールドによって長さを指定されたディスクリプタのバースト転送を開始。
	CR : RXE&&Flag	rxDescRefr	現在のディスクリプタのリンク・フィールドをリフレッシュするためにバースト転送を開始。
rxDesRefr	XferDone	rxAdvance	
rxDesRead	XferDone&&!OWN	rxFiroBlock	
	XferDone&&OWN	nddle	ISRレジスタのRXIDLEビットをセット, CRレジスタのRXEビットをリセット。
rxFiroBlock	FiroReady	rxFragWrite	fragPtrで, RxDataFIFOからホスト・メモリにバースト転送を開始。データ長は, rxPktBytes, fragCntまたはdescCntの設定値の最小値。結果によって, fragCntとdescCntをデクリメントする。fragCnt==0のとき, rxDescCacheの次フラグメントに進む。
	descCnt == 0	rxDescWrite	ディスクリプタにステータスを書き戻すため, OWNビットとMOREビットをセットして, バースト転送を開始します。パケットは, 次のディスクリプタに続く。
rxFragRead	XferDone	rxFiroBlock	
rxDescWrite	XferDone	rxAdvance	
rxAdvance	link! = NULL	rxDescRead	RXDP<-rxDescCache : link, Flagをクリア。RXDPによって示される, RXCFGレジスタのMXFフィールドで指定されるデータ長でバースト転送を開始。
	link == NULL	nddle	Flagをセット。ISRレジスタのRXIDLEビットをセット。CRレジスタのTXEビットをリセット。

図4-7 受信ステート図



4.4.2 受信データ・フロー

バス・マスタ・アーキテクチャにおいて、受信パケットの受信バッファ数とディスクリプタ数は、μ PD72810Aが初期化されたときにあらかじめ割り当てられます。

この割り当てられるバッファやディスクリプタの数によって、割り込み待ち時間に対するシステムの許容範囲は、直接影響を受けます。割り当てられるバッファが多ければ、受信ディスクリプタの処理が遅れたり、獲得されている場合、システムは、受信パケットを失うことなしに、バースト入力を持続することができます。パケットの受信は、次のステップに基づいて行われます。

1. パケットの受信に先立ち、受信バッファは受信ディスクリプタ・リスト（またはリング）に記述されます。各ディスクリプタは、ドライバがCMDSTSレジスタのOWNビットをクリアしてハードウェアに所有権を割り当てます。送信ディスクリプタと同様、受信ディスクリプタも1つまたは複数のバッファを定義します（フラグメントとも言います）。
2. リスト中の最初のディスクリプタのアドレスが、RXDPレジスタに書き込まれます。受信したパケットは、使用可能なバッファに格納されます。アプリケーションによっては、1つのパケットが、複数の受信バッファを使用することもあります。
3. CRレジスタのRXEビットをセットすると、デバイスは強制的に最初のディスクリプタをRxDescCacheに読み込みます。
4. RxDataFIFOにデータが入力されるたびに、受信バッファ・マネージメント・ステート・マシンは、ディスクリプタで定義された最初の受信バッファにデータを格納します。この処理は、パケットの終了か、ディスクリプタのディスクリプタ・バイト・カウント値に達するまで続きます。パケットが最初のバッファよりも大きい場合は、次のバッファに進みます。
5. パケットの終了時、OWNとMOREビットを書き込み、MACで示される受信ステータス・ビットを更新することにより、（メイン・メモリの）ディスクリプタのステータスを更新します。ディスクリプタ・バイト・カウント値となり、MOREビットがセットされたら、次のディスクリプタに進み、パケット受信を続けます。MOREビットがクリアされた場合は、現在のパケットに残存するすべてのデータを破棄し、最終パケット・サイズ（破棄されたバイトを含む）とステータスで、CMDSTSフィールドを更新します。いずれの場合においても、ハードウェアはCMDSTSフィールドのMOREビットをクリアします。これによって、ディスクリプタがパケットの最終フラグメントを保持し、有効受信ステータスが書き込まれたことを示します。ステータス・ビットは、（MOREビットがクリアされた）パケットの最後のディスクリプタのみ有効です。
6. ディスクリプタのリンク・フィールドが0でない場合、ステート・マシンは次のディスクリプタに進み、次のパケットを待ちます。
7. リンク・フィールドがnullの場合は、受信ステート・マシンはアイドル状態に戻り、RXDPレジスタへの書き込みが行われるか、CRレジスタのRXEビットがセットされるのを待ちます。RXDPレジスタに書き込みが行われた場合、Flagはクリアされます。RXEビットがセットされたとき、ステート・マシンはFlagをチェックします。Flagがセットされていれば、現在のディスクリプタのリンク・フィールドをリフレッシュします。その後、ステート・マシンは、リストの最後に付け加えられた、新しいディスクリプタのリンク・フィールドに進みます。Flagがクリアされている場合（RXDPレジスタに書き込みが行われたことを意味します）、ステート・マシンは、TXDPレジスタによって示されるディスクリプタを読み込み、処理を開始します。

受信バッファ・マネージメント・ステート・マシンはパケット受信中に、ディスクリプタが不足を検出した場合、FIFOがオーバフローし、ドライバはRXOVRエラーの割り込みを受けます。

5. ブートROM

5.1 概 要

μ PD72810Aは、オペレーティング・システムのロードをコンフィギュレーション可能にするための、ブートROMをサポートするインタフェースを持っており、これによりディスクレス・ワークステーションにおいてブートが可能になります。

5.2 ブートROMに必要な条件

ブートROMは8ビットのワード・ポート、16ビットのアドレス・ポートおよび64 Kバイトの空間をもっていなければならない。

5.2.1 ブートROMインタフェース

ブートROMインタフェースは、外部CAMインタフェースとマルチプレクスされています（表5-1を参照）。

表 5-1 ブートROM/CAM端子マッピング

端子番号	ブートROMインタフェース機能	ブートROM端子名	CAMインタフェース機能	CAM端子名
74	ブートROM選択	ROMSEL = 0	CAMインタフェース選択	ROMSEL = 1
72	ブートROM書き込み	WR = 0	CAMエントリ書き込み	WR = 0
73	ブートROM出カインープル	OE = 0	CAM出カインープル	OE = 0
81-75	ブートROMアドレス	A7-A0	CAMアドレス	A7-A0
71-69, 66-62	ブートROMデータ	D7-D0	CAMデータ	D7-D0
92	ブートROMアドレス	A15	パケット・リジェクト	PREJ
91	ブートROMアドレス	A14	パケット・フレーム	PKTFRM
90	ブートROMアドレス	A13	パケット有効	PKTVD
89	ブートROMアドレス	A12	パケット・クロック	ECCLK
88-86, 83	ブートROMアドレス	A11-A8	パケット・データ	ECD3-ECD0

μ PD72810AとブートROM間のインタフェースは、チップ・セレクト信号、アウトプット・インープル信号およびライト/リード信号を用いた、シンプルな2バイト・アドレスによるバイト幅データのアクセスになっています。インタフェースは次のような構成となります。

- A15-A0端子 : ワード幅のROMアドレス
- D7-D0端子 : バイト幅のROMデータ
- OE端子 : ROMデータ・アウトプット・インープル信号
- ROMSEL端子 : ブートROMのチップ・セレクト信号
- WR端子 : ROMデータのライト信号

μ PD72810Aは、ブートROM/CAMインタフェース上でROMSEL = 0に初期設定することによって、ROMへのライトを開始します。次にμ PD72810Aは、OE = 1にすることによりデータ・ピンがドライブされていない状態を、確実にします。次にμ PD72810Aはアドレスとデータをそれぞれ対応したバス (A15-A0およびD7-D0) にのせます。最後にμ PD72810Aは、ライト信号 (WR = 0) のストロープにより、ROMへのライトを可能にします。

ROMからのリードを開始するために、μ PD72810Aは、ブートROM/CAMインタフェース上でROMSEL = 0に初

期設定します。次にμPD72810Aは、ライト信号 ($\overline{WR}=1$) をインアクティブの状態に保持することで、リード動作を確実にします。次にμPD72810Aはアドレスをアドレス・バス (A15-A0) にのせます。最後にμPD72810Aは、リード・イネーブル信号 ($\overline{OE}=0$) をアクティブにすることで、ROMにデータ・バスをドライブさせ、データ・バス (D7-D0端子) の値をリードします。

5.2.2 ブートROMアクセス

ブートROMインタフェースへのアクセスを可能にするためには、いくつかのレジスタでデフォルト値とは違う定義を行う必要があります。

PCIコンフィギュレーション空間にあるブートROMコンフィギュレーション・レジスタ (CFGROM) を設定しなければなりません。ROMベース・アドレス (ROMBASEフィールド) はブートROMのベース・アドレスに設定されなければなりません。ROMサイズはROMSIZEフィールドに書き込まれなければなりません。μPD72810Aでは、64 Kバイトになります。最後にROMイネーブル・ビット (ROMEN) をセットしなければなりません。

μPD72810Aのオペレーショナル空間にあるコンフィギュレーション・レジスタは、ブートROMを選択するよう設定する必要があります。マルチプレクスされたブートROM/CAMインタフェースをブートROM用に設定するために、外部CAMイネーブル・ビット (ECE) を0にセットしなければなりません。

CFGレジスタのECEビットを0にした上で、ブートROMへアクセスするロケーションは、ブートROMアドレス・レジスタ (MADR) に書き込まれ、ブートRAMへ書き込まれるデータは、ブートROMデータ・レジスタ (MDAT) に書き込まれます。

6. バウンダリ・スキャン・テスト・アクセス・ポート (JTAG)

(お客様のご要求により、本機能をサポートすることができます。)

6.1 概 要

μPD72810Aはバウンダリ・スキャン・テストを容易にするために、IEEE 1149.1バウンダリ・スキャン・テスト・アクセス・ポート (JTAG) を備えています。JTAGは入出力端子ごとに配置されたスキャン・セルを使うための、ドライブおよびセンス能力を供給します。

詳細に関してはIEEE 1149.1 (バウンダリ・スキャン) スタンダードを参照してください。

このモードでは、内部システム・ロジックのステートにかかわらず、ロジック状態は出力スキャン・セルに強制されます。それぞれの入力スキャン・セルもまた、入力端子のロジック状態をセンスすることが可能です。

テスト回路はTAPコントローラ、命令レジスタ、およびバウンダリ・スキャン、バイパス、IDCODEレジスタを含むデータ・レジスタ群から構成されます。

6.2 テスト・アクセス・ポート・コントローラ信号

バウンダリ・スキャン・セルをコントロールするために、各ICに配置されたテスト・アクセス・ポート (TAP) コントローラを使います。μPD72810AのTAPは、5本の専用テスト端子を備えています。

TCK	: テスト回路に対するクロック
TMS	: TAP動作を制御するための信号
TDI	: テスト回路へのテスト・インストラクションおよびデータのシリアル・データ入力
TDO	: テスト回路からのテスト・インストラクションおよびデータのシリアル・データ出力
$\overline{\text{TRST}}$: TAPコントローラへの非同期リセット

TAPコントローラは、μPD72810Aのパワーオン時、その状態が不定であるため、必ずリセットしなければなりません。テスト回路は $\overline{\text{TRST}}$ の立ち下がリエッジを入力するか、またはTMSハイ・レベルに保ったままでTCKの立ち上がりエッジを5回入力したあと、リセットされます。

★ TAPテスト端子TDI, TMS, $\overline{\text{TRST}}$ は、10 kΩのプルアップ抵抗を内蔵しています。 $\overline{\text{TRST}}$ 信号はJTAGを使用しないとき、すなわち通常動作 (非テスト) 時には、ロウ・レベルに固定しておく必要があるため、 $\overline{\text{TRST}}$ 端子には4.7 kΩのプルダウン抵抗を接続する必要があります。

TAPへの入力はTCKの立ち上がりエッジで取り込まれ、出力はTCKの立ち下がリエッジで送出されます。

6.3 命令セット

TAPは、接続確認やプロセス欠陥の検出、および共通テスト方法を促進するために命令セットを備えています。4ビットの命令レジスタには、命令キャプチャとして0101で表される値がロードされなければなりません。命令とコードは次のとおりです。

EXTEST [0000]

ICの出力端子に強制的にベクタを出力させ、入力端子に現れた結果を取り込みます。ICの外部回路 (ボード上の接続など) がテストされます。命令実行中、バウンダリ・スキャン・レジスタはTDI-TDO間に接続されず。

SAMPLE/PRELOAD [0001]

すべての信号の状態をサンプリングします。また他のテスト命令で使うためのデータをプリロードします。

BYPASS [1111]

TDI-TDO間にシングル・ビット・シフトレジスタを接続し、内部スキャン・セル・チェーンをバイパスします。

INTEST [0010]

バウンダリ・スキャン・レジスタのテスト・パターンが、ICの内部回路に適用されます。

CLAMP [1000]

バウンダリ・スキャン・レジスタの現在の状態を乱すことなく、TDIからTDOへデータをシフトさせます。CAPTURE_DRステートの間、μ PD72810Aの入力の状態は、BSRマスタ・セルに入力されます。

HIGHZ [1110]

デバイス出力をハイ・インピーダンス状態に保持します。バウンダリ・スキャン・レジスタはTDIとTDO間に置かれます。

IDCODE [0101]

TDO-TDI間に、32ビットのIDCODEレジスタを接続します。このレジスタはリード・オンリーです。IDCODEレジスタには、バージョン、デバイスIDおよびベンダIDの情報が含まれています（表6-1参照）。

★

表6-1 IDCODEレジスタ

ビット	タグ	値
32-28	バージョン	0000
27-12	デバイスID	1000 0000 0000 0000
11-1	ベンダID	0000 0001 111
0	IEEE 1149.1仕様	1

6.4 BSDLモデル

BSDL（バウンダリ・スキャン記述言語）モデルが使用できます。

7. EEPROMマップ

μ PD72810Aは、外部EEPROMの接続が可能です。外部EEPROMの値は、ハードウェア・リセット後にオーバーライドさせるためのPCIコンフィギュレーション空間のデフォルト空間として使います。μ PD72810Aは、最初の16個の領域のチェックサムが有効な場合、コンフィギュレーション空間のこれらのフィールドにEEPROMからデータをオートロードします。またEEPROMは、イーサネットの48ビットMACアドレスやPCI関連のカード・タイプ、およびリビジョン・コードの格納にも使われます。EEPROMが接続されていない場合、μ PD72810Aの初期化は、適切なコンフィギュレーション・レジスタ（3.2 コンフィギュレーション・レジスタ参照）のデフォルト値を使って行います。TTSCRレジスタのFEAビットがセットされると、EEPROMのすべての領域が読み出しおよび書き込みアクセス可能となります（3.3.23 ターゲット・テスト制御レジスタ（TTSCR）参照）。

TTSCRレジスタのFEAビットがクリアされると、読み出しアクセスは全領域で可能ですが、書き込みアクセスはアプリケーションEEPROM空間（10H-3FH）のみ可能です。

表 7-1 EEPROMアドレス空間

ワード・アドレス	バイト1 (ワードnのMSB)	バイト0 (ワードnのLSB)	デフォルト値
00H	SVENID (15 : 8) (CFGSIDを参照)	SVENID (7 : 0) (CFGSIDを参照)	100BH
01H	SDEVID (15 : 8) (CFGSIDを参照)	SDEVID (7 : 0) (CFGSIDを参照)	0001H
★ 02H	SUBCL (CFGRIDを参照)	REVID (CFGRIDを参照)	0000H
03H	MNGNT (CFGINTを参照)	MXLAT (CFGINTを参照)	0B34H
04H-07H	(未使用。0に固定)		
08H	イーサネットID, バイト1	イーサネットID, バイト0	
09H	イーサネットID, バイト3	イーサネットID, バイト2	
0AH	イーサネットID, バイト5	イーサネットID, バイト4	
0BH	カード・タイプ	カード・リビジョン	0101H
0CH-0EH	(未使用。0に固定)		
★ 0FH	EEPROMマスタ・バイト・チェックサム (EERを参照)	チェックサム符号定数値 (55H)	
10H-3FH	(未使用。アプリケーション空間に利用可能)		

8. CAM

8.1 概 要

μ PD72810Aは、外部CAMインタフェースとともに、内部CAMアドレス領域も持ちます。このCAM (Content Addressable Memory) は、48ビットのエントリで構成され、これらのエントリは、次のものと比較されます。

- ・固有 (物理) アドレス
- ・マルチキャスト・アドレス
- ・ブロードキャスト・アドレス

8.2 内部CAM

8.2.1 内部CAM構成

μ PD72810Aの内部CAMは、物理/マルチキャスト・アドレス比較セクション (ユニークな固有アドレスまたはマルチキャスト・アドレスとの比較を行うために使われる10個のエントリ) と、ブロードキャスト・プロトコル比較セクション (特定のプロトコル・タイプのブロードキャスト・パケットをフィルタするために使われる4個のエントリ) の2つのセクションで構成される、14個のエントリから構成されます。表8-1に内部CAMの使用法を示します。

表8-1 内部CAMマッピング

CAMエントリ	使用法
15, 14	未使用
13-10	ブロードキャスト・プロトコル比較
9-0	物理/マルチキャスト・アドレス比較

8.2.2 物理/マルチキャスト・アドレス

各物理/マルチキャスト・アドレスCAMエントリは、48ビット・アドレスに対する、3つの16ビット・セルで構成されます。これらのエントリにアクセスするには、CAMコントロール・レジスタ (CCR) を使用します。読み出しまたは書き込まれるCAMエントリは、CCRレジスタのCAMエントリ・ポインタで指定します。物理/マルチキャスト・エントリに対するアクセスは、CAMデータ・ワード2で終わるCAMデータ・レジスタ (CDR) に対する、3回の連続した読み出し、または書き込み動作で行います。3回のCDRレジスタ・アクセスのアドレス・バイトは、表8-2に示すようにマッピングします (イーサネット・アドレスが01 23 45 67 89 ABである場合)。

表8-2 CAMデータ・レジスタ内容

CDRアクセス	CDR内容
1回目 (データ・ワード0)	2301H
2回目 (データ・ワード1)	6745H
3回目 (データ・ワード2)	AB89H

8.2.3 ブロードキャスト・アドレス

各ブロードキャスト・アドレスCAMエントリは、CAMデータ・ワード1の2ビットの制御フィールドと、CAMデータ・ワード0の16ビットのデータ・フィールドで構成されます。ブロードキャスト・エントリ・ビット・フィールドは、3.3.18 CAMデータ・レジスタ (CDR) に記述されています。ブロードキャスト・エントリへのアクセスは、CAMデータ1で終了するCDRに対する2回の連続する読み出しまたは書き込みで実行されます。

8.2.4 内部CAMの書き込み、読み出し

書き込みまたは読み出しCAMエントリは、CCRレジスタのCAMエントリ・ポインタ（CEP）で指定します。内部CAMは、14個のエントリしか持たないため、0DHより大きい値は受け付けられません。

CAMデータ・レジスタ（CDR）に書き込みを開始する場合、CCRレジスタのCAMイネーブル（CMEN）ビットを0に、CAM書き込み（CMW）ビットを1にします。これによって、連続する2または3ワードをCDRレジスタに書き込むことができます。

CAMデータ・レジスタ（CDR）から読み出しを開始する場合、CCRレジスタのCAMイネーブル（CMEN）ビットを0に、CAM読み込み（CMR）ビットを1にします。これによって、連続する2または3ワードをレジスタから読み出すことができます。

8.2.5 内部CAMのコンフィギュレーション

内部CAMのコンフィギュレーションは、CAM制御レジスタ（CCR）（3.3.17 CAM制御レジスタ（CCR）参照）で行います。CCRレジスタのCAMイネーブル・ビット（CMEN）に1を書き込むと、CAMはイネーブルとなり、マスクされていないすべてのCAMエントリの一致を捜すことができます。CAMがイネーブルの間は、CAMエントリに対して読み出しまたは書き込みアクセスを行うことはできません。

内部CAMエントリをマスクするには、CCRレジスタのCAM比較レジスタ選択（MATSEL）ビットを0にリセットします。この結果、CCRレジスタの下位14ビットは、CAMイネーブル・マスク・レジスタ（CEM）の書き込みに使われます。特定のエントリのマスクを解除する場合、CCRレジスタのCEMフィールドの対応するビットを1にします。エントリをマスクするには、対応するビットを0にします。

MATSELビットが1にセットされると、CCRレジスタのCEMフィールドは、最も最近に一致が発生したCAMエントリを示します（3.3.17 CAM制御レジスタ（CCR）参照）。

パケット・デスティネーション・アドレスが一致した場合、受信ステータス・レジスタ（RXSR）のデスティネーション・クラス・フィールド（DEST）に記録されます（3.3.14 受信ステータス・レジスタ（RXSR）参照）。

ある種のパケットは、常時コピーされる必要があります。このため、CCRレジスタは、μPD72810Aがこのような動作を可能にするビットを持ちます。すべてのブロードキャスト・パケットは、CCRレジスタのAAB（全ブロードキャスト受け付け）ビットをセットすることにより受け付けることができます。このAABビットがセットされていないと、イネーブルなCAMエントリ13-10のフィルタ基準に合致したパケットのみが受け付けられます。また、CCRレジスタのAAM（全マルチキャスト受け付け）ビットをセットすると、すべてのマルチキャスト・パケットが受け付けられます。このAAMビットがセットされていない場合は、イネーブルなCAMエントリ9-0の内の1つと一致するマルチキャスト・デスティネーション・アドレスを持つパケットのみが受け付けられます。すべての物理アドレス・パケットを受け付けるためには、CCRレジスタのAAP（全固有アドレス受け付け）ビットをセットします。このAAPビットがセットされていないと、イネーブルなCAMエントリ9-0の内の1つと一致するデスティネーション・アドレスを持つパケットのみが受け付けられます。

8.2.6 内部CAM BIST

μPD72810A内部CAMは、セルフ・テスト（BIST）機能を持っていますが、この機能は、パワーオン・リセット時にアクティブになります。この機能、または他のBIST機能を実行し、その結果が失敗であった場合は、CFGレジスタのBISEビットがセットされ、0以外の値がCFGLATレジスタのBISTCODフィールドに書き込まれます（3.2.4 コンフィギュレーション・レイテンシ・タイマ・レジスタ（CFGLAT）参照）。CAM BIST機能は、パワーオン時のストラッピング・オプションによりディスエーブルされます（2.12 リセット動作参照）。

8.3 外部CAM

μ PD72810Aは、外部CAMへの対応を用意しています。これによりシステム設計者は、CAMエントリ数を、内部CAMロケーション数である14以上に拡張することができます。

外部CAMのインタフェースは、CAMインタフェース端子とブートROMインタフェース端子をマルチプレクスして行います（表8-3参照）。これによって、外部CAMは、μ PD72810Aを介して、直接ソフトウェアでアクセスすることができます。外部CAMがマルチプレクス・インタフェース上に存在することを、μ PD72810Aに知らせるために、CFGROMレジスタのROMイネーブル（ROMEN）ビットを0にします（この場合、ブートROMは選択されません）。（3.2.8 ブートROMコンフィギュレーション・レジスタ（CFGROM）参照）。ROMSEL端子は、このビットの状態を表します。

外部CAMは、コマンド/ステータスとフレーム/データの2つのモードで動作します。

8.3.1 コマンド/ステータス・モード

このモードは、コマンドとステータスを、外部CAMに書き込みまたは読み出しを行うためのものです。外部CAMをプログラムするときこのモードを使用します。このモードで使うレジスタは、インタフェースがブートROMをアクセスするとき使うレジスタと同様に、MADRレジスタをアドレス用に、MDATレジスタをデータ用に使います（3.3.25ブートROMアドレス・レジスタ（MADR）、3.3.26 ブートROMデータ・レジスタ（MDAT）参照）。

このモードでは、インタフェースは次のような構成となります。

- A7-A0端子 : バイト幅のCAMアドレス・バス
- D7-D0端子 : バイト幅のCAMデータ・バス
- \overline{OE} 端子 : CAMデータ・イネーブル信号
- \overline{WR} 端子 : CAMデータのライト・イネーブル信号

表8-3 CAM/ブートROM端子マッピング

端子番号	CAMインタフェース機能	CAM端子名	ブートROMインタフェース機能	ブートROM端子名
74	CAMインタフェース選択	$\overline{ROMSEL} = 1$	ブートROM選択	$\overline{ROMSEL} = 0$
72	CAMエントリ書き込み	$\overline{WR} = 0$	ブートROM書き込み	$\overline{WR} = 0$
73	CAM出カイネーブル	$\overline{OE} = 0$	ブートROM出カイネーブル	$\overline{OE} = 0$
81-75	CAMアドレス	A7-A0	ブートROMアドレス	A7-A0
71-69, 66-62	CAMデータ	D7-D0	ブートROMデータ	D7-D0
92	パケット・リジェクト	\overline{PREJ}	ブートROMアドレス	A15
91	パケット・フレーム	PKTFRM	ブートROMアドレス	A14
90	パケット有効	PLTVD	ブートROMアドレス	A13
89	パケット・クロック	ECCLK	ブートROMアドレス	A12
88-86, 83	パケット・データ	ECD3-ECD0	ブートROMアドレス	A11-A8

8.3.2 フレーム/データ・モード

フレーム/データ・モードは、フリー・ランニング・モードです。このモードでは、イーサネット・データがニブル幅のインタフェースを介して外部CAMに供給されます。マルチプレクスな外部CAMインタフェース端子をイネーブルにするには、CFGレジスタの外部CAMイネーブル (ECE) ビットをセットします。

ECCLKは、ニブル・データをサンプリングするためのクロックで、100 Mbpsの場合は25 MHz、10 Mbpsの場合は2.5 MHzとなります。

ECD3-ECD0端子は、CAMとデータを転送するためのニブル幅のデータ・バスです。外部CAMに送られた情報と同じものが、このインタフェースを介して内部CAMにも送られます。

PKTFRM端子は、パケット・デスティネーション・アドレスの始まりを表すもので、パケットのデスティネーション・アドレスの最初のニブルと同じクロック・エッジでアクティブになります。この端子は、パケットが終了する少なくとも1クロック・サイクル前にインアクティブになります (キャリアの喪失)。

PKTVD端子は、パケットが有効であることを表します (CRC okやno FAE状態の場合など)。この端子は、PKTFRM信号が解除されたあとにアクティブになり、次のPKTFRM信号がアクティブになる前にインアクティブになります。

PREJ端子は、フレームの最初の64オクテット内にアクティブになると、MACにパケットをリジェクトするように指示します。この端子は、PKTVD信号には影響しません。

8.3.3 外部CAMデータ

データは、バイト幅フォーマットでCAMにプログラムされます。

ニブル・インタフェースは、最初のバイトの最下位ニブルが最初に送られるようにデータを分割します。たとえば、アドレスが01 02 03 04 05 06Hであったとすると、1000 0000 0100 0000bとなるように、インタフェース上ではバイトの最下位ビットが最初に現れます。ニブルに変換されると、外部CAMインタフェース上では、102030405060Hとなります。μ PD72810Aにおいて、CAMは0201 0403 0605Hといった、ロング・ワード・フォーマットのアドレスに構成します。最上位ワードが最初に読み出されると、0605 0403 0201Hとなります。

CAMをプログラムする場合、アドレスが同じフォーマットでストアされるため注意を要します。

9. ネットワーク・インタフェース

μ PD72810Aは、MII (Media Independent Interface) , アタッチメント・ユニット・インタフェース (AUI) , ツイスト・ペア・インタフェース (TPI) の、3つのネットワーク・インタフェースを持ちます。これらのインタフェースの推奨回路接続を図9-1～図9-4に示します。

★

図9-1 MII

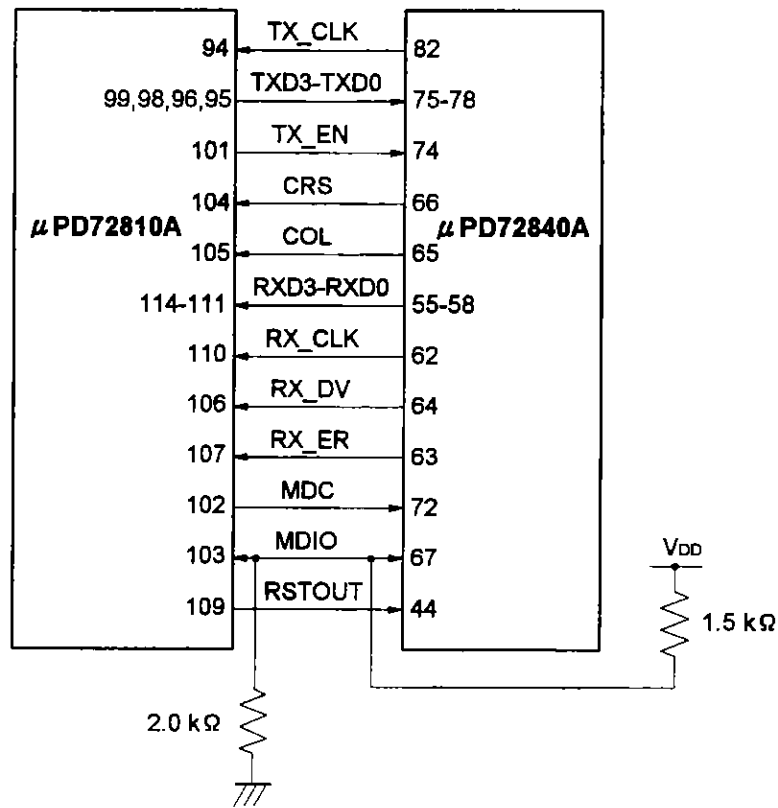


図 9-2 AUIと10BASE2コネクタ

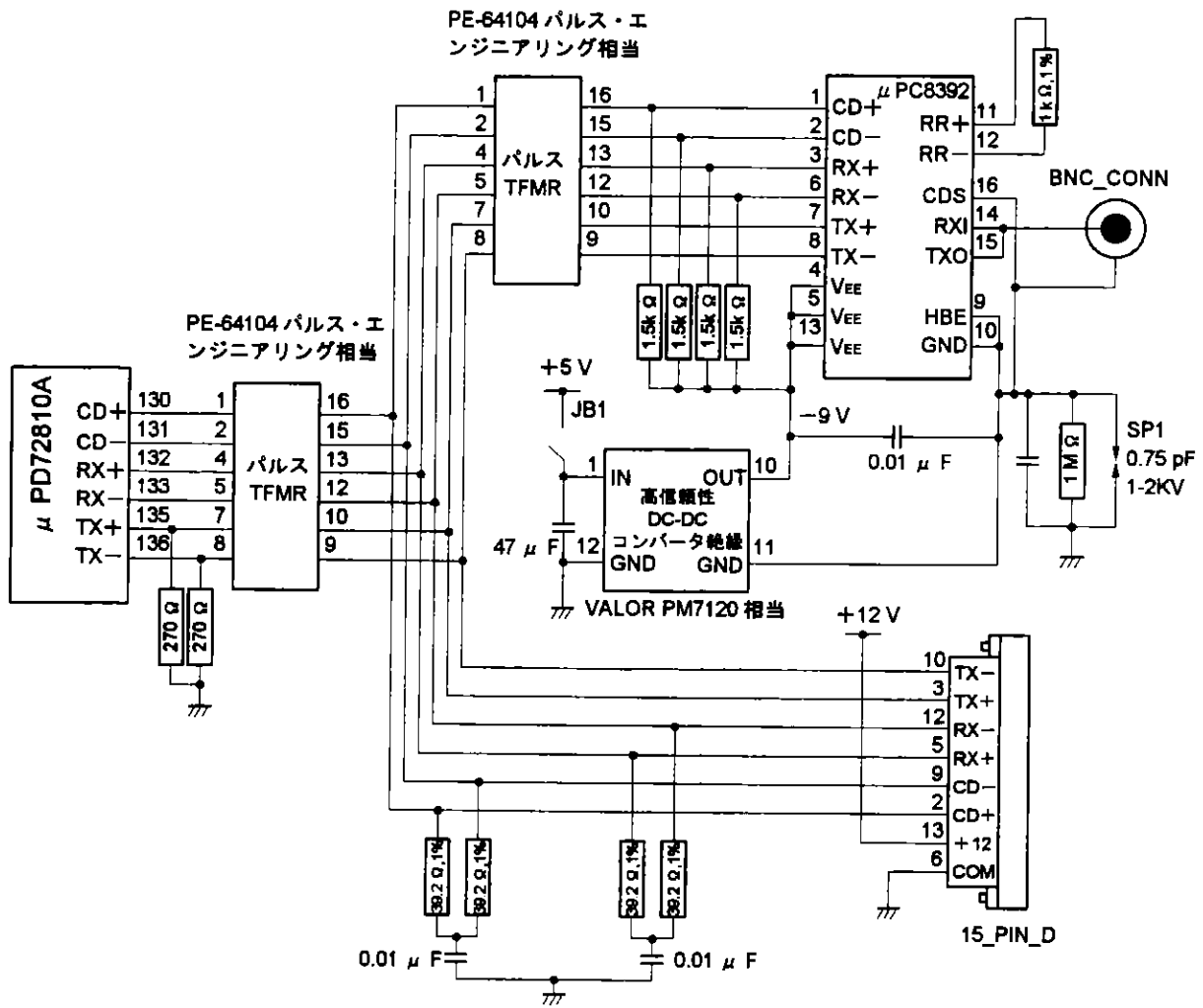


図 9-3 シールド型ツイスト・ペア・インタフェース

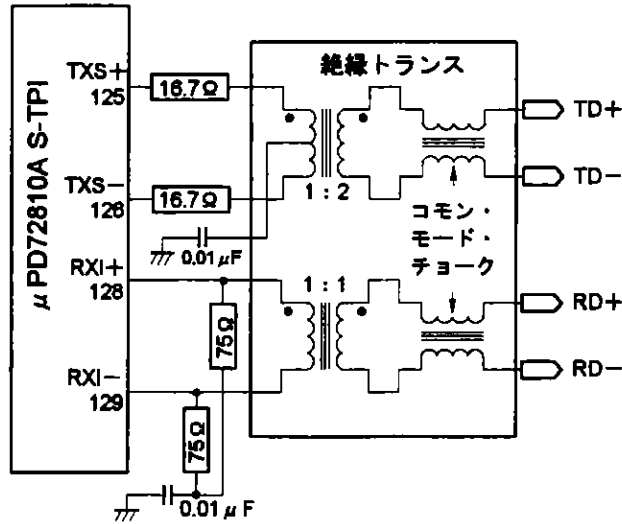
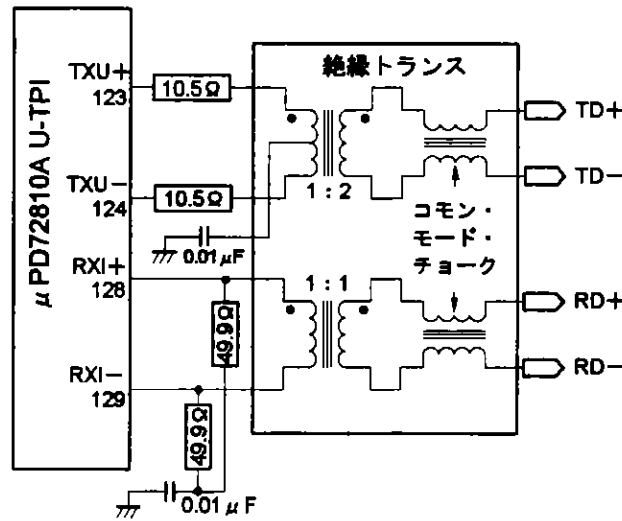


図 9-4 非シールド型ツイスト・ペア・インタフェース



10. 基板レイアウト上の配慮

10.1 発振入力

μ PD72810Aへのクロック (X1とX2) は、並列共振クリスタルまたは外部クロックによって供給されます。いずれの場合においても、クロックは20 MHzです。クロック信号は、2分周されMACユニットに供給する10 MHzの送信クロック (TXC) が生成されます。また、エンコードとデコード回路にも内部クロック信号が供給されます。

10.1.1 外部クリスタル

IEEE 802.3規格において、送信クロック (TXC) は精度0.01 %であることが要求されます。したがって、クリスタルとその他の周辺部品で構成される発振回路は、クロックの2分周後も0.01 %の精度を保つ必要があります。したがって、クリスタルを使用する場合、クリスタル回路のすべてにおいて考慮することが必要です。表10-1にクリスタルの仕様を示します。負荷容量は、浮遊容量も含めて36 pFを超えてはなりません(表10-1 備考2参照)。V_{DD}の変化によって生ずる周波数変動を最小限に抑えるために、抵抗が必要となる場合があります。この場合、抵抗値によっては、ループ・ゲインが減少するため、慎重に抵抗値を決定してください。抵抗値が大きすぎると、ループ・ゲインが大幅に減少し、クリスタルが発振しない場合があります。また、小さすぎると、V_{DD}の通常の変動により、発振周波数が仕様外のレベルまで変動してしまいます。この抵抗値は、クリスタルの動抵抗値の5倍が目安です。たとえば、20 MHzのクリスタルの動抵抗は、通常10Ωから30Ωの範囲ですので、抵抗値は50Ωから150Ωとなります。抵抗使用の判断は、各回路パラメータが変動するため、クリスタル周波数変動の測定後に行ってください。

表10-1 クリスタル仕様

共振周波数	20 MHz
許容差 (文中を参照)	0.01 %, 25 °C
精度	0.005 % (50 ppm), 0~70 °C
基本モード直列抵抗	25Ω
負荷容量	18 pF
タイプ	ATカット
回路	並列共振

- 備考1. OSCOUT端子の、TTL互換論理出力の供給は保証されていないので、外部ロジック駆動へは使用しないでください。他のロジックを駆動する必要がある場合は、10.1.2 クロック発振モジュールに示すように、外部発振子を使用してください。
2. クリスタル上に記されている周波数は、通常、クリスタルのデータ・シートに記載されているように、固定負荷容量で測定されています。実際の負荷容量は、記載された容量値から、関連する浮遊容量をすべて引いたものとなります。

10.1.2 クロック発振モジュール

μ PD72810Aでは、X1端子に外部クロック発振器を接続することができます。この場合は、次の仕様を満たす発振器を使用してください。

1. 周波数許容差0.01 %のTTLまたはCMOS出力
2. デューティ比40-60 %
3. 1CMOS負荷出力駆動

この仕様では、他の回路を駆動することを考慮していません。また、外部回路を接続する場合は、X2端子をオープンにしてください。

10.1.3 基板レイアウトに関する配慮

クリスタルを接続する場合は、十分な注意が必要です。浮遊容量（たとえば、基板上のX1およびX2端子周辺の配線やパターンに起因する）が、クリスタルの発振周波数を規定範囲外に変動させるため、送信周波数が、IEEE 802.3で規定された0.01 %の許容差を越える原因となります。外部クリスタルを使用する場合、基板設計は、発振器の部品をすべてX1とX2端子に近接させ、容量やインダクタンスの影響を避けるために配線を短くします。また、2つのコンデンサは確実に接地します。

外部発振器を接続する場合、浮遊容量とインダクタンスを減少し、確実に電源供給と接地を行い、発振モジュールをなるべくμ PD72810Aに接近させます。

10.2 電源上の配慮

μ PD72810Aの電源配線と設計は、標準的な方法で行いますが、基板上でアナログ電源のレイアウトを行う場合には注意が必要です。特に、TP1VDD、PLL1VDDおよびAUIVDDのアナログ電源と、TP1VSS、PLL1VSS、AUIVSSおよびXTAL1VSSのアナログ・グラウンドの配線は注意してください。

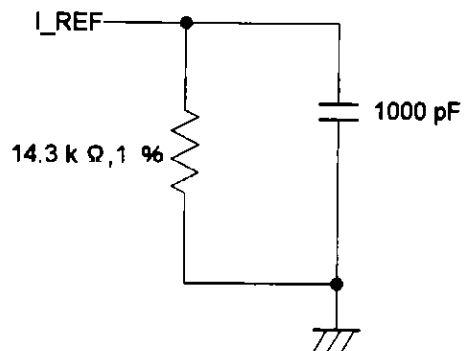
アナログとデジタル電源は共通接続可能です。しかし、μ PD72810Aのアナログ機能の最適な性能保証のためには、電源ノイズを最低限に抑える必要があります。このためには、次のような方法を用います。

1. アナログ電源をデジタル電源と別配線とし、両者にデカップリング・コンデンサを接続します。
2. アナログ電源端子に、ロウ・パス・フィルタを挿入することで、ノイズ・フィルタを設けます。また、高周波数の電源ノイズを抑制するために、フェライトを使用します。
3. アナログ電源を発生するために、別電源を使用します。

10.3 精密電流源

グラウンド振動低減のために、 μ PD72810AのI/Oバッファは精密電流源を必要とします。このためには、 $14.3\text{ k}\Omega$ 、 1% の抵抗を120番端子と V_{SS} 間に接続してください。また、この抵抗と並列に 1000 pF のコンデンサを接続して変動を最小限に抑えてください。

図10-1 精密電流源図



★ 11. 電気的特性

絶対最大定格

項目	略号	条件	定格	単位
電源電圧	V _{DD}		-0.5~+7.0	V
入力電圧	V _{IN}		-0.5~V _{DD} +0.5	V
出力電圧	V _{OUT}		-0.5~V _{DD} +0.5	V
保存温度	T _{stg}		-65~+150	℃
消費電力	P _D		1.575	W
リード温度	T _L	半田付け, 10 sec	260	℃
ESD定格		RZAP = 1.5 kΩ, CZAP = 120 pF	2.0	kV

注意 各項目のうち1項目でも、また、一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で製品をご使用ください。

容量 (TA = 25 °C)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	C _{IN}	f = 1 MHz		7		pF
出力容量	C _{OUT}			7		pF

DC特性 (特に断りがない限り, TA = 0 °C~70 °C, V_{DD} = 5 V±5 %)

項目	略号	条件	MIN.	MAX.	単位
ハイ・レベル出力電圧	V _{OH}	I _{OH} = -8mA	3.0		V
ロウ・レベル出力電圧	V _{OL}	I _{OL} = 8mA		0.4	V
ハイ・レベル入力電圧	V _{HI}		2.0	V _{DD} +0.5	V
ロウ・レベル入力電圧	V _{LI}		-0.5	+0.8	V
入力電流	I _{IN}	V _{IN} = V _{DD} or GND	-10	+10	μA
3ステート出力リーク電流	I _{OZ}	V _{OUT} = V _{DD} or GND	-10	+10	μA
電源電流	I _{DD}	I _{OUT} = 0 mA, FREQ = F _{MAX}		300	mA

AUIインターフェース端子 (TX, RX, およびCD±)

項目	略号	条件	MIN.	TYP.	MAX.	単位
TX±差動出力電圧	V _{OD}	78 Ω 終端と 各端子-グランド間 270 Ω	±550		±1200	mV
TX±差動出力電圧インバランス (設計により保証, テストせず)	V _{OB}	78 Ω 終端と 各端子-グランド間 270 Ω		40		mV
TX±アンダシュート電圧 (設計により保証, テストせず)	V _U	78 Ω 終端と 各端子-グランド間 270 Ω		80		mV
RX±, CD±差動スケルチ・スレッ シュホールド電圧	V _{DS}		-175		-300	mV

TPIインターフェース端子 (RXI, TXS, およびTXU±)

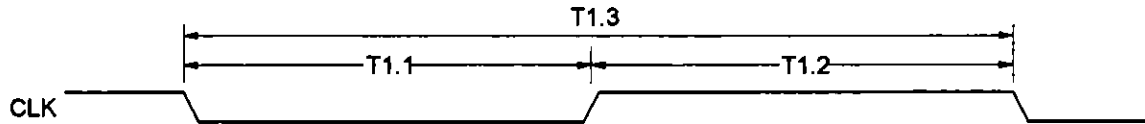
項目	略号	条件	MIN.	MAX.	単位
TXS±, TXU± ロウ・レベル出力抵抗	R _{TOL}	I _{OL} = 25 mA		15	Ω
TXS±, TXU± ハイ・レベル出力抵抗	R _{TOH}	I _{OH} = -25 mA		15	Ω
受信スレッシュホールド・ターンオン電圧 10BASE-Tモード	V _{SRON1}		±300	±585	mV
受信スレッシュホールド・ターンオン電圧 リデュース・スレッシュ・ホールド (ロウ・スケルチ)	V _{SRON2}		±175	±300	mV
受信スレッシュホールド・ ターンオフ電圧	V _{SROFF}		±175	±300	mV
差動モード入力電圧範囲 (設計により保証, テストせず)	V _{DIFF}	V _{DD} = 5.0 V	-3.1	+3.1	V

オシレータ端子 (X1とX2)

項目	略号	条件	MIN.	MAX.	単位
X1入力ハイ・レベル電圧	V _H	X1は発振器に接続, X2はGND	2.0		V
X1入力ロウ・レベル電圧	V _L	X1は発振器に接続, X2はGND		0.8	V
X1入力電流	I _{OSC1}	X1は発振器に接続, X2はGND V _{IN} = V _{DD} またはGND		8.0	mA

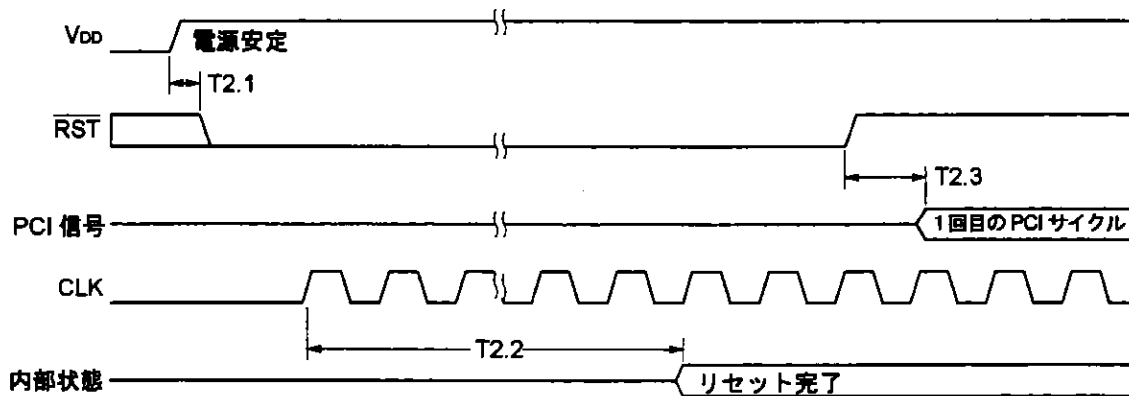
11.1 バス・クロック・タイミング

番号	項目	条件	MIN.	MAX.	単位
T1.1	CLKロウ・レベル時間		12		ns
T1.2	CLKハイ・レベル時間		12		ns
T1.3	CLKサイクル時間		30	∞	ns



11.2 パワーオン・リセット

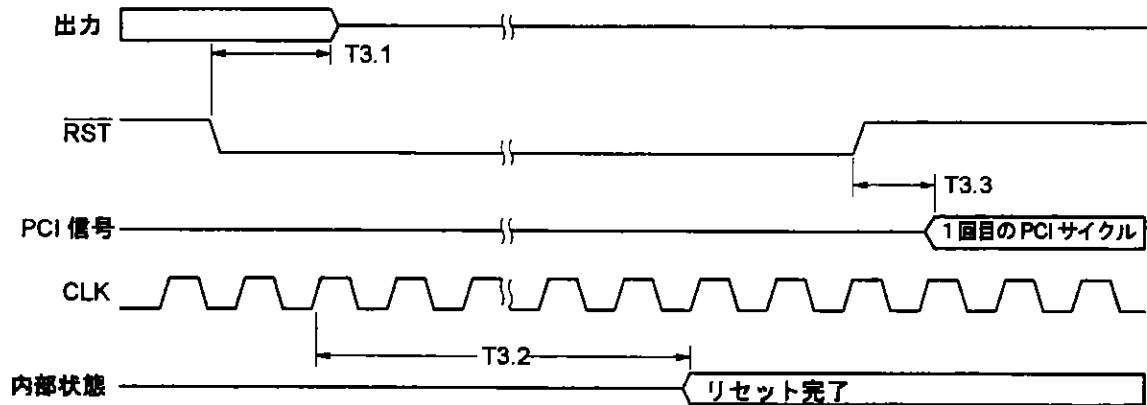
番号	項目	条件	MIN.	MAX.	単位
T2.1	RSTアクティブ時間 (電源電圧安定後)		1		ms
T2.2	リセット完了時間 (CLK安定後)		100		ms
T2.3	リセット・ディスエーブル時間 (1回目のPCIサイクルまで)		3		ms



備考 リセット中、μ PD72810Aへのアクセスはすべて無視されます。

11.3 リセット・サイクル (パワーオン後の動作時)

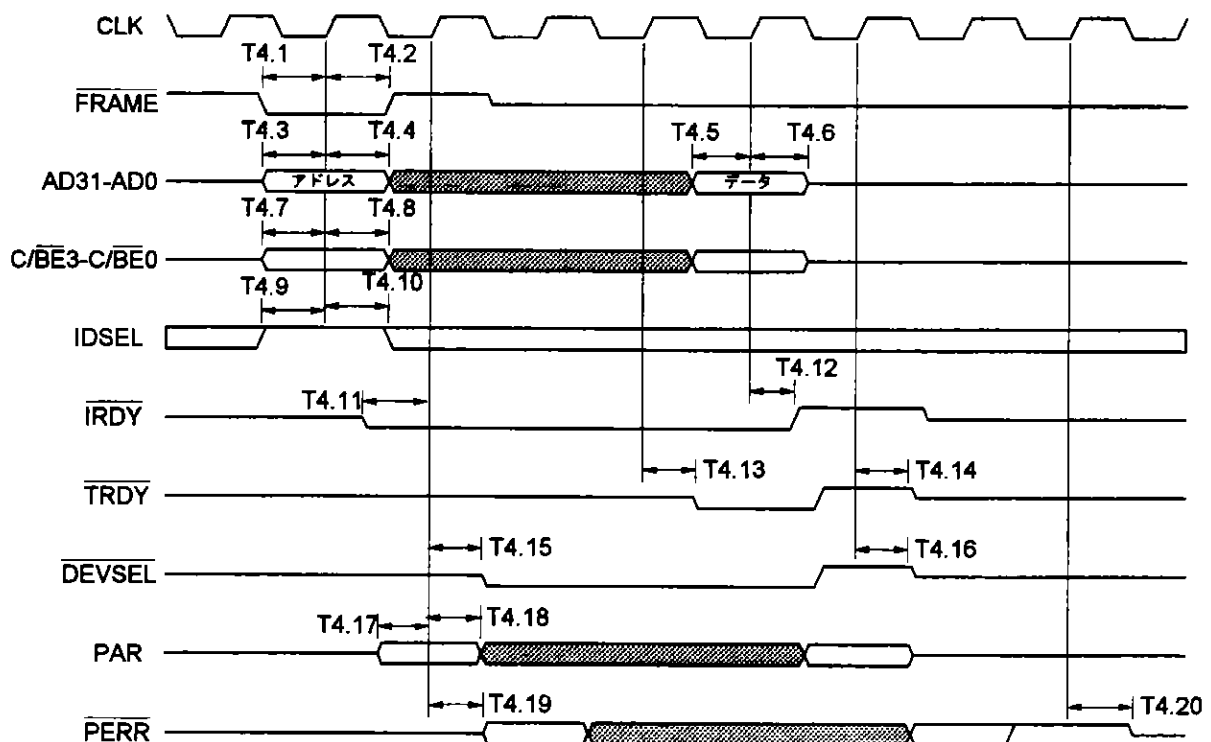
番号	項目	条件	MIN.	MAX.	単位
T3.1	出力フロート時間 (対RST↓)			40	ns
T3.2	リセット完了時間 (CLK安定後)		100		ms
T3.3	リセット・ディスエーブル時間 (1 回目のPCIサイクルまで)		3		ms



備考 リセット中、μ PD72810Aへのアクセスはすべて無視されます。

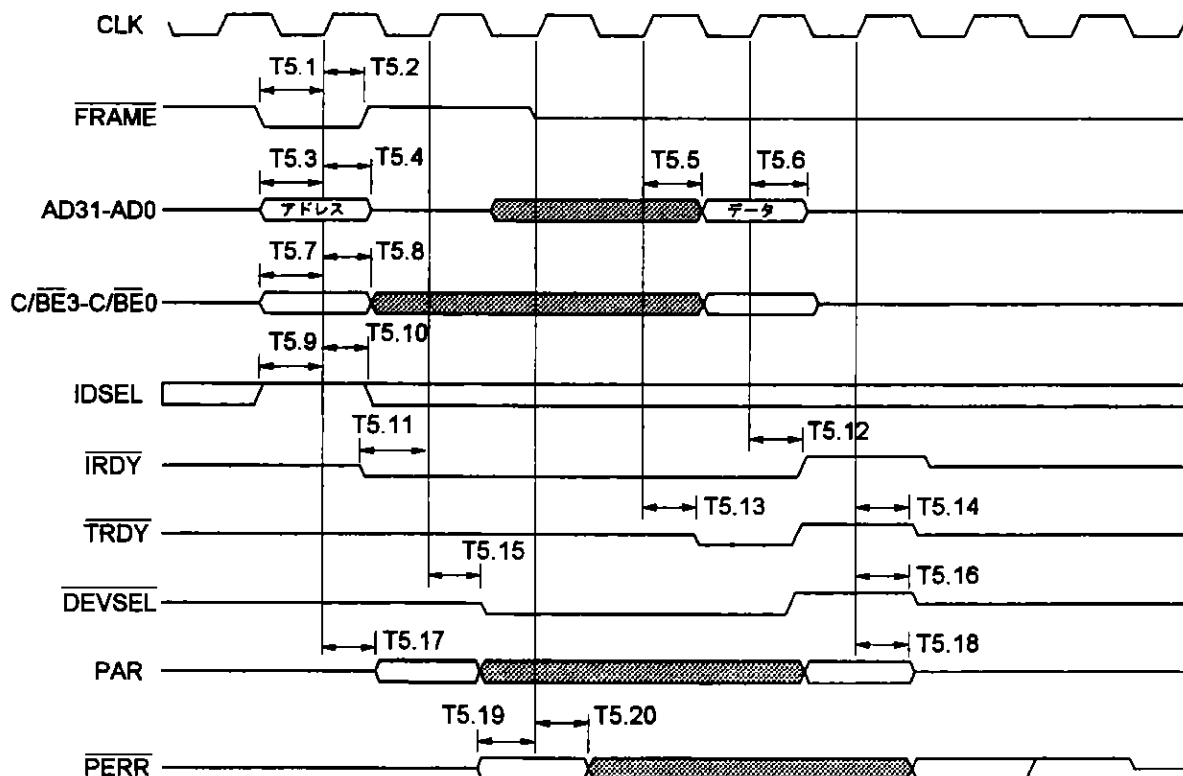
11.4 コンフィギュレーション・ライト

番号	項目	条件	MIN.	MAX.	単位
T4.1	FRAMEセットアップ時間 (対CLK↑)		7		ns
T4.2	FRAMEホールド時間 (対CLK↑)		0		ns
T4.3	アドレス・セットアップ時間 (対CLK↑)		7		ns
T4.4	アドレス・ホールド時間 (対CLK↑)		0		ns
T4.5	データ・セットアップ時間 (対CLK↑)		7		ns
T4.6	データ・ホールド時間 (対CLK↑)		0		ns
T4.7	C/BE3-C/BE0セットアップ時間 (対CLK↑)		7		ns
T4.8	C/BE3-C/BE0ホールド時間 (対CLK↑)		0		ns
T4.9	IDSELセットアップ時間 (対CLK↑)		7		ns
T4.10	IDSELホールド時間 (対CLK↑)		0		ns
T4.11	IRDYセットアップ時間 (対CLK↑)		7		ns
T4.12	IRDYホールド時間 (対CLK↑)		0		ns
T4.13	TRDYバリッド時間 (対CLK↑)		2	11	ns
T4.14	TRDYフロート時間 (対CLK↑)			28	ns
T4.15	DEVSELバリッド時間 (対CLK↑)		2	11	ns
T4.16	DEVSELフロート時間 (対CLK↑)			28	ns
T4.17	PARセットアップ時間 (対CLK↑)		7		ns
T4.18	PARホールド時間 (対CLK↑)		0		ns
T4.19	PERRバリッド時間 (対CLK↑)		2	11	ns
T4.20	PERRフロート時間 (対CLK↑)			28	ns



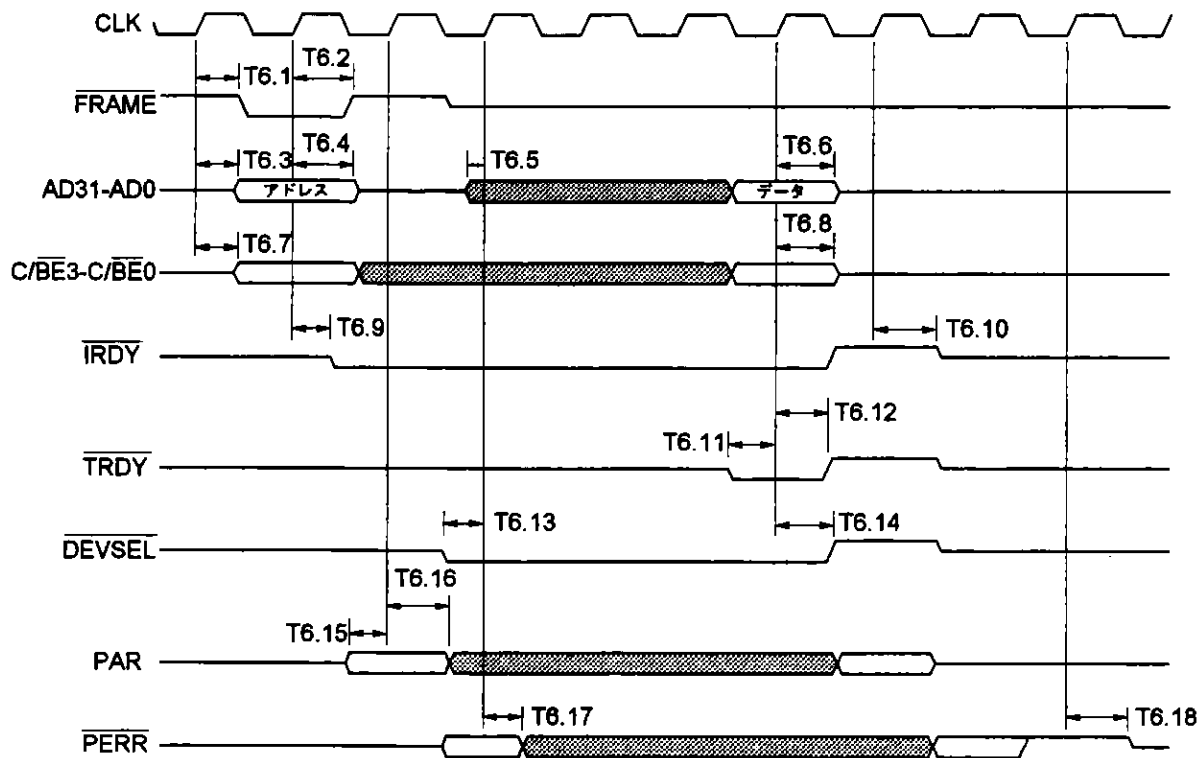
11.5 コンフィギュレーション・リード

番号	項目	条件	MIN.	MAX.	単位
T5.1	FRAMEセットアップ時間 (対CLK↑)		7		ns
T5.2	FRAMEホールド時間 (対CLK↑)		0		ns
T5.3	アドレス・セットアップ時間 (対CLK↑)		7		ns
T5.4	アドレス・ホールド時間 (対CLK↑)		0		ns
T5.5	データ・バリッド時間 (対CLK↑)		2	11	ns
T5.6	データ・インバリッド時間 (対CLK↑)			28	ns
T5.7	C/BE3-C/BE0セットアップ時間 (対CLK↑)		7		ns
T5.8	C/BE3-C/BE0ホールド時間 (対CLK↑)		0		ns
T5.9	IDSELセットアップ時間 (対CLK↑)		7		ns
T5.10	IDSELホールド時間 (対CLK↑)		0		ns
T5.11	IRDYセットアップ時間 (対CLK↑)		7		ns
T5.12	IRDYホールド時間 (対CLK↑)		0		ns
T5.13	TRDYバリッド時間 (対CLK↑)		2	11	ns
T5.14	TRDYフロート時間 (対CLK↑)			28	ns
T5.15	DEVSELバリッド時間 (対CLK↑)		2	11	ns
T5.16	DEVSELフロート時間 (対CLK↑)			28	ns
T5.17	PAR時間バリッド (対CLK↑)		2	11	ns
T5.18	PAR時間インバリッド (対CLK↑)			28	ns
T5.19	PERRセットアップ時間 (対CLK↑)		7		ns
T5.20	PERRホールド時間 (対CLK↑)		0		ns



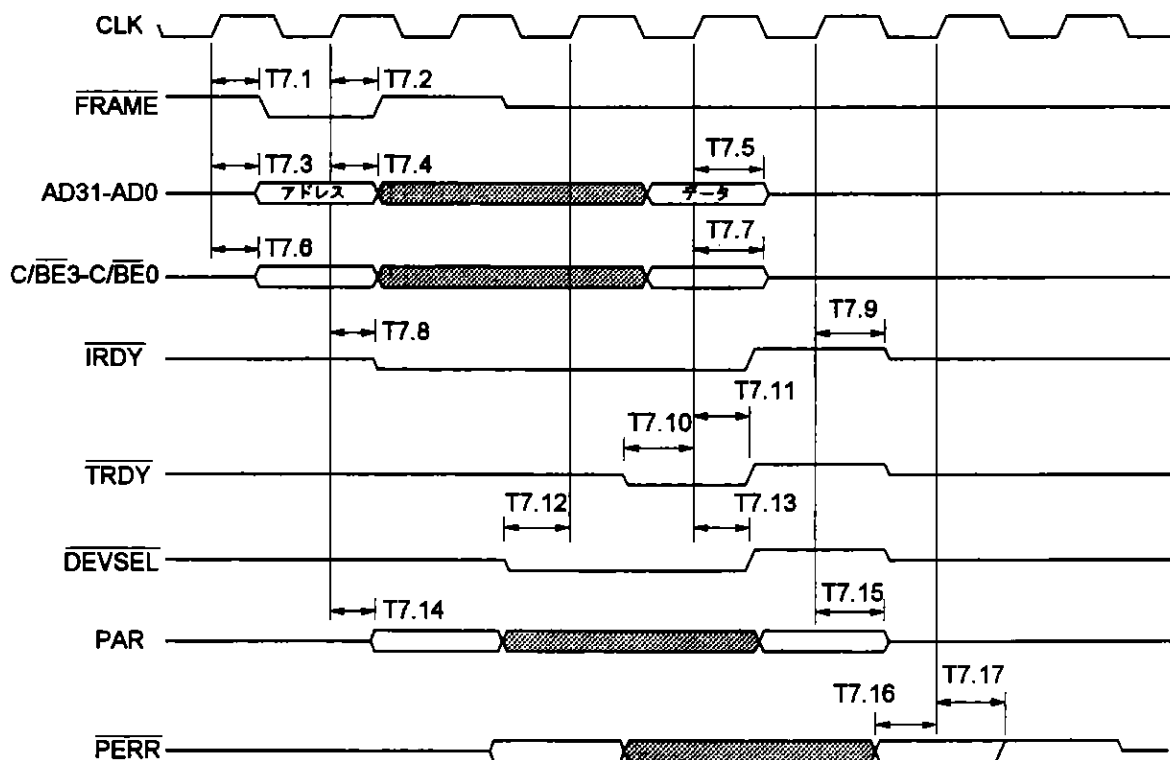
11.6 バス・マスタ・リード・サイクル

番号	項目	条件	MIN.	MAX.	単位
T6.1	FRAMEバリッド時間 (対CLK↑)		2	11	ns
T6.2	FRAMEインバリッド時間 (対CLK↑)		2	11	ns
T6.3	アドレス・バリッド時間 (対CLK↑)		2	11	ns
T6.4	アドレス・フロート時間 (対CLK↑)			28	ns
T6.5	データ・セットアップ時間 (対CLK↑)		7		ns
T6.6	データ・ホールド時間 (対CLK↑)		0		ns
T6.7	C/ $\overline{\text{BE}}3$ -C/ $\overline{\text{BE}}0$ バリッド時間 (対CLK↑)		2	11	ns
T6.8	C/ $\overline{\text{BE}}3$ -C/ $\overline{\text{BE}}0$ フロート時間 (対CLK↑)			28	ns
T6.9	$\overline{\text{IRDY}}$ バリッド時間 (対CLK↑)		2	11	ns
T6.10	$\overline{\text{IRDY}}$ フロート時間 (対CLK↑)			28	ns
T6.11	$\overline{\text{TRDY}}$ セットアップ時間 (対CLK↑)		7		ns
T6.12	$\overline{\text{TRDY}}$ ホールド時間 (対CLK↑)		0		ns
T6.13	$\overline{\text{DEVSEL}}$ セットアップ時間 (対CLK↑)		7		ns
T6.14	$\overline{\text{DEVSEL}}$ ホールド時間 (対CLK↑)		0		ns
T6.15	PAR時間セットアップ (対CLK↑)		7		ns
T6.16	PAR時間ホールド (対CLK↑)		0		ns
T6.17	$\overline{\text{PERR}}$ バリッド時間 (対CLK↑)		2	11	ns
★ T6.18	$\overline{\text{PERR}}$ フロート時間 (対CLK↑)			28	ns



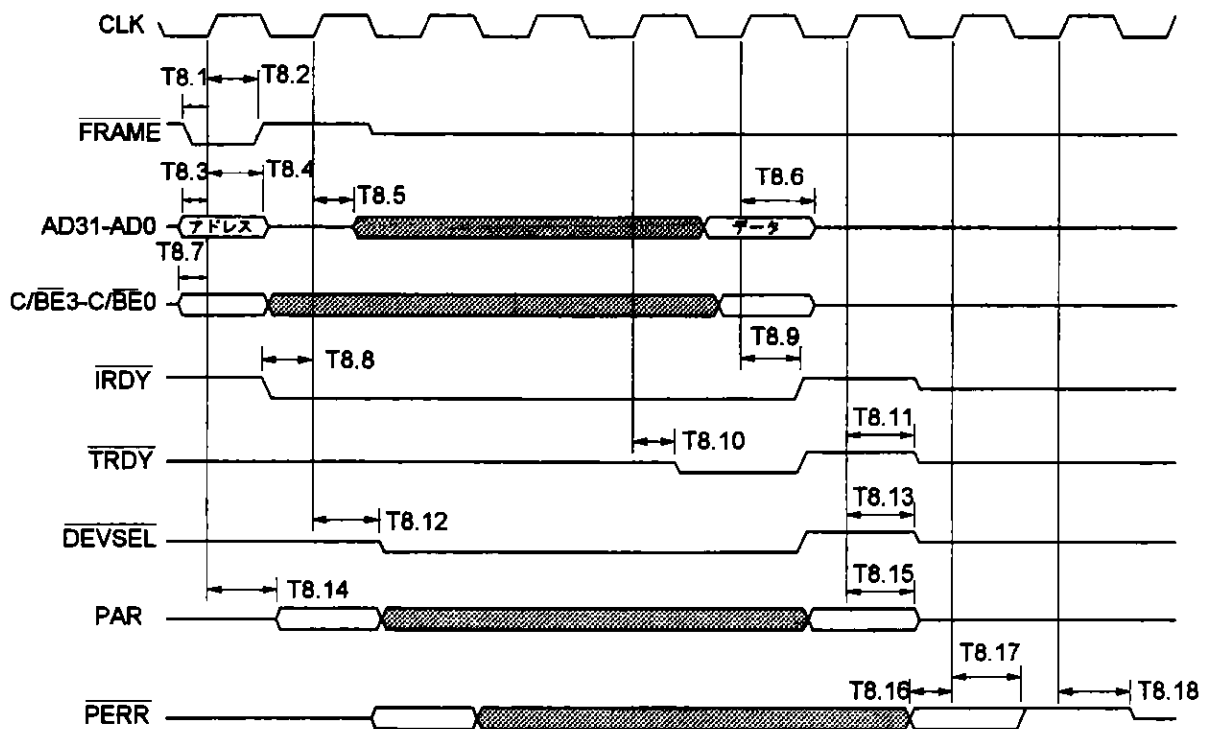
11.7 バス・マスタ・ライト・サイクル

番号	項目	条件	MIN.	MAX.	単位
T7.1	FRAMEバリッド時間 (対CLK↑)		2	11	ns
T7.2	FRAMEインバリッド時間 (対CLK↑)		2	11	ns
T7.3	アドレス・バリッド時間 (対CLK↑)		2	11	ns
T7.4	データ・バリッド時間 (対CLK↑)		2	11	ns
T7.5	データ・フロート時間 (対CLK↑)			28	ns
T7.6	C/ $\overline{\text{BE}}3$ -C/ $\overline{\text{BE}}0$ バリッド時間 (対CLK↑)		2	11	ns
T7.7	C/ $\overline{\text{BE}}3$ -C/ $\overline{\text{BE}}0$ フロート時間 (対CLK↑)			28	ns
T7.8	$\overline{\text{IRDY}}$ バリッド時間 (対CLK↑)		2	11	ns
T7.9	$\overline{\text{IRDY}}$ フロート時間 (対CLK↑)			28	ns
T7.10	$\overline{\text{TRDY}}$ セットアップ時間 (対CLK↑)		7		ns
T7.11	$\overline{\text{TRDY}}$ ホールド時間 (対CLK↑)		0		ns
T7.12	$\overline{\text{DEVSEL}}$ セットアップ時間 (対CLK↑)		7		ns
T7.13	$\overline{\text{DEVSEL}}$ ホールド時間 (対CLK↑)		0		ns
T7.14	PARバリッド時間 (対CLK↑)		2	11	ns
T7.15	PARフロート時間 (対CLK↑)			28	ns
T7.16	PERRセットアップ時間 (対CLK↑)		7		ns
T7.17	PERRホールド時間 (対CLK↑)		0		ns



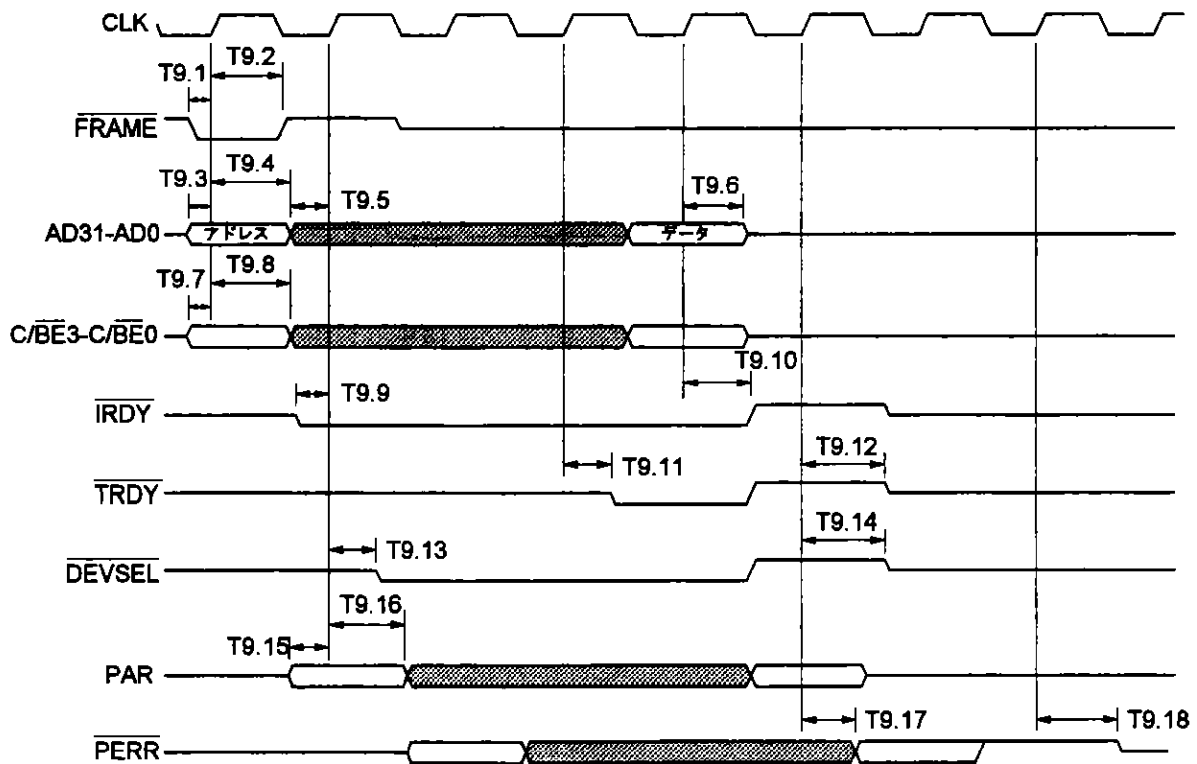
11.8 ターゲット・リード・サイクル

番号	項目	条件	MIN.	MAX.	単位
T8.1	FRAMEセットアップ時間 (対CLK↑)		7		ns
T8.2	FRAMEホールド時間 (対CLK↑)		0		ns
T8.3	アドレス・セットアップ時間 (対CLK↑)		7		ns
T8.4	アドレス・ホールド時間 (対CLK↑)		0		ns
T8.5	データ・バリッド時間 (対CLK↑)		2	11	ns
T8.6	データ・フロート時間 (対CLK↑)			28	ns
T8.7	C/ $\overline{\text{BE}}3$ -C/ $\overline{\text{BE}}0$ セットアップ時間 (対CLK↑)		7		ns
T8.8	$\overline{\text{IRDY}}$ セットアップ時間 (対CLK↑)		7		ns
T8.9	$\overline{\text{IRDY}}$ ホールド時間 (対CLK↑)		0		ns
T8.10	$\overline{\text{TRDY}}$ バリッド時間 (対CLK↑)		2	11	ns
T8.11	$\overline{\text{TRDY}}$ フロート時間 (対CLK↑)			28	ns
T8.12	$\overline{\text{DEVSEL}}$ バリッド時間 (対CLK↑)		2	11	ns
T8.13	$\overline{\text{DEVSEL}}$ フロート時間 (対CLK↑)			28	ns
T8.14	PARバリッド時間 (対CLK↑)		2	11	ns
T8.15	PARインバリッド時間 (対CLK↑)			28	ns
T8.16	$\overline{\text{PERR}}$ セットアップ時間 (対CLK↑)		7		ns
T8.17	$\overline{\text{PERR}}$ ホールド時間 (対CLK↑)		0		ns
T8.18	$\overline{\text{PERR}}$ フロート時間 (対CLK↑)			28	ns



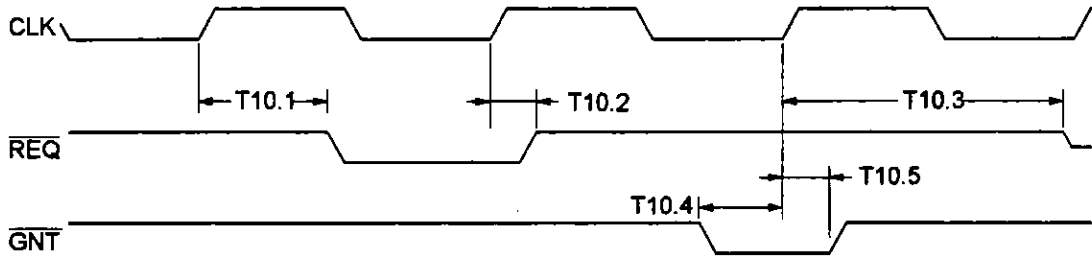
11.9 ターゲット・ライト・サイクル

番号	項目	条件	MIN.	MAX.	単位
T9.1	FRAMEセットアップ時間 (対CLK↑)		7		ns
T9.2	FRAMEホールド時間 (対CLK↑)		0		ns
T9.3	アドレス・セットアップ時間 (対CLK↑)		7		ns
T9.4	アドレス・ホールド時間 (対CLK↑)		0		ns
T9.5	データ・セットアップ時間 (対CLK↑)		7		ns
T9.6	データ・ホールド時間 (対CLK↑)		0		ns
T9.7	C/ $\overline{\text{BE}}3$ -C/ $\overline{\text{BE}}0$ セットアップ時間 (対CLK↑)		7		ns
T9.8	C/ $\overline{\text{BE}}3$ -C/ $\overline{\text{BE}}0$ ホールド時間 (対CLK↑)		0		ns
T9.9	$\overline{\text{IRDY}}$ セットアップ時間 (対CLK↑)		7		ns
T9.10	$\overline{\text{IRDY}}$ ホールド時間 (対CLK↑)		0		ns
T9.11	$\overline{\text{TRDY}}$ バリッド時間 (対CLK↑)		2	11	ns
T9.12	$\overline{\text{TRDY}}$ フロート時間 (対CLK↑)			28	ns
T9.13	$\overline{\text{DEVSEL}}$ バリッド時間 (対CLK↑)		2	11	ns
T9.14	$\overline{\text{DEVSEL}}$ フロート時間 (対CLK↑)			28	ns
T9.15	PARセットアップ時間 (対CLK↑)		7		ns
T9.16	PARホールド時間 (対CLK↑)		0		ns
T9.17	PERRバリッド時間 (対CLK↑)		2	11	ns
T9.18	PERRフロート時間 (対CLK↑)			28	ns



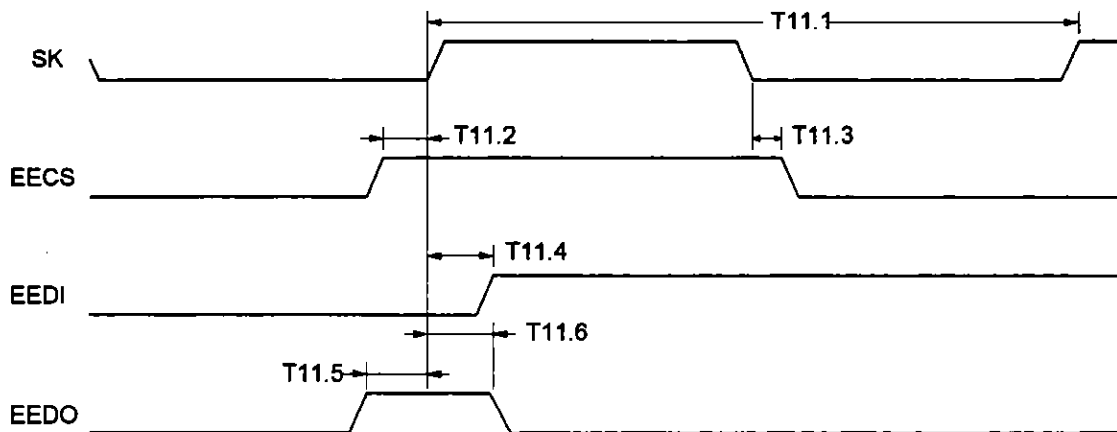
11.10 バス・アービトレーション・サイクル

番号	項目	条件	MIN.	MAX.	単位
T10.1	REQバリッド時間 (対CLK↑)		2	12	ns
T10.2	REQインバリッド時間 (対CLK↑)		0		ns
T10.3	REQフロート時間 (対CLK↑)			28	ns
T10.4	GNTセットアップ時間 (対CLK↑)		10		ns
T10.5	GNTホールド時間 (対CLK↑)		0		ns



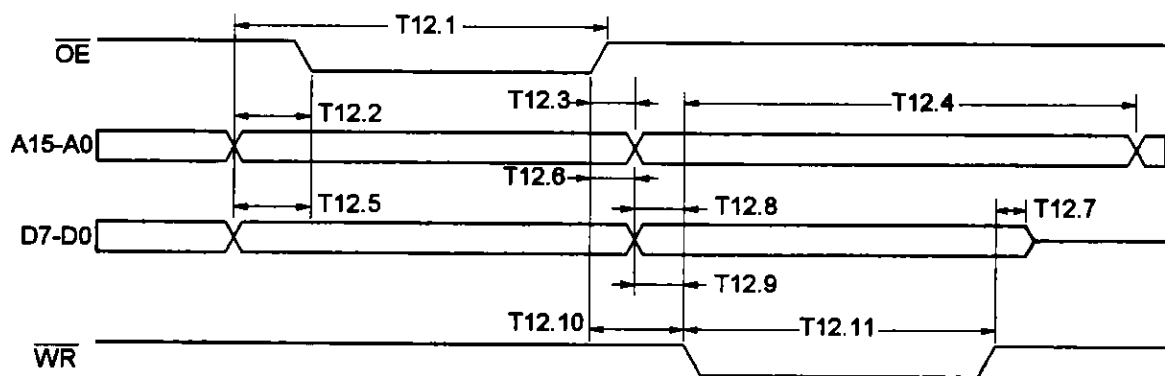
11.11 コンフィギュレーションEEPROM

番号	項目	条件	MIN.	MAX.	単位
T11.1	SKサイクル時間		0.95	1.05	μs
T11.2	SK遅延時間 (対EECS↑)		50		ns
T11.3	SKロウ・レベル時間 (対EECS↓)		0		ns
T11.4	EEDIバリッド時間 (対SK↑)		20	100	ns
T11.5	EEDOセットアップ時間 (対SK↑)		200		ns
T11.6	EEDOホールド時間 (対SK↑)		20		ns



11.12 ブートROMアクセス・サイクル

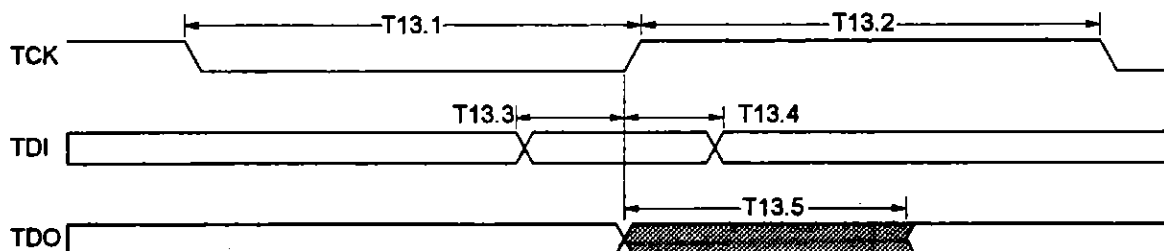
番号	項目	条件	MIN.	MAX.	単位
T12.1	データ・セットアップ時間 (対 \overline{OE} インバリッド)		50		ns
T12.2	アドレス・セットアップ時間 (対 \overline{OE} ↓)		10		ns
T12.3	アドレス・ホールド時間 (対 \overline{OE} ↑)		0		ns
T12.4	アドレス・インバリッド時間 (対 \overline{WR} ↓)		60		ns
T12.5	\overline{OE} バリッド時間 (対データ・バリッド)		-10		ns
T12.6	データ・ホールド時間 (対 \overline{OE} ↑)		0		ns
T12.7	データ・インバリッド時間 (対 \overline{WR} ↑)		0		ns
T12.8	データ・バリッド時間 (対 \overline{WR} ↓)		10		ns
T12.9	アドレス・セットアップ時間 (対 \overline{WR} ↓)		10		ns
T12.10	\overline{OE} インバリッド時間 (対 \overline{WR} ↓)		0		ns
T12.11	\overline{WR} パルス幅		50		ns
	アドレス/ \overline{OE} サイクル時間		160		ns



備考 ROMSEL端子は、ブートROMサイクルにおいてロウ・レベル固定です。

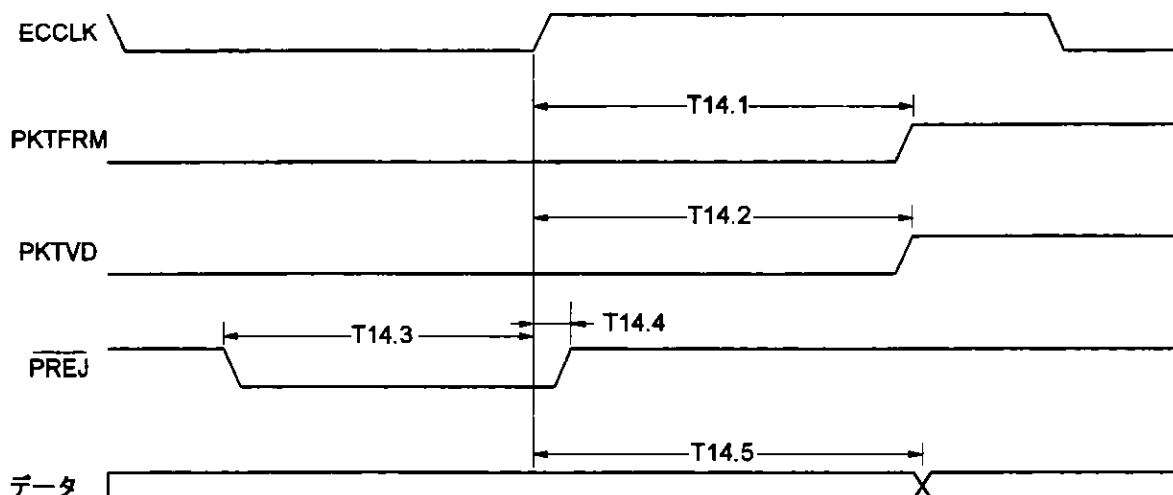
11.13 バウンダリ・スキャン

番号	項目	条件	MIN.	MAX.	単位
T13.1	TCKロウ・パルス幅		20		ns
T13.2	TCKハイ・パルス幅		20		ns
T13.3	TDIセットアップ時間 (対TCK↑)		5		ns
T13.4	TDIホールド時間 (対TCK↑)		5		ns
T13.5	TDOバリッド時間 (対TCK↑)			15	ns



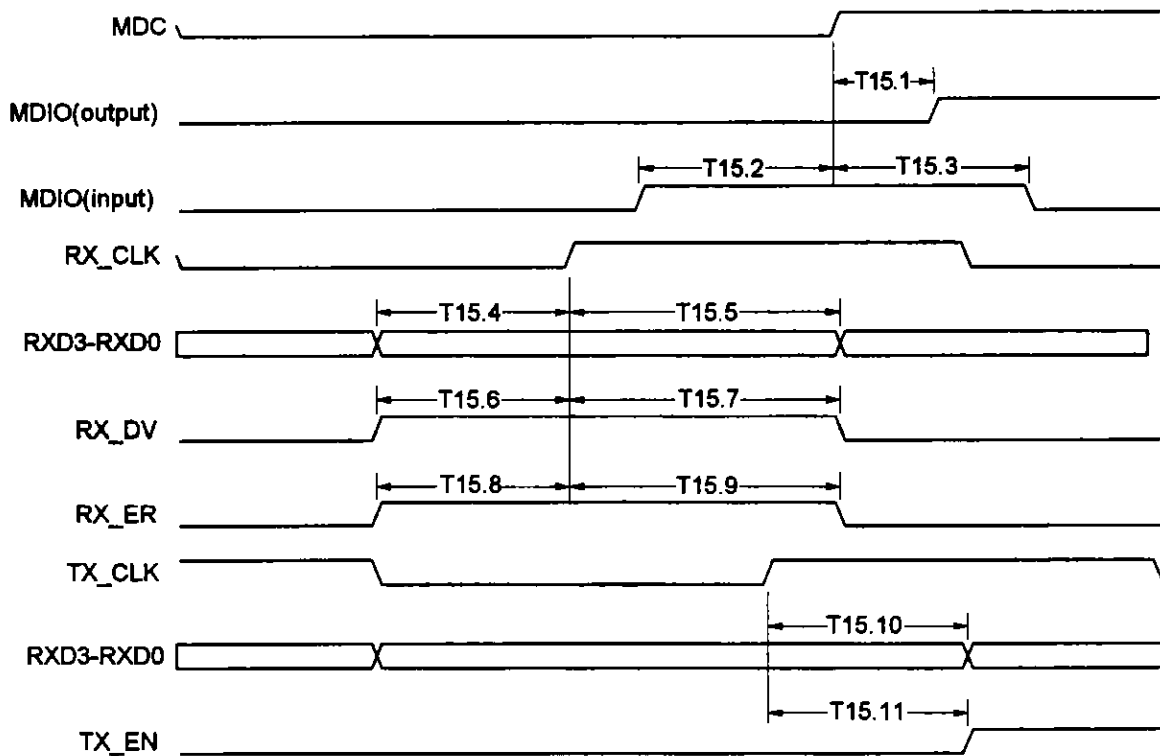
11.14 外部CAMインタフェース

番号	項目	条件	MIN.	MAX.	単位
T14.1	PKTFRMバリッド時間 (対ECCLK↑)		2	11	ns
T14.2	PKTV Dバリッド時間 (対ECCLK↑)		2	11	ns
T14.3	PREJセットアップ時間 (対ECCLK↑)		10		ns
T14.4	PREJホールド時間 (対ECCLK↑)		0		ns
T14.5	データ・バリッド時間 (対ECCLK↑)		2	11	ns
	リジェクト・サイクル			128	clk



11.15 MII (Media Independent Interface)

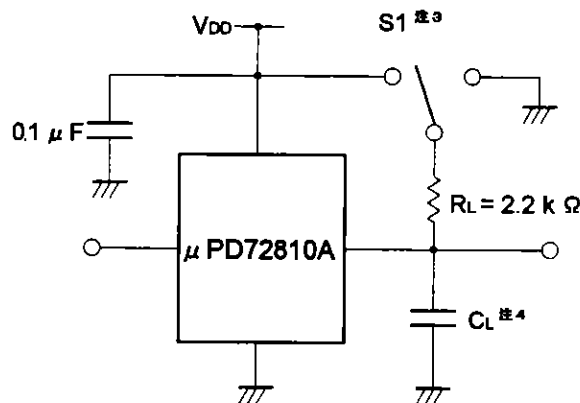
番号	項目	条件	MIN.	MAX.	単位
T15.1	MDIOバリッド時間 (対MDC↑)		0	300	ns
T15.2	MDIOセットアップ時間 (対MDC↑)		10		ns
T15.3	MDIOホールド時間 (対MDC↑)		10		ns
T15.4	RXDセットアップ時間 (対RX_CLK↑)		10		ns
T15.5	MDIOホールド時間 (対RX_CLK↑)		10		ns
T15.6	RX_DVセットアップ時間 (対RX_CLK↑)		10		ns
T15.7	RX_DVホールド時間 (対RX_CLK↑)		10		ns
T15.8	RX_ERセットアップ時間 (対RX_CLK↑)		10		ns
T15.9	RX_ERホールド時間 (対RX_CLK↑)		10		ns
T15.10	TXDバリッド時間 (対TX_CLK↑)		0	25	ns
T15.11	TX_ENバリッド時間 (対TX_CLK↑)		0	25	ns



11.16 ACタイミング・テスト条件

すべての規格は、必須のアイソレーションを適用し、またすべての差動信号をパルス・トランスのAUI側に取り
場合に限り有効です。

項 目	MIN.	TYP.	MAX.	単位
入力パルス・レベル (TTL/CMOS)	GND		3	V
入力立ち上がりおよび立ち下がり時間 (TTL/CMOS)		5		ns
入出力基準レベル (TTL/CMOS)		1.5		V
入力パルス・レベル (差動)	-1315		-350	mV
入出力基準レベル (差動)		注 1		V
3ステート基準レベル	$\Delta V - 0.5^{注2}$		$\Delta V + 0.5^{注2}$	V
出力負荷	下図参照			-



注 1. 差動レベルの50%点

2. ΔV = 浮動電圧

3. S1の状態

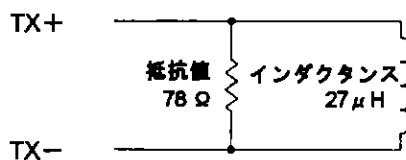
- ・プッシュプル出力のタイミング・テストではオープン
- ・ハイ・インピーダンスからアクティブ・ロウ・レベル, および
アクティブ・ロウ・レベルからハイ・インピーダンス測定ではVDD
- ・ハイ・インピーダンスからアクティブ・ハイ・レベル, および
アクティブ・ハイ・レベルからハイ・インピーダンス測定ではVSS

4. 50 pF, スコープおよびジグ容量を含む

ディレーティング係数

出力タイミングは50 pFの純粋な容量性負荷で測定します。その他の負荷には $C_L \geq 50 \text{ pF} + 0.05 \text{ ns/pF}$ の補正係数を使用することができます。

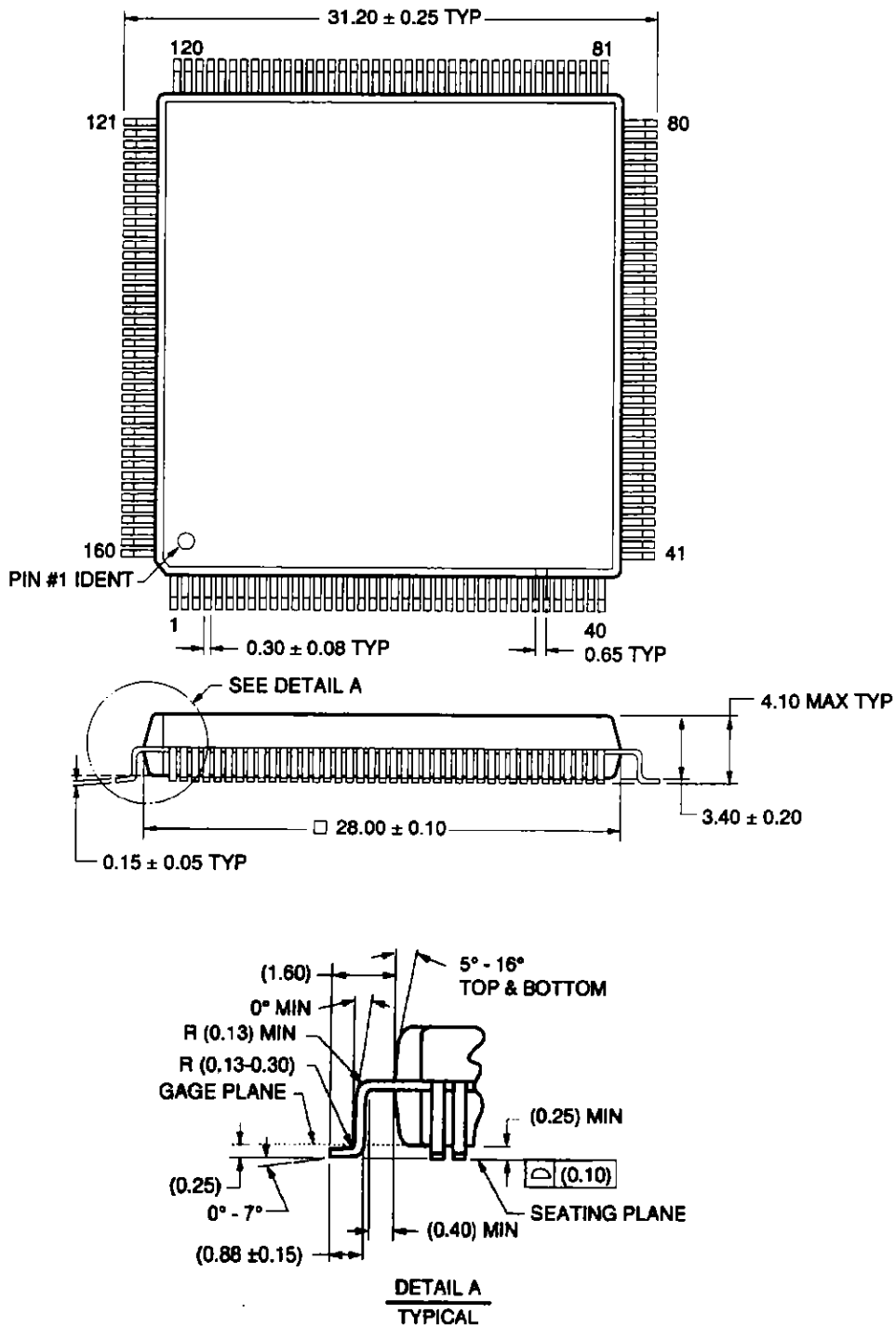
AUI送信テスト・ロード



備考 上図で、TX+信号およびTX-信号はアイソレーション（パルス・トランス）のAUI側から取っています。すべてのテストに使用したパルス・トランスは、100 μH ± 0.1 %のパルス・トランス社製（形名：PE84103）です。

★ 12. 外形図

160ピン・プラスチックQFP (□28 mm) (単位: mm)



13. 半田付け推奨条件

μPD72810Aの半田付け条件については、当社販売員にお問い合わせください。

表面実装タイプ

- ・ μPD72810AVUL：160ピン・プラスチックQFP (□28 mm)

CMOSデバイスの一般的注意事項

①静電気対策 (MOS全般)

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

②未使用入力の処理 (CMOS特有)

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

③初期化以前の状態 (MOS全般)

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

EEPROMは、日本電気株式会社の商標です。

イーサネットは、米国ゼロックス社の商標です。

本製品は外国為替および外国貿易管理法の規定により戦略物資等（または役務）に該当しますので、日本国外に輸出する場合には、同法に基づき日本国政府の輸出許可が必要です。

本資料に掲載の応用回路および回路定数は、例示的に示したものであり、量産設計を対象とするものではありません。

- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的所有権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
- 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意ください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。
 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
 特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災／防犯装置、各種安全装置、生命維持を直接の目的としない医療機器
 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
 当社製品のデータ・シート／データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。
- この製品は耐放射線設計をしておりません。

M4 94.11

— お問い合わせは、最寄りのNECへ —

【営業関係お問い合わせ先】

半導体第一販売事業部 半導体第二販売事業部 半導体第三販売事業部	〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3464-1111 (大代)	
中部支社 半導体第一販売部 半導体第二販売部	〒460 名古屋市中区錦一丁目17番1号 (NEC中部ビル)	名古屋 (052)222-2170 名古屋 (052)222-2190	
関西支社 半導体第一販売部 半導体第二販売部 半導体第三販売部	〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3178 大阪 (06) 945-3200 大阪 (06) 945-3208	
北海道支社 東北支社 岩手支店 山形支店 山形支店 山形支店 いわき支店 長岡支店 土浦支店 水戸支店 神奈川支社 群馬支店	札幌 (011)231-0161 仙台 (022)267-8740 盛岡 (019)651-4344 山形 (0236)23-5511 山形 (0249)23-5511 山形 (0246)21-5511 長岡 (0258)36-2155 土浦 (0296)23-6161 水戸 (029)226-1717 横浜 (045)324-5524 高崎 (0273)26-1255	太田支店 太田 (0276)46-4011 宇都宮支店 宇都宮 (028)621-2281 小山支店 小山 (0285)24-5011 長野支店 松本 (0263)35-1662 甲府支店 甲府 (0552)24-4141 埼玉支店 大宮 (048)641-1411 立川支店 立川 (0425)26-5981 千葉支店 千葉 (043)238-8116 静岡支店 静岡 (054)255-2211 北陸支店 金沢 (0762)23-1621 福井支店 福井 (0776)22-1866	富山支店 富山 (0764)31-8461 三浦支店 津 (0592)25-7341 京都支社 京都 (075)344-7824 神戸支社 神戸 (078)333-3854 中国支社 広島 (082)242-5504 鳥取支店 鳥取 (0857)27-5311 岡山支店 岡山 (086)226-4455 四国支社 高松 (0878)36-1200 新居浜支店 新居浜 (0897)32-5001 松山支店 松山 (089)945-4149 九州支社 福岡 (092)271-7700

【本資料に関する技術お問い合わせ先】

半導体ソリューション技術本部 第一システム技術部	〒210 川崎市幸区塚越三丁目484番地	川崎 (044)548-8884	半導体 インフォメーションセンター FAX(044)548-7900 (FAXにてお願い致します)
半導体販売技術本部 東日本販売技術部	〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3798-9610	
半導体販売技術本部 中部販売技術部	〒460 名古屋市中区錦一丁目17番1号 (NEC中部ビル)	名古屋 (052)222-2125	
半導体販売技術本部 西日本販売技術部	〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3383	