

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

## プログラマブルLCDコントローラ/ドライバ

$\mu$ PD7228Aは、ドット・マトリクス方式の8, 16時分割LCDとマイクロプロセッサとのインタフェース機能をすべて持っているLCDコントローラ/ドライバです。 $\mu$ PD7228Aは、ASCII/JIS対応の5×7ドット・マトリクス・キャラクタ・ジェネレータを内蔵しており、英数字やカタカナの表示を簡単に行うことができます。

$\mu$ PD7228Aは、従来製品である $\mu$ PD7228のLCD駆動電圧を、5Vから12Vに拡張した製品です。この機能により、従来よりコントラストが高く、視野角の広い高品質な液晶表示が可能です。

## 特 徴

- LCDを直接駆動（12V耐圧）
- 1チップで8, 16時分割の駆動が可能
  - 8時分割—400（50×8）ドット
  - 16時分割—672（42×16）ドット
- nチップ構成による8, 16時分割の駆動
  - 8時分割— $n \times 400$ （ $n \times 50 \times 8$ ）ドット
  - 16時分割— $n \times 800$ （ $n \times 50 \times 16$ ）ドット
- 表示データ記憶用RAM— $2 \times 50 \times 8$ ビット
- プログラマ指定のドット（グラフィック）表示
- 内蔵キャラクタ・ジェネレータによる5×7ドット・マトリクス表示（160種）
  - ASCII文字（英数字, その他）—96種
  - JIS文字（カタカナ, その他）—64種
- カーソル操作コマンド
- 8ビット・シリアル・インタフェース
  - 75Xシリーズ, 78Kシリーズとコンパチブル
- 4ビット・パラレル・インタフェース
  - $\mu$ PD40H, 50Hとコンパチブル
- スタンバイ機能
- CMOS
- 単一電源

## オーダ情報

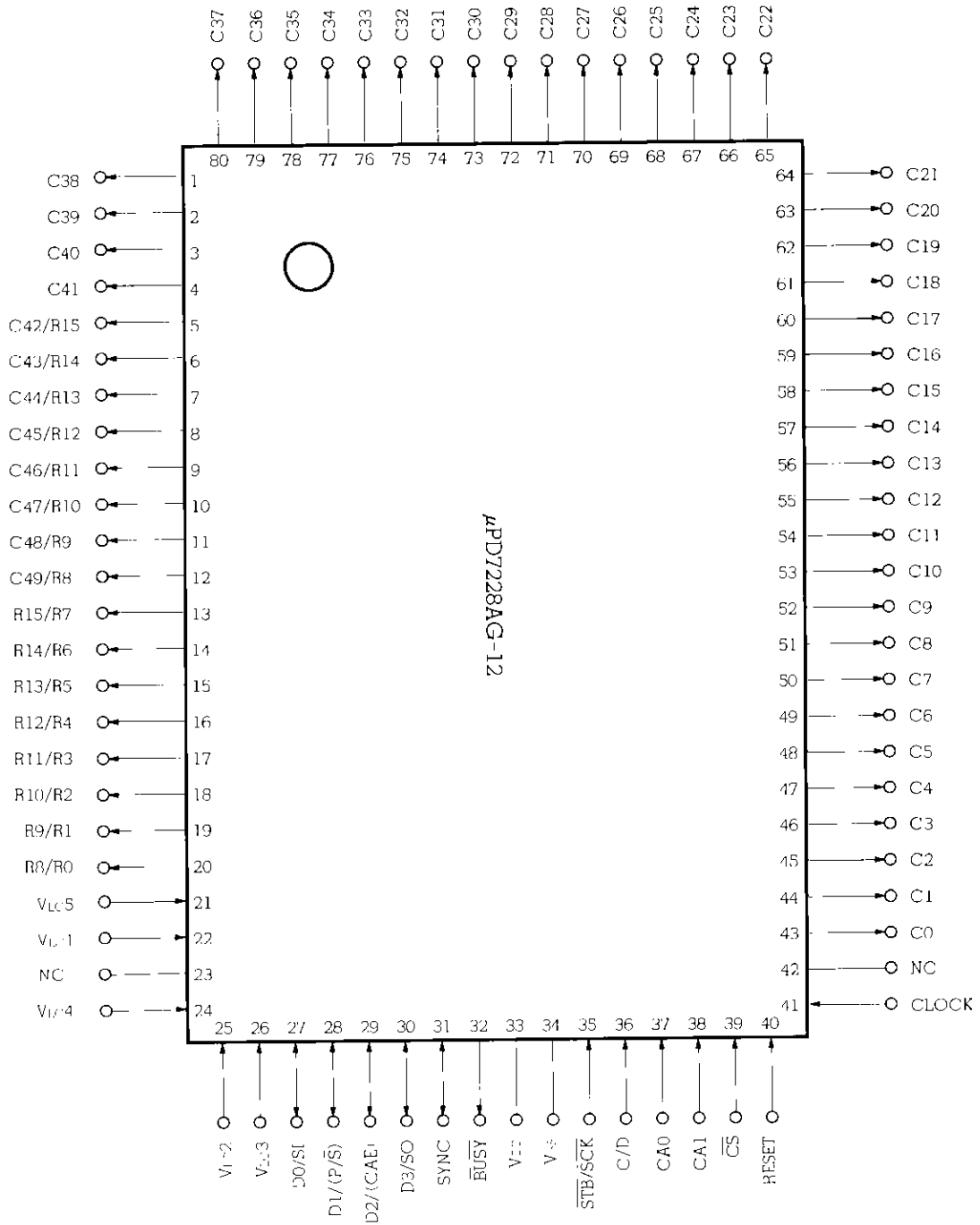
オーダ名称	パッケージ	品質水準
$\mu$ PD7228AG-12	80ピン・プラスチックQFP(14×20mm, 2.05mm厚)	標準(一般電子機器用)

品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」(IEI-620)をご覧ください。

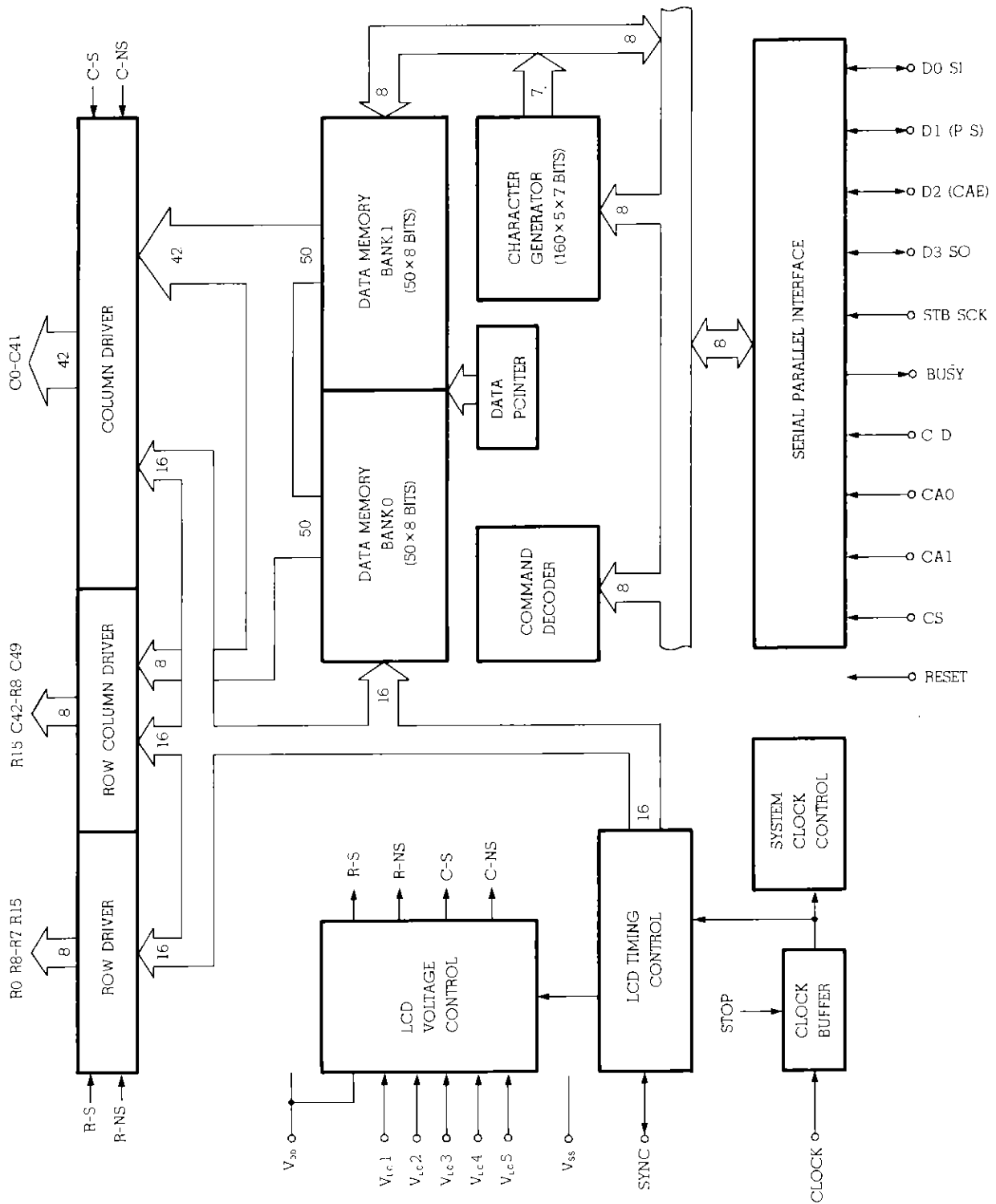
本資料の内容は、後日変更する場合があります。

端子接続図 (Top View)

80ピン・プラスチックQFP (14×20 mm)



ブロック図



## 目 次

1. 端子機能 … 6
  - 1.1 D0-D3 (Data Bus) ……3 ステート入出力 … 6
  - 1.2 SI (Serial Data In) ……D0兼用入力 … 6
  - 1.3 SO (Serial Data Out) ……D3兼用出力 … 6
  - 1.4 P/ $\bar{S}$  (Parallel/Serial Select) ……D1兼用入力 … 6
  - 1.5 CAE (Chip Address Enable) ……D2兼用入力 … 6
  - 1.6 CA0, CA1 (Chip Address) ……入力 … 6
  - 1.7  $\bar{CS}$  (Chip Select) ……入力 … 7
  - 1.8  $\bar{STB}/\bar{SCK}$  (Strobe/Serial Clock) ……入力 … 7
  - 1.9 C/ $\bar{D}$  (Command/Data) ……入力 … 7
  - 1.10  $\bar{BUSY}$  (Busy) ……3 ステート出力 … 7
  - 1.11 SYNC (Synchronous) ……3 ステート入出力 … 8
  - 1.12 C0-C41 (Column) ……出力 … 8
  - 1.13 R8/C49-R15/C42 (Row/Column) ……出力 … 9
  - 1.14 R0/R8-R7/R15 (Row) ……出力 … 9
  - 1.15  $V_{LC1}-V_{LC5}$  (LCD Drive Voltage Supply) ……入力 … 9
  - 1.16 CLOCK (Clock) ……入力 … 9
  - 1.17 RESET (Reset) ……入力 … 9
  - 1.18  $V_{DD}$  … 9
  - 1.19  $V_{SS}$  … 9
2. 内部ブロック機能 … 10
  - 2.1 シリアル/パラレル・インタフェース … 10
  - 2.2 コマンド・デコーダ … 11
  - 2.3 キャラクタ・ジェネレータ … 11
  - 2.4 データ・ポインタ … 14
  - 2.5 データ・メモリ … 14
  - 2.6 LCD電圧コントロール回路 … 17
  - 2.7 LCDタイミング・コントロール回路 … 18
  - 2.8 ロウ/カラム・ドライバ … 18
3. データ入出力動作 … 19
4.  $\mu$ PD7228AとCPUとのインタフェース機能選択 … 25
  - 4.1 兼用端子の機能 … 25
  - 4.2 チップ・アドレス選択機能 … 26

- 5. LCD駆動用基準電圧の供給 … 27
  - 5.1 抵抗分割によるLCD駆動用基準電圧の供給 … 27
  - 5.2 RESET信号による消費電流の低減 … 28
  
- 6. 表示例 … 29
  
- 7. スタンバイ・モード … 33
  - 7.1 スタンバイ・モードの解除 … 33
  - 7.2 スタンバイ・モードにおけるCLOCK供給の停止と低電圧データ保持 … 35
  
- 8. リセット動作 … 36
  
- 9. コマンド … 38
  - 9.1 LCD表示モード設定コマンド … 38
  - 9.2 データ・ポインタ・ロード・コマンド … 40
  - 9.3 データ処理モード設定コマンド … 40
  - 9.4 メモリ・ビット操作コマンド … 42
  - 9.5 スタンバイ動作設定コマンド … 43
  
- 10. システム構成例 … 45
  - 10.1 μPD7228Aをマルチチップ構成にした場合 … 45
  - 10.2 μPD40H, 50Hとのインタフェース上の注意 … 46
  
- 11. 電気的特性 … 48
  
- 12. 外形図 … 55
  
- 13. 半田付け推奨条件 … 56

## 1. 端子機能

### 1.1 DO D3 (Data Bus) …… 3ステート入出力

パラレル・インタフェース・モードにおいて、4ビット・パラレル・データの入出力端子として働きます。

DO D3ライン上のデータは $\overline{\text{STB}}$ 信号の立ち上がりで読み込まれ、1回目の $\overline{\text{STB}}$ で読み込まれた4ビット・データはシリアル/パラレル・レジスタの上位4ビットに、2回目のデータは下位4ビットにロードされます。

シリアル/パラレル・レジスタの内容は $\overline{\text{STB}}$ 信号の立ち下がりに同期してDO D3端子に出力されます。読み込みのときと同様、1回目の $\overline{\text{STB}}$ に上位4ビット、2回目の $\overline{\text{STB}}$ に下位4ビットが対応します。

シリアル・インタフェース・モードではDOはシリアル・データ入力端子 (SI)、D3はシリアル・データ出力端子 (SO)として働きます。

また、D1はパラレル/シリアル・インタフェース・モード選択端子 ( $\overline{\text{P/S}}$ )として、D2はチップ・アドレス・イネーブル端子 (CAE)として働きます。

### 1.2 SI (Serial Data In) …… DO兼用入力

シリアル・インタフェース・モードにおいて、シリアル・データの入力端子として働きます。SIライン上のデータは、 $\overline{\text{SCK}}$ の立ち上がりでシリアル/パラレル・レジスタにロードされます。先頭のデータがMSBとなります。ノイズによる誤動作を防ぐためヒステリシス特性を持つシュミット・トリガ入力になっています。

### 1.3 SO (Serial Data Out) …… D3兼用出力

シリアル・インタフェース・モードにおいて、シリアル・データの出力端子として働きます。シリアル/パラレル・レジスタの内容が $\overline{\text{SCK}}$ の立ち下がりに同期して、MSB先頭でSO端子に出力されます。

### 1.4 $\overline{\text{P/S}}$ (Parallel/Serial Select) …… D1兼用入力

RESET信号の立ち下がり時 (リセット解除時)にこの入力がハイならばパラレル・インタフェース・モード、ロウならばシリアル・インタフェース・モードが設定されます。ノイズによる誤動作を防ぐためヒステリシス特性を持つシュミット・トリガ入力になっています。

### 1.5 CAE (Chip Address Enable) …… D2兼用入力

RESET信号の立ち下がり時 (リセット解除時)に $\overline{\text{P/S}}$ 入力がロウ (シリアル・インタフェース・モード指定)のときCAE入力が意味を持ち、同じタイミングでCAE入力がハイならばチップ・アドレス機能付き、ロウならばチップ・アドレス機能なしとなります。ノイズによる誤動作を防ぐためヒステリシス特性を有するシュミット・トリガ入力になっています。

### 1.6 CAO, CA1 (Chip Address) …… 入力

マルチチップ構成時にCPUとインタフェースする際、個々の $\mu$ PD7228Aチップを選択するために固有アドレスを割り付けるための入力端子です。CA0, CA1入力はパラレル・インタフェース・モードではCAE入力に関係なく、シリアル・インタフェース・モードではCAE入力によってチップ・アドレス選択機能が有効になったときにCPUから送られてくるチップ・アドレス情報と比較されます。



表 1-1 CA1, CA0端子の処理

モード	CA1, CA0
チップ・アドレス機能あり ・パラレルのとき常時 ・シリアルでCAE=1のとき	00, 01, 10, 11のいずれかに 設定（シングルチップの場合 は00のみ）
チップ・アドレス機能なし ・シリアルでCAE=0のとき	常に00に設定

注意 シリアル・インタフェース・モードでマルチチップ構成の場合、チップ・アドレス機能を使用しなくともデコードされたCS信号をチップ数分用意して各チップに供給することによりチップ選択が可能となります。このときはすべてのチップのCAEを0とし、CA1, CA0端子を00とします。

ノイズによる誤動作を防ぐため、ヒステリシス特性を有するシュミット・トリガ入力になっています。

### 1.7 CS (Chip Select) ……入力

ロウ・アクティブのチップ・セレクト入力です。

チップ・アドレス機能を用いていない場合、CS入力にロウを入力するとSTB/SCK入力およびC/D入力が有効となり、コマンドの入力およびデータの入出力が可能になります。

チップ・アドレス機能を用いる場合、STB/SCKおよびC/D入力が有効となるには、CSがロウになるほかにチップ・アドレス情報とCA0, CA1入力が一致する必要があります。

CS入力をハイにするとD3 D0, BUSY端子が無条件にハイ・インピーダンス状態になります。ノイズによる誤動作を防ぐためヒステリシス特性を持つシュミット・トリガ入力になっています。

### 1.8 STB/SCK (Strobe/Serial Clock) ……入力

パラレル・インタフェース・モードでは4ビット・パラレル・データ入出力用のストロブ信号入力端子 (STB) となり、シリアル・インタフェース・モードではシリアル・データ入出力用のシリアル・クロック入力端子 (SCK) となります。

### 1.9 C/D (Command/Data) ……入力

パラレルまたはシリアル入力データがコマンドかデータかを指定する端子です。コマンドを入力する場合はC/D入力をハイ、データを入力する場合はC/D入力をロウにします。

コマンドまたはデータ入力の場合、C/D入力の内容はパラレル・インタフェース・モードでは2回目のSTBの立ち上がりで、シリアル・インタフェース・モードでは8回目のSCKの立ち上がりでラッチされます。ただし、パラレル入力の場合、C/D入力の切り替えは1回目のSTBの立ち下がり以前に行ってください。

また、データ出力の場合、パラレルかシリアルかにかかわらず、常にC/D入力をロウにしておいてください。ノイズによる誤動作を防ぐため、ヒステリシス特性を持つシュミット・トリガ入力になっています。

### 1.10 BUSY (Busy) ……3ステート出力

μPD7228Aが内部処理中のためビジーであることをCPUに知らせるBUSY信号を出力する端子です。

この信号がロウのときμPD7228Aはビジーのため、CPUはμPD7228Aに対してリード/ライト動作を実行できません。

BUSY信号は、パラレル・インタフェース・モードでは2回目のSTBの立ち上がりで、シリアル・インタフェース・

モードでは8回目の $\overline{\text{SCK}}$ の立ち上がりでロウになります。

内部処理が終了すると $\overline{\text{BUSY}}$ 信号をハイにします。

チップ非選択 ( $\overline{\text{CS}}$ =ハイまたはチップ・アドレス不一致) のときは、 $\overline{\text{BUSY}}$ 出力はハイ・インピーダンスになります。

### 1.11 SYNC (Synchronous) ……3ステート入出力

ロウ・ドライブ信号を共通に用いるマルチチップ構成の場合、すべてのμPD7228AのLCD駆動交流信号（ロウ／コラム信号）の位相とフレーム周期を合わせるための同期信号の入／出力端子です。

マルチチップ構成の中でどれか1つをマスタとし、そのマスタ・チップのSYNC端子を出力モードにします。残りのチップはすべてスレーブ・チップとし、それらのSYNC端子を入力モードにします。

入力か出力かの指定は、SMMコマンドで行います。

出力モードに指定されたマスタ・チップは、各フレームの最後のサイクルでSYNCパルスを出力します。スレーブ・チップはマスタ・チップが出力するSYNCパルスをSYNC入力より読み込んでマスタ・チップと同期をとります。

8時分割および16時分割の場合のSYNCパルスの出力タイミングを図1-1、1-2に示します。

シングル・チップ構成のとき、SYNC端子は入力、出力モードのいずれに設定してもかまいませんが、入力モードに設定した場合はSYNC端子を $V_{SS}$ に固定し、出力モードに設定した場合はSYNC端子をオープンにしてください。

図1-1 8時分割でのSYNCの信号

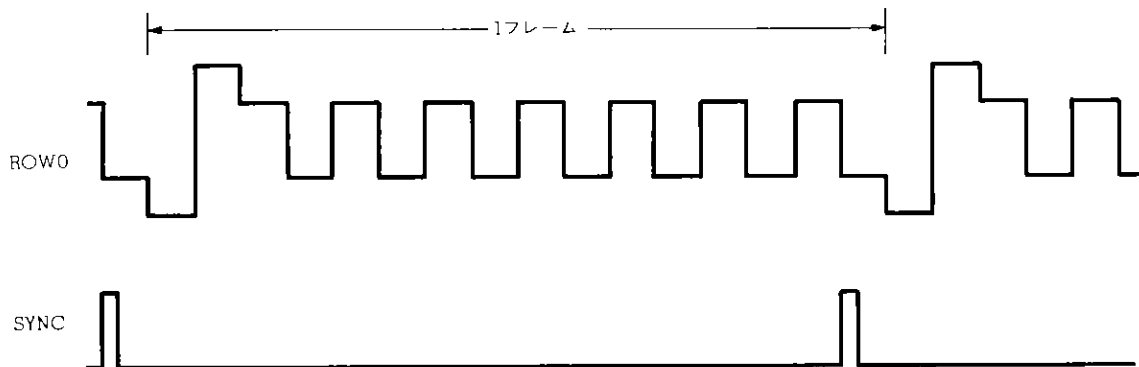
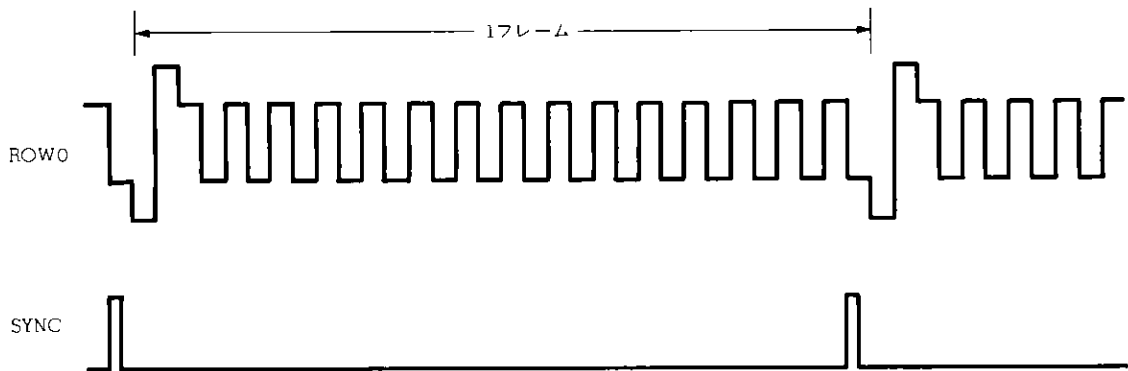


図1-2 16時分割でのSYNC信号



### 1.12 CO-C41 (Column) ……出力

LCDのカラム・ドライブ信号の出力端子です。

**1.13 R8/C49-R15/C42 (Row/Column) ……出力**

LCDのロウ・ドライブ信号R8-R15またはカラム・ドライブ信号C49-C42の出力端子です。ロウまたはカラムのいずれの端子として動作するかはSMMコマンドで指定します。

**1.14 R0/R8-R7/R15 (Row) ……出力**

LCDのロウ・ドライブ信号のR0-R7またはR8 R15の出力端子です。いずれのロウ・ドライブ信号を出力するかはSMMコマンドで指定します。

**1.15 V<sub>LC1</sub>-V<sub>LC5</sub> (LCD Drive Voltage Supply) ……入力**

LCDのロウ／カラム・ドライブ信号の電圧レベルを決定するための基準電圧入力端子です。

**1.16 CLOCK (Clock) ……入力**

外部クロック入力端子です。

**1.17 RESET (Reset) ……入力**

ハイ・アクティブのリセット信号入力端子です。すべての動作に優先します。

スタンバイ・モードの解除やデータ・メモリの低電源電圧データ保持動作にも使用されます。

**1.18 V<sub>DD</sub>**

正電源供給端子です。

**1.19 V<sub>SS</sub>**

GND電位です。

2. 内部ブロック機能

2.1 シリアル/パラレル・インタフェース

この回路はシリアル・インタフェースおよびパラレル・インタフェースの両機能を備えており、どちらのインタフェースとして動作するかはRESET信号立ち下がり時にP/S入力がハイ（パラレル指定）かロウ（シリアル指定）かで決まります。

CPUからのコマンド/データの書き込み、CPUへのデータの出力は、すべてこのインタフェースを介して行われます。

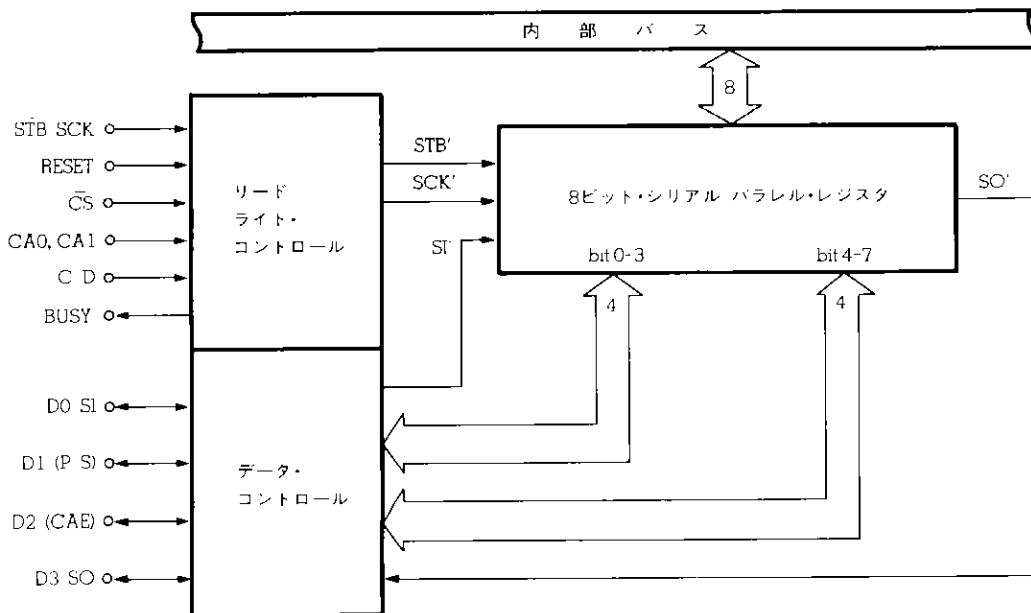
シリアル/パラレル・インタフェースの動作は、データ処理モードが何に設定されているかで異なります。データ処理モードはRESET入力によってライト・モードにインシャライズされ、最初のコマンド入力が可能となります。そのあとはデータ処理モード設定コマンドによってライト系または、リード系のデータ処理モードに設定できます。

データ処理モードとしてライト、AND、OR、キャラクタのライト系に設定されると、シリアル/パラレル・インタフェースはデータ入力モードになってSCKまたはSTBの立ち上がりに同期して、SI端子（シリアル・データ）またはD3-D0端子（4ビット・パラレル・データ）よりデータを取り込みます。

また、リード・モードに設定されると、シリアル/パラレル・インタフェースはデータ出力モードになってSCKまたはSTBの立ち下がりに同期して、SO端子（シリアル・データ）またはD3-D0端子（パラレル・データ）よりデータを出します。

シリアル/パラレル・レジスタは、シリアル入出力（SI、SO）、パラレル入出力（D3-D0）を介して転送される8ビット・シリアル・データまたは2×4ビット・パラレル・データとデータ・メモリの8ビット・パラレル・データとのバッファの役目を果たします。

図2-1 シリアル/パラレル・インタフェース



CPUからシリアル/パラレル・インタフェースに入力されたデータは、C/D入力による指定がコマンドであればシリアル/パラレル・レジスタからコマンド・デコーダに送られ、デコードされます。

データ指定であれば、ライト・モードではシリアル/パラレル・レジスタにロードされたデータがそのままデータ・メモリに転送され、AND、ORモードではシリアル/パラレル・レジスタにロードされたデータとデータ・メモリの内容とのAND、OR演算が行われ、その結果がデータ・メモリに転送されます。またキャラクタ・モードではシ

リアル／パラレル・レジスタにロードされたデータはASCIIまたはJISコードとみなされてキャラクタ・ジェネレータに送られ、5×7ビット構成のキャラクタ表示パターンにデコードされたあと、データ・メモリの5連続アドレスにストアされます。

リード・モードに設定されたときのみシリアル／パラレル・インタフェースはCPUに対するデータ出力動作を行います。リード・モードに設定されると、シリアル／パラレル・インタフェースは常に次のリードに備えてデータ・メモリから8ビット・データを読み出し、シリアル／パラレル・レジスタにセットしておきます。

シリアル・インタフェース・モードでは $\overline{SCK}$ の立ち下がりごとにMSB先頭で、シリアル／パラレル・レジスタのデータをSO端子より出力します。

パラレル・インタフェース・モードでは1回目の $\overline{STB}$ の立ち下がりでシリアル／パラレル・レジスタの上位4ビットを、2回目の $\overline{STB}$ の立ち下がりで下位4ビットをD3・D0端子より出力します。

シリアル、パラレルいずれの場合でも、8ビット・データ出力が終了すると、自動的に次の8ビット・データがデータ・メモリから読み出され、シリアル／パラレル・レジスタにセットされます。

## 2.2 コマンド・デコーダ

シリアル／パラレル・インタフェースを介して入力された8ビット・データがコマンド指定 ( $C/\overline{D}=1$ ) ならば、そのデータをコマンドとして取り込み、デコードして内部制御信号を発生します。

## 2.3 キャラクタ・ジェネレータ

キャラクタ・ジェネレータは、キャラクタ・モード設定コマンド (SCML, SCMR) が実行されると有効になり、シリアル／パラレル・インタフェースを介して書き込まれる8ビット・データをキャラクタ・コードとして解釈し、それらに対応する5×7ドット・マトリクス・パターンを発生し、データ・メモリの5連続アドレスに転送 (7ビット×5回) します。

キャラクタ・ジェネレータは、次に示す160種のパターン情報を内蔵しています。

ASCII		JIS	
英大文字	26	カタカナ	55
英小文字	26	記号	9
数字	10		
記号	34		

図2-2にキャラクタ (ASCII/JIS) コードと5×7ドット表示パターンの対応を示します。20H-7FHの96コードがASCIIに対応し、A0H-DFHの64コードがJISに対応します。

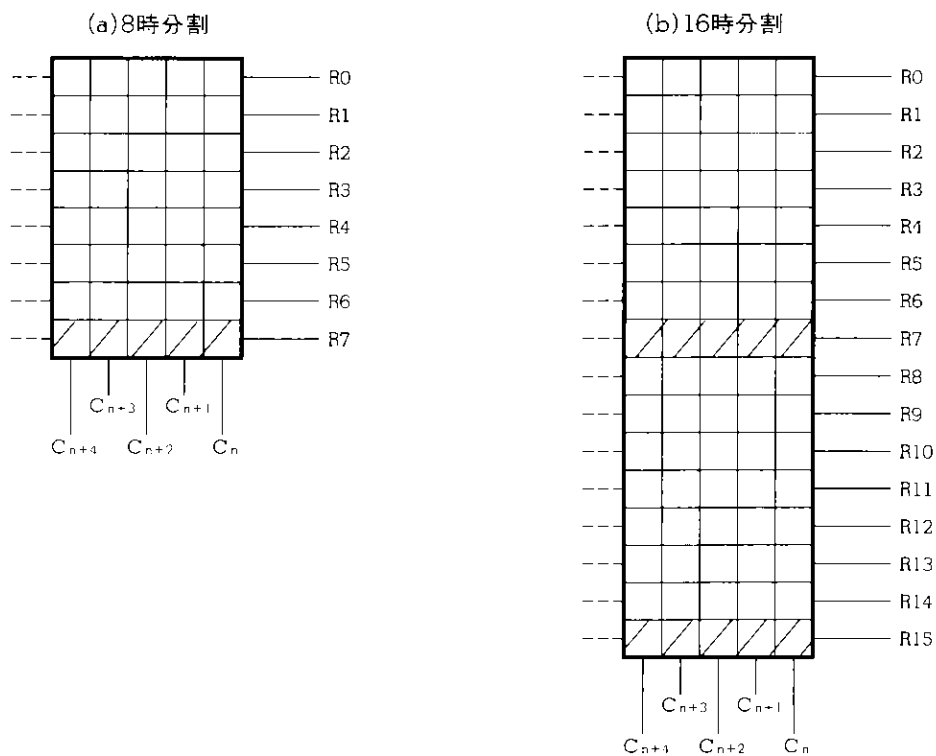
図2-2 キャラクタ・コードと表示パターン

7				4 0				3				キャラクタ・コード				
7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0	キャラクタ・コード
0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	!
0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1	"
0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1	#
0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	\$
0	0	1	0													%
0	0	1	1													&
0	1	0	0													'
0	1	0	1													( )
0	1	1	0													* +
0	1	1	1													, -
1	0	1	0													._
1	0	1	1													/
1	1	0	0													0 1 2 3 4 5 6 7 8 9
1	1	0	1													: ; < = > ?
																a A B C D E F G H I J K L M N O
																P Q R S T U V W X Y Z [ \ ] ^ _
																` a b c d e f g h i j k l m n o
																P Q R S T U V W X Y Z (   ) ~
																g r j \ " 3 7 4 5 6 7 8 9
																- 7 4 5 6 7 8 9 0 1 2 3 4 5 6 7 8 9
																9 0 1 2 3 4 5 6 7 8 9 0 1 2 3 4 5 6 7 8 9
																3 4 5 6 7 8 9 0 1 2 3 4 5 6 7 8 9

図2-3にキャラクタ・ジェネレータを使用する際のLCD構成を示します。キャラクタは5×7ドット構成で、データ・メモリの最上位ビット（ビット7）はキャラクタ・ジェネレータによって使用されないため、最上位ビットに対応（8時分割でのR7、16時分割でのR7とR15）するLCDのドットは、キャラクタ・ジェネレータとは別にカーソルやインディケータの表示パターンとして利用できます。

最上位ビットの操作はカーソル操作コマンド（WRCURS, CLCURS）などで行います。

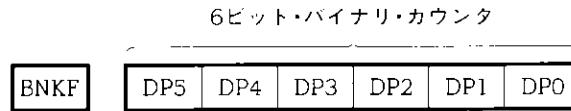
図2-3 キャラクタ・ジェネレータ使用時のLCD構成



2.4 データ・ポインタ

データ・ポインタは、6ビット・バイナリ・カウンタ (DP5-DP0) と1ビット・バンク・フラグ (BNKF) で構成されており、データ・メモリのアドレスを指定します。

図2-4 データ・ポインタの構成



バンク・フラグと6ビット・バイナリ・カウンタの内容は、LDPIコマンドのイミューディエト・データによって同時に設定されます。

バンク・フラグの内容がデータ・メモリのバンクを指定し (BNKF=0 : バンク0 ; BNKF=1 : バンク1), 6ビット・バイナリ・カウンタの内容がバンク・フラグで指定されるバンク内のアドレス (00H 31H) を指定します。

6ビット・バイナリ・カウンタはアップダウン・カウンタになっており、その内容はリード、ライト、AND、そしてORモードでは8ビット・データ入出力ごとに、それぞれのモード設定コマンドの指示に従ってモディファイ (+1, -1, 保持) されます。

また、BSET, BRESETコマンドを実行した場合、これらのコマンドの指示に従って、そのつど、モディファイ (+1, -1, 保持) されます。

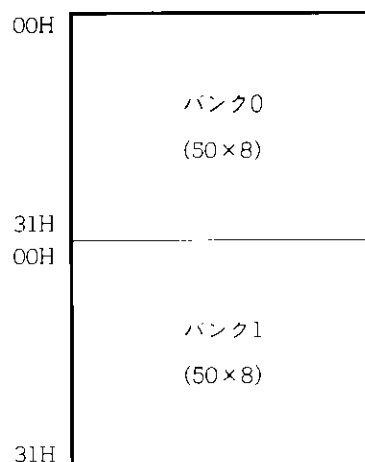
さらにキャラクタ・モードでは、8ビット・データ入力ごとに、またはカーソル処理コマンド実行ごとに+5または-5されます。

**注意** 6ビット・バイナリ・カウンタはデータ・メモリのアドレス空間を越えた値も取り得ます。たとえば、00Hから-1されると3FH, 31Hから+1されると32Hになります。しかし、データ・メモリは32H 3FHのアドレス指定のコマンドに対して何の動作も行いません。

2.5 データ・メモリ

データ・メモリは、2バンク×50ワード×8ビット構成のスタティックRAMで、表示データのストアに用いられます。

図2-5 データ・メモリの構成





データ・メモリのバンクはデータ・ポインタのバンク・フラグで指定され、バンク内アドレスはデータ・ポインタの6ビット・バイナリ・カウンタでアドレスされます。

CPUによってシリアル/パラレル・インタフェースに書き込まれた8ビット・データは、あらかじめ設定されているデータ処理モードに従って、そのまま、または演算、デコードされてデータ・メモリに書き込まれます。

また、データ・メモリの内容は、ビット操作コマンドによって直接操作できます。

リード・モードに設定されると、データ・メモリの内容はシリアル/パラレル・インタフェースを介してCPUに出力されます。

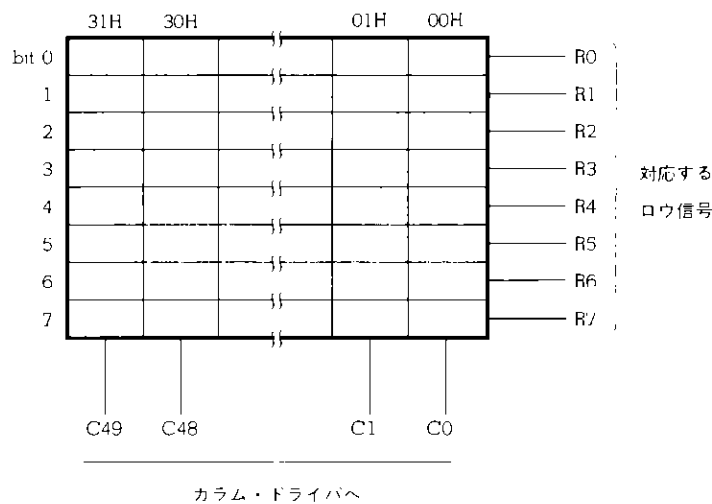
データ・メモリの内容は、シリアル/パラレル・インタフェースを介するCPU側とのコマンド/データの書き込み、読み出しとは別に、ビット単位にロウ・ドライブ信号に同期して読み出されてLCDドライブ用のカラム・ドライブに送られます。表示データの読み出し動作は表示の時分割数によって異なります。

**(1) 8時分割の場合 (シングル/マルチチップ構成時)**

バンク0またはバンク1のうち、SMMコマンドで指定されるバンク内の表示データがカラム・ドライブに読み出されます。

データ・メモリとロウ・ドライブ、カラム・ドライブのビット対応は次のとおりです。RnとCmの交点のデータが1ならばそれに対応するLCDのドットは点灯、0ならば消灯となります。

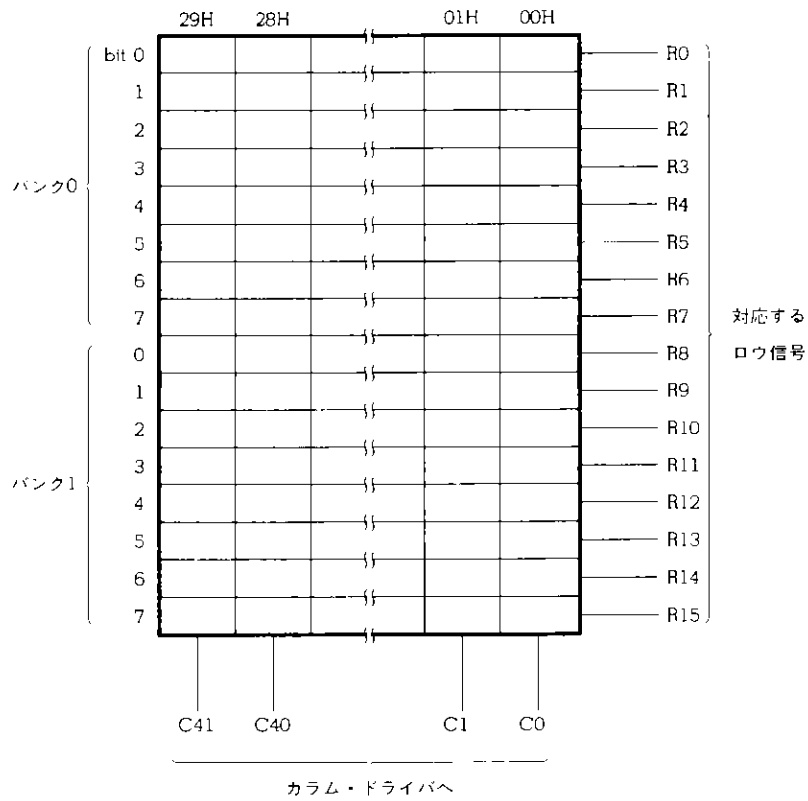
**図2-6 データ・メモリ (8時分割, シングル/マルチチップ)**



(2) 16時分割の場合 (シングル・チップ構成)

バンク0とバンク1が組みで使用され、42×16ビットの表示データとしてカラム・ドライバに読み出されます。データ・メモリとロウ・ドライバ、カラム・ドライバのビット対応は次のとおりです。RnとCmの交点のデータが1ならばそれに対応するLCDのドットは点灯、0ならば消灯となります。

図2-7 データ・メモリ (16時分割, シングル・チップ)



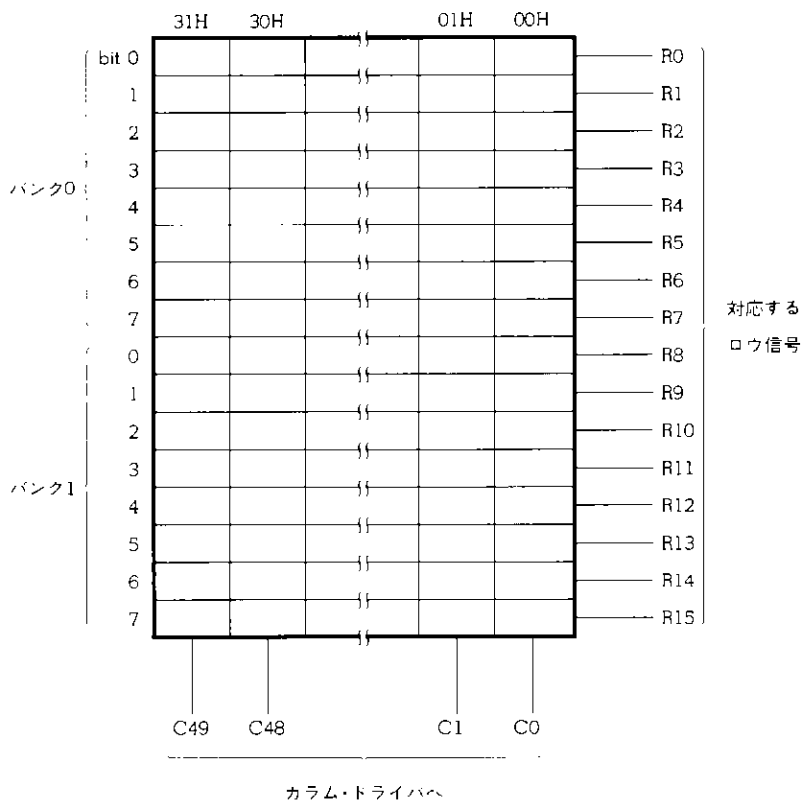
(3) 16時分割の場合 (マルチチップ構成)

バンク0とバンク1が組みで使用され、50×16ビット構成の表示データとしてカラム・ドライバに読み出されます。

なお、1個のμPD7228Aチップが出力するロウ・ドライブ信号は、R0-R7またはR8-R15の8本です。

データ・メモリとロウ・ドライバ、カラム・ドライバのビット対応 (1チップ分) は次のとおりです。

図2-8 データ・メモリ (16時分割, マルチチップ)



2.6 LCD電圧コントロール回路

この回路は、LCD駆動用基準電圧入力 ( $V_{LC1}$   $V_{LC5}$ ) より供給される直流電圧を、CLOCKおよびSYNC信号に同期した交流信号で時分割して、ロウ・ドライブ信号、カラム・ドライブ信号の選択、非選択レベルと位相を決定する信号をロウ・ドライバ、カラム・ドライバに供給します。

これらの信号のレベルと位相を次に示します。

表2-1 LCD駆動電圧の信号レベルと位相

		8時分割		16時分割	
		-	+	-	+
ロウ	選択	$V_{LC0}$	$V_{LC5}$	$V_{LC0}$	$V_{LC5}$
	非選択	$V_{LC4}$	$V_{LC1}$	$V_{LC4}$	$V_{LC1}$
カラム	選択	$V_{LC5}$	$V_{LC0}$	$V_{LC5}$	$V_{LC0}$
	非選択	$V_{LC2}^{注}$	$V_{LC2}$	$V_{LC3}$	$V_{LC2}$

注  $V_{LC2} = V_{LC3}$

### 2.7 LCDタイミング・コントロール回路

この回路は、クロック信号をもとにSFFコマンドで指定されるフレーム周波数およびSMMコマンドで指定される時分割数に従って、表示データの自動読み出しとLCDドライブに必要なタイミング信号を発生し、データ・メモリ、ロウ／カラム・ドライバ、そしてLCD電圧コントロール回路に供給します。

SMMコマンドによってSYNC信号が出力モードに設定されていればフレーム周期ごとにSYNC信号を出力し、入力モードでは別チップから供給されるSYNC信号を入力して、フレーム周期単位で同期をとってタイミング信号を発生します。

SYNC信号入出力機能は、マルチチップ構成時に各チップ間のLCDドライブ・タイミングを同期させるために用いられます。

### 2.8 ロウ／カラム・ドライバ

C0-C41カラム信号ドライバ、R15-R8ロウ信号およびC42-C49カラム信号の兼用ドライバ、そしてR0-R7およびR8-R15ロウ信号の兼用ドライバの3種で構成されています。

兼用ドライバの機能はSMMコマンドによって決定されます。

表 2-2 LCD兼用ドライバの選択

注1 M <sub>2</sub> M <sub>1</sub> M <sub>0</sub>	時分 割数	R0-R8-R7/R15	R15/C42-R8/C49
0 0 0	8	R0-R7	C42 C49
0 0 1			
0 1 0			
0 1 1			
1 0 0	16	R8 R15 注2	R15 R8
1 0 1			
1 1 0		R0-R7 注3	
1 1 1			

注1. M<sub>2</sub> M<sub>1</sub> M<sub>0</sub>はSMMコマンドの指定コードです。

2. 他チップがR0-R7の出力を受け持ちます。

3. 他チップがR8-R15の出力を受け持ちます。ただし、M<sub>2</sub> M<sub>1</sub> M<sub>0</sub>=111の場合はシングル・チップ構成のときで、R15/C42-R8/C49端子をロウ信号出力として利用し、本チップより16本のロウ信号をすべて出力します。

これらのドライバは、LCD電圧コントロール回路から供給される選択、非選択レベルおよび位相に従って、データ・メモリから読み出される表示データの内容およびLCDタイミング・コントロール回路から供給されるタイミング信号に対応するアナログ電位のスイッチングを行い、LCDを直接駆動できるロウ、カラム・ドライブ信号を作り、ロウ、カラム端子に出力します。

### 3. データ入出力動作

μPD7228Aでは、コマンド/データは1バイト（8ビット）長で構成されており、シリアル、パラレルともに1バイト・データの転送終了ことに処理が行われます。

バイト・データの転送終了は $\overline{SCK}$ を8回、または $\overline{STB}$ を2回カウントするバイト・カウンタ（8/2進カウンタ）でチェックされます。

このカウンタは $\overline{CS}$ =ハイ、またはRESET=ハイのときに無条件にクリアされ、新たなバイト、データをカウントできるようになっています。したがって、バイト転送の途中で $\overline{CS}$ をハイに上げたり、RESETをかけたりした場合には、バイト転送は保証されなくなります。

シリアル・インタフェース・モードでは8ビット・シリアル・データとして処理され、チップ選択状態でシリアル・クロック（ $\overline{SCK}$ ）が8回入ると1バイト・データの入力または出力終了とみなして内部処理に入り、8回目の $\overline{SCK}$ の立ち上がりで $\overline{BUSY}$ 信号をロウにしてCPUにビジー状態であることを知らせます。内部処理が終了すると $\overline{BUSY}$ 信号をハイにして次のバイトの転送が可能になったことをCPUに知らせます。

シリアル・データは入力、出力ともにMSB先頭です（図3-1、3-2参照）。

シリアル・インタフェース・モードでチップ・アドレス選択機能付きの場合は、 $\overline{CS}$ の立ち下がり後、最初にチップ・アドレス情報のための8ビット・シリアル・データ（実際に意味を持つのは下位2ビットのみ）が書き込まれねばなりません。この結果アドレスが一致したチップが、コマンドの入力またはデータ入出力動作に入ることができます（図3-3、3-4参照）。

パラレル・インタフェース・モードでは、データ・バス（D3 D0）が4ビット構成のため4ビット×2のパラレル・データとして処理され、チップ選択状態でパラレル・データ・ストロブ信号（ $\overline{STB}$ ）が2回入ると1バイト・データの入力または出力終了とみなして内部処理に入り、2回目の $\overline{STB}$ の立ち上がりで $\overline{BUSY}$ 信号をロウにしてCPUにビジー状態であることを知らせます。内部処理が終了すると $\overline{BUSY}$ 信号をハイにして次のバイト転送が可能になったことをCPUに知らせます。

パラレル・データは入力、出力ともに1回目の $\overline{STB}$ に上位4ビット、2回目の $\overline{STB}$ に下位4ビットが対応します。

μPD7228Aのパラレル・インタフェースは、μPD82C43 I/Oイクスパンダとコンパチブルになっており、μPD82C43への4ビット・データ出力を続けて二度実行する要領でμPD7228Aへのパラレル・データの入力ができます。また、μPD82C43のデータ読み出しを続けて二度実行する要領でμPD7228Aのシリアル/パラレル・レジスタの8ビット・データを4ビット×2回で読み出せます。

パラレル・インタフェース・モードでは常にチップ・アドレス選択機能が付き、 $\overline{CS}$ 立ち下がり後、最初の $\overline{STB}$ の立ち下がりて読み込まれるD1、D0ライン上のデータがチップ・アドレス情報となります。チップ・アドレス情報は、μPD82C43のポート4-ポート7選択用のデータとしてCPUから出力されるコマンド・コードの下位2ビットを利用します。 $\overline{CS}$ 立ち下がり後、2回目以降の $\overline{STB}$ の立ち下がりてCPUから出力されるコマンド・コードは、μPD7228Aにとっては意味を持ちません（図3-5、3-6参照）。

チップ・アドレス選択機能の詳細は次の第4章を参照してください。

図 3-1 シリアル入カタiming (チップ・アドレス選択機能なし)

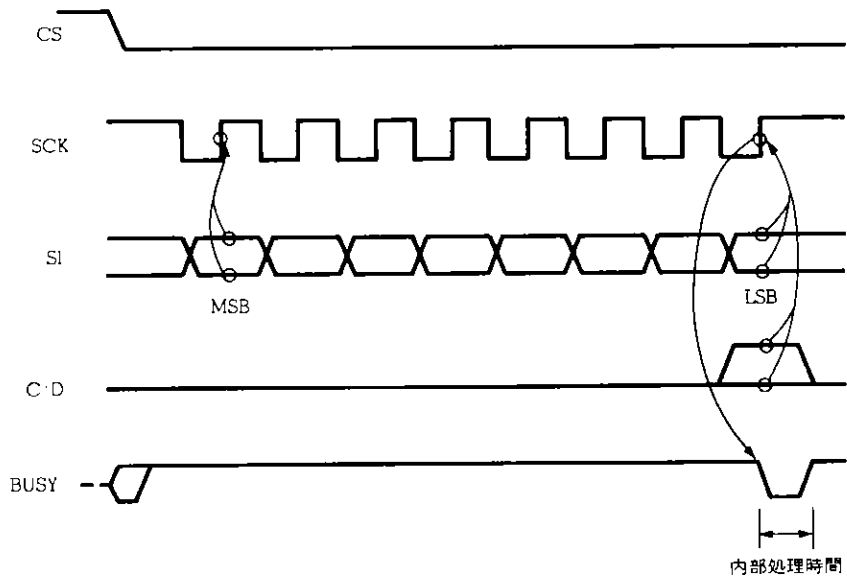


図 3-2 シリアル出カタiming

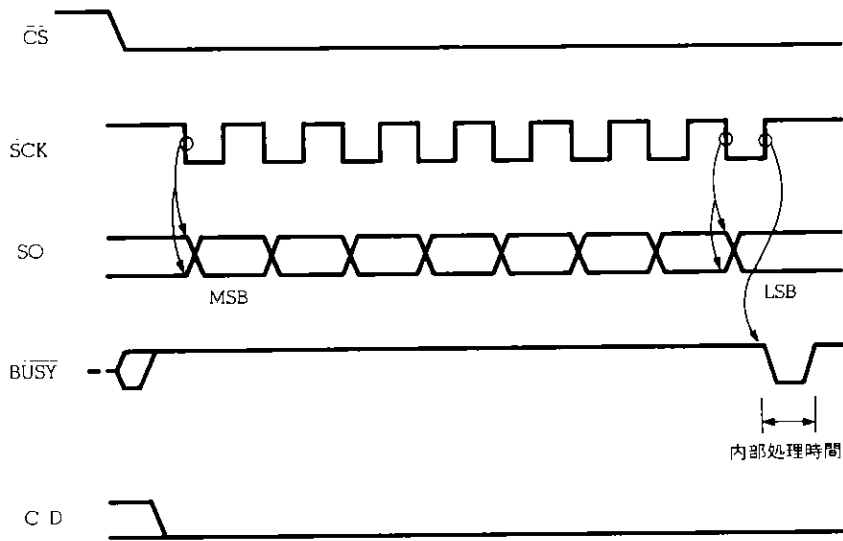


図3-3 シリアル入力タイミング (チップ・アドレス選択機能付き)

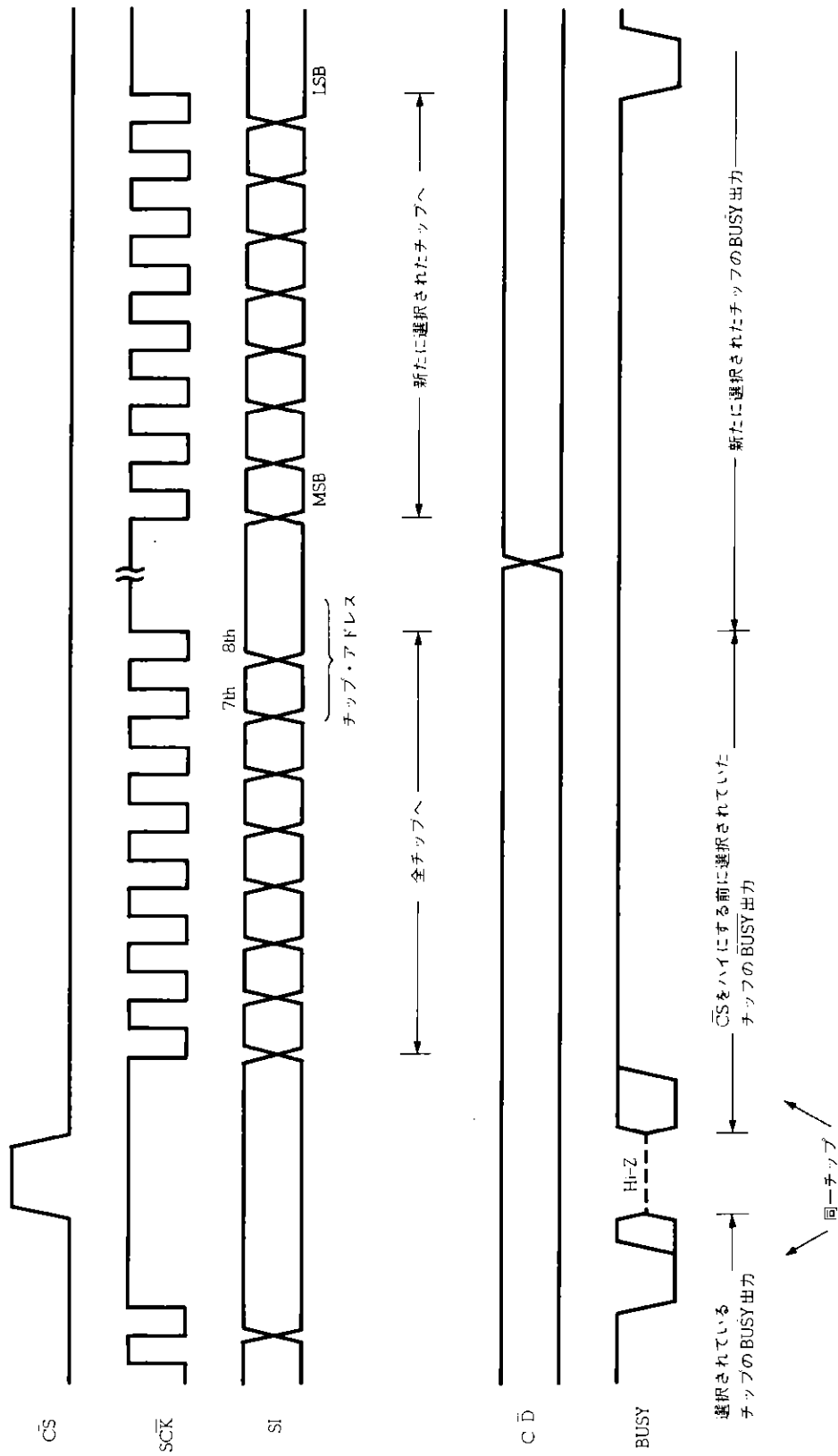


図3-4 シリアル出カタイミング (チップ・アドレス選択機能付き)

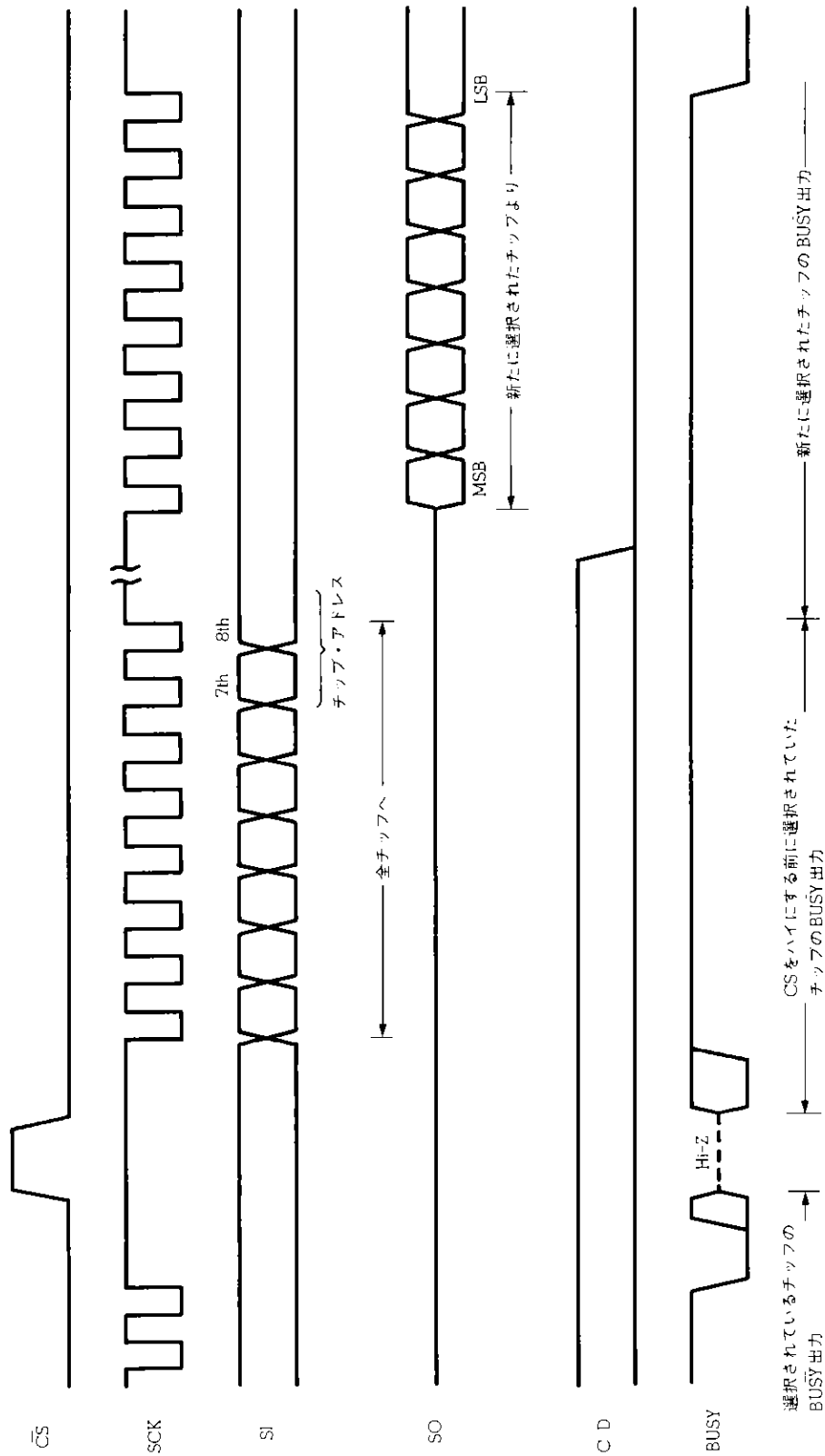




図3-5 パラレル入カタイミング

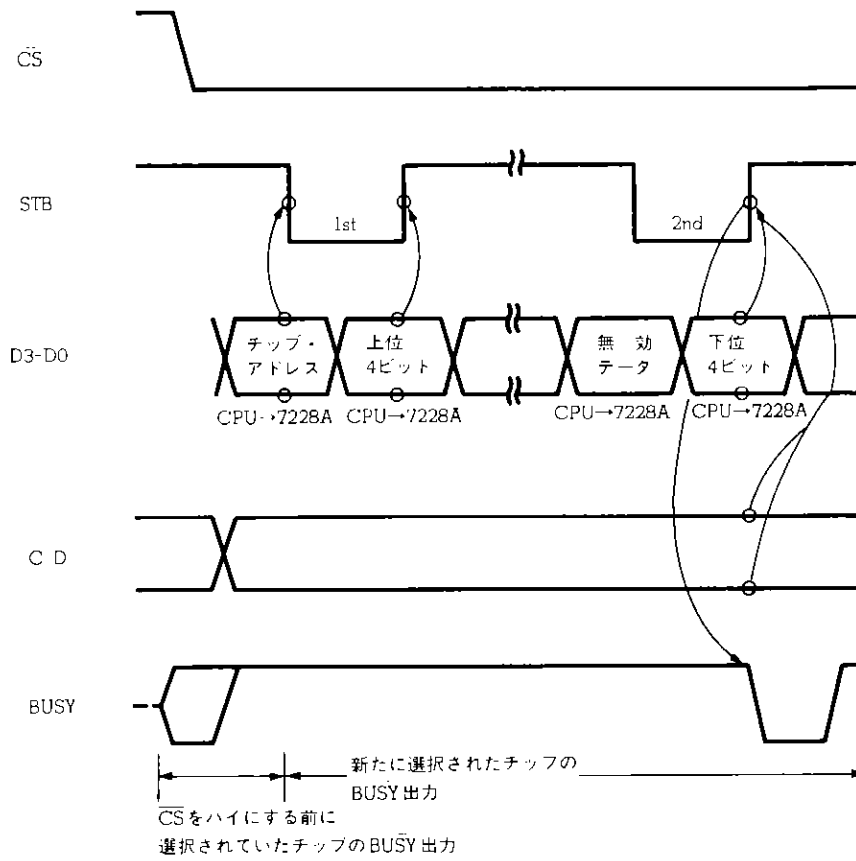
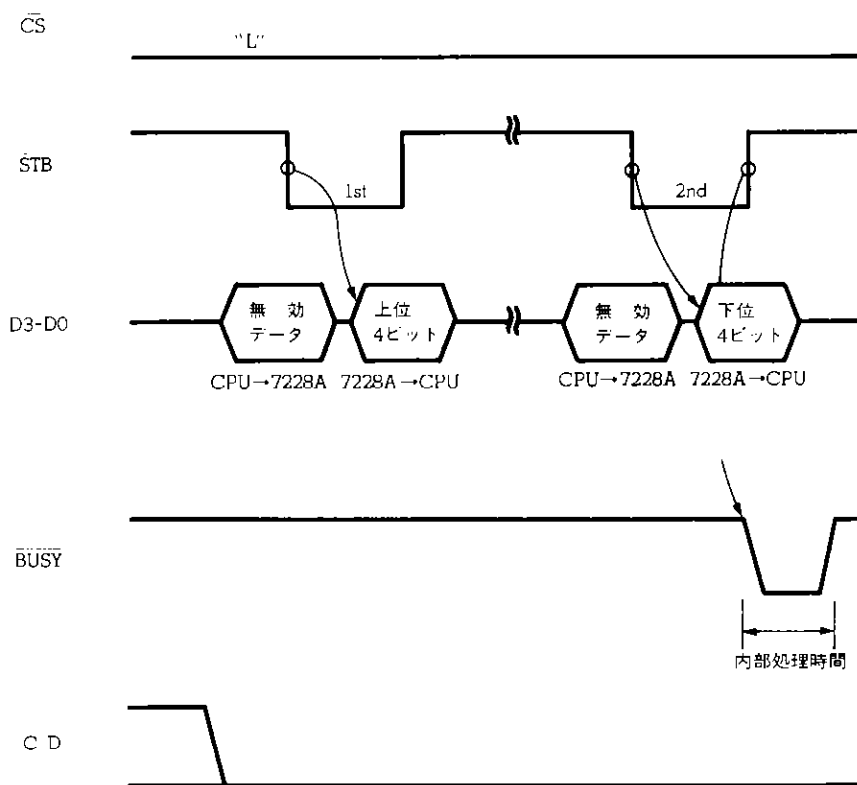


図 3-6 パラレル出カタイミング



4. μPD7228A と CPU とのインタフェース機能選択

μPD7228Aのコマンド/データのデータ長は8ビットですが、CPUとは8ビット・シリアルまたは4ビット・パラレル×2の構成でインタフェースされます。またマルチチップ構成のためにμPD7228Aはチップ・アドレス選択機能を備えています。

シリアルかパラレルかのインタフェースの指定およびチップ・アドレス選択機能を使用するか否かの指定は、μPD7228AのRESET信号の解除タイミング（立ち上がり）にD2 (CAE), D1 (P/S) ラインにのせたデータに従って行われます。

図 4 - 1 インタフェース指定タイミング

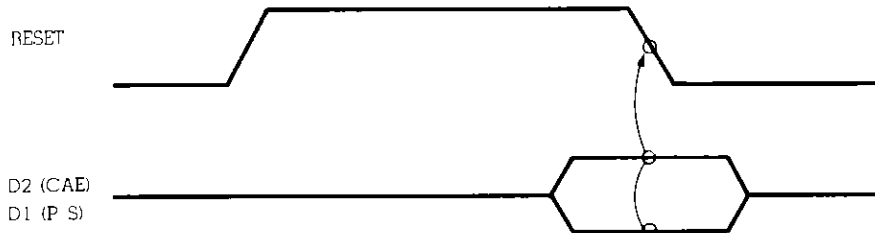


表 4 - 1 インタフェース指定コード

D2/(CAE)	D1/(P/S)	シリアル/パラレル指定	チップ・アドレス選択機能
0	0	シリアル	なし
1	0		あり
0/1	1	パラレル	

4.1 兼用端子の機能

シリアル・インタフェースが指定された場合とパラレル・インタフェースが指定された場合とでは、それぞれのクロック入力とデータ入出力に用いられる兼用端子 $\overline{STB}/\overline{SCK}$ , D3/SO, D0/SIの機能が表 4 - 2に示すように異なります。

表 4 - 2 兼用端子の機能

端子名	シリアル(P/S=0)	パラレル(P/S=1)
$\overline{STB}/\overline{SCK}$	$\overline{SCK}$ 入力	$\overline{STB}$ 入力
D3/SO	SO出力	D3-D0入出力 (4ビット・パラレル・データ・バス)
D2/(CAE)		
D1/(P/S)		
D0/SI	SI入力	

## 4.2 チップ・アドレス選択機能

チップ・アドレス選択機能は、μPD7228Aをマルチチップ構成にする場合にCPU側から複数のチップ選択信号( $\overline{CS}$ )を送らなくてもいいように、あらかじめ各μPD7228Aチップに割り付けられた(CA0, CA1入力による)チップ・アドレスとCPU側からシリアルまたはパラレル・データ形式で送り込んだチップ・アドレス情報(2ビット)との比較を行い、一致したチップだけを選択する(コマンド/データの入出力を可能とする)機能です。

この機能はパラレル・インタフェース・モードでは無条件に付きますが、シリアル・インタフェース・モードではD2/(CAE)=1(リセット解除時)で付くようになります。

### (1) パラレル・インタフェースの場合(図3-5, 3-6 参照)

$\overline{CS}$ 立ち下がり後、 $\overline{STB}$ の最初の立ち下がりてD1(CA1に対応)、D0(CA0に対応)に読み込まれるデータが2ビット・チップ・アドレス情報となります。

実際にはμPD82C43 I/O イクスパンダと同様のインタフェースになっていますので、μPD50HなどのμPD82C43インタフェース機能を利用してμPD7228Aと接続し、μPD82C43のポート4-ポート7に対する出力または入力命令を実行することにより、μPD7228Aのチップ・アドレス情報(0-3)が $\overline{STB}$ の立ち下がりてD1, D0上に得られます。

### (2) シリアル・インタフェースの場合(図3-3, 3-4 参照)

$\overline{CS}$ 立ち下がり後、 $\overline{SCK}$ の7回目(CA1に対応)と8回目(CA0に対応)の立ち上がりてSI入力に読み込まれるデータ、つまり最初の8ビット・シリアル・データの下位2ビットが2ビット・チップ・アドレス情報となります。

**注意1.** RESET入力により、μPD7228A内部のチップ・アドレス比較データ(CA1, CA0と比較するデータ)は00にクリアされます。したがって、マルチチップ構成のとき、RESET入力解除の直後に $\overline{CS}$ をロウにするとCA1, CA0=00のチップが、 $\overline{BUSY}$ =ハイを出力し、CPUにアクセス可能であることを知らせます。

特にチップ・アドレスを送らなければ、CA1, CA0=00のチップにアクセスします。

**2.** マルチチップ構成でパラレル・インタフェースを用いたシステムでは、次の注意が必要です。

あらかじめリード・モードになっているチップAからチップBに処理を移し、そのあと再度チップAを選択する場合には、必ずデータ・ポインタ・ロード・コマンドでデータ・ポインタを設定してからデータを読み出してください。

5. LCD駆動用基準電圧の供給

μPD7228AへのLCD駆動用基準電圧の値は、8時分割か16時分割かで異なり、それぞれ図5-1、図5-2のようにします。

図5-1 8時分割

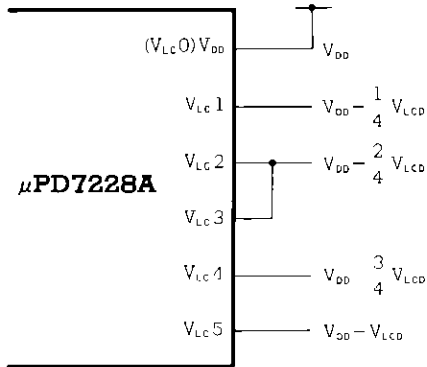
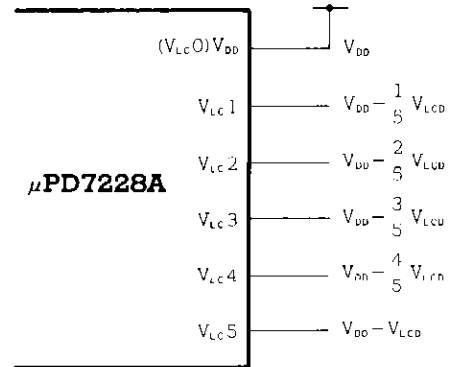


図5-2 16時分割



備考 LCD駆動電圧 (V<sub>LcD</sub>) は、8、16時分割ともにV<sub>DD</sub>以下としてください。

5.1 抵抗分割によるLCD駆動用基準電圧の供給

図5-1、図5-2で示されるLCD駆動用基準電圧を、V<sub>DD</sub> V<sub>SS</sub>間の電位を抵抗分割することによって供給する回路例を図5-3、図5-4に示します。

図5-3 8時分割の回路例

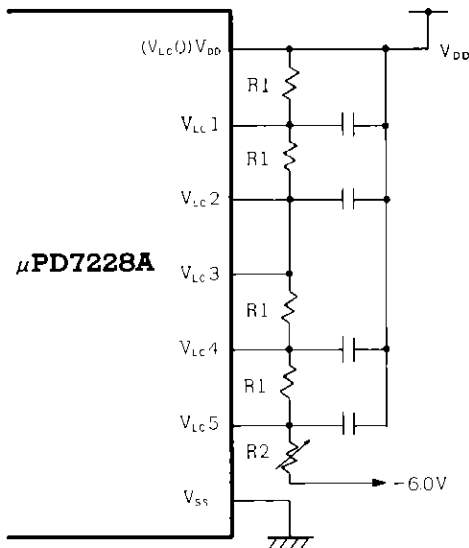
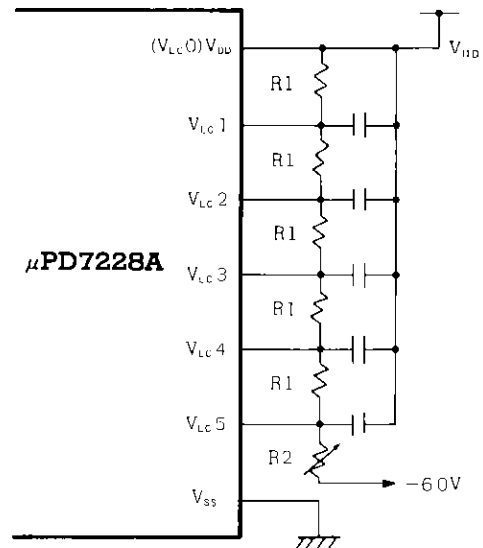


図5-4 16時分割の回路例



8時分割または16時分割の場合の分割抵抗R1, R2の値は次の式で決定されます。

$$R1 = \frac{V_{LCD}}{4(V_{DD} - V_{LCD})} \times R2 \quad (8時分割)$$

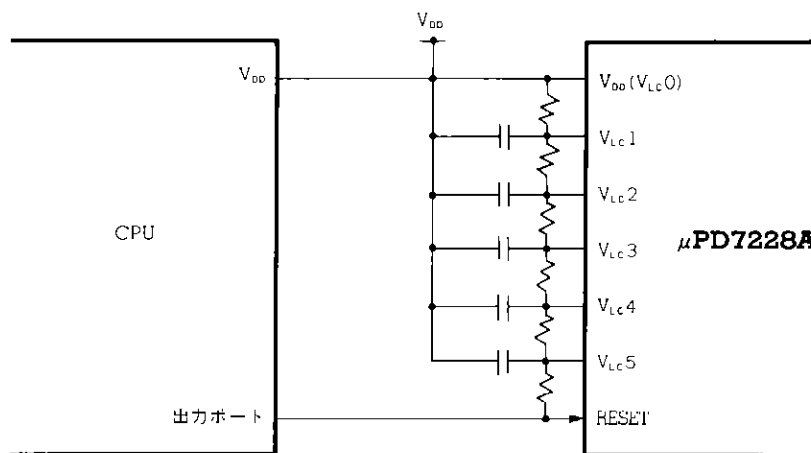
$$R1 = \frac{V_{LCD}}{5(V_{DD} - V_{LCD})} \times R2 \quad (16時分割)$$

## 5.2 RESET信号による消費電流の低減

抵抗分割を用いてLCD駆動用基準電圧を供給した場合、μPD7228AがSTOPモードやリセット中で表示を行わないときでも常にV<sub>DD</sub>, V<sub>SS</sub>間の分割抵抗を介して多少の電流が流れます。したがって、電池を電源とするシステムのように、特に消費電流を考慮する必要がある場合、表示動作を行わないときには、外部回路で分割抵抗による電流パスを切ることにより、不必要な電源電流が流れるのを押さえる必要があります。

図5-5にV<sub>SS</sub>レベルの代わりにRESET信号レベルを用いて、リセット状態（RESET=ハイ）では分割抵抗に電流が流れなくなるようにする回路例を示します。

図5-5 RESET信号による電流パス制御の例



**備考** CPUとμPD7228Aの電源は共通でなければなりません。

6. 表示例

図6-1に8時分割の場合で“AEZ”を表示するためのデータ・メモリの内容とLCDの表示パターンとの対応を示します。

この例は5×7（5×8）ドットの3桁表示のもので、データ・メモリの00H 0EH（0 14）を使用し、カラム信号のC0-C14を使用しています。

図6-2は、図6-1の表示例のC14-C10のカラムに対する表示“A”のタイミング波形を示しています。

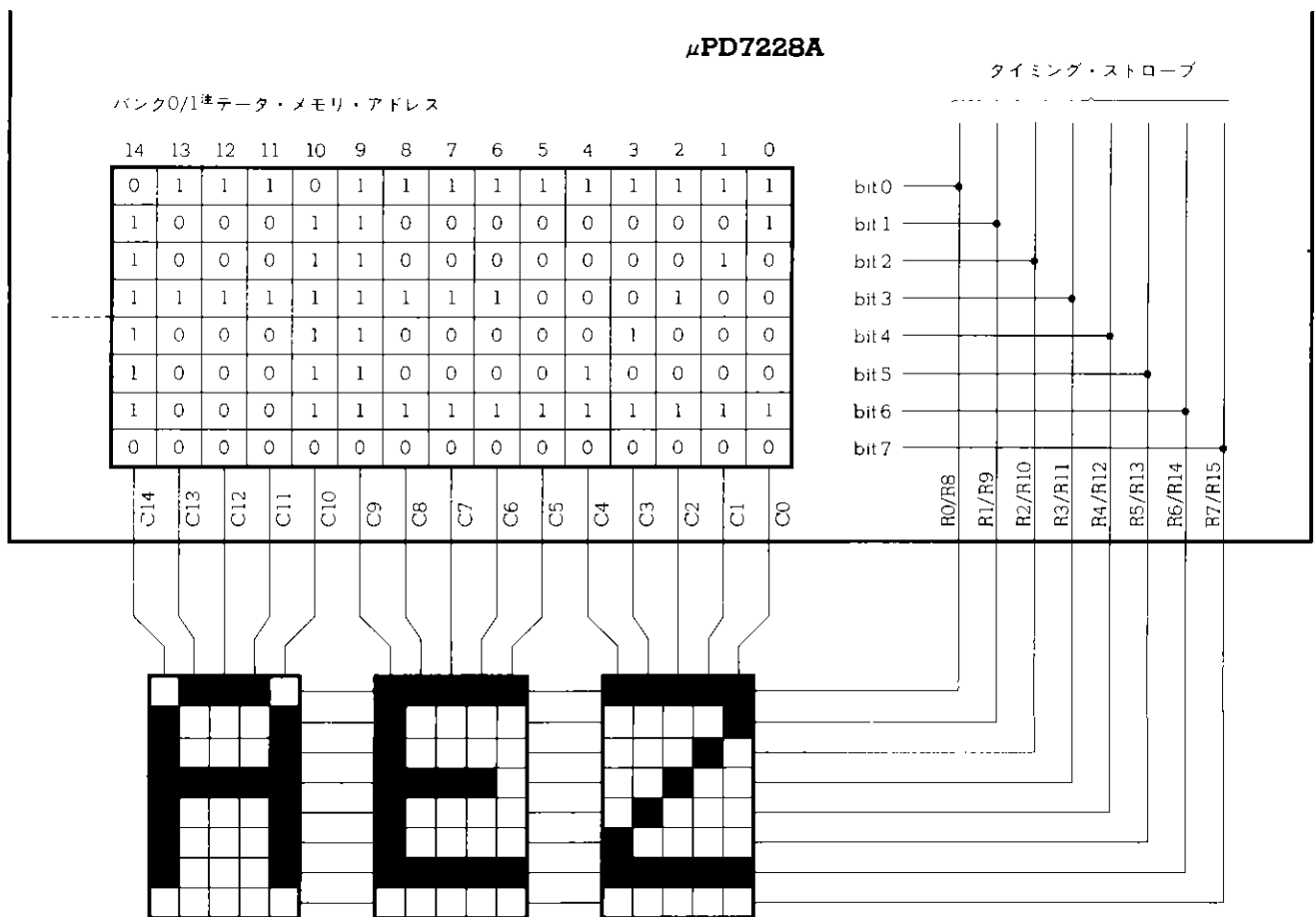
図6-3に16時分割の場合で“ANZ”<sub>8,5</sub>を表示するためのデータ・メモリの内容とLCDの表示パターンとの対応を示します。

この例は5×7（5×8）ドットの3桁2段表示のもので、データ・メモリのバンク0とバンク1の00H 0EH（0 14）を使用し、カラム信号のC0 C14を使用しています。

図6-4は、図6-3の表示例のC14-C10のカラムに対する表示“A”<sub>8</sub>のタイミング波形を示しています。

図6-2、図6-4でロウ信号とカラム信号の差分波形のレベルがV<sub>LCD</sub>、-V<sub>LCD</sub>のとき、それらの信号に対応するLCDのドットが点灯します。

図6-1 8時分割



注 表示データの読み出しはバンク0またはバンク1のどちらか一方です。

図6-2 8時分割 (Aを表示した場合)

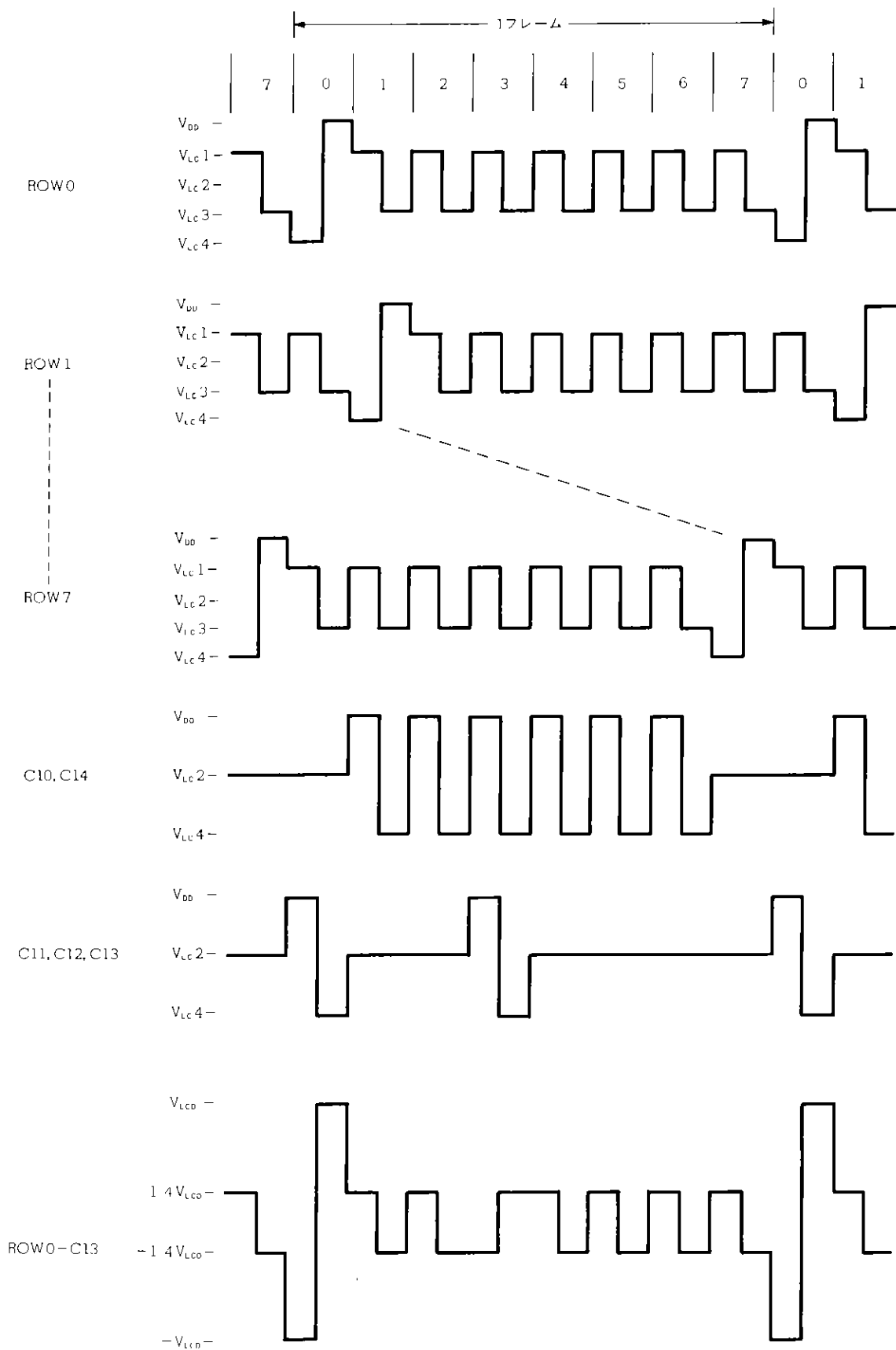




図6-3 16時分割

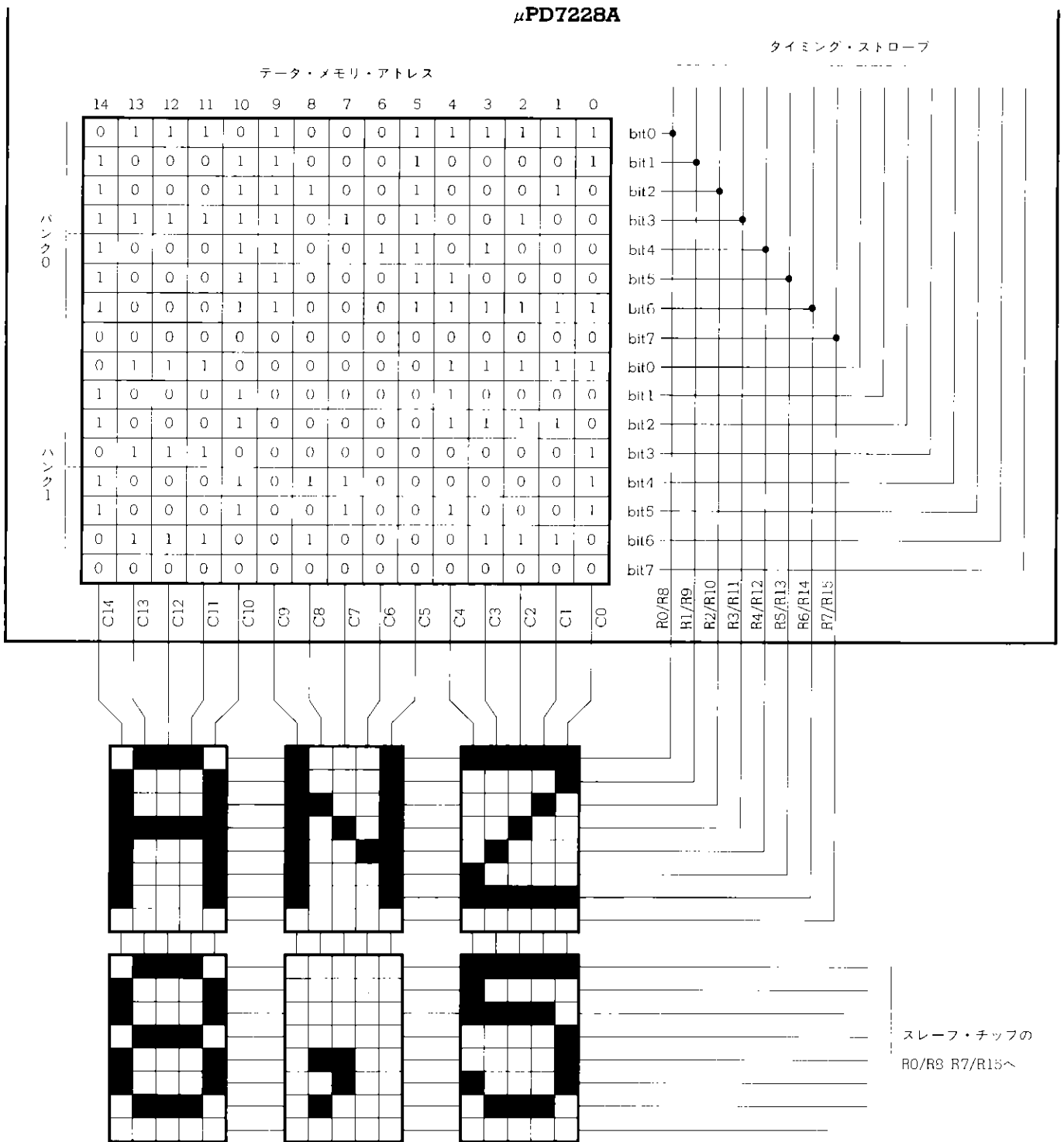
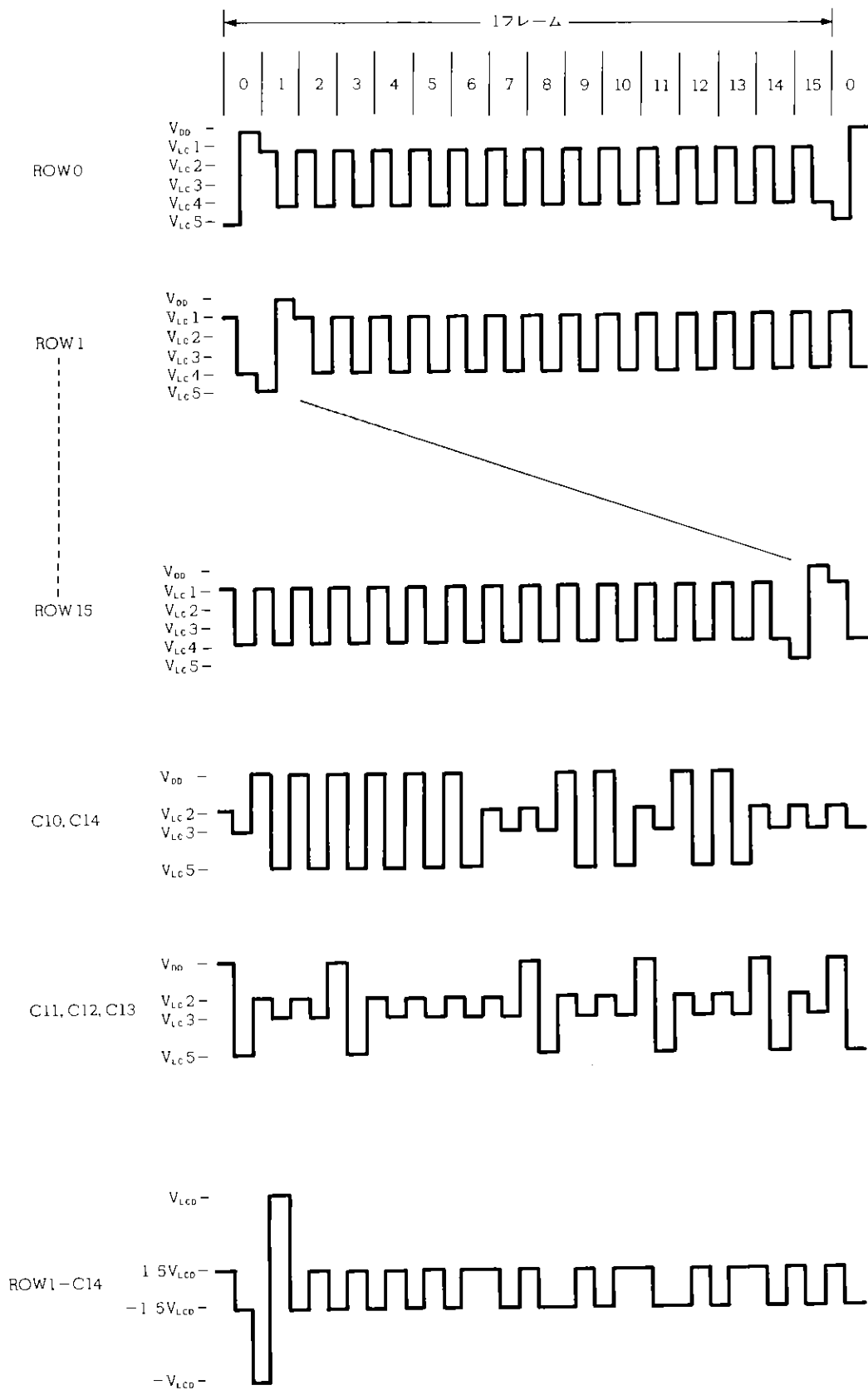


図6-4 16時分割 (AとBを表示した場合)



## 7. スタンバイ・モード

μPD7228Aには、表示が不要な場合の消費電力を節約するためのスタンバイ・モードが用意されています。

スタンバイ・モードは、STOPコマンド実行によって設定されます。具体的にはSTOPコマンド実行後 $\overline{\text{BUSY}}$ 信号がハイ・レベルになった時点で設定されます。スタンバイ・モードに入るとμPD7228AはCLOCK信号を内部でマスクすることによりLCDタイミング・コントロール回路およびクロック・コントロール回路へのクロックの供給を停止し、またデータ処理モードをオートインクリメント ( $I_1I_0=00$ ) のライト・モードにイニシャライズします。しかし、その他のモードは変更されず、インタフェース・モードや表示モードは保持されます。

スタンバイ・モードは、1バイト・データ（コマンドまたはデータ）が入力されたとき、またはRESET信号が立ち下がったときに解除されます。しかし、どちらで解除するかによって、スタンバイ・モード中に必要な処理、解除後の動作が異なります。

なお、スタンバイ・モード中はμPD7228Aに対してCLOCK信号の供給を停止することができます。この場合、CLOCK信号が内部でマスクされただけのときと比べて、さらに消費電力を節約できます。

### 7.1 スタンバイ・モードの解除

#### (1) 1バイト・データの書き込みによるスタンバイ・モードの解除

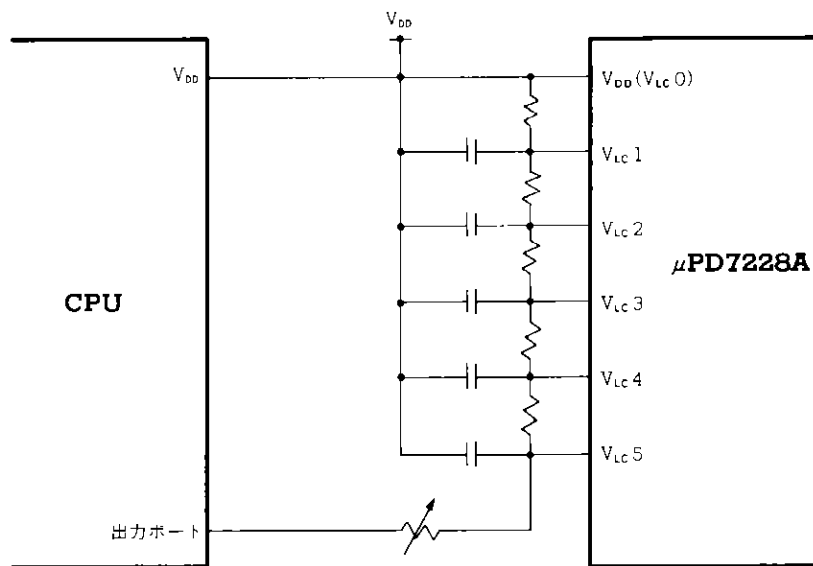
スタンバイ・モード設定直前の動作モード（データ処理モードを除く）をスタンバイ・モード解除後も保持していたい場合には、1バイト・データ（コマンドまたはデータ）の書き込みによって解除します。

シリアル・インタフェース・モードでは、8ビット・シリアル・データの書き込みが終了（8回目の $\overline{\text{SCK}}$ の立ち上がり）した時点で、パラレル・インタフェース・モードでは、2度目の4ビット・データの書き込みが終了（2回目の $\overline{\text{STB}}$ の立ち上がり）した時点で、スタンバイ・モードが解除されます。

ただし、シリアル・インタフェース・モードでチップ・アドレス選択機能を使用している場合、スタンバイ・モード中に $\overline{\text{CS}}$ をいったんハイに上げると、解除時に $\overline{\text{CS}}$ をロウにしたあとの最初の8ビット・データはチップ・アドレス情報として使用されるため、次の8ビット・データの書き込み終了時点でスタンバイ・モードが解除されることとなります。

注意 スタンバイ・モード中はLCDの交流駆動に必要なクロックの供給が停止されるため、LCD駆動信号はスタンバイ・モードに入る直前の電圧に固定されたままとなり、LCDには直流電圧がかかることとなります。これを防ぐには、図7-1で示すようにCPUの出力ポートを用いてV<sub>LC5</sub>端子電圧を制御し、STOPコマンドを実行する直前に出力ポートよりハイ・レベルを出力し、V<sub>DD</sub>とV<sub>LC5</sub>間の電位差をなくしておくようにしてください。

図7-1 LCD駆動電圧の制御



備考 CPUとμPD7228Aの電源は共通でなければなりません。

(2) RESET信号によるスタンバイ・モードの解除

スタンバイ・モード解除時点でデータ・メモリの内容だけが保持されていればよいシステムでは、スタンバイ・モードの解除にRESET信号を利用できます。

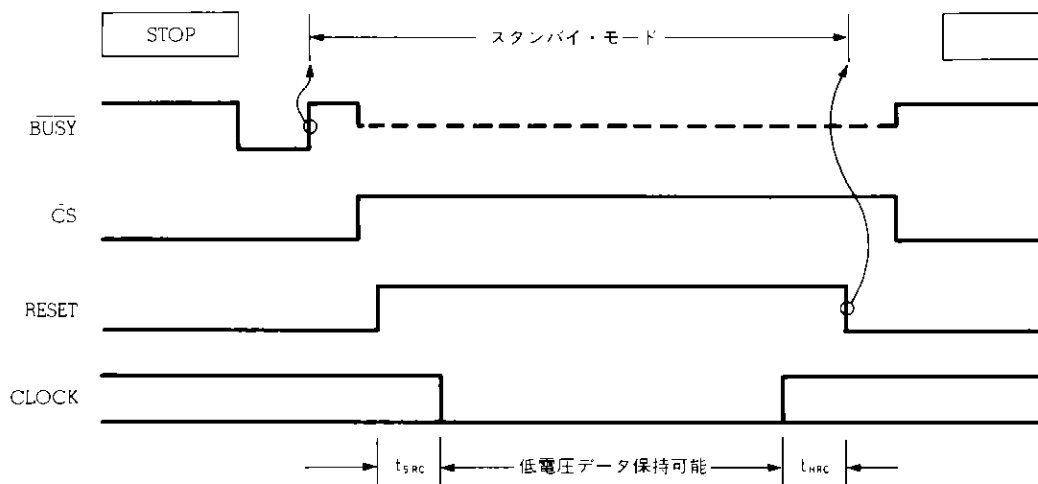
RESET信号を用いる場合は、スタンバイ・モードに設定されたあと（ $\overline{\text{BUSY}}$ 出力のハイを確認して）、RESET信号をハイに上げ、その後スタンバイ・モードを解除したいときRESET信号をロウにします。RESET信号がハイの間、LCD駆動出力はリセット動作中と同じ状態になり、LCDに対していっさいの電圧がかからなくなります。ただし、通常のリセット動作と違ってデータ・メモリの内容はRESET信号入力によって不定とならず、スタンバイ・モードに設定される直前のデータを保持しており、スタンバイ解除後そのデータを使用できます。

この解除方法を採用するシステムでは、図5-5に示すRESET信号による電流パス制御が利用できます。

7.2 スタンバイ・モードにおけるCLOCK供給の停止と低電圧データ保持

スタンバイ・モードにおいては、データ・メモリの内容の保持に限り低電圧データ保持が可能です。この場合μPD7228AへのCLOCK供給を停止することによって消費電力をさらに低くすることが可能です。スタンバイ・モードにおいてμPD7228AへのCLOCK供給を停止する場合にはμPD7228Aがスタンバイ・モードになっている事を確認したあと（STOPコマンド実行後BUSY信号がハイになったことを確認したあと）RESET信号をハイにしてから所定の時間後にCLOCKの供給を停止します。

図 7-2 スタンバイ・モードにおけるCLOCK供給停止タイミング



## 8. リセット動作

RESET端子にハイ・レベルを入力することによりμPD7228Aは次に示すようにイニシャライズされます。

- チップ・アドレス比較データ (CA1, CA0入力と比較される) が00にイニシャライズされます。したがってマルチチップ構成の場合, CA1, CA0=00のチップ (アドレス一致) かそれ以外のチップ (アドレス不一致) かでBUSY出力の動作が異なります (図8-1 参照)。

CA1, CA0=00のチップ:  $\overline{CS}=0$  ならばBUSY出力をロウにし,  $\overline{CS}=1$  ならばBUSY出力をハイ・インピーダンスにします。

その他のチップ:  $\overline{CS}$ 入力の状態に関係なくBUSY出力をハイ・インピーダンスにします。

シングル・チップ構成のときはCA1, CA0=00のチップと同じ動作をします。

- すべての処理動作 (コマンド/データ処理, タイミング信号および表示データのロウ, カラム・ドライバへの読み出し) を停止します。

- すべてのLCDドライブ信号出力端子 (C0-C41, R15/C42-R8/C49, R0/R8-R7/R15) より $V_{LC}$ 3レベルの直流信号を出力します。

- 次のコマンドを実行した状態に内部機能が設定されます。

SWM ( $I_1 I_0=00$ ) : オートインクリメント・モード

LDPI ( $D_6 D_0=0000000$ ) : データ・ポインタは0にクリア

SMM ( $M_2-M_0=000$ ) : 8時分割, R0/R8-R7/R15端子はR0 R7機能, SYNC端子は入力, データ・メモリはバンク0に設定。

SFF ( $F_2 F_0=000$ ) : フレーム周波数を $f_{CL}/2^{14}$ に設定

- バイト転送終了カウンタをクリアします。

- スタンバイ・モード中であれば, スタンバイ・モードを保持します。

- データ・メモリの内容は不定となります。

RESET端子へのハイレベル入力をロウに戻すと, イニシャライズされた内容に従って動作可能となります。なお, RESET信号の立ち下がり時に次の処理が行われます。表示出力はDISP OFF実行状態と同じになります。

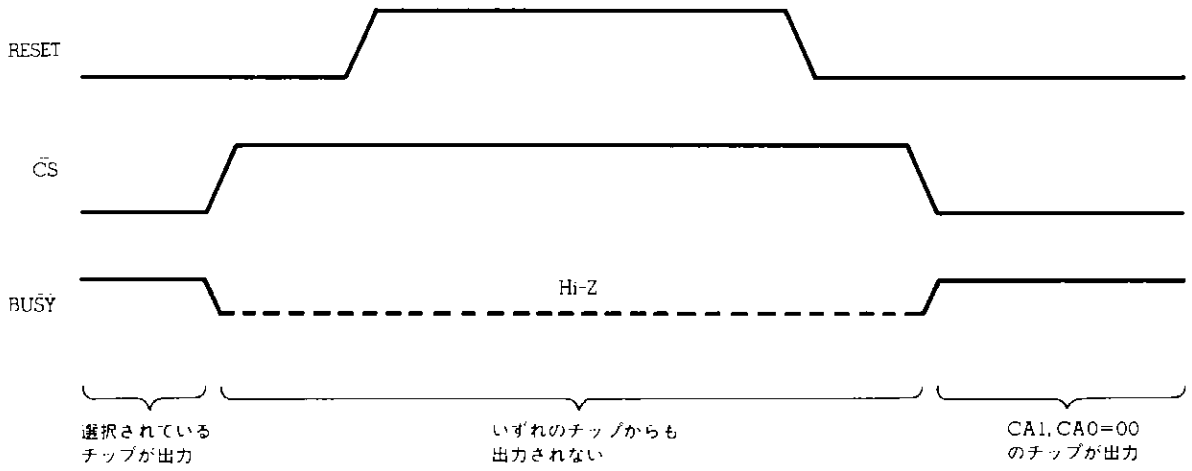
- D2/(CAE), D1/(P/S) 端子よりインタフェース指定コード (シリアル/パラレル指定, チップ・アドレス選択機能の有無) を読み込みます。

- CA1=0, CA0=0のチップが選択状態になります。

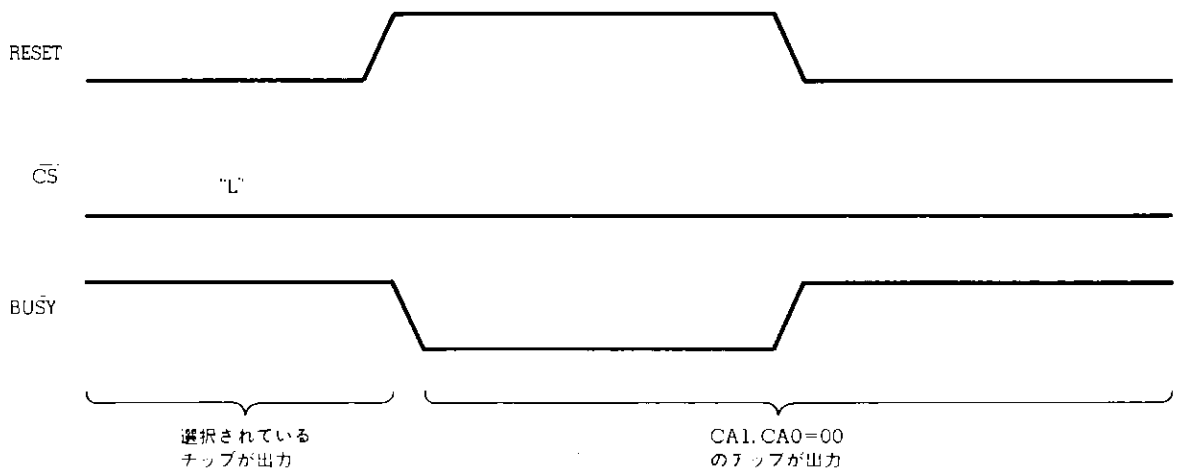
- スタンバイ・モード中のリセット動作であれば, スタンバイ・モードを解除します。この場合, データ・メモリの内容は保持されます。

図 8-1 RESET入力によるBUSY出力のタイミング例

(a) CA1, CA0 ≠ 00 のとき



(b) CA1, CA0 = 00 で CS = 0 のとき



9. コマンド

μPD7228Aには次に示す16種のコマンドが用意されており、すべて1バイト（8ビット）構成になっています。

表 9 - 1 コマンド一覧

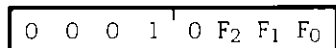
ニモニック	オペレーション	16進コード
SFF	Set Frame Frequency	10 14
SMM	Set Multiplexing Mode	18-1F
DISP OFF	Display Off	08
DISP ON	Display On	09
LDPI	Load Data Pointer with Immediate	80-B1, C0-F1
SRM	Set Read Mode	60-63
SWM	Set Write Mode	64 67
SORM	Set OR Mode	68 6B
SANDM	Set AND Mode	6C 6F
SCML	Set Character Mode with Left entry	71
SCMR	Set Character Mode with Right entry	72
BRESET	Bit Reset	20 3F
BSET	Bit Set	40 5F
CLCURS	Clear Cursor	7C
WRCURS	Write Cursor	7D
STOP	Set Stop Mode	01

9.1 LCD表示モード設定コマンド

LCD表示モード設定コマンドには次に示す4種があります。

- SFF (Set Frame Frequency)
- SMM (Set Multiplexing Mode)
- DISP OFF (Display Off)
- DISP ON (Display On)

(1) SFF (Set Frame Frequency)



フレーム周波数を設定します。フレーム周波数は、CLOCK端子より入力したクロックを $F_2 F_0$ で指定される分周比で分周した値となります。



F <sub>2</sub>	F <sub>1</sub>	F <sub>0</sub>	フレーム周波数
0	0	0	$f_{CL}/2^{14}$
0	0	1	$f_{CL}/2^{13}$
0	1	0	$f_{CL}/2^{12}$
0	1	1	$f_{CL}/2^{11}$
1	0	0	$f_{CL}/2^{10}$
1	0	1	設定禁止
	1		
1	1	1	

f<sub>CL</sub>: クロック周波数

(2) SMM (Set Multiplexing Mode)

0	0	0	1	1	M <sub>2</sub>	M <sub>1</sub>	M <sub>0</sub>
---	---	---	---	---	----------------	----------------	----------------

時分割数の指定, ロウ・ドライバとロウ/カラム・ドライバの機能選択, SYNC端子の入出力の指定, そしてデータ・メモリのバンク指定を行います。

M <sub>2</sub>	M <sub>1</sub>	M <sub>0</sub>	時分割数	RO/R8 R7/R15	R15/C42- R8/C49	SYNC端子	メモリバンク
0	0	0	8	RO R7	C42-C49	入力	0
0	0	1					1
0	1	0				出力	0
0	1	1					1
1	0	0	16	R8-R15	R15-R8	入力	0, 1
1	0	1		RO R7			
1	1	0				出力	
1	1	1					

(3) DISP OFF (Display Off)

0	0	0	0	1	0	0	0
---	---	---	---	---	---	---	---

表示データとは無関係にロウ信号とカラム信号の関係を非選択レベルとし, 表示を消します。

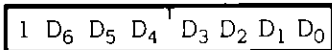
(4) DISP ON (Display On)

0	0	0	0	1	0	0	1
---	---	---	---	---	---	---	---

表示データに従って表示動作を行います。

9.2 データ・ポインタ・ロード・コマンド

(1) LDPI (Load Data Pointer with Immediate)



D<sub>6,0</sub> = 00H - 31H, 40H - 71H

データ・ポインタに7ビット・イミディエト・データD<sub>6</sub>・D<sub>0</sub>をロードします。

9.3 データ処理モード設定コマンド

データ処理モード設定コマンドには、次に示す6種があります。

- SRM (Set Read Mode)
- SWM (Set Write Mode)
- SORM (Set OR Mode)
- SANDM (Set AND Mode)
- SCML (Set Character Mode with Left entry)
- SCMR (Set Character Mode with Right entry)

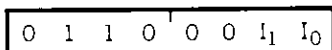
これらのコマンドを書き込むことによりμPD7228Aは各コマンドに従ったモードとなり、以後別のデータ処理モード設定コマンドが書き込まれるまで設定されたモードでデータを処理します。

また、データ処理モード設定コマンドは、各コマンド・バイトの下位2ビット (I<sub>1</sub>I<sub>0</sub>) によりバイト・データ処理ごとのデータ・ポインタのモディファイ動作を指定します。

モディファイされる内容は次のとおりです。

I <sub>1</sub>	I <sub>0</sub>	データ・ポインタのモディファイ内容
0	0	バイト・データ処理ごとに+1 (オートインクリメント)
0	1	バイト・データ処理ごとに-1 (オートデクリメント)
1	0	設定禁止
1	1	モディファイせず (同一アドレスを保持)

(1) SRM (Set Read Mode)



以後のデータ処理をリード・モードに設定します。

このモードに設定されるとそのときのデータ・ポインタでアドレスされるデータ・メモリの内容がシリアル/パラレル・レジスタに自動的に転送され、その後データ・ポインタはI<sub>1</sub>I<sub>0</sub>に従ってモディファイされます。

シリアル/パラレル・レジスタの内容がCPUによって8ビットすべて読み取られると、モディファイされたデータ・ポインタでアドレスされるデータ・メモリの内容が次の読み取りに備えて自動的にシリアル/パラレル・レジスタに転送されます。これ以後、CPUによって8ビット・データが読み取られることに同じ動作を繰り返します。

**(2) SWM (Set Write Mode)**

0	1	1	0	0	1	I <sub>1</sub>	I <sub>0</sub>
---	---	---	---	---	---	----------------	----------------

以後のデータ処理をライト・モードに設定します。

このモードに設定されると、CPUによってシリアル／パラレル・レジスタに書き込まれる8ビット・データは、そのときのデータ・ポインタの内容でアドレスされるデータ・メモリにストアされ、その後データ・ポインタはI<sub>1</sub>I<sub>0</sub>に従ってモディファイされます。これ以後CPUによって8ビット・データが書き込まれることに同じ動作を繰り返します。

**(3) SORM (Set OR Mode)**

0	1	1	0	1	0	I <sub>1</sub>	I <sub>0</sub>
---	---	---	---	---	---	----------------	----------------

以後のデータ処理をORモードに設定します。

このモードに設定されると、CPUによってシリアル／パラレル・レジスタに書き込まれる8ビット・データは、そのときのデータ・ポインタの内容でアドレスされるデータ・メモリの内容と論理和がとられ、その結果がデータ・メモリの同じアドレスにストアされます。その後データ・ポインタはI<sub>1</sub>I<sub>0</sub>に従ってモディファイされます。これ以後CPUによって8ビット・データが書き込まれることに同じ動作を繰り返します。

**(4) SANDM (Set AND Mode)**

0	1	1	0	1	1	I <sub>1</sub>	I <sub>0</sub>
---	---	---	---	---	---	----------------	----------------

以後のデータ処理をANDモードに設定します。

このモードに設定されると、CPUによってシリアル／パラレル・レジスタに書き込まれる8ビット・データは、そのときのデータ・ポインタの内容でアドレスされるデータ・メモリの内容と論理積がとられ、その結果がデータ・メモリの同じアドレスにストアされます。その後データ・ポインタはI<sub>1</sub>I<sub>0</sub>に従ってモディファイされます。これ以後CPUによって8ビット・データが書き込まれることに同じ動作を繰り返します。

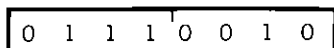
**(5) SCML (Set Character Mode with Left entry)**

0	1	1	1	0	0	0	1
---	---	---	---	---	---	---	---

以後のデータ処理をレフト・エントリのキャラクタ・モードに設定します。

このモードに設定されると、CPUによってシリアル／パラレル・レジスタに書き込まれる8ビット・データは、ASCIIまたはJISコードとしてキャラクタ・ジェネレータにより5×7ビット構成のキャラクタ表示データにデコードされ、そのときのデータ・ポインタの内容が示すアドレスから下位に5アドレスにわたったデータ・メモリに書き込まれます。この結果、データ・ポインタの内容は-5されます。これ以後CPUによって8ビット・データが書き込まれることに同じ動作を繰り返します。

(6) SCMR (Set Character Mode with Right entry)



以後のデータ処理をライト・エントリのキャラクタ・モードに設定します。

このモードに設定されると、CPUによってシリアル/パラレル・レジスタに書き込まれる8ビット・データは、ASCIIまたはJISコードとしてキャラクタ・ジェネレータにより5×7ビット構成のキャラクタ表示データにデコードされ、そのときのデータ・ポインタの内容が示すアドレスから上位に5アドレスにわたったデータ・メモリに書き込まれます。この結果、データ・ポインタの内容は+5されます。これ以後CPUによって8ビット・データが書き込まれることに同じ動作を繰り返します。

9.4 メモリ・ビット操作コマンド

メモリ・ビット操作コマンドには次に示す4種があります。

- BRESET (Bit Reset)
- BSET (Bit Set)
- CLCURS (Clear Cursor)
- WRCURS (Write Cursor)

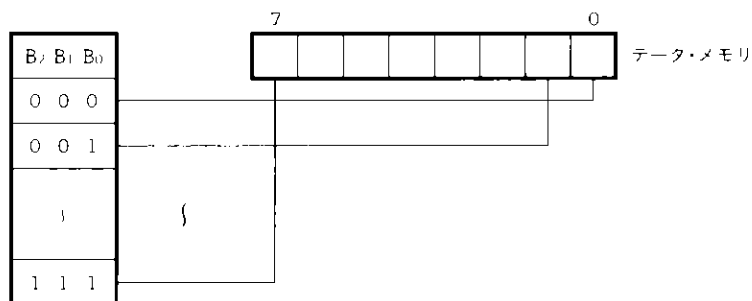
BRESET, BSETコマンドはどのデータ処理モードにおいても実行でき、そのときのデータ・ポインタでアドレスされるデータ・メモリのBRESET, BSETコマンドで指定するビットをリセット、セットしたあと、データ・ポインタをコマンド・バイトの下位2ビット (J<sub>1</sub>J<sub>0</sub>) に従ってモディファイします。

CLCURS, WRCURSコマンドはキャラクタ・モードにおいてカーソル(ビット7の位置)のクリア、表示に使用するもので、これらのコマンド実行後はデータ・ポインタが+5または-5されます。

以上のメモリ・ビット操作コマンドによるデータ・ポインタの操作は、これらのコマンド実行時のみに有効で、その後データ・ポインタは以前に設定されたデータ処理モードに従ってモディファイされます。

ただし、データ・ポインタの内容はメモリ・ビット操作コマンドによって変更されますので、それ以後のモディファイ動作は変更された値を初期値として行われます。

BRESET, BSETコマンドのビット指定およびデータ・ポインタのモディファイ内容は次のとおりです。



$J_1$	$J_0$	データ・ポインタのモディファイ内容
0	0	+1
0	1	-1
1	0	設定禁止
1	1	モディファイせず (同一アドレスを保持)

**(1) BRESET (Bit Reset)**

0	0	1	$B_2$	$B_1$	$B_0$	$J_1$	$J_0$
---	---	---	-------	-------	-------	-------	-------

データ・ポインタでアドレスされるデータ・メモリの $B_2$ - $B_0$ で指定されるビットをリセット (0) します。その後データ・ポインタは、 $J_1J_0$ に従ってモディファイされます。

**(2) BSET (Bit Set)**

0	1	0	$B_2$	$B_1$	$B_0$	$J_1$	$J_0$
---	---	---	-------	-------	-------	-------	-------

データ・ポインタでアドレスされるデータ・メモリの $B_2$ - $B_0$ で指定されるビットをセット (1) します。その後データ・ポインタは、 $J_1J_0$ に従ってモディファイされます。

**(3) CLCURS (Clear Cursor)**

0	1	1	1	1	1	0	0
---	---	---	---	---	---	---	---

キャラクタ・モードでこのコマンドを実行した場合、そのときのデータ・ポインタの内容が示すアドレスから上位 (SCMRモード) または下位 (SCMLモード) に5アドレスにわたったデータ・メモリのビット7のみがリセット (0) されます。

5×7構成のキャラクタ表示のカーソル表示のクリアに利用できます。

**(4) WRCURS (Write Cursor)**

0	1	1	1	1	1	0	1
---	---	---	---	---	---	---	---

キャラクタ・モードでこのコマンドを実行した場合、そのときのデータ・ポインタの内容が示すアドレスから上位 (SCMRモード) または下位 (SCMLモード) に5アドレスにわたったデータ・メモリのビット7のみがセット (1) されます。

5×7構成のキャラクタ表示のカーソル表示に利用できます。

**9.5 スタンバイ動作設定コマンド****(1) STOP (Set Stop Mode)**

0	0	0	0	0	0	0	1
---	---	---	---	---	---	---	---

STOPモード (スタンバイ・モード) に設定します。

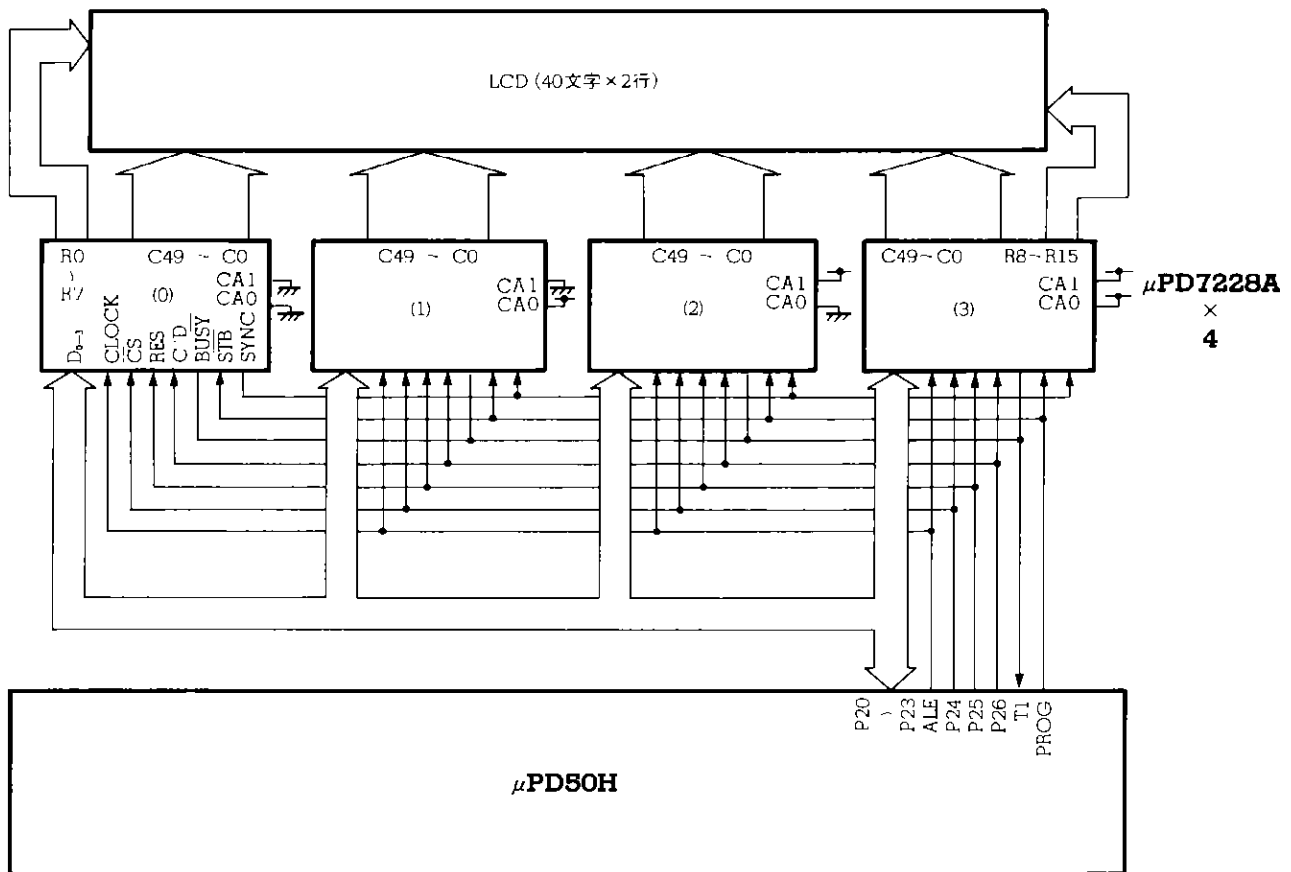
また、データ処理モードはオートインクリメント ( $I_1I_0=00$ ) のライト・モードにイニシャライズされます。  
その他のモードの変更はありません。

10. システム構成例

10.1 μPD7228Aをマルチチップ構成にした場合

4つのμPD7228Aをマルチチップ構成とした場合の回路例を図10-1に示します。

図 10 - 1 システム構成例 (マルチチップ)



10.2 μPD40H, 50Hとのインタフェース上の注意

μPD7228Aのインタフェース・モード指定データ (P/S) は、RESET信号の立ち下がり(解除時)に同期して取り込まれ、RESET立ち下がり後、最小4 μsの期間指定レベル(パラレル指定の場合はハイ)に保持されねばなりません。

したがって、μPD40H, 50Hで外部ROMを使用するシステムにおいて、μPD40H, 50HとμPD7228Aをパラレル・インタフェースする場合に注意が必要です。

図 10-2 RESETとP/S (D1) のタイミング

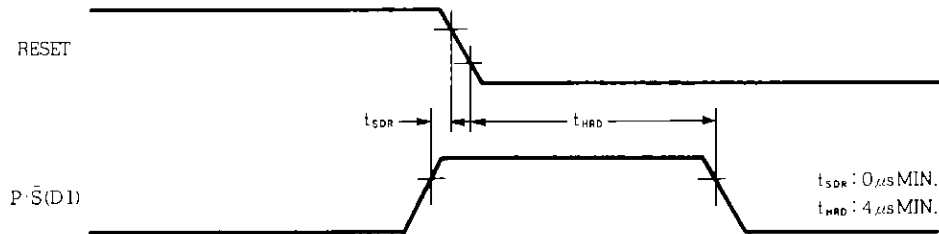
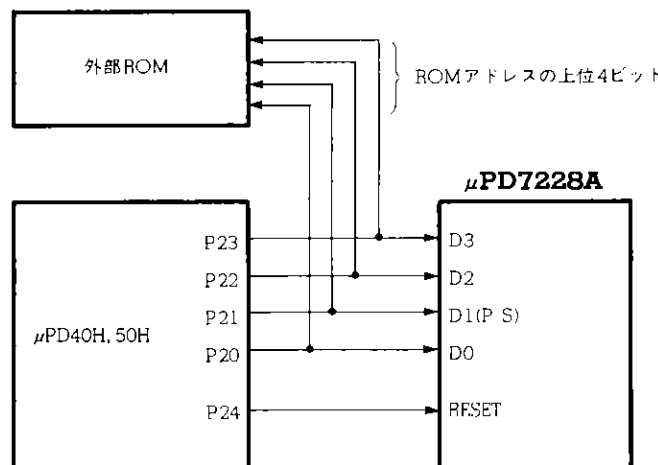


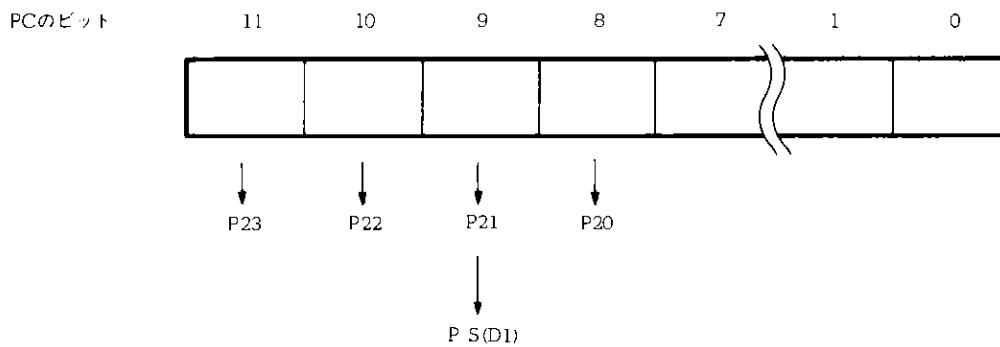
図 10-3 外部ROM使用時の接続例 (パラレル・インタフェース)



これらのシステムにおいてμPD40H, 50HとμPD7228Aとのデータ入出力はμPD40H, 50Hのポート2の下位4ビット (P23-P20) を介して行われ、一方外部ROMアドレスの上位4ビット (PCH: PC11-PC8) も時分割で同じ端子に出力されます。このためポート2出力命令でRESET信号を解除した直後から外部ROMアクセスが開始される場合、ROMアドレスの上位4ビットのうちP/Sに該当するライン (P21=D1) のデータが $t_{HRD}=4 \mu s$ を満足する間ハに保持されるデータでなければなりません。



図10-4 μPD40H, 50Hのプログラム・カウンタ (PC)



たとえばμPD40H(外部ROM4Kバイトまでアクセス可能)の場合には、200H-3FFH, 600H-7FFH, A00H-BFFH, E00H-FFFHのアドレス範囲内でμPD7228AのRESETを解除し、P/Sにハイ・レベルが入力されるようなポート2出力命令を実行してください。その後4μsを経過するまでは、これらのアドレス範囲を越えるような命令(ジャンプ、コール、リターン)を実行しないでください。また、この間はP/Sを変えようとするポート2出力命令は実行しないでください。

表10-1 μPD40Hのアドレス

アドレス	P C の ビ ッ ト									
	11	10	9	8	7	6	.....	1	0	
200H-2FFH	0	0	1	0	×	×	.....	×	×	
300H-3FFH	0	0	1	1	×	×	.....	×	×	
600H-6FFH	0	1	1	0	×	×	.....	×	×	
700H-7FFH	0	1	1	1	×	×	.....	×	×	
A00H-AFFH	1	0	1	0	×	×	.....	×	×	
B00H-BFFH	1	0	1	1	×	×	.....	×	×	
E00H-EFFH	1	1	1	0	×	×	.....	×	×	
FO0H-FFFH	1	1	1	1	×	×	.....	×	×	

↑  
ここが1のアドレス

備考 × : don't care

11. 電気的特性

絶対最大定格 (Ta=25 °C)

項目	略号	条件	定格	単位
電源電圧	V <sub>DD</sub>		-0.3~+7.0	V
LCD 駆動電圧注	V <sub>LCD</sub>		4.5~12.5	V
入力電圧	V <sub>I</sub>		-0.3~V <sub>DD</sub> +0.3	V
出力電圧	V <sub>O</sub>		-0.3~V <sub>DD</sub> +0.3	V
動作温度	T <sub>opt</sub>		-40~+85	°C
保存温度	T <sub>stg</sub>		-65~+150	°C

注 V<sub>LCD</sub>=V<sub>DD</sub>-V<sub>LC5</sub>, V<sub>LC5</sub>≤V<sub>SS</sub>

DC特性 (Ta = -40~+85 °C, V<sub>DD</sub> = 5 V ± 10 %, V<sub>LC5</sub> = -6.0 V ± 10 %)

項目	略号	条件	MIN	TYP	MAX	単位
高レベル入力電圧	V <sub>IH1</sub>	SCKを除く	0.7V <sub>DD</sub>		V <sub>DD</sub>	V
	V <sub>IH2</sub>	SCK	0.8V <sub>DD</sub>		V <sub>DD</sub>	V
低レベル入力電圧	V <sub>IL</sub>		0		0.3V <sub>DD</sub>	V
高レベル入力リーク電流	I <sub>L1H</sub>	V <sub>I</sub> =V <sub>DD</sub>			10	μA
低レベル入力リーク電流	I <sub>L1L</sub>	V <sub>I</sub> =0 V			-10	μA
高レベル出力電圧	V <sub>OH1</sub>	BUSY, D0-D3 I <sub>OH</sub> = -400 μA	V <sub>DD</sub> -0.5			V
	V <sub>OH2</sub>	SYNC, I <sub>OH</sub> = -100 μA	V <sub>DD</sub> -0.5			V
低レベル出力電圧	V <sub>OL1</sub>	BUSY, D0-D3 I <sub>OL</sub> = 1.7 mA			0.5	V
	V <sub>OL2</sub>	SYNC, I <sub>OL</sub> = 100 μA			0.5	V
高レベル出力リーク電流	I <sub>L1O</sub>	V <sub>O</sub> =V <sub>DD</sub>			10	μA
低レベル出力リーク電流	I <sub>L1L</sub>	V <sub>O</sub> =0 V			-10	μA
ロウ出力インピーダンス	R <sub>ROW</sub>			6	16	kΩ
ロウ/カラム出力インピーダンス	R <sub>ROW/COL</sub>			7.5	20	kΩ
カラム出力インピーダンス	R <sub>COL</sub>			15	30	kΩ
電源電流	I <sub>DD1</sub>	動作モード, f <sub>c</sub> = 400 kHz		250	600	μA
	I <sub>DD2</sub>	STOPモード, CLK = 0 V			25	μA

容量 (Ta = 25 °C, V<sub>DD</sub> = 0 V)

項目	略号	条件	MIN	TYP	MAX	単位
入力容量	C <sub>IN</sub>	f = 1 MHz 被測定端子以外は0 V			10	pF
出力容量	C <sub>OUT</sub>				25	pF
入出力容量	C <sub>IO</sub>				15	pF

AC特性 (Ta = -40 ~ +85 °C, V<sub>DD</sub> = +5 V ± 10 %)

共通オペレーション

項 目	略 号	条 件	MIN	TYP	MAX	単 位
ク ロ ッ ク 動 作 周 波 数	f <sub>C</sub>		100		1100	kHz
高レベル・クロック・パルス幅	t <sub>WHC</sub>		350			ns
低レベル・クロック・パルス幅	t <sub>WLC</sub>		350			ns
RESET 高 レ ベ ル 幅	t <sub>HRS</sub>		4			μs
CS ↓ → BUSY 遅延時間	t <sub>DCSB</sub>	C <sub>L</sub> = 50 pF			3	μs
CS ↑ → BUSY フロート遅延時間	t <sub>DCSBF</sub>	C <sub>L</sub> = 50 pF			5	μs
CS 高 レ ベ ル 幅	t <sub>WHCS</sub>		4			μs
SYNC 負 荷 容 量	C <sub>LSY</sub>				100	pF
データ設定時間 (対RESET ↓)	t <sub>SDR</sub>		0			μs
データ保持時間 (対RESET ↓)	t <sub>HRD</sub>		5			μs

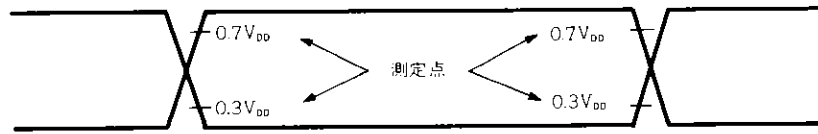
シリアル入出力オペレーション

項 目	略 号	条 件	MIN	TYP	MAX	単 位
SCK 周 期	t <sub>CYK</sub>		0.9			μs
高レベル SCK パルス幅	t <sub>WHK</sub>		400			ns
低レベル SCK パルス幅	t <sub>WLK</sub>		400			ns
高レベル SCK 保持時間 (対BUSY ↑)	t <sub>HBK</sub>		0			ns
SI 設定時間 (対 SCK ↑)	t <sub>SIK</sub>		120			ns
SI 保持時間 (対 SCK ↑)	t <sub>HKI</sub>		270			ns
SCK ↓ → SO 遅延時間	t <sub>DKO</sub>	C <sub>L</sub> = 50 pF			350	ns
8回目の SCK ↑ → BUSY 遅延時間	t <sub>DKB</sub>	C <sub>L</sub> = 50 pF			4	μs
BUSY 低 レ ベ ル 時 間	t <sub>WLB</sub>	C <sub>L</sub> = 50 pF	18		64	1/f <sub>c</sub>
C/D 設定時間 (対 1 回目の SCK ↓)	t <sub>SDK</sub>		0			μs
C/D 保持時間 (対 8 回目の SCK ↑)	t <sub>HKD</sub>		3			μs
CS 保持時間 (対 8 回目の SCK ↑)	t <sub>HKCS</sub>		5			μs

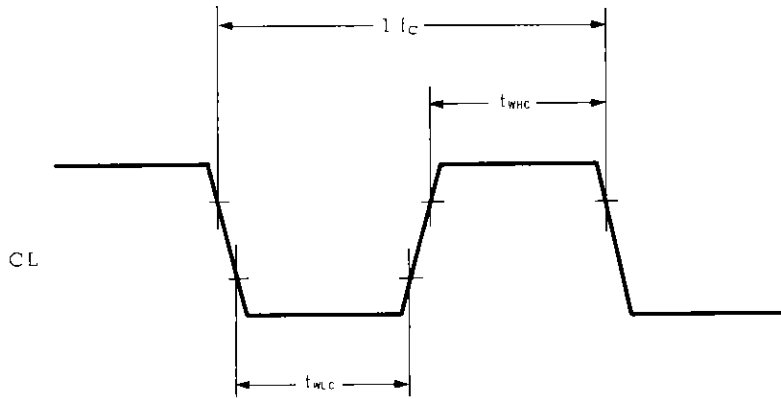
パラレル入出力オペレーション

項 目	略 号	条 件	MIN	TYP	MAX	単 位
コマンド入力設定時間(対 $\overline{STB}$ ↓)	$t_A$	$C_L = 80 \text{ pF}$	120			ns
コマンド入力保持時間(対 $\overline{STB}$ ↓)	$t_B$	$C_L = 20 \text{ pF}$	110			ns
データ入力設定時間(対 $\overline{STB}$ ↑)	$t_C$	$C_L = 80 \text{ pF}$	250			ns
データ入力保持時間(対 $\overline{STB}$ ↑)	$t_D$	$C_L = 20 \text{ pF}$	70			ns
データ出力遅延時間	$t_{ACC}$	$C_L = 80 \text{ pF}$	90		750	ns
データ出力保持時間	$t_H$	$C_L = 20 \text{ pF}$	0		150	ns
STB 低レベル・パルス幅	$t_{SL}$		700			ns
STB 高レベル時間	$t_{SH}$		1			μs
STB 保持時間(対 $\overline{BUSY}$ ↑)	$t_{HBS}$		0			μs
2回目の $\overline{STB}$ ↑→ $\overline{BUSY}$ 遅延時間	$t_{DSB}$				4	μs
$\overline{BUSY}$ 低レベル時間	$t_{WLB}$	$C_L = 50 \text{ pF}$	18		64	1/ $t_c$
C/ $\overline{D}$ 設定時間(対1回目の $\overline{STB}$ ↓)	$t_{SDS}$		0			μs
C/ $\overline{D}$ 保持時間(対2回目の $\overline{STB}$ ↑)	$t_{HSD}$		3			μs
CS保持時間(対2回目の $\overline{STB}$ ↑)	$t_{HSCS}$		3			μs

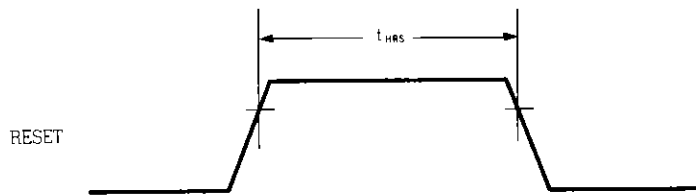
ACタイミング測定電圧 (STB/SCK, BUSYを除く)



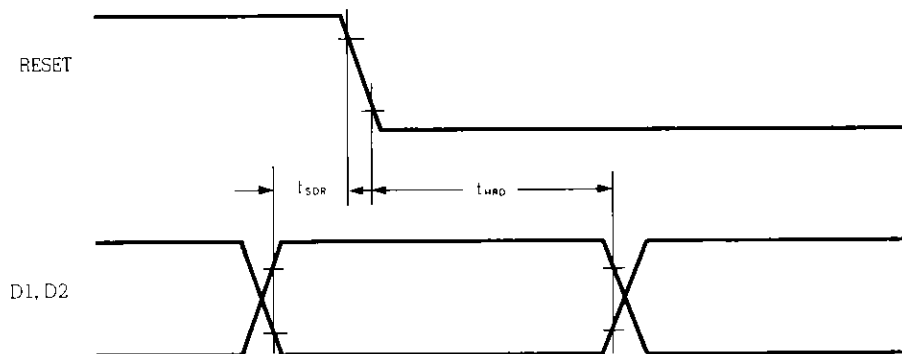
クロック・タイミング



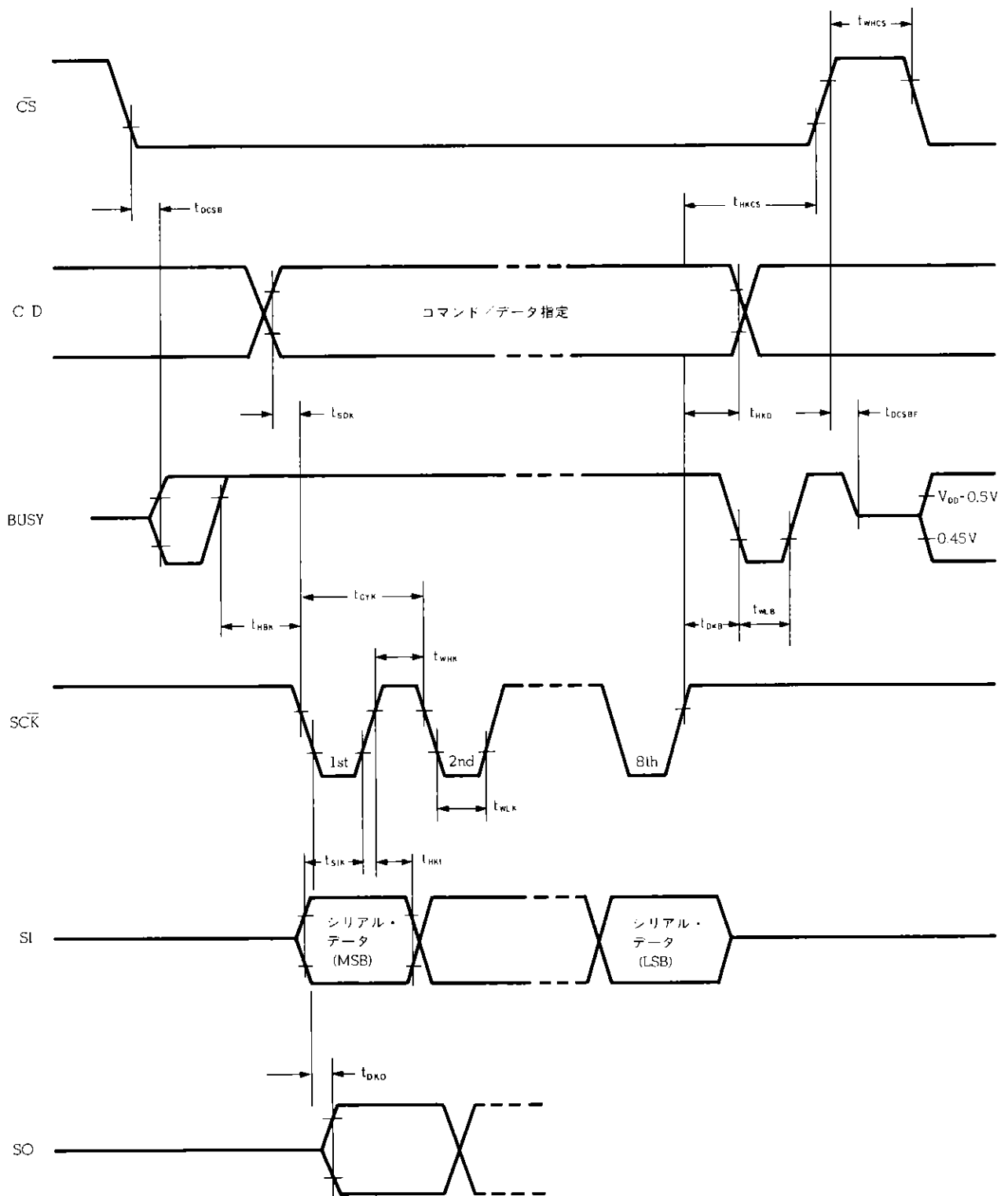
RESET入カタイミング



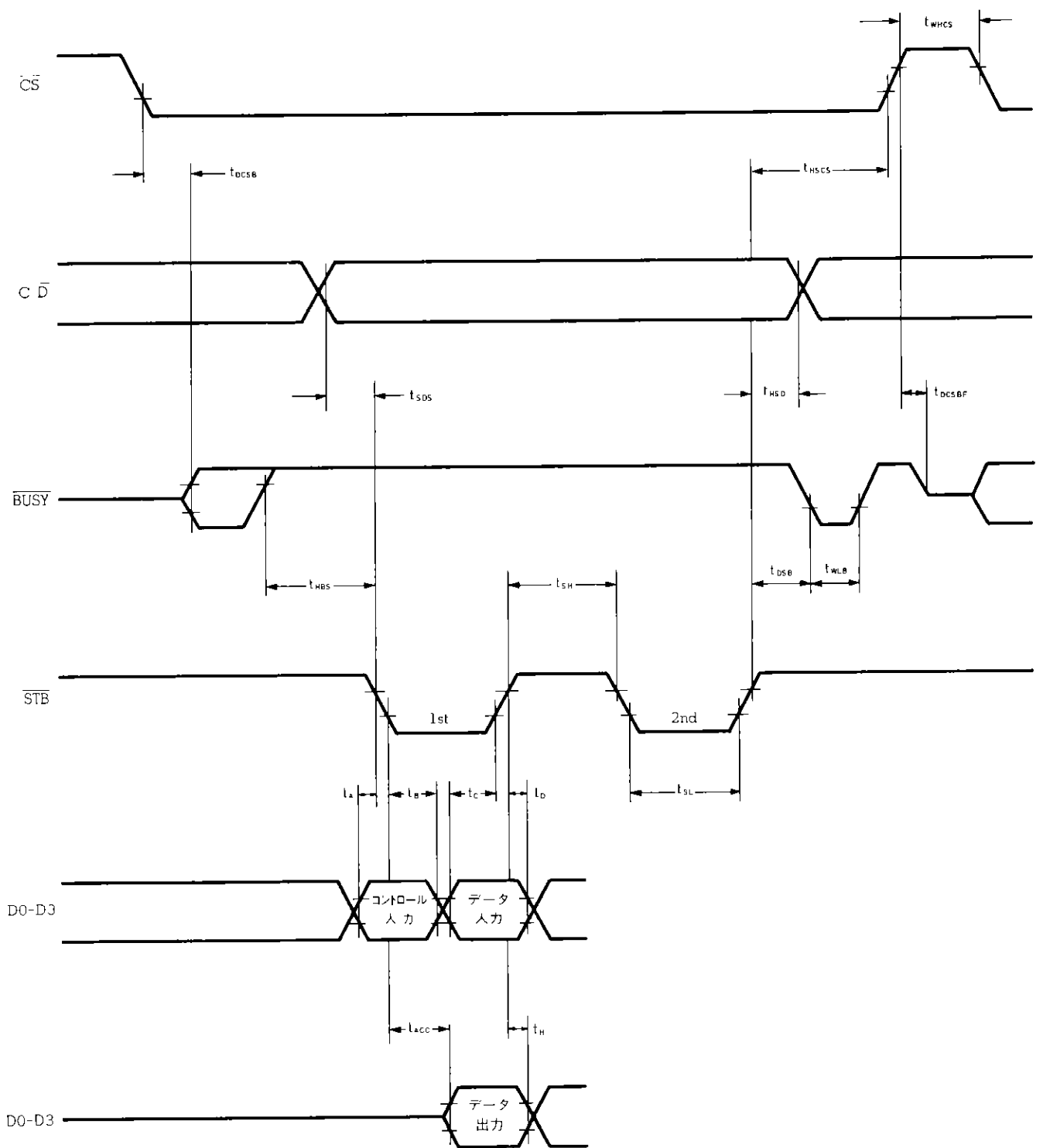
インタフェース指定タイミング



シリアル入出カタイミング



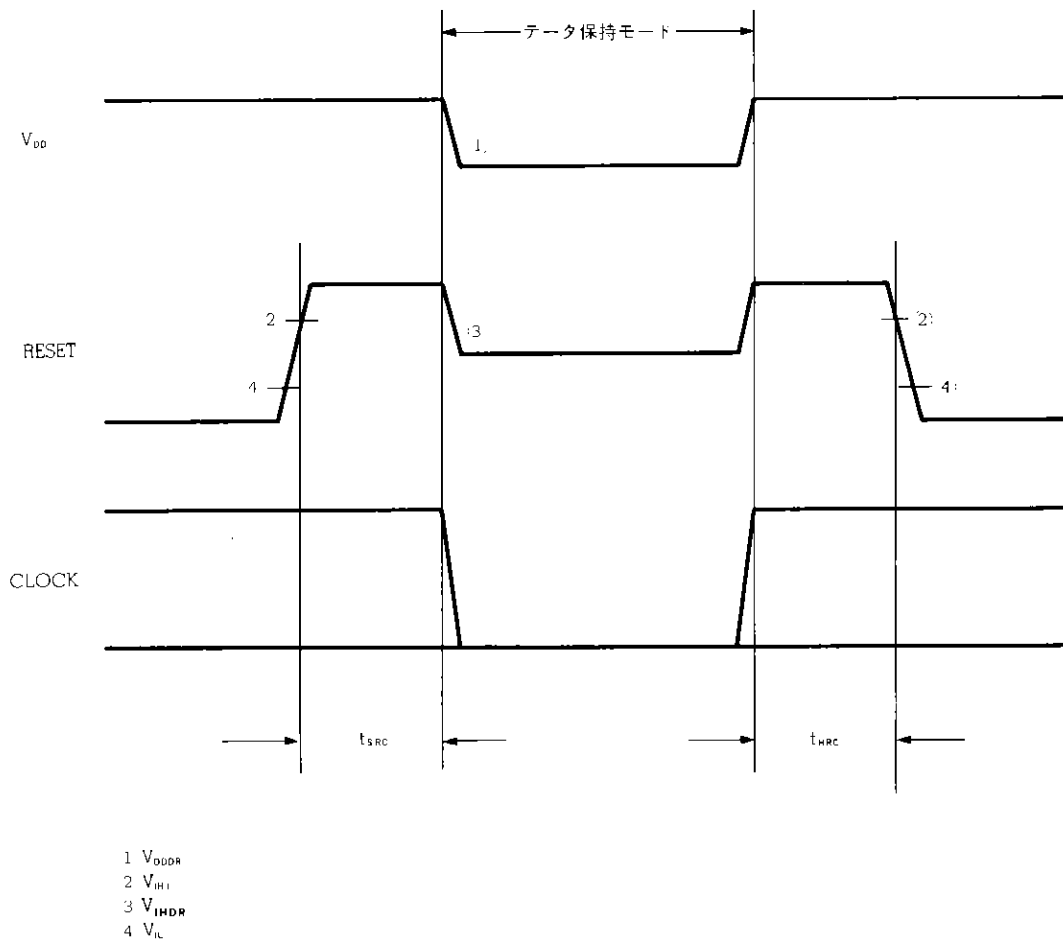
パラレル入出力タイミング



データ・メモリSTOPモード低電源電圧データ保持特性 (Ta = -40 ~ +85 °C)

項 目	略 号	条 件	MIN	TYP	MAX	単 位
データ保持電源電圧	V <sub>DDDR</sub>		2.0			V
データ保持電源電流	I <sub>DDDH</sub>	V <sub>DDDR</sub> = 2.0 V			20	μA
データ保持ハイ・レベルRESET入力電圧	V <sub>IHDR</sub>		0.9V <sub>DDDR</sub>		V <sub>DDDR</sub> + 0.2	V
RESET, CLOCKセットアップ時間	t <sub>SRC</sub>		10			μs
RESET, CLOCKホールド時間	t <sub>HRC</sub>		10			μs

データ保持タイミング

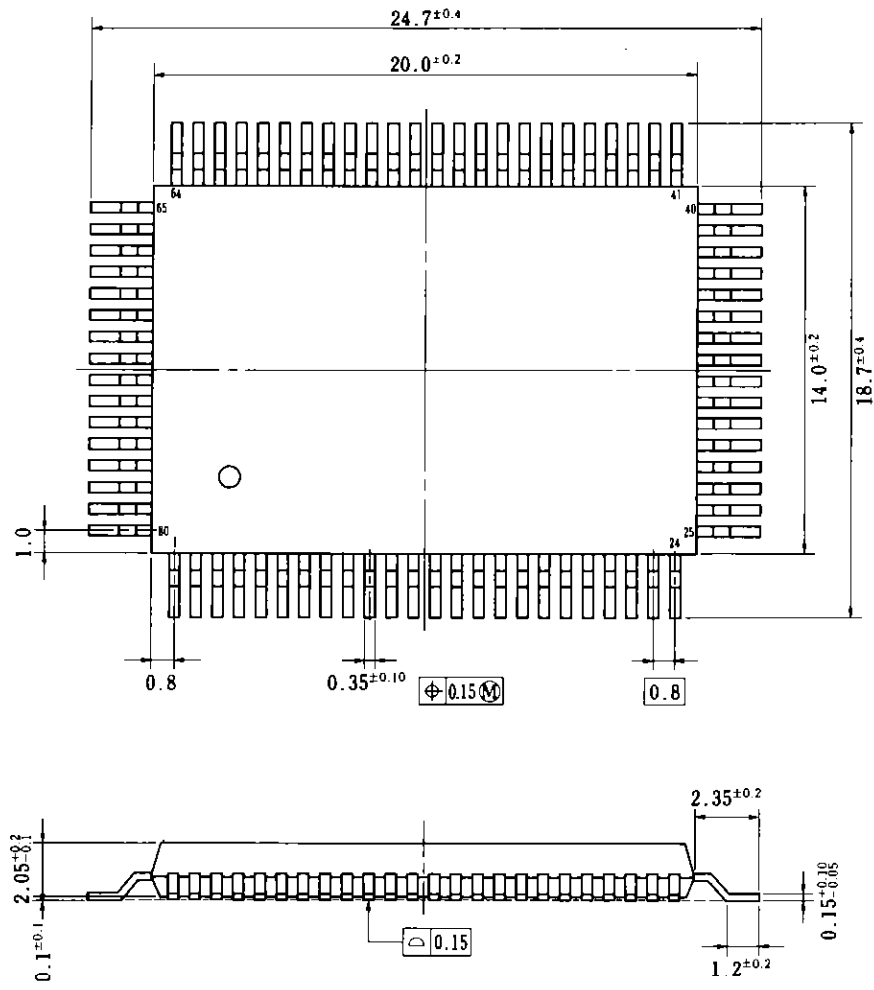


注意 データ保持モードでは、すべての入力はV<sub>DDDR</sub>以下にしてください。

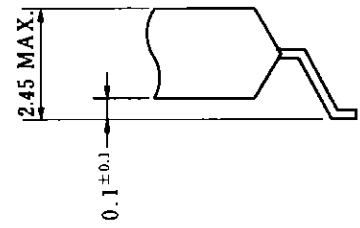


12. 外形図

80ピン・プラスチックQFP (14×20) 外形図(単位: mm)



端子先端形状詳細図



P80G-80-12-1

### 13. 半田付け推奨条件

μPD7228Aの半田付け実装は、次の推奨条件で実施してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

表 13-1 半田付け推奨条件

製品名	パッケージ	推奨条件記号
μPD7228AG-12	80ピン・プラスチックQFP	IR30-107 VP15-107 端子部分加熱

表 13-2 半田付け条件

推奨条件記号	半田付け方式	半田付け条件
IR30-107	赤外線リフロ	パッケージ・ピーク温度：230℃、時間：30秒以内（210℃以上）、回数：1回 制限日数：7日間注（以降は125℃フリベーク10時間必要）
VP15-107	VPS	パッケージ・ピーク温度：215℃、時間：40秒以内（200℃以上）、回数：1回 制限日数：7日間注（以降は125℃フリベーク10時間必要）
端子部分加熱	端子部分加熱	端子部温度：300℃以下、時間：10秒以内

注 ドライバック開封後の保管日数で、保管条件は25℃、65%RH以下。

注意 半田付け方式の併用はお避けください（ただし、端子部分加熱方式は除く）。

備考 半田付け推奨条件の詳細は、インフォメーション資料「半導体デバイス実装マニュアル」(IEI-616)をご参照ください。

(× ㉔)

[メモ]

○文書による当社の承諾なしに本資料の転載複製を禁じます。

○この製品を使用したことにより、第三者の工業所有権等にかかわる問題が発生した場合、当社製品の構造製法に直接かかわるもの以外につきましては、当社はその責を負いませんのでご了承ください。

○当社は、航空宇宙機器、海底中継器、原子力制御システム、生命維持のための医療用機器など極めて高い信頼性が要求される『特定』用途に推奨できる製品を標準的には用意しておりません。当社製品を『特定』用途にご使用をお考えのお客様、および、『標準』品質水準品を当社が意図した用途以外にご使用をお考えのお客様は、事前に販売窓口までご連絡頂きますようお願い致します。

当社推奨の用途例

標準：コンピュータ、OA機器、通信機器、計測機器、工作機械、産業用ロボット、AV機器、家電等

特別：輸送機器（航空機、列車、自動車等）、交通信号機器、防災／防犯装置等

○この製品は耐放射線設計をしておりません。

# NEC 日本電気株式会社

本社	〒108-01 東京都港区芝五丁目7番1号(日本電気本社ビル)	東京	03-3798-6105
半導体第一、第二販売事業部	〒108-01 東京都港区芝五丁目7番1号(日本電気本社ビル)	東京	03-3454-1111
関西支社半導体販売部	〒540 大阪府中央区城東一丁目4番24号(日本電気関西ビル)	大阪	06-945-3178 06-945-3200
中部支社半導体販売部	〒460 名古屋市中区栄四丁目14番5号(松下中ビル)	名古屋	052-242-2755
北海道支社	札幌市中央区南一条西五丁目1番1号	札幌	011-231-0161
東北支社	仙台市青葉区中央一丁目1番1号	仙台	022-261-5511
関東支社	東京都中央区新富一丁目1番1号	東京	0196-51-4344
北陸支社	金沢市本町一丁目1番1号	金沢	0236-23-5511
中部支社	岐阜市本町一丁目1番1号	岐阜	0249-23-5511
近畿支社	京都市中京区東本町一丁目1番1号	京都	0246-21-5511
中国支社	広島市中区本町一丁目1番1号	広島	0258-36-2155
四国支社	高松市本町一丁目1番1号	高松	0292-26-1717
九州支社	福岡市中央区本町一丁目1番1号	福岡	045-324-5511
札幌支社	札幌市中央区南一条西五丁目1番1号	札幌	0273-26-1255
仙台支社	仙台市青葉区中央一丁目1番1号	仙台	0276-46-4011
東京支社	東京都中央区新富一丁目1番1号	東京	0286-21-2281
金沢支社	金沢市本町一丁目1番1号	金沢	0285-24-5011
岐阜支社	岐阜市本町一丁目1番1号	岐阜	0262-35-1444
高松支社	高松市本町一丁目1番1号	高松	0263-35-1666
広島支社	広島市中区本町一丁目1番1号	広島	0266-53-5350
福岡支社	福岡市中央区本町一丁目1番1号	福岡	0552-24-4141
北九州支社	福岡市東区本町一丁目1番1号	北九州	048-641-1411
立川支社	東京都立川市中央一丁目1番1号	立川	0425-26-0911
千葉支社	千葉県千葉市中央区中央一丁目1番1号	千葉	0472-27-5441
静岡支社	静岡県静岡市中央一丁目1番1号	静岡	054-255-2211
浜松支社	静岡県浜松市中央一丁目1番1号	浜松	0559-63-4455
名古屋支社	名古屋市中区栄四丁目14番5号	名古屋	053-452-2711
京都支社	京都市中京区東本町一丁目1番1号	京都	0762-23-1621
大阪支社	大阪府中央区城東一丁目4番24号	大阪	0776-22-1866
神戸支社	神戸市中央区本町一丁目1番1号	神戸	0764-31-8461
福岡支社	福岡市中央区本町一丁目1番1号	福岡	075-221-8511
北九州支社	福岡市東区本町一丁目1番1号	北九州	078-332-3311
新潟支社	新潟市中央区本町一丁目1番1号	新潟	082-242-5504
長野支社	長野市中央一丁目1番1号	長野	0857-27-5311
山梨支社	山梨市中央一丁目1番1号	山梨	0862-25-4455
群馬支社	群馬市中央一丁目1番1号	群馬	0878-36-1200
茨城支社	水戸市中央一丁目1番1号	茨城	0897-32-5001
栃木支社	宇都宮市中央一丁目1番1号	栃木	0899-45-4111
群馬支社	高崎市中央一丁目1番1号	群馬	092-271-7700
九州支社	福岡市中央区本町一丁目1番1号	九州	093-541-2887

(技術お問い合わせ先)

半導体応用技術本部 第一応用システム技術部	〒108-01 東京都港区芝五丁目7番1号(日本電気本社ビル)	東京	03-3798-6105
半導体応用技術本部 第二応用システム技術部	〒540 大阪府中央区城東一丁目4番24号(日本電気関西ビル)	大阪	06-945-3383
半導体応用技術本部 第三応用システム技術部	〒460 名古屋市中区栄四丁目14番5号(松下中ビル)	名古屋	052-242-2762
半導体応用技術本部 マイクロコンピュータ技術部	〒210 川崎市川崎区駅前本町15番5号(十五番館)	川崎	044-246-3922

インフォメーションセンター  
FAX:044-548-7900