

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。



アドバンスト・バイレベル・イメージ・コンプレッション・エクспанションLSI

μPD72187A (Advanced Bi-level Image Compression Expansion) は、国際標準のJBIG (Joint Bi-level Image Coding Experts Group) 方式を用いて二値画像データの圧縮 / 伸長処理を行うプロセッサです。

JBIG方式は算術符号をベースとしたエントロピ符号化で、学習機能を備えているため、従来の二値符号化方式 (MH/MR/MMR) に比べて圧縮効率に優れています。μPD72187Aでは、このJBIG方式を用いて、特に従来圧縮効率の悪かったディザ中間調画像などを効率よく高速に圧縮します。

詳しい機能説明などは次のユーザズ・マニュアルに記載しております。設計の際には必ずお読みください。

μPD72187A ユーザズ・マニュアル : S11056J

特 徴

符号化方式

- ・ITU-T (旧CCITT) のT.85 (JBIGファクシミリ・アプリケーション) に完全準拠
- ・シングル・レイヤ・シーケンシャル・モードをサポート

符号化 / 復号化処理速度 : 5 Mbps

画像サイズ

- ・主走査画素数 : 8 K画素までサポート (600 dpiのとき約34 cm, A3判 (297 x 420 mm) に対応可能)
- ・副走査ライン数 : 64 Kラインまでサポート (16ビット)

ただし、ホストCPUの操作により無限長まで対応可能

確率推定テーブル

- ・JBIG標準の確率推定テーブル内蔵

最低解像度レイヤのモデル・プレート機能

- ・2または3ラインの10画素プレートをサポート

AT (Adaptive Template) 機能

- ・同一ライン手前127画素の範囲でAT画素移動が可能
- ・1ストライプ中に複数回のAT画素移動が可能 (マルチプルATムーブ機能)

最低解像度レイヤのTP (Typical Prediction) 機能

ストライプ処理機能

スタッフ・バイト, マーカ・コード制御機能

- ・スタッフ・バイト, マーカ・コード付加機能
- ・スタッフ・バイト自動廃棄, マーカ・コード検出 / 通知機能

ライン・メモリ内蔵 8 Kビット x 4ライン

状態記憶メモリ入れ換え機能 : ビット・プレーンの対応が可能

本資料の内容は、後日変更する場合があります。

デュアル・バス方式

- ・ 画像メモリ側 : 内蔵DMAコントローラによるDMA転送
8/16ビット・データ・バス
24ビット・アドレス・バス
- ・ ホストCPU側 : I/Oアクセスまたは, 外部DMAコントローラによるDMA転送
8/16ビット・データ・バス

CMOSプロセス

+ 5 V単一電源

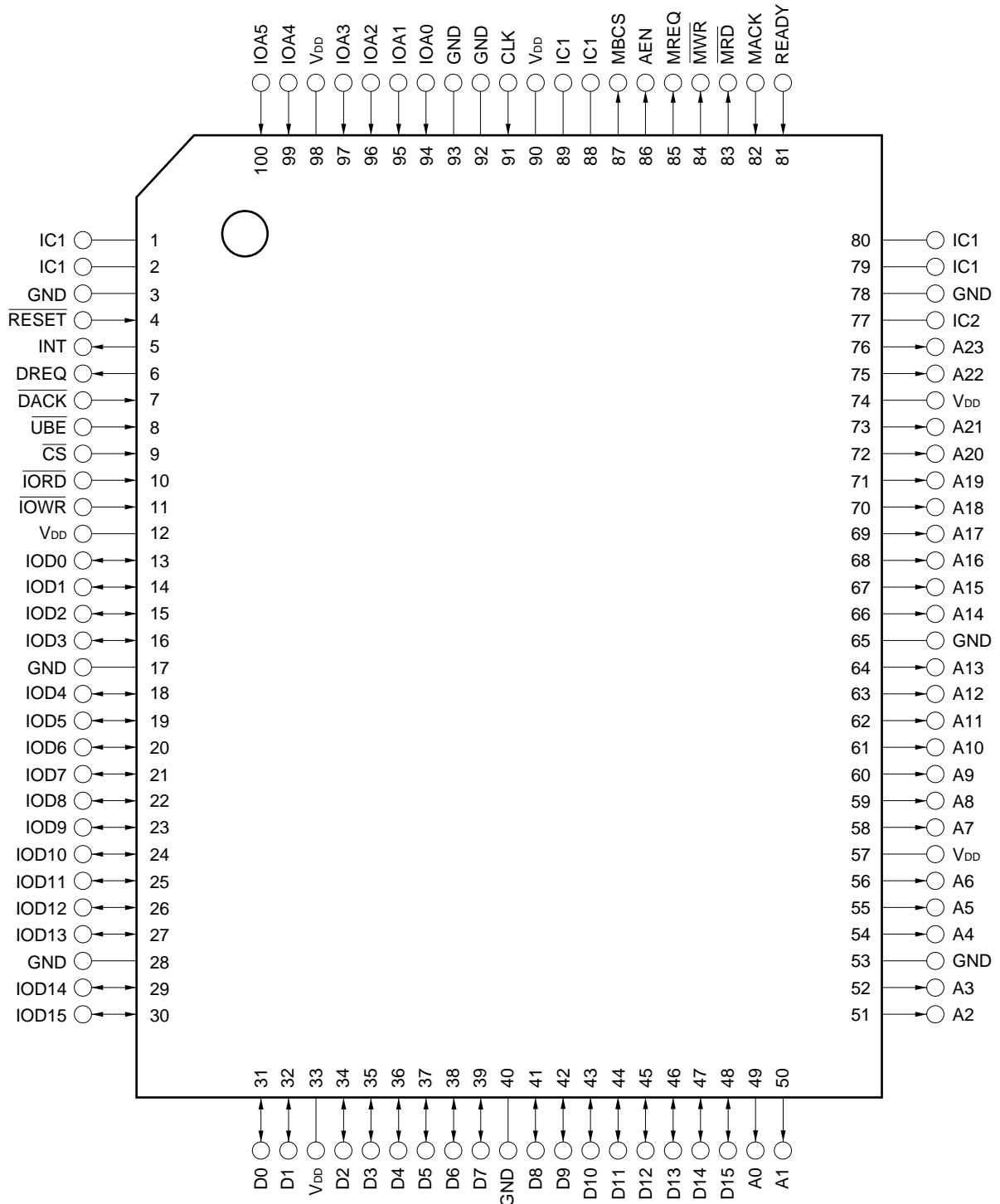
システム・クロック : 20 MHz (MAX.)

オーダ情報

オーダ名称	パッケージ
μ PD72187AGF-3BA	100ピン・プラスチックQFP (14 × 20 mm)

端子接続図 (Top View)

100ピン・プラスチックQFP (14×20 mm)



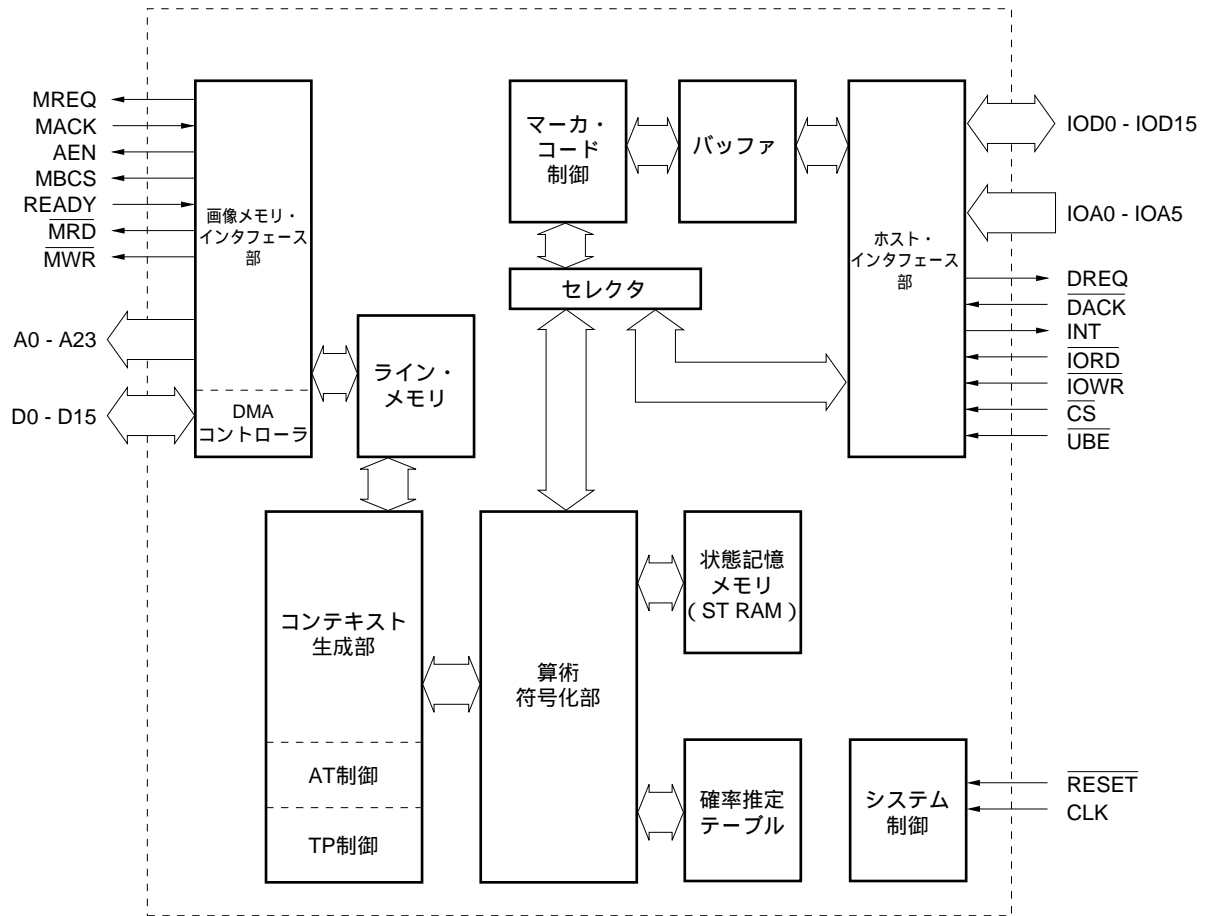
IC1 : Internally Connected (プルダウンしてください。)

IC2 : Internally Connected (プルアップしてください。)

端子名称

AEN	: アドレス・イネーブル
A0-A23	: 画像メモリ・アドレス・バス
CLK	: クロック
\overline{CS}	: チップ・セレクト
\overline{DACK}	: DMAアクノリッジ
DREQ	: DMAリクエスト
D0 - D15	: 画像メモリ・データ・バス
GND	: グランド
IC1	: インターナル・コネクタ1
IC2	: インターナル・コネクタ2
INT	: インタラプト
IOA0 - IOA5	: I/Oアドレス・バス
IOD0 - IOD15	: I/Oデータ・バス
\overline{IORD}	: I/Oリード
\overline{IOWR}	: I/Oライト
MACK	: メモリ・アクノリッジ
MBCS	: メモリ・バス・サイクル・スタート
\overline{MRD}	: メモリ・リード
MREQ	: メモリ・リクエスト
\overline{MWR}	: メモリ・ライト
READY	: レディ
\overline{RESET}	: リセット
\overline{UBE}	: アッパー・バイト・イネーブル
V _{DD}	: パワー・サブライ

機能ブロック図



ブロックの機能説明

(1) ホスト・インタフェース部

ホストCPUとの間でコマンド / ステータスや符号データのやり取りを行う8/16ビットの双方向データ・バスを制御します。また、内部の状態記憶メモリ (ST RAM : State RAM) の内容も、このバスを通して転送します。I/Oアクセス以外に、外部DMAコントローラによって、符号データや状態記憶メモリ・データをDMA転送することが可能です。

(2) 画像メモリ・インタフェース部

符号化 / 復号化用二値画像データの入出力を行うインタフェース。内蔵のDMAコントローラにより、画像メモリ・アドレス、メモリ・リード / ライト制御信号を生成、出力します。画像データ幅は、8ビットまたは16ビットの選択が可能です。直接アクセスできるメモリ領域は、最大32 Mバイトまで (16ビット選択時) です。

(3) ライン・メモリ部

8 K画素 / ラインを4ライン分蓄えられるメモリです。3ラインは、符号化 / 復号化に用いられ、残る1ラインはTP機能の処理に用いられます。

(4) コンテキスト生成部

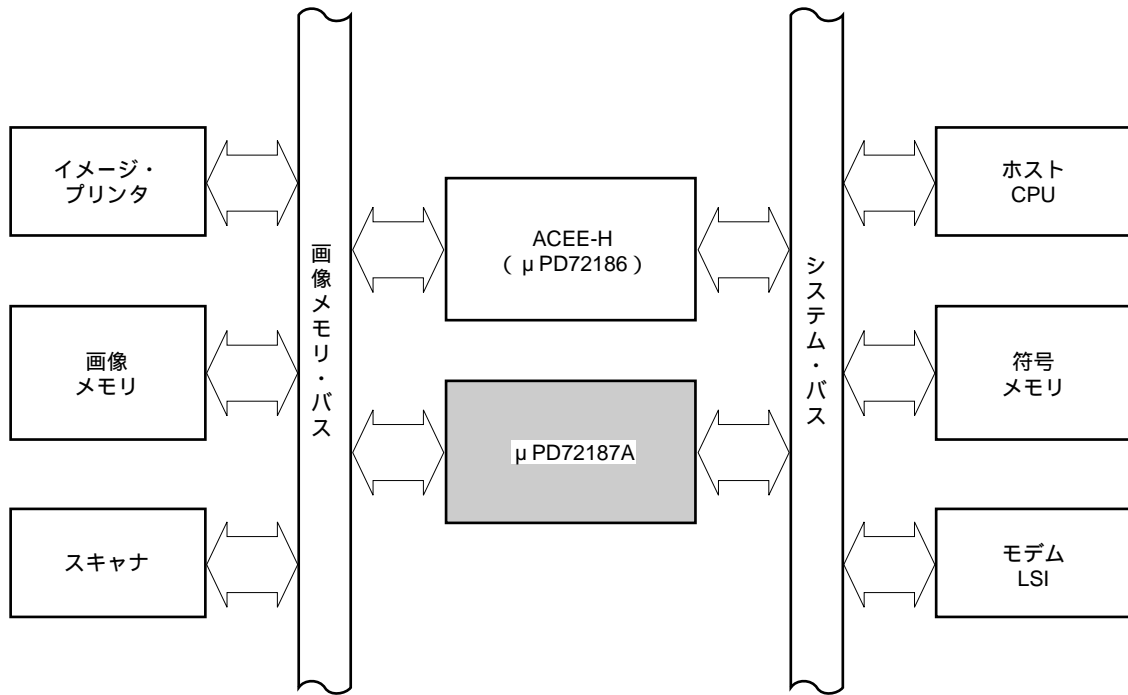
2ラインまたは3ラインの10画素テンプレートによって、コンテキストを生成します。

(5) 算術符号化部

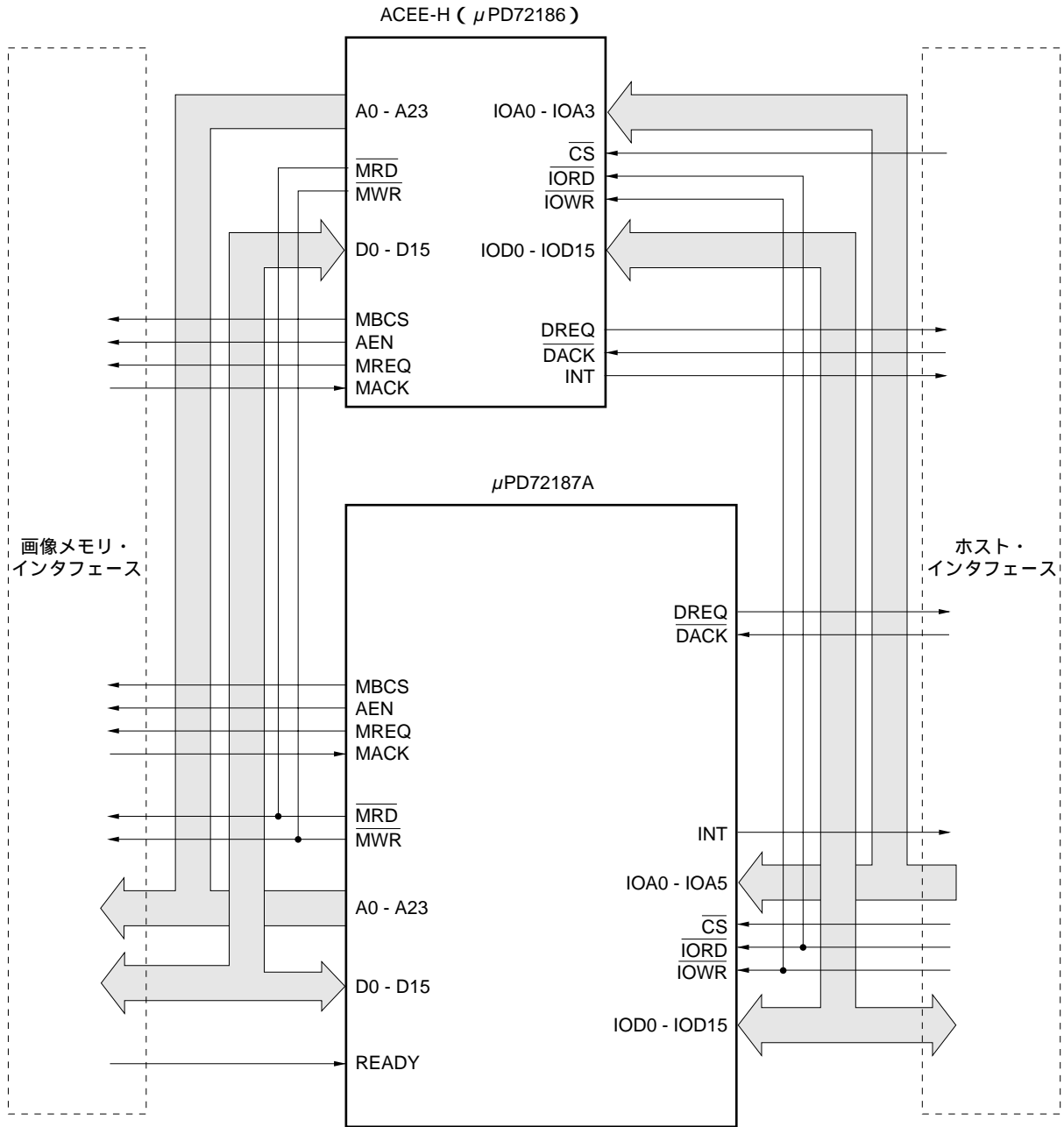
適応型の算術符号化 / 復号化演算を行います。

113状態の確率推定テーブルROM, ST RAMが接続されます。

システム構成例



周辺接続例



目 次

1 . 端子機能 ...	11
1.1	11
1.2	12
1.3	12
1.4	13
2 . 機 能 ...	14
2.1	14
2.2	16
2.3	17
2.3.1	17
2.3.2	17
2.4	17
2.5	18
2.6	19
2.7	20
2.8	21
2.9	22
2.9.1	22
2.9.2	22
2.9.3	22
2.10	23
2.11	23
2.12	23
2.13	24
2.13.1	24
2.13.2	24
2.14	24
3 . データの取り扱い方式 ...	25
3.1	25
3.1.1	25
3.1.2	25
3.1.3	26
3.2	29
4 . インタフェース ...	30
4.1	30
4.1.1	30
4.2	34
4.2.1	34

- 4.2.2 バス・サイクル・モード ... 37
- 4.2.3 DMAブレーク ... 37

- 5 . レジスタ構成 ... 38
 - 5.1 レジスタ・マップ ... 38

- 6 . 電気的特性 ... 40

- 7 . 外形図 ... 48

- 8 . 半田付け推奨条件 ... 49

1. 端子機能

μPD72187Aの端子は、機能的に次の3グループに分けられます。

- ・ホスト・インタフェース用の端子
- ・画像メモリ・インタフェース用の端子
- ・その他の端子

1.1 ホスト・インタフェース用の端子

端子名称	入出力	機能
IOA0 - IOA5	入 力	ホストCPUがμPD72187AをI/Oアクセスするための6ビット・アドレス・バスです。このうち、IOA0入力は \overline{UBE} 入力とともに用いられ、データの読み出し/書き込みの単位(バイトまたはワード)を指定します。
IOD0 - IOD15	3ステート入出力	16ビット双方向データ・バスです。 \overline{UBE} 入力とIOA0入力を操作することで、8ビット・データ・バスとしても機能します。
IORD	入 力	ホストCPUが、μPD72187Aに対しI/Oアクセスによる読み出しを行うためのアクティブ・ロウ入力信号端子です。
\overline{IOWR}	入 力	ホストCPUが、μPD72187Aに対しI/Oアクセスによる書き込みを行うためのアクティブ・ロウ入力信号端子です。
\overline{CS}	入 力	ホストCPUが、μPD72187AをI/Oアクセスするために必要なアクティブ・ロウ入力信号端子です。
\overline{UBE}	入 力	IOA0入力との組み合わせで使用します。ホストCPUがμPD72187AをI/Oアクセスするとき、データの読み出し/書き込みの単位(バイトまたはワード)を指定します。
INT	出 力	ホストCPUに対して出力されるアクティブ・ハイの割り込み要求信号です。
DREQ	出 力	外部のDMAコントローラに対するDMAリクエスト信号です。μPD72187A内に読み出し可能なデータがある場合、または、書き込み可能なスペースがある場合にアクティブとなります。
\overline{DACK}	入 力	外部DMAコントローラからのDMAアクノリッジ信号です。ホストCPUがμPD72187AをI/Oアクセスする場合、 \overline{DACK} 入力はインアクティブである必要があります。

1.2 画像メモリ・インタフェース用の端子

端子名称	入出力	機能
A0-A23	3ステート出力	μPD72187Aが画像メモリに対するバス・マスタである場合は出力状態となります。画像メモリに対してバス・スレーブである場合は、ハイ・インピーダンスとなります。 24ビットのアドレス信号によって、8ビット設定時には最大16 Mバイト、16ビット設定時には最大32 Mバイトをアクセスします。
D0-D15	3ステート入出力	画像メモリとの間で画像データの入出力を行います。データ幅は、8ビットまたは16ビットの選択が可能です。
$\overline{\text{MRD}}$	3ステート出力	μPD72187Aが画像メモリに対するバス・マスタである場合に出力状態となり、画像メモリからデータを読み出すとき、ロウ・レベルとなります。画像メモリに対して、バス・スレーブである場合は、ハイ・インピーダンスになります。
$\overline{\text{MWR}}$	3ステート出力	μPD72187Aが画像メモリに対するバス・マスタである場合に出力状態となり、画像メモリにデータを書き込むとき、ロウ・レベルとなります。画像メモリに対して、バス・スレーブである場合、ハイ・インピーダンスになります。
AEN	出力	μPD72187Aが画像メモリに対するバス・マスタである場合に、アクティブになります。
MREQ	出力	μPD72187Aが画像メモリに対するバス・スレーブである場合に、画像メモリ・バスの使用権を要求するための信号です。画像メモリとの間でDMA転送が必要なとき、アクティブとなります。
MACK	入力	MREQに対し、μPD72187Aに画像メモリ・バスの使用を許可したことを示すアクティブ・ハイの入力信号です。MACK入力によりμPD72187Aは、バス・マスタになります。
MBCS	出力	画像メモリのバス・サイクルのスタートを示す信号です。（通常は、使用しなくてもかまいませんが、この端子によりメモリ・アクセスの先行制御を容易にすることができます。）
READY	入力	画像メモリが低速のメモリ・デバイスで構成される場合に、 $\overline{\text{MRD}}$ 、および $\overline{\text{MWR}}$ 信号幅を引き延ばすための入力信号です。READY入力は、規定されたセットアップ/ホールド時間内で変化させないでください。

1.3 その他の端子

端子名称	入出力	機能
CLK	入力	外部クロック入力です。
$\overline{\text{RESET}}$	入力	システム・リセット入力です。システム・クロックに対して最低2クロックの間ロウ・レベルを保持します。リセット後、μPD72187Aは画像メモリに対してバス・スレーブとなります。
IC1	-	μPD72187Aのテスト用端子です。通常は、プルダウン（ロウ・レベル）してください。
IC2	-	μPD72187Aのテスト用端子です。通常は、プルアップ（ハイ・レベル）してください。
V _{DD}	-	正電源供給端子です。
GND	-	GND端子です。

1.4 リセット後の各端子の状態

端子名称	リセット後の状態
IOD0 - IOD15	ハイ・インピーダンス
INT, DREQ	ロウ・レベル
A0 - A23	ハイ・インピーダンス
D0 - D15	ハイ・インピーダンス
$\overline{\text{MRD}}$, $\overline{\text{MWR}}$	ハイ・インピーダンス
MREQ, AEN	ロウ・レベル

2. 機能

2.1 機能概要

μPD72187Aは、JBIG標準規格に基づいて、二値画像データの符号化、および符号データから二値画像データへの復号化を行います。JBIG標準規格内のシングル・レイヤ・シーケンシャル・モードのみをサポートします。

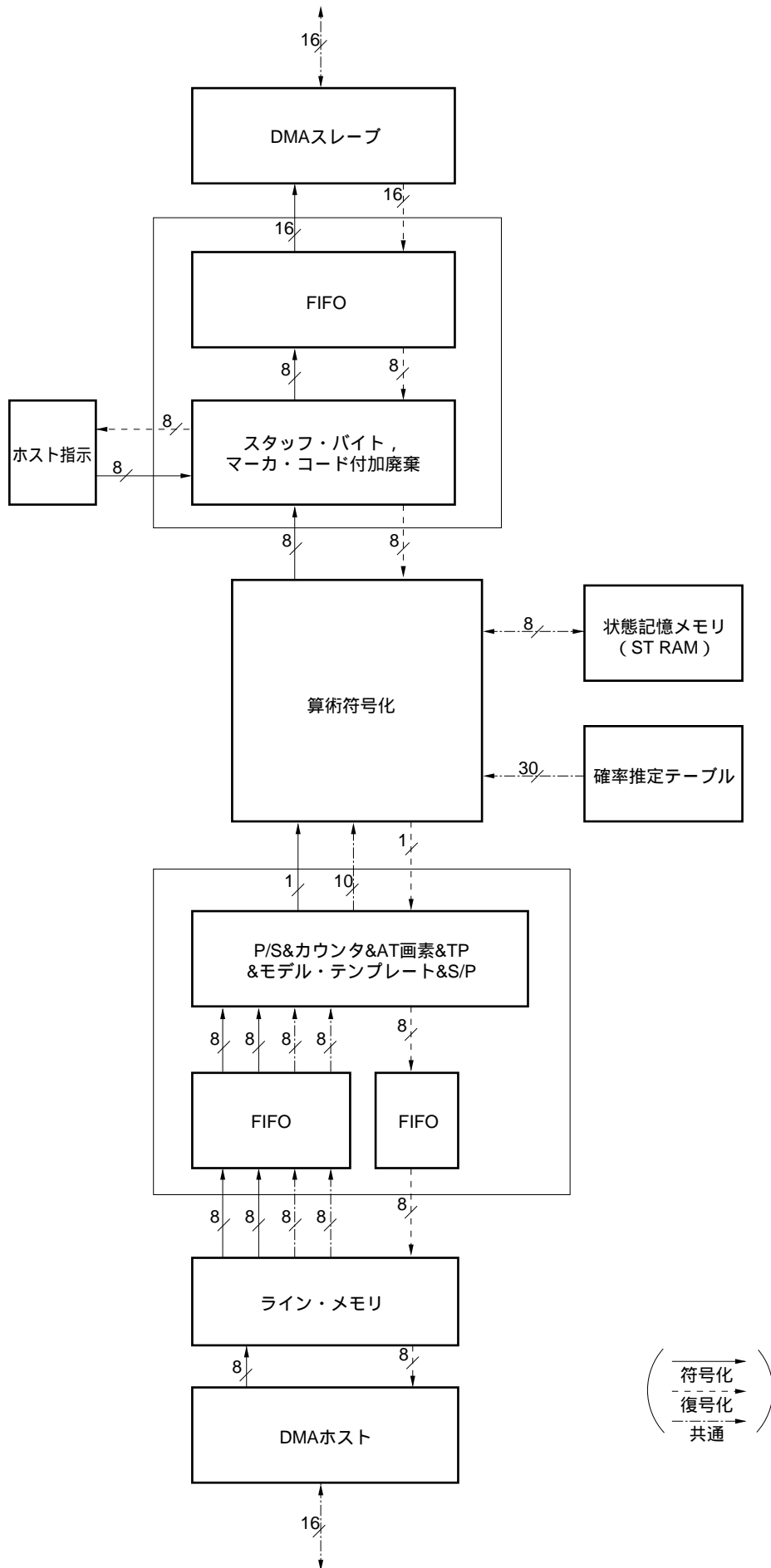
符号化および復号化は、ITU-T (旧CCITT) 勧告T.82に規定される符号化方式に従って行います。

μPD72187Aは、ホストCPUとのインタフェース、および画像メモリとのインタフェースの2つのインタフェースを持っています。ホストCPUとのコマンド/ステータス・データのやりとりはI/Oアクセスで行います。符号メモリとの符号データの転送には、外部DMAコントローラを用いてDMA転送を行います。また、データ・バッファを介して、I/Oアクセスで行うこともできます。画像メモリとのデータのやりとりは内蔵のDMAコントローラを用いてDMA転送により行います。

以下に、μPD72187Aの機能一覧を示します。

- (1) リセット機能
- (2) 二値シンボル・データ圧縮 / 伸長機能
 - (a) 圧縮 (符号化) 機能
 - (b) 伸長 (復号化) 機能
- (3) 確率推定テーブル
- (4) 最低解像度レイヤ・モデル・テンプレート機能
- (5) AT (Adaptive Templates) 機能
- (6) 最低解像度レイヤTP (Typical Prediction) 機能
- (7) ストライプ処理機能
- (8) スタッフ・バイト, マーカ・コード制御機能
 - (a) スタッフ・バイト, マーカ・コード付加機能
 - (b) スタッフ・バイト廃棄, マーカ・コード検出 / 通知機能
- (9) 二値画像データ・サイズ
- (10) 画像メモリ・アクセス (画像データ転送) 機能
- (11) 符号データ転送機能
- (12) 状態記憶メモリ (ST RAM) 制御機能
 - (a) ST RAMデータ転送機能
 - (b) ST RAMクリア機能
- (13) ライン・メモリ

図2 - 1 データ・フロー図



2.2 リセット機能

μPD72187Aには、5種類の目的別リセット機能があります。

(1) ハードウェア・リセット (H/WRST)

$\overline{\text{RESET}}$ 信号により μPD72187A全体の初期化を行います。

(2) ソフトウェア・リセット (SFRST)

ハードウェア・リセットと同等の初期化を行い、自動解除します。

(3) ページ・リセット (PGRST)

符号化 / 復号化処理開始の前に、ホストCPUから設定することにより、一部のレジスタを除いて μPD72187A全体の初期化を行い、自動解除します。

(4) ストライプ・リセット (SPRST)

各々のストライプの先頭で、必要に応じてホストCPUから設定することにより、画像メモリ・インタフェース部とホスト・インタフェース部を除く部分の初期化を行い、自動的に解除します。

(5) QMリセット (QMRST)

QMリセットは、ホストCPUから設定される以外にも、他のリセットが設定された時にも有効になり、算術符号化部の初期化を行います。QMリセットは、コマンド・レジスタ1のQMONビットに“1”を書き込むことにより解除されます。

これらのリセットは、上位のリセットが設定されることによっても有効になります。次に各リセット間の関係を示します。

上位

下位

H/WRST = SFRST > PGRST > SPRST > QMRST

SFRSTやPGRSTをかけた場合は、QMRSTを除く下位のリセットが解除されるのを待って次の処理に進んでください。

μPD72187Aの各レジスタに対するリセットは、同一のレジスタ内であっても、ビット単位で有効 / 無効が異なるので注意が必要です。

2.3 二値シンボル・データ圧縮 / 伸長機能

2.3.1 圧縮（符号化）機能

μPD72187Aは、画像メモリから読み込んだ画像データ（二値シンボル・データ）をJBIG方式により符号化し、符号データを出力します。

符号化の終了方式には、次に示す2つがあります。

- ・カウンタ標準方式

最終ストライプの処理を開始するまでに、正確な副走査ライン数を設定する方式です。

- ・フラグ・エンド方式

副走査ライン数を設定する代わりに、最終データを含む入力データの転送開始の際、パラメータを設定する方式です。

符号データの終端は、次に示すJBIG標準方式で処理します。

- ・JBIG標準方式

JBIG標準規格で定められている方式です。「符号終端部に00Hのデータが連続しているような場合は、その00Hを削除してもよい」という規格になっています。

符号終端部の00Hのデータを削除する動作をフラッシュ動作といいます。フラッシュ動作は、ホストCPUで行ってください。μPD72187Aでは、フラッシュ動作をサポートしておりません。

フラッシュ動作によって終端部を削除した符号を復号化するには、必ず副走査ライン数の設定を行ってください。

2.3.2 伸長（復号化）機能

JBIG方式により符号化された符号入力データを復号化し、画像データを出力します。

復号化の終了方式は、次に示すJBIG標準方式で行います。

- ・JBIG標準方式

この方式で終端部を処理した符号を復号化するには、最終ストライプの処理を開始するまでに、正確な副走査ライン数の設定が必要です。

また、復号化処理中にμPD72187Aがマーカ・コードを検出したあと、最終バイト処理開始を設定することによって復号化が終了します。

2.4 確率推定テーブル

μPD72187Aは、符号化 / 復号化処理に必要なJBIG標準の「確率推定テーブル」をROMの形で内蔵していません。テーブルの書き換え、切り替えはできません。

2.5 最低解像度レイヤ・モデル・テンプレート機能

μPD72187Aは、JBIG標準機能を実現するため最低解像度レイヤのモデル・テンプレート（参照画像パターン型抜き）機能を持っています。

この機能は、ホストCPUからの設定によりモデル・テンプレートのライン数を、3ラインまたは2ラインに切り替えることができます。

以下に各々のモデル・テンプレートを示します。■ は、符号化 / 復号化現画素位置です。

図2-2 3ライン・テンプレート

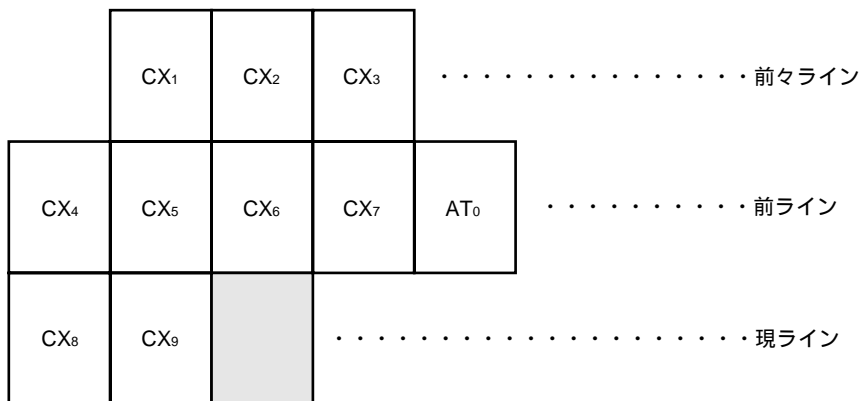
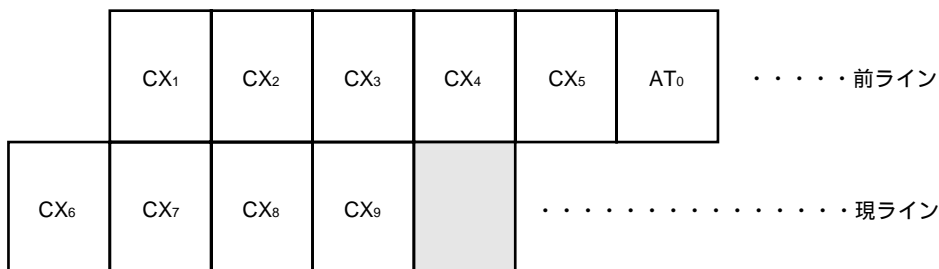


図2-3 2ライン・テンプレート



モデル・テンプレートからコンテキスト（参照画像パターン）を生成するときのデータ配列は、以下のようになります。

(MSB) (LSB)
 CX₁, CX₉, AT₀ (10ビット)

またTP機能（2.7 最低解像度レイヤTP (Typical Prediction) 機能参照）を使用する場合、SLNTPを符号化 / 復号化する際、固定のコンテキストに自動切り替えする機能があります。

以下に、その値を示します。

- 3ライン・テンプレート使用時 : 0E3H
- 2ライン・テンプレート使用時 : 18BH

2.6 AT (Adaptive Templates) 機能

μPD72187Aには、ホストCPUからの設定により、図中に示すAの位置を、符号化 / 復号化現画素位置の同一ライン上、手前127画素の範囲（図中破線部）で移動する機能があります。■ は、符号化 / 復号化現画素位置です。

図2 - 4 3ライン・テンプレートAT画素可動範囲

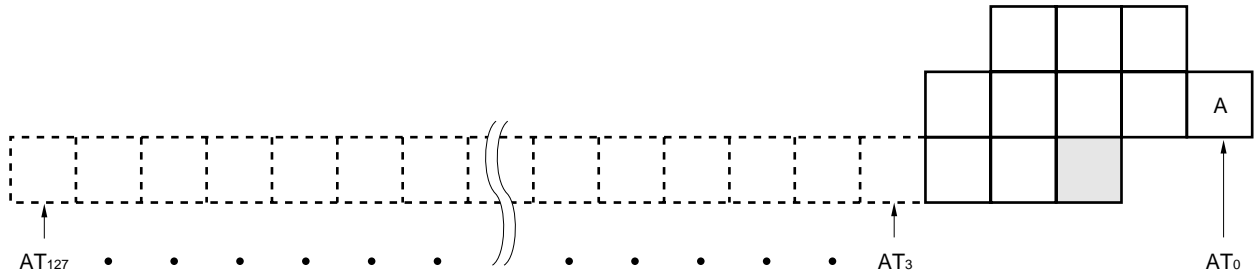
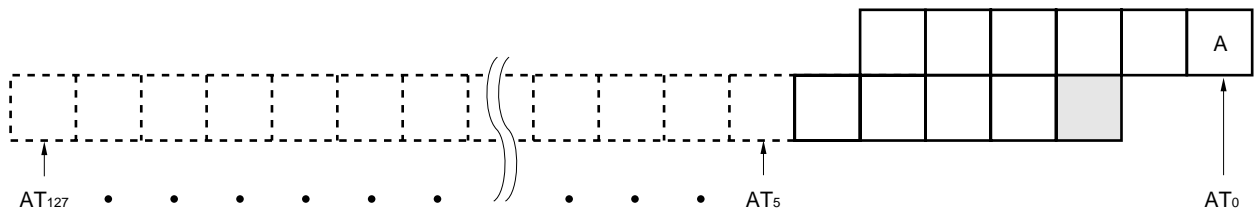


図2 - 5 2ライン・テンプレートAT画素可動範囲



従って、AT機能を使用した際に生成されるコンテキストのデータ配列におけるLSBは、以下のようになります。

(MSB) (LSB)
 3ライン・テンプレート使用時 : CX₁, CX₉, (AT₀ or AT₃ - AT₁₂₇)

(MSB) (LSB)
 2ライン・テンプレート使用時 : CX₁, CX₉, (AT₀ or AT₅ - AT₁₂₇)

AT画素の移動は、1ストライプ内の任意のラインで複数回行えます（マルチプルATムーブ機能）。

TP機能を使用する場合、SLNTP（2.7 最低解像度レイヤTP (Typical Prediction) 機能参照）の符号化 / 復号化に限って固定のコンテキストを使用するため、AT機能は無効になります。

2.7 最低解像度レイヤTP (Typical Prediction) 機能

μPD72187Aには、ホストCPUからの設定により、JBIG標準仕様に従って、符号化/復号化しようとする現ラインが前ラインと一致しているか否かを1ビットのデータ(LNTP)で置換して、一致していたときは1ラインを一括して符号化する機能、および前ライン置換により復号化する機能があります。

つまり、現ラインのLNTP値(LNTP_y)と前ラインのLNTP値(LNTP_{y-1})から作られる疑似画素SLNTP値

$$SLNTP_y = LNTP_y \oplus LNTP_{y-1}$$

⊕ : 排他的論理和

: 論理反転

を使用して、一括符号化および前ライン置換による復号化を行います。

この機能を使用する場合には、符号化/復号化対象ストライプの処理を開始する前に、LNTP_{y-1}には同一プレーン(平面)の前ストライプにおける最終ラインのLNTP値をセットしておく必要があります。ただし、LNTP_{y-1}のリード/ライトは、算術符号化部が停止している期間中に限ります。

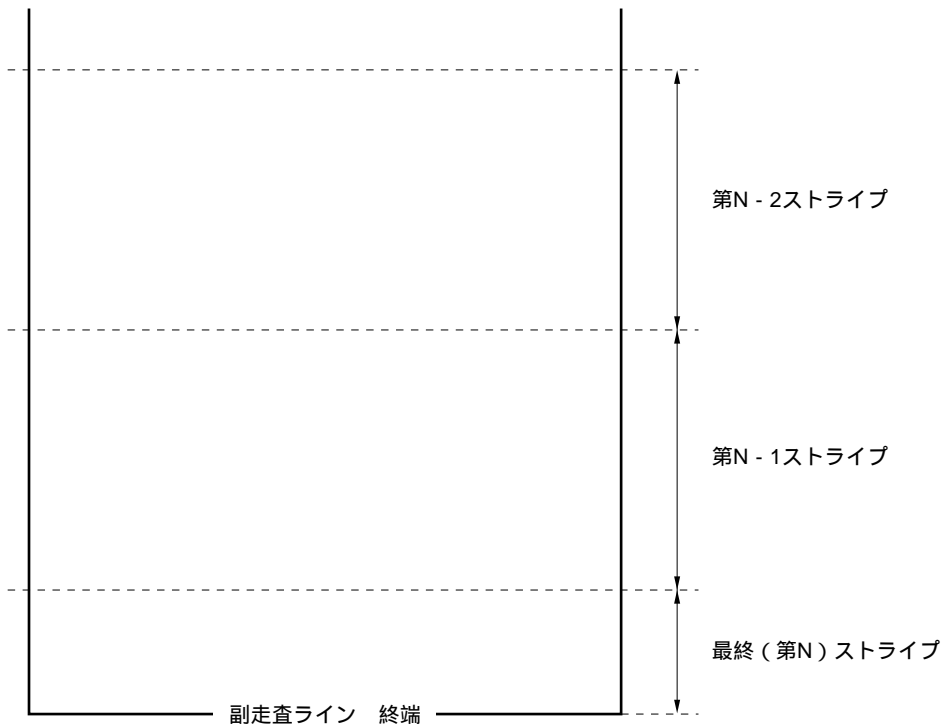
また各ビット・プレーンにおける第1ストライプ処理開始時は、LNTP_{y-1}に“1”(not TP)をセットしなければなりません。

2.8 ストライプ処理機能

μPD72187AにはJBIG標準仕様に従って、ストライプを単位として符号化 / 復号化処理を行う機能があります。処理可能な1ストライプのライン数は、1(0001H) ~ 2¹⁶ - 1(FFFFH)ラインです。

1ページのデータは、1以上のストライプで分割されます。しかし、1ページの副走査ライン数は、ストライプ・ライン数の正数倍に一致するとは限りません。従って、最終ストライプはストライプ・ライン数と一致しなくても、図2 - 6のように1ストライプとして扱います。

図2 - 6 ストライプ単位の処理



2.9 スタッフ・バイト，マーカ・コード制御機能

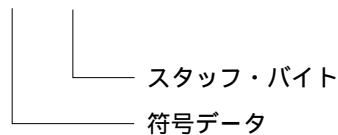
2.9.1 マーカ・コードおよびスタッフ・バイトについて

マーカ・コードとは，FFH + x × Hで表される 2 バイトの制御コードとそれに付随するデータ列です。

マーカ・コード	FFH + 02H	: SDNORM (通常終端)
	FFH + 03H	: SDRST (次ストライプ前にリセットをかける)
	FFH + 04H	: ABORT (途中で中断する)
	FFH + 05H + ...	: NEW LEN (原稿の副走査長をかえることができる)
	FFH + 06H + ...	: ATMOVE (AT画素位置の変更ができる)
	:	

しかし，FFH + x × Hは符号データ列中にも存在します。そこで符号データFFHの後に00Hを付加してマーカ・コードと符号データを識別します。このとき付加する00Hがスタッフ・バイトです。

x × H, , x × H, FFH, 00H, x × H, , x × H,



2.9.2 スタッフ・バイト自動挿入，マーカ・コード付加機能

μPD72187Aには，符号化動作において算術符号化部が動作していないとき，ホストCPUからの設定によって，ホストCPUからマーカ・コードをマーカ・コード・バッファ・レジスタ (MKB) に書き込むと，自動的にマーカ・コードを符号インタフェースに出力する機能があります。

また，算術符号化部が動作中に符号データFFHを出力した場合は，スタッフ・バイトとして00Hを自動挿入する機能があります。

μPD72187Aの設定をスタッフ・バイト自動挿入禁止，マーカ・コード付加禁止に設定した場合は，スタッフ・バイト自動挿入およびマーカ・コードの付加はできません。

2.9.3 スタッフ・バイト廃棄，マーカ・コード検出 / 通知機能

μPD72187Aには，復号化動作のときホストCPUからの設定により，入力される符号データ中のスタッフ・バイト00Hを自動廃棄する機能があります。

また，マーカ・コード検出機能によりマーカ・コードを自動検出すると，符号データ・バスをホストCPU側に自動的に切り換え，ホストCPUに対して，割り込みおよびステータスにより通知を行います。

μPD72187Aの設定をスタッフ・バイト自動挿入禁止，マーカ・コード付加禁止に設定した場合は，スタッフ・バイト廃棄，マーカ・コード検出 / 通知はともに行いません。

2.10 二値画像データ・サイズ

μPD72187Aが符号化 / 復号化処理可能な画像データ・サイズを以下に示します。

主走査方向 : 1 (0001H) ~ $2^{13} - 1$ (1FFFH) ビット

8 K画素

A3サイズ (約34 cm) , 600 dpiの解像度までサポート。

副走査方向 : 1 (0001H) ~ $2^{16} - 1$ (FFFFH) ビット

64 Kライン

ただし、副走査方向については、ホストCPUの操作により無限長まで対応することが可能です。

2.11 画像メモリ・アクセス (画像データ転送) 機能

μPD72187AはDMAコントローラを内蔵しています。このため、μPD72187Aには、ホストCPUからの設定により、アドレス管理と画像データ転送 (入出力) を行い、設定された転送の終了を通知する機能があります。ただし、画像メモリ上の画像データを異なるアドレスに転送する機能はありません。

外部の動作は以下のようになります。

符号化時 : プリスキャン・ラインから 1 バイト / 1 ワードの読み出し

参照ライン、符号化ラインからの読み出しは内蔵のライン・メモリから行います。

復号化時 : 復号化ラインへ 1 バイト / 1 ワードの書き込み

参照ラインからの読み出しは内蔵のライン・メモリから行います。

μPD72187Aが扱うことが可能な画像データ形式は、基本的にライン単位のバイト・バウンダリで、画像メモリ上の連続空間に書き込まれたものに限りです。

ただし、画像バス・サイズを16ビット・モードに設定した場合は、μPD72187Aの内蔵DMAコントローラは16ビットのバス幅で画像データを読み書きします。

2.12 符号データ転送機能

μPD72187Aには、ホストCPUからの設定により次の動作を行って、符号データ転送 (入出力) する機能があります。強制中断も可能ですが、データの保証はできません。

- ・符号データ入出力インタフェース切り替え (DMAまたはI/O)
- ・符号データ入出力バス・サイズ切り替え (8ビットまたは16ビット)
- ・ビット反転
- ・バイト入れ替え (UpperまたはLower)

2.13 状態記憶メモリ (ST RAM) 制御機能

2.13.1 ST RAMデータ転送機能

μPD72187Aには、ホストCPUからの設定により次の動作を行って、ST RAMデータ転送 (入出力) する機能があります。強制中断も可能ですが、データの保証はできません。

複数のビット・プレーンに対応するときは、この機能によりビット・プレーンごとにST RAMを管理してください。

- ・ ST RAMデータ入出力インタフェース切り替え (DMAまたはI/O)
- ・ ST RAMデータ入出力バス・サイズ切り替え

注意 ST RAMデータ転送機能は、符号データ入出力バス幅が16ビットのモードにしか対応しておりません。この機能を使用する場合には、必ず符号データ入出力バス幅を16ビット・モードに設定してください。

2.13.2 ST RAMクリア機能

μPD72187AにはホストCPUからの設定により、ST RAMを0クリアする機能があります。ただしこの機能は、算術符号化部が動作していないときに使用しなければなりません。

また、強制中断も可能です。

2.14 ライン・メモリ

ライン・メモリは、1 Kバイト (8 Kビット) × 4 ラインのLM (Line Memory) 部と各動作モードにおけるリード / ライトの制御を行うLMC (Line Memory Controller) 部で構成されます。

LMのライン数の内訳は、以下のとおりです。

- | | |
|----------------------------|-------|
| ・ 参照ライン (3 ライン・テンプレート時を考慮) | 2 ライン |
| ・ 処理対象ライン (現ライン) | 1 ライン |
| ・ プリスキャン・ライン (TP用ライン) | 1 ライン |

3. データの取り扱い方式

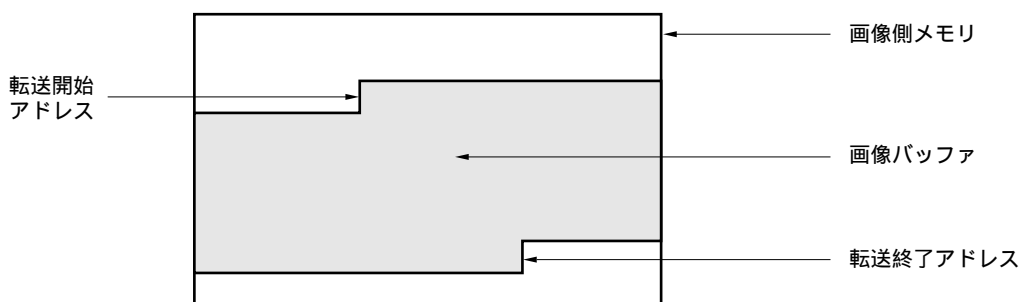
3.1 画像バッファ

3.1.1 画像バッファと符号バッファ

画像バッファは、μPD72187Aがアクセス可能なメモリ領域を指します。画像バッファには、これから処理する原画像データ、または処理（復号化）済みの画像データを格納します。画像バッファの大きさ（主走査画素数と副走査ライン数）、および位置（転送開始アドレスと転送終了アドレス）は、ホストCPUからのレジスタ設定で行います。

画像バッファは、データ配列として1次元配列となります。

図3 - 1 画像メモリと画像バッファ



符号バッファは、画像データを符号化して得られる符号データ、復号化のための符号データを格納します。符号バッファは、μPD72187Aからアクセスすることが不可能であり、外部のDMAコントローラ、ホストCPUなどによって管理されます。

3.1.2 画像バッファの構成

画像バッファの構成としては、バイト構成（8ビット単位）とワード構成（16ビット単位）の両方が可能です。バイト/ワード構成はホストCPUからのレジスタ設定で選択します。

ワード構成の場合、μPD72187Aの出力する1アドレスが1ワード分のメモリに対応します。

どちらの構成においても、μPD72187Aは内部処理を8ビット単位で行います。

μPD72187Aは画像メモリに対して24ビット幅のアドレス・バスを持っており、大容量の画像バッファをアクセスすることができます。表3 - 1にバイト/ワード構成時における画像バッファの容量を示します。

表3 - 1 画像バッファ容量

構成	容量 (Mバイト)	A4判 (210 × 297 mm) 原稿換算の収容能力 (枚 : 主走査方向 8 ドット / mm , 副走査方向 4 ドット / mm で走査)
バイト構成	16	64
ワード構成	32	128

3.1.3 データ格納方式

画像バッファおよび符号バッファには、それぞれ二値画像データ、符号データが格納されますが、二値画像データと符号データの格納に際しては次の方式に従います。

(1) 二値画像データの格納方式

二値画像データは表3 - 2のように2進数に置き換えられます。

表3 - 2 画像データの表現方式

レベル	2進数での表現形式
白レベル	0
黒レベル	1

二値画像データは次の方式で格納します。表3 - 3に、バイト/ワード構成時における画像データの格納例を示します。

- ・ スキャナで最初に走査されるビットをバイト/ワードのLSB（最下位ビット）から順に格納する。
- ・ スキャナで最初に走査されるバイト/ワード・データをアドレスの小さい方から順に格納する。

μPD72187Aは、符号化/復号化の処理をライン単位で行います。従って、1ライン長がバイト/ワード（8/16ビット）単位で区切ることのできない場合には、各ラインの最終バイト/ワードの余りのビットは0で埋め、次ラインの最初のビットは、続くバイト/ワードのLSBに格納してください。

表3 - 3 画像データの格納例

メモリ構成	格 納 例																	
バイト構成	MSB								LSB									
	アドレス	7	6	5	4	3	2	1	0	(ビット)								
	0H	8	7	6	5	4	3	2	1	先頭データ								
	1H	16	15	14	13	12	11	10	9									
2H	24	23	22	21	20	19	18	17										
ワード構成	MSB								LSB									
	アドレス	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	(ビット)
	0H	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	先頭データ
	1H	32	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	

(2) 符号データの格納方式

μPD72187Aでは、モード・レジスタH (MDRH) のBYTSEL, LMSSELの設定により、符号データの格納方式を選択できます。表3 - 4にバイト/ワード構成時における符号データの格納例を示します。

- LMSSEL = 0の場合

符号データをシリアルに転送する際、先に送信するビットをバイト/ワードのMSBから順に格納する。

- LMSSEL = 1の場合

符号データをシリアルに転送する際、先に送信するビットをバイト/ワードのLSBから順に格納する。

- BYTSEL = 0の場合

符号データをシリアルに転送する際、先に送信するバイト/ワード・データをアドレスの大きい方から順に格納する。

- BYTSEL = 1の場合

符号データをシリアルに転送する際、先に送信するバイト/ワード・データをアドレスの小さい方から順に格納する。

符号データは、通常バイト/ワード(8/16ビット)単位では区切ることのできない長さとなります。このため、符号データを実際に符号バッファに送出する際、μPD72187Aはストライプやページの最終バイトに0ビットを付加することで、符号データ全体のビット長を8の倍数にそろえます。

さらに、16ビット・モードにおいて符号データ量が奇数バイトであった場合には、最終バイトに続くデータ(バイト)をホストCPUからμPD72187Aのマーカ・コード・バッファ・レジスタ(MKB)に書き込むことにより、連続したワード・データとして外部に送出します。

表3 - 4 符号データの格納例

メモリ構成	モード・レジスタ		格 納 例		
	BYTSEL	LMSSEL			
バイト構成	-	0	MSB	LSB	
			アドレス	7 6 5 4 3 2 1 0 (ビット)	
	0H	1 2 3 4 5 6 7 8			
	1H	9 10 11 12 13 14 15 16			
			2H	17 18 19 20 21 22 23 24	
	-	1	MSB	LSB	
アドレス			7 6 5 4 3 2 1 0 (ビット)		
0H			8 7 6 5 4 3 2 1	先頭データ	
1H			16 15 14 13 12 11 10 9		
			2H	24 23 22 21 20 19 18 17	
ワード構成	0	0	MSB	LSB	
			アドレス	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	
			0H	1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16	
			2H	17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32	
		0	1	MSB	LSB
	アドレス			15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	
	0H			8 7 6 5 4 3 2 1 16 15 14 13 12 11 10 9	
	2H			24 23 22 21 20 19 18 17 32 31 30 29 28 27 26 25	
		1	0	MSB	LSB
	アドレス			15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	
	0H			9 10 11 12 13 14 15 16 1 2 3 4 5 6 7 8	
	2H			25 26 27 28 29 30 31 32 17 18 19 20 21 22 23 24	
	1	1	MSB	LSB	
アドレス			15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
0H			16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1		
2H			32 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17		

- 備考1 . BYTSEL 0 : High byte first
 1 : Low byte first
 - : Don't care
- 2 . LMSSEL 0 : MSB first
 1 : LSB first

3.2 符号化 / 復号化方式

μPD72187Aが取り扱うことのできる符号化 / 復号化方式は、ITU-T勧告T.82標準で規定されている算術符号方式です。

ITU-T勧告T.82で定められている符号フォーマットを図3 - 2に示します。

図3 - 2 JBIG方式における符号データ・フォーマット

ヘッダ BIH	フローティング・ マーカ・コード	コード SDE	フローティング・ マーカ・コード	コード SDE	フローティング・ マーカ・コード	コード SDE
------------	---------------------	------------	---------------------	------------	-----	-----	---------------------	------------

ストライプ・データ

PSCD + FF02またはFF03 (コード + マーカ・コード)

符号データ・フォーマットの中で、μPD72187Aが制御を行うのは、“コードSDE”の領域です。

4. インタフェース

μPD72187Aは、次の2種類のインタフェースを持っています。

- ・ホスト・インタフェース
- ・画像メモリ・インタフェース

4.1 ホスト・インタフェース

ホスト・インタフェースは、ホストCPUおよび符号メモリとのインタフェースです。

ホストCPUとのデータのやり取りには、 $\overline{\text{IOR}}D$ 、 $\overline{\text{IOW}}R$ および $\overline{\text{CS}}$ を制御信号として用います。パラメータ、ステータスなどの受け渡しには、それぞれに対応したレジスタを使用します。符号データおよびST RAMデータは、データ・バッファを仲介して受け渡しを行います。

ホスト・バス側にDMAコントローラを接続する場合は、制御信号としてDREQおよび $\overline{\text{DACK}}$ を使用し、データ・バッファをアクセスします。

実際に符号化 / 復号化の処理を開始させるには、次の手順でμPD72187Aを操作します。

- (1) 必要なパラメータを各レジスタに書き込む。
- (2) ホストDREQ許可コマンド
- (3) 符号化 / 復号化処理の起動
- (4) 画像データDMA転送開始コマンド (コマンド・レジスタ1 (CMD1 : IDMAON = 1))

μPD72187Aは、ホストCPUによりコマンド・レジスタ1 (CMD1) のIDMAONビットがセットされると、画像データDMA転送を開始し、設定されている動作モードに基づいて処理を行います。

処理が終了または中断すると、次の手順でホストCPUに対して結果を報告し、同時にIDMAONビットは自動的にリセットされます。

- (1) 処理の結果を割り込みステータス・レジスタに書き込む。
- (2) INT端子のレベルをハイにするとともにステータス・レジスタのINTRビットをセットする。

μPD72187Aはある1つの処理を行うと、INT端子の出力をハイ・レベルにするとともにステータス・レジスタの中のINTRビットをセットして、ホストCPUに対し処理の終了や中断を報告します。

これに対してホストCPUは、INT端子のレベルをサンプリングするか、あるいはINTRビットをポーリングすることで処理の終了や中断を確認します。

4.1.1 アクセス・タイミング

ホストCPUとμPD72187A間のパラメータやステータスのやり取りは、通常のI/Oアクセスによって行います。ホスト・バスのデータ・バス幅は、モード・レジスタのSTORETビットの設定 (8ビット・モードまたは16ビット・モード) とは無関係に、IOA0、 $\overline{\text{UBE}}$ の値によって決まります。

16ビット・モードの場合でも、 $\overline{\text{UBE}}$ 端子とIOA0端子を操作することで8ビットとすることもできます (表4 - 1 **ホスト・データ・バスの状態**参照)。16ビット・モード時にホスト・バス幅を常に8ビットで使用する場合は、 $\overline{\text{UBE}}$ 端子をプルアップしてハイ・レベルに固定して使用してください。

表4 - 1 ホスト・データ・バスの状態

IOA0の値	UBEの値	IOD0 - IOD7	IOD8 - IOD15	備 考
0	0	有効	有効	16ビット・バス ワード・アクセス
0	1	有効	無効	16ビット・バス 下位バイト 8ビット・バス 偶数アドレス
1	0	無効	有効	16ビット・バス 上位バイト
1	1	有効	無効	8ビット・バス 奇数アドレス

また、μPD72187Aと外部メモリとの間の符号データおよびST RAMデータの転送は、通常、外部DMAコントローラによるDMA転送で行います。ただし、モード・レジスタH (MDRH) のCODOUTビットの設定により、I/Oアクセスで行うことも可能です。

モード・レジスタでDMA転送に設定した場合は、I/Oアドレスの指定は不要になり $\overline{DACK} = 0$ により常にデータ・バッファが選ばれます。

モード・レジスタでI/O転送に設定した場合は、IOA0, \overline{UBE} , \overline{CS} の操作が必要です。I/Oモード時は $\overline{DACK} = 1$ にしてください。

また、データ・バッファを経由する転送のバス幅（8ビット・モードまたは16ビット・モード）はモード・レジスタH (MDRH) のSTORETビットで設定します。

8ビット・モードに設定した場合は、IOA0をロウ・レベルにして連続的にリード/ライトします。すなわち、1AH番地のレジスタ（データ・バッファ・レジスタL (DBFL)）のみをアクセスします。

これらのモード設定、制御信号の関係を表4 - 2に示します。

表4 - 2 符号データ転送モードと制御信号の関係

符号データ転送モード		\overline{DACK}	IOA0	\overline{UBE}	\overline{CS}
I/O入出力	バイト (8)	1	0	1	0
	ワード (16)	1	0	0	0
DMA入出力	バイト (8)	0	-	-	-
	ワード (16)	0	-	-	-

備考 - : don't care

(1) I/O入出力の場合

モード・レジスタH (MDRH) のCODOUTビットを1に設定すると、I/O入出力モードになります。

図4 - 1にμPD72187Aに対する読み出しタイミング、図4 - 2に書き込みタイミングをそれぞれ示します。 \overline{CS} , I/Oアドレス、および \overline{UBE} で制御します。このモードでは、 $\overline{DACK} = 1$ にしてください。

バイト・モード時は、 $\overline{UBE} = 1$ にしてください。

データ・バッファについては、ワード・モードでのバイト・アクセスは禁止になります。

(2) DMA転送の場合

モード・レジスタH (MDRH) のCODOUTビットを0に設定すると、DMA転送モードになります。

外部DMAコントローラとのデータ転送における、ワード・モードでのタイミングを図4 - 3に、バイト・モードでのタイミングを図4 - 4に示します。バイト・モードまたはワード・モードの選択は、モード・レジスタH (MDRH) のSTORETビットで行います。

実際にデータを転送する際には、μPD72187AはDREQをアクティブにし、外部DMAコントローラに対してDMA転送を要求します。一方、外部DMAコントローラは、DMA転送が可能な限りDACK信号をアクティブ(ロウ・レベル)に保持します。DACKがロウ・レベルの間、CSとI/Oアドレス入力、およびUBE入力は無効となり、データはすべてデータ・バッファ(アドレスの1AH番地と1BH番地)を経由します。

μPD72187Aは、DACK信号をレベルでのみ検出しているため、DMA期間中は常にロウ・レベルにしておいてもかまいません。

図4 - 1 μPD72187Aの読み出しタイミング

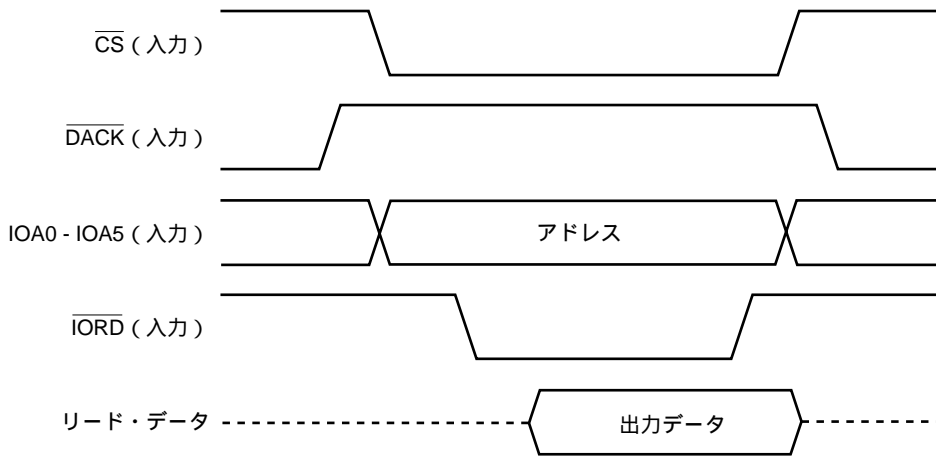
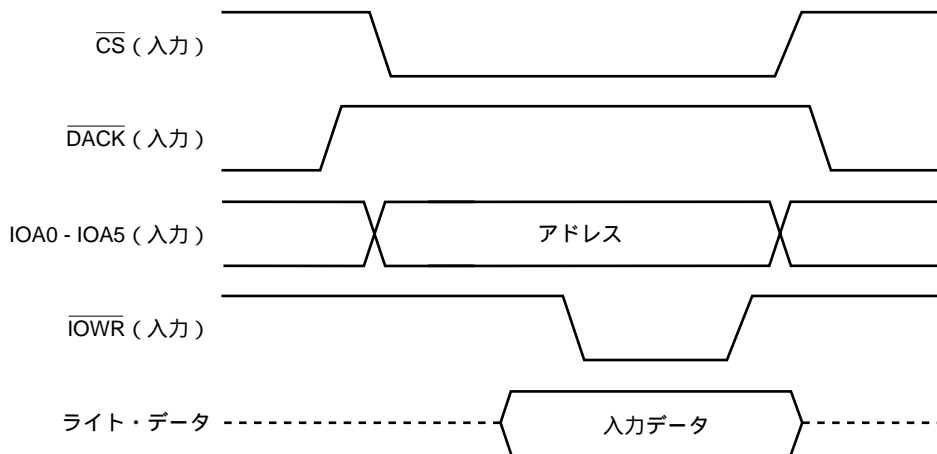


図4 - 2 μPD72187Aの書き込みタイミング



備考 破線はハイ・インピーダンスを示します。

図4 - 3 外部DMAコントローラとの読み出し / 書き込みタイミング (ワード・モード)

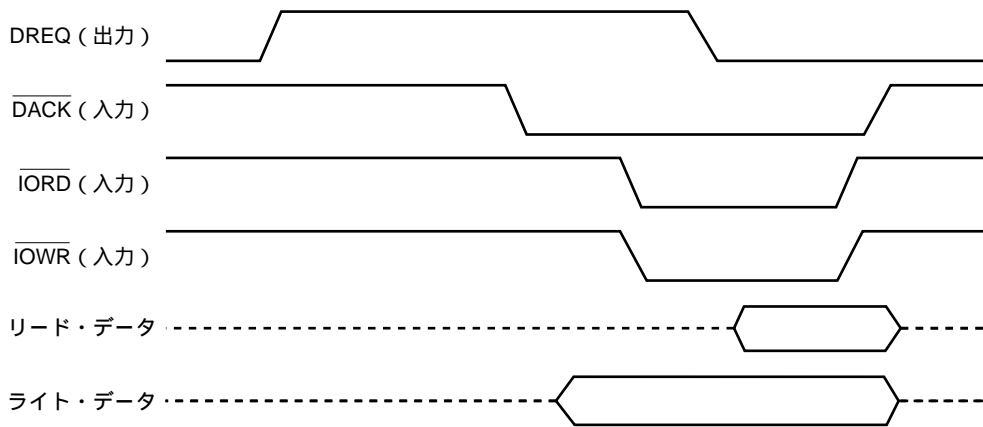
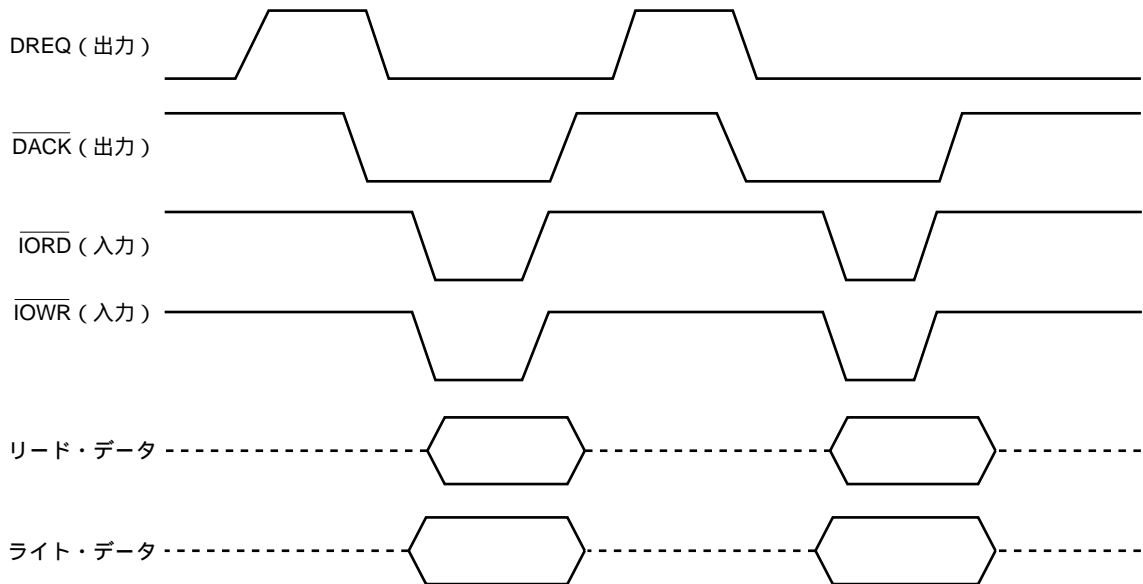


図4 - 4 外部DMAコントローラとの読み出し / 書き込みタイミング (バイト・モード)



備考 破線はハイ・インピーダンスを示します。

4.2 画像メモリ・インタフェース

画像メモリ・インタフェースは、画像データを格納する画像メモリとの間のインタフェースです。画像メモリへのアクセスは、内蔵DMAコントローラを使ったDMA転送で行い、ホストCPUとは独立した形でμPD72187Aが画像メモリを直接管理します。

4.2.1 基本タイミング

DMA転送における基本バス・サイクルは、S1, S2, S3, S4, S5およびS6の6状態で構成されます。内蔵DMAコントローラはCLK入力を2分周したクロックで動作します。よって、1状態は2クロックになります。μPD72187Aは、このバス・サイクル内で1バイト（または、1ワード）のデータの読み出し / 書き込みを行います。

図4 - 5にDMA転送のタイミングを示します。

画像メモリを構成するメモリ素子のアクセス時間が長く、基本バス・サイクル内での読み出し / 書き込みが不可能な場合は、S2とS3との間にSW（ウェイト・状態）を挿入し、リード / ライト・パルス幅を延長することができます。ウェイト・状態の挿入には次の2つの方法があります。また、プログラマブル・ウェイトを使用する場合でも、READY端子を用いた制御は可能です。

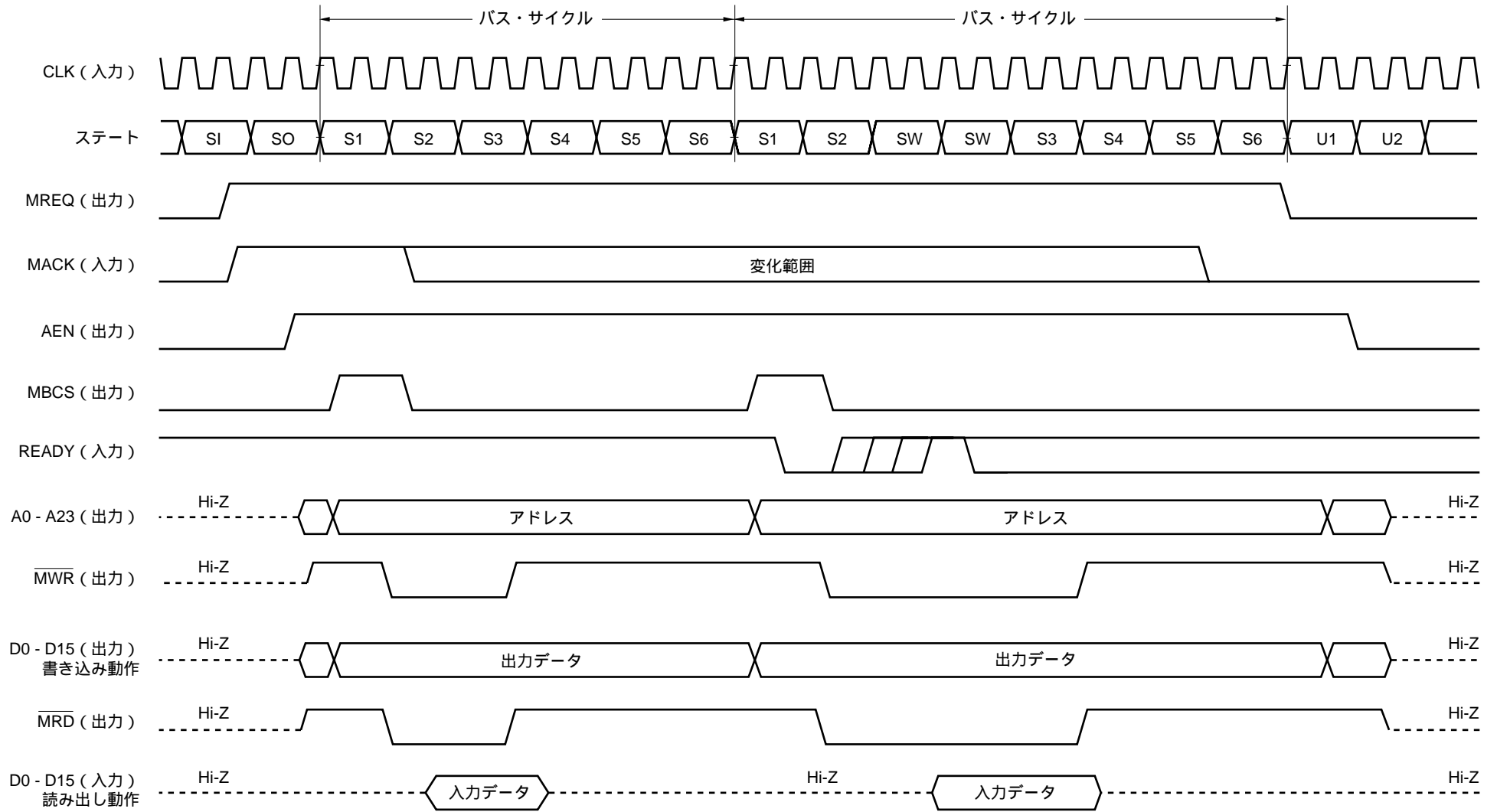
- ・READY端子のサンプリング（S2とSWの1クロック目の立ち上がり）
- ・モード・レジスタの設定によるプログラマブル・ウェイト（ウェイト数の指定可能）

画像メモリ・バスが16ビット幅に設定されている場合、1ワードのデータの読み出し / 書き込みは1バス・サイクルで完了しますが、μPD72187Aの内部が8ビット処理であるため、画像メモリの読み出し / 書き込みバス・サイクルは不連続になります。

図4 - 6に16ビット・バス幅の場合のDMA転送のタイミングを示します。

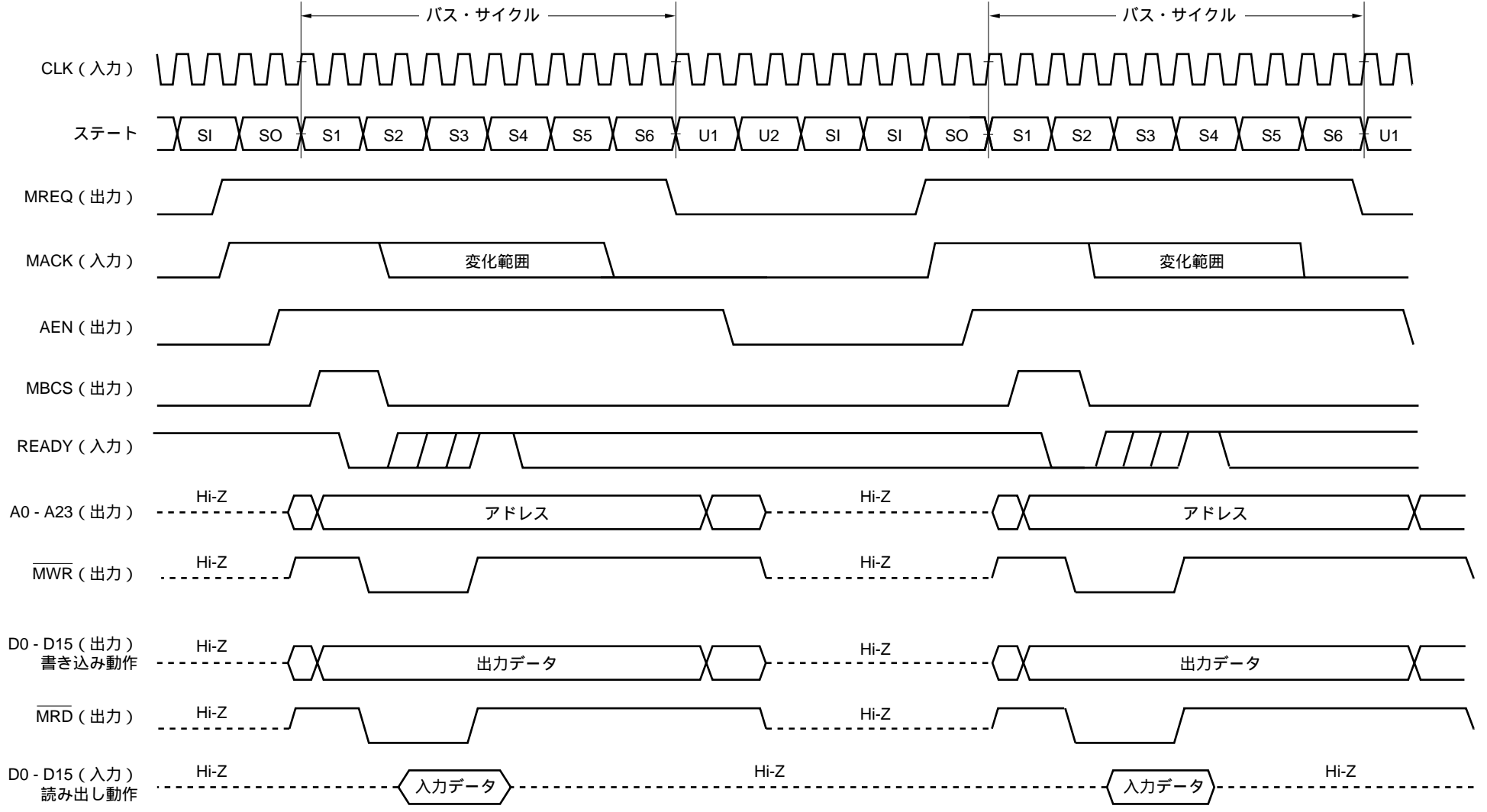
保守/廃止

図4-5 DMA転送タイミング(8ビット・バス幅)



保守/廃止

図4-6 DMA転送タイミング(16ビット・バス幅)



4.2.2 バス・サイクル・モード

画像メモリ・バスを専有する方法（バス・サイクル・モード）は、ダイヤモンド・モードになります。

ダイヤモンド・モードは、いったん画像メモリ・バスの使用权を得ると、それを必要とみならず間はMREQ信号をハイ・レベルに維持しバスを専有します。ただし、MACK信号がインアクティブ（ロウ・レベル）になるとバスを明け渡します。バスを専有する期間は処理するデータに依存します。

4.2.3 DMAブレーク

μPD72187Aは、DMA転送中にMACKを立ち下げることにより、DMA転送を中断することができます。この動作をDMAブレークと言います。DMAブレークは、DMA転送中に画像メモリ・バスを使用したい場合に行います。

μPD72187AはDMA転送中、MREQ信号をハイ・レベルにして画像メモリ・バスを専有しています。MACK信号をハイ・レベルに維持している間は画像メモリ・バスを専有したままですが、MACK信号をロウ・レベルにすると、μPD72187AはMREQ信号をロウ・レベルにしてDMA転送を中断し画像メモリ・バスを解放します。

μPD72187Aは、MACKの値をS6の1クロック目の立ち上がりで内部に取り込み、S6の2クロック目の立ち上がりでMREQを変化させます。

このため、MREQが実際にハイ・レベルからロウ・レベルになるには、MACKが立ち下がってから最高で1バス・サイクル + 2クロックかかります（8ビット・バス幅の場合）。16ビット・バス幅の場合は、最高で2バス・サイクル + 2クロックかかります。また、AENがハイ・レベルからロウ・レベルになるには、さらに2クロックかかります。

AENの立ち下がりのあと次の動作を行う場合は、MREQが立ち下がったことを確認してください。

また、DMAブレークのために立ち下げたMREQは、最低6クロックのあいだ、ロウ・レベルを保持してからハイ・レベルになります。DMA転送を再開するには、MREQが再び立ち上がってからMACKを立ち上げてください。

5. レジスタ構成

表5 - 1 に μPD72187A のレジスタ構成を示します。ホストCPU とのやり取りは、すべてこれらのレジスタを用いて行います。

μPD72187A の各レジスタに対するリセットは、同一のレジスタ内にあってもビット単位で有効 / 無効が異なるので注意が必要です。

各レベルのリセットは、上位のレベルのリセットが設定されることによっても有効になります。以下に各リセット間の関係を示します。

上位

下位

H/WRST = SFRST > PGRST > SPRST > QMRST

5.1 レジスタ・マップ

表5 - 1 に μPD72187A のレジスタ構成を示します。

表5 - 1 レジスタ構成

アドレス			R/W	略号	名称	機能
A5	A4	A3-A0				
0	0	0H	R/W	CTR	コントロール・レジスタ	リセット, 動作切り替え設定
		1H				
		2H	R	STRL	ステータス・レジスタL	動作状態認知
		3H	R	STRH	ステータス・レジスタH	
		4H	R/W	MDRL	モード・レジスタL	各種動作モード設定
		5H	R/W	MDRH	モード・レジスタH	
		6H	W	PELL	画素数設定レジスタL	主走査画素数 (13ビット)
		7H	W	PELH	画素数設定レジスタH	
		8H	W	LINL	ライン数設定レジスタL	副走査ライン数 (16ビット)
		9H	W	LINH	ライン数設定レジスタH	
		AH	R/W	LIBL	ビット・プレーン・ライン数設定レジスタL	副走査ライン数 (16ビット)
		BH	R/W	LIBH	ビット・プレーン・ライン数設定レジスタH	(ビット・プレーン時に使用)
		CH	W	STPL	ストライプ・レジスタL	ストライプ・ライン数
DH	W	STPH	ストライプ・レジスタH	(16ビット)		
EH	R/W	ATRL	ATレジスタL	AT動作モード設定		
FH	W	ATRH	ATレジスタH			
0	1	0H	W	ATLL	ATライン・レジスタL	ATムーブ実行ライン
		1H	W	ATLH	ATライン・レジスタH	(16ビット)
		2H	W	DMSL	画像データ開始アドレス・レジスタL	画像データDMA転送開始アドレス
		3H	W	DMSM	画像データ開始アドレス・レジスタM	(24ビット)
		4H	W	DMSH	画像データ開始アドレス・レジスタH	
		5H				
		6H	R/W	DMEL	画像データ終了アドレス・レジスタL	画像データDMA転送終了アドレス
		7H	R/W	DMEM	画像データ終了アドレス・レジスタM	(24ビット)
		8H	R/W	DMEH	画像データ終了アドレス・レジスタH	
		9H				
		AH	R/W	DBFL	データ・バッファ・レジスタL	符号データ, ST RAMデータ
		BH	R/W	DBFH	データ・バッファ・レジスタH	(I/O転送時使用バッファ)
		CH	R/W	HSB	ホスト・バス・モード・レジスタ	ホスト・バス転送方向切り替えetc.
DH						
EH	R/W	MKB	マーカ・コード・バッファ・レジスタ	マーカ・コード・リード/ライト		
FH						
1	0	0H	R	MKWL	マーカ・コード・ウィンドウ・レジスタL	マーカ・コード・ウィンドウ
		1H	R	MKWH	マーカ・コード・ウィンドウ・レジスタH	
		2H	R/W	CMD1	コマンド・レジスタ1	DMA転送開始, 算術符号化部起動
		3H				
		4H	R/W	CMD2	コマンド・レジスタ2	処理の中断
		5H				
		6H	R/W	IST	割り込みステータス・レジスタ	割り込み要因認知
		7H				
		8H	R/W	LMR	ライン・メモリ・レジスタ	ライン・メモリのモード設定, ステータス
		9H				
AH	R/W	MSK	マスク・レジスタ	ライン数検出機能のマスク		
BH						
CH	R/W	TPR	TPレジスタ	LNTPY1値設定		
DH						

6. 電気的特性

絶対最大定格 (TA = 25)

項目	略号	条件	定格	単位
電源電圧	V _{DD}		- 0.5 ~ + 7.0	V
入力電圧	V _I		- 0.5 ~ V _{DD} + 0.3	V
出力電圧	V _O		- 0.5 ~ V _{DD} + 0.3	V
動作周囲温度	T _A		- 10 ~ + 70	
保存温度	T _{stg}		- 65 ~ + 150	

注意 各項目のうち1項目でも、また、一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

DC特性 (TA = - 10 ~ + 70 , V_{DD} = 5 V ± 10 %)

項目	略号	条件	MIN.	TYP.	MAX.	単位
低レベル入力電圧	V _{ILC}	CLK端子, RESET 端子	- 0.5		+ 0.8	V
	V _{IL}	その他の端子	- 0.5		+ 0.8	V
高レベル入力電圧	V _{IHC}	CLK端子, RESET 端子	+ 3.3		V _{DD} + 0.3	V
	V _{IH}	その他の端子	+ 2.4		V _{DD} + 0.3	V
低レベル出力電圧	V _{OL}	I _{OL} = 2.5 mA			+ 0.4	V
高レベル出力電圧	V _{OH}	I _{OH} = - 400 μA	0.7V _{DD}			V
入力リーク電流	I _{LI}	0 V V _{IN} V _{DD}			± 10	μA
出力リーク電流	I _{LO}	0 V V _{OUT} V _{DD}			± 10	μA
電源電流	I _{DD}	動作時			150	mA

容量 (TA = 25)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	C _I	f = 1 MHz		8	15	pF
出力容量	C _O	被測定端子以外は0 V		8	15	pF
入出力容量	C _{IO}			8	15	pF

AC特性 (TA = - 10 ~ + 70 , VDD = 5 V ± 10 %)

出力負荷条件 : CL = 100 pF

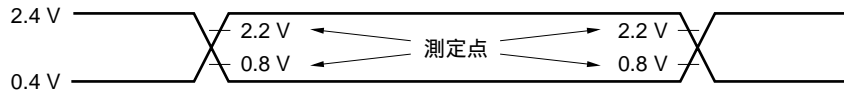
(1) 画像メモリ・インタフェース

項 目	略 号	条 件	MIN.	MAX.	単 位
クロック・サイクル時間	t _{CYK}		50	1000	ns
クロック・ロウ・レベル幅	t _{KKL}		20		ns
クロック・ハイ・レベル幅	t _{KKH}		20		ns
クロック立ち上がり時間	t _{KR}	1.5 V-3.0 V		10	ns
クロック立ち下がり時間	t _{KF}	3.0 V-1.5 V		10	ns
MREQ 遅延時間 (対CLK)	t _{DMQH}			40	ns
MREQ 遅延時間 (対CLK)	t _{DMQL}			40	ns
MACK 設定時間 (対CLK)	t _{SMAH}		20		ns
MACK ホールド時間 (対CLK)	t _{HMA}		10		ns
MACK 設定時間 (対CLK)	t _{SMAL}		15		ns
AEN 遅延時間 (対CLK)	t _{DAEH}			40	ns
AEN 遅延時間 (対CLK)	t _{DAEL}			40	ns
MBCS 遅延時間 (対CLK)	t _{DMBH}			20	ns
MBCSハイ・レベル幅	t _{MBMB}		2t _{CYK} - 10		ns
アドレス, データ, MRD, MWR 遅延時間 (対AEN)	t _{DA}			25	ns
アドレス, データ, MRD, MWR フロート時間 (対AEN)	t _{FA}			25	ns
アドレス設定時間 (対MRD, MWR)	t _{SARW}		2t _{CYK} - 20		ns
アドレス保持時間 (対MRD, MWR)	t _{HRWA}		7t _{CYK} - 10		ns
MRD 遅延時間 (対CLK)	t _{DRL}			50	ns
MRD ロウ・レベル幅	t _{RRL2}	WAIT = 0	3t _{CYK} - 15		ns
MRD 遅延時間 (対CLK)	t _{DRH}			50	ns
入力データ設定時間 (対MRD)	t _{SDR}		30		ns
入力データ保持時間 (対MRD)	t _{HRD}		0		ns
MWR 遅延時間 (対CLK)	t _{DWL}			50	ns
MWR ロウ・レベル幅	t _{WWL2}	WAIT = 0	3t _{CYK} - 15		ns
MWR 遅延時間 (対CLK)	t _{DWH}			50	ns
データ設定時間 (対MWR)	t _{SDMW}		2t _{CYK} - 25		ns
データ保持時間 (対MWR)	t _{HMWD}		5t _{CYK} - 5		ns
READY設定時間 (対CLK)	t _{SRY}		20		ns
READY保持時間 (対CLK)	t _{HRY}		10		ns

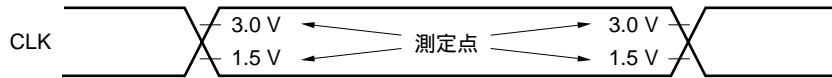
(2) ホスト・インタフェース

項 目	略 号	条 件	MIN.	MAX.	単 位
\overline{DACK} , \overline{CS} 回復時間	tRDC		100		ns
\overline{IORD} ロウ・レベル幅	tRRL		80		ns
アドレス, \overline{UBE} , \overline{CS} 設定時間 (対 \overline{IORD} , \overline{IOWR})	tSAR, tSAW		20		ns
アドレス, \overline{UBE} , \overline{CS} 保持時間 (対 \overline{IORD} , \overline{IOWR})	tHRA, tHWA, tWWCS		10		ns
出力データ遅延時間 (対 \overline{IORD})	tDRD			40	ns
出力データ・フロート遅延時間 (対 \overline{IORD})	tFRD		5	40	ns
\overline{IOWR} ロウ・レベル幅	tWWL		80		ns
入力データ設定時間 (対 \overline{IOWR})	tSDW		30		ns
入力データ保持時間 (対 \overline{IOWR})	tHWD		20		ns
\overline{RESET} ロウ・レベル幅	tRSTL		2t _{cyk}		ns
V _{DD} 設定時間 (対 \overline{RESET})	tSVDD		1000		ns
\overline{IOWR} , \overline{IORD} 待機時間 (対 \overline{RESET})	tSYWR		8t _{cyk}		ns
\overline{IOWR} , \overline{IORD} 回復時間	tRVWR		6t _{cyk} + 10		ns
DREQ 遅延時間 (対 \overline{DACK})	tDDAK			50	ns

ACテスト入出力測定点 (CLK以外)

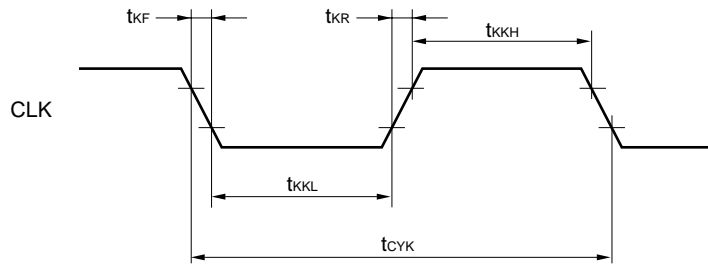


ACテスト入出力測定点 (CLK)

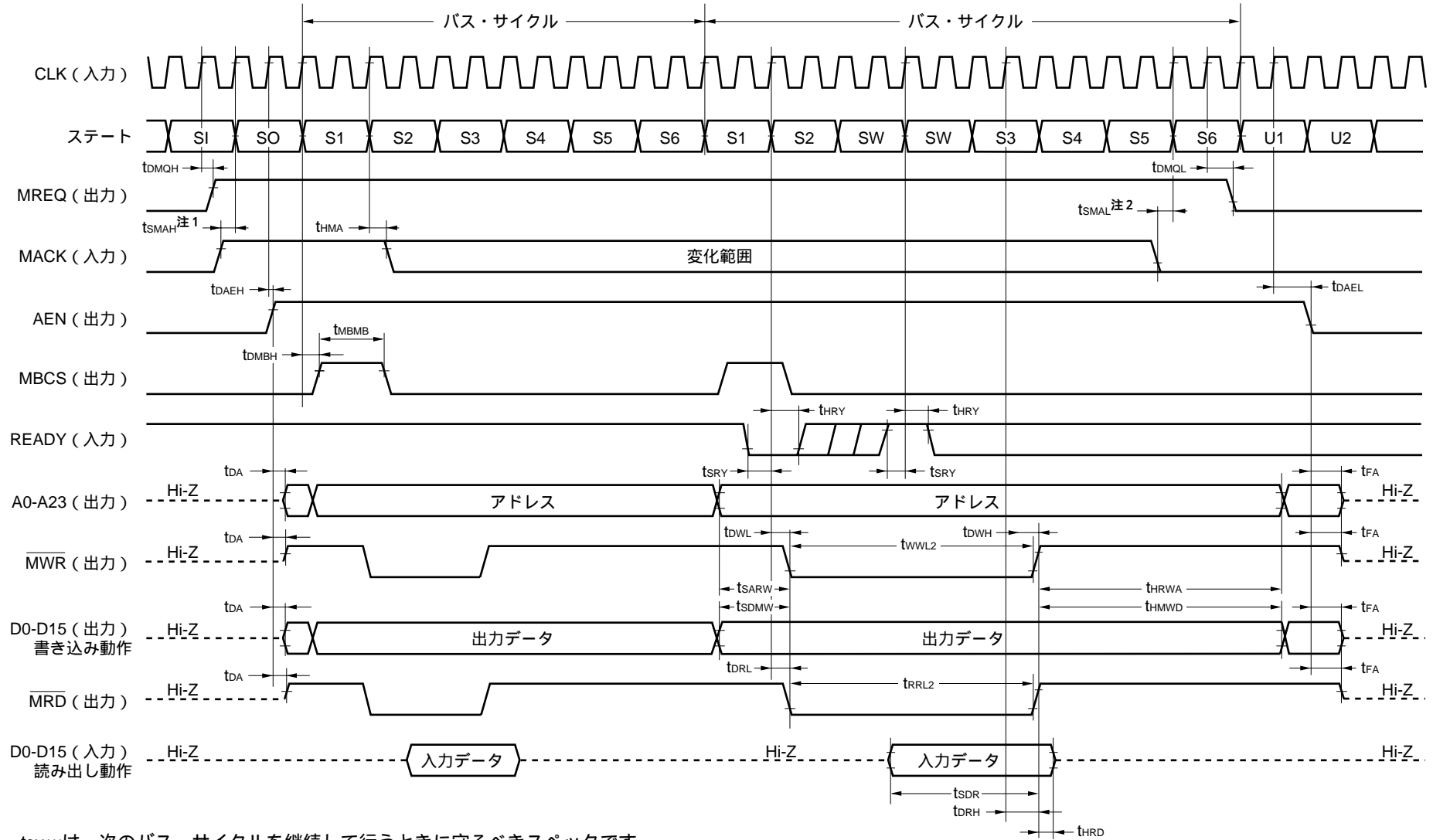


タイミング波形

クロック・タイミング



DMA転送タイミング

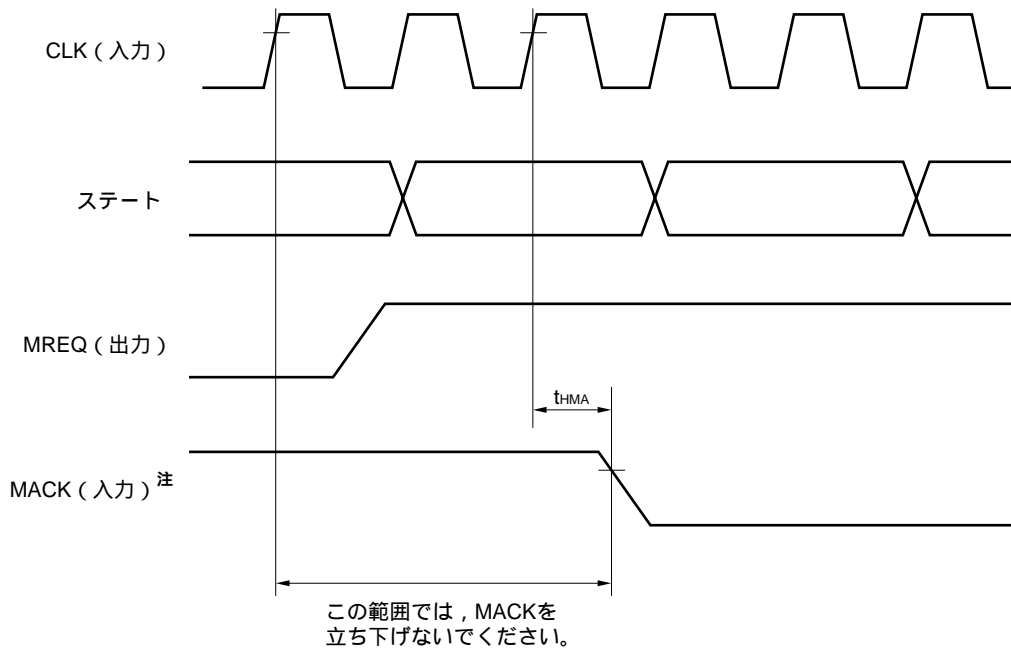


注 1 . tSMAHは、次のバス・サイクルを継続して行うときに守るべきスペックです。

tSMAHが守られた場合、S6ステートの次のサイクルは、次に開始されるバス・サイクルのS1ステートになります。

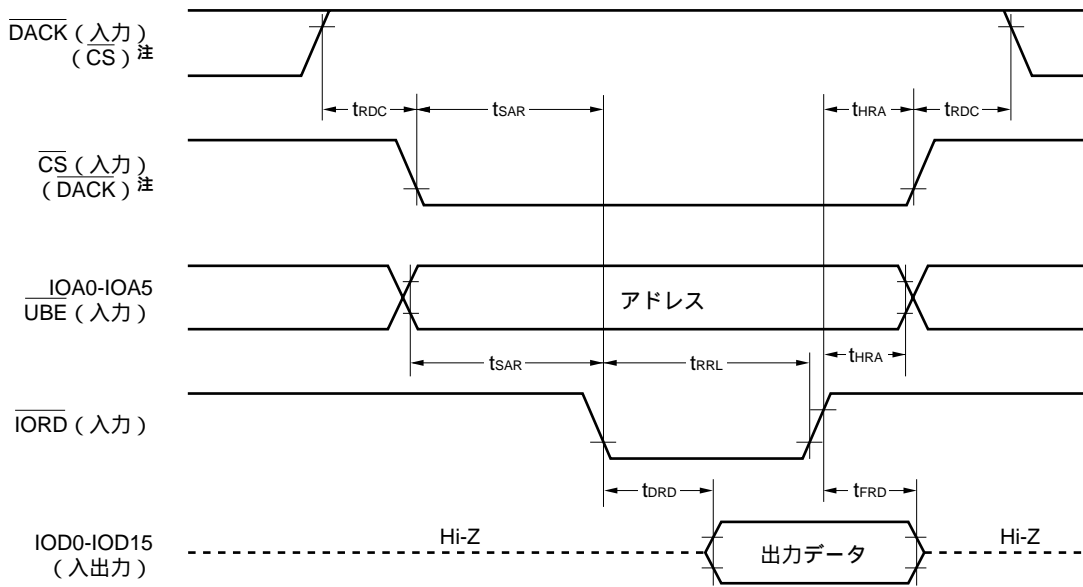
2 . tSMALは、DMAブレークを起こすときのスペックです。

MREQとMACKのタイミング



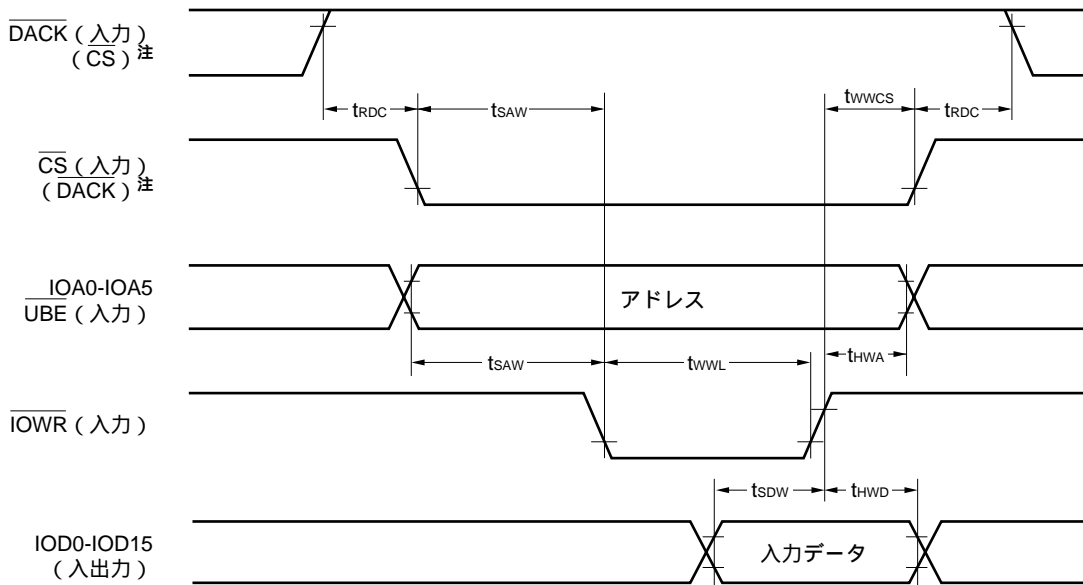
注 MREQが立ち上がったから2クロック以内では、MACKを立ち下げないでください。

μPD72187Aからの読み出しタイミング



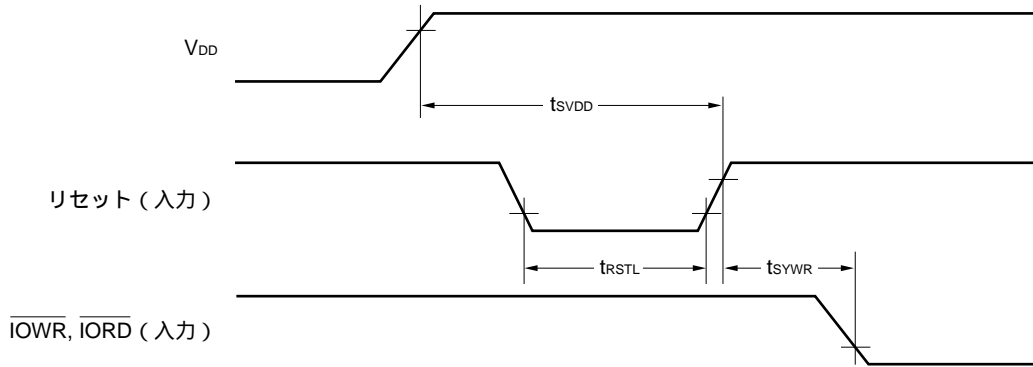
注 外部DMAコントローラとの読み出しタイミング

μPD72187Aへの書き込みタイミング

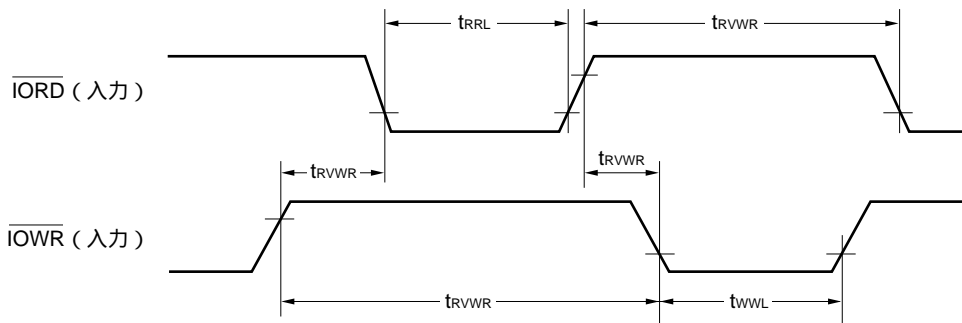


注 外部DMAコントローラとの書き込みタイミング

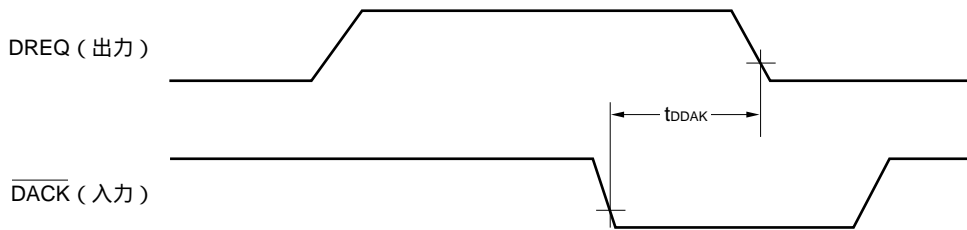
リセット・タイミング



リード/ライト・サイクル・タイミング

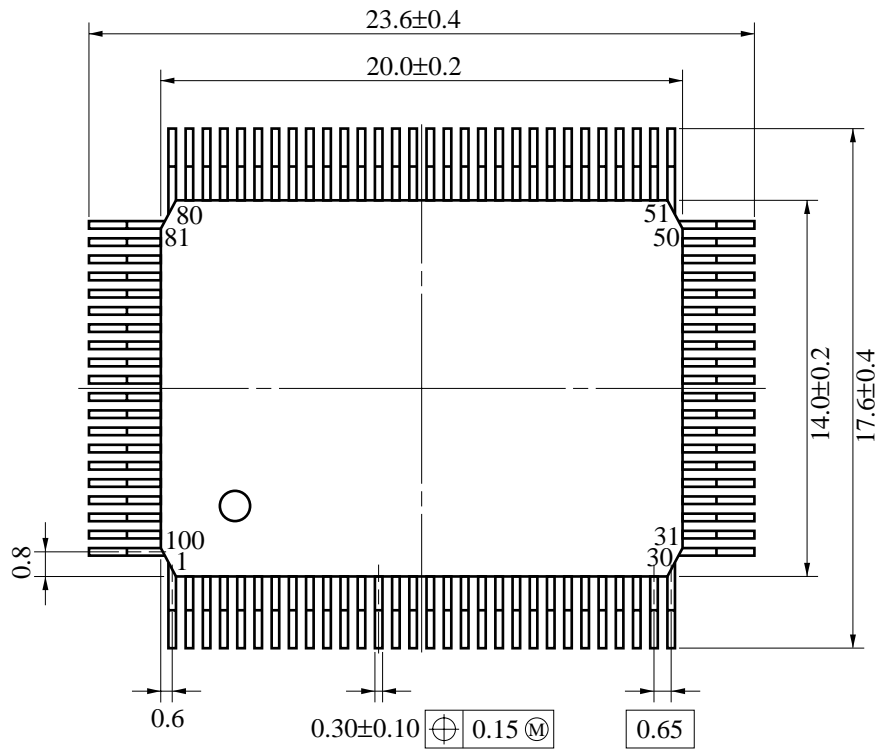


DMAリード/ライト・タイミング

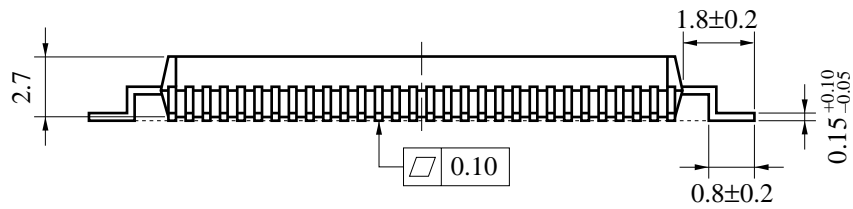
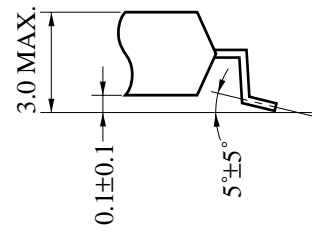


7. 外形図

100ピン・プラスチック QFP (14×20) 外形図 (単位: mm)



端子先端形状詳細図



P100GF-65-3BA1-2

8 . 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の詳細は、インフォメーション資料「**半導体デバイス実装マニュアル**」(C10535J)を参照してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、販売員にご相談ください。

表面実装タイプ

μPD72187AGF-3BA : 100ピン・プラスチックQFP (14×20 mm)

半田付け方式	半 田 付 け 条 件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃，時間：30秒以内（210℃以上），回数：2回以内 制限日数：7日間 ^注 （以降は125℃プリベーク 20時間必要）	IR35-207-2
VPS	パッケージ・ピーク温度：215℃，時間：40秒以内（200℃以上），回数：2回以内 制限日数：7日間 ^注 （以降は125℃プリベーク 20時間必要）	VP15-207-2
ウエーブ・ソルダリング	半田槽温度：260℃以下，時間：10秒以内，回数：1回 予備加熱温度：120℃MAX（パッケージ表面温度） 制限日数：7日間 ^注 （以降は125℃プリベーク 20時間必要）	WS60-207-1
端子部分加熱	端子温度：300℃以下，時間：3秒以内（デバイスの一辺当たり）	——

注 ドライパック開封後の保管日数で、保管条件は25℃，65 %RH以下。

注意 半田付け方式の併用はお避けください。（ただし、端子部分加熱方式は除く）。

留意事項

耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は、包装状態でのベーキングができません。

(× 毛)

CMOSデバイスの一般的注意事項

静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

T.82, T.85に関わる特許権について

ITU-T勧告T.82, T.85に準拠したシステムについては、複数の特許権が存在しております。
 これらの特許権に関する必要な権利処理は、お客様の方にてご対応いただきますようお願いいたします。
 当社は、これらの特許権に関して一切責任を負いかねますのでご了承ください。

文書による当社の承諾なしに本資料の転載複製を禁じます。

本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的所有権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。

当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。

当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災／防犯装置、各種安全装置、生命維持を直接の目的としない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート／データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

この製品は耐放射線設計をしておりません。

M4 94.11

— お問い合わせは、最寄りのNECへ —

【営業関係お問い合わせ先】

半導体第一販売事業部	〒108-01	東京都港区芝五丁目7番1号 (NEC本社ビル)	東京	(03)3454-1111	(大代表)
半導体第二販売事業部					
半導体第三販売事業部					
中部支社 半導体販売部	〒460	名古屋市中区錦一丁目17番1号 (NEC中部ビル)	名古屋	(052)222-2170	
関西支社 半導体第一販売部	〒540	大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪	(06) 945-3178	
半導体第二販売部			大阪	(06) 945-3200	
半導体第三販売部			大阪	(06) 945-3208	
北海道支社	札幌	(011)231-0161	宇都宮支店	宇都宮	(028)621-2281
東北支社	仙台	(022)261-5511	小山支店	小山	(0285)24-5011
岩手支店	盛岡	(0196)51-4344	長野支社	長野	(026)235-1444
山形支店	山形	(0236)23-5511	松本支店	松本	(0263)35-1666
郡山支店	郡山	(0249)23-5511	上諏訪支店	諏訪	(0266)53-5350
いわき支店	いわき	(0246)21-5511	甲府支店	甲府	(0552)24-4141
長岡支店	長岡	(0258)36-2155	埼玉支社	大宮	(048)641-1411
土浦支店	土浦	(0298)23-6161	立川支社	立川	(0425)26-5981
水戸支店	水戸	(0292)26-1717	千葉支社	千葉	(043)238-8116
神奈川支社	横浜	(045)324-5511	静岡支社	静岡	(054)255-2211
群馬支店	高崎	(0273)26-1255	北陸支社	金沢	(0762)23-1621
太田支店	太田	(0276)46-4011	福井支店	福井	(0776)22-1866
			富山支店	富山	(0764)31-8461
			三重支店	津	(0592)25-7341
			京都支社	京都	(075)344-7824
			神戸支社	神戸	(078)333-3854
			中国支社	広島	(082)242-5504
			鳥取支店	鳥取	(0857)27-5311
			岡山支店	岡山	(086)225-4455
			四国支社	高松	(0878)36-1200
			新居浜支店	新居浜	(0897)32-5001
			松山支店	松山	(089)945-4111
			九州支社	福岡	(092)271-7700
			北九州支店	北九州	(093)541-2887

【本資料に関する技術お問い合わせ先】

半導体ソリューション技術本部	〒210	川崎市幸区塚越三丁目484番地	川崎	(044)548-8891	半導体 インフォメーションセンター FAX(044)548-7900 (FAXにてお願い致します)
システムマイクロ技術部					
半導体販売技術本部	〒108-01	東京都港区芝五丁目7番1号 (NEC本社ビル)	東京	(03)3798-9619	
東日本販売技術部					
半導体販売技術本部	〒460	名古屋市中区錦一丁目17番1号 (NEC中部ビル)	名古屋	(052)222-2125	
中部販売技術部					
半導体販売技術本部	〒540	大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪	(06) 945-3383	
西日本販売技術部					