

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

フロッピー・ディスク・コントローラ

μ PD72070 FDC (Floppy Disk Controller) は、 μ PD765A とコマンド上位コンパチブルです。また、ホスト・インタフェースには16バイトのFIFOを内蔵しています。

従来のFDDに加えて、垂直磁化記録方式FDD (アンフォーマット4メガ・バイトFDD)、大容量FDD (NEC製FD1335, アンフォーマット13.3メガ・バイトFDD)、さらにアップルコンピュータ社のパソコン用FDDで使用しているGCRフォーマットもリード/ライト可能です。

特 徴

- μ PD765A とコマンド上位コンパチブル
- 16バイト・メイン・システム・データ・バスFIFO (DMARQ信号出力スレッシュホールド・プログラマブル)
- データ変調方式: MFM, FM, GCR
- データ転送レート MFM: 1.25, 1.0 Mbps, 500, 300, 250 Kbps
GCR: 489.6 Kbps
- バウンダリ・スキャン回路内蔵。IEEE1149.1 JTAG Boundary Scan Standard に準拠
- メイン・システムにあわせた4種類の動作モード
 - ・ PS/2モード (PS/2TMに対応)
 - ・ PC-ATモード (PC/ATTMに対応)
 - ・ Generalモード
 - ・ Appleモード
- メイン・システム側データ転送はDMAとNon-DMAの両方に対応
- FDC周辺回路の大部分を内蔵
 - ・ 高性能アナログVFO (Valuable Frequency Oscillator) 内蔵 (外付けフィルタ部品が必要)
 - ・ PS/2, PC/ATメイン・システム・インタフェース・レジスタ
 - ・ 2系統のシステム・クロック回路 (24 MHz, 20または15.6672 MHz)
 - ・ ライト・プリコンペンセータ (書き込み補償回路, ソフトウェア・プログラマブル)
 - ・ ドライブ・インタフェース用オープン・ドレイン・ドライバ ($I_{OL}=48\text{ mA}$)
 - ・ ドライブ・インタフェース用シュミット・レシーバ
 - ・ メイン・システム・インタフェース・ドライバ ($I_{OL}=12\text{ mA}$)
- パワー・ダウン機能 (スタンバイ・モード)
- CMOS +5V単一電源

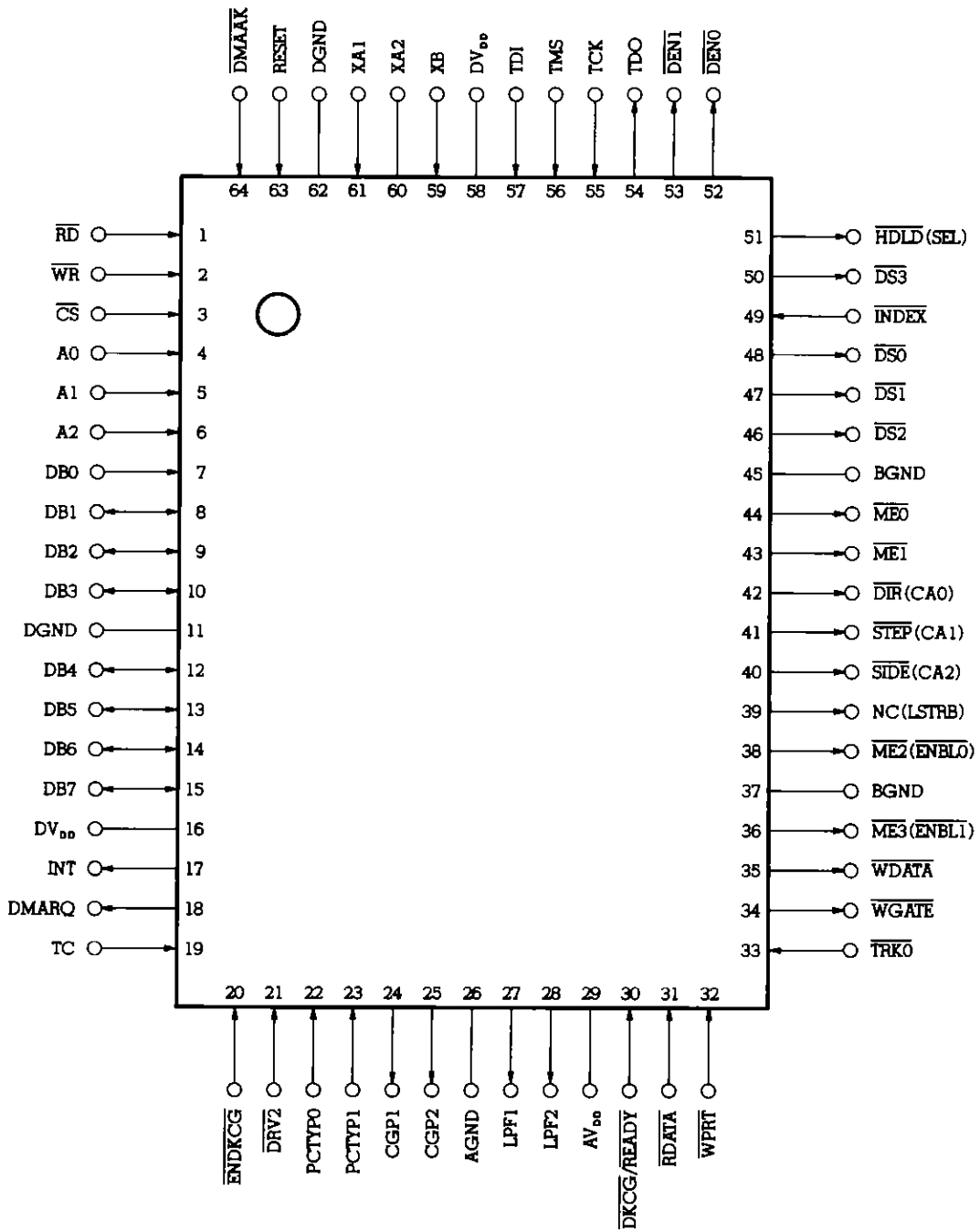
オーダ情報

オーダ名称	パッケージ
μ PD72070GF-3BE	64ピン・プラスチックQFP (14×20 mm)

本資料の内容は、後日変更する場合があります。

端子接続図 (Top View)

64ピン・プラスチックQFP (14×20 mm)

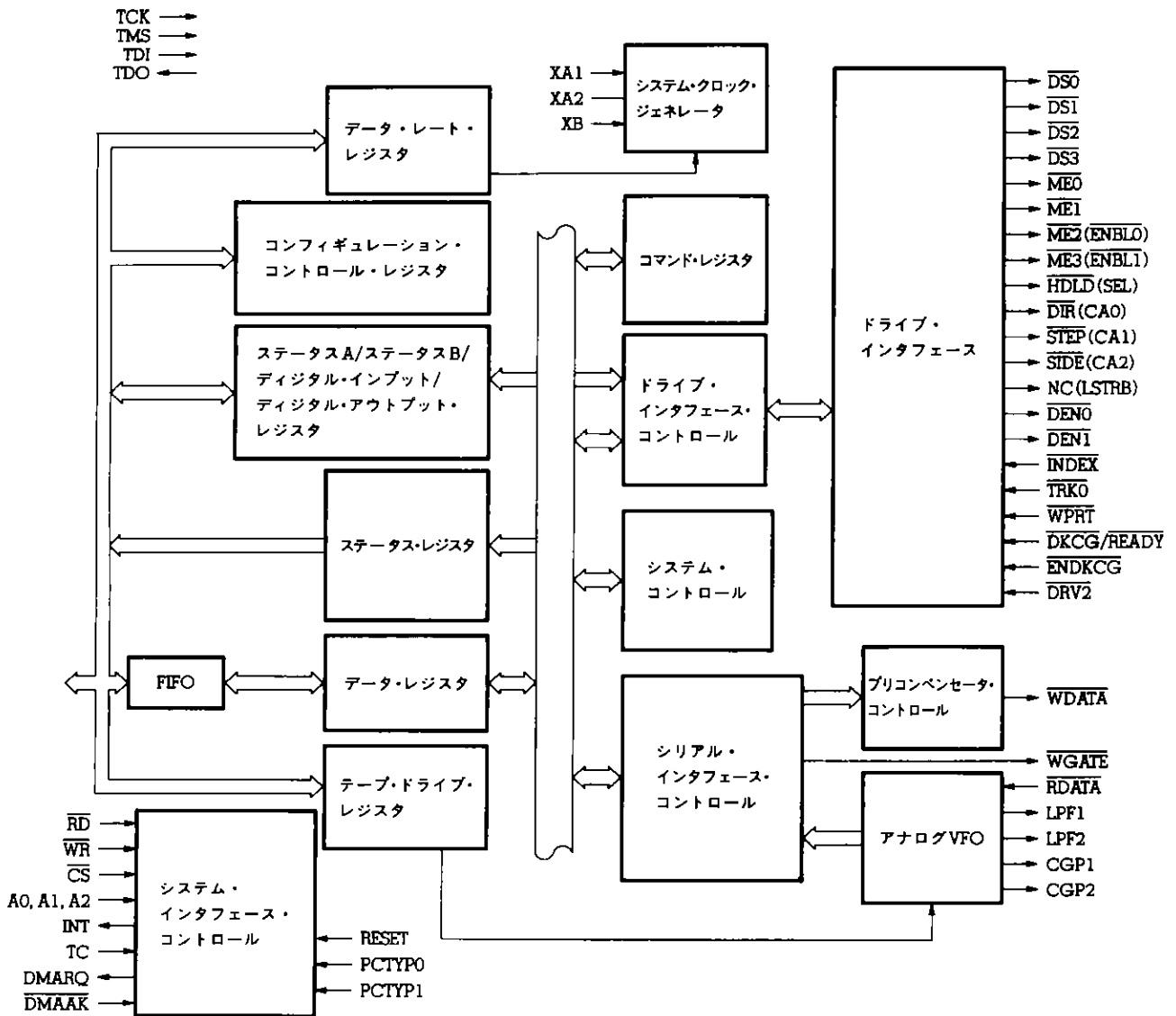


NC : No Connection

A0-A2	: Address
AGND	: Analog Ground
AV _{DD}	: Analog V _{DD}
BGND	: Buffer Ground
CGP1, CGP2	: Charge Pump
\overline{CS}	: Chip Select
DB0-DB7	: Data Bus
DGND	: Digital Ground
$\overline{DEN0}$, $\overline{DEN1}$: Density
$\overline{DIR}(CA0)$: Direction (CA0)
$\overline{DKCG}/\overline{READY}$: Disk Change/Ready
DMARQ	: DMA Request
\overline{DMAAK}	: DMA Acknowledge
$\overline{DRV2}$: Drive2
$\overline{DS0}$ - $\overline{DS3}$: Drive Select
DV _{DD}	: Digital V _{DD}
\overline{ENDKCG}	: Enable Disk Change
$\overline{HDL}(SEL)$: Head Load (SEL)
\overline{INDEX}	: Index Pulse
INT	: Interrupt Request
$\overline{ME0}$, $\overline{ME1}$: Motor Enable
$\overline{ME2}(ENBL0)$: Motor Enable2 (Enable0)
$\overline{ME3}(ENBL1)$: Motor Enable3 (Enable1)
LPF1, LPF2	: Low Pass Filter
NC(LSTRB)	: No Connection (Line Strobe)
PCTYP0, PCTYP1	: PC Type
\overline{RDATA}	: Read Data
\overline{RD}	: Read
RESET	: Reset
$\overline{SIDE}(CA2)$: Side (CA2)
$\overline{STEP}(CA1)$: Step (CA1)
TC	: Terminal Count
TCK	: Test Clock Input
TDI	: Test Data Input
TDO	: Test Data Output
TMS	: Test Mode Select
$\overline{TRK0}$: Track0
\overline{WDATA}	: Write Data
\overline{WGETE}	: Write Gate
\overline{WPRT}	: Write Protect
\overline{WR}	: Write
XA1, XA2	: CrystalA
XB	: CrystalB

備考 () は Apple FDD モードのみに適応

内部ブロック



目 次

1. 端子機能 … 7
 - 1.1 ホスト・インタフェース … 7
 - 1.2 FDDインタフェース（スタンダードFDDモードを使用する場合） … 8
 - 1.3 FDDインタフェース（Apple FDDモードを使用する場合） … 9
 - 1.4 アナログVFOフィルタ … 9
 - 1.5 バウンダリ・スキャン … 9
 - 1.6 その他の端子 … 9
 - 1.7 リセット時の各端子の状態 … 10

2. 動作モード … 11
 - 2.1 動作モードの概要と特徴比較 … 11
 - 2.1.1 ホスト・インタフェース・モード … 11
 - 2.1.2 ドライブ・インタフェース・モード … 12
 - 2.1.3 動作モードとFDDの関係 … 13
 - 2.2 各モードの移行手順 … 14

3. レジスタ構成 … 15
 - 3.1 ステータス・レジスタA (SRA) … 16
 - 3.2 ステータス・レジスタB (SRB) … 17
 - 3.3 デジタル・アウトプット・レジスタ (DOR) … 18
 - 3.4 テープ・ドライブ・レジスタ (TDR) … 20
 - 3.5 データ・レート・レジスタ (DRR) … 21
 - 3.6 ステータス・レジスタ (STR) … 23
 - 3.6.1 STR (スタンダードFDDモードの場合) … 23
 - 3.6.2 STR (Apple FDDモードの場合) … 24
 - 3.7 データ・レジスタ [FIFO] (DTR) … 26
 - 3.8 コンフィギュレーション・コントロール・レジスタ (CCR) … 27
 - 3.9 デジタル・インプット・レジスタ (DIR) … 28
 - 3.9.1 DIR (PC-ATモードの場合) … 28
 - 3.9.2 DIR (PS/2モードの場合) … 28

4. コマンド一覧とコマンド・セット … 29
 - 4.1 コマンド一覧 … 29
 - 4.2 コマンド・セット … 30
 - 4.2.1 イニシャライズ系 … 30
 - 4.2.2 シーク系 … 31
 - 4.2.3 リード系 … 32
 - 4.2.4 ライト系 … 37
 - 4.2.5 センス系 … 39
 - 4.2.6 その他 … 39

- 5. 電気的特性 … 41
- 6. 外形図 … 62
- 7. 半田付け推奨条件 … 63

1. 端子機能

1.1 ホスト・インタフェース

(1/2)

端子名	入出力	機能																																																							
RESET	入力	FDCをリセットします。ホスト・インタフェース・モードがAppleモードのときは、アクティブ・ロウになります。																																																							
\overline{CS}	入力	FDCのFD, WR信号を有効にする信号端子です。																																																							
XA1	入力	内部発振回路を使用するときは、水晶振動子を接続します。																																																							
XA2	—	外部回路を使用するときは、XA1端子に入力します (XA2端子はオープン)。また、使用する周波数は24 MHzです。データ転送に関係なく、システム・クロックを常に供給してください。																																																							
XB	入力	データ転送レートが489.6 Kbps(GCR), および1.25 Mbps(MFM)のときのクロック信号端子です。 489.6 Kbps(GCR)使用時: 15.6672 MHz 1.25 Mbps(MFM) 使用時: 20 MHz 未使用の場合はプルダウンしてください。																																																							
A0-A2	入力	FDCの内部レジスタを選択する信号端子です。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>A2</th> <th>A1</th> <th>A0</th> <th>R/W</th> <th>レジスタ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>R</td> <td>ステータス・レジスタA (SRA)</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>R</td> <td>ステータス・レジスタB (SRB)</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>R/W</td> <td>デジタル・アウトプット・レジスタ (DOR)</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>R/W</td> <td>テープ・ドライブ・レジスタ (TDR)</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>R</td> <td>ステータス・レジスタA (STR)</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>W</td> <td>データ・レート・レジスタ (DRR)</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>R/W</td> <td>データFIFOレジスタ (DATA)</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>—</td> <td>使用禁止</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>R</td> <td>デジタル・インプット・レジスタ (DIR)</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>W</td> <td>コンフィギュレーション・コントロール・レジスタ (CCR)</td> </tr> </tbody> </table>	A2	A1	A0	R/W	レジスタ	0	0	0	R	ステータス・レジスタA (SRA)	0	0	1	R	ステータス・レジスタB (SRB)	0	1	0	R/W	デジタル・アウトプット・レジスタ (DOR)	0	1	1	R/W	テープ・ドライブ・レジスタ (TDR)	1	0	0	R	ステータス・レジスタA (STR)	1	0	0	W	データ・レート・レジスタ (DRR)	1	0	1	R/W	データFIFOレジスタ (DATA)	1	1	0	—	使用禁止	1	1	1	R	デジタル・インプット・レジスタ (DIR)	1	1	1	W	コンフィギュレーション・コントロール・レジスタ (CCR)
A2	A1	A0	R/W	レジスタ																																																					
0	0	0	R	ステータス・レジスタA (SRA)																																																					
0	0	1	R	ステータス・レジスタB (SRB)																																																					
0	1	0	R/W	デジタル・アウトプット・レジスタ (DOR)																																																					
0	1	1	R/W	テープ・ドライブ・レジスタ (TDR)																																																					
1	0	0	R	ステータス・レジスタA (STR)																																																					
1	0	0	W	データ・レート・レジスタ (DRR)																																																					
1	0	1	R/W	データFIFOレジスタ (DATA)																																																					
1	1	0	—	使用禁止																																																					
1	1	1	R	デジタル・インプット・レジスタ (DIR)																																																					
1	1	1	W	コンフィギュレーション・コントロール・レジスタ (CCR)																																																					
\overline{RD}	入力	ホストがFDCからデータをデータ・バスへ読み出すための制御信号端子です。																																																							
WR	入力	ホストがデータ・バスのデータをFDCへ書き込むための制御信号端子です。																																																							
DB0-DB7	入出力	8ビット双方向データ・バスです ($I_{OL}=12\text{mA}$)																																																							
DMARQ	出力	DMAモード (SPECIFYコマンドで設定) でのデータ転送要求信号端子です。通常はアクティブ・ハイの出力ですが、ホスト・インタフェース・モードがPC-ATモードで、デジタル・アウトプット・レジスタのD3ビットが0のときは、ハイ・インピーダンスになります。																																																							
\overline{DMAAK}	入力	DMAサイクルでのデータFIFOレジスタ選択信号端子です。PC-ATモードで、デジタル・アウトプット・レジスタのD3ビットが0のときは、この入力は無効です。																																																							
TC	入力	フロッピー・ディスクとのデータ転送の終了指示信号端子です。データ転送の最終バイト転送時にアクティブにします。通常は、DMAコントローラのTC端子と接続します。 なお、ホスト・インタフェース・モードがPS/2, PC-ATモード時、この入力は \overline{DMAAK} 信号端子がアクティブのときにのみ有効です。ホスト・インタフェース・モードがPC-ATモードおよびGeneralモードでは、アクティブ・ハイ、PS/2モードでは、アクティブ・ロウの入力になります。																																																							

(2/2)

端子名	入出力	機能																				
INT	出力	ホスト・システムに割り込み要因の発生を知らせる信号端子です。通常はアクティブ・ハイの出力です。ただし、PC-ATモードで、デジタル・アウトプット・レジスタのD3ビットが0のときは、ハイ・インピーダンスになります。																				
PCTYP0, PCTYP1	入力	ホスト・インタフェース・レジスタの種類を選択する信号端子です。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>PCTYP1</th> <th>PCTYP0</th> <th>ホスト・インタフェース・モード</th> <th>使用するホスト・インタフェース・レジスタ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>PS/2モード</td> <td>すべてのレジスタ</td> </tr> <tr> <td>0</td> <td>1</td> <td>PC-ATモード</td> <td>DOR, TDR, STR, DRR, DATA, CCR, DIR</td> </tr> <tr> <td>1</td> <td>0</td> <td>Generalモード</td> <td>DATA, STR, DRR</td> </tr> <tr> <td>1</td> <td>1</td> <td>Appleモード</td> <td>DATA, STR, DDR</td> </tr> </tbody> </table>	PCTYP1	PCTYP0	ホスト・インタフェース・モード	使用するホスト・インタフェース・レジスタ	0	0	PS/2モード	すべてのレジスタ	0	1	PC-ATモード	DOR, TDR, STR, DRR, DATA, CCR, DIR	1	0	Generalモード	DATA, STR, DRR	1	1	Appleモード	DATA, STR, DDR
PCTYP1	PCTYP0	ホスト・インタフェース・モード	使用するホスト・インタフェース・レジスタ																			
0	0	PS/2モード	すべてのレジスタ																			
0	1	PC-ATモード	DOR, TDR, STR, DRR, DATA, CCR, DIR																			
1	0	Generalモード	DATA, STR, DRR																			
1	1	Appleモード	DATA, STR, DDR																			

1.2 FDDインタフェース (スタンダードFDDモードを使用する場合)

端子名	入出力	機能
DS0-DS3	出力	ドライブを選択する信号端子です。4台までのドライブを制御できます。
ME0-ME3	出力	FDDのスピンドル・モータのON/OFFを制御する信号端子です。ホスト・インタフェース・モードがGeneral, Appleモードのときは使用できません。
HDL0	出力	ドライブのヘッドをロード状態にする信号端子です。
DIR	出力	シーク動作の方向を指定する信号端子です。アクティブで求心方向を指定しています。
STEP	出力	シーク・パルスを発生する信号端子です。
SIDE	出力	FDDのヘッドを選択する信号端子です。アクティブでヘッド1を指定しています。
WGATE	出力	FDDに対して書き込みを指示する信号端子です。
WDATA	出力	FDDへの書き込みデータ信号端子です。
RDATA	入力	FDDからの読み出しデータ信号端子です。
TRK0	入力	FDDのヘッドがシリンダ0に位置していることを示す信号端子です。
INDEX	入力	ドライブのヘッドが、メディア上のトラックの物理的開始点に位置することを示す信号端子です。
WPRT	入力	メディアが書き込み禁止状態であることを示す信号端子です。
ENDKCG	入力	DKCG/READY端子をどちらの信号で使用するかを選択する信号端子です。アクティブでDKCG信号を指定しています。
DKCG/READY	入力	使用するFDDの種類により、ENDKCG端子でどちらの信号を入力するかを選択します。 DKCG(Disk Change) (PS/2, PC-ATモード) : FDDメディアが交換されたことを示します。 デジタル・インプット・レジスタのDKCGビットに状態が示されます。 READY(General, Appleモード) : ドライブが動作可能であることを示します。
DEN0, DEN1	出力	ドライブの密度選択を行うための信号端子です。データ転送レートによって出力する値が決まります。
DRV2	入力	2台目のドライブが装備されているかを示す信号端子です。ステータス・レジスタAのDRV2ビットに状態が示されます。

備考 すべてのFDDインタフェース出力端子は、 $I_{OL}=48\text{ mA}$ です。

1.3 FDDインタフェース (Apple FDDモードを使用する場合)

端子名	入出力	機能
$\overline{\text{ENBLO}}, \overline{\text{ENBL1}}$	出力	FDDへの動作指示がすべて可能であることを示す信号端子です。
SEL, CA0-CA2	出力	読み出し動作時の $\overline{\text{RDATA}}$ 信号にマルチプレクスされたFDDステータス取得、およびFDDとのコマンド動作時のFDDアドレス・ラッチを選択することに使用します。
LSTRB	出力	FDDへのコマンド送出に使用する信号端子です。
$\overline{\text{WGATE}}$	出力	FDDに対して書き込みを指示する信号端子です。
$\overline{\text{WDATA}}$	出力	FDDへの書き込みデータ信号端子です。
$\overline{\text{RDATA}}$	入力	FDDからの読み出しデータ信号端子です。

注意 Apple FDDモードで使用しないFDDインタフェース入力端子は、ハイ・レベルに固定してください。

備考 すべてのFDDインタフェース出力端子は、 $I_{OL}=48\text{mA}$ です。

1.4 アナログVFOフィルタ

端子名	入出力	機能
LPF1, LPF2	出力	メインPLLの位相補正情報出力端子です。VFOフィルタ部品を外付けします。
CGP1, CGP2	出力	サブPLLの位相補正情報出力端子です。VFOフィルタ部品を外付けします。

1.5 バウンダリ・スキャン

端子名	入出力	機能
TCK	入力	クロック入力
TDI	入力	データ入力(プルアップ抵抗を内蔵)
TMS	入力	バウンダリ・スキャン・テスト回路のモードを選択します(プルアップ抵抗を内蔵)。
TDO	出力	データ出力(3ステート型出力)

1.6 その他の端子

端子名	入出力	機能
DV _{DD}	—	デジタル系の電源供給端子です。
DGND	—	デジタル系のグランド端子です。
BGND	—	バッファ系($I_{OL}=48\text{mA}$ ドライバ)のグランド端子です。
AV _{DD}	—	アナログ系の電源供給端子です。
AGND	—	アナログ系のグランド端子です。

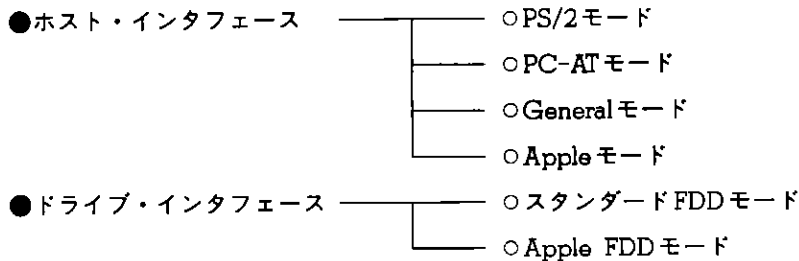
1.7 リセット時の各端子の状態

端 子 名	状 態
DB0-DB7	入力
DMARQ, INT	PC-ATモード : ハイ・インピーダンス その他のモード : ロー・レベル
LPF1, LPF2, CGP1, CGP2	不定
$\overline{DS0}$ - $\overline{DS3}$, $\overline{ME0}$, $\overline{ME1}$, $\overline{ME2}$ (\overline{ENBLO}), $\overline{ME3}$ ($\overline{ENBL1}$), \overline{WDATA} , \overline{WGATE} , \overline{HDLD} (SEL), \overline{DIR} (CA0), \overline{STEP} (CA1), \overline{SIDE} (CA2), (LSTRB)	ハイ・インピーダンス
\overline{DENO} , $\overline{DEN1}$	データ転送レートにより異なった値になります。

2. 動作モード

2.1 動作モードの概要と特徴比較

μPD72070には、次の動作モードがあります。



2.1.1 ホスト・インタフェース・モード

ホスト・インタフェースにおけるモードの設定はPCTYP1, PCTYPO端子入力で行います。これらの端子は、ダイレクトに変化させて動作モードを切り替えることはできません。したがって、この端子は必ず固定してください。

また、それぞれのモードにより使用できるホスト・インタフェース・レジスタが異なります。

表2-1にホスト・インタフェース・モードの設定を示します。

表 2-1 ホスト・インタフェース・モードの設定

動作モード	PCTYP1	PCTYPO
PS/2	L	L
PC-AT	L	H
General	H	L
Apple	H	H

(1) PS/2モード (PCTYP1=ロウ・レベル, PCTYPO=ロウ・レベル)

PS/2モードは、PS/2モデル50/60/80に対応したホスト・インタフェース・レジスタを使用できます。また、TC端子出力およびDENO端子出力がアクティブ・ロウになり、デジタル・アウトプット・レジスタのDMAENビットの値に関係なく、INT端子出力とDMARQ端子出力は常に有効です。

(2) PC-ATモード (PCTYP1=ロウ・レベル, PCTYPO=ハイ・レベル)

PC-ATモードは、PC-ATに対応したホスト・インタフェース・レジスタを使用できます。また、TC端子出力およびDENO端子出力がアクティブ・ハイになり、デジタル・アウトプット・レジスタのDMAENビットの値によってINT端子出力とDMARQ端子出力がハイ・インピーダンスになります。

(3) Generalモード (PCTYP1=ハイ・レベル, PCTYPO=ロウ・レベル)

Generalモードは、データ・レート・レジスタの設定（データ転送レート、プリコンベンション量などの設定）を追加するだけで、μPD765Aで使用していたソフトウェアを使用することができます。

(4) Appleモード (PCTYP=ハイ・レベル, PCTYPO=ハイ・レベル)

ホスト・インタフェースのRESET端子信号がアクティブ・ロウになるとGeneralモードと同じ機能になります。

2.1.2 ドライブ・インタフェース・モード

μPD72070は、従来のFDDに加えてアップルコンピュータ社のMacintosh™で使用されるFDD (Apple FDD) が使用できます。この切り替えは、SELECT DRIVE TYPEコマンドで行います。また、リセット・デフォルトは、スタンダードFDDモード (SELECT DRIVE TYPEのパラメータD1=0, D0=0) になります。

(1) スタンダードFDDモード

リセット後、必ずこのモード (SELECT DRIVE TYPEのパラメータD1=0, D0=0) になります。このモードは、μPD765Aのソフトウェアと上位互換であり、MFM/FM記録方式の13 MB FDDまでサポートできます。ただし、13 MB FDDご使用の場合は、SELECT DRIVE TYPEのパラメータD1=0, D0=1に設定してください。

このモードで利用できるFDD

- 1 M/1.6 M/2 MB FDD (従来のFDD)
- 垂直磁化記録方式4 MB FDD
- 13 MB FDD (例 FD1335 (NEC))

(2) Apple FDDモード

スタンダードFDDモードから、SELECT DRIVE TYPEコマンド (D1=1, D0=1) を実行することにより、このモードに移行できます。

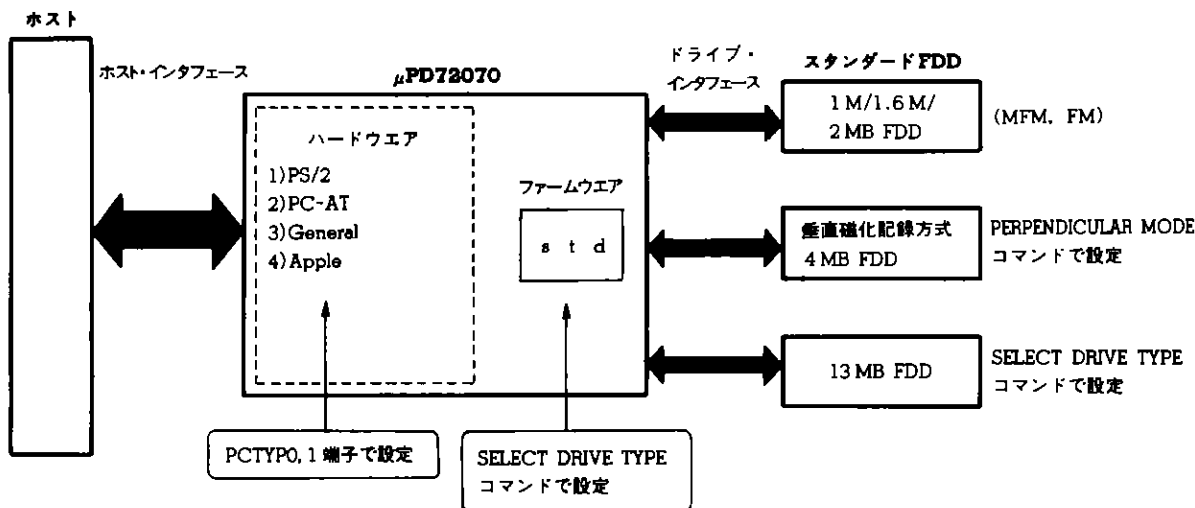
このモードでは、アップルコンピュータ社のMacintoshで使用されるFDDを最大2台までサポートできます。また、記録方式はMFM方式に加えGCR方式もサポートします。

このモードで使用できる FDD

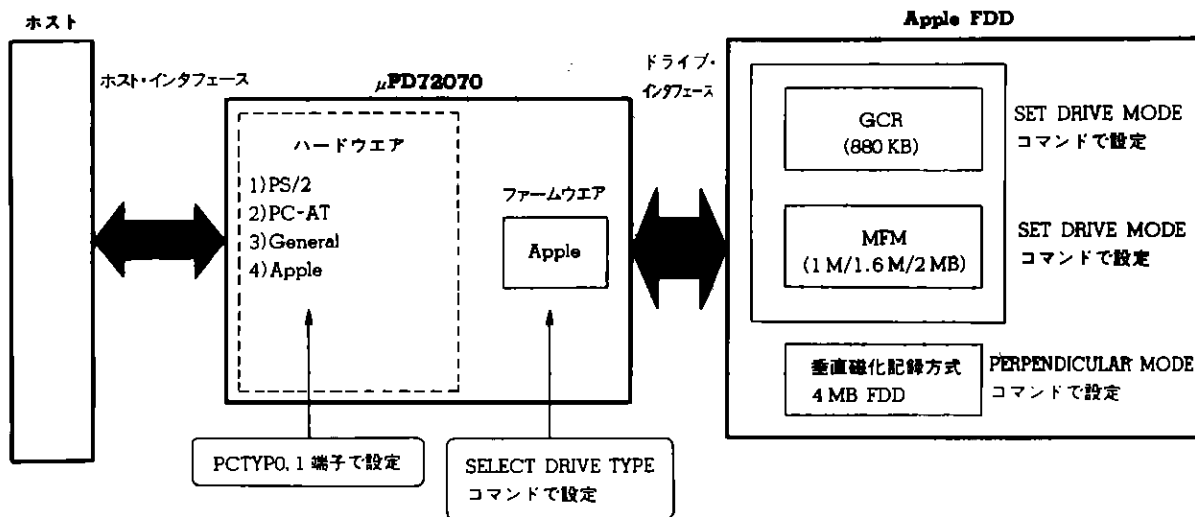
- Apple FDD
 - GCR フォーマット (800 KB)
 - MFM フォーマット (1 M/1.6 M/2 MB)
 - 垂直磁化記録方式 4 MB FDD

2.1.3 動作モードと FDD の関係

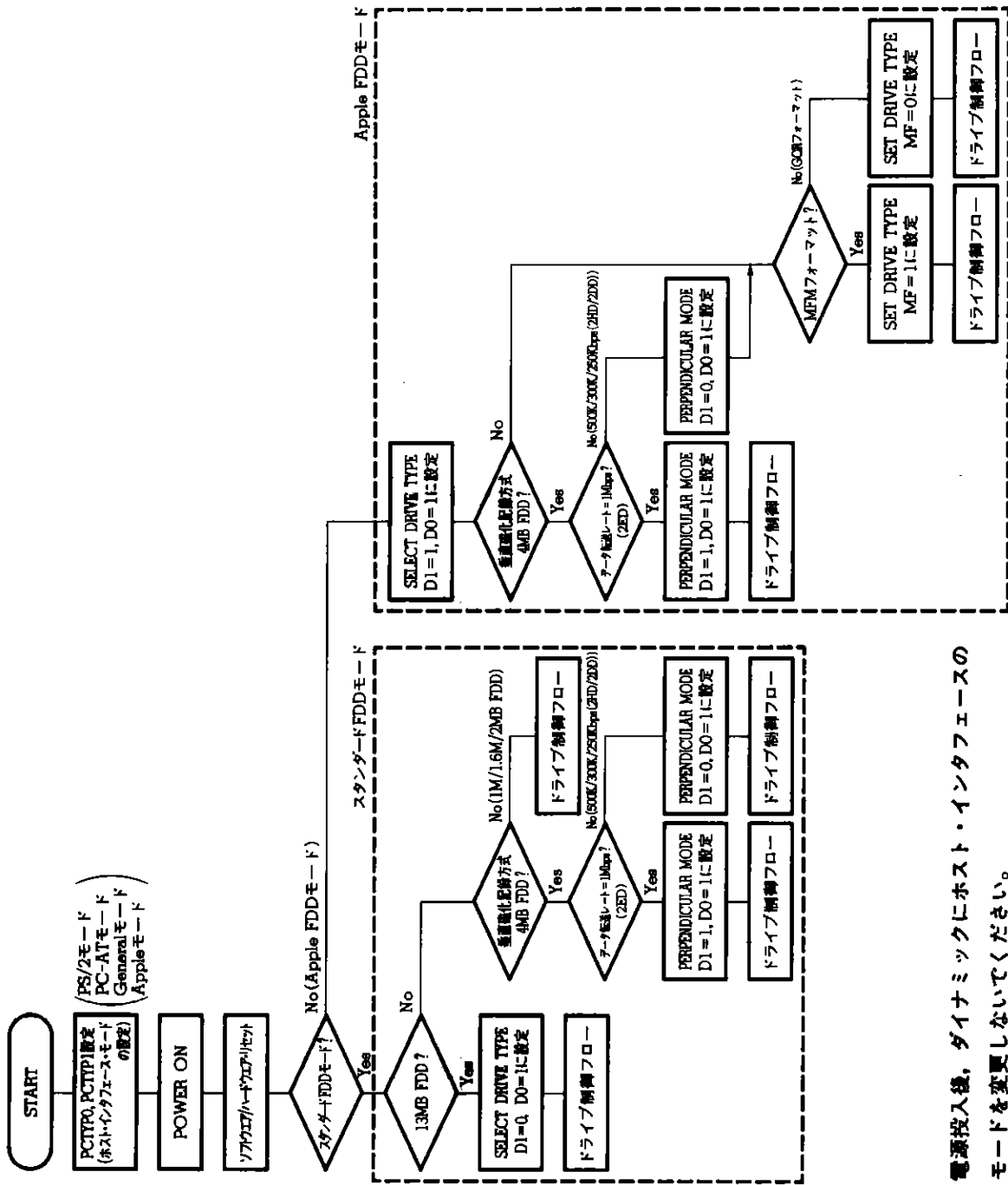
(1) スタンダード FDD モードの場合



(2) Apple FDD モードの場合



2.2 各モードの移行手順



注意 電源投入後、ダイナミックにホスト・インタフェースのモードを変更しないでください。

3. レジスタ構成

次の9つのレジスタについて説明します。

- (1) ステータス・レジスタ A (SRA)
- (2) ステータス・レジスタ B (SRB)
- (3) デジタル・アウトプット・レジスタ (DOR)
- (4) テープ・ドライブ・レジスタ (TDR)
- (5) データ・レート・レジスタ (DRR)
- (6) ステータス・レジスタ (STR)
- (7) データ・レジスタ [FIFO](DTR)
- (8) コンフィギュレーション・コントロール・レジスタ (CCR)
- (9) デジタル・インプット・レジスタ (DIR)

PS/2, PC-AT, GeneralおよびAppleモードについて、各モードで使用可能なレジスタを表3-1に示します。

表3-1 動作モードによるレジスタの選択

動作モード	PCTYP1	PCTYP0	\overline{CS}	A2	A1	A0	R/W	レ ジ ス タ
PS/2	0	0	0	0	0	0	R	ステータス・レジスタ A
	0	0	0	0	0	1	R	ステータス・レジスタ B
	0	0	0	0	1	0	R/W	デジタル・アウトプット・レジスタ
	0	0	0	0	1	1	R/W	テープ・ドライブ・レジスタ
	0	0	0	1	0	0	W	データ・レート・レジスタ
	0	0	0	1	0	0	R	ステータス・レジスタ
	0	0	0	1	0	1	R/W	データ・レジスタ
	0	0	0	1	1	1	W	コンフィギュレーション・コントロール・レジスタ
	0	0	0	1	1	1	R	デジタル・インプット・レジスタ
PC-AT	0	1	0	0	1	0	R/W	デジタル・アウトプット・レジスタ
	0	1	0	0	1	1	R/W	テープ・ドライブ・レジスタ
	0	1	0	1	0	0	W	データ・レート・レジスタ
	0	1	0	1	0	0	R	ステータス・レジスタ
	0	1	0	1	0	1	R/W	データ・レジスタ
	0	1	0	1	1	1	W	コンフィギュレーション・コントロール・レジスタ
	0	1	0	1	1	1	R	デジタル・インプット・レジスタ
General	1	0	0	1	0	0	W	データ・レート・レジスタ
	1	0	0	1	0	0	R	ステータス・レジスタ
	1	0	0	1	0	1	R/W	データ・レジスタ
Apple	1	1	0	1	0	0	W	データ・レート・レジスタ
	1	1	0	1	0	0	R	ステータス・レジスタ
	1	1	0	1	0	1	R/W	データ・レジスタ
-	×	×	1	×	×	×	-	レジスタのリード/ライト不可

3.1 ステータス・レジスタA (SRA) リード・レジスタ

	D7	D6	D5	D4	D3	D2	D1	D0
	PINT	$\overline{\text{DRV2}}$	STEP	$\overline{\text{TRK0}}$	SIDE	$\overline{\text{INDEX}}$	$\overline{\text{WPRT}}$	DIR
リセット時の状態	0	不定	0	不定	0	不定	不定	0

ステータス・レジスタA (SRA) は、PS/2モードで使用するリード専用レジスタで、PS/2モードのときに随時読み出し可能です。SRAは、INT端子およびドライブ・インタフェースのいくつかの端子の状態を示します。

PS/2モード以外でSRAを読み出した場合、D7-D0はハイ・インピーダンスになります。

D7 Pending Interrupt

アクティブ・ハイのビットです。INT出力端子の状態を示します。

D6 Installed-Drive2

アクティブ・ロウのビットです。ドライブ・インタフェースの $\overline{\text{DRV2}}$ 入力端子の状態を示します。

D5 Step Signal

アクティブ・ハイのビットです。ドライブ・インタフェースの $\overline{\text{STEP}}$ 出力端子の状態を示します。

D4 Track 0 Signal

アクティブ・ロウのビットです。ドライブ・インタフェースの $\overline{\text{TRK0}}$ 入力端子の状態を示します。

D3 Side Select Signal

アクティブ・ハイのビットです。ドライブ・インタフェースの $\overline{\text{SIDE}}$ 出力端子の状態を示します。

D2 Index Signal

アクティブ・ロウのビットです。ドライブ・インタフェースの $\overline{\text{INDEX}}$ 入力端子の状態を示します。

D1 Write Protect Signal

アクティブ・ロウのビットです。ドライブ・インタフェースの $\overline{\text{WPRT}}$ 入力端子の状態を示します。

D0 Direction Signal

アクティブ・ハイのビットです。ドライブ・インタフェースの $\overline{\text{DIR}}$ 出力端子の状態を示します。

3.2 ステータス・レジスタ B (SRB) リード・レジスタ

	D7	D6	D5	D4	D3	D2	D1	D0
	1	1	DS0	WDATA	RDATA	WGATE	MO1	MO0
リセット時の状態	不定	不定	0	0	0	0	0	0

ステータス・レジスタ B (SRB) は、PS/2モードで使用するリード専用レジスタで、PS/2モードのときのみ随時読み出し可能です。SRBはドライブ・インタフェースのいくつかの端子の状態を示します。

PS/2モード以外でSRBを読み出した場合、D7-D0はハイ・インピーダンスになります。

D7-D6 Reserved

PS/2モードのときは、常に1です。

D5 Drive Select 0

アクティブ・ハイのビットです。デジタル・アウトプット・レジスタ (DOR) の $\overline{DS0}$ (D0ビット) の状態を示します。

D4 Write Data Signal

\overline{WDATA} 端子信号の立ち下がリエッジをトリガとして、内部で生成されるトグル信号の状態を示します。

D3 Read Data Signal

\overline{RDATA} 端子信号の立ち下がリエッジをトリガとして、内部で生成されるトグル信号の状態を示します。

D2 Write Gate Signal

アクティブ・ハイのビットです。ドライブ・インタフェースの \overline{WGATE} 端子出力の状態を示します。

D1 Motor Enable 1

アクティブ・ハイのビットです。ドライブ・インタフェースの $\overline{ME1}$ 端子出力の状態を示します。

D0 Motor Enable 0

アクティブ・ハイのビットです。ドライブ・インタフェースの $\overline{ME0}$ 端子出力の状態を示します。

3.3 デジタル・アウトプット・レジスタ (DOR) リード/ライト・レジスタ

	D7	D6	D5	D4	D3	D2	D1	D0
	ME3	ME2	ME1	ME0	DMAEN	FDCEN	DS1	DS0
リセット時の状態	0	0	0	0	0	0	0	0

デジタル・アウトプット・レジスタ (DOR) は、PS/2モードおよびPC-ATモードで使用するリード/ライト可能なレジスタです。DORは、ドライブのモータ・オン/オフ ($\overline{ME3}$ - $\overline{ME0}$ 端子出力), DMA回路, ソフトウェア・リセット, ドライブ選択などを制御します。

DORは、ハードウェア・リセットでのみ初期化されます。

D7 Motor Enable 3

DS1=1, DS0=1のとき ($\overline{DS3}$ 端子出力がアクティブのとき), ME3=1を書き込むことにより $\overline{ME3}$ 端子出力をアクティブにします。

D6 Motor Enable 2

DS1=1, DS0=0のとき ($\overline{DS2}$ 端子出力がアクティブのとき), ME2=1を書き込むことにより $\overline{ME2}$ 端子出力をアクティブにします。

D5 Motor Enable 1

DS1=0, DS0=1のとき ($\overline{DS1}$ 端子出力がアクティブのとき), ME1=1を書き込むことにより $\overline{ME1}$ 端子出力をアクティブにします。

D4 Motor Enable 0

DS1=0, DS0=0のとき ($\overline{DS0}$ 端子出力がアクティブのとき), ME0=1を書き込むことにより $\overline{ME0}$ 端子出力をアクティブにします。

D3 DMA Enable

○PC-ATモードの場合

DMAEN=1を書き込むことにより, DMARQ端子出力, \overline{DMAAK} 端子入力, TC端子入力, INT端子出力が有効になります。DMAEN=0のとき, これらの端子はハイ・インピーダンスになります。

○PS/2モードの場合

DMAENは, DMARQ端子出力, \overline{DMAAK} 端子入力, TC端子入力, INT端子出力に影響しません。これらの端子は, 常に有効です。

D2 FDC Enable

FDCEN=0を書き込むことにより, μPD72070は初期化 (ソフトウェア・リセット) 状態を保ちます。ソフトウェア・リセットは, DRR, CCRおよびDRRのビットに影響しません。

D1-D0 Drive Select

DS1, DS0ビットは、最大4台のドライブのうち1台を選択するために、 $\overline{DS0}$ - $\overline{DS3}$ 出力端子の1つをアクティブにします。それぞれのドライブを選択した場合のDORの値を表3-2に示します。

表3-2 ドライブ選択

ドライブ番号	DORの値(hex)
0	1C
1	2D
2	4E
3	8F

3.4 テープ・ドライブ・レジスタ (TDR) リード/ライト・レジスタ

	D7	D6	D5	D4	D3	D2	D1	D0
	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	TDS1	TDS0
リセット時の状態	不定	不定	不定	不定	不定	不定	0	0

テープ・ドライブ・レジスタ (TDR) は、PS/2モードで使用するリード/ライト・レジスタです。TDRは、テープ・ドライブのために特別なドライブ番号を割り振り、アナログVFOのモードを対応させます。ただし、μPD72070はアナログVFOのモードを変更することなしにテープ・ドライブに対応します。

TDRは、ハードウェア・リセットでのみ初期化されます。

D7-D2 Reserved

リード時は、ハイ・インピーダンスになります。ライト時は0または1のどちらを書き込んでもかまいません。

D1-D0 Tape Drive Select

TDS1, TDS0ビットは、テープ・ドライブの論理ドライブ番号を設定します。ドライブ番号0は、ブート用のフロッピー・ディスク・ドライブに使用するため、テープ・ドライブを割り付けることはできません。表3-3にTDS1, TDS0によるテープ・ドライブの論理ドライブ番号割り付けを示します。

表3-3 テープ・ドライブ番号

TDS1	TDS0	論理ドライブ番号
0	0	NONE
0	1	1
1	0	2
1	1	3

3.5 データ・レート・レジスタ (DRR) ライト・レジスタ

	D7	D6	D5	D4	D3	D2	D1	D0
	S/W RST	STDBY	0	PCS2	PCS1	PCS0	DRATE1	DRATE0
リセット時の状態	0	0	0	0	0	0	1	0

データ・レート・レジスタ (DRR) は、すべての動作モードで使用することができるライト専用レジスタです。ただし、PS/2およびPC-ATモードのアプリケーションについては、データ転送レートの設定をCCRで行ってください。また、DRRとCCRによるデータ転送レートの設定は、最後に書き込んだレジスタの値が有効になります。

DRRは、ハードウェア・リセットでのみ初期化されます。

D7 Software Reset

S/W RST=1を書き込むことにより、μPD72070は初期化（ソフトウェア・リセット）されます。ソフトウェア・リセットは、DOR、CCRおよびDRRのD6-D0ビットには、影響しません。また初期化動作を終了すると、自動的にS/W RST=0になりリセット状態を解除します。

D6 Standby

STDBY=1を書き込むことにより、μPD72070はスタンバイ・モード（ロウ・パワー・モード）になります。スタンバイ・モードでは、すべての内部回路の動作を停止します。スタンバイ・モードは、ハードウェア/ソフトウェア・リセットの実行、またはSTR/DTRへのアクセスで解除されます。

D5 Reserved

0を書き込んでください。

D4-D2 Precompensation Set

PCS2-PCS0ビットは、ライト・データ (WDATA) 信号のライト・プリコンペンセーション量を設定します。表3-4にPCS2-PCS0ビットによるライト・プリコンペンセーション量の値、表3-5にリセット・デフォルトの値を示します。ライト・プリコンペンセーション量は、システムの互換性やドライブ/メディアの種類などにより異なります。リセット・デフォルトの値は、500, 250 KbpsがPC/ATのアプリケーション、1, 1.25 Mbpsはドライブの仕様を考慮したものです。

D1-D0 Data Rate Set

DRATE1, DRATE0ビットは、データ転送レートを設定します。表3-6にDRATE1, DRATE0ビットによるデータ転送レートの値を示します。これらのビットは、ソフトウェア・リセットで変化しません。ハードウェア・リセットによって、DRATE1=1, DRATE0=0になり、250 Kbps (MF) がデフォルト値です。

500と489.6 Kbpsおよび1と1.25 Mbpsの切り替えは、SELECT DRIVE TYPEコマンドで行います。

表3-4 ライト・プリコンベンション量

D4	D3	D2	ライト・プリコンベンション量	
PCS2	PCS1	PCS0	1M/500K/300K/250Kbps	1.25Mbps
0	0	0	リセット・デフォルト	
0	0	1	41.7 ns	50 ns
0	1	0	83.3 ns	100 ns
0	1	1	125.0 ns	150 ns
1	0	0	166.7 ns	200 ns
1	0	1	208.3 ns	250 ns
1	1	0	250.0 ns	300 ns
1	1	1	0.0 ns	0.0 ns

表3-5 リセット・デフォルトのライト・プリコンベンション量

データ転送レート	ライト・プリコンベンション量
1 Mbps	41.7 ns
500 Kbps	125.0 ns
300 Kbps	125.0 ns
250 Kbps	125.0 ns
1.25 Mbps	50.0 ns

表3-6 データ転送レート (DRR)

D1	D0	データ転送レート
DRATE1	DRATE0	
0	0	500/489.6 Kbps
0	1	300 Kbps
1	0	250 Kbps
1	1	1/1.25 Mbps

3.6 ステータス・レジスタ (STR) リード・レジスタ

ステータス・レジスタ (STR) は、μPD72070の状態を示すリード専用レジスタです。

3.6.1 STR (スタンダードFDDモードの場合)

	D7	D6	D5	D4	D3	D2	D1	D0
	RQM	DIO	NDM	CB	D3B	D2B	D1B	D0B
リセット時の状態	0	0	0	0	0	0	0	0

D7 Request for Master

ホストに対してデータをやりとりする準備ができています。DIOビットの状態により次の動作を行います。

DIO=0 : ホストがFDCへデータを送る

- C-Phaseのコマンド待ち
- Non-DMA ライトのE-Phase
- シーク系のE-Phase

ホストがFDCにデータを書き込むとRQM=0になります。その後FDCがそのデータを引き取るとRQM=1になります。

DIO=1 : FDCがホストへデータを送る

- R-Phase
- Non-DMA モード転送のE-Phase

FDCがデータ・レジスタにデータをセットするとRQM=1になります。ホストがそのデータを読み取るとRQM=0になります。

D6 Data Input/Output

ホストとFDCの間でやりとりするデータ方向を示します。

DIO=0 : ホスト → FDCの方向

DIO=1 : FDC → ホストの方向

D5 Non-DMA Mode

Non-DMAモードのデータ転送中(E-Phase)を示します。C-Phase, R-Phaseではこのビットは0です。

D4 FDC Busy

C-Phase, R-Phaseまたはリード/ライト系コマンドのE-Phaseであることを示します (シーク系E-PhaseではCB=1になりません)。CB=1のときは、次のコマンド (D0-D3) を受け付けません。

D3 FDD 3 Busy

ドライブ3にシーク動作をさせているか、またはシーク動作終了の割り込みを保留中であることを示します(E-Phase)。このビットが1のとき、リード/ライト系コマンドの書き込みは禁止です。

D2 FDD 2 Busy

ドライブ2にシーク動作をさせているか、またはシーク動作終了の割り込みを保留中であることを示します(E-Phase)。このビットが1のとき、リード/ライト系コマンドの書き込みは禁止です。

D1 FDD 1 Busy

ドライブ1にシーク動作をさせているか、またはシーク動作終了の割り込みを保留中であることを示します(E-Phase)。このビットが1のとき、リード/ライト系コマンドの書き込みは禁止です。

D0 FDD 0 Busy

ドライブ0にシーク動作をさせているか、またはシーク動作終了の割り込みを保留中であることを示します(E-Phase)。このビットが1のとき、リード/ライト系コマンドの書き込みは禁止です。

3.6.2 STR (Apple FDDモードの場合)

リセット時の状態

D7	D6	D5	D4	D3	D2	D1	D0
RQM	DIO	NDM	CB	D1I	D0I	D1B	D0B
0	0	0	0	0	0	0	0

D7 Request for Master (スタンダードFDDモードと同じ)

ホストに対してデータをやりとりする準備ができていることを示します。DIOビットの状態により次の動作をします。

DIO=0 : ホストがFDCへデータを送る

- C-Phaseのコマンド待ち
- Non-DMA ライトのE-Phase
- シーク系のE-Phase

ホストがFDCにデータを書き込むとRQM=0になります。その後FDCがそのデータを引き取るとRQM=1になります。

DIO=1 : FDCがホストへデータを送る

- R-Phase
- Non-DMA モード転送のE-Phase

FDCがデータレジスタにデータをセットするとRQM=1になります。ホストがそのデータを読み取るとRQM=0になります。

D6 Data Input/Output (スタンダードFDDモードと同じ)

ホストとFDCの間でやりとりするデータ方向を示します。

DIO=0 : ホスト → FDCの方向

DIO=1 : FDC → ホストの方向

- D5 Non-DMA Mode (スタンダードFDDモードと同じ)**
Non-DMAモードのデータ転送中(E-Phase)を示します。C-Phase, R-Phaseではこのビットは0です。
- D4 FDC Busy (スタンダードFDDモードと同じ)**
C-Phase, R-Phaseまたはリード/ライト系コマンドのE-Phaseであることを示します(シーク系E-PhaseではCB=1になりません)。CB=1のときは、次のコマンドを受け付けません。
- D3 Drive 1 Installed**
ドライブ1(2台目)が接続されていることを示します。
- D2 Drive 0 Installed**
ドライブ0(1台目)が接続されていることを示します。
- D1 FDD 1 Busy (スタンダードFDDモードと同じ)**
ドライブ1にシーク動作をさせているか、またはシーク動作終了の割り込みを保留中であることを示します(E-Phase)。このビットが1のとき、リード/ライト系コマンドの書き込みは禁止です。
- D0 FDD 0 Busy (スタンダードFDDモードと同じ)**
ドライブ0にシーク動作をさせているか、またはシーク動作終了の割り込みを保留中であることを示します(E-Phase)。このビットが1のとき、リード/ライト系コマンドの書き込みは禁止です。

3.7 データ・レジスタ (FIFO) (DTR) リード/ライト・レジスタ

	D7	D6	D5	D4	D3	D2	D1	D0
	DATA							
リセット時の状態	FIFOディスエーブル							

データ・レジスタ (DTR) は、すべての動作モードで使用するコマンド書き込み、データ転送、リザルト・ステータス読み出しをするためのリード/ライト・レジスタです。

ホストは、C-PhaseでSTRのRQM, DIOビットをチェックしたのち、DTRにコマンド・バイトを書き込みます。R-PhaseでもSTRのRQM, DIOビットをチェックしたのち、DTRからリザルト・ステータス・バイトを読み出します。

DTRは、16バイトFIFOで構成されており、リード/ライト系コマンドのE-Phaseのデータ転送を行います。DMA, Non-DMA (割り込み (INT信号) 処理, ソフトウェアによるポーリング) とともにFIFOが使用できます。また、CONFIGUREコマンドで、DMARQ信号またはINT信号の出力をFIFO内のデータのバイト数によって調整することができます。

3.8 コンフィギュレーション・コントロール・レジスタ (CCR) ライト・レジスタ

	D7	D6	D5	D4	D3	D2	D1	D0
	0	0	0	0	0	0	DRATE1	DRATE0
リセット時の状態	不定	不定	不定	不定	不定	不定	1	0

コンフィギュレーション・コントロール・レジスタ (CCR) は、PS/2モードおよびPC-ATモードで使用するライト専用レジスタです。また、CCRとDRRによるデータ転送レートの設定は、最後に書き込んだレジスタの値が有効になります。

CCRは、ハードウェア・リセットでのみ初期化されます。

D7-D2 Reserved

0を書き込んでください。

D1-D0 Data Rate Set

DRATE1, DRATE0ビットは、データ転送レートを設定します。表3-7にDRATE1, DRATE0ビットによるデータ転送レートの値を示します。これらのビットは、ソフトウェア・リセットで変化しません。ハードウェア・リセットによってDRATE1=1, DRATE0=0になり、250 Kbps (MFМ) がデフォルト値です。

500と489.6 Kbpsおよび1と1.25 Mbpsの切り替えは、SELECT DRIVE TYPEコマンドで行います。

表3-7 データ転送レート (CCR)

D1	D0	データ転送レート
DRATE1	DRATE0	
0	0	500/489.6 Kbps
0	1	300 Kbps
1	0	250 Kbps
1	1	1/1.25 Mbps

3.9 デジタル・インプット・レジスタ (DIR) リード・レジスタ

デジタル・インプット・レジスタ (DIR) は、PS/2モードおよびPC-ATモードで使用するリード専用レジスタです。DIRは、 \overline{DKCG} 端子入力の状態などを示します。

DIRは、ハードウェア・リセットでのみ初期化されます。

3.9.1 DIR (PC-ATモードの場合)

	D7	D6	D5	D4	D3	D2	D1	D0
	DSKCHG	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved
リセット時の状態	不定	不定	不定	不定	不定	不定	不定	不定

D7 Disk Change

アクティブ・ハイのビットです。ドライブ・インタフェースの \overline{DKCG} 端子入力の状態を示します。D6-D0ビットは、ハイ・インピーダンスになります。ただし、 \overline{ENDKCG} 端子入力がロウ・レベルでないときには、D7-D0ビットがハイ・インピーダンスになります。

D6-D0 Reserved

ハイ・インピーダンスです。

3.9.2 DIR (PS/2モードの場合)

	D7	D6	D5	D4	D3	D2	D1	D0
	DSKCHG	1	1	1	1	DRATE1	DRATE0	\overline{HDEN}
リセット時の状態	不定	不定	不定	不定	不定	不定	不定	不定

D7 Disk Change

アクティブ・ハイのビットです。ドライブ・インタフェースの \overline{DKCG} 端子入力の状態を示します。ただし、 \overline{ENDKCG} 端子入力がロウ・レベルでないときには、D7-D0ビットがハイ・インピーダンスになります。

D6-D3 Reserved

PS/2モードのときは、常に1です。

D2-D1 Data Rate Set

DRATE1, DRATE0ビットは、DRRまたはCCRで設定されたDRATE1, DRATE0ビットを示します。

D0 High Density

HDEN=0のとき1 Mbpsまたは500 Kbps, HDEN=1のとき, 300 Kbpsまたは250 Kbpsのデータ転送レートを示します。

4. コマンド一覧とコマンド・セット

μPD72070は、μPD765Aとコマンド上位コンパチブルです。μPD765Aは15種類のコマンドを、μPD72070は31種類のコマンドをサポートしています。

4.1 コマンド一覧

分類	コマンド名	動作概要
イニシャライズ系	SPECIFY	μPD72070の動作を定義します。
	CONFIGURE	
	PERPENDICULAR MODE	垂直磁化記録方式先行イレース・ヘッドFDDに対応するモードにします。
	SELECT DRIVE TYPE	FDDの種類を選択します。
	SET DRIVE MODE ^{注1}	GCR FDDとMFM FDDの選択をします。
シーク系	RECALIBRATE	ヘッドを最外トラック(トラック0)へ移動させます。
	SEEK	ヘッドを指定シリンダへ移動させます。
	RELATIVE SEEK ^{注2}	
リード系	READ DATA	セクタを指定してそのデータをホストへ転送します。
	READ DELETED DATA ^{注2}	
	READ ID	1セクタ分のIDを読み出します。
	READ A TRACK	1トラック分のデータを読み出します。
	VERIFY ^{注2}	トラックのフォーマットをチェックします。
	SCAN EQUAL ^{注2}	1セクタごとにデータをホストのデータと比較し、条件にあうセクタを検出します。
	SCAN HIGH OR EQUAL ^{注2}	
	SCAN LOW OR EQUAL ^{注2}	
	RAW DUMP ^{注1}	メディア上の特定の場所からデータをダンプします。
ライト系	FORMAT A TRACK	1トラック分のフォーマットを書き込みます。
	FORMAT/WRITE ^{注1}	1トラック分のフォーマットとデータを書き込みます。
	WRITE DATA	セクタを指定してホストからのデータを転送します。
	WRITE DELETED DATA ^{注2}	
センス系	SENSE DRIVE STATUS	FDDの状態を読み出します。
	SENSE INTERRUPT STATUS	FDC内部の割り込み要因(シーク・エンド、状態遷移)を読み出します。
その他	DUMPREG ^{注2}	μPD72070の内部レジスタの状態を示します。
	VERSION ^{注2}	Bタイプの製品を識別します。
	REVISION	ハードおよびファームウェアのバージョンを示します。
	INVALID	データ・レジスタに対し未定義コマンドを発行した場合の処理をします。
	DISABLE/ENABLE PLL ^{注1}	GCR FDDに対してPLLのON/OFFを指定します。
	EJECT DISK ^{注1}	GCR FDDに挿入されたメディアをイジェクトします。
	SET ENABLE CONTROL ^{注1}	ENBL0, ENBL1端子を制御します。
	SET MOTOR CONTROL ^{注1}	FDDのスピンダル・モータのON/OFFを制御します。

注1. Apple FDDモード専用のコマンドです。

2. スタンダードFDDモード専用のコマンドです。

4.2 コマンド・セット

4.2.1 イニシャライズ系

(1) SPECIFY

Phase	R/W	D7	D6	D5	D4	D3	D2	D1	D0
C-Phase	W	0	0	0	0	0	0	1	1
	W	SRT				HUT			
	W	HLT							ND

(2) CONFIGURE

Phase	R/W	D7	D6	D5	D4	D3	D2	D1	D0
C-Phase	W	0	0	0	1	0	0	1	1
	W	0	0	0	0	0	0	0	0
	W	0	EIS	EFO	POL	FIFOTHR			
	W	PRETRK							

(3) PERPENDICULAR MODE

Phase	R/W	D7	D6	D5	D4	D3	D2	D1	D0
C-Phase	W	0	0	0	1	0	0	1	0
	W	×	×	×	×	×	×	D1	D0

(4) SELECT DRIVE TYPE

Phase	R/W	D7	D6	D5	D4	D3	D2	D1	D0
C-Phase	W	0	0	1	1	0	0	1	0
	W	×	×	×	×	×	×	D1	D0

(5) SET DRIVE MODE

Apple FDDモード専用

Phase	R/W	D7	D6	D5	D4	D3	D2	D1	D0
C-Phase	W	0	MF	0	1	1	1	0	0
	W	×	×	×	×	×	×	×	DR

4.2.2 シーク系

(1) RECALIBRATE

Phase	R/W	D7	D6	D5	D4	D3	D2	D1	D0
C-Phase	W	0	0	0	0	0	1	1	1
	W	×	×	×	×	×	×	DR1	DR0
E-Phase	-	ステップ信号出力							

(2) SEEK

Phase	R/W	D7	D6	D5	D4	D3	D2	D1	D0
C-Phase	W	0	0	0	0	1	1	1	1
	W	×	×	×	×	×	×	DR1	DR0
	W	NCN							
E-Phase	-	ステップ信号出力							

(3) RELATIVE SEEK

スタンダードFDDモード専用

Phase	R/W	D7	D6	D5	D4	D3	D2	D1	D0
C-Phase	W	1	DIR	0	0	1	1	1	1
	W	×	×	×	×	×	HD	DR1	DR0
	W	Relative Cylinder Number							
E-Phase	-	ステップ信号出力							

4.2.3 リード系

(1) READ DATA

Phase	R/W	D7	D6	D5	D4	D3	D2	D1	D0
C-Phase	W	MT	MF	SK/TB	0	0	1	1	0
	W	x	x	x	x	x	HD	DR1	DR0
	W	C							
	W	H							
	W	R							
	W	N							
	W	EOT							
	W	GSL(MFM)/Don't Care(GCR)							
	W	DTL							
E-Phase	-	データ転送 FDD→FDC							
R-Phase	R	ST0							
	R	ST1							
	R	ST2							
	R	C							
	R	H							
	R	R							
	R	N							

(2) READ DELETED DATA

スタンダードFDDモード専用

Phase	R/W	D7	D6	D5	D4	D3	D2	D1	D0
C-Phase	W	MT	MF	SK	0	1	1	0	0
	W	x	x	x	x	x	HD	DR1	DR0
	W	C							
	W	H							
	W	R							
	W	N							
	W	EOT							
	W	GSL							
	W	DTL							
E-Phase	-	データ転送 FDD→FDC							
R-Phase	R	ST0							
	R	ST1							
	R	ST2							
	R	C							
	R	H							
	R	R							
	R	N							

(3) READ ID

Phase	R/W	D7	D6	D5	D4	D3	D2	D1	D0
C-Phase	W	0	MF	0	0	1	0	1	0
	W	x	x	x	x	x	HD	DR1	DRO
E-Phase	-	最初にリードしたIDをストア							
R-Phase	R	ST0							
	R	ST1							
	R	ST2							
	R	C							
	R	H							
	R	R							
	R	N							

(4) READ A TRACK

Phase	R/W	D7	D6	D5	D4	D3	D2	D1	D0
C-Phase	W	0	MF	0/TB	0	0	0	1	0
	W	x	x	x	x	x	HD	DR1	DRO
	W	C							
	W	H							
	W	R							
	W	N							
	W	EOT							
	W	GSL (MFM)/Don't Care (GCR)							
	W	DTL							
E-Phase	-	データ転送 FDD→FDC							
R-Phase	R	ST0							
	R	ST1							
	R	ST2							
	R	C							
	R	H							
	R	R							
	R	N							

(5) VERIFY

スタンダードFDDモード専用

Phase	R/W	D7	D6	D5	D4	D3	D2	D1	D0
C-Phase	W	MT	MF	SK	1	0	1	1	0
	W	EC	×	×	×	×	HD	DR1	DRO
	W	C							
	W	H							
	W	R							
	W	N							
	W	EOT							
	W	GSL							
	W	DTL/SC							
E-Phase	-	データ転送 FDD→FDC							
R-Phase	R	ST0							
	R	ST1							
	R	ST2							
	R	C							
	R	H							
	R	R							
	R	N							

(6) SCAN EQUAL

スタンダードFDDモード専用

Phase	R/W	D7	D6	D5	D4	D3	D2	D1	D0
C-Phase	W	MT	MF	SK	1	0	0	0	1
	W	×	×	×	×	×	HD	DR1	DRO
	W	C							
	W	H							
	W	R							
	W	N							
	W	EOT							
	W	GSL							
	W	STP							
E-Phase	-	データ転送 FDD→FDC							
R-Phase	R	ST0							
	R	ST1							
	R	ST2							
	R	C							
	R	H							
	R	R							
	R	N							

(7) SCAN HIGH OR EQUAL

スタンダードFDDモード専用

Phase	R/W	D7	D6	D5	D4	D3	D2	D1	D0
C-Phase	W	MT	MF	SK	1	1	1	0	1
	W	×	×	×	×	×	HD	DR1	DRO
	W	C							
	W	H							
	W	R							
	W	N							
	W	EOT							
	W	GSL							
W	STP								
E-Phase	-	データ転送 FDD→FDC							
R-Phase	R	ST0							
	R	ST1							
	R	ST2							
	R	C							
	R	H							
	R	R							
	R	N							

(8) SCAN LOW OR EQUAL

スタンダードFDDモード専用

Phase	R/W	D7	D6	D5	D4	D3	D2	D1	D0
C-Phase	W	MT	MF	SK	1	1	0	0	1
	W	×	×	×	×	×	HD	DR1	DRO
	W	C							
	W	H							
	W	R							
	W	N							
	W	EOT							
	W	GSL							
W	STP								
E-Phase	-	データ転送 FDD→FDC							
R-Phase	R	ST0							
	R	ST1							
	R	ST2							
	R	C							
	R	H							
	R	R							
	R	N							

(9) RAW DUMP

Apple FDDモード専用

Phase	R/W	D7	D6	D5	D4	D3	D2	D1	D0
C-Phase	W	0	MF	0	1	1	1	1	0
	W	×	×	×	RDM		HD	DR1	DR0
	W	C							
	W	H							
	W	R							
	W	Sector Number							
	W	ダンプ・バイト数 (MSB)							
	W	ダンプ・バイト数 (LSB)							
E-Phase	-								
S-Phase	R	STRO							
	R	STR1							
	R	STR2							
	R	C							
	R	H							
	R	R							
	R	Number of data bytes							
	R	written							

4.2.4 ライト系

(1) FORMAT A TRACK

Phase	R/W	D7	D6	D5	D4	D3	D2	D1	D0
C-Phase	W	0	MF	0/TB	0	1	1	0	1
	W	x	x	x	x	x	HD	DR1	DR0
	W	N							
	W	SC							
	W	GPL(MFM)/SYNC GROUP(GCR)							
	W	D							
E-Phase	-	データ転送 FDC→FDD							
R-Phase	R	ST0							
	R	ST1							
	R	ST2							
	R	C							
	R	H							
	R	R							
	R	N							

(2) FORMAT/WRITE

Apple FDDモード専用

Phase	R/W	D7	D6	D5	D4	D3	D2	D1	D0
C-Phase	W	0	MF	0/TB	0	0	0	0	1
	W	x	x	x	x	x	HD	DR1	DR0
	W	N							
	W	SC							
	W	GPL(MFM)/SYNC GROUP(GCR)							
E-Phase	-	データ転送 FDC→FDD							
R-Phase	R	ST0							
	R	ST1							
	R	ST2							
	R	C							
	R	H							
	R	R							
	R	N							

(3) WRITE DATA

Phase	R/W	D7	D6	D5	D4	D3	D2	D1	D0
C-Phase	W	MT	MF	0/TB	0	0	1	0	1
	W	×	×	×	×	×	HD	DR1	DRO
	W	C							
	W	H							
	W	R							
	W	N							
	W	EOT							
	W	GSL(MFM)/Don't Care(GCR)							
	W	DTL							
E-Phase	-	データ転送 FDC→FDD							
R-Phase	R	ST0							
	R	ST1							
	R	ST2							
	R	C							
	R	H							
	R	R							
	R	N							

(4) WRITE DELETED DATA

スタンダードFDDモード専用

Phase	R/W	D7	D6	D5	D4	D3	D2	D1	D0
C-Phase	W	MT	MF	0	0	1	0	0	1
	W	×	×	×	×	×	HD	DR1	DRO
	W	C							
	W	H							
	W	R							
	W	N							
	W	EOT							
	W	GSL							
	W	DTL							
E-Phase	-	データ転送 FDC→FDD							
R-Phase	R	ST0							
	R	ST1							
	R	ST2							
	R	C							
	R	H							
	R	R							
	R	N							

4.2.5 センス系

(1) SENCE DRIVE STATUS

Phase	R/W	D7	D6	D5	D4	D3	D2	D1	D0
C-Phase	W	0	0	0	0	0	1	0	0
	W	×	×	×	×	×	HD	DR1	DR0
R-Phase	R	STR3							

(2) SENCE INTERRUPT STATUS

Phase	R/W	D7	D6	D5	D4	D3	D2	D1	D0
C-Phase	W	0	0	0	0	1	0	0	0
R-Phase	R	ST0							
	R	PCN							

4.2.6 その他

(1) DUMPREG

スタンダードFDDモード専用

Phase	R/W	D7	D6	D5	D4	D3	D2	D1	D0	
C-Phase	W	0	0	0	0	1	1	1	0	
R-Phase	R	PCN0								
	R	PCN1								
	R	PCN2								
	R	PCN3								
	R	SRT				HUT				
	R	HLT								ND
	R	EOT								
	R	reserved								
	R	0	EIS	EFO	POL	FIFOTHR				
	R	PRETRK								

(2) VERSION

スタンダードFDDモード専用

Phase	R/W	D7	D6	D5	D4	D3	D2	D1	D0
C-Phase	W	0	0	0	1	0	0	0	0
R-Phase	R	1	0	0	1	0	0	0	0

(3) REVISION

Phase	R/W	D7	D6	D5	D4	D3	D2	D1	D0
C-Phase	W	0	0	1	0	0	0	0	0
R-Phase	R	D7	D6	D5	D4	D3	D2	D1	D0
	R	D7	D6	D5	D4	D3	D2	D1	D0

(4) INVALID

Phase	R/W	D7	D6	D5	D4	D3	D2	D1	D0
C-Phase	W	未定義コマンド発行							
R-Phase	R	1	0	0	0	0	0	0	0

(5) DISABLE/ENABLE PLL

Apple FDDモード専用

Phase	R/W	D7	D6	D5	D4	D3	D2	D1	D0
C-Phase	W	DL	0	0	0	1	0	1	1
	W	×	×	×	×	×	×	×	DR

(6) EJECT DISK

Apple FDDモード専用

Phase	R/W	D7	D6	D5	D4	D3	D2	D1	D0
C-Phase	W	0	1	0	1	0	0	1	0
	W	×	×	×	×	×	×	×	DR

(7) SET ENABLE CONTROL

Apple FDDモード専用

Phase	R/W	D7	D6	D5	D4	D3	D2	D1	D0
C-Phase	W	EN	0	0	1	1	0	1	1
	W	×	×	×	×	×	×	×	DR

(8) SET MOTOR CONTROL

Apple FDDモード専用

Phase	R/W	D7	D6	D5	D4	D3	D2	D1	D0
C-Phase	W	MO	0	0	1	1	0	1	0
	W	×	×	×	×	×	×	×	DR

5. 電気的特性

絶対最大定格 ($T_A=25^{\circ}\text{C}$)

項 目	略号	条 件	定 格
全端子電源		V_{DD} 端子を除く	$-0.5 \sim V_{DD} + 0.5$
電源電圧	V_{DD}	V_{DD} 端子	$-0.5 \sim +7.0$
動作周囲温度	T_A		$-10 \sim +70$
保存温度	T_{stg}		$-65 \sim +150$

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

容量特性 ($T_A=25^{\circ}\text{C}$; $V_{DD}=0\text{V}$; 1MHz)

項 目	略号	条 件	MIN.	MAX.	単位
クロック容量	C_{ϕ}	被測定端子以外は0V		20	pF
入力容量	C_{IN}			20	pF
出力容量	C_{OUT}			20	pF

DC特性 ($T_A = -10^{\circ}\text{C} \sim +70^{\circ}\text{C}$, $V_{DD} = +5.0\text{V} \pm 10\%$)

項目	略号	条件	MIN.	MAX.	単位
ロウ・レベル入力電圧	V_{IL}	XA1以外	-0.5	+0.8	V
	V_{IL1}	XA1	-0.5	$0.2 V_{DD}$	V
ハイ・レベル入力電圧	V_{IH}	XA1以外	2.2	$V_{DD} + 0.5$	V
	V_{IH1}	XA1	$0.8 V_{DD}$	$V_{DD} + 0.5$	V
ロウ・レベル出力電圧	V_{OL}	$I_{OL} = 12\text{mA}$ (DB0-DB7, DMARQ, INT, TDO)		0.45	V
	V_{OL1}	$I_{OL} = 48\text{mA}$ (上記以外の端子に適用)		0.45	V
ハイ・レベル出力電圧	V_{OH}	$I_{OH} = -0.4\text{mA}$ (DB0-DB7, DMARQ, INT, TDO)	3.0	V_{DD}	V
入力リーク電流	I_{IL}	$V_{IN} = V_{DD}$		+10	μA
		$V_{IN} = 0\text{V}$		-10	μA
出力リーク電流	I_{OL}	$V_{OUT} = V_{DD}$, HOST I/F		+10	μA
		$V_{OUT} = 0.45\text{V}$, HOST I/F		-10	μA
		$V_{OUT} = V_{DD}$, FDD I/F		+100	μA
		$V_{OUT} = 0.45\text{V}$, FDD I/F		-100	μA
V_{DD} 電源電流	I_{DD}			40	mA
スタンバイ電源電流	I_{DDs}			100	μA

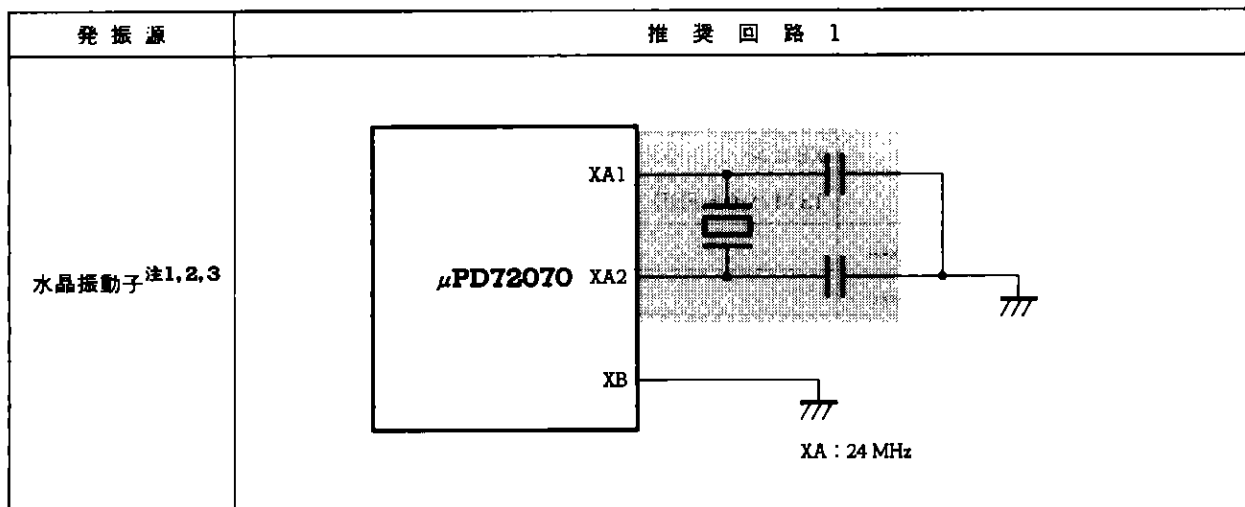
注意 FDDのすべてのインタフェース出力は、オープン・ドレイン出力です。PC-ATモード、DMARQ、INT出力は、3ステート出力になります。

発振特性 ($T_A = -10^{\circ}\text{C} \sim +70^{\circ}\text{C}$, $V_{DD} = +5\text{V} \pm 10\%$)

(a) 水晶振動子を接続する場合

項目	略号	条件	MIN.	TYP.	MAX.	単位
水晶振動子発振周期	t_{CYA}	XA1, XA2		41.66 (24 MHz)		ns
水晶振動子発振周期許容誤差					±0.5	%
発信器安定時間	t_{KS}		10			ms
スタンバイ・リカバリ・タイム			5.5			ms

推奨回路



注1. 発振回路はXA1, XA2端子にできるだけ近づけてください。

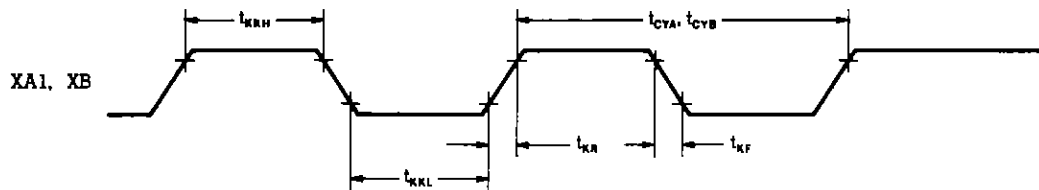
2. $\frac{1}{2}$ の範囲にほかの信号線を通さないでください。

3. $C = 15 \sim 22$ pF程度

注意 容量Cの値は、使用する水晶振動子の種類、基板容量、配線長などにより異なるため、発振評価を行なってください。

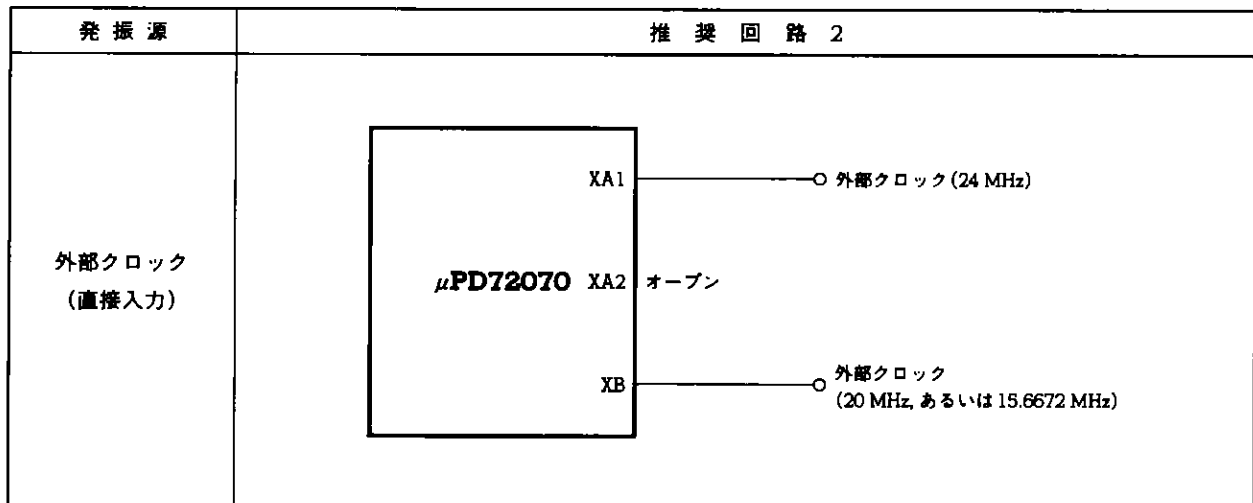
(b) 外部クロックを入力する場合

[外部クロック]



項目	略号	条件	MIN.	TYP.	MAX.	単位
クロック周期	t_{CYA}	XA1ピン	41.46	41.66 (24 MHz)	41.87	ns
	t_{CYB}	XBピン GCR FDD	63.42	63.82 (15.6672 MHz)	64.42	ns
		XBピン 13 Mバイト FDD	49.75	50.00 (20 MHz)	50.25	ns
クロック・ハイ・レベル幅	t_{KKH}		12			ns
クロック・ロウ・レベル幅	t_{KKL}		12			ns
クロック立ち上がり時間	t_{KR}				10	ns
クロック立ち下がり時間	t_{KF}				10	ns

推奨回路

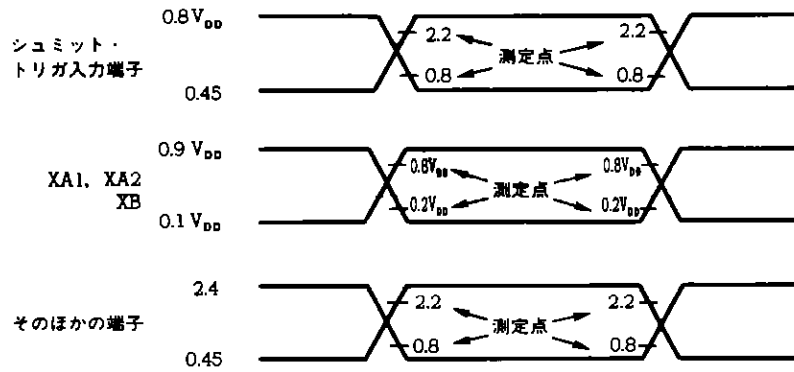


AC特性 ($T_A = -10^{\circ}\text{C} \sim +70^{\circ}\text{C}$, $V_{DD} = +5\text{V} \pm 10\%$)

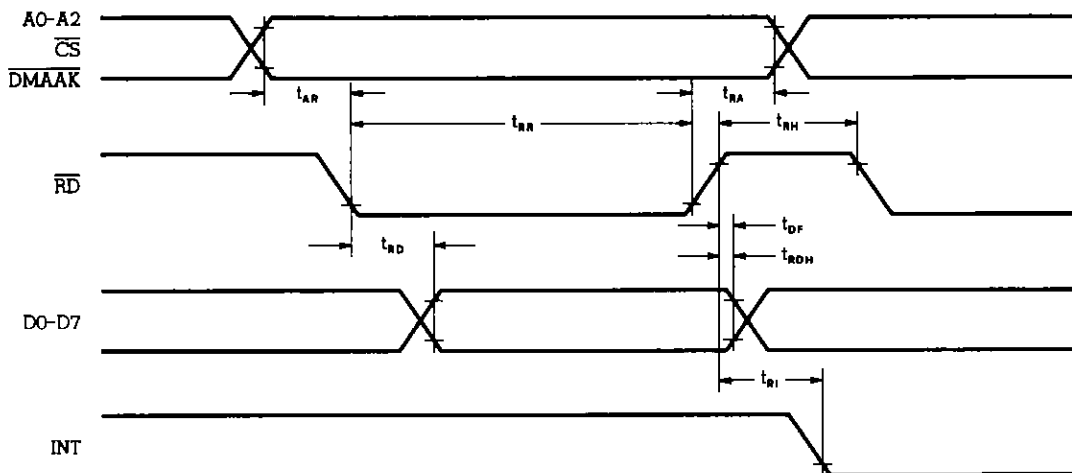
[AC測定点]

AC試験用データ入出力波形

出力負荷条件: 1TTL + 100 pF

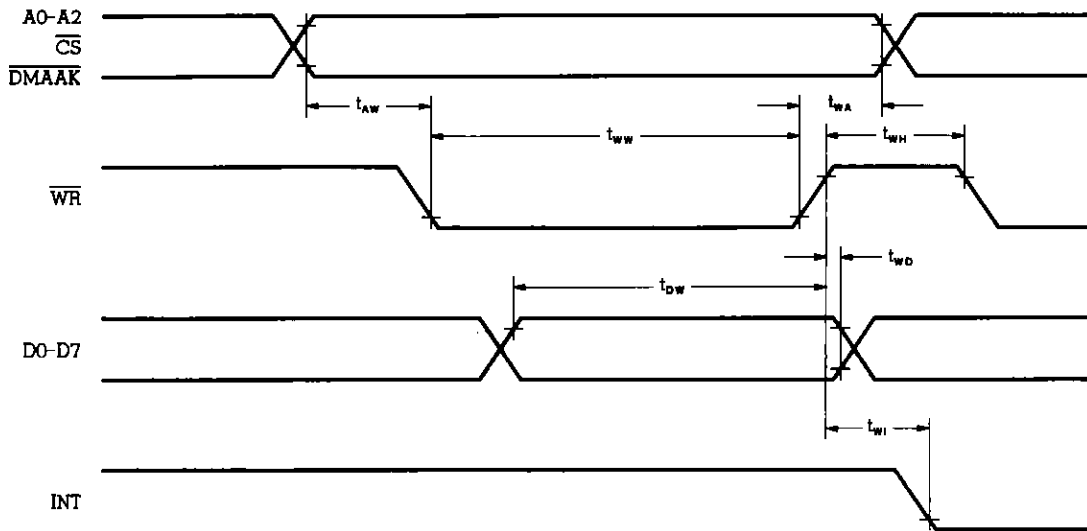


[ホスト・リード・タイミング]



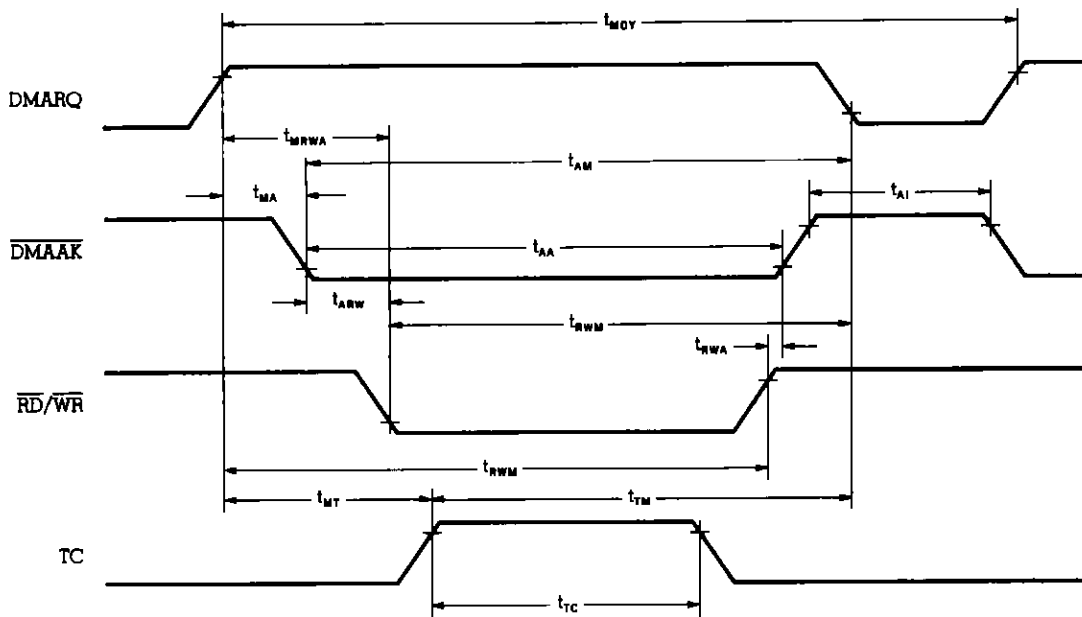
項目	略号	条件	MIN.	MAX.	単位
AO-A2, \overline{CS} , \overline{DMAAK} セット時間 (対 \overline{RD})	t_{AR}		5		ns
AO-A2, \overline{CS} , \overline{DMAAK} ホールド時間 (対 \overline{RD})	t_{RA}		5		ns
リード・パルス幅	t_{RR}		50		ns
$\overline{RD} \downarrow \rightarrow$ データ・アクセス時間	t_{RD}			40	ns
$\overline{RD} \uparrow \rightarrow$ データ・フロート時間	t_{DF}			50	ns
$\overline{RD} \uparrow \rightarrow$ データ・ホールド時間	t_{RDH}		5		ns
$\overline{RD} \uparrow$ パルス幅	t_{RH}		50		ns
$\overline{RD} \uparrow \rightarrow$ INT \downarrow 遅延時間	t_{RI}			50	ns

[ホスト・ライト・タイミング]



項目	略号	条件	MIN.	MAX.	単位
A0-A2, \overline{CS} , \overline{DMAAK} セット時間 (対 \overline{WR})	t_{AW}		5		ns
A0-A2, \overline{CS} , \overline{DMAAK} ホールド時間 (対 \overline{WR})	t_{WA}		5		ns
ライト・パルス幅	t_{WW}		50		ns
データ・セット時間 (対 \overline{WR})	t_{Dw}		50		ns
データ・ホールド時間 (対 \overline{WR})	t_{Dd}		5		ns
\overline{WR} ↑ パルス幅	t_{WH}		50		ns
\overline{WR} ↑ → INT ↓ 遅延時間	t_{WI}			50	ns

[DMA タイミング]



項目	略号	条件	MIN.	MAX.	単位
DMARQ サイクル時間	t _{Mcy}	注1	8/DTR		μs
DMAAK ↓ → DMARQ ↓ 遅延時間	t _{AM}			50	ns
RD/WR ↓ → DMARQ ↓ 遅延時間	t _{RWM}			50	ns
DMAAK セットアップ時間 (対 RD/WR)	t _{ARW}		5		ns
DMAAK ホールド時間 (対 RD/WR)	t _{RWA}		5		ns
DMARQ ↑ → RD/WR ↓ 応答時間	t _{MRWA}		0		ns
TC バルス幅	t _{TC}		50		ns
TC ↑ → DMARQ ↓ 応答時間	t _{TM}			50	ns
DMAAK バルス幅	t _{AA}		50		ns
DMAAK ↑ バルス幅	t _{AI}		50		ns
DMARQ ↑ → DMAAK ↓ 応答時間	t _{MA}		0		ns
DMARQ ↑ → RD/WR ↑ 応答時間	t _{MRW}	注2		6.5/DTR	μs
DMARQ ↑ → TC ↑ 応答時間	t _{MT}	注2		6.5/DTR	μs

注1. DTRはデータ転送レートを示します。

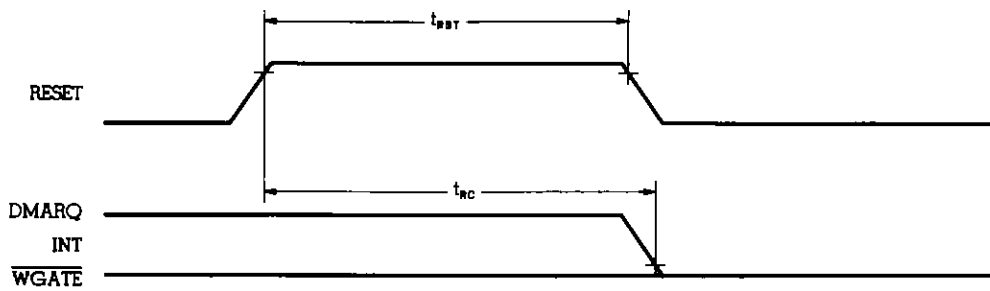
例 データ転送レート500 Kbpsのとき、DMARQサイクル時間は次のようになります。

$$t_{AW} = 8/DTR = 8/500,000 = 16 \mu s$$

2. DTRは、データ転送レート (Data Transfer Rate) を示します。6.5/DTRは、FIFOを使用しない場合のオーバーラン・エラー時間を示しています。FIFOを使用する場合には、オーバーラン・エラー時間は次のようになります。

$$\text{FIFO スレッシュホールド値} (FIFO_{THR} + 1) \times 8/DTR - 12 \times \text{内部クロック周期} (0.125 \mu s)$$

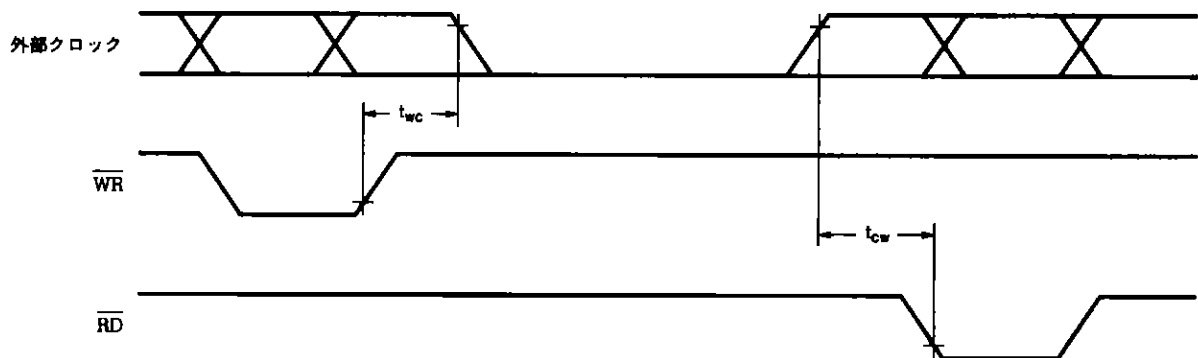
[リセット・タイミング]



項目	略号	条件	MIN.	MAX.	単位
RESETパルス幅	t_{RST}	注		100	ns
RESET制御時間	t_{RC}			2	μs

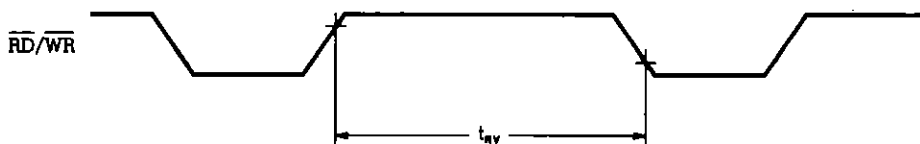
注 ソフトウェア・リセットコマンド発行後の待ち時間、およびデジタル・アウトプット・レジスタ (DOR) の \overline{FDCEN} ビットをアクティブにしている時間もこれに準じています。

[スタンバイ・タイミング]



項目	略号	条件	MIN.	MAX.	単位
スタンバイ時クロック・ホールド時間	t_{wc}		24		t_{cYA}
スタンバイ解除時クロック・セット時間	t_{cw}		24		t_{cYA}

[コマンド・リカバリ・タイム]

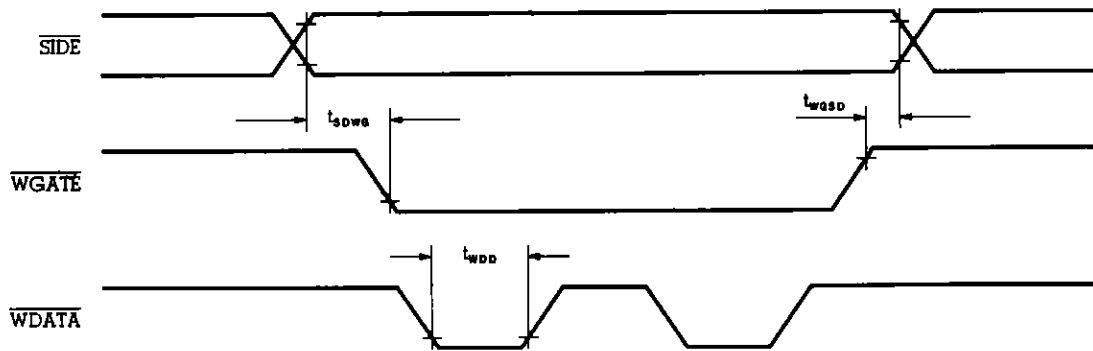


項目	略号	条件	MIN.	MAX.	単位
コマンド・リカバリ・タイム	t_{RV}		100		ns

注意 コマンド、パラメータのライトおよびリザルト・ステータスのリードは、必ずステータス・レジスタの値をチェックしてから行ってください。

(a) スタンダードFDDインタフェース

[ライト・データ・タイミング]



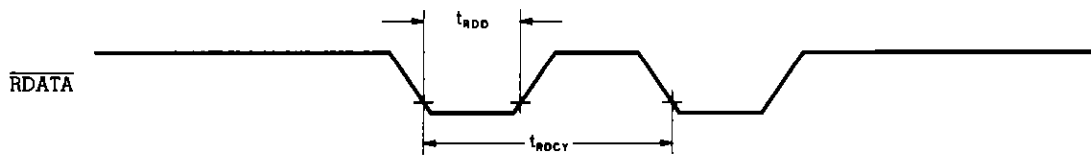
項 目	略号	条 件	MIN.	MAX.	単位
WDATAパルス幅	t_{wdd}	注	0.125/DTR		s
SIDEセット時間 (対WGATE)	t_{sowa}		100		μs
SIDEホールド時間 (対WGATE)	t_{wsd}		750		μs

注 DTRは、データ転送レート (Data Transfer Rate) を示します。

例 データ転送レート500 Kbpsのとき、WDATAパルス幅は次のようになります。

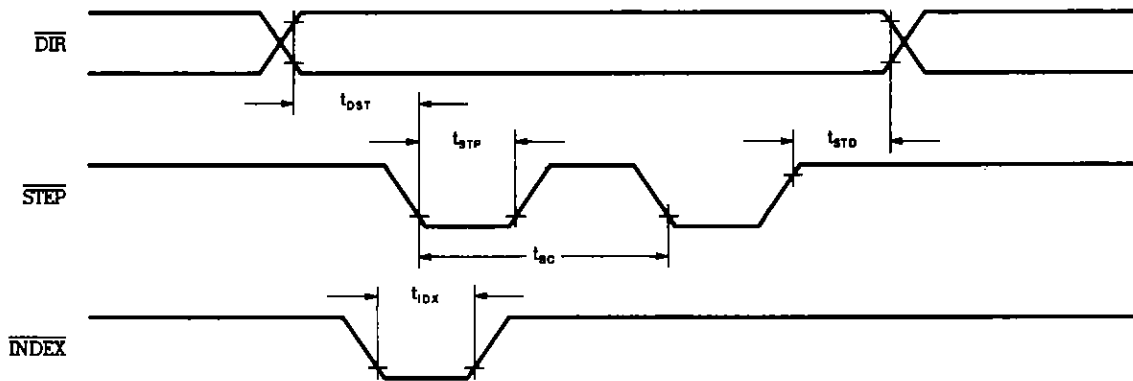
$$t_{wdd} = 0.125/DTR = 0.125/500,000 = 250 \text{ ns}$$

[リード・データ・タイミング]



項目	略号	条件	MIN.	MAX.	単位
\overline{RDATA} パルス幅	t_{RDD}		50		ns
\overline{RDATA} サイクル時間	t_{RDCY}	1.25 Mbit/s		800	ns

[コントロール・タイミング]



項目	略号	条件	MIN.	MAX.	単位
\overline{DIR} セット時間 (対 \overline{STEP})	t_{DST}	注	0.5/DTR		s
\overline{DIR} ホールド時間 (対 \overline{STEP})	t_{STO}	注	12/DTR		s
\overline{STEP} パルス幅	t_{STP}	注	3/DTR		s
\overline{STEP} サイクル時間	t_{SC}	注	500/DTR		s
\overline{INDEX} パルス幅	t_{IDX}		100		ns

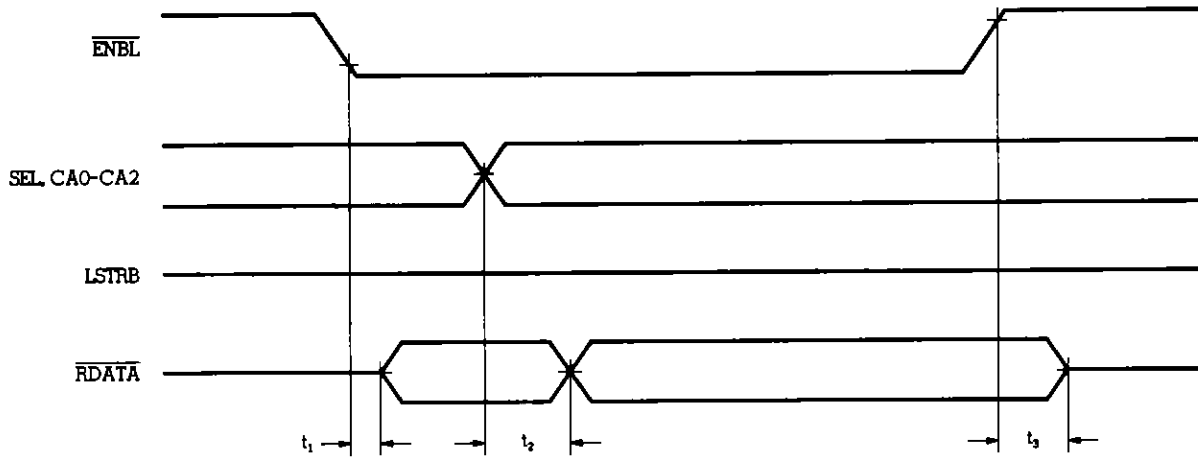
注 DTRは、データ転送レート (Data Transfer Rate) を示します。

例 データ転送レート500 Kbpsのとき、 \overline{STEP} サイクル時間は次のようになります。

$$t_{SC} = 500/DTR = 500/500,000 = 1 \text{ ms}$$

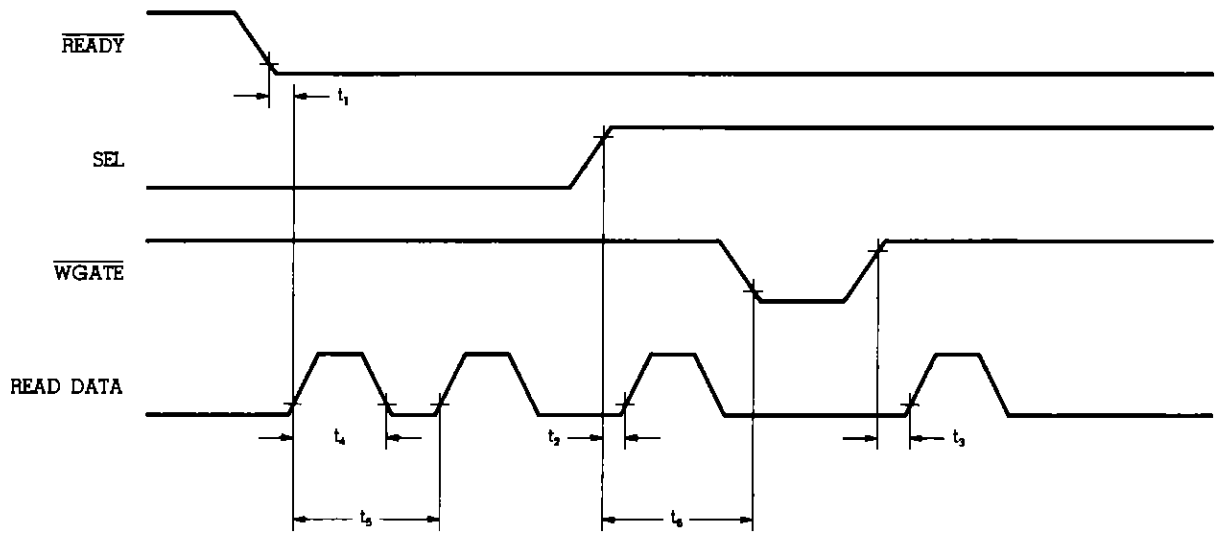
(b) Apple FDDインタフェース

[ドライブ・ステータス・リード・タイミング]



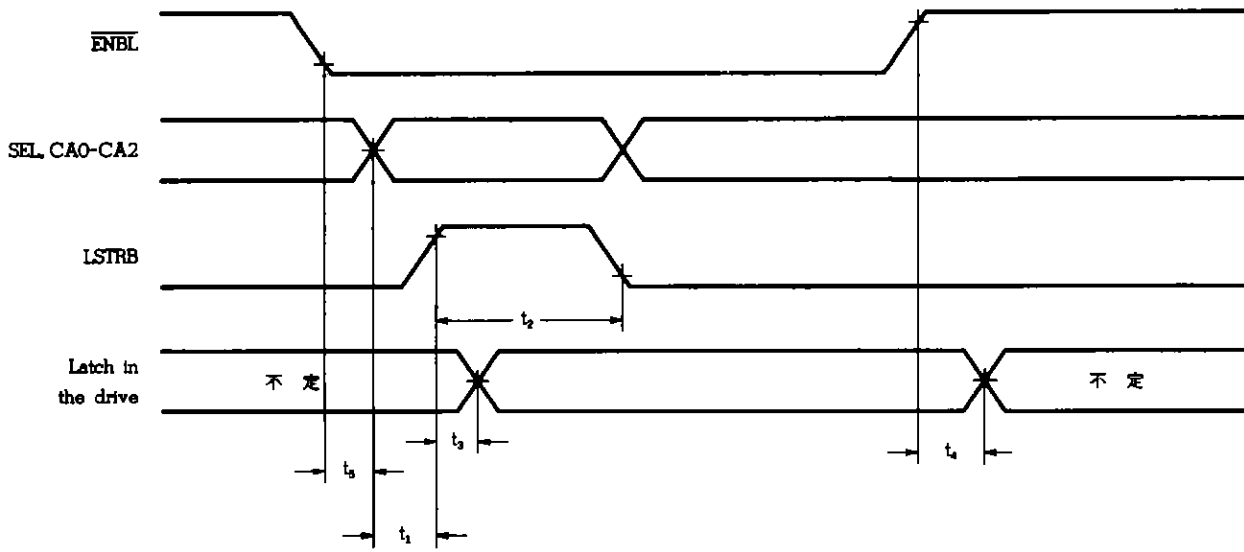
t	MIN.	MAX.	単位
t ₁		0.5	μs
t ₂		0.5	μs
t ₃		0.5	μs

[RDATA リード・タイミング]



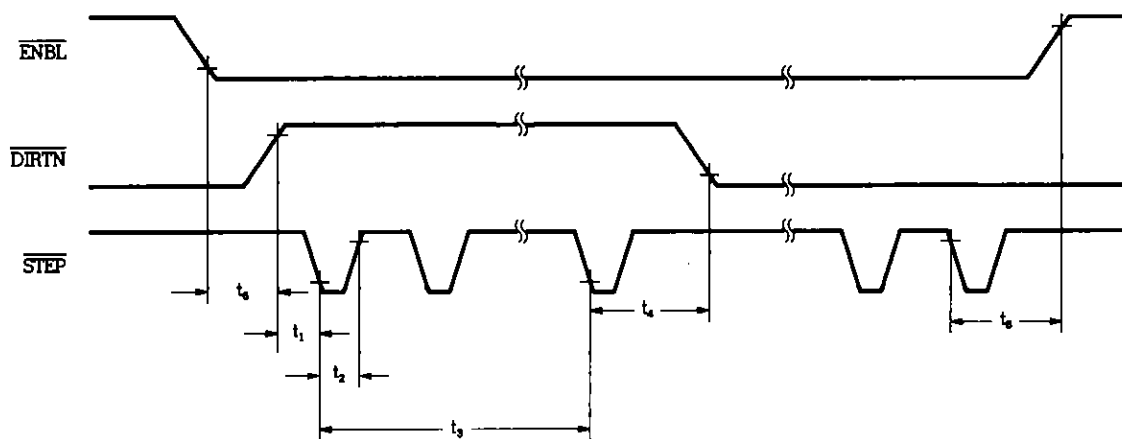
モード	t	MIN.	TYP.	MAX.	単位
GCR	t_1			0.5	μs
	t_2			100	μs
	t_3			190	μs
	t_4	0.15		0.8	μs
	t_5		2, 4, 6		μs
	t_6	100			μs
MFM 1MB	t_1			0.5	μs
	t_2			100	μs
	t_3			190	μs
	t_4	0.15		0.8	μs
	t_5		2, 3, 4		μs
	t_6	100			μs
MFM 2MB	t_1			0.5	μs
	t_2			100	μs
	t_3			340	μs
	t_4	0.15		0.8	μs
	t_5		2, 3, 4		μs
	t_6	100			μs
MFM 4MB	t_1			0.5	μs
	t_2			100	μs
	t_3			340	μs
	t_4	0.15		0.8	μs
	t_5		1, 1.5, 2		μs
	t_6	100			μs

[コントロール・コマンド送信タイミング]



t	MIN.	TYP.	MAX.	単位
t ₁	0.5			μs
t ₂	1.0			μs
t ₃			1.0	μs
t ₄			0.5	μs
t ₅	0.5			μs

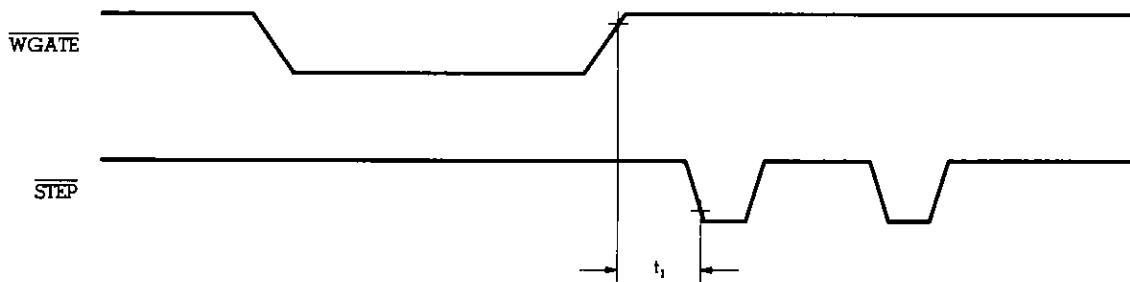
[STEPとDIRTN タイミング]



t	MIN.	TYP.	MAX.	単位
t ₁	1.0			μs
t ₂	0.5			μs
t ₃	72			μs
t ₄	注			
t ₅	37			μs
t ₆	0.5			μs

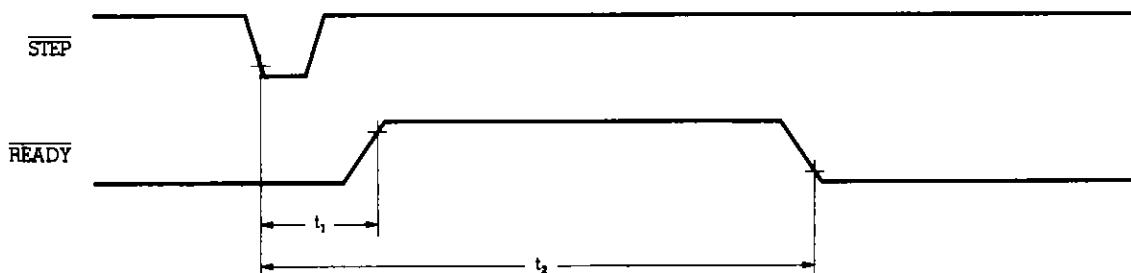
注 ヘッドを移動、またはヘッドをセットの間、DIRTNの変化は示しません。

[STEPとWGATE タイミング]



モード	t	MIN.	TYP.	単位
GCR	t ₁	190		μs
MFM	t ₁ (1 MB)	190		μs
	t ₁ (2 MB)	340		μs
	t ₁ (4 MB)	340		μs

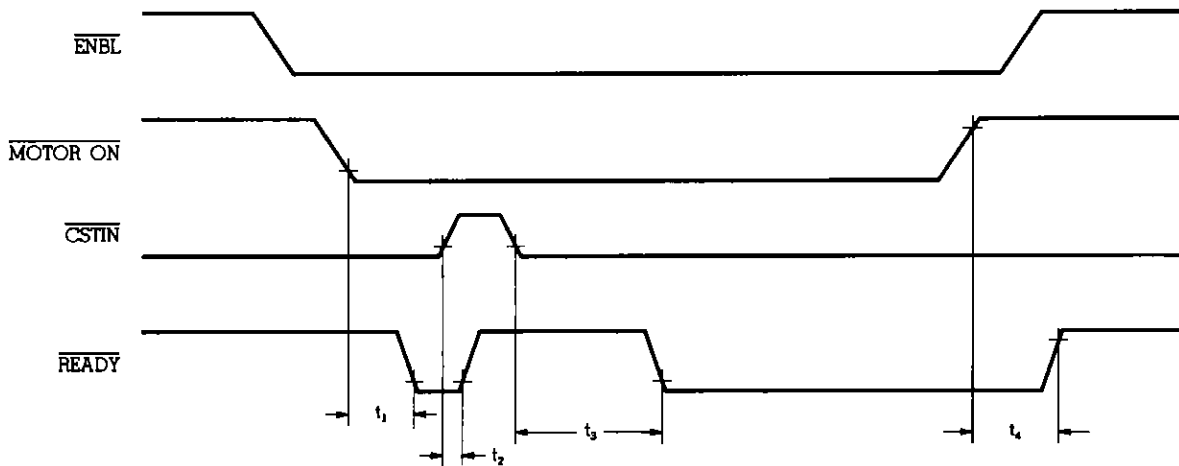
[トラック・アクセス・レディ・タイミング]



t	MIN.	TYP.	MAX.	単位
t ₁			150	μs
t ₂			18 ^{注1}	ms
			250 ^{注2}	ms
			800 ^{注3}	ms

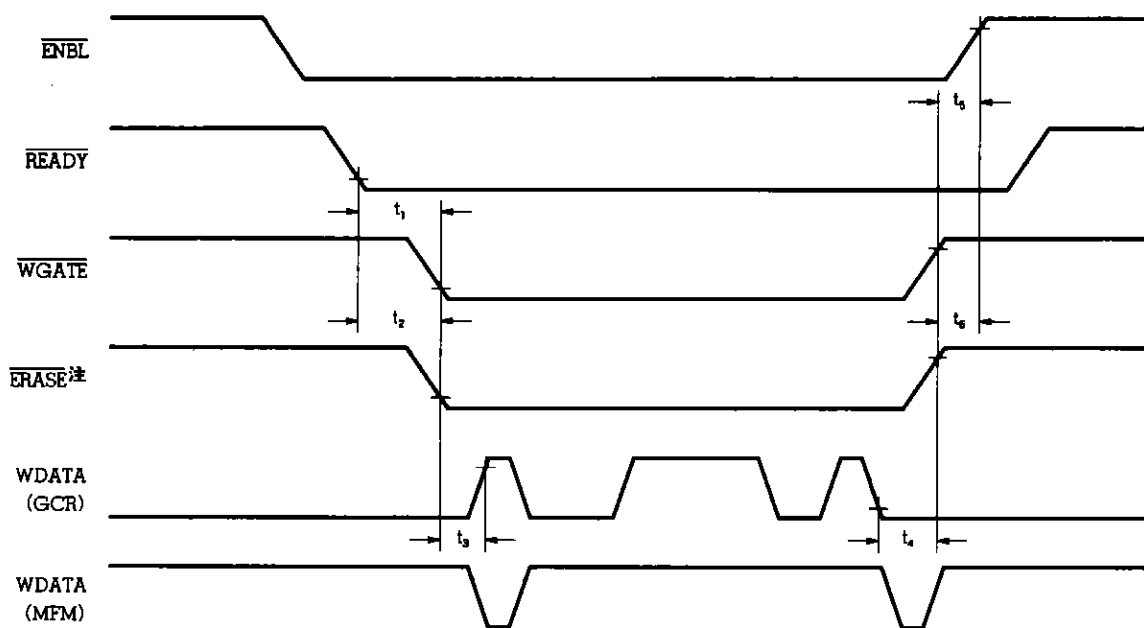
- 注1. スピード・ブロック・チェンジなしの1トラック移動
- 2. スピード・ブロック・チェンジのときの1トラック移動 (GCRモード)
- 3. スペック・パルスが最大値で送られた場合

[モータ・オン/ディスク・イン・レディ・タイミング]



t	MIN.	TYP.	MAX.	単位
t ₁			600	ms
t ₂			0.5	μs
t ₃			1.0	s
t ₄			5	μs

[WGATE, WDATA と ERASE タイミング]



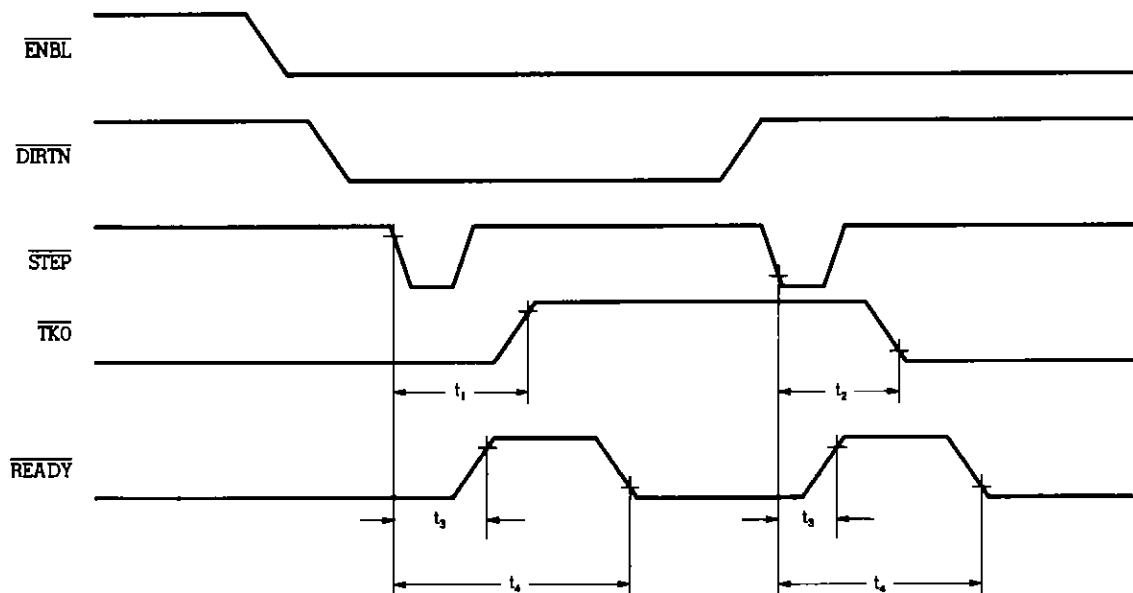
注 ドライブの内部信号です。

モード	t	MIN.	TYP.	MAX.	単位	
GCR	t ₁	0.5 ^{注1}			μs	
		600 ^{注2}			ms	
	t ₂	0.5 ^{注1}			μs	
		600 ^{注2}			ms	
	t ₃	1.8			μs	
	t ₄	2			μs	
	t ₅	0.5			μs	
	t ₆	0.5			μs	
MFM	t ₁	0.5 ^{注1}			μs	
		600 ^{注2}			ms	
	t ₂	0.5 ^{注1}			μs	
		600 ^{注2}			ms	
		t ₃	4			μs
		t ₄	2			μs
		t ₅	0.5			μs
		t ₆	0.5			μs

注1. ステッピング後

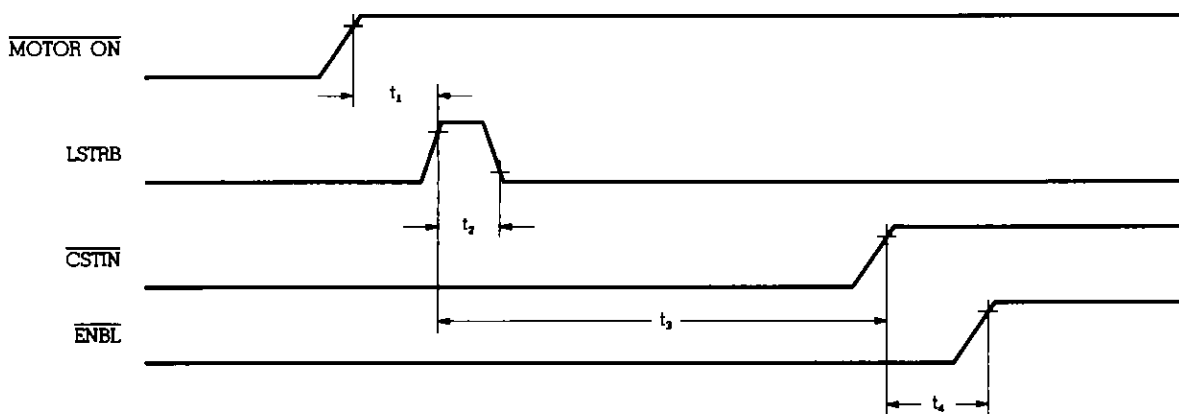
2. モータ・オン後

[TKO タイミング]



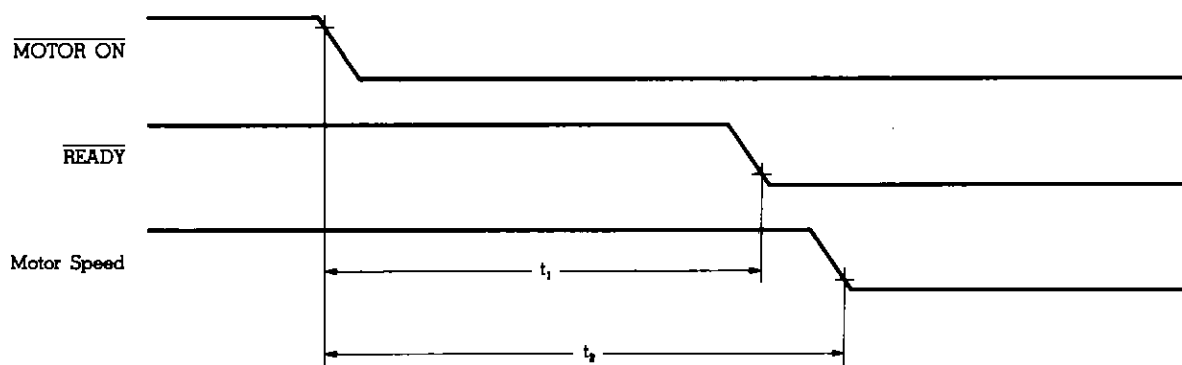
t	MIN.	TYP.	MAX.	単位
t ₁			3.0	ms
t ₂			3.0	ms
t ₃			150	μs
t ₄			18	ms

[CSTIN と MOTOR ON タイミング]



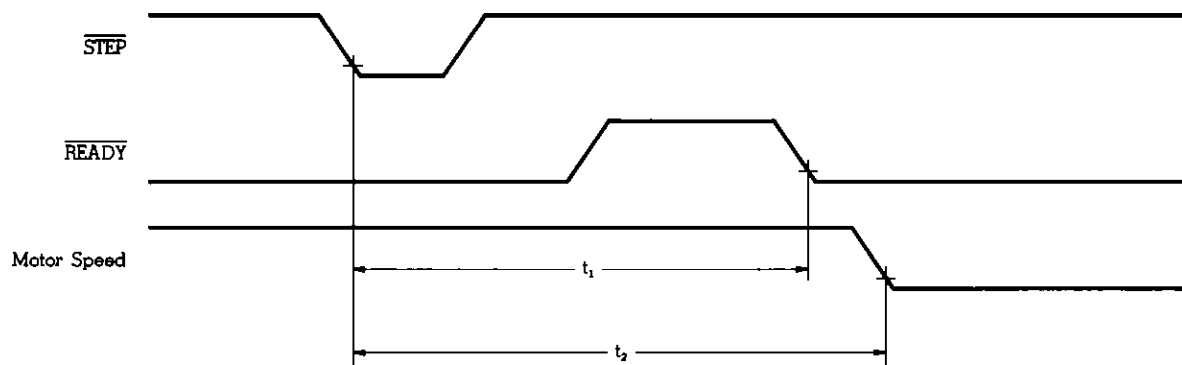
t	MIN.	TYP.	MAX.	単位
t ₁	200			ms
t ₂	1.0			μs
t ₃			1.5	s
t ₄	150			μs

[モータ・スタート・タイミング]



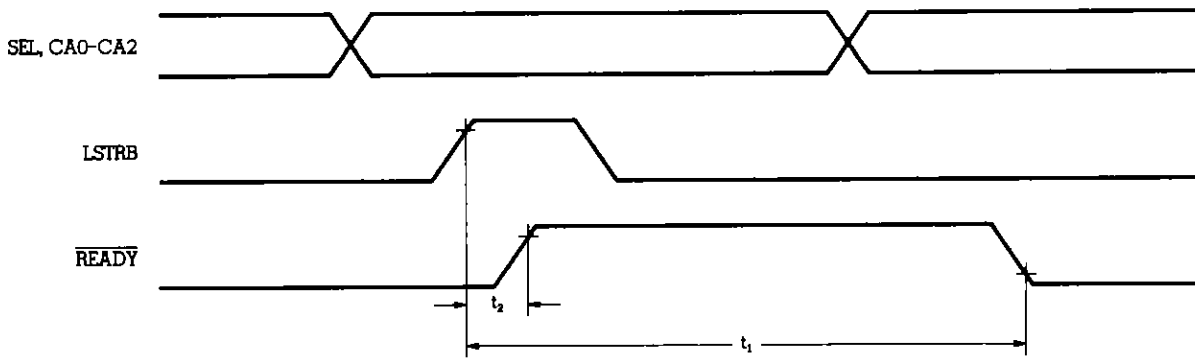
t	MIN.	TYP.	MAX.	単位
t ₁			600	ms
t ₂			1	s

[スピード・ゾーン・バウンダリ・クロッシング, モータ・スピード・セッティング・タイミング]



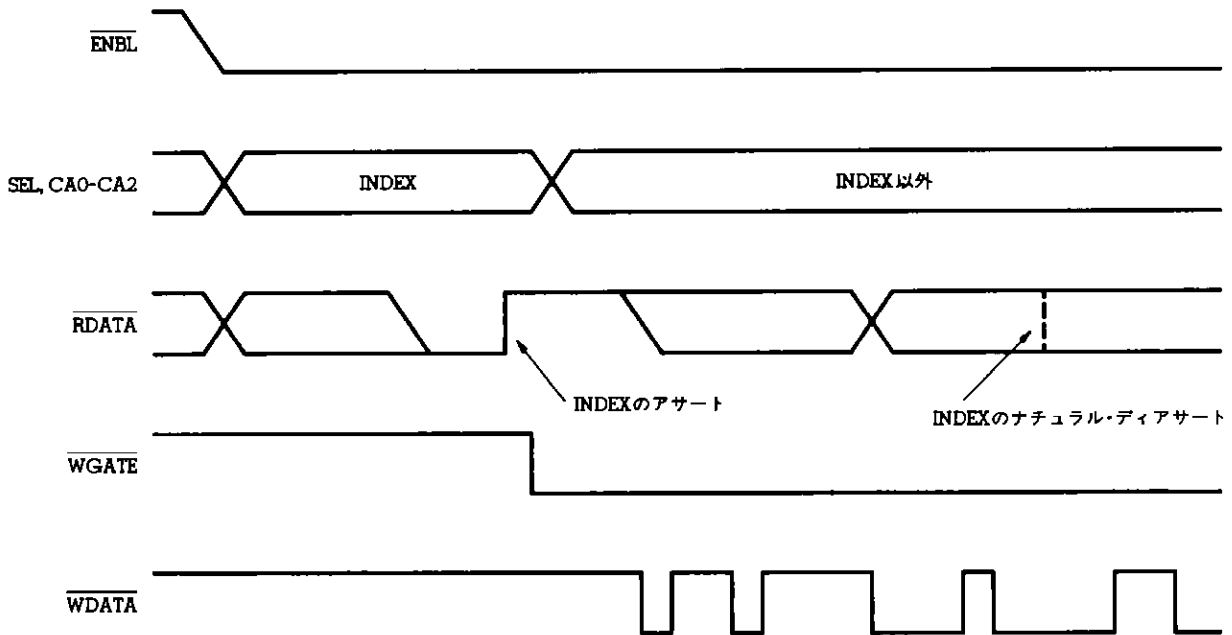
t	MIN.	TYP.	MAX.	単位
t ₁			200	ms
t ₂			250	ms

[モード切り替えレディ・タイミング (From MFM to GCR or vice-versa)]



t	MIN.	TYP.	MAX.	単位
t ₁			800	ms
t ₂			20	ms

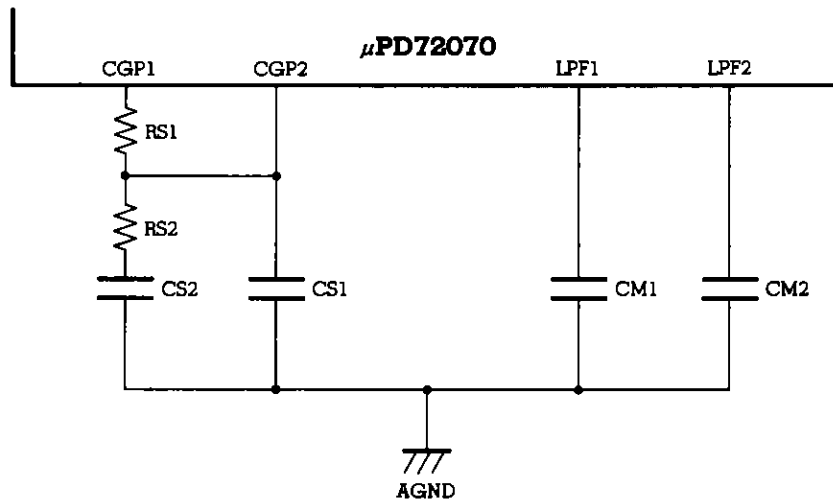
[データ・ライト時のインデックス特異条件]



[アナログVFO特性] ($T_A = -10^\circ\text{C} \sim +70^\circ\text{C}$, $V_{DD} = +5\text{V} \pm 10\%$)

($T_A = -10^\circ\text{C} \sim +55^\circ\text{C}$, $V_{DD} = +5\text{V} \pm 5\%$ [20 MHz動作時])

項目	略号	MIN.	TYP.	MAX.	単位
VCOフリー・ラン周波数	f_T	3.9	4	4.1	MHz
フリー・ラン周波数電源変動	f_{TUDD}	-0.1	0	+0.1	%/V
フリー・ラン周波数温度変動	f_{TTA}	-10	0	+10	ppm/°C
キャプチャ・レンジ	f_{CTB}	± 7.5			%
ロック・レンジ	f_{CTA}	± 10.0			%
キャプチャ・レンジ電源変動	f_{CTVD}	-5	0	+5	%/V
ロック・レンジ温度変動	f_{CTTA}	-5	0	+5	ppm/°C
VCOジッタ	t_{JIT}			20	ns
ピーク・シフト・マージン	t_{PFTM}		70		%
プルイン・タイム	t_{PLIN}			20	bit



備考1. 抵抗 (誤差±5%以下, 1/8 W程度)

: $RS1 = 6.8\text{ k}\Omega$, $RS2 = 1.0\text{ k}\Omega$

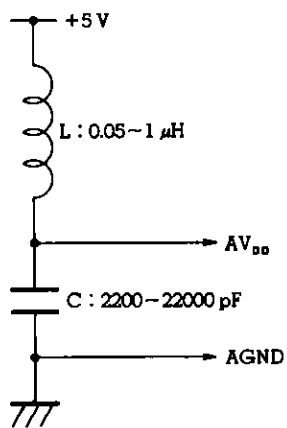
2. コンデンサ (誤差±20%以下, セラミック・コンデンサ): $CS1 = 1800\text{ pF}$, $CS2 = 22000\text{ pF}$,

$CM1 = 4700\text{ pF}$, $CM2 = 68000\text{ pF}$

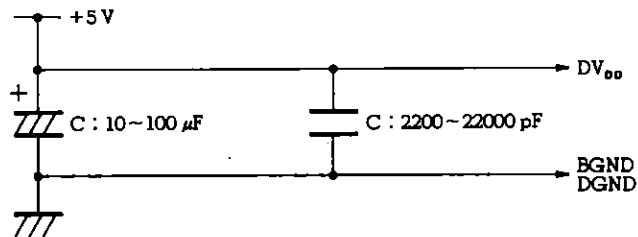
注意 アナログVFOフィルタ部品への雑音は、VFOの特性に影響を与えます。配線は極力短くし、ほかの配線との交差を避け、部品周辺をGNDで囲むなどの対処を行ってください。

電源フィルタ (参考回路)

アナログ系電源フィルタ



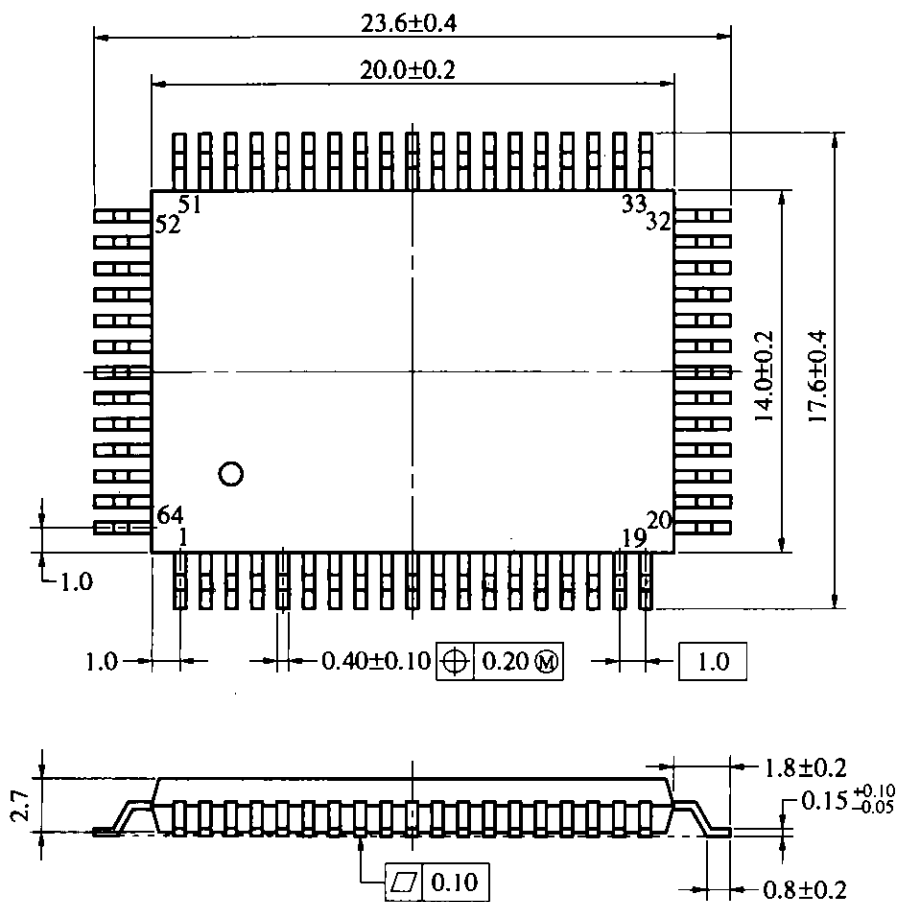
デジタル系電源フィルタ



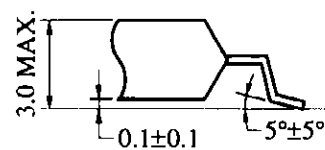
- 注意1. 電源の雑音は、VFOの性能に影響を与えます。特にアナログ系電源への雑音は、内部VCO回路の発振周波数を変動させ、ピーク・シフト・マージンを低下させます。
2. μPD72070を使用する装置によって電源への雑音が異なると考えられます。使用の際には、十分な評価を行ってください。

6. 外形図

64ピン・プラスチック QFP (14×20) 外形図 (単位: mm)



端子先端形状詳細図



P64GF-100-3B8,3BE,3BR-2

7. 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の詳細は、インフォメーション資料「半導体デバイス実装マニュアル」(C10535J)を参照してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、販売員にご相談ください。

表面実装タイプ

μPD72070GF-3BE：64ピン・プラスチックQFP（14×20 mm）

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃、時間：30秒以内（210℃以上）、 回数：3回以内	IR35-00-3
VPS	パッケージ・ピーク温度：215℃、時間：40秒以内（200℃以上）、 回数：3回以内	VP15-00-3
ウェーブ・ソルダーリング	半田槽温度：260℃以下、時間：10秒以内、回数：1回、 予備加熱温度：120℃ MAX（パッケージ表面温度）	WS60-00-1
端子部分加熱	端子温度：300℃以下、時間：3秒以内（デバイスの一辺当たり）	—

注意 半田付け方式の併用はお避けください（ただし、端子部分加熱方式は除く）。

{ × ㊦ }

CMOSデバイスの一般的注意事項

①静電気対策 (MOS全般)

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

②未使用入力の処理 (CMOS特有)

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

③初期化以前の状態 (MOS全般)

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

PS/2, PC/ATは米国IBM社の商標です。

Macintoshは米国アップルコンピュータ社の商標です。

本資料に掲載の応用回路および回路定数は、例示的に示したものであり、量産設計を対象とするものではありません。

- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的所有権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
- 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意ください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。
 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
 特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災/防犯装置、各種安全装置、生命維持を直接の目的としない医療機器
 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
 当社製品のデータ・シート/データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。
- この製品は耐放射線設計をしておりません。

M4 94.11

— お問い合わせは、最寄りのNECへ —

【営業関係お問い合わせ先】

半導体第一販売事業部 半導体第二販売事業部 半導体第三販売事業部	T108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3454-1111 (大代表)			
中部支社 半導体第一販売部 半導体第二販売部	T480 名古屋市中区錦一丁目17番1号 (NEC中部ビル)	名古屋 (052)222-2170 名古屋 (052)222-2190			
関西支社 半導体第一販売部 半導体第二販売部 半導体第三販売部	T540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3178 大阪 (06) 945-3200 大阪 (06) 945-3208			
北海道支社 札幌 仙台 岩手支店 山形支店 山形支店 山形支店 いわき支店 長岡支店 土浦支店 水戸支店 神奈川支社 群馬支店	(011)231-0161 (022)267-8740 (019)651-4344 (0238)23-5511 (0249)23-5511 (0246)21-5511 (0258)36-2155 (0298)23-0161 (029)226-1717 (045)324-5524 (0273)28-1255	太田支店 宇都宮支店 小山支店 長野支社 甲府支店 埼玉支店 立川支社 千葉支店 静岡支店 北陸支社 福井支店	(0276)46-4011 (028)621-2281 (0265)24-5011 (0263)35-1662 (0552)24-4141 (048)641-1411 (0425)26-5981 (043)238-8116 (054)255-2211 (0762)23-1621 (0776)22-1866	富山支店 富山支店 京都支社 神戸支社 神戸支社 中国支社 鳥取支店 岡山支店 四国支社 新居浜支店 松山支店 九州支社	富山 (0764)31-8461 津 (0592)25-7341 京都 (075)344-7824 神戸 (078)333-3854 神戸 (082)242-5504 中国 (0857)27-5311 岡山 (086)225-4455 四国 (0878)36-1200 新居浜 (0897)32-5001 松山 (089)945-4149 福岡 (092)271-7700

【本資料に関する技術お問い合わせ先】

半導体ソリューション技術本部 システムマイクロ技術部	T210 川崎市幸区堀端三丁目484番地	川崎 (044)548-8891	半導体 インフォメーションセンター FAX(044)548-7900 (FAXにてお願い致します)
半導体販売技術本部 東日本販売技術部	T108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3798-9619	
半導体販売技術本部 中部販売技術部	T480 名古屋市中区錦一丁目17番1号 (NEC中部ビル)	名古屋 (052)222-2125	
半導体販売技術本部 西日本販売技術部	T540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3383	