

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

PD用コントローラ (M41)

μ PD72051は、CD-ROM制御機能を内蔵した、IDEインタフェース対応PDドライブのデータ系制御を行うLSIです。
IDEインタフェース・コントローラ、バッファ・マネージャ、フォーマット・コントローラ、2,7RLL ENDEC, 誤り訂正機能、CD-ROMインタフェース機能などを1チップに集積しており、システムを小型化できます。

特 徴

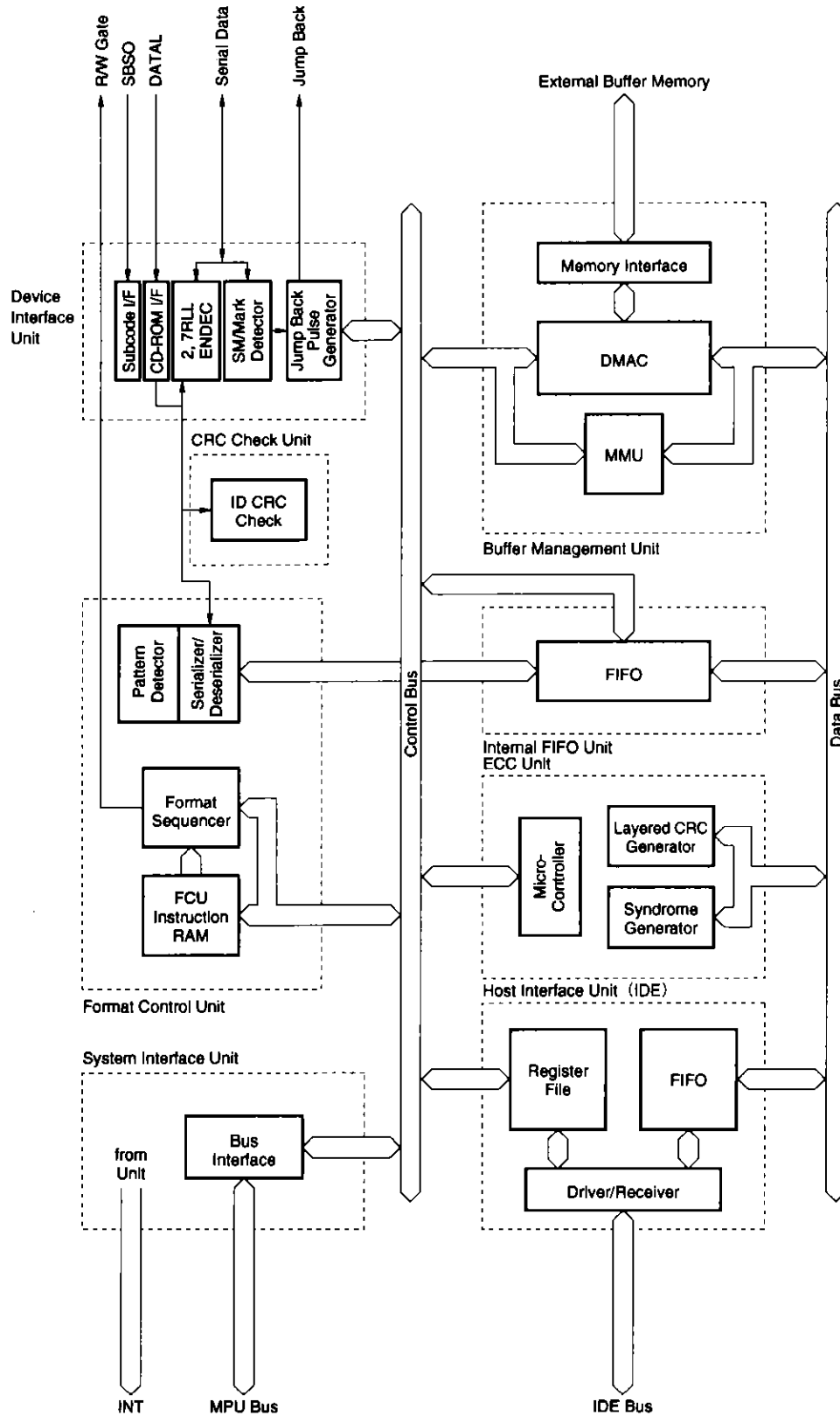
- 「PD」規格に準拠
- ANSI X3T9.2/948D ATA-2をサポート
- コマンド・バケットをサポート (ATAPIに対応)
- ローカルCPUインタフェース機能 (8ビット・データ・バス)
- IDEインタフェース機能内蔵
 - ・転送バイト数管理機能 (16ビット・セクタ・カウンタ/16ビット・バイト・カウンタ)
- DMAコントローラ内蔵 (バッファ・メモリ・マネージャ)
 - ・バッファ管理支援機能 (リング・バッファなどのサポート)
- DRAM (4 Mバイト) バッファ・メモリのダイレクト接続をサポート
 - ・ページ・モードDRAM接続サポート
 - ・システム・バスからバッファ・メモリへスルー・アクセス可能
 - ・最大転送レート: 9.12 MB/s ★
- マルチトラック制御のフォーマット・コントローラ内蔵
 - ・ファームウェア格納用RAM (128ステップ) 内蔵
- 2,7RLL ENDEC (encoder/decoder) 内蔵
 - ・データ転送レート: 最大 50 Mcbps
 - ・セクタ・マーク検出/補間機能、アドレス・マーク/シンク/リシンク検出機能
 - ・検出用ウィンドウと検出限界を設定可能
 - ・セクタ・ステータス生成機能
- CD-ROMシリアル・インタフェース機能内蔵
 - ・6倍速まで対応 ★
 - ・2種類のCD-ROMシリアル・インタフェースに対応
 - ・サブコード入力機能内蔵
- 誤り訂正機能 (リード・ソロンLDC, レイヤーD CRC, 5ウエイ/10ウエイ・インタリーブ) 内蔵
 - ・1インタリーブ当たり3バイト以下の訂正は高速処理に自動切り替え
 - ・訂正がオン・ザ・フライで間に合わない場合のバッファリング機能
 - ・CD-ROMデータ用Pパリティ, Qパリティによるエラー訂正および, CRCチェック機能内蔵
 - ・CD-ROMデータの処理先頭アドレス検索機能内蔵
- システム・クロック: システム・インタフェース, ホスト・インタフェース = Max. 20 MHz, DMAC/ECC = Max. 30 MHz, ENDEC = Max. 50 MHz ★

本資料の内容は、後日変更する場合があります。

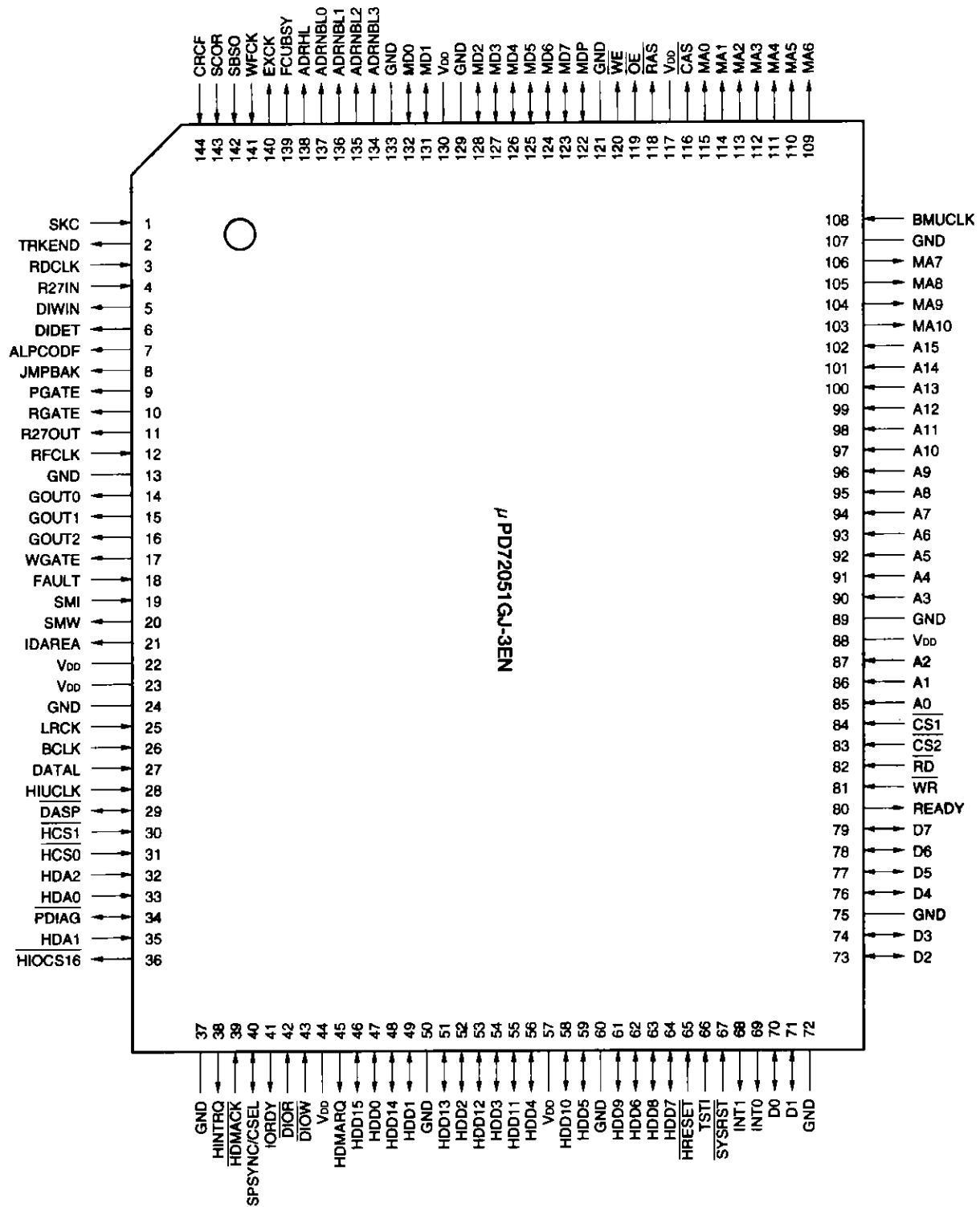
★ オーダ情報

オーダ名称	パッケージ
μPD72051GJ-3EN	144ピン・プラスチックQFP(ファインピッチ)(□20mm)

ブロック図



端子接続図 (Top View)



A15-A0	: Address	IORDY	: I/O Channel Ready
ADRHL	: Address Nibble High/Low	JMPBAK	: Jump Back Pulse
ADRNBL3-ADRNBL0	: Address Nibble	LRCK	: L/R Channel Clock
ALPCODF	: ALPC/ODF Area	MA10-M0	: Memory Address
BCLK	: Serial Data Input Clock	MD7-MD0	: Memory Data
BMUCLK	: BMU Clock	MDP	: Memory Data Parity
$\overline{\text{CAS}}$: Memory Column Address Strobe	$\overline{\text{OE}}$: Memory Read
CRCF	: CRC Signal	$\overline{\text{PDIAG}}$: Passed Diagnostics
$\overline{\text{CS2}}, \overline{\text{CS1}}$: Memory/Register Chip Select	PGATE	: PGATE Signal
D7-D0	: Data	R27IN	: 2, 7RLL Input
$\overline{\text{DASP}}$: Device Active, Slave Present	R27OUT	: 2, 7RLL Output
DATAL	: Serial Data	$\overline{\text{RAS}}$: Memory Row Address Strobe
DIDET	: SM/AM/SYNC/RS Detect	$\overline{\text{RD}}$: Read Strobe
$\overline{\text{DIOR}}$: Device I/O Read	RDCLK	: Read Clock
$\overline{\text{DIOW}}$: Device I/O Write	READY	: Ready
DIWIN	: SM/AM/SYNC/RS Window	RFCLK	: Reference Clock
EXCK	: Subcode Transfer Clock	RGATE	: RGATE Signal
FAULT	: Fault	SBSO	: Subcode Data
FCUBSY	: FCU Busy	SCOR	: Subcode Sync
GND	: Ground	SKC	: Seek Complete
GOUT2-GOUT0	: General Output	SMI	: Sector Mark Input
$\overline{\text{HCS1}}, \overline{\text{HCS0}}$: Chip Select	SMW	: Sector Mark Window
HDA2-HDA0	: Device Address	SPSYNC/CSEL	: Spindle Sync/Cable Select
HDD15-HDD0	: Device Data	$\overline{\text{SYSRST}}$: System Reset
$\overline{\text{HDMACK}}$: DMA Acknowledge	TRKEND	: Track End
HDMARQ	: DMA Request	TSTI	: Test Input
HINTRQ	: Device Interrupt Request	V _{DD}	: Power Supply
$\overline{\text{HIOCS16}}$: Device 16-bit I/O	$\overline{\text{WE}}$: Memory Write
HIUCLK	: HIU Clock	WFCK	: Write Frame Clock
$\overline{\text{HRESET}}$: Device Reset	WGATE	: WGATE Signal
IDAREA	: ID Area	$\overline{\text{WR}}$: Write Strobe
INT1, INT0	: Interrupt Request		

目 次

1. 端子機能	… 6	★
1.1 システム・インタフェース端子	… 6	
1.2 ホスト・インタフェース端子	… 7	
1.3 デバイス・インタフェース端子	… 8	
1.4 サーボ・コントローラ・インタフェース端子	… 10	
1.5 バッファ・メモリ・インタフェース端子	… 10	
2. 内部ユニット機能	… 11	
2.1 SIU (System Interface Unit)	… 11	
2.2 HIU (Host Interface Unit : IDE)	… 12	
2.3 BMU (Buffer Management Unit)	… 13	
2.4 IFU (Internal FIFO Unit)	… 15	
2.5 FCU (Format Control Unit)	… 16	
2.6 CCU (CRC code Check Unit)	… 17	
2.7 DIU (Device Interface Unit)	… 18	
2.8 ECU (Error Correction Unit)	… 20	
3. アドレス・マッピング	… 22	
3.1 μPD72051レジスタ空間アドレス・マッピング	… 22	
3.2 バッファ・メモリ空間アドレス・マッピング	… 23	
4. 電気的特性	… 24	★
5. システム構成例	… 56	
6. 外形図	… 57	★
7. 半田付け推奨条件	… 58	★

★ 1. 端子機能

μPD72051の端子機能は、次に示すような5つのインタフェース機能に分けることができます。

表1-1 インタフェース

インタフェース名	機能
システム・インタフェース	システム・インタフェース（外部システム・コントローラとのインタフェース） データ・バス、アドレス・バス、リード、ライト信号などから構成されています。
ホスト・インタフェース	ホスト・バス・インタフェース ATA-2で規定されているアドレス・バス、データ・バス、制御信号などから構成されています。
デバイス・インタフェース	PDドライブとのインタフェース RDCLK, RFCLK, RGATE, WGATE, R27IN, R27OUTなどの信号から構成されています。 CD-ROMドライブとのインタフェース DATAL, BCLK, LRCKなどの信号から構成されています。
サーボ・コントローラ・ インタフェース	サーボ・コントローラとのインタフェース シーク完了をサーボから知らせる信号、トラックごとに出力されるパルス信号、ジャンプ・バック信号により構成されています。
バッファ・メモリ・ インタフェース	セクタ・バッファ、トラック・バッファおよびディスク・キャッシュなどに使用され、μPD72051の外部に接続するローカル・メモリへのアクセス信号です。

1.1 システム・インタフェース端子

端子名	No.	IN/OUT	初期値 ^注	機能
$\overline{\text{SYSRST}}$	67	IN	—	ハードウェア・リセット入力端子です。
$\overline{\text{CS1}}$	84	IN	—	μPD72051のメモリ空間へのセレクト信号入力端子です。 バッファ・メモリへのアクセス時にアクティブにします。
$\overline{\text{CS2}}$	83	IN	—	μPD72051のレジスタ空間へのアクセス時のセレクト信号入力端子です。 各ユニット内のレジスタへのアクセス時にアクティブにします。
TST1	66	IN	—	LSI評価用のテスト端子です。必ずGNDに接続してください。
$\overline{\text{RD}}$	82	IN	—	リード制御信号入力端子です。リード動作時にアクティブにします。
$\overline{\text{WR}}$	81	IN	—	ライト制御信号入力端子です。ライト動作時にアクティブにします。
A15-A0	85-87, 90-102	IN	—	16ビットのアドレス入力端子です。
D7-D0	70, 71, 73, 74, 76-79	I/O	Z	8ビットのデータ入出力端子です。 ブルアップ抵抗が必要です。
READY	80	OUT	H	MPUがμPD72051を通してバッファ・メモリにアクセスするときに、 MPUに対して出力されるREADY信号の出力端子です。
INT1, INT0	68, 69	OUT	L	μPD72051の割り込み要求信号の出力端子です。 INT0 : ECU, BMU, IFU, FCU, DIUまたはECU, BMU, IFU, FCU, DIU, HIU INT1 : HIU INT0の選択はSIUで設定します。

注 出力端子のリセット直後の端子状態を示すものです（L：ロウ・レベル、H：ハイ・レベル、Z：ハイ・インピーダンス）。

1.2 ホスト・インタフェース端子

ここで説明する信号は、ATA-2で規定されている信号をすべてサポートしています。

端子名	No.	IN/OUT ^{注1}	初期値 ^{注2}	機能
HCS1	30	IN	H	コントロール・ブロック・レジスタをセレクトするためのチップ・セレクト信号入力端子です。
HCS0	31	IN	H	コマンド・ブロック・レジスタをセレクトするためのチップ・セレクト信号入力端子です。
HDA2-HDA0	32, 33, 35	IN	—	IDEアドレス・バス信号入力端子です。
DASP	29	I/O	Z	IDEコントロール・バスのDevice active, device 1 present信号入出力端子です。オープン・ドレイン出力となっています。10 kΩでプルアップしてください。
HDD15-HDD0	46-49, 51-56, 58, 59, 61-64	I/O	Z	IDEデータ・バス信号入出力端子です。
DIOR	42	IN	H	IDEコントロール・バスのI/Oリード信号入力端子です。ホストが読み込みを要求していることを示します。
DIOW	43	IN	H	IDEコントロール・バスのI/Oライト信号入力端子です。ホストが書き込みを要求していることを示します。
HDMACK	39	IN	H	IDEコントロール・バスのホスト側からのDMA応答信号入力端子です。ホストがDMA転送の要求を受理したことを示します。
HDMARQ	45	OUT	Z	IDEコントロール・バスのDMAリクエスト信号出力端子です。ホストに対しDMA転送を要求していることを示します。ホスト側で5.6 kΩでプルダウンされます。
HINTRQ	38	OUT	Z	IDEコントロール・バスの割り込み要求信号出力端子です。ホストに対して割り込みを要求していることを示します。
HIOCS16	36	OUT	Z	IDEコントロール・バスの16ビット・バス・データ転送であることを示すための信号出力端子です。PIOモード時に16ビット転送が可能であることを示します。オープン・ドレイン出力となっています。ホスト側で1.0 kΩでプルアップされます。
IORDY ^{注3}	41	OUT	Z	ホストに対するREADY要求信号出力端子です。データ転送をドライブが受け付けられることを示します。ホスト側で1.0 kΩでプルアップされます。
PDIAG	34	OUT, IN	Z	IDEコントロール・バスのPassed diagnostics信号出力端子です。ドライブ1時の自己診断処理の結果をドライブ0に知らせます。10 kΩでプルアップしてください。
HRESET	65	IN	H	IDEコントロール・バスのリセット信号入力端子です。ドライブ0および、ドライブ1のリセットを行います。
SPSYNC/CSEL	40	I/O	Z	IDEコントロール・バスのSpindle synchronization/Cable select信号入出力端子です。10 kΩでプルアップしてください。
HIUCLK	28	IN	—	HIUの動作クロック入力端子です。

注1. リセット直後の入出力方向を示すものです。

- IN : 常に入力端子となります。
- OUT : 常に出力端子となります。
- I/O : 常に入出力端子となります。
- OUT, IN : 入出力の方向は、レジスタにより設定します。

2. 出力端子のリセット直後の端子状態を示すものです (Z: ハイ・インピーダンス)。入力端子については、リセット時に指定のレベルを入力してください (H: ハイ・レベル)。

3. IDEケーブル (27) には接続しないでください。

1.3 デバイス・インタフェース端子

PDドライブ・インタフェース

端子名	No.	IN/OUT	初期値 ^注	機能
RFCLK	12	IN	—	レファレンス・クロック入力端子です。
RDCLK	3	IN	—	リード・クロック入力端子です。
FAULT	18	IN	—	フォールト信号入力端子です。
SMI	19	IN	—	SM信号入力端子です。
SMW	20	OUT	L	SM検出用のウインドウ信号出力端子です。
PGATE	9	OUT	L	プリフォーマット領域リード・ゲート信号出力端子です。
RGATE	10	OUT	L	リード・ゲート信号出力端子です。
WGATE	17	OUT	L	ライト・ゲート信号出力端子です。
R27IN	4	IN	—	リード・データ信号入力端子です。
R27OUT	11	OUT	L	ライト・データ信号出力端子です。
GOUT2-GOUT0	14-16	OUT	L	汎用信号出力端子です。
ALPCODF	7	OUT	L	ALPC領域を示す信号とODF領域を示す信号の論理和信号の出力端子です。
DIWIN	5	OUT	L	各種マークの検出ウインドウのモニタ信号出力端子です。 AM, Sync, RSの検出ウインドウの論理和が出力されます。
DIDET	6	OUT	L	各種マークの検出パルスのモニタ信号出力端子です。 SM, AM, Sync, RSの検出パルスの論理和が出力されます。
IDAREA	21	OUT	L	ID/DATAの識別信号の出力端子です。 ハイ・レベルのときID部であることを示します。

注 出力端子のリセット直後の端子状態を示すものです (L:ロウ・レベル)。

CD-ROMドライブ・インタフェース

端子名	No.	IN/OUT	初期値 ^注	機能
DATAL	27	IN	—	CD-ROMのシリアル・データ入力端子です。
BCLK	26	IN	—	CD-ROMのシリアル・データ受信クロック入力端子です。
LRCK	25	IN	—	CD-ROMのシリアル・データのL-ch, R-chを示す信号の入力端子です。
CRCF	144	IN	—	サブコードFQのCRCによるエラー検出結果を示す信号の入力端子です。
EXCK	140	OUT	X	サブコード受信クロック出力端子です。
SBSO	142	IN	—	サブコードのシリアル・データ入力端子です。
SCOR	143	IN	—	サブコード受信のためのサブコードSYNC信号入力端子です。
WFCK	141	IN	—	サブコード受信のためのフレーム・クロック入力端子です。

注 出力端子のリセット直後の端子状態を示すものです (X:不定)。

FCUインストラクション・アドレス・インタフェース

端子名	No.	IN/OUT	初期値 ^注	機 能
FCUBSY	139	OUT	L	FCUが動作中であることを示す信号の出力端子です。
ADRHL	138	OUT	L	ADRNBL3-ADRNBL0の上位/下位を示す信号の出力端子です。 この信号を元にアドレスを組み立てます。
ADRNBL3- ADRNBL0	134-137	OUT	H	FCUが実行した命令のアドレスを示すデータ（8ビット）を上位/下位に分けて出力します。

注 出力端子のリセット直後の端子状態を示すものです（L：ロウ・レベル、H：ハイ・レベル）。

1.4 サーボ・コントローラ・インタフェース端子

端子名	No.	IN/OUT	初期値 ^注	機能
SKC	1	IN	—	Seek completeを示すステータス信号の入力端子です。
TRKEND	2	OUT	L	1トラックごとに出力されるパルス信号の出力端子です。 出力の有無、タイミングはFCUによって制御できます。
JMPBAK	8	OUT	L	ジャンプ・バックのためのパルス信号の出力端子です。

注 出力端子のリセット直後の端子状態を示すものです (L:ロウ・レベル)。

1.5 バッファ・メモリ・インタフェース端子

端子名	No.	IN/OUT	初期値 ^注	機能
BMUCLK	108	IN	—	BMU, ECUの動作クロック入力端子です。
$\overline{\text{RAS}}$	118	OUT	H	$\overline{\text{RAS}}$ 信号出力端子です。
$\overline{\text{CAS}}$	116	OUT	H	$\overline{\text{CAS}}$ 信号出力端子です。
MA10-MA0	103-106, 109-115	OUT	X	バッファ・メモリのアドレス出力端子です。 アドレス出力については表1-2を参照してください。
MD7-MD0	123-128, 131, 132	I/O	Z	バッファ・メモリの8ビット・データ入出力端子です。
MDP	122	I/O	Z	MD7-MD0のパリティ信号の入出力端子です。
$\overline{\text{WE}}$	120	OUT	H	DRAMの $\overline{\text{WE}}$ 信号に接続する出力端子です。
$\overline{\text{OE}}$	119	OUT	H	DRAMの $\overline{\text{OE}}$ 信号に接続する出力端子です。

注 出力端子のリセット直後の端子状態を示すものです (H:ハイ・レベル, Z:ハイ・インピーダンス, X:不定)。

BMU内レジスタのモード設定により、接続するメモリに合わせてアドレス出力端子を割り当てることができます。

表1-2 バッファ・メモリ・アドレス信号表

端子名	端子機能					
	256 Kモード		1 Mモード		4 Mモード	
	$\overline{\text{CAS}}$ 時	$\overline{\text{RAS}}$ 時	$\overline{\text{CAS}}$ 時	$\overline{\text{RAS}}$ 時	$\overline{\text{CAS}}$ 時	$\overline{\text{RAS}}$ 時
MA0	MA0	MA9	MA0	MA19	MA0	MA19
MA1	MA1	MA10	MA1	MA10	MA1	MA20
MA2	MA2	MA11	MA2	MA11	MA2	MA11
MA3	MA3	MA12	MA3	MA12	MA3	MA12
MA4	MA4	MA13	MA4	MA13	MA4	MA13
MA5	MA5	MA14	MA5	MA14	MA5	MA14
MA6	MA6	MA15	MA6	MA15	MA6	MA15
MA7	MA7	MA16	MA7	MA16	MA7	MA16
MA8	MA8	MA17	MA8	MA17	MA8	MA17
MA9	MA9	MA18	MA9	MA18	MA9	MA18
MA10	MA10	MA8	MA10	MA20	MA10	MA21

2. 内部ユニット機能

μPD72051は、次に示すような8つのユニットで構成されています。ここでは、これら各ユニットの機能概要を説明します。

表 2-1 μPD72051構成ユニット

略号	ユニット名称	備考
SIU	System Interface Unit	外部システム・コントローラ・インタフェース
HIU	Host Interface Unit	ATA/ATA-2/ATAPI対応
BMU	Buffer Management Unit	DMAC (2チャンネル)、ページ・モード・サポート
IFU	Internal FIFO Unit	8ビット×16段 FIFO
FCU	Format Control Unit	プログラマブル (128ステップ)
CCU	CRC code Check Unit	IDフィールドCRC
DIU	Device Interface Unit	2, 7 RLL ENDEC
ECU	Error Correction Unit	リード・ソロモン、レイヤードCRC

2.1 SIU (System Interface Unit)

SIUは、システム・コントローラと接続する各端子機能の制御、μPD72051内部各ユニットのレジスタや、FCUインストラクションRAM、バッファ・メモリに対するアクセス制御を行います。

- データ・バス：8ビット、アドレス・バス：16ビット
- 内部ユニットのソフトウェア・リセット制御
- 内部ユニットの割り込み要因を2タイプの割り込みにマージして出力

SIUがシステム・コントローラのバスと、LSI内部の制御バスとのインタフェースを行うことにより、システム・コントローラはLSI内部の各ユニットのレジスタや、FCUインストラクションRAMを直接アクセスすることができます。

さらに、外部に接続されたバッファ・メモリに対するアクセス制御を行います。

外部システム・コントローラが、外部バッファ・メモリをアクセスする場合は、BMUのMPGRレジスタで上位6ビットを指定し、64 Kバイトのウィンドウから最大4 Mバイトの空間をアクセスすることができます。

また、バッファ・メモリ・アクセス時には、READY信号を発生し、システム・コントローラとμPD72051との同期をとります。

これらのほかに、各ユニットの割り込み要求出力、ソフトウェア・リセット制御などの機能を持っています。

2.2 HIU (Host Interface Unit : IDE)

HIUは、ANSI X3T9.2/948D Revision 2d (Working Draft, June 24, 1994) に準拠するものであり、コマンド・レジスタにコマンドが書き込まれると、外部システム・コントローラに割り込みを発生し、コマンドの実行を要求します。

また、データの転送をセクタ単位で管理しており、ディスクからの読み込み時に、ECCなどの異常があった場合に、セクタ単位で転送を停止することができます。

- 8段FIFO (16ビット幅) 内蔵
- データ転送モードおよび対応モード
 - PIO転送 : モード0
 - DMA転送 (シングル・ワード) : モード0 / 1 / 2
 - DMA転送 (マルチワード) : モード0 / 1 / 2

- ★ ● 最大転送レート
 - チャンネル0 単独動作時 : 最大9.12 Mバイト/秒
 - チャンネル0 / チャンネル1 並行動作時 : 最大3.4 Mバイト/秒
- 転送バイト数管理 (セクタ単位での転送が可能)
 - 16ビット・セクタ・カウンタ
 - 16ビット・バイト・カウンタ
- コマンド・パケットをサポート (ATAPIに対応)
- 制御系 / データ系分離バス
- 動作周波数 : Max. 20 MHz (HIUCLK)

2.3 BMU (Buffer Management Unit)

BMUは、独立な2つのDMAチャンネルを持つDMAコントローラを核とするユニットです。

LSI内部のデータ・バス上に接続されている各I/Oと、バッファ・メモリとの間でDMA転送を制御します。

- 最大転送レート：9.12 Mバイト/秒（チャンネル0，ページ・モード・アクセス時）
- DMAC：2チャンネル
- アドレス・ポインタ：22ビット
- 転送カウンタ：16ビット
- バッファ管理支援機能（リング・バッファにも対応可能）
- オート・イニシャライズ機能
- メモリ→メモリ転送
- アドレス・インクリメント/デクリメント
- システム・コントローラからバッファ・メモリへのスルー・アクセスをサポート
- ECUからバッファ・メモリへのアクセスをサポート
- ECUとの連携動作（ブロック単位）をサポート
- データ：8ビット（+パリティ1ビット）
- 最大接続メモリ：DRAM, 4 Mバイト
- DRAM用 \overline{RAS} / \overline{CAS} 出力
- DRAM用 \overline{CAS} ビフォア \overline{RAS} リフレッシュをサポート
- DRAMページ・モード・アクセスをサポート

★

μPD72051は、制御バスとデータ・バスの2つのバスを持っています。制御バスは、LSI内部の各ユニットの制御用で、SIUを介してシステム・コントローラのバスに直結されます。データ・バスは、データ転送用で、BMUがバス・マスタとなり、IDEインタフェースや光ディスク/CD-ROMとバッファ・メモリの間でデータ転送するバスです。

BMUは、コマンド/ステータスや各レジスタを制御バス側に接続し、ローカルCPUとの間でデータのやりとりを行います。一方、データ転送はデータ・バスを通してデータのやりとりを行います。これによりデータ転送中に、他のチャンネルの設定やオート・イニシャライズの設定を、データ転送の効率を落とすことなく行うことができます。

データ・バスに接続されているI/Oには、HIU（IDEインタフェース）、IFU（FIFO）があり、それぞれ1チャンネルが割り当てられています。また、DRAMのリフレッシュも行います。リフレッシュのインターバルはレジスタ設定により可変です。

この他に、制御バスからデータ・バスをアクセスするスルー・アクセス機能もあります。このスルー・アクセス機能により、SIUに接続される外部のシステム・コントローラや外部のDMACなどが、制御バス→BMU→データ・バスを経由してバッファ・メモリに直接アクセスすることができます。

また、制御バス（すなわちシステム・バス）からのアクセスに対してウエイトを挿入します。外部システム・コントローラに対しては、READY端子を制御することによりウエイトさせますので、特に考慮は不要です。

さらに、ECUからデータ・バスをアクセスするスルー・アクセス機能もあります。このスルー・アクセス機能により、ECUは生成したエラー情報をバッファ・メモリに設定したり、光ディスク/CD-ROMからバッファ・メモリ上に読み出されたデータのエラー訂正を行います。

また、それぞれのユニット、システム・コントローラなどがデータ・バスを使用する際に、当然データ・バスのアービトレーションが必要となります。

これらのアービトレーションの優先順位は、次のとおりです。

リフレッシュ > 外部のMPU > ECU > IFU > HIU
(チャンネル1) (チャンネル0)

スルー・アクセス時には、簡単なMMU機能により、システム・コントローラのアドレスを拡張し、最大4 Mバイトのバッファ・メモリ空間をアクセスすることが可能です。64 Kバイトすなわち16ビットのオフセットに、MMUのレジスタに設定された上位8ビットを付加して、バッファ・メモリの4 Mバイト空間をアクセスします。

これらのI/O \leftrightarrow メモリのDMA転送のほかに、IFU用とHIU用の2つのチャンネルを使いメモリ \leftrightarrow メモリ転送もサポートしています。

また、通常のDMACの機能に加え、バッファ制御のための機能を持っています。たとえば、リード時を考えます。

光ディスクからリードしたデータは、BMUがセクタを単位にしてバッファ・メモリに格納します。この際ECUがデータをスチールして、ECCのシンドローム生成を行います。これにより、リードの終了と同時にECC検出を終了することができます。誤りがある場合は、ECUが直接バッファ・メモリに訂正を行います。そして、誤り訂正の終了したセクタからIDEバスに転送します。これらのデータ転送は、並行して行われますから、パイプライン処理と考えることができます。

このときバッファのフル/エンpty管理はセクタ単位で行います。たとえば、IDEバスへの転送が、誤り訂正の終了していないセクタに追いついた場合は、IDEバスへの転送は自動的にスリープします。その後、そのセクタにおける誤り訂正が終了すると、IDEバスへの転送をウエイク・アップして処理を継続します。

また、リング・バッファのモードを設定した場合、それぞれのチャンネルの転送ブロック数が、あらかじめ設定されているブロック数（セクタ数）に達すると、あらかじめ設定されているリング・バッファ領域の先頭アドレスから、続く次のセクタのデータ転送を始めます。この機能により、データ転送中のリング・バッファの管理は、システム・コントローラの制御なしに行えます。

メモリ・デバイスの接続に対しては、DRAMの直接接続を可能とします。アクセス・サイクルは、4クロックです。また、 $\overline{\text{RAS}}/\overline{\text{CAS}}$ 信号の出力、および $\overline{\text{CAS}}$ ピフォア $\overline{\text{RAS}}$ リフレッシュ・タイミングを出力しますので、DRAMを直接接続可能です。このとき、アドレスの分割の方法に応じて、256 K/1 M/4 Mのモードを選択することができます。たとえば、1 Mモードを選択した場合には“1ビット×1 Mワード”のDRAMを接続することができます。

2.4 IFU (Internal FIFO Unit)

IFUは、FCUとBMUとのインタフェースを行う非同期FIFOです。

- 16バイトのポインタ式非同期FIFO
- パリティ生成／チェック機能
- オーバラン／アンダラン検出機能
- データ8ビット＋パリティ・ビット

(ただし、パリティ・ビットはデータ8ビットに対して生成／チェック)

リード動作時は、FCUから送られてくるデータをBMUによってバッファ・メモリに書き込みます。逆にライト動作時は、BMUによってバッファ・メモリ上のデータが書き込まれ、FCUがそれを読み出してディスクに書き込みます。

2.5 FCU (Format Control Unit)

FCUは、FCUインストラクションRAMに書かれたファームウェアに従ってフォーマットのシーケンスを制御します。PDディスクのフォーマットに対応することができます。

- ★ ●転送レート：Max. 25 Mbps (RDCLK, RFCLK = 50 MHz時)
- ファームウェアによるセクタ・フォーマット制御
- ファームウェア格納領域：128ステップ×56ビット
- パリティ付きインストラクションRAM
- マルチセクタ補助機能 (セクタ番号のインクリメント)
- マルチトラック補助機能 (トラック番号のインクリメント)
- ID部読み込みレジスタ (比較と同時動作可能)
- ID部CRC判定機能 (セクタ番号格納用レジスタのMSBに反映)

FCUのファームウェアはユーザ・プログラマブルであり、設計者が自由にファームウェアを組むことができ、より自由度の高いフォーマットの制御が可能となっています。

FCUインストラクションRAMへのファームウェアのダウン・ロードは、リセット直後 (FCUへの起動コマンド発行前) にシステム・コントローラが行う必要があります。DMACを内蔵したV40™などのMPUを使用する場合には、DMACがメモリ→メモリ転送により外部ROMからFCUインストラクションRAMへの設定を行うことが可能です。

また、システム・コントローラは、FCUインストラクションRAMのほかに、FCUに対して2種類のパラメータを設定する必要があります。1種類はSYNCパターンなどのようなフォーマットに対して固定的なパラメータです。もう1種類は処理開始セクタのトラック番号やセクタ番号、処理セクタ数などのようにコマンド発行ごとに設定するパラメータです。これらのパラメータの設定はFCUへの起動コマンドの発行前に行わなければなりません。

FCUはマルチセクタ処理が可能ですので、これらのデータ処理の終了まで、システム・コントローラからFCUに対する処理は特に必要ありません。

CD-ROM/CD-DAモード時のFCUの動作について

CD-ROMモード時、FCUはSYNCの検出によりデータの読み出しを開始し、1サブコーディング・フレーム分のデータをIFUに転送します。以降、FCUはDIUからのSYNC検出 (または補間) により、同様の処理を繰り返します。また、CD-ROMモード時において、SYNCパターンをIFUに転送する場合、SYNCの検出以前に、あらかじめFCUファームウェア上でSYNCパターンを転送しておく必要があります (SYNCを検出してからでは間に合いません)。

CD-DAモード時、FCUはDIUからのワード境界に出力される信号の検出によりデータの読み出しを開始し、以後、データをIFUに転送します。

2.6 CCU (CRC code Check Unit)

CCUはIDフィールドに対するCRCエラーの検出を行います。CRCコードの生成機能はありません。

- CCITT標準16ビットCRCコード
- FCU/DIUによる制御

CCUが扱うCRCコードは、次の生成多項式に従っています。

$$G(x) = X^{16} + X^{12} + X^5 + 1$$

DIUから指定された領域のデータ (IDフィールド) に対してCRCエラー検出を行い、FCU, DIUにその結果を返します。

FCUからCCUに対する制御、およびCRCエラーの判定はすべてFCUのファームウェアによって行われます。

2.7 DIU (Device Interface Unit)

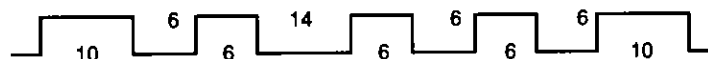
DIUは、デバイスすなわちPDドライブとFCUとのインタフェース、さらに、CD-ROMドライブとFCUとのインタフェースを制御します。PLLは内蔵していません。

- SM検出および補間機能
- アドレス・マーク/シンク/リシンク検出機能
- 検出限界可変
- リシンク・パターン発生機能
- 2,7RLLエンコード/デコード機能
- セクタ・ステータス生成機能
- ジャンプ・バック・パルス発生機能
- 診断機能
- CD-ROMシリアル・データ入力機能
- サブコード入力機能

セクタ・マーク (SM) は、検出したSMを基準として、次のSMの予測を行います。この予測した期間 (SMウィンドウ) で、SMを検出できない場合は、SMを補間して処理を継続します。SMの検出限界値は設定可能です。

SM入力信号 (SMI端子に入力する信号) は、次のような信号です。

[マーク、スペースの整形信号]



アドレス・マークやリシンクの2,7RLLのイリーガル・パターンは、DIUにて検出を行います。また書き込み時には、リシンク・パターンの生成はDIUで行います。

1セクタごとの処理状況を示すセクタ・ステータスは、DIU内部のレジスタに設定されます。

システム・コントローラはこれを読み出すことにより、セクタ・ステータスをリアルタイムに知ることができます。

また、2,7RLLエンコーダ/デコーダ、およびアドレス・マーク、シンク、リシンク、データ検出機能に対する診断が可能です。

CD-ROM/CD-DAモード時のDIUの動作について

μPD72051は、CD-ROMのシリアル・データ・インタフェース機能をサポートしています。この機能は、DIU内部レジスタの特定ビットを設定することにより、有効になります。

CD-ROMモード時、DIUは取り込んだデータからSYNCパターンを検出し、その後のデータをデスクランブルして、FCUにMSBファーストで渡します。

SYNCの検出は、最初にSYNCが検出され、次のSYNCが最初のSYNCから想定される位置に見つかったら、FCUに対してSYNC検出の信号が通知されます。また、それ以降のSYNCで、補間が有効になります。

CD-DAモード時は、LRCKクロック信号と、BCLKクロック信号からFCUに16ビット単位の同期信号を出力し、取り込んだデータをデスクランブルせずに、MSBファーストでFCUに渡します。

また、DIUは強力なサブコード・インタフェース機能を内蔵しています。

DIU内部レジスタの特定ビットを設定することによりこの機能が有効になり、外部DSPなどよりサブコードを取り込み、システム・コントローラに対しては割り込みによりサブコードの引き渡しが行われます。

DIUは、外部DSPから入力されるSCORを検出すると、システム・コントローラに対して割り込み（SCOR割り込み）を出します。システム・コントローラは、その割り込みにより、以降に続くデータが、サブコードであることを認識し、DIUは引き続きP、Q、R、S、T、U、V、Wの8ビットのコード2バイトを引き受けるごとに、システム・コントローラに対して割り込み（SBC割り込み）を出し、それによりシステム・コントローラは、サブコードを引き受けることができます。

また、DIU内には、サブコードQのみを集めて格納するレジスタがあります。システム・コントローラは、SBC割り込み4回ごとにこのレジスタを読み込むことにより、1バイトのサブコードQを読み出すことができます。

2.8 ECU (Error Correction Unit)

ECUは、データ部の誤り検出および誤り訂正を行います。

誤りの検出／訂正はANSI X3B11およびISO標準のCCSフォーマットのリード・ソロモン符号“LDC (Long Distance Code)”により行います。

またECUは、CD-ROMから読み込まれ、バッファ・メモリに格納されたデータの処理もサポートしています。

- RS LDC (Reed Solomon Long Distance Code)
- セクタ長：512/1024バイト
- 5ウエイ／10ウエイ・インタリーブ対応
- ★ ●訂正速度 (130mm, 512バイト・フォーマット)
 - オン・ザ・フライ訂正：425 μ s (Max. 3バイト／インタリーブ)
 - その他の訂正：3.3 ms (Max. 8バイト／インタリーブ)
- レイヤードCRC生成／検出
- ベンダ・ユニーク・コードの生成／チェック機能
- データ・バス上のデータのスチール
- バッファ・メモリに対するスルー・アクセス
- CD-ROM用データのPシーケンス、Qシーケンスによる誤り訂正機能
- バッファ・メモリに格納されたCD-ROM用データの処理先頭セクタ検索機能

RS LDCによるECC生成、エラー検出およびエラー訂正機能を持ちます。コード生成およびシンドロームのチェックは、BMUの持つスチール動作により、バッファ・メモリへのデータ転送時に処理を行います。スチール動作とは、BMUがIDEバスやディスクからバッファ・メモリにデータを転送する際、同時にECUに対してもデータを転送する機能です。

ディスクへのライト時には、IDEバスからバッファ・メモリにデータ転送する際にコード生成を行い、生成したコードをバッファ・メモリに格納します。また、ディスクからのリード時には、ディスクからバッファ・メモリにデータ転送する際にシンドロームのチェックを行います。エラーが検出された場合には、シンドローム情報をワーク領域に格納し、バックグラウンドとして次のセクタのシンドローム生成と並行して前のセクタのエラー訂正を行います。

オン・ザ・フライ訂正は、1インタリーブ中の誤りが3バイト以下の場合に可能となります。誤りが4バイト以上ある場合は、残りのインタリーブの誤り状態によりオン・ザ・フライ訂正ができない可能性があります。これは、訂正情報を得るための演算が、1インタリーブ中に誤りが3バイト以下の場合には100 μ s以下で処理できるのに対し、4バイト以上の場合には1 ms以下となるためです。1セクタを1024バイトとすると、800 μ s以下と10 ms以下の差となります。

また、ベンダ・ユニーク (コントロール) ・コードは、ECUで生成するか、あるいはバッファ・メモリ上に用意されたコードをそのまま使用することができます。ECUが生成する場合には、FFHのみのコード、物理アドレス+FFHのコードの2種類が選択できます。ディスクからのリード時にはエラー訂正後にチェックを行います。

CD-ROM/CD-DAモード時のECUの動作について

ECUは、CD-ROMから読み込まれ、バッファ・メモリに格納されたデータに対し処理を行う機能をサポートしています。

システム・コントローラからECUに対しCD-ROMコマンドを発行すると、ECUはBMUからの1セクタ分のデータが、バッファ・メモリに格納されるのを確認し、バッファ・メモリ上のセクタ・データが処理先頭セクタであるかどうかチェックします。先頭セクタでなければ、次のセクタ・データが転送されるのを待ち、同様に先頭セクタの検索処理を行います。先頭セクタであれば、モード、およびサブヘッダの値に従ってそのセクタに対する処理を行います。

また、CD-DAモードの場合は、ヘッダがなく判断できないため、指定されたバッファの位置にあるデータを先頭セクタとして処理を開始します。

3. アドレス・マッピング

3.1 μPD72051レジスタ空間アドレス・マッピング

μPD72051全体としては、レジスタ空間として4Kバイト (000H-FFFH) の空間を占有します。

たとえば、システム・コントローラとしてV40を使用した場合には、1Mバイトのメモリ空間内にマッピングするには、アドレス20ビットの上位8ビットとバス・ステータス信号などからCS2信号を生成することになります。

次に、μPD72051のレジスタ空間のアドレス・マッピング状況を示します。

図3-1 μPD72051レジスタ空間アドレス・マッピング

μPD72051レジスタ・アドレス	内容	機能
FFFH	RESERVED	
C00H BFFH		FCUインストラクションRAM
800H 7FFH	RESERVED	
380H 37FH		BMU
300H 2FFH		
200H 1FFH		FCU
180H		
100H 0FFH		ECU
050H 04FH	RESERVED	
040H 03FH		IFU
020H		
00FH 000H	RESERVED	HIU
		SIU

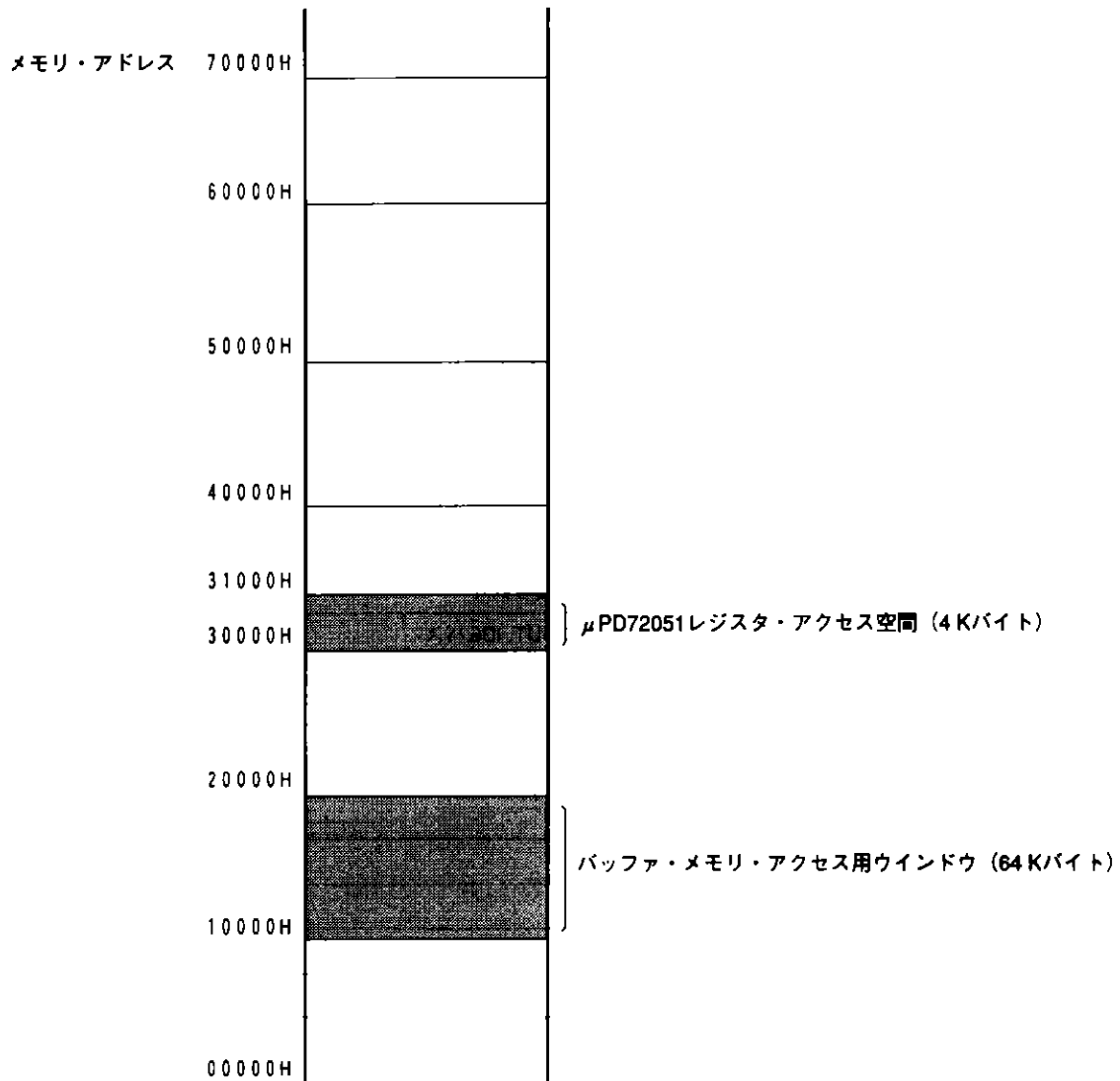
3.2 バッファ・メモリ空間アドレス・マッピング

μPD72051では、バッファ・メモリに対するスルー・アクセスのために64 Kバイトのメモリ空間をシステムのメイン・メモリにマッピングします。

たとえば、システム・コントローラとしてV40を使用した場合には、1 Mバイトのメモリ空間内にマッピングするには、アドレス20ビットの上位4ビットとバス・ステータス信号などからCS1信号を生成することになります。

次に、メモリ・マッピング状況の一例を示します。

図3-2 メモリ空間アドレス・マッピング例



★ 4. 電気的特性

絶対最大定格 (TA = 25 °C)

項目	略号	条件	定格	単位
電源電圧	VDD		-0.5~+7.0	V
入力電圧	Vi	VDD = +5 V ± 5 %	-0.5~VDD+0.5	V
出力電圧	Vo		-0.5~VDD+0.5	V
動作周囲温度	TA		-10~+70	°C
保存温度	Tstg		-65~+150	°C

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

DC特性 (TA = -10~+70 °C, VDD = +5.0 V ± 5 %)

項目	略号	条件	MIN.	MAX.	単位
ハイ・レベル入力電圧	VIH1	下記信号以外	2.2	VDD+0.5	V
	VIH2	HIUCLK, BMUCLK	4.0	VDD+0.5	V
	VIH3	FAULT, <u>SYSRST</u> , <u>HRESET</u>	0.7 VDD	VDD+0.5	V
	VIH4	IDEバス	2.0	VDD+0.5	V
ロウ・レベル入力電圧	VIL1	下記信号以外	-0.5	+0.8	V
	VIL2	HIUCLK, BMUCLK	-0.5	+1.0	V
	VIL3	FAULT, <u>SYSRST</u> , <u>HRESET</u>	-0.5	0.3 VDD	V
ハイ・レベル出力電圧	VOH1	IOH1 = -400 μA, 下記信号以外	0.7 VDD		V
	VOH2	IOH2 = -400 μA, R27OUT, IDEバス	2.4		V
ロウ・レベル出力電圧	VOL1	IOL1 = 2.5 mA, 下記信号以外		0.4	V
	VOL2	IOL2 = 2.5 mA, R27OUT		0.45	V
	VOL3	IOL3 = 12.0 mA, IDEバス		0.5	V
ハイ・レベル入力リーク電流	I _{IH}	Vi = VDD		10	μA
ロウ・レベル入力リーク電流	I _{IL}	Vi = 0 V		-10	μA
ハイ・レベル出力リーク電流	I _{OH}	Vi = VDD		10	μA
ロウ・レベル出力リーク電流	I _{OL}	Vi = 0 V		-10	μA
電源電流	I _{DD}			200	mA

容量 (TA = 25 °C, VDD = 0 V)

項目	略号	条件	MIN.	MAX.	単位
入力容量	CI	f = 1 MHz		20	pF
出力容量	CO	被測定端子以外は0 V		20	pF
入出力容量	CIO			20	pF

AC特性 (TA = -10 °C ~ +70 °C, VDD = +5.0 V ± 5 %)

システム・インタフェース :

リセット・タイミング

項目	略号	条件	MIN.	MAX.	単位
SYSRSTロウ・レベル幅	tRSRSL		16		tHCYK

クロック・タイミング

項目	略号	条件	MIN.	MAX.	単位
HIUCLK入力サイクル時間	tHCYK		8	20	MHz
HIUCLK入力ハイ・レベル幅	tHIKKH		20		ns
HIUCLK入力ロウ・レベル幅	tHIKKL		20		ns
HIUCLK入力立ち上がり時間	tHIKR			10	ns
HIUCLK入力立ち下がり時間	tHIKF			10	ns
BMUCLK入力サイクル時間	tBMCYK			30	MHz
BMUCLK入力ハイ・レベル幅	tBMKKH		17		ns
BMUCLK入力ロウ・レベル幅	tBMKKL		17		ns
BMUCLK入力立ち上がり時間	tBMKR			5	ns
BMUCLK入力立ち下がり時間	tBMKF			5	ns
RFCLK入力サイクル時間	tRFCYK			51	MHz
RFCLK入力ハイ・レベル幅	tRFKKH		8		ns
RFCLK入力ロウ・レベル幅	tRFKKL		8		ns
RFCLK入力立ち上がり時間	tRFKR			5	ns
RFCLK入力立ち下がり時間	tRFKF			5	ns
RDCLK入力サイクル時間	tRDCYK			51	MHz
RDCLK入力ハイ・レベル幅	tRDKKH		8		ns
RDCLK入力ロウ・レベル幅	tRDKKL		8		ns
RDCLK入力立ち上がり時間	tRDKR			5	ns
RDCLK入力立ち下がり時間	tRDKF			5	ns
BCLK入力サイクル時間	tBCCYK			12	MHz
BCLK入力ハイ・レベル幅	tBCKKH		34		ns
BCLK入力ロウ・レベル幅	tBCKKL		34		ns
BCLK入力立ち上がり時間	tBCKR			10	ns
BCLK入力立ち下がり時間	tBCKF			10	ns
WFCK入力サイクル時間	tWFCYK		10		tEXCYK
WFCK入力ハイ・レベル幅	tWFKKH		1		tEXCYK
WFCK入力ロウ・レベル幅	tWFKKL		4		tEXCYK
WFCK入力立ち上がり時間	tWFKR			10	ns
WFCK入力立ち下がり時間	tWFKF			10	ns
EXCK入力サイクル時間	tEXCYK			20	tHCYK
EXCK入力ハイ・レベル幅	tEXKKH		450		ns
EXCK入力ロウ・レベル幅	tEXKKL		450		ns

MPUインタフェース

項目	略号	条件	MIN.	MAX.	単位
アドレス・セットアップ時間 (対RD)	tSAR	レジスタ・リード	20		ns
アドレス・ホールド時間 (対RD)	tHRA		20		ns
RD↓→データ出力遅延時間	tDR			50	ns
RD↑→データ・フロート時間	tFR			10	ns
CS2セットアップ時間 (対RD)	tSCSR		20		ns
CS2ホールド時間 (対RD)	tHRCs		20		ns
RDロウ・レベル幅	tRRL		70		ns
アドレス・セットアップ時間 (対WR)	tSAW	レジスタ・ライト	20		ns
アドレス・ホールド時間 (対WR)	tHWA		20		ns
WR↑→データ・セットアップ時間	tDW			30	ns
WR↑→データ・ホールド時間	tFW		0		ns
CS2セットアップ時間 (対WR)	tSCSW		20		ns
CS2ホールド時間 (対WR)	tHWCS		20		ns
WRロウ・レベル幅	tWWL		70		ns
アドレス・セットアップ時間 (対RD)	tSAR	メモリ・スルー・リード	20		ns
アドレス・ホールド時間 (対RD)	tHRA		20		ns
CS1セットアップ時間 (対RD)	tSMCSR		20		ns
CS1ホールド時間 (対RD)	tHMRCs		20		ns
CS1↓→READY↓遅延時間	tDRRDY			20	ns
データ・セットアップ時間→READY↑	tRDYD		1/2		tBMCYK
アドレス・セットアップ時間 (対WR)	tSAW	メモリ・スルー・ライト	20		ns
アドレス・ホールド時間 (対WR)	tHWA		20		ns
CS1セットアップ時間 (対WR)	tSMCSW		20		ns
CS1ホールド時間 (対WR)	tHMWCS		20		ns
CS1↓→READY↓遅延時間	tDWRDY			20	ns
WR↓→データ出力遅延時間	tDWDA			2	tBMCYK
RD, WR↓→READY↑遅延時間	tWRDY	メモリ・リード/ライト	5.5		tBMCYK
WR↑→INT↓遅延時間	tDW			50	ns

IDEインターフェース：

レジスタ・アクセス・タイミング

項目	略号	条件	MIN.	MAX.	単位
サイクル時間	t _H CYL		120		ns
アドレス・セットアップ時間(対DIOW/DIOR↓)	t _S HADR		25		ns
アドレス・ホールド時間(対DIOW/DIOR↓)	t _H HADR		10		ns
HCS0, HCS1セットアップ時間(対DIOW/DIOR↓)	t _S HCS		25		ns
HCS0, HCS1ホールド時間(対DIOW/DIOR↓)	t _H HCS		10		ns
DIOW/DIORロウ・レベル幅	t _D IOL		70		ns
DIOW/DIORリカバリ時間	t _R VDIO		25		ns
データ入力セットアップ時間(対DIOW↓)	t _S HDW		25		ns
データ入力ホールド時間(対DIOW↓)	t _H HDW		15		ns
DIOR↓→出力データ遅延時間	t _D HRD			20	ns
DIOR↑→データ・フロート時間	t _F HRD		5	30	ns

PIO転送タイミング

項目	略号	条件	MIN.	MAX.	単位
有効アドレス→HIOCS16↓遅延時間	t _D CS16D			30	ns
IORDYセットアップ時間(対DIOW/DIOR↓)	t _S IORDY			35	ns
有効出力データ→IORDY↑遅延時間	t _D IORDY		0		ns
有効アドレス→HIOCS16↑遅延時間	t _D CS16U	注		30	ns

注 HIOCS16は、ホストが1.0kΩでプルアップしています。

シングル・ワードDMA転送タイミング

項目	略号	条件	MIN.	MAX.	単位
HCS0, HCS1セットアップ時間(対DIOW/DIOR↓)	t _S HCS		25		ns
HCS0, HCS1ホールド時間(対DIOW/DIOR↓)	t _H HCS		25		ns
HDMACK↓→HDMARQ↓遅延時間	t _D HREQ			80	ns
HDMACK↓セットアップ時間(対DIOW/DIOR↓)	t _S HACK		0		ns
HDMACK↑遅延時間(対DIOW/DIOR↓)	t _D HACK		0		ns

マルチワードDMA転送タイミング

項目	略号	条件	MIN.	MAX.	単位
DIORハイ・レベル幅	t _D IORH		50		ns
DIOWハイ・レベル幅	t _D IOWH		50		ns
HDMARQ↓遅延時間(対DIOW/DIOR↓)	t _D HREQ			25	ns

HRESET, SRST, HINTRQ タイミング

項 目	略 号	条 件	MIN.	MAX.	単 位
HRESETロウ・レベル幅	tHRESETL		10		tHCYK
HRESET↑→ATインタフェース信号解放時間	tRVHRST			6	tHCYK
DIOW↑→ATインタフェース信号解放時間	tRVDIOW			1.5	tHCYK
DIOA↓→HINTRQ↓遅延時間	tDRHINT			100	ns

バッファ・メモリ・インタフェース：

リード

項目	略号	条件	MIN.	MAX.	単位
メモリ・リード・サイクル時間	t _{RC}		4		t _{cyk}
RASパルス幅	t _{RAS}		2		t _{cyk}
RASプリチャージ時間	t _{RP}		2		t _{cyk}
CAS-RASリカバリ時間	t _{CRP}		1.5 t _{cyk} -10		ns
CASリカバリ時間	t _{CPN}		2.5		t _{cyk}
ロウ・アドレス・セットアップ時間(RAS↓)	t _{SRAMA}		1 t _{cyk} -12		ns
RAS-CAS遅延時間	t _{RCD}		1 t _{cyk} -10		ns
RASホールド時間	t _{RSH}		1 t _{cyk} -12		ns
ロウ・アドレス・ホールド時間(RAS↓)	t _{HRAMA}		0.5 t _{cyk} -6		ns
CASパルス幅	t _{CAS}		1.5		t _{cyk}
カラム・アドレス・セットアップ時間(CAS↓)	t _{SCMA}		0.5 t _{cyk} -10		ns
カラム・アドレス・ホールド時間(CAS↓)	t _{HCMA}		2		t _{cyk}
データ・セットアップ時間(CAS↑)	t _{MDRS}		28		ns
データ・ホールド時間(CAS↑)	t _{MDRH}		0		ns
OEセットアップ時間(RAS↓)	t _{RCS}		0.5 t _{cyk} -9		ns
OEパルス幅	t _{ODP}		3		t _{cyk}

備考 t_{cyk}は、1BMUクロックです。

ライト

項目	略号	条件	MIN.	MAX.	単位
メモリ・ライト・サイクル時間	t _{RC}		4		t _{cyk}
RASパルス幅	t _{RAS}		2		t _{cyk}
RASプリチャージ時間	t _{RP}		2		t _{cyk}
CAS-RASリカバリ時間	t _{CRP}		1.5 t _{cyk} -10		ns
CASリカバリ時間	t _{CPN}		2.5		t _{cyk}
ロウ・アドレス・セットアップ時間(RAS↓)	t _{SRAMA}		1 t _{cyk} -12		ns
RAS-CAS遅延時間	t _{RCD}		1 t _{cyk} -10		ns
RASホールド時間	t _{RSH}		1 t _{cyk} -12		ns
ロウ・アドレス・ホールド時間(RAS↓)	t _{HRAMA}		0.5 t _{cyk} -6		ns
CASパルス幅	t _{CAS}		1.5		t _{cyk}
カラム・アドレス・セットアップ時間(CAS↓)	t _{SCMA}		0.5 t _{cyk} -10		ns
カラム・アドレス・ホールド時間(CAS↓)	t _{HCMA}		2		t _{cyk}
WEセットアップ時間(RAS↓)	t _{WCS}		0.5 t _{cyk} -10		ns
WEパルス幅	t _{WP}		3		t _{cyk}
WEホールド時間(RAS↓)	t _{WCH}		2.5 t _{cyk} -13		ns
データ出力遅延時間(WE↓)	t _{MDWD}			40	ns
データ・フロート時間(WE↑)	t _{MDWF}			15	ns

備考 t_{cyk}は、1BMUクロックです。

リフレッシュ

項 目	略 号	条 件	MIN.	MAX.	単 位
CASセットアップ時間 (\overline{RAS} ↓)	tCSR		1 tcyk-12		ns
RASパルス幅	tRAS		2		tcyk
CASプリチャージ時間	tRFP		tcyk-3		ns
CASホールド時間 (\overline{RAS} ↓)	tCHR		1 tcyk-10		ns
CASパルス幅	tRFCAS		2		tcyk

備考 tcykは、1BMUクロックです。

ページ・モード・バッファ・メモリ・インタフェース

リード

項目	略号	条件	MIN.	MAX.	単位
メモリ・リード・サイクル時間	t _{RC}		4		t _{cyk}
RASバース幅	t _{RAS}		2		t _{cyk}
RASプリチャージ時間	t _{RP}		2		t _{cyk}
CAS-RASリカバリ時間	t _{CRP}		1.5 t _{cyk} -10		ns
CASリカバリ時間	t _{CPN}		2.5		t _{cyk}
ロウ・アドレス・セットアップ時間(RAS↓)	t _{SRAMA}		1 t _{cyk} -12		ns
RAS-CAS遅れ時間	t _{RCd}		1 t _{cyk} -10		ns
ロウ・アドレス・ホールド時間(RAS↓)	t _{HRAMA}		0.5 t _{cyk} -6		ns
CASバース幅	t _{CAS}		1.5		t _{cyk}
カラム・アドレス・セットアップ時間(CAS↓)	t _{SCMA}		0.5 t _{cyk} -10		ns
カラム・アドレス・ホールド時間(CAS↓)	t _{HCMA}		2		t _{cyk}
データ・セットアップ時間(CAS↑)	t _{MDRS}		28		ns
データ・ホールド時間(CAS↑)	t _{MDRH}		0		ns
OEセットアップ時間(RAS↓)	t _{RCS}		0.5 t _{cyk} -9		ns
OEバース幅	t _{ROP}		3		t _{cyk}

備考 t_{cyk}は、1BMUクロックです。

ライト

項目	略号	条件	MIN.	MAX.	単位
メモリ・ライト・サイクル時間	t _{RC}		4		t _{cyk}
RASバース幅	t _{RAS}		2		t _{cyk}
RASプリチャージ時間	t _{RP}		2		t _{cyk}
CAS-RASリカバリ時間	t _{CRP}		1.5 t _{cyk} -10		ns
CASリカバリ時間	t _{CPN}		2.5		t _{cyk}
ロウ・アドレス・セットアップ時間(RAS↓)	t _{SRAMA}		1 t _{cyk} -12		ns
RAS-CAS遅延時間	t _{RCd}		1 t _{cyk} -10		ns
ロウ・アドレス・ホールド時間(RAS↓)	t _{HRAMA}		0.5 t _{cyk} -6		ns
CASバース幅	t _{CAS}		1.5		t _{cyk}
カラム・アドレス・セットアップ時間(CAS↓)	t _{SCMA}		0.5 t _{cyk} -10		ns
カラム・アドレス・ホールド時間(CAS↓)	t _{HCMA}		2		t _{cyk}
WEセットアップ時間(RAS↓)	t _{WCS}		0.5 t _{cyk} -10		ns
WEバース幅	t _{WP}		3		t _{cyk}
WEホールド時間(RAS↓)	t _{WCH}		2.5 t _{cyk} -13		ns
データ出力遅延時間(WE↓)	t _{MDWD}			40	ns
データ・フロート時間(WE↑)	t _{MDWF}			15	ns

備考 t_{cyk}は、1BMUクロックです。

デバイス・インタフェース (PDインタフェース)

項目	略号	条件	MIN.	MAX.	単位
R27INセットアップ時間 (対RDCLK↑)	tSR27IN		5		ns
R27INホールド時間 (対RDCLK↑)	tHR27IN		5		ns
FAULT入カロー・レベル幅	tWFAULT		5		tRFCYK
RFCLK↑→R27OUT遅延時間	tDR27OUT		0	12	ns
RFCLK↑, RDCLK↑→RGATE遅延時間	tDRGATE	負荷 20 pF	0	100	ns
RFCLK↑, RDCLK↑→PGATE遅延時間	tDPGATE	負荷 20 pF	0	100	ns
RFCLK↑, RDCLK↑→GOUT0遅延時間 ^注	tDGOUT0	負荷 20 pF	5	50	ns
RFCLK↑, RDCLK↑→GOUT1遅延時間 ^注	tDGOUT1		0	100	ns
RFCLK↑, RDCLK↑→GOUT2遅延時間 ^注	tDGOUT2		0	100	ns
RFCLK↑, RDCLK↑→DIDET遅延時間	tDDIDET		0	100	ns
DIDET出力ハイ・レベル幅	tWDIDET	RGATE = L	1		tRFCYK
		RGATE = H	1		tRDCYK
RFCLK↑, RDCLK↑→DIWIN遅延時間	tDDIWIN		0	100	ns
RFCLK↑→WGATE遅延時間	tDWGATE		5	50	ns
RFCLK↑→ALPCODF遅延時間	tDALPCODF		5	50	ns
ALPCODF出力ハイ・レベル幅	tWALPCODF	ODF選択時	16		tRFCYK
RFCLK↑→TRKEND遅延時間	tDTRKEND		0	100	ns
TRKEND出力ハイ・レベル幅	tWTRKEND		16		tRFCYK
RFCLK↑→JMPBAK遅延時間	tDJMPBAK		0	100	ns
JMPBAK出力ハイ・レベル幅	tWJMPBAK		16		tRFCYK
RFCLK↑→SMW遅延時間	tDSMW		0	100	ns
RFCLK↑→IDAREA遅延時間	tDIDAREA		0	100	ns
IDAREA出力ハイ・レベル幅	tWIDAREA		16		tRFCYK

注 RGATE = Hでは、RDCLKからのスペックとなります。

備考 測定時の負荷容量：R27OUT信号 = 15 pF, 他の出力信号 = 30 pF

セクタ・マーク入力タイミング (内部検出でDETBITMSK = 0の場合)

項目	略号	条件	MIN.	MAX.	単位
SMパターン全幅	t _{WSMALL}		68		t _{RFCLK}
SMパターン0 検出幅	t _{WSM0}		8		t _{RFCLK}
SMパターン1 検出幅	t _{WSM1}		4		t _{RFCLK}
SMパターン2 検出幅	t _{WSM2}		4		t _{RFCLK}
SMパターン3 検出幅	t _{WSM3}		12		t _{RFCLK}
SMパターン4 検出幅	t _{WSM4}		4		t _{RFCLK}
SMパターン5 検出幅	t _{WSM5}		4		t _{RFCLK}
SMパターン6 検出幅	t _{WSM6}		4		t _{RFCLK}
SMパターン7 検出幅	t _{WSM7}		4		t _{RFCLK}
SMパターン8 検出幅	t _{WSM8}		8		t _{RFCLK}
SMパターン無効幅 ^注	t _{WSMIGNR}			2	t _{RFCLK}

注 SMIとRFCLKは同期していないため、変化点を無効としてセクタ・マーク検出を行っています。

セクタ・マーク入力タイミング (内部検出でDETBITMSK = 1の場合)

項目	略号	条件	MIN.	MAX.	単位
SMパターン全幅	t _{WSMALL}		68		t _{RFCLK}
SMパターン0 検出幅	t _{WSM0}		5		t _{RFCLK}
SMパターン1 検出幅	t _{WSM1}		2		t _{RFCLK}
SMパターン2 検出幅	t _{WSM2}		2		t _{RFCLK}
SMパターン3 検出幅	t _{WSM3}		10		t _{RFCLK}
SMパターン4 検出幅	t _{WSM4}		2		t _{RFCLK}
SMパターン5 検出幅	t _{WSM5}		2		t _{RFCLK}
SMパターン6 検出幅	t _{WSM6}		2		t _{RFCLK}
SMパターン7 検出幅	t _{WSM7}		2		t _{RFCLK}
SMパターン8 検出幅	t _{WSM8}		5		t _{RFCLK}
SMパターン無効幅 ^注	t _{WSMIGNR}			4	t _{RFCLK}

注 SMIとRFCLKは同期していないため、変化点を無効としてセクタ・マーク検出を行っています。

セクタ・マーク入力タイミング (外部検出の場合)

項目	略号	条件	MIN.	MAX.	単位
SMIハイ・レベル幅	t _{WSMIEXT}		2		t _{RFCLK}

デバイス・インタフェース (CD-ROMインタフェース)

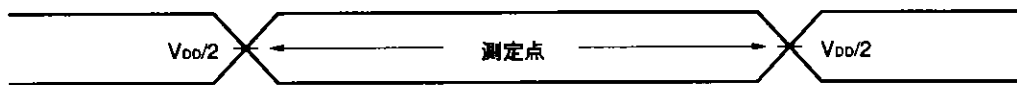
項目	略号	条件	MIN.	MAX.	単位
DATALセットアップ時間 (対BCLK↑)	tSDATAL		20		ns
DATALホールド時間 (対BCLK↑)	tHDATAL		20		ns
LRCKセットアップ時間 (対BCLK↑)	tSLRCK		20		ns
LRCKホールド時間 (対BCLK↑)	tHLRCK		20		ns

デバイス・インタフェース (サブコード・インタフェース)

項目	略号	条件	MIN.	MAX.	単位
SBSO遅延時間 (対EXCK↑)	tDSBSO		0	500	ns
SCORセットアップ時間 (対WFCK↑)	tHSCOR		100		ns
SCORホールド時間 (対WFCK↑)	tSSCOR		100		ns

ACタイミング測定点

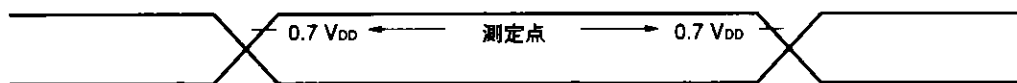
(a) クロック端子 (HIUCLK, BMUCLK)



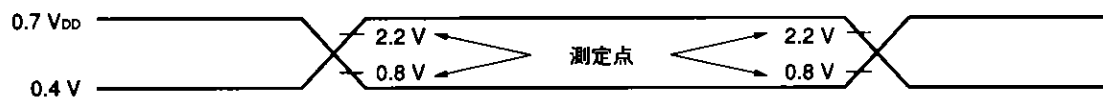
(b) R27OUT端子



(c) FAULT端子



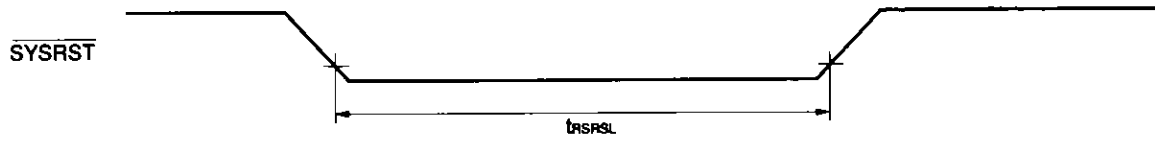
(d) その他の端子 (RFCLK, RDCLKを含む)



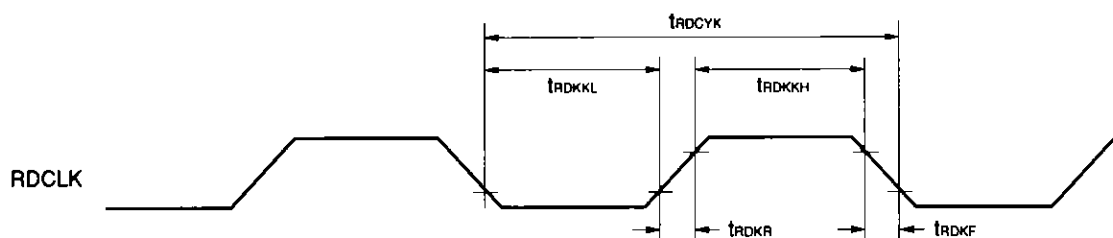
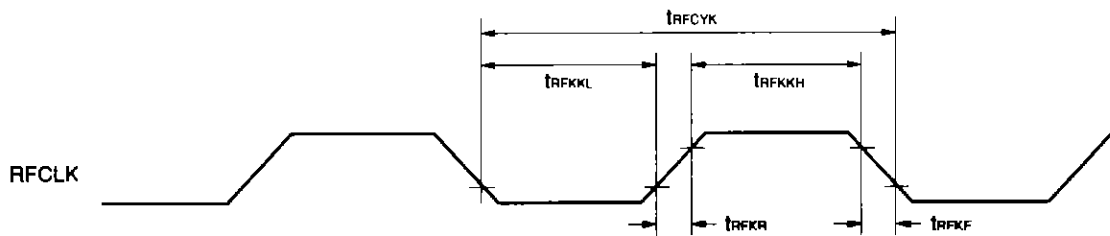
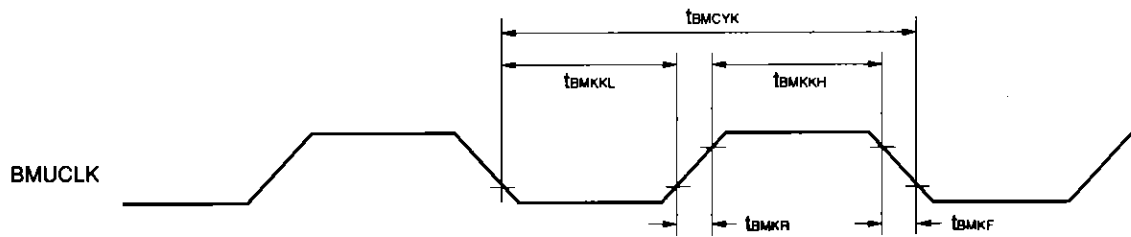
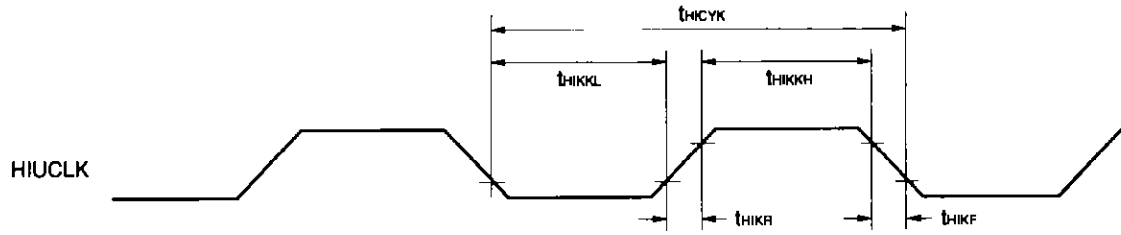
測定時の負荷容量

- (a) 15 pF : R27OUT
- (b) 30 pF : GOUT2-GOUT0, RGATE, PGATE, WGATE, SMI, SMW, ALPCODF, DIWIN, DIDET, IDAREA, ADRHL, ADRNBL3-ADRNBLO
- (c) 50 pF : D7-D0, READY, INT1, INT0, $\overline{\text{RAS}}$, $\overline{\text{CAS}}$, MA10-MA0, MD7-MD0, MDP, $\overline{\text{WE}}$, $\overline{\text{OE}}$, TRKEND, JMPBAK

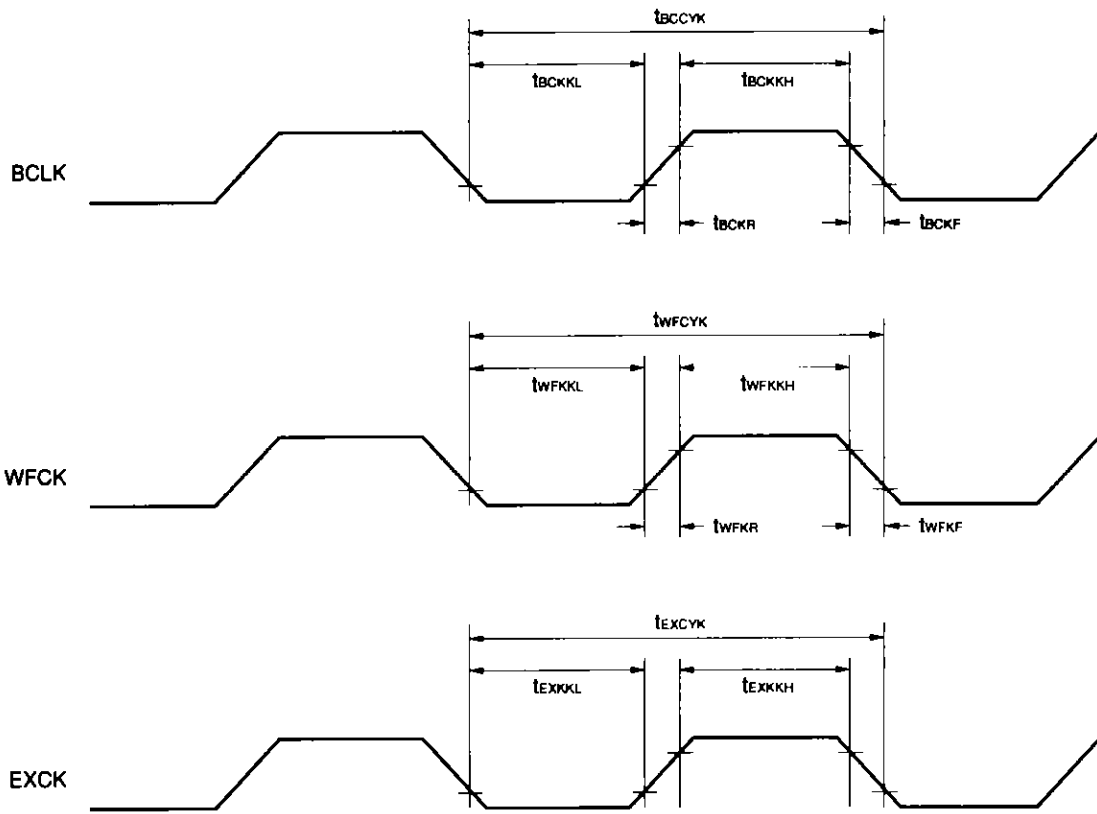
リセット・タイミング



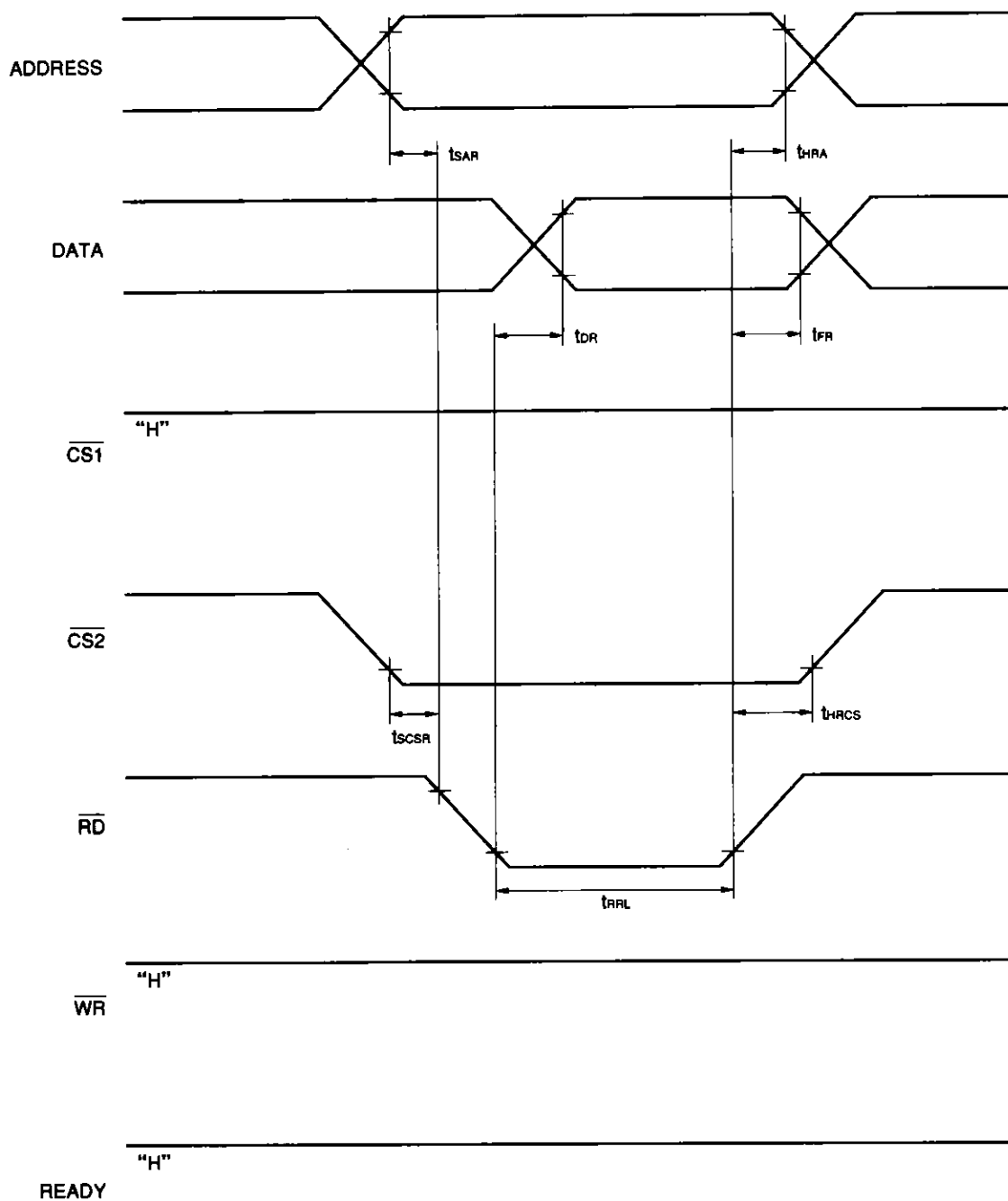
クロック・タイミング (1/2)



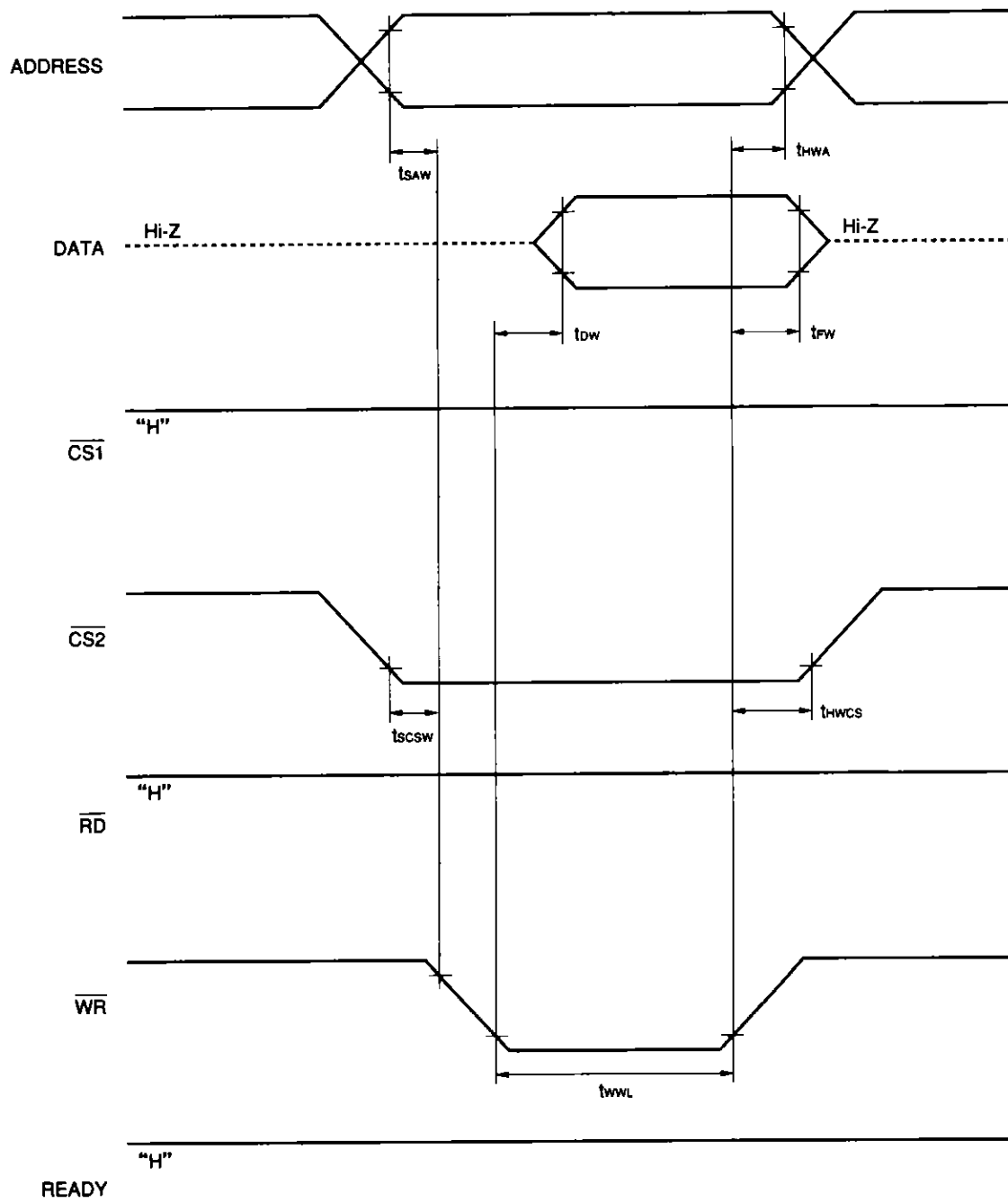
クロック・タイミング (2/2)



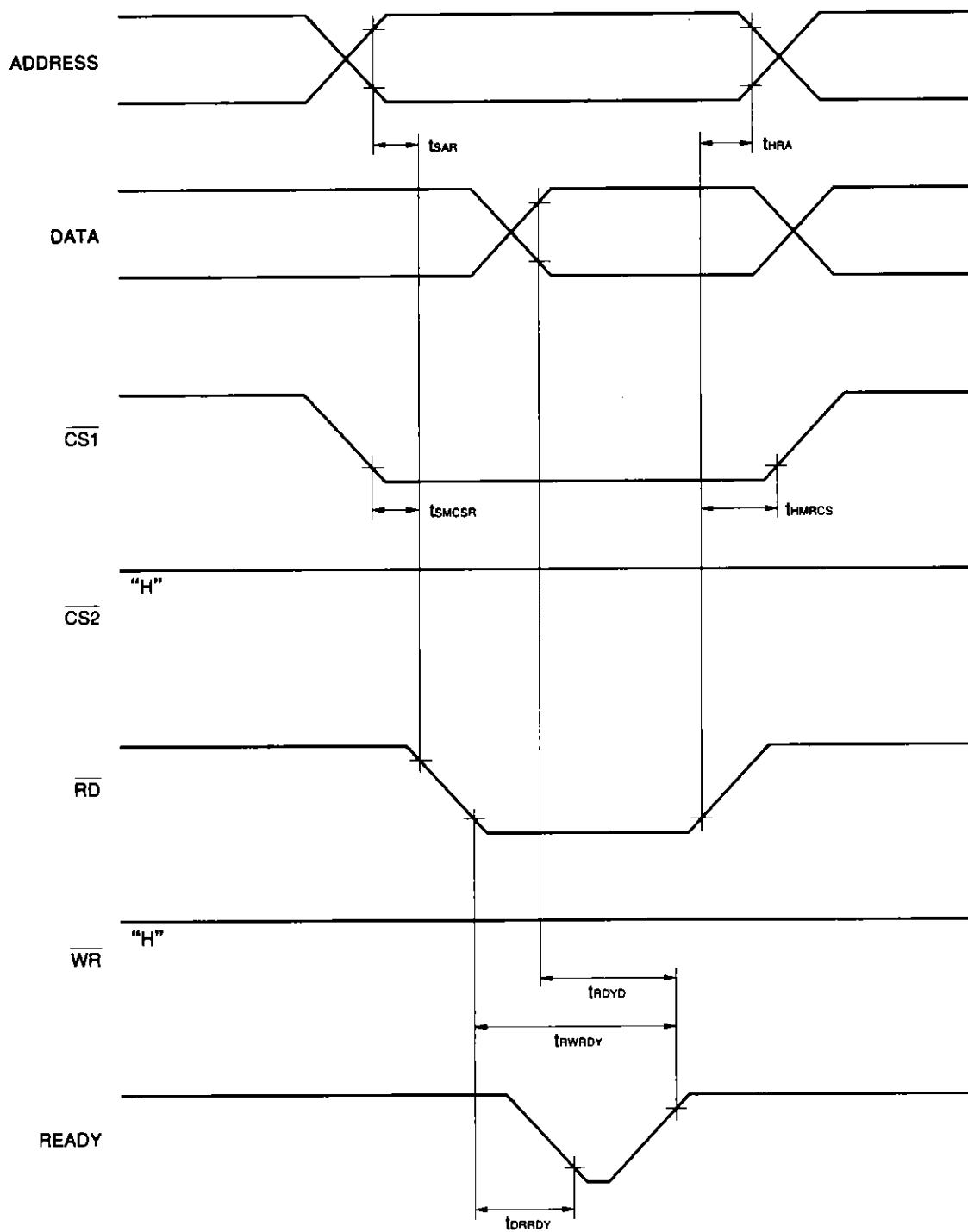
MPUインタフェース (レジスタ・リード・サイクル)



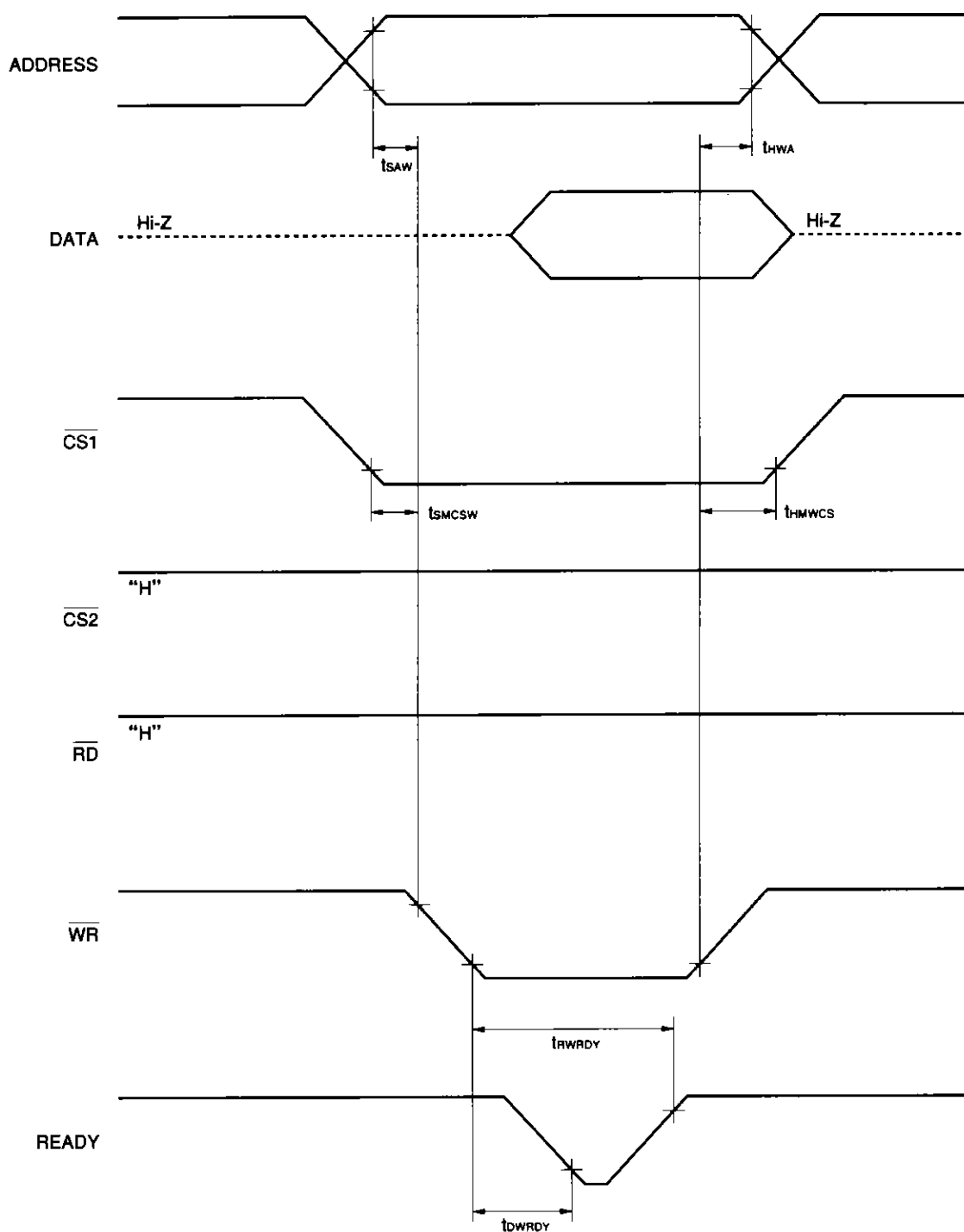
MPUインタフェース (レジスタ・ライト・サイクル)



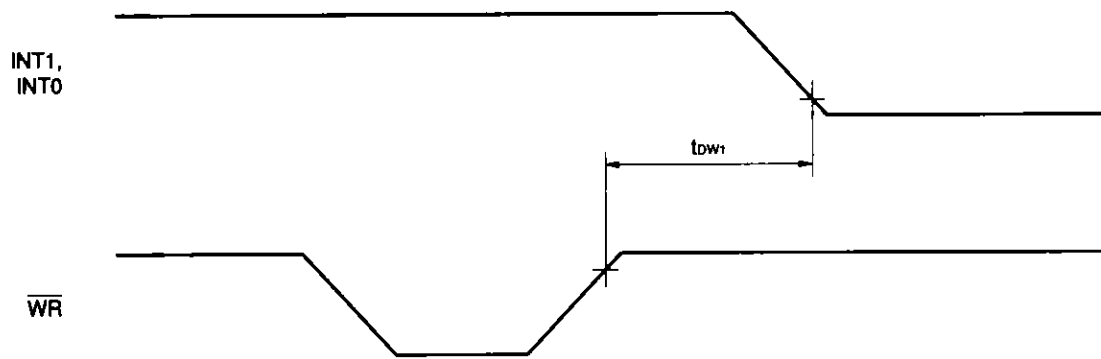
MPUインタフェース (メモリ・リード・サイクル)



MPUインタフェース (メモリ・ライト・サイクル)

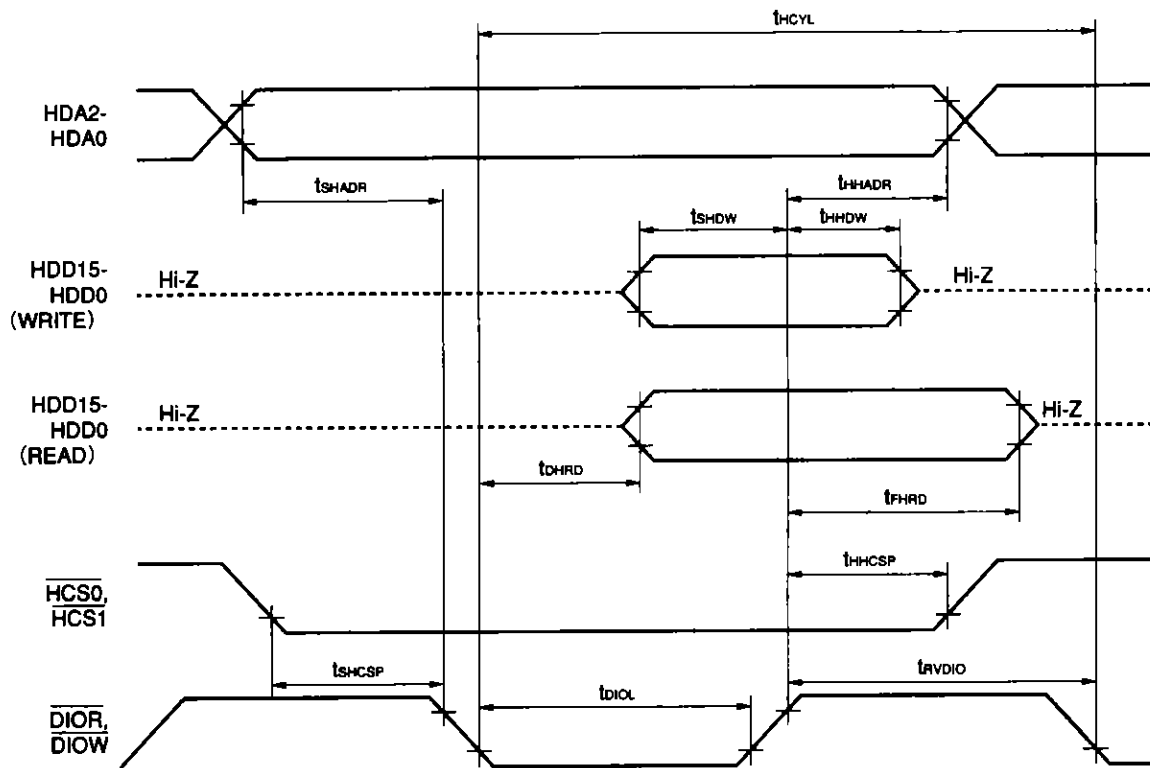


MPUインタフェース (INT, \overline{WR})

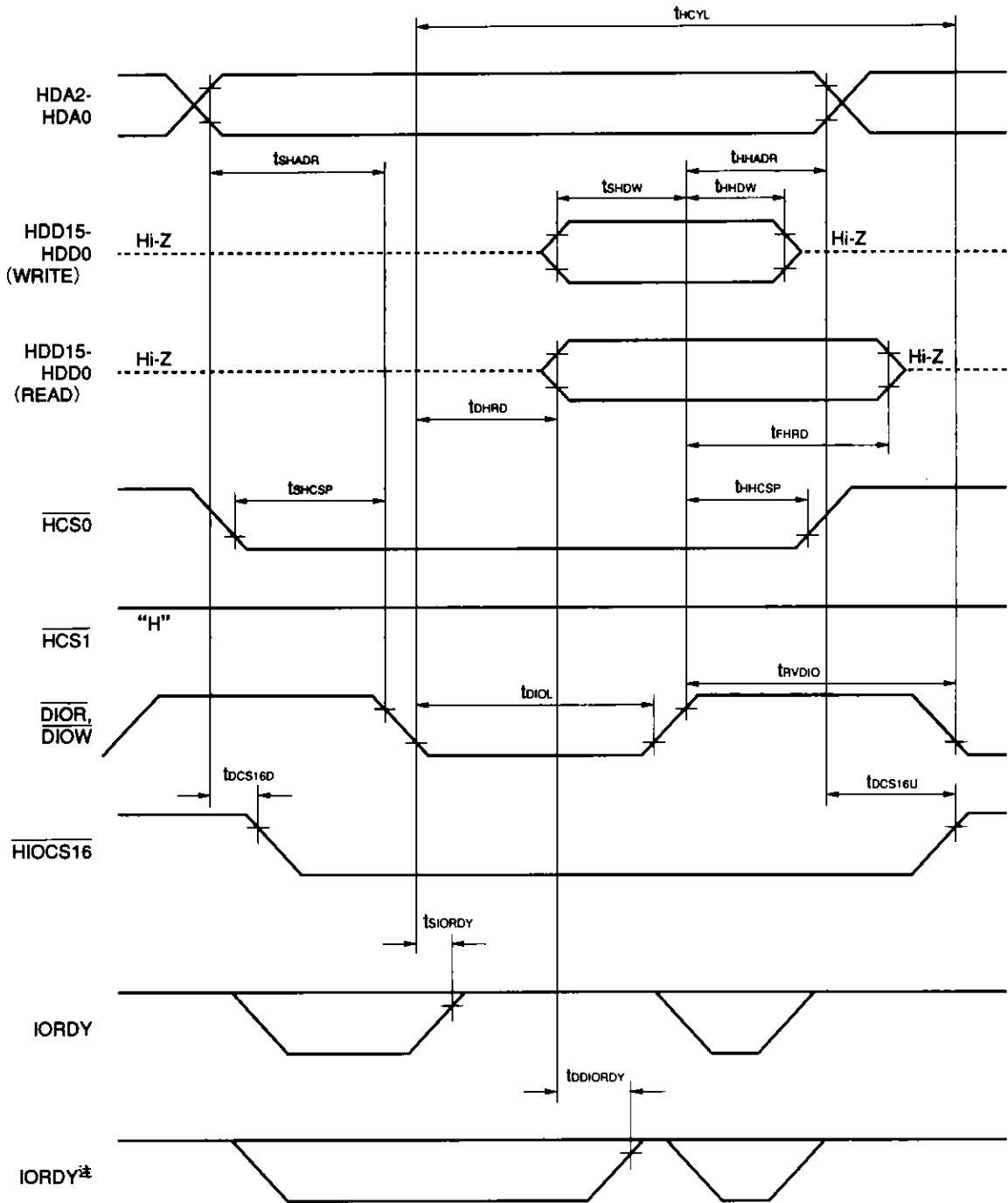


IDEインターフェース:

レジスタ・アクセス・タイミング (ホスト・サイド)

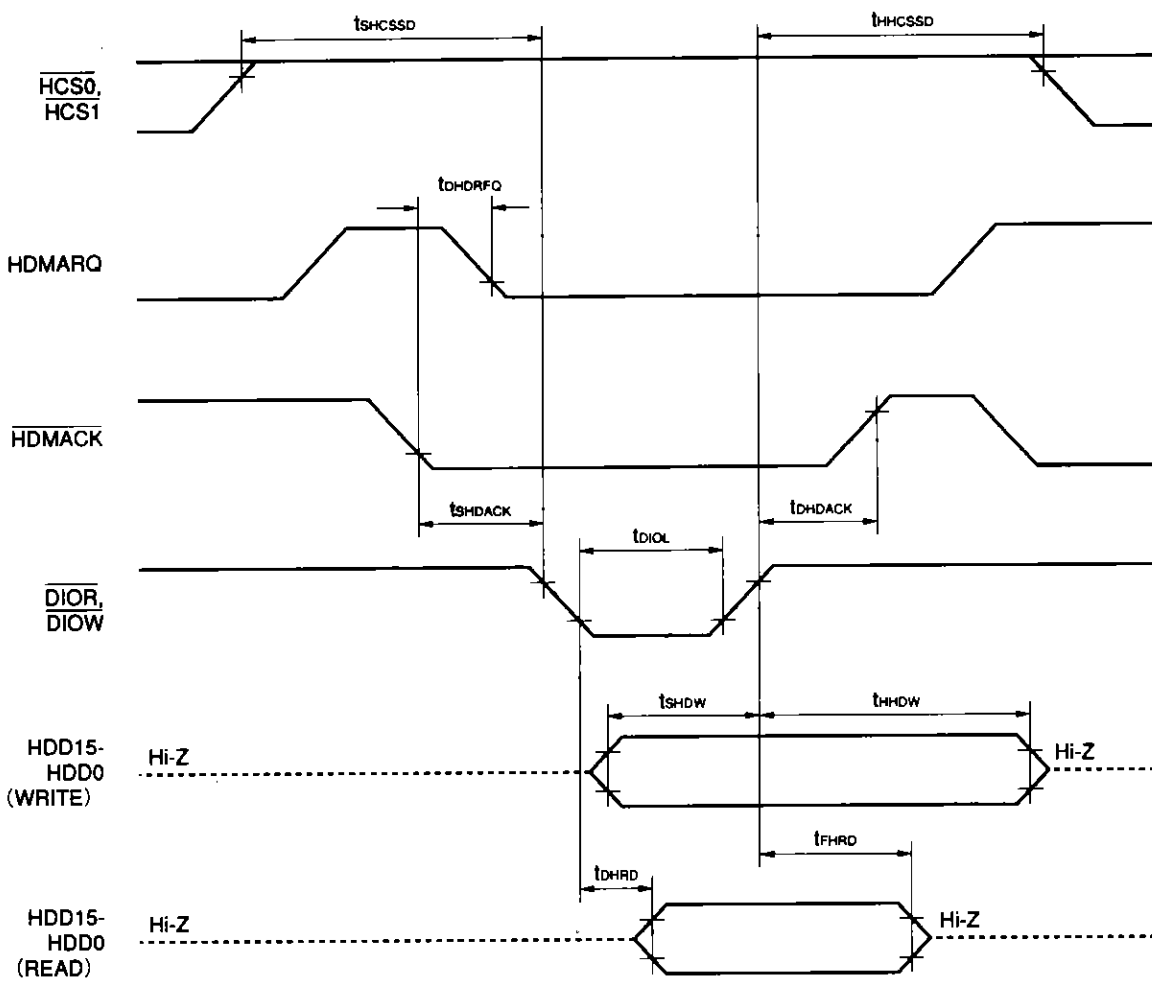


PIO転送タイミング

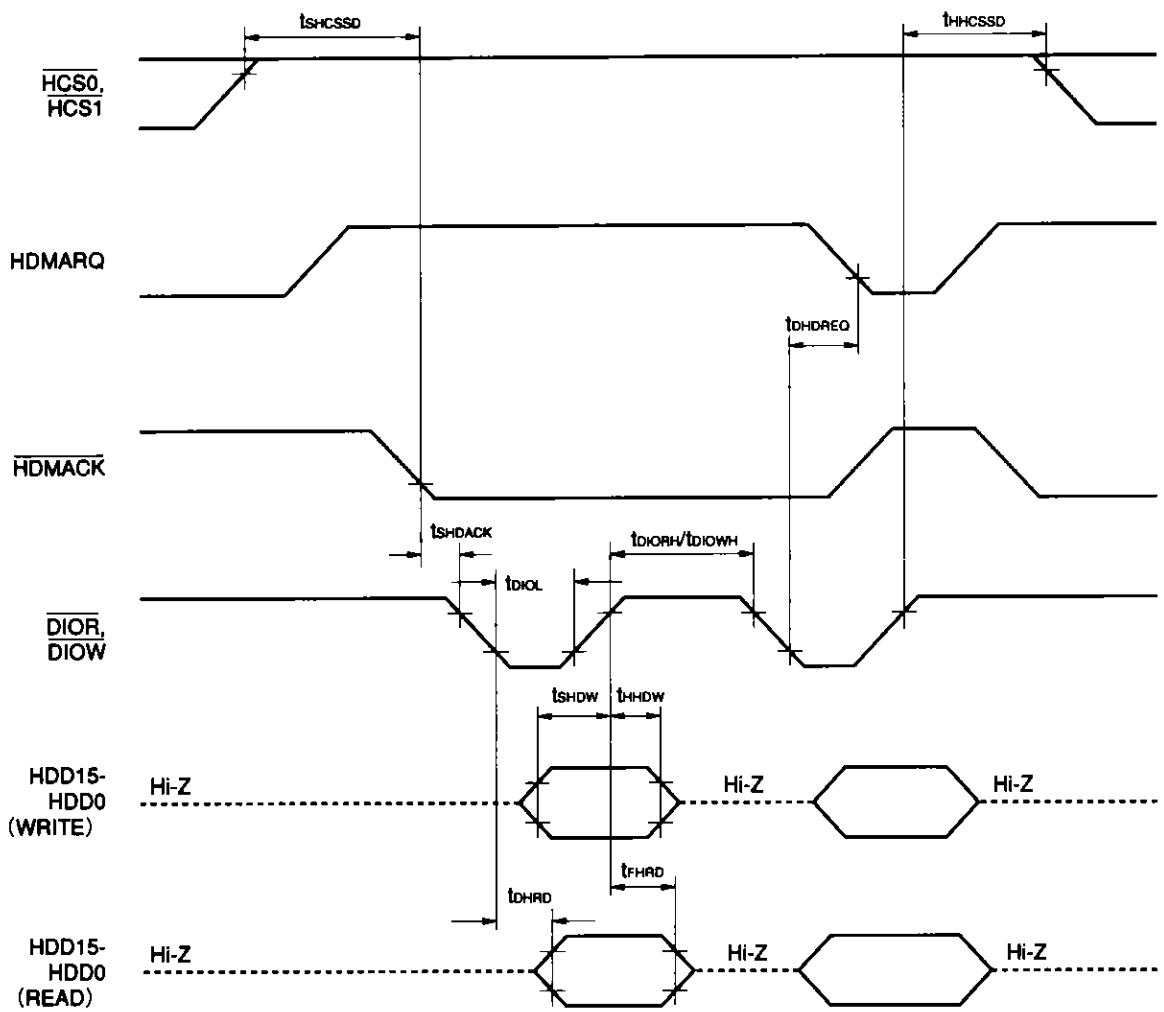


注 ウェイト・サイクルに入った場合

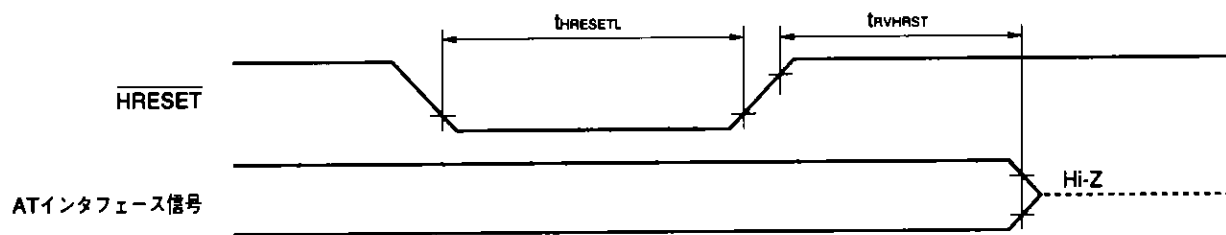
シングル・ワードDMA転送タイミング



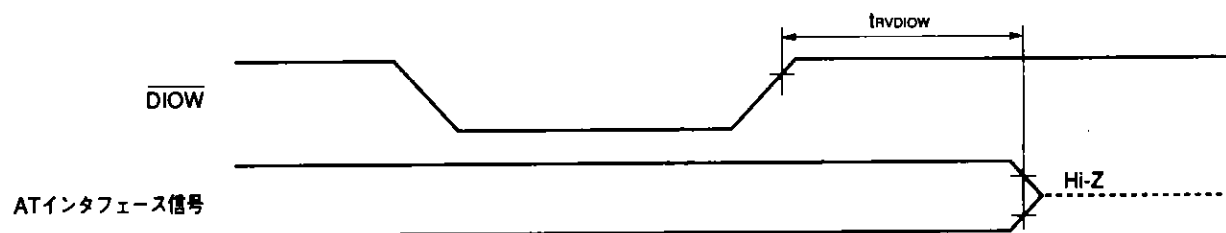
マルチワードDMA転送タイミング



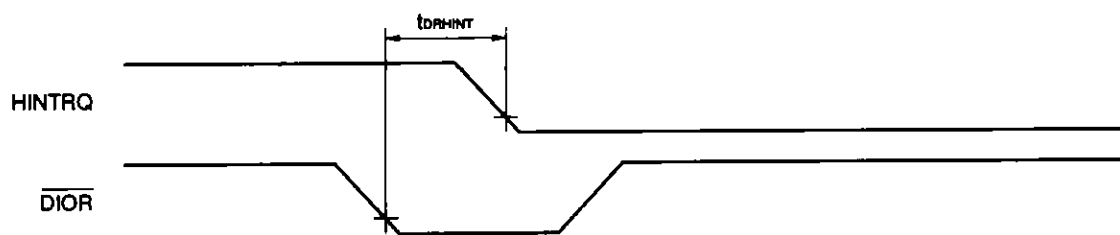
HRESET タイミング



SRST[#] タイミング



HINTRQ タイミング

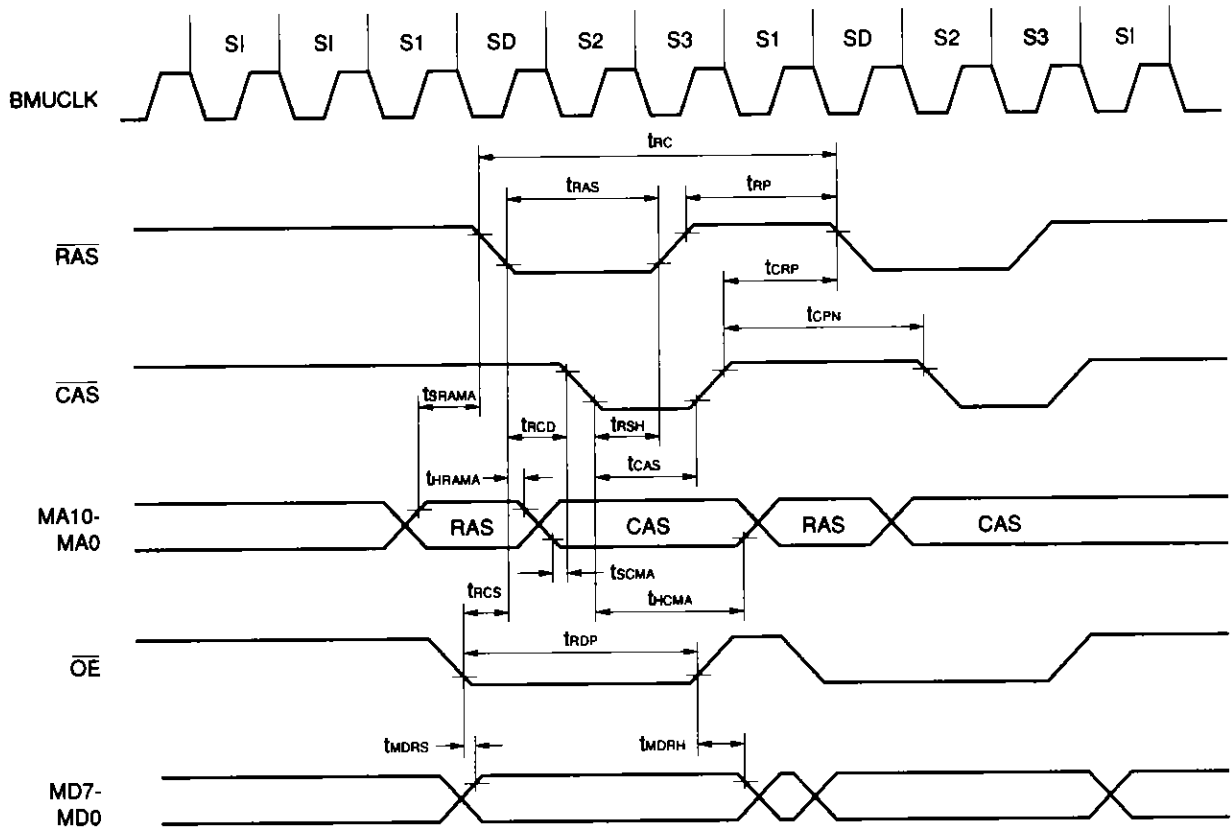


注 ATAPIのDevice Control RegisterのSRSTビット。

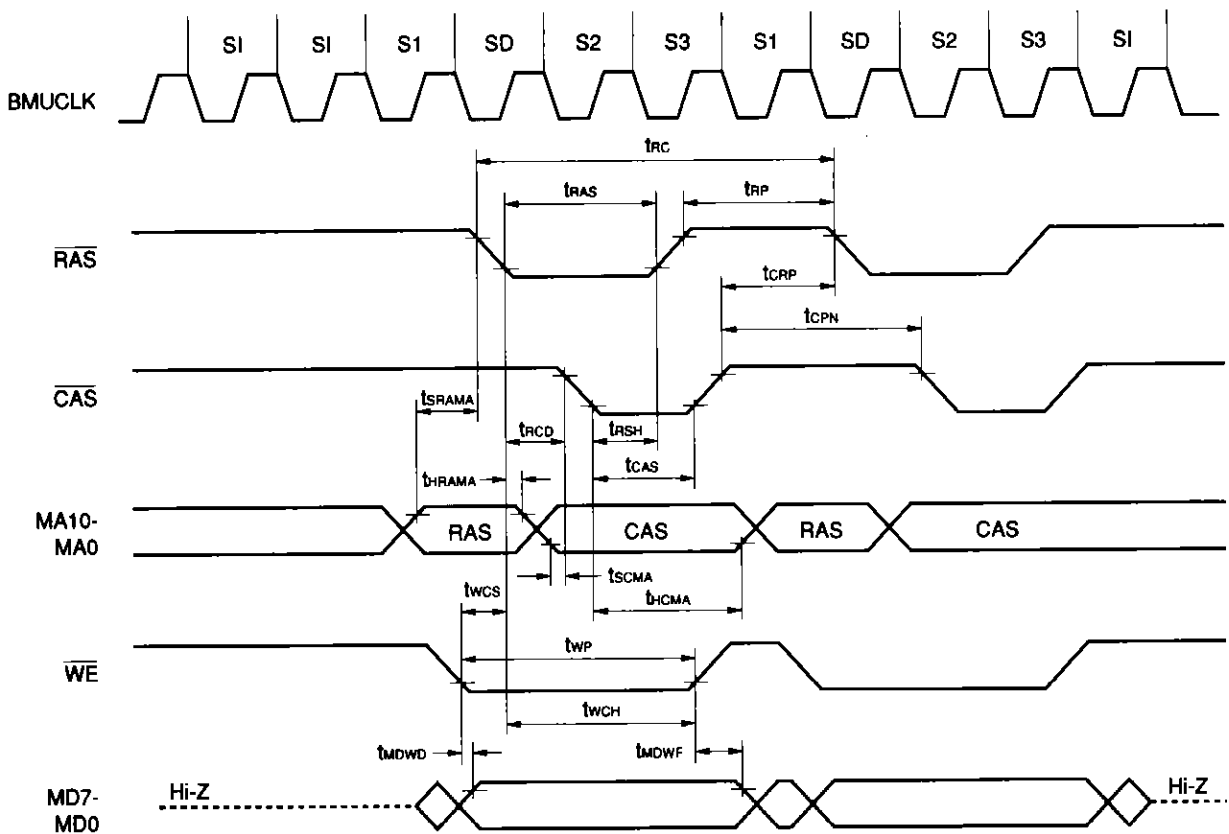
μPD72051の内部レジスタ (Device Control Register) のSRSTビットがこのタイミングで応答します。

バッファ・メモリ・インタフェース:

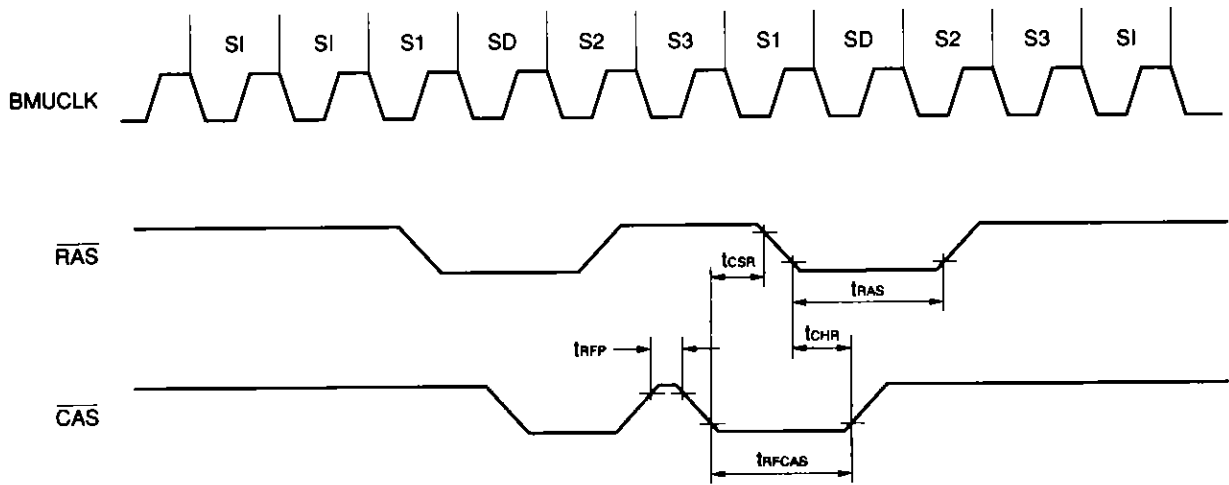
リード



ライト

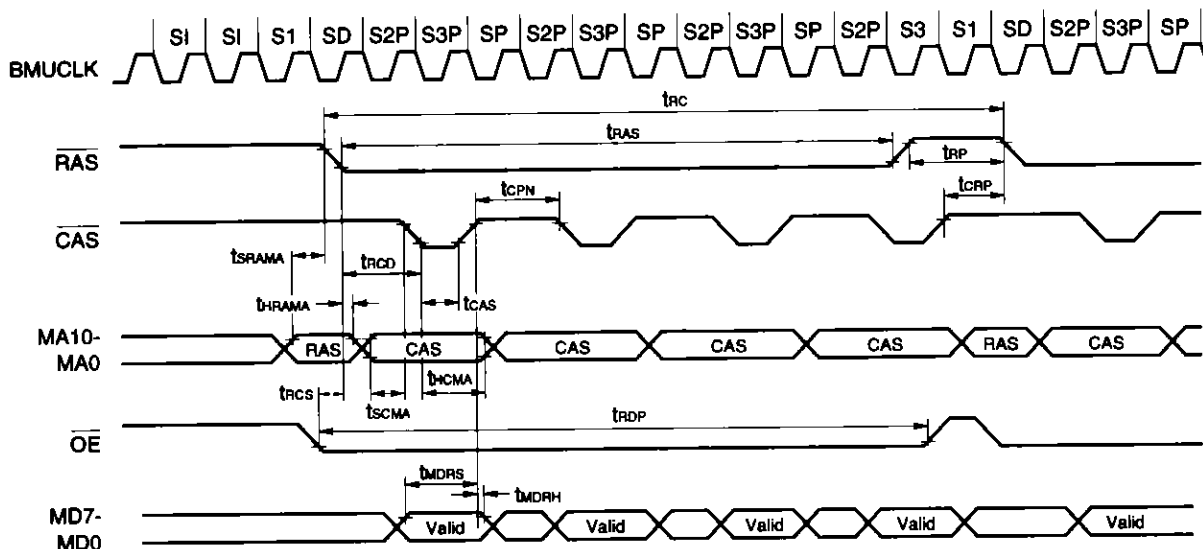


リフレッシュ

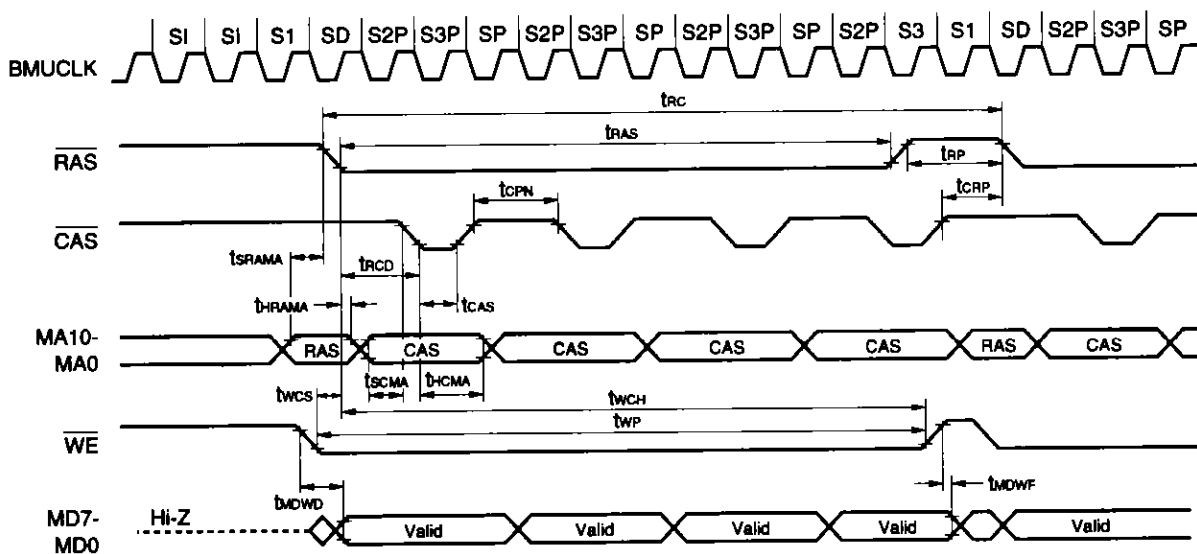


ページ・モード・バッファ・メモリ・インタフェース：

リード

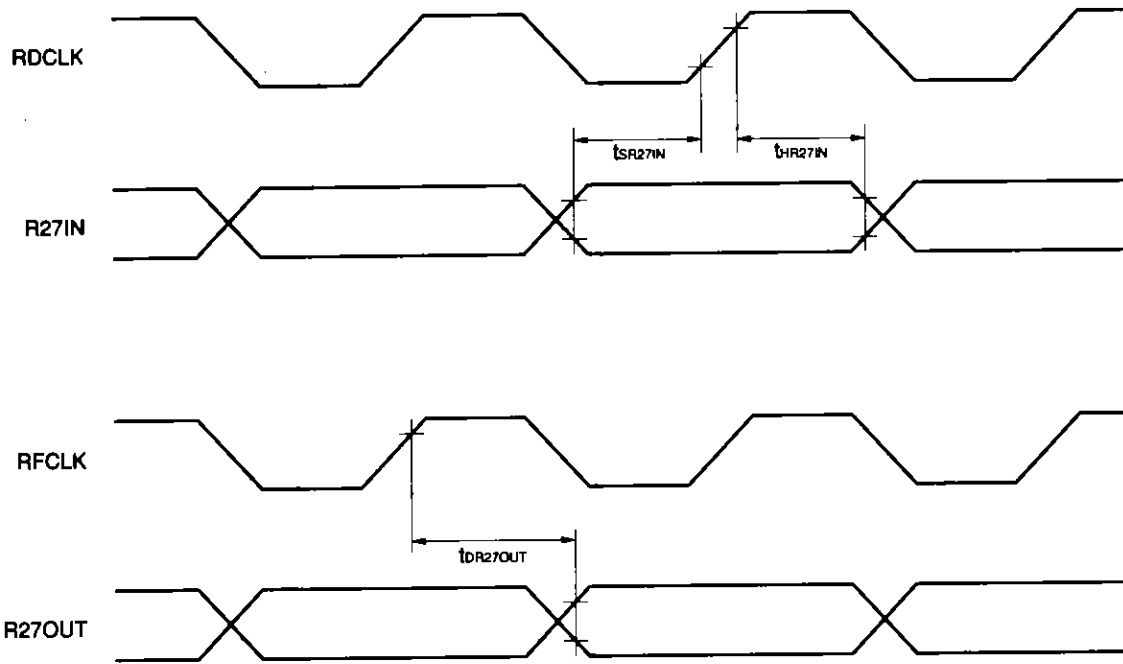


ライト

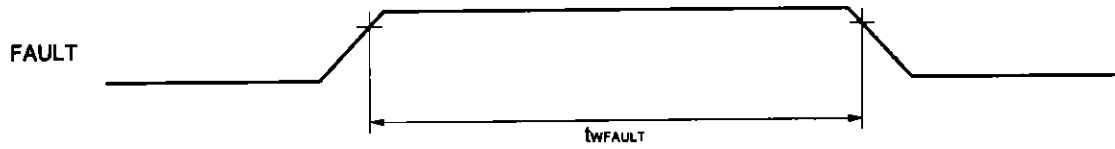


デバイス・インタフェース (PDインタフェース) :

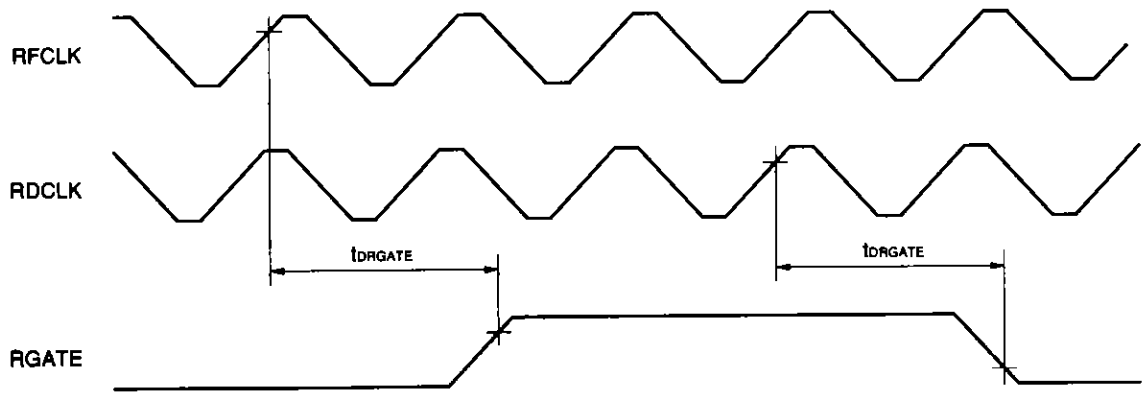
データ入出力タイミング



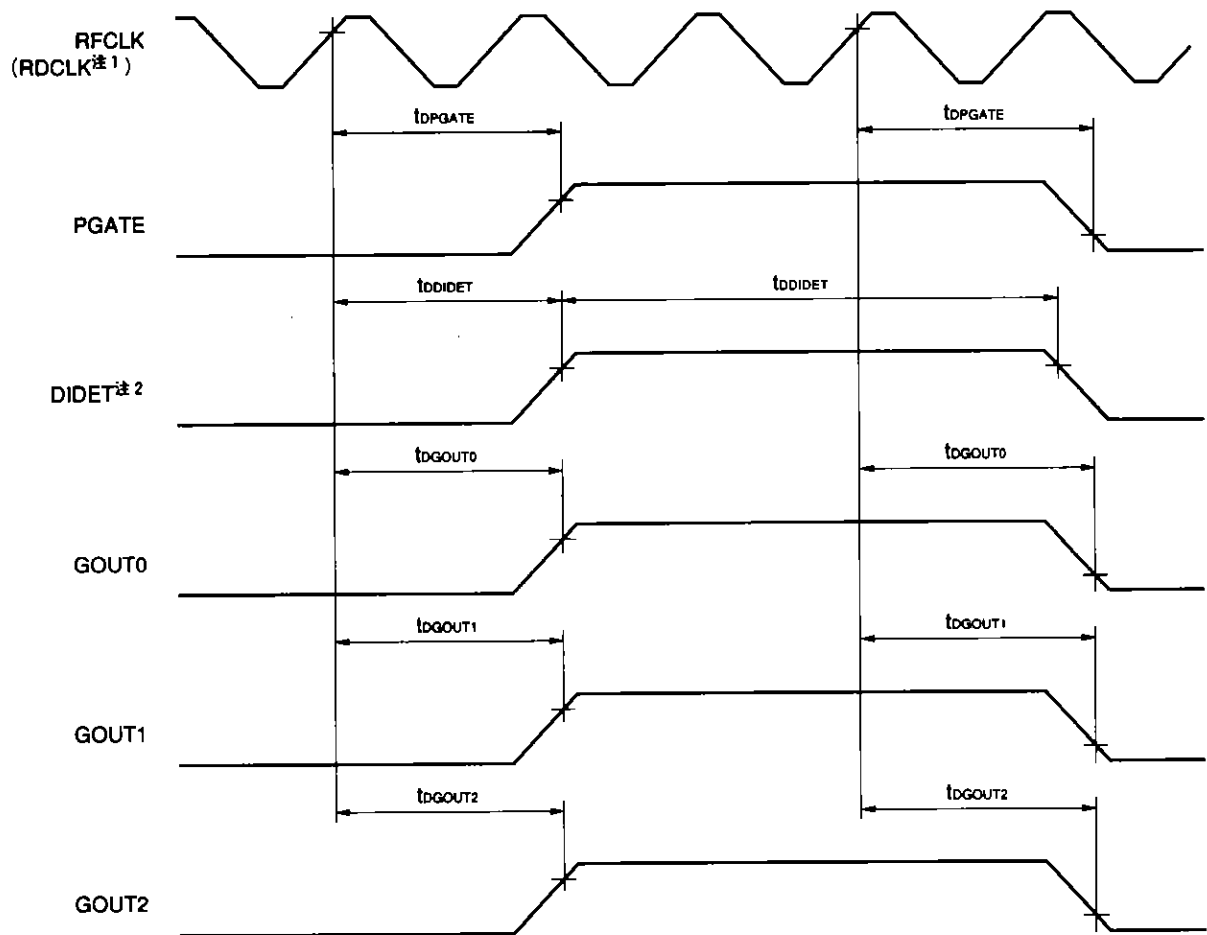
その他入力信号タイミング



出力信号タイミング (1/4)

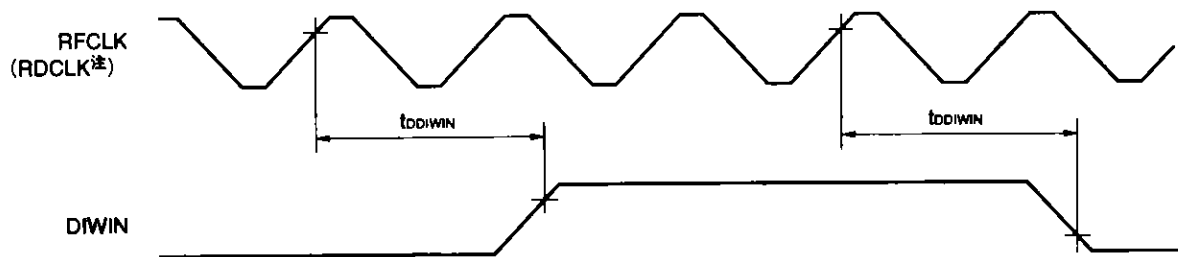


出力信号タイミング (2/4)



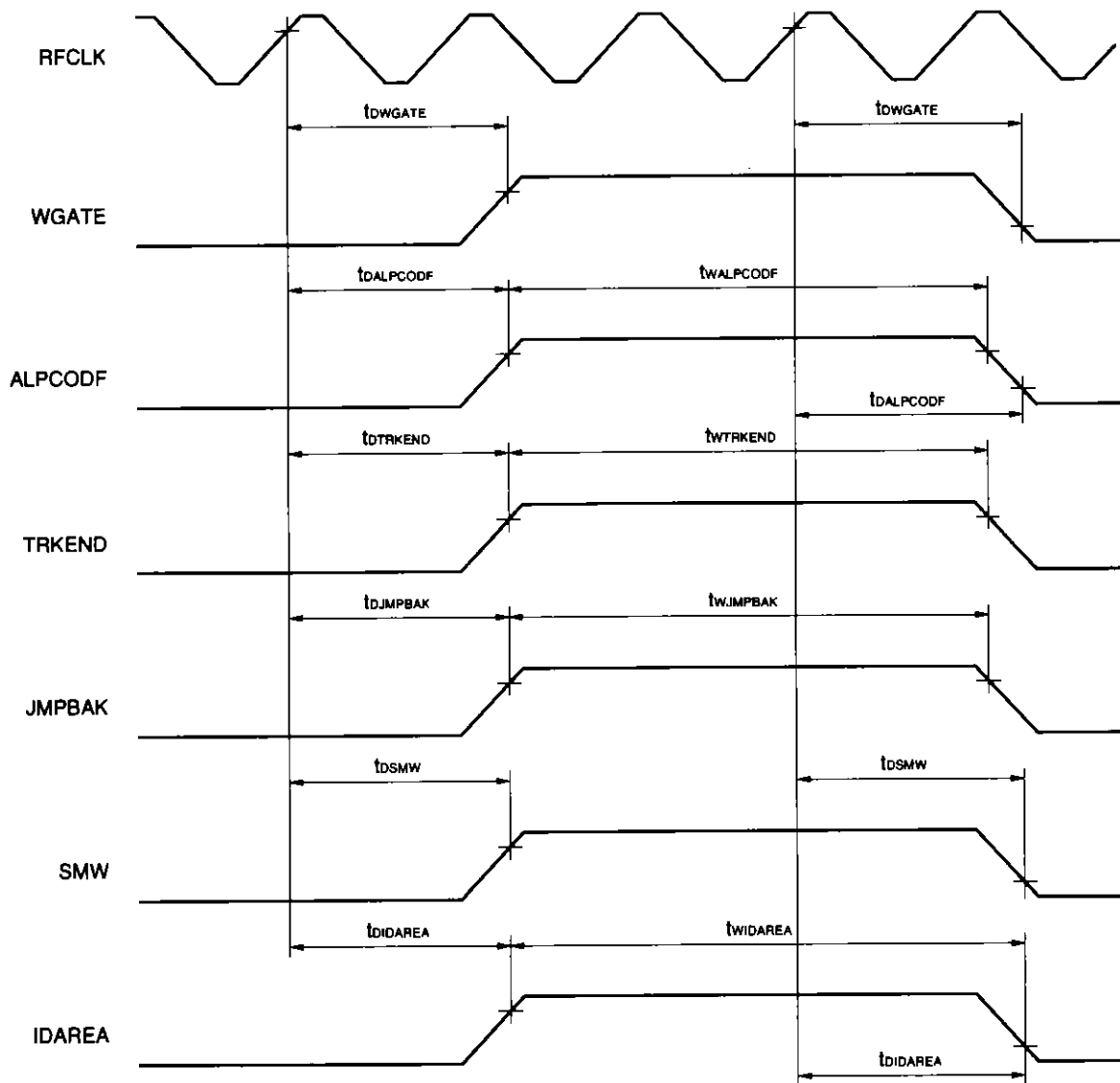
- 注1. RGATE = Lの場合はRFCLK↑からのスペック、
 RGATE = Hの場合はRDCLK↑からのスペックとなります。
2. RGATE = Lの場合はSM検出を示し、
 RGATE = Hの場合はAM, SYNC, RS検出を示します。

出力信号タイミング (3/4)

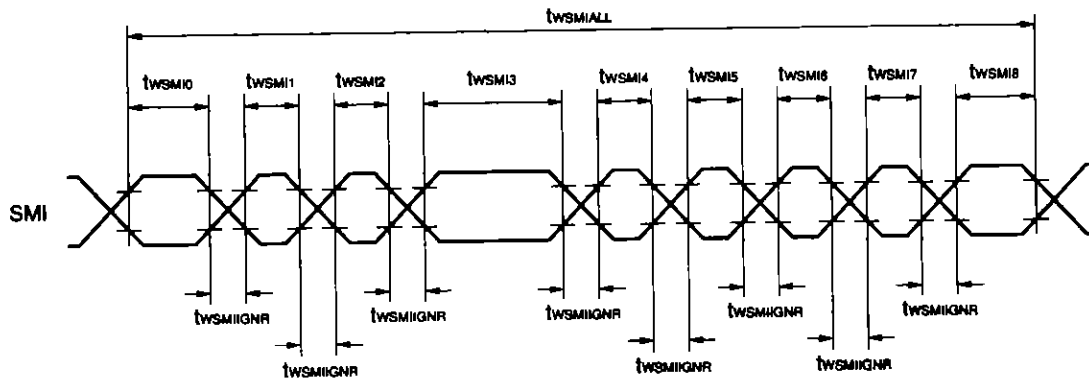


注 FLAG, SYNCの場合はRFCLK↑からのスペック,
AM, RSの場合はRDCLK↑からのスペックとなります。

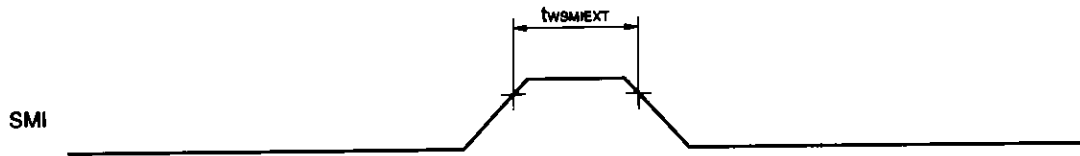
出力信号タイミング (4/4)



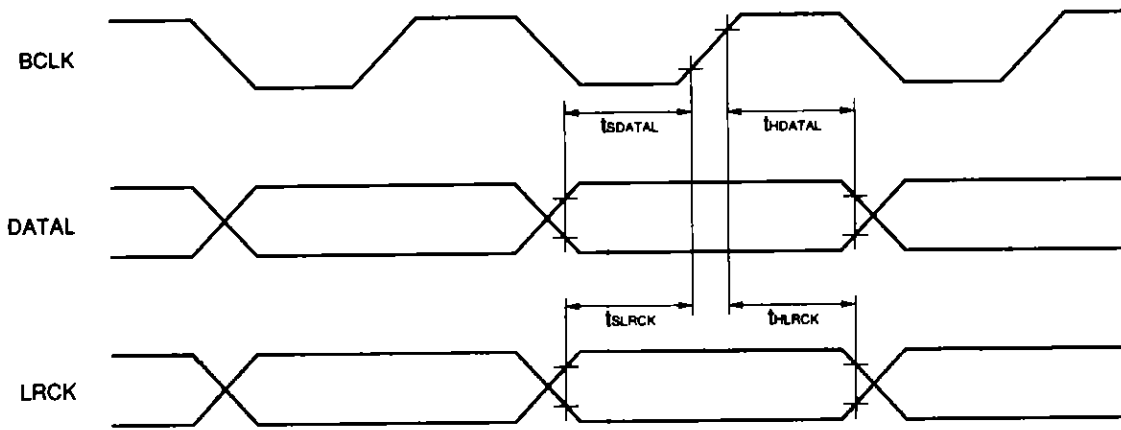
セクタ・マーク入力タイミング (μPD72051内部検出)



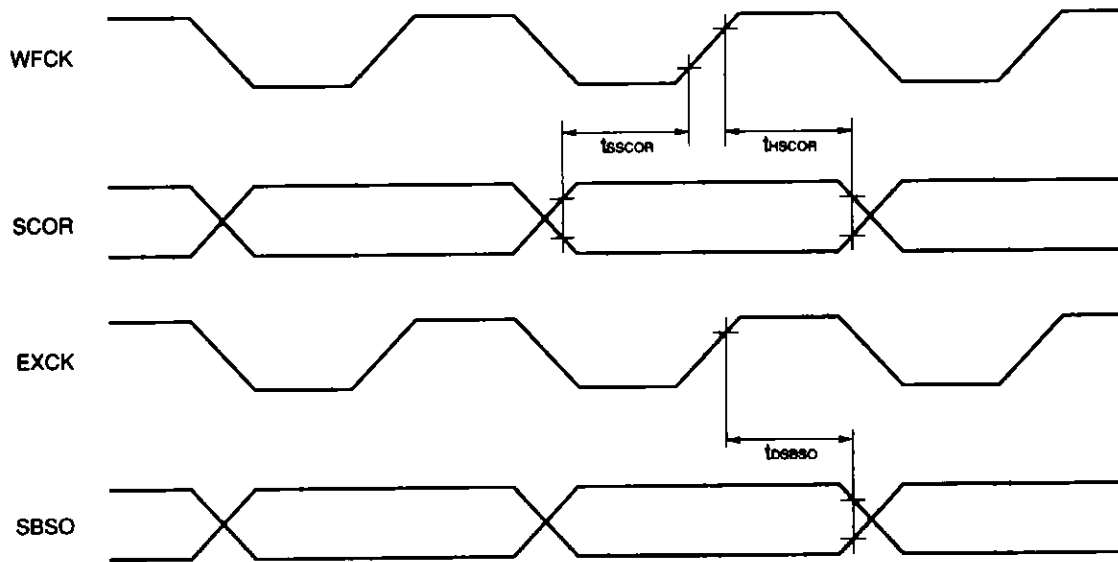
セクタ・マーク入力タイミング (外部検出)



デバイス・インタフェース (CD-ROMインタフェース)



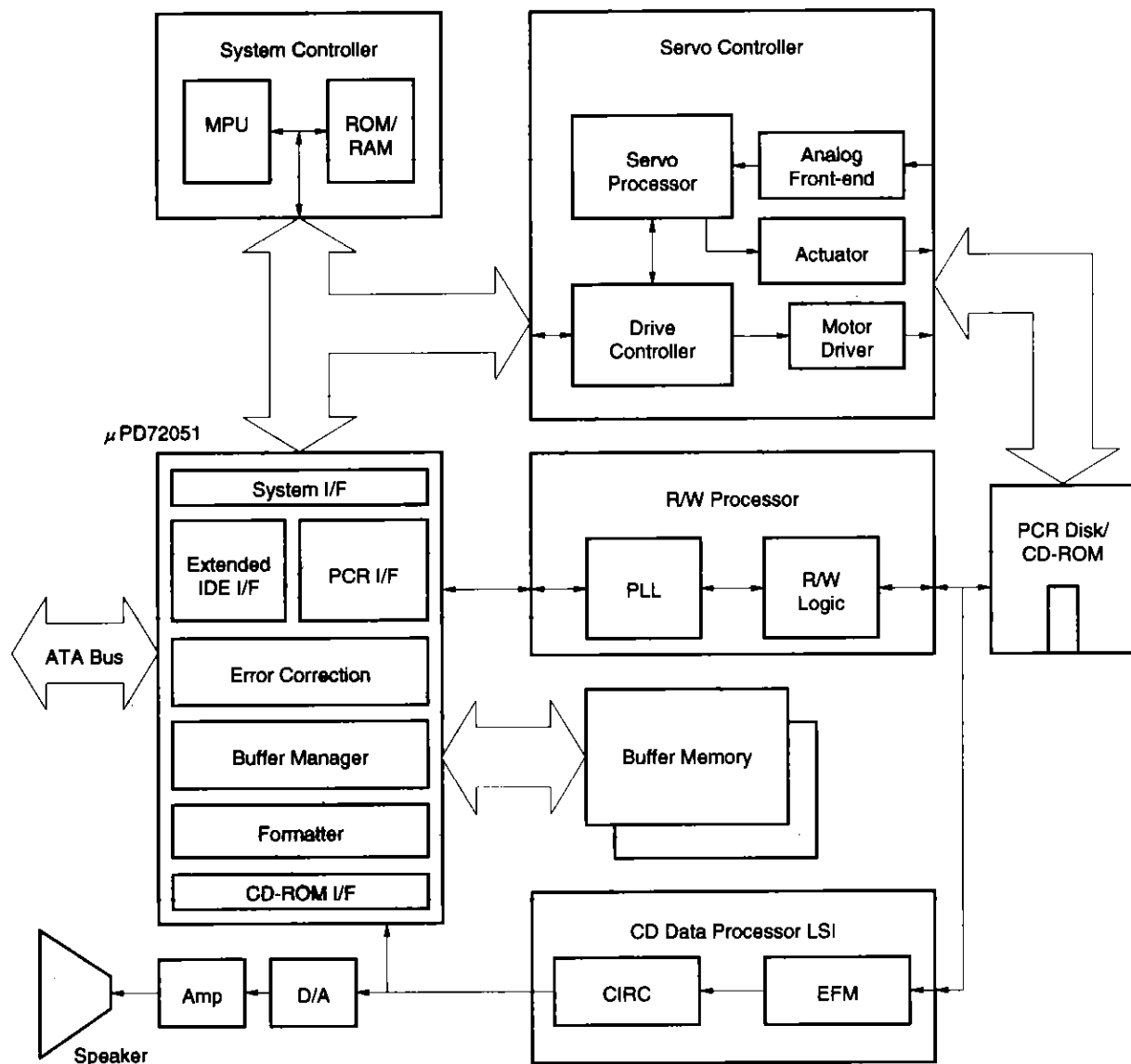
デバイス・インタフェース (サブコード・インタフェース)



5. システム構成例

次に、μPD72051を使用したPCR+CD-ROMドライブ・システムの構成例を示します。

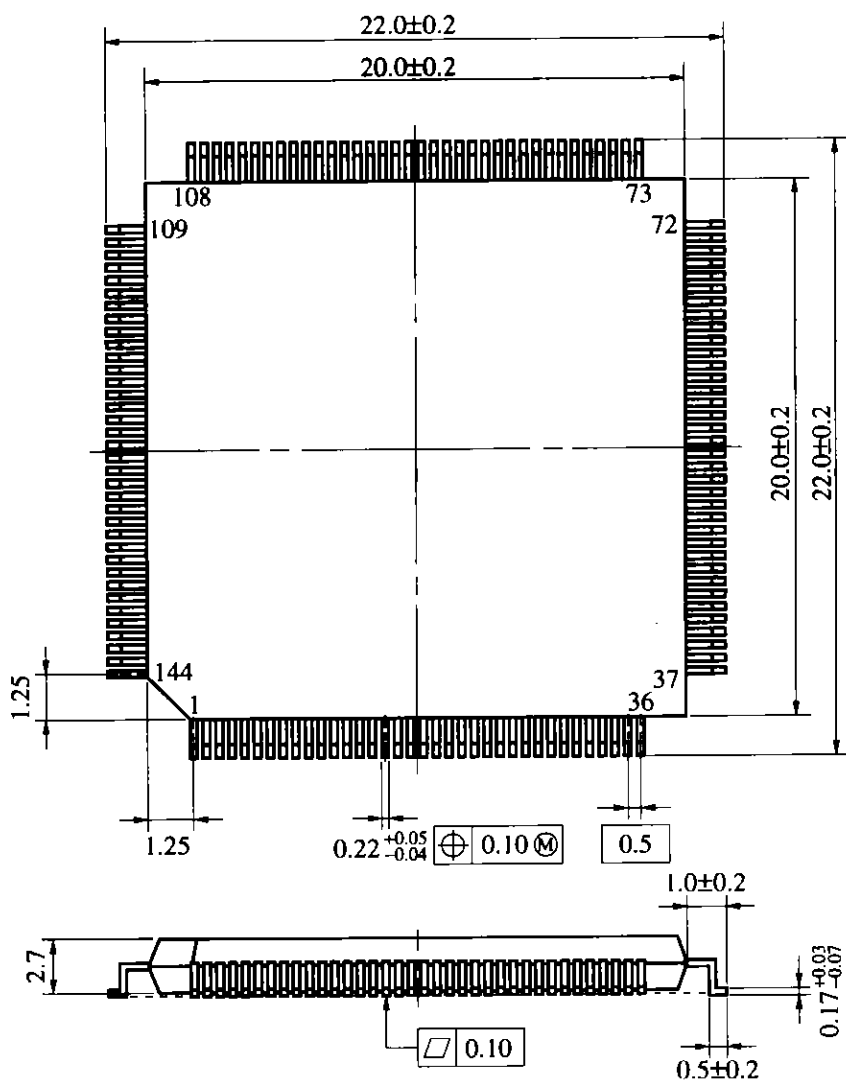
図5-1 PCR+CD-ROMドライブ・システム構成例



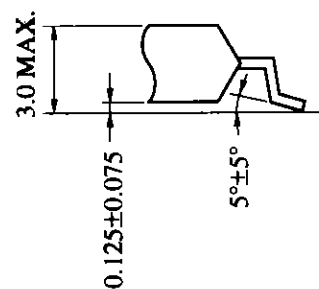
6. 外形図



144ピン・プラスチック QFP (ファインピッチ) (□20) 外形図 (単位: mm)



端子先端形状詳細図



S144GJ-50-3EN-2

★ 7. 半田付け推奨条件

μPD72051の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の詳細は、インフォメーション資料「半導体デバイス実装マニュアル」(IEI-616)を参照してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

表7-1 半田付け条件

μPD72051GJ-3EN：144ピン・プラスチックQFP（ファインピッチ）（□20mm）

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃、時間：30秒以内（210℃以上）、回数：2回以内 制限日数注：7日間（以降は125℃プリベーク20時間必要） 〈留意事項〉 (1) 2回目のリフロは1回目のリフロによるデバイス温度が常温に戻ってから開始してください。 (2) 1回目のリフロ後の水によるフラックス洗浄はお避けください。	IR35-207-2

注 ドライバック開封後の保管日数で、保管条件は20℃、65%RH以下。

CMOSデバイスの一般的注意事項

①静電気対策 (MOS全般)

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

②未使用入力の処理 (CMOS特有)

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性 (タイミングは規定しません) を考慮すると、個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

③初期化以前の状態 (MOS全般)

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

V40は、日本電気株式会社の商標です。

- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的所有権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
- 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。
 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
 特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災／防犯装置、各種安全装置、生命維持を直接の目的としない医療機器
 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
 当社製品のデータ・シート／データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。
- この製品は耐放射線設計をしておりません。

M4 94.11

— お問い合わせは、最寄りのNECへ —

【営業関係お問い合わせ先】

半導体第一販売事業部 半導体第二販売事業部 半導体第三販売事業部	〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3454-1111 (大代表)
中部支社 半導体第一販売部 半導体第二販売部	〒460 名古屋市中区錦一丁目17番1号 (NEC中部ビル)	名古屋 (052)222-2170 名古屋 (052)222-2190
関西支社 半導体第一販売部 半導体第二販売部 半導体第三販売部	〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3178 大阪 (06) 945-3200 大阪 (06) 945-3208
北海道支社 東北支社 岩手支社 山形支社 宮城支社 秋田支社 山形支社 福島支社 茨城支社 栃木支社 群馬支社 埼玉支社 千葉支社 東京支社 神奈川支社 静岡支社 岐阜支社 愛知支社 三重支社 滋賀支社 京都支社 大阪支社 兵庫支社 奈良支社 和歌山支社 徳島支社 香川支社 高松支社 岡山支社 広島支社 山口支社 福岡支社 佐賀支社 熊本支社 大分支社 宮崎支社 鹿児島支社 沖縄支社	札幌 (011)231-0181 仙台 (022)267-8740 盛岡 (0196)61-4344 山形 (0238)23-5511 山形 (0248)23-5511 いわき (0248)21-5511 長岡 (0258)36-2155 土浦 (0298)23-6161 水戸 (029)226-1717 横浜 (045)324-5524 新潟 (0273)26-1255 太田 (0276)48-4011 宇都宮 (028)621-2281 小山 (0285)24-5011 長野 (0263)35-1662 甲府 (0552)24-4141 埼玉 (048)641-1411 立川 (0425)26-5981 千葉 (043)236-8116 静岡 (054)255-2211 北陸 (0762)23-1821 福井 (0776)22-1886 富山 (0764)31-8461 津 (0592)25-7341 京都 (075)344-7824 神戸 (078)333-3854 中国 (082)242-5504 鳥取 (0857)27-5311 岡山 (086)225-4455 四国 (0878)36-1200 新居浜 (0897)32-5001 松山 (089)945-4149 九州 (092)271-7700	

【本資料に関する技術お問い合わせ先】

半導体ソリューション技術本部 第二システム技術部	〒210 川崎市幸区塚越三丁目484番地	川崎 (044)548-7920	半導体 インフォメーションセンター FAX(044)548-7900 (FAXにてお願い致します)
半導体販売技術本部 東日本販売技術部	〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3798-9619	
半導体販売技術本部 中部販売技術部	〒460 名古屋市中区錦一丁目17番1号 (NEC中部ビル)	名古屋 (052)222-2125	
半導体販売技術本部 西日本販売技術部	〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3383	