

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事業の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

USB2.0汎用デバイス・コントローラ



μPD720122は、USB2.0汎用デバイス・コントローラです。Universal Serial Bus Specification Revision 2.0のHigh-speed Capable device規格に準拠しています。本製品は、Endpoint Controller (EPC)、Serial Interface Engine (SIE)とUSB2.0 Transceiverなどを内蔵しています。Bulk Endpoint 2本とInterrupt Endpoint 1本を内蔵しており、汎用CPU(3種類のインタフェース設定から選択)と組み合わせることで、さまざまなUSBデバイス・コントローラとして使用することができます。さらに外部ローカル・バスを備えるので、CPUアクセスを行いながらもデータ転送を高速に行うことができます。また、本製品に使用しているUSB物理層やEPCはNECエレクトロニクスから提供するASIC用IPコアとレジスタ互換があるため、将来のASIC設計を意図したプロトタイプ設計用としてもご使用いただけます。

詳しい機能説明などは、次のユーザズ・マニュアルに記載しております。設計の際には必ずお読みください。

μPD720122 ユーザズ・マニュアル：S15829J

特 徴

Universal Serial Bus Specification Revision 2.0 (Data Rate 12/480 Mbps)に準拠
 USB Implementers Forumにより認証されており、USB 2.0 High-speed Logo付(TID: 40000822)
 Full-speedの送受信も実現できるUSB2.0 High-speed Transceiver / Receiver内蔵
 USB2.0 High-speedかFull-speed Packet Protocol Sequencer (Serial Interface Engine)内蔵
 自動Chirp発行とFull-/High-speed Modeの自動切り替え
 set feature (TEST_MODE)サポート
 ASICデザインへの移行がスムーズ
 Bulk End-point 2本、Interrupt End-point 1本装備
 CPUバスと分離したデータ転送用Local Bus装備 (最大データ転送速度 21MByte/Sec)
 3種類のCPUバスを用意(Function1-3 セレクタブル)

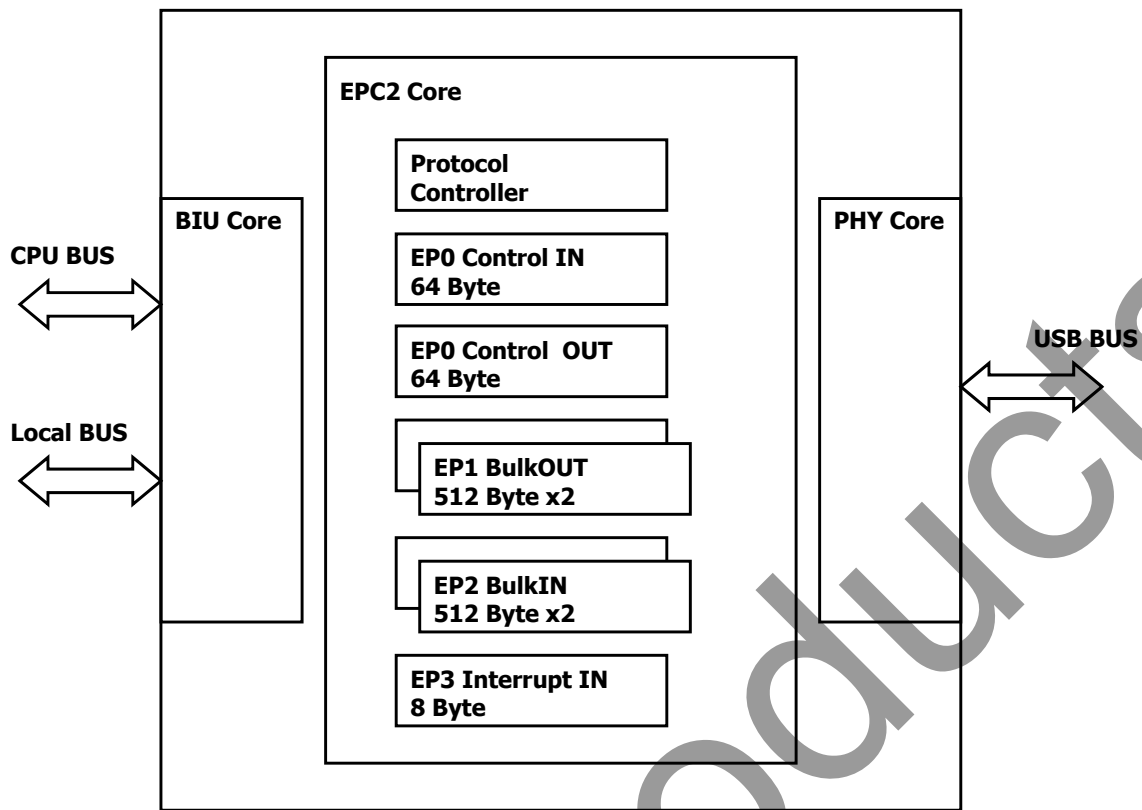
オーダ情報

オーダ名称	パッケージ
μPD720122GC-9EU	100ピン・プラスチックTQFP (ファインピッチ) (14×14)
★ μPD720122GC-9EU-A	100ピン・プラスチックTQFP (ファインピッチ) (14×14)
μPD720122F1-DN2	109ピン・プラスチックFBGA (11×11)
★ μPD720122F1-DN2-A	109ピン・プラスチックFBGA (11×11)

★ 備考 μPD720122GC-9EU-A, 720122F1-DN2-A は鉛フリー製品です。

本資料の内容は予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。

ブロック図



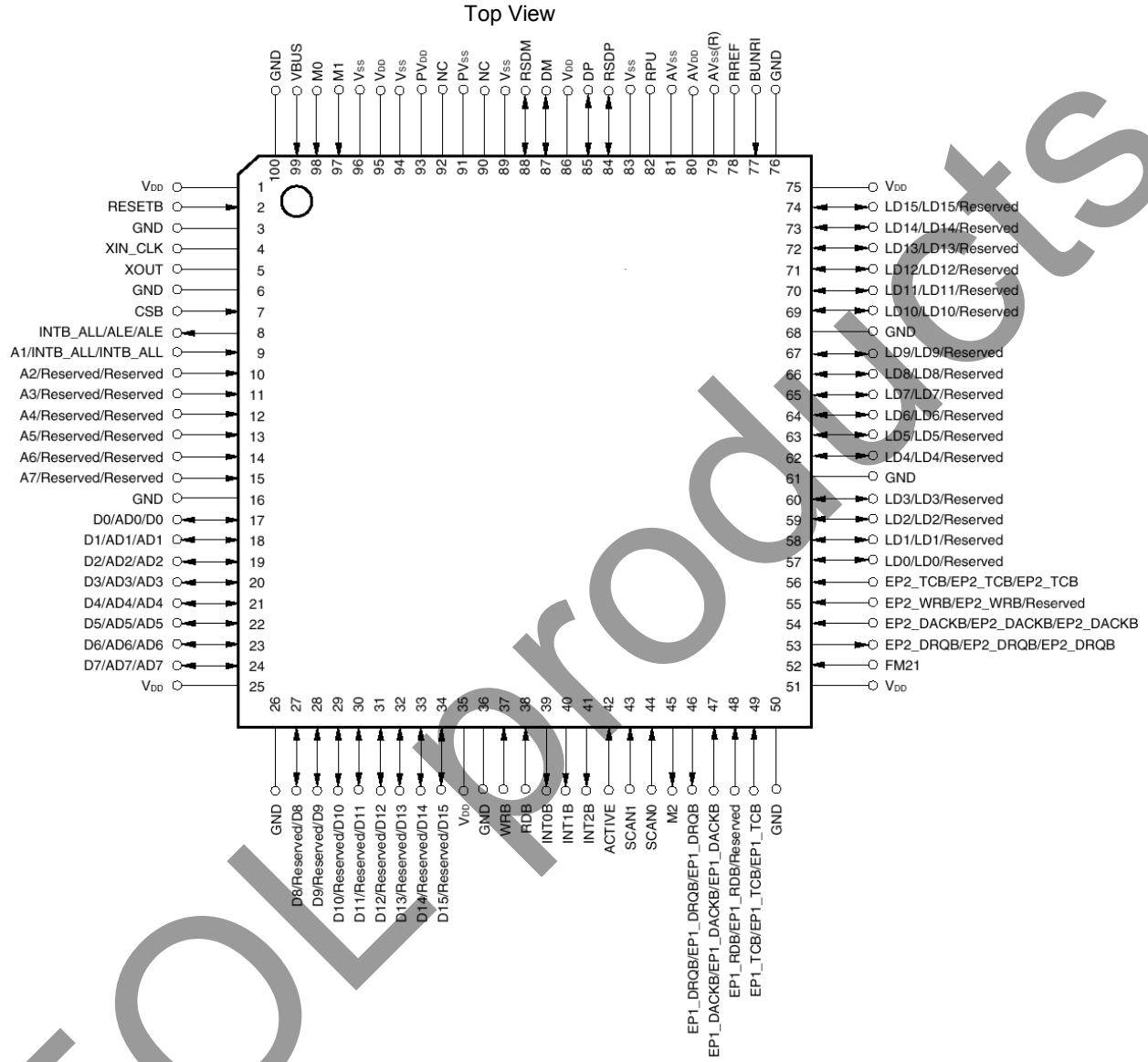
- PHY Core : USB2.0 transceiver with serial interface engine
- EPC2 Core : Endpoint controller
- BIU Core : Bus Interface Unit

端子接続図

・ 100ピン・プラスチックTQFP (ファインピッチ) (14×14)

μPD720122GC-9EU

★ μPD720122GC-9EU-A



【補足】端子機能は、左からFunction 1 / Function 2 / Function 3となります。

★ μ PD720122GC-9EU, 720122GC-9EU-A

(1/2)

端子 番号	端子名 Function1	端子名 Function2	端子名 Function3	端子 番号	端子名 Function1	端子名 Function2	端子名 Function3
1	V _{DD}	V _{DD}	V _{DD}	26	GND	GND	GND
2	RESETB	RESETB	RESETB	27	D8	Reserved	D8
3	GND	GND	GND	28	D9	Reserved	D9
4	XIN_CLK	XIN_CLK	XIN_CLK	29	D10	Reserved	D10
5	XOUT	XOUT	XOUT	30	D11	Reserved	D11
6	GND	GND	GND	31	D12	Reserved	D12
7	CSB	CSB	CSB	32	D13	Reserved	D13
8	INTB_ALL	ALE	ALE	33	D14	Reserved	D14
9	A1	INTB_ALL	INTB_ALL	34	D15	Reserved	D15
10	A2	Reserved	Reserved	35	V _{DD}	V _{DD}	V _{DD}
11	A3	Reserved	Reserved	36	GND	GND	GND
12	A4	Reserved	Reserved	37	WRB	WRB	WRB
13	A5	Reserved	Reserved	38	RDB	RDB	RDB
14	A6	Reserved	Reserved	39	INT0B	INT0B	INT0B
15	A7	Reserved	Reserved	40	INT1B	INT1B	INT1B
16	GND	GND	GND	41	INT2B	INT2B	INT2B
17	D0	AD0	D0	42	ACTIVE	ACTIVE	ACTIVE
18	D1	AD1	AD1	43	SCAN1	SCAN1	SCAN1
19	D2	AD2	AD2	44	SCAN0	SCAN0	SCAN0
20	D3	AD3	AD3	45	M2	M2	M2
21	D4	AD4	AD4	46	EP1_DRQB	EP1_DRQB	EP1_DRQB
22	D5	AD5	AD5	47	EP1_DACKB	EP1_DACKB	EP1_DACKB
23	D6	AD6	AD6	48	EP1_RDB	EP1_RDB	Reserved
24	D7	AD7	AD7	49	EP1_TCB	EP1_TCB	EP1_TCB
25	V _{DD}	V _{DD}	V _{DD}	50	GND	GND	GND

★ μ PD720122GC-9EU, 720122GC-9EU-A

(2/2)

端子 番号	端子名 Function1	端子名 Function2	端子名 Function3	端子 番号	端子名 Function1	端子名 Function2	端子名 Function3
51	V _{DD}	V _{DD}	V _{DD}	76	GND	GND	GND
52	FM21	FM21	FM21	77	BUNRI	BUNRI	BUNRI
53	EP2_DRQB	EP2_DRQB	EP2_DRQB	78	RREF	RREF	RREF
54	EP2_DACKB	EP2_DACKB	EP2_DACKB	79	AV _{SS} (R)	AV _{SS} (R)	AV _{SS} (R)
55	EP2_WRB	EP2_WRB	Reserved	80	AV _{DD}	AV _{DD}	AV _{DD}
56	EP2_TCB	EP2_TCB	EP2_TCB	81	AV _{SS}	AV _{SS}	AV _{SS}
57	LD0	LD0	Reserved	82	RPU	RPU	RPU
58	LD1	LD1	Reserved	83	V _{SS}	V _{SS}	V _{SS}
59	LD2	LD2	Reserved	84	RSDP	RSDP	RSDP
60	LD3	LD3	Reserved	85	DP	DP	DP
61	GND	GND	GND	86	V _{DD}	V _{DD}	V _{DD}
62	LD4	LD4	Reserved	87	DM	DM	DM
63	LD5	LD5	Reserved	88	RSDM	RSDM	RSDM
64	LD6	LD6	Reserved	89	V _{SS}	V _{SS}	V _{SS}
65	LD7	LD7	Reserved	90	NC	NC	NC
66	LD8	LD8	Reserved	91	PV _{SS}	PV _{SS}	PV _{SS}
67	LD9	LD9	Reserved	92	NC	NC	NC
68	GND	GND	GND	93	PV _{DD}	PV _{DD}	PV _{DD}
69	LD10	LD10	Reserved	94	V _{SS}	V _{SS}	V _{SS}
70	LD11	LD11	Reserved	95	V _{DD}	V _{DD}	V _{DD}
71	LD12	LD12	Reserved	96	V _{SS}	V _{SS}	V _{SS}
72	LD13	LD13	Reserved	97	M1	M1	M1
73	LD14	LD14	Reserved	98	M0	M0	M0
74	LD15	LD15	Reserved	99	VBUS	VBUS	VBUS
75	V _{DD}	V _{DD}	V _{DD}	100	GND	GND	GND

注意 AV_{SS}(R)は、RREFと9.1 kΩの抵抗を介して接続してください。

・ 109ピン・プラスチックFBGA (11 × 11)

μPD720122F1-DN2

★ μPD720122F1-DN2-A

Bottom View

23 NC	24 BUNRI	25 AV _{SS} (R)	26 AV _{SS}	27 RSDP	28 V _{DD}	29 NC	30 NC	31 V _{DD}	32 M1	33 VBUS	34 NC	12
22 LD15	63 NC	64 RREF	65 AV _{DD}	66 GND	67 RSDM	68 PV _{SS}	69 GND	70 GND	71 M0	72 NC	35 RESETB	11
21 LD13	62 LD14	95 GND	96 RPU	97 DP	98 GND	99 DM	100 PV _{DD}	101 V _{DD}	102 GND	73 GND	36 XIN_CLK	10
20 LD11	61 LD12	94 V _{DD}						103 CSB	74 XOUT	37 GND	9	
19 LD9	60 LD10	93 GND						104 A2	75 INTB_ALL	38 A1	8	
18 LD7	59 LD8	92 LD4						105 A6	76 A5	39 A3	7	
17 GND	58 LD5	91 LD6						106 A4	77 GND	40 A7	6	
16 LD2	57 LD1	90 LD3						107 D1	78 D2	41 D0	5	
15 EP2_TCB	56 EP2_WRB	89 LD0	109 GND	108 V _{DD}	79 D4	42 D3	4					
14 EP2_DACKB	55 EP2_DRQB	88 GND	87 V _{DD}	86 SCAN1	85 WRB	84 INT0B	83 V _{DD}	82 D13	81 GND	80 D6	43 D5	3
13 FM21	54 NC	53 EP1_RDB	52 EP1_DRQB	51 SCAN0	50 INT2B	49 RDB	48 D14	47 D11	46 D9	45 NC	44 D7	2
12 NC	11 EP1_TCB	10 EP1_DACKB	9 M2	8 ACTIVE	7 INT1B	6 GND	5 D15	4 D12	3 D10	2 D8	1 NC	1
M	L	K	J	H	G	F	E	D	C	B	A	

注 端子名称は、Function1で示しています。Function2とFunction3の端子名称は、次頁の表を参照してください。

★ μ PD720122F1-DN2, 720122F1-DN2-A

(1/2)

端子 番号	端子名 Function1	端子名 Function2	端子名 Function3	端子 番号	端子名 Function1	端子名 Function2	端子名 Function3
1	NC	NC	NC	26	AV _{SS}	AV _{SS}	AV _{SS}
2	D8	Reserved	D8	27	RSDP	RSDP	RSDP
3	D10	Reserved	D10	28	V _{DD}	V _{DD}	V _{DD}
4	D12	Reserved	D12	29	NC	NC	NC
5	D15	Reserved	D15	30	NC	NC	NC
6	GND	GND	GND	31	V _{DD}	V _{DD}	V _{DD}
7	INT1B	INT1B	INT1B	32	M1	M1	M1
8	ACTIVE	ACTIVE	ACTIVE	33	VBUS	VBUS	VBUS
9	M2	M2	M2	34	NC	NC	NC
10	EP1_DACKB	EP1_DACKB	EP1_DACKB	35	RESETB	RESETB	RESETB
11	EP1_TCB	EP1_TCB	EP1_TCB	36	XIN_CLK	XIN_CLK	XIN_CLK
12	NC	NC	NC	37	GND	GND	GND
13	FM21	FM21	FM21	38	A1	INTB_ALL	INTB_ALL
14	EP2_DACKB	EP2_DACKB	EP2_DACKB	39	A3	Reserved	Reserved
15	EP2_TCB	EP2_TCB	EP2_TCB	40	A7	Reserved	Reserved
16	LD2	LD2	Reserved	41	D0	AD0	D0
17	GND	GND	GND	42	D3	AD3	AD3
18	LD7	LD7	Reserved	43	D5	AD5	AD5
19	LD9	LD9	Reserved	44	D7	AD7	AD7
20	LD11	LD11	Reserved	45	NC	NC	NC
21	LD13	LD13	Reserved	46	D9	Reserved	D9
22	LD15	LD15	Reserved	47	D11	Reserved	D11
23	NC	NC	NC	48	D14	Reserved	D14
24	BUNRI	BUNRI	BUNRI	49	RDB	RDB	RDB
25	AV _{SS} (R)	AV _{SS} (R)	AV _{SS} (R)	50	INT2B	INT2B	INT2B

注意 AV_{SS}(R)は、RREFと9.1 kΩの抵抗を介して接続してください。

★ μ PD720122F1-DN2, 720122F1-DN2-A

(2/2)

端子 番号	端子名 Function1	端子名 Function2	端子名 Function3	端子 番号	端子名 Function1	端子名 Function2	端子名 Function3
51	SCAN0	SCAN0	SCAN0	81	GND	GND	GND
52	EP1_DRQB	EP1_DRQB	EP1_DRQB	82	D13	Reserved	D13
53	EP1_RDB	EP1_RDB	Reserved	83	V _{DD}	V _{DD}	V _{DD}
54	NC	NC	NC	84	INT0B	INT0B	INT0B
55	EP2_DRQB	EP2_DRQB	EP2_DRQB	85	WRB	WRB	WRB
56	EP2_WRB	EP2_WRB	Reserved	86	SCAN1	SCAN1	SCAN1
57	LD1	LD1	Reserved	87	V _{DD}	V _{DD}	V _{DD}
58	LD5	LD5	Reserved	88	GND	GND	GND
59	LD8	LD8	Reserved	89	LD0	LD0	Reserved
60	LD10	LD10	Reserved	90	LD3	LD3	Reserved
61	LD12	LD12	Reserved	91	LD6	LD6	Reserved
62	LD14	LD14	Reserved	92	LD4	LD4	Reserved
63	NC	NC	NC	93	GND	GND	GND
64	RREF	RREF	RREF	94	V _{DD}	V _{DD}	V _{DD}
65	AV _{DD}	AV _{DD}	AV _{DD}	95	GND	GND	GND
66	GND	GND	GND	96	RPU	RPU	RPU
67	RSDM	RSDM	RSDM	97	DP	DP	DP
68	PV _{SS}	PV _{SS}	PV _{SS}	98	GND	GND	GND
69	GND	GND	GND	99	DM	DM	DM
70	GND	GND	GND	100	PV _{DD}	PV _{DD}	PV _{DD}
71	M0	M0	M0	101	V _{DD}	V _{DD}	V _{DD}
72	NC	NC	NC	102	GND	GND	GND
73	GND	GND	GND	103	CSB	CSB	CSB
74	XOUT	XOUT	XOUT	104	A2	Reserved	Reserved
75	INTB_ALL	ALE	ALE	105	A6	Reserved	Reserved
76	A5	Reserved	Reserved	106	A4	Reserved	Reserved
77	GND	GND	GND	107	D1	AD1	AD1
78	D2	AD2	AD2	108	V _{DD}	V _{DD}	V _{DD}
79	D4	AD4	AD4	109	GND	GND	GND
80	D6	AD6	AD6	-	-	-	-

1. 端子一覧

(1/2)

端子名	入出力 注2	バッファ・タイプ	アクティ ブ・レベル	機 能
RESETB	I	5 V tolerant入力 Schmitt	Low	非同期リセット信号
XIN_CLK	I	3.3 V入力		システム・クロック入力または発振子入力
XOUT	O	3.3 V出力		発振子出力
CSB	I	5 V tolerant入力	Low	チップセレクト
INTB_ALL	O	5 V tolerant出力	Low	Function1割り込み要求 (INT0B-INT2BのAND)
ALE	I	5 V tolerant入力	High	Function2/3アドレス・ストロブ
A(7:1)	I	5 V tolerant入力		Function1アドレス入力
D(15:0)	I/O	5 V tolerant双方向		Function1データ・バス
AD(7:0)	I/O	5 V tolerant双方向		Function2アドレス/データ・バス
D0	I/O	5 V tolerant双方向		Function3データ0
AD(7:1)	I/O	5 V tolerant双方向		Function3アドレス/データ・バス
D(15:8)	I/O	5 V tolerant双方向		Function3データバス
WRB	I	5 V tolerant入力	Low	ライト・イネーブル
RDB	I	5 V tolerant入力	Low	リード・イネーブル
INT0B	O	5 V tolerant出力	Low	割り込み要求0
INT1B	O	5 V tolerant出力	Low	割り込み要求1
INT2B	O	5 V tolerant出力	Low	割り込み要求2
ACTIVE	I	5 V tolerant入力		Function2/3 DMA端子関連のアクティブ・レベル設定
SCAN(1:0)	I	3.3 V入力 50 KΩPull Down		スキャン・モード制御端子
M2	O	5 V tolerant出力		ステータス出力
EP1_DRQB	O	5 V tolerant出力	Low	EP1へのDMA要求
EP1_DACKB	I	5 V tolerant入力	Low	EP1へのDMA許可
EP1_RDB	I	5 V tolerant入力	Low	EP1のリード・イネーブル
EP1_TCB	I	5 V tolerant入力	Low	EP1のDMAターミナルカウント
FM21	I	3.3 V入力		NECエレクトロニクス・テスト専用
EP2_DRQB	O	5 V tolerant出力	Low	EP2へのDMA要求
EP2_DACKB	I	5 V tolerant入力	Low	EP2へのDMA許可
EP2_WRB	I	5 V tolerant入力	Low	EP2のライト・イネーブル
EP2_TCB	I	5 V tolerant入力	Low	EP2のDMAターミナルカウント
LD(15:0)	I/O	5 V tolerant双方向		ローカル・バス
BUNRI	I	5Vtolerant入力		NECエレクトロニクス・テスト専用
RREF	A	Analog		レファレンス抵抗
RPU	A	USB pull-up control		USB 1.5 kΩプルアップ抵抗制御端子
RSDP	O	USB full speed D+ O		USB full speed D+ 信号
DP	I/O	USB high speed D+ I/O		USB high speed D+ 信号

備考1. Aはアナログを示します。

2. “5 V tolerant“とは、5 V耐量を持った3.3 Vバッファのことです。

端子名	入出力	バッファ・タイプ	アクティブ・レベル	機能
DM	I/O	USB high speed D- I/O		USB high speed D- 信号
RSDM	O	USB full speed D- O		USB full speed D- 信号
M(1:0)	I	5 V tolerant入力		機能制御端子
VBUS	I	5 V tolerant入力 注		VBUSモニタ端子
AV _{DD} , PV _{DD}				アナログ回路用3.3V _{DD}
V _{DD}				3.3 V _{DD}
AV _{SS} , PV _{SS}				アナログ回路用V _{SS}
V _{SS} , GND				V _{SS}
NC				ノンコネク・ピン (オープンにしてください)
Reserved				未使用 (オープンにしてください)

注 VBUS端子はVBUSラインのモニタのために使われますが、システム電源が落ちて、V_{DD}、AV_{DD}、PV_{DD}がV_{SS}と同レベルになる場合も考えられます。このようなケースが考えられる場合、システムはVBUS端子への入力電圧を3.0 V以下になるようにしてください。

備考1. Aはアナログを示します。

2. “5 V tolerant”とは、5 V耐量を持った3.3 Vバッファのことです。

M1/M0端子の設定によりCPUバスを設定できます。外部端子 (M1/M0) は固定して使用してください。

端子		BIU動作モード	概要
M1	M0		
0	0	16 bit モード (Function 1)	CPU Bus 16 bit, Bulk IN/OUTにデータ転送専用のExternal Local Busを準備しています。内部レジスタは16 bitとなります。
0	1	8 bit モード (Function 2)	アドレス 8 bit / データ 8 bitのマルチプレクス・バスのモードです。このモード時のみ、レジスタは8 bitとなります (バイト・アクセスのみ)。そのためアドレス空間が、他のモードとは異なります。 ACTIVE端子により、一部のExternal Local Bus制御端子のアクティブ・レベルが変更可能です。
1	0	16 bit Mix モード (Function 3)	アドレス 8 bit / データ 16 bitのマルチプレクス・バスのモードです。内部レジスタは16 bitとなります。 ACTIVE端子により、一部のExternal Local Bus制御端子のアクティブ・レベルが変更可能です。
1	1	設定禁止	設定禁止です。

2. 電気的特性

2.1 バッファ・リスト

・3.3V発振器インタフェース

XIN、XOUT

・3.3V入力バッファ

FM21、SCAN(1:0)

・5Vtorelant入力バッファ

RESETB、CSB、A(7:0)、WRB、RDB、ACTIVE、EP1_DACKB、EP1_RDB、EP1_TCB、EP2_DACKB、EP2_WRB、EP2_TCB、BUNRI、M0、M1、VBUS、ALE

・5Vtorelant出力バッファ

INTB_ALL、INT0B、INT1B、INT2B、M2、EP1_DRQB、EP2_DRQB

・5Vtorelant双方向バッファ

D(15:0)、LD(15:0)、AD(7:0)、D0、AD(7:1)、D(15:8)

・USBインタフェース

DP、DM、RSDP、RSDM、RREF、RPU

2.2 用語説明

絶対最大定格の規定

項目	略号	意味
電源電圧	V _{DD}	V _{DD} 端子に印加しても、破壊や信頼性低下を生じない電圧範囲を示す。
入力電圧	V _I	入力端子に印加しても、破壊や信頼性低下を生じない電圧範囲を示す。
出力電圧	V _O	出力端子に印加しても、破壊や信頼性低下を生じない電圧範囲を示す。
出力電流	I _O	出力端子から流し出しても、また流し込んでも、破壊や信頼性低下を生じないDC電流の許容絶対値を示す。
動作周囲温度	T _A	正常な論理動作をする周囲温度範囲を示す。
保存温度	T _{stg}	電圧、電流を印加しない状態で、破壊や信頼性低下を生じない素子温度範囲を示す。

推奨動作条件の規定

項目	略号	意味
電源電圧	V _{DD}	V _{SS} = 0Vとしたときに、正常な論理動作をする電圧範囲を示す。
ハイ・レベル入力電圧	V _{IH}	セルベースICの入力に印加する電圧で、入力バッファが正常に動作するハイ・レベル状態の電圧を示す。 * MIN.値以上の電圧を印加すれば、入力電圧はハイ・レベルであることを保証する。
ロウ・レベル入力電圧	V _{IL}	セルベースICの入力に印加する電圧で、入力バッファが正常に動作するロウ・レベル状態の電圧を示す。 * MAX.値以下の電圧を印加すれば、入力電圧がロウ・レベルであることを保証する。
ヒステリシス電圧	V _H	ポジティブ・トリガ電圧とネガティブ・トリガ電圧の差

DC特性の規定

項目	略号	意味
オフステート出力電流	I _{oz}	3ステート出力で出力がハイ・インピーダンスのとき、規定された電圧において出力端子を流れる電流を示す。
出力短絡電流	I _{os}	出力ハイ・レベルのときに、出力端子をGNDと短絡した場合に流れ出す電流を示す。
ロウ・レベル出力電流	I _{oL}	規定されたロウ・レベル出力電圧において、出力端子へ流れ込む電流を示す。
ハイ・レベル出力電流	I _{oH}	規定されたハイ・レベル出力電圧において、出力端子から流れ出す電流を示す。

2.3 絶対最大定格

項目	略号	条件	定格	単位
電源電圧	V _{DD}		- 0.5 ~ + 4.6	V
入出力電圧	V _I /V _O	V _I /V _O < V _{DD} + 3.0 V, 注1	- 0.5 ~ + 6.6	V
		V _I /V _O < V _{DD} + 0.3 V, 注2	- 0.5 ~ + 4.6	V
出力電流	I _o	I _{oL} = 6 mA, 注3	6	mA
動作周囲温度	T _A		0 ~ + 70	
保存温度	T _{stg}		- 65 ~ + 150	

- 注 1. 5Vtolerant 入力バッファ、出力バッファ、双方向バッファ
- 2. 3.3V 入力バッファ、3.3V 発振器インタフェース
- 3. 5Vtolerant 出力バッファ、双方向バッファ(出力)

注意 各項目のうち 1 項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なうおそれがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

2.4 推奨動作条件範囲

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧	V _{DD}	3.3 V電源	3.0	3.3	3.6	V
ネガティブ・トリガ電圧	V _N		0.6		1.8	V
ポジティブ・トリガ電圧	V _P		1.2		2.4	V
ヒステリシス電圧	V _H		0.3		1.5	V
ロウ・レベル入力電圧	V _{IL}		0		0.8 V	V
ハイ・レベル入力電圧	V _{IH}	3.3V入力バッファ	2.0		V _{DD}	V
		5Vtolerant入力バッファ、	2.0		5.5 V	V
		5Vtolerant双方向バッファ				
入力立ち上がり / 立ち下がり時間	t _r /t _f		0		200	ns

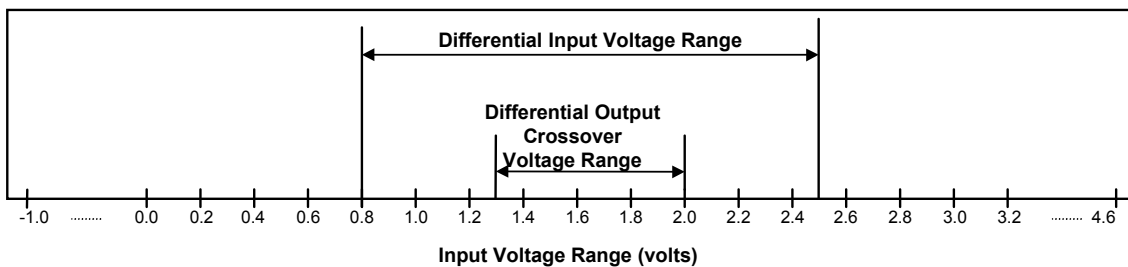
2.5 DC特性

DC 特性は USB インタフェースと BIU 部分に分類されます。

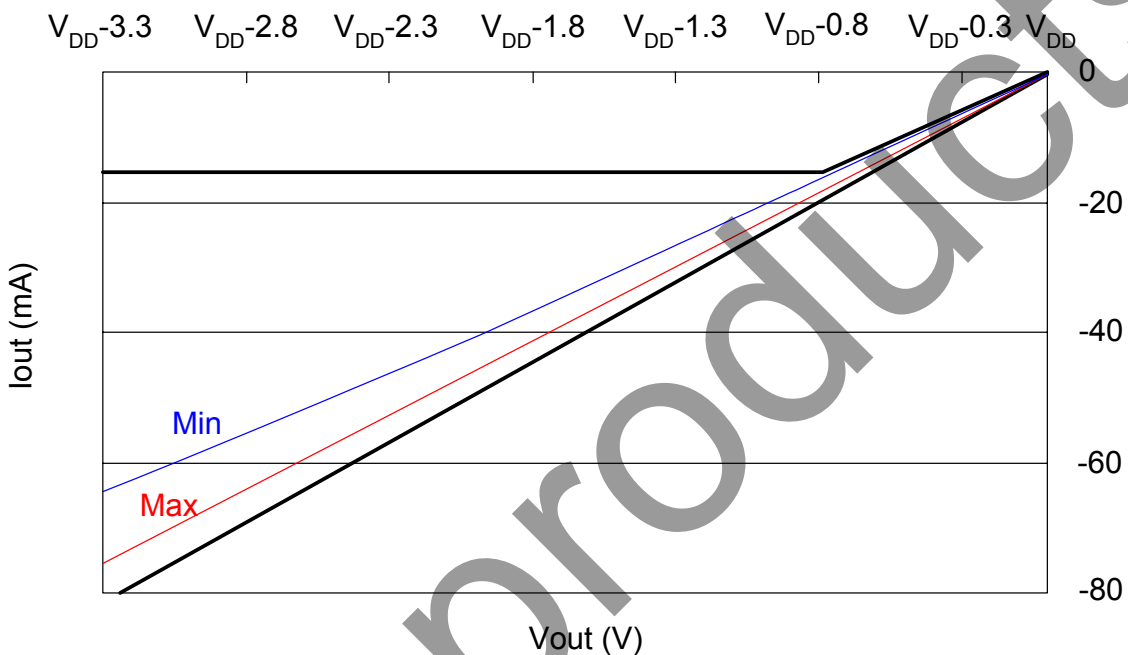
2.5.1 USB インタフェースの DC 特性

項目	略号	条件	MIN.	MAX.	単位
D+ (D-) /RSDP (RSDM) 出力シリアル抵抗	R _s		35.64	36.36	Ω
出力端子インピーダンス	Z _{HSDRV}	R _s 抵抗を含む	40.5	49.5	Ω
D+へのプルアップ抵抗	R _{PU}		1.425	1.575	Ω
アップストリーム終端電圧 (フルスピード)	V _{TERM}		3.0	3.6	V
フルスピード入力レベル					
ハイ・レベル入力電圧	V _{IH}		2.0		V
ハイ・レベル入力電圧 (フローティング)	V _{IHZ}		2.7	3.6	V
ロウ・レベル入力電圧	V _{IL}			0.8	V
差動入力感度	V _{DI}	(D+) - (D-)	0.2		V
差動コモン・モード電圧	V _{CM}	Includes VDI range	0.8	2.5	V
フルスピード出力レベル					
ハイ・レベル出力電圧	V _{OH}	R _L of 14.25 kΩ to V _{SS}	2.8	3.6	V
ロウ・レベル出力電圧	V _{OL}	R _L of 1.425 kΩ to 3.6 V	0.0	0.3	V
SE1	V _{OSE1}		0.8		V
出力信号クロス・ポイント電圧	V _{CRS}		1.3	2.0	V
ハイ・スピード入力レベル					
スケルチ検出レベル	V _{HSSQ}		100	150	mV
デバイス・デイスコネクト検出レベル	V _{HSDSC}		525	625	mV
差動コモン・モード電圧	V _{HSCM}		- 50	500	mV
ハイ・スピード差動入力信号レベル	図 2-4 参照				
ハイ・スピード出力レベル					
アイドル・レベル	V _{HSOI}		- 10.0	10	mV
ハイ・レベル出力電圧	V _{HSOH}		360	440	mV
ロウ・レベル出力電圧	V _{H SOL}		- 10.0	10	mV
チャープJレベル (差動電圧)	V _{CHIRPJ}		700	1100	mV
チャープKレベル (差動電圧)	V _{CHIRPK}		- 900	- 500	mV

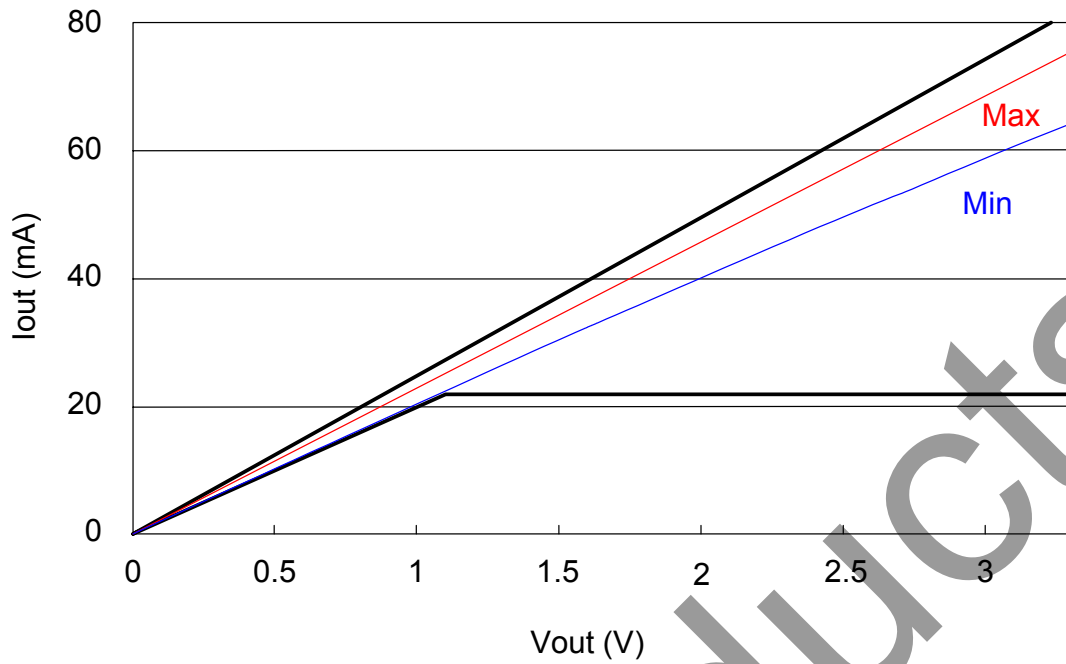
☒ 2-1 Differential Input Sensitivity Range for Low-/Full-Speed



☒ 2-2 Full-Speed Buffer V_{OH}/I_{OH} Characteristics for High-Speed Capable Transceiver



2-3 Full-Speed Buffer V_{OL}/I_{OL} Characteristics for High-Speed Capable Transceiver



2-4 Receiver Sensitivity for Transceiver at D+/D-

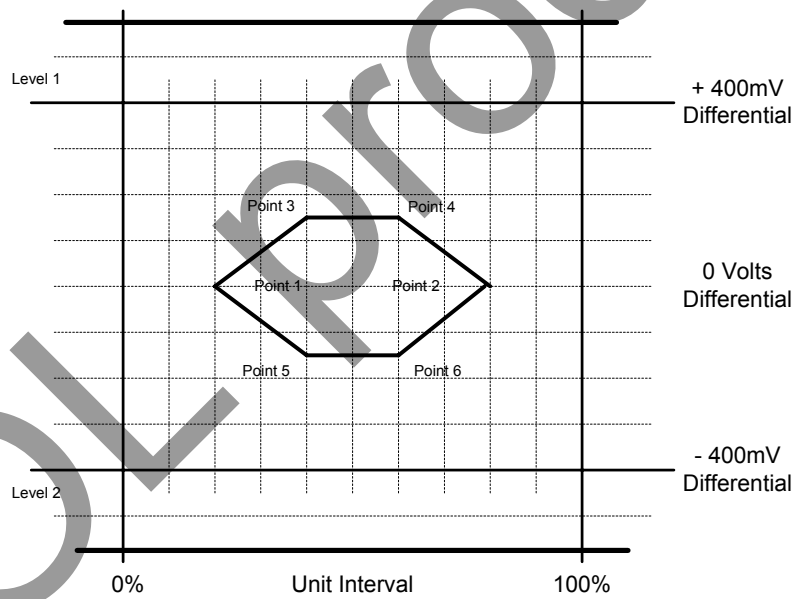
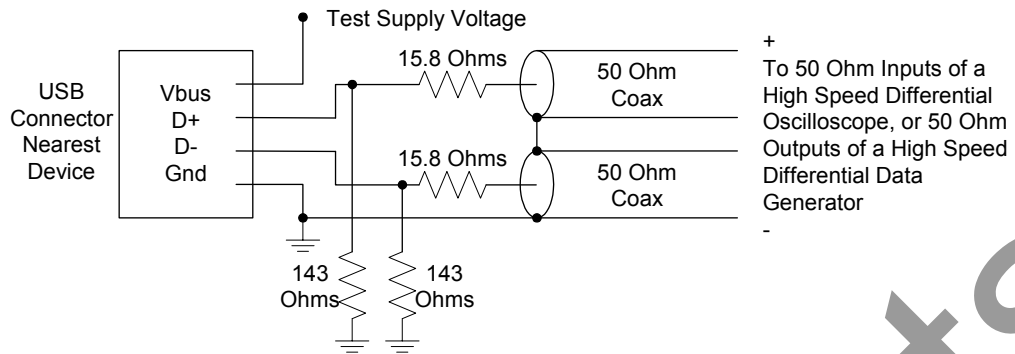


図 2-5 Receiver Measurement Fixtures



2.5.2 BIU の DC 特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
オフステート出力電流	I_{OZ}	$V_O = V_{DD}$ or GND			± 10	μA
出力短絡電流	I_{OS}				- 250	mA
入力リーク電流	I_I	$V_I = V_{DD}$ or GND		$\pm 10^{-5}$		μA
ロウ・レベル出力電流	I_{OL}	$V_{OL} = 0.4 V$ 注	6			mA
ハイ・レベル出力電流	I_{OH}	$V_{OH} = 2.4 V$	- 2			mA
ロウ・レベル出力電圧	V_{OL}	$I_{OL} = 0 mA$			0.1	V
ハイ・レベル出力電圧	V_{OH}	$I_{OH} = 0 mA$	$V_{DD} - 0.2$			V

注 5Vtorelant 出力バッファ

2.5.3 端子容量

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力端子容量	C_{IN}		4.5		6.5	pF
出力端子容量	C_{OUT}		8.5		11	pF

2.5.4 消費電力

項目	略号	条件	MIN.	TYP.	MAX.	単位	
消費電力	P _H	HSモード	V _{DD}		195	273	mA
			AV _{DD}		12	17	mA
	P _F	FSモード	V _{DD}		120	168	mA
			AV _{DD}		12	17	mA
	P _{S1}	Suspendモード1 注1	V _{DD}		1.5	2.2	mA
			AV _{DD}		0.1	0.2	μA
P _{S2}	Suspendモード2 注2	V _{DD}		370	520	μA	
		AV _{DD}		0.1	0.2	μA	

- 注 1. SND PHY Reg. SPND bit = 1
 2. SND PHY Reg. SPND bit = 1
 GPR Reg. CONNECTB bit = 0
 GPR Reg. PUE bit = 0
 BIU Control 0 Reg. OSC_DISCON bit = 1

2.6 AC特性 (T_A = 0 ~ +70°C, V_{DD} = 3.3 V±10%)
 AC特性はUSB インタフェース部とBIU 部に分かります。

2.6.1 全般およびBIU 部のAC 特性

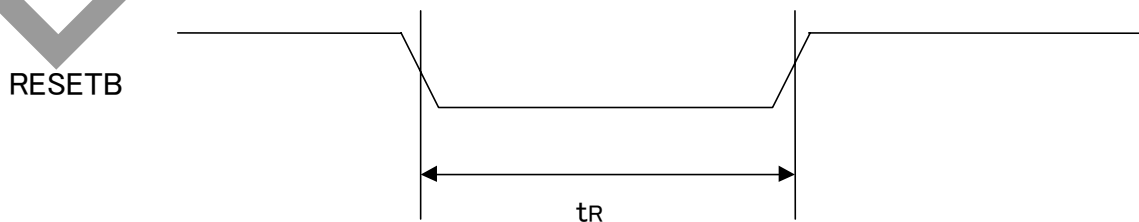
(1) クロック規定

項目	略号	条件	MIN.	TYP.	MAX.	単位
クロック周波数	f _{CLK}	振動子	-500ppm	30	+500ppm	MHz
		発振器	-500ppm	30	+500ppm	MHz
クロック・デューティ	t _{DUTY}		40	50	60	%

注 クロック周波数の推奨値：±100ppm

(2) リセット規定

略号	項目	MIN.	TYP.	MAX.	単位
t _R	リセット幅	2			μs



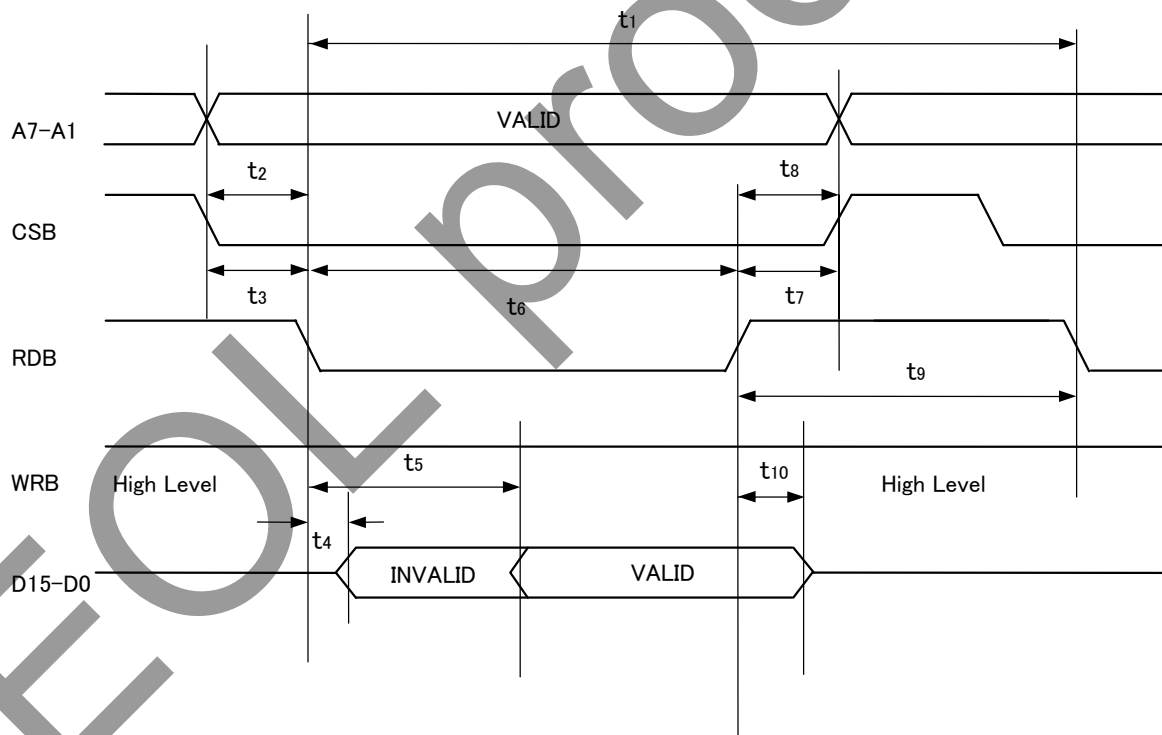
2.6.2 Function 1 選択時の BIU 部の AC 特性

(1) CPU Bus リード動作

略号	項目	MIN.	TYP.	MAX.	単位
t ₁	リード・サイクル時間	91			ns
t ₂	アドレス・セットアップ時間 (RDB)	5			ns
t ₃	チップ・セレクト・セットアップ時間 (RDB)	5			ns
t ₄	バッファ方向変更時間 (RDB)	-		14	ns
t ₅	出力データ遅延時間 (RDB)	-		57	ns
t ₆	リード・コマンド幅	57			ns
t ₇	チップ・セレクト・ホールド時間 (RDB)	5			ns
t ₈	アドレス・ホールド時間 (RDB)	5			ns
t ₉	RDBインアクティブ時間	34			ns
t ₁₀	出力データ・ホールド時間 (RDB)	4		-	ns

備考 外部端子容量は 15 pF を想定しています (データ・バスは 50 pF)。

CPU Bus リード・タイミング

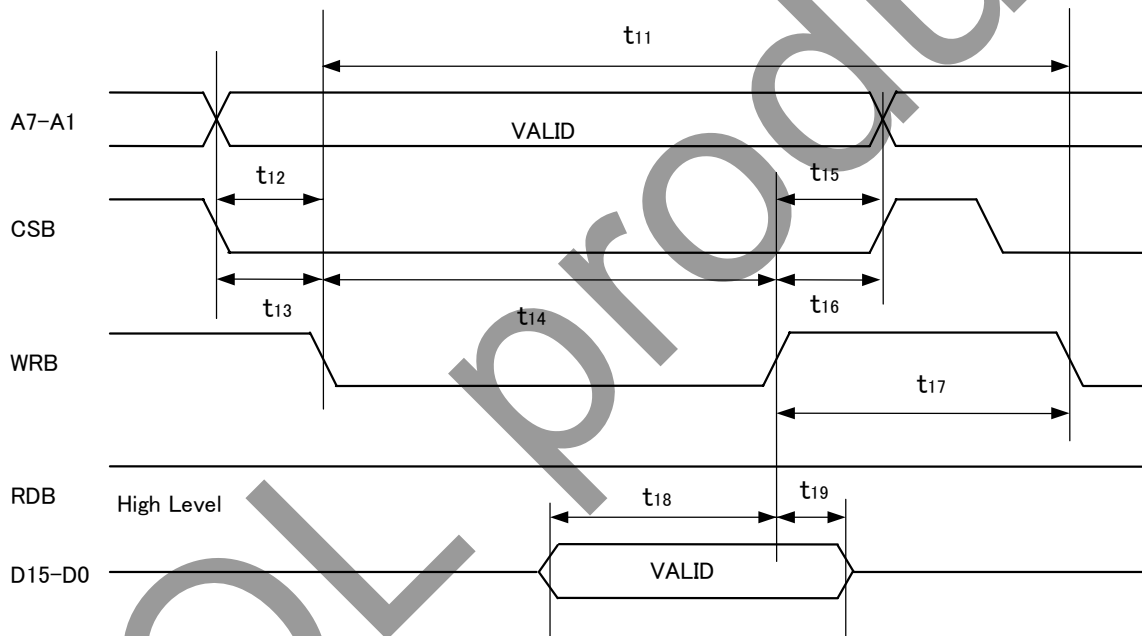


(2) CPU Bus ライト動作

略号	項目	MIN.	TYP.	MAX.	単位
t ₁₁	ライト・サイクル時間	68			ns
t ₁₂	アドレス・セットアップ時間 (WRB)	5			ns
t ₁₃	チップ・セレクト・セットアップ時間 (WRB)	5			ns
t ₁₄	ライト・コマンド幅	34			ns
t ₁₅	アドレス・ホールド時間 (WRB)	5			ns
t ₁₆	チップ・セレクト・ホールド時間 (WRB)	5			ns
t ₁₇	WRBインアクティブ時間	34			ns
t ₁₈	入力データ・セットアップ時間	10			ns
t ₁₉	入力データ・ホールド時間	0			ns

備考 外部端子容量は 15 pF を想定しています (データ・バスは 50 pF)

CPU Bus ライト・タイミング

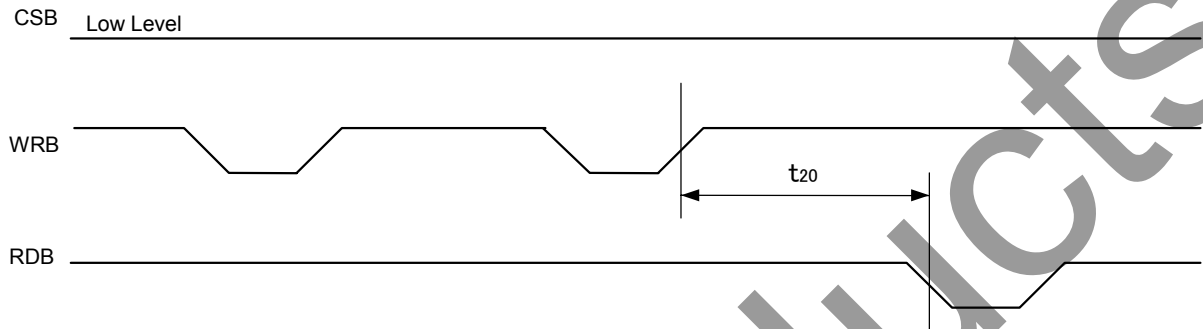


(3) CPU Bus RDB vs. WRB タイミング

略号	項目	MIN.	TYP.	MAX.	単位
t ₂₀	WRB vs. RDBインアクティブ時間	34			ns

備考 外部端子容量は 15 pF を想定しています (データ・バスは 50 pF)

CPU Bus リード vs. ライト変更タイミング



(4) CPU Bus DMA 転送

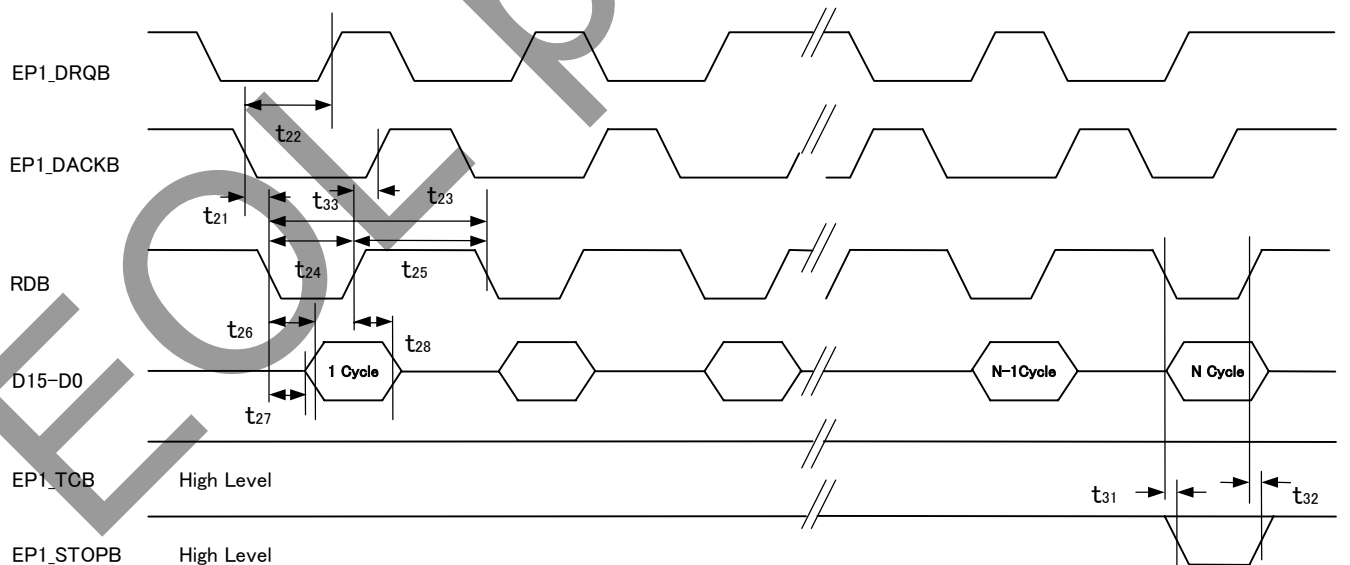
(a) CPU Bus DMAシングル・モード・リード転送タイミング

略号	項目	MIN.	TYP.	MAX.	単位
t ₂₁	DMAリクエスト・アクノリッジ・セットアップ時間 (RDB)	0			ns
t ₂₂	DMAリクエストOFF時間 (EP1_DACKB)	-		54	ns
t ₂₃	DMAシングル・モード・リード転送サイクル時間	91			ns
t ₂₄	リード・コマンド幅	57			ns
t ₂₅	リード・コマンド・インアクティブ時間	34			ns
t ₂₆	リード・データ遅延時間 (RDB)	-		57	ns
t ₂₇	バッファ方向変更時間 (RDB)	-		14	ns
t ₂₈	リード・データ・ホールド時間 (RDB)	4		-	ns
t ₂₉	EP1_TCBセットアップ時間 (RDB)	0		注	ns
t ₃₀	EP1_TCBホールド時間 (RDB)	17			ns
t ₃₁	EP1_STOPB遅延時間 (RDB)	-		15	ns
t ₃₂	EP1_STOPB遅延時間 (RDB)	3		-	ns
t ₃₃	DMAリクエスト・アクノリッジ・ホールド時間 (RDB)	0			ns
t ₃₄	未定義	-		-	ns

注 1つ前のRDB以降入力可能

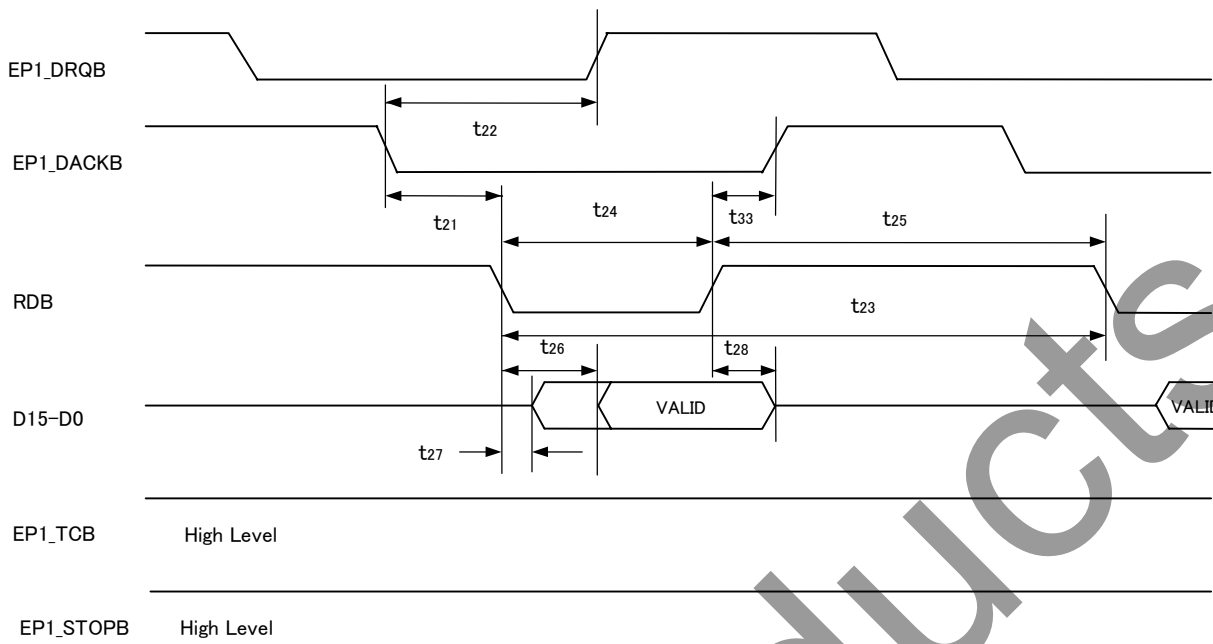
備考 外部端子容量は15 pFを想定しています(データ・バスは50 pF)。

(全体)

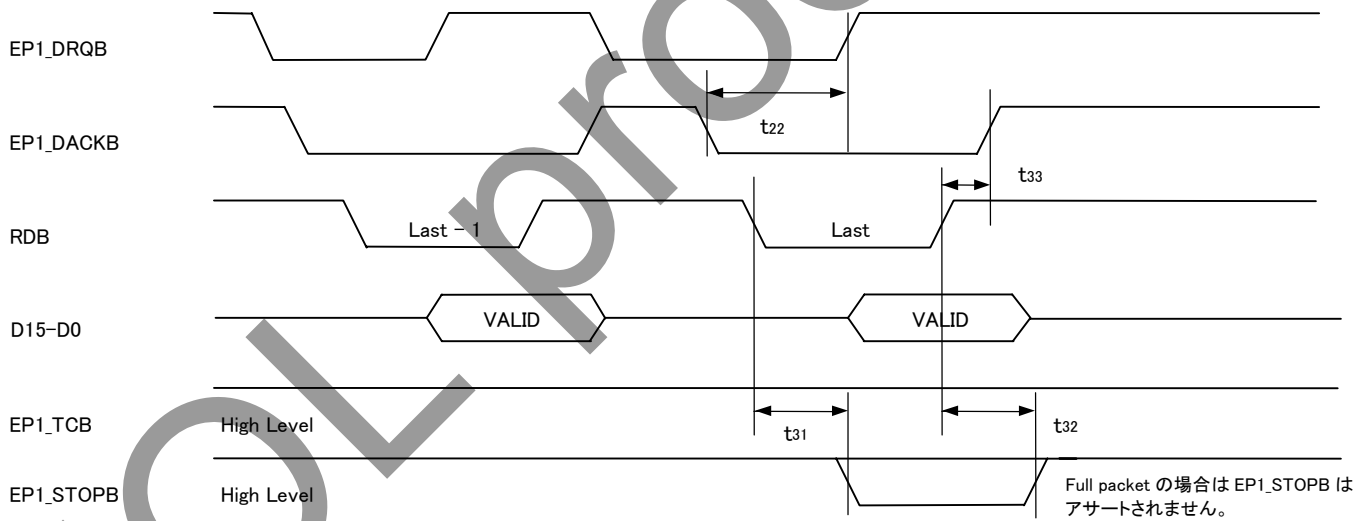


Full packetの場合はEP1_STOPBはアサートされません。

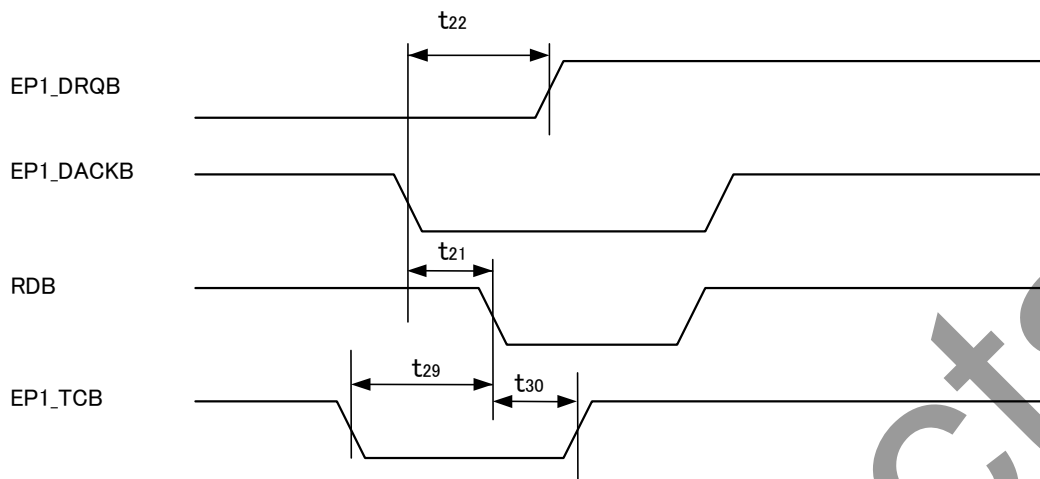
(スタート・タイミング)



(エンド・タイミング)



(TCB タイミング)



EOOL products

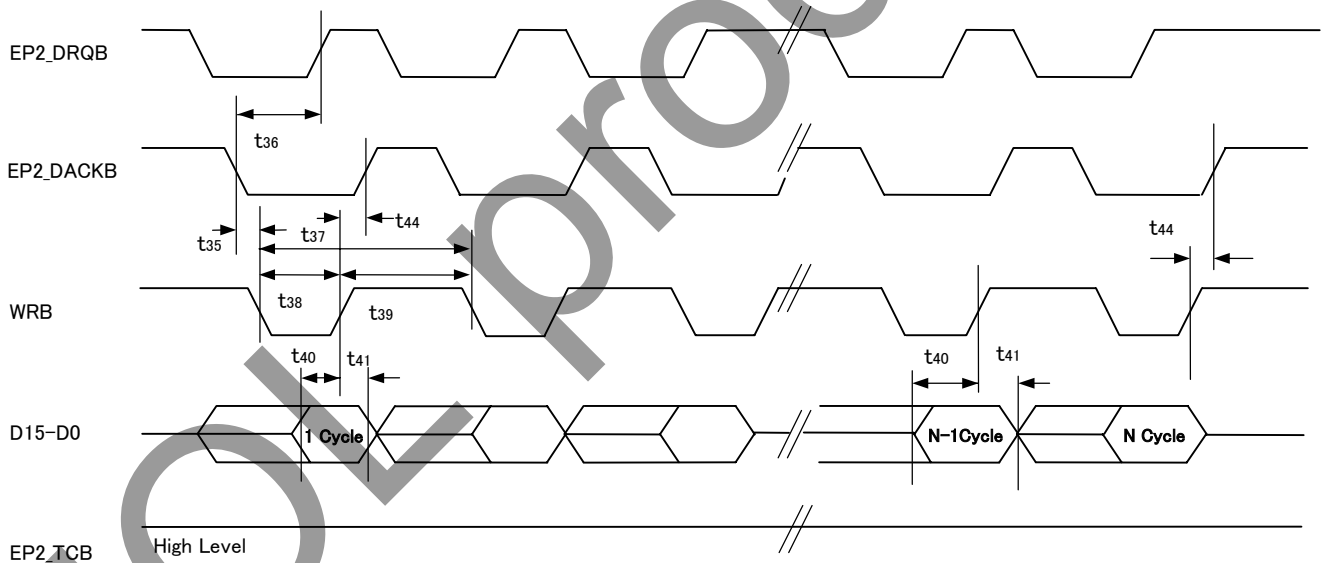
(b) CPU Bus DMAシングル・モード・ライト転送

略号	項目	MIN.	TYP.	MAX.	単位
t ₃₅	DMAリクエスト・アクノリッジ・セットアップ時間 (WRB)	0			ns
t ₃₆	DMAリクエストOFF時間 (EP2_DACKB)	-		54	ns
t ₃₇	DMAシングル・モード・ライト転送サイクル時間	88			ns
t ₃₈	ライト・コマンド幅	54			ns
t ₃₉	ライト・コマンド・インアクティブ時間	34			ns
t ₄₀	ライト・データ・セットアップ時間 (WRB)	10			ns
t ₄₁	ライト・データ・ホールド時間 (WRB)	0			ns
t ₄₂	EP2_TCBセットアップ時間 (WRB)	0		注	ns
t ₄₃	EP2_TCBホールド時間 (WRB)	17			ns
t ₄₄	DMAリクエスト・アクノリッジ・ホールド時間 (WRB)	0			ns

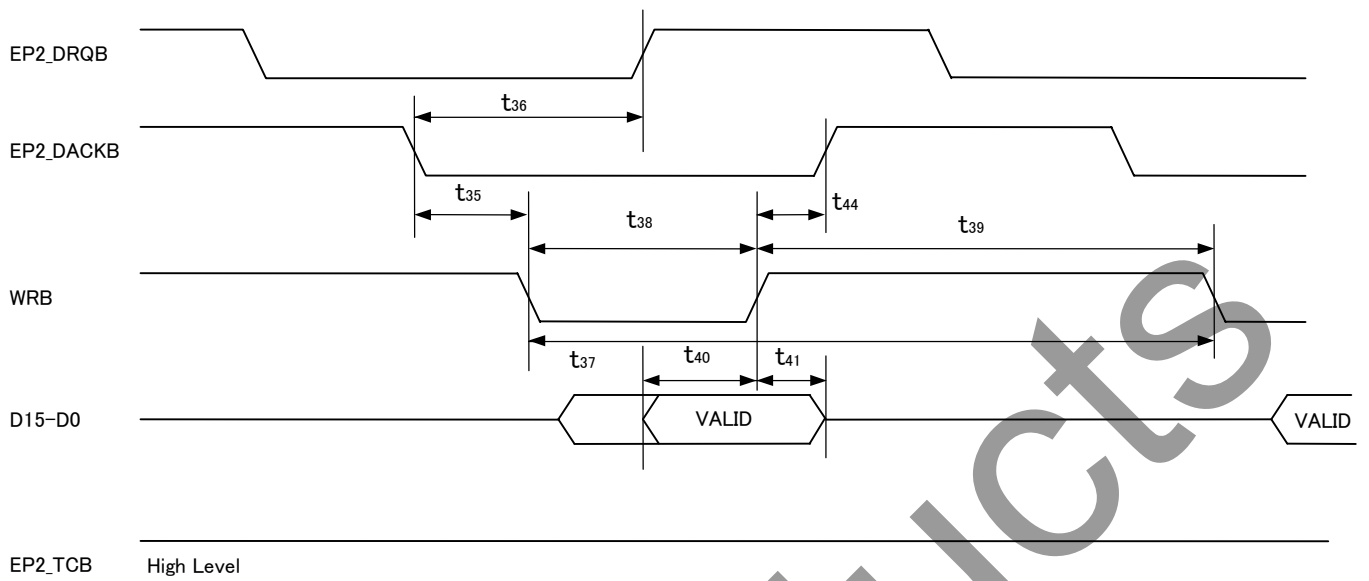
注 1つ前のWRB 以降入力可能

備考 外部端子容量は 15 pF を想定しています (データ・バスは 50 pF)

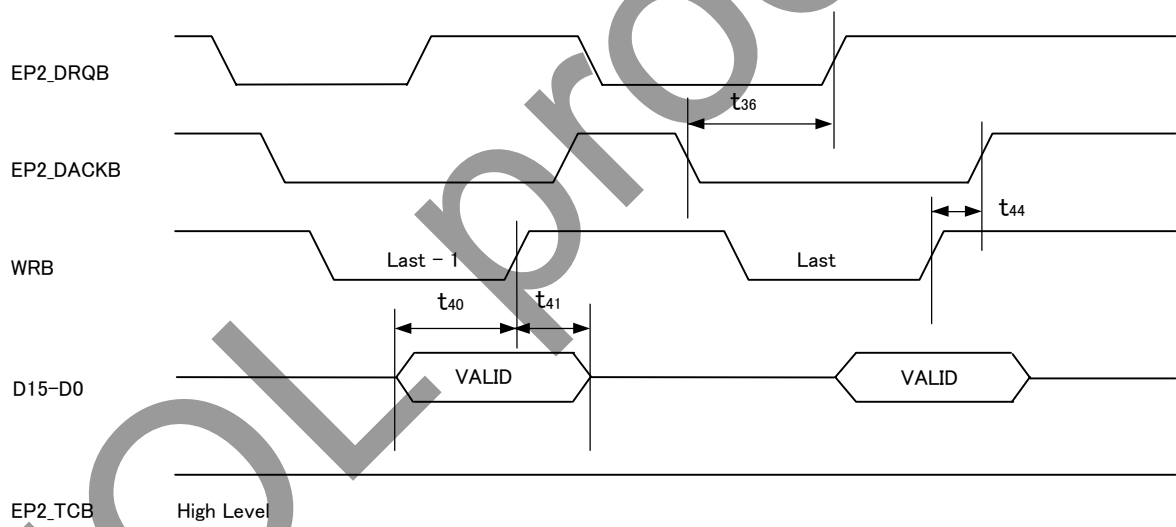
(全体)



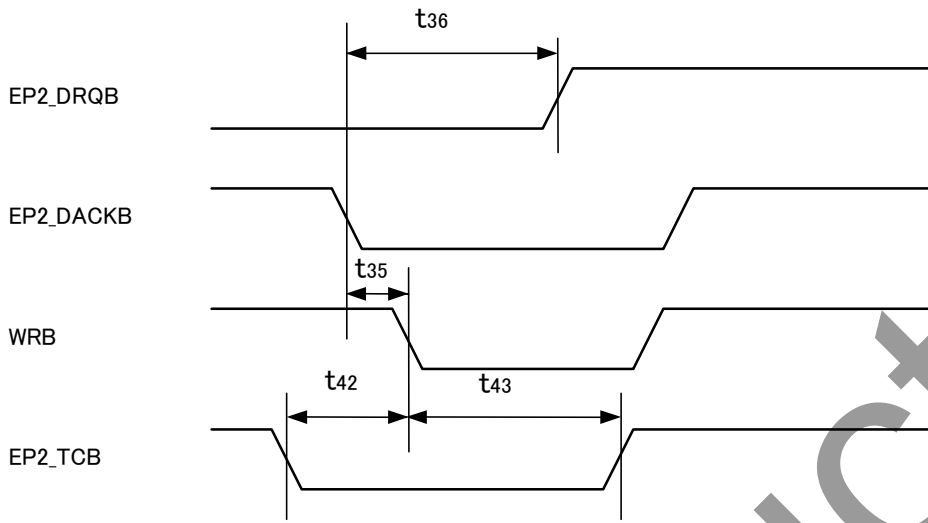
(スタート・タイミング)



(エンド・タイミング)



(TCB タイミング)



EOOL products

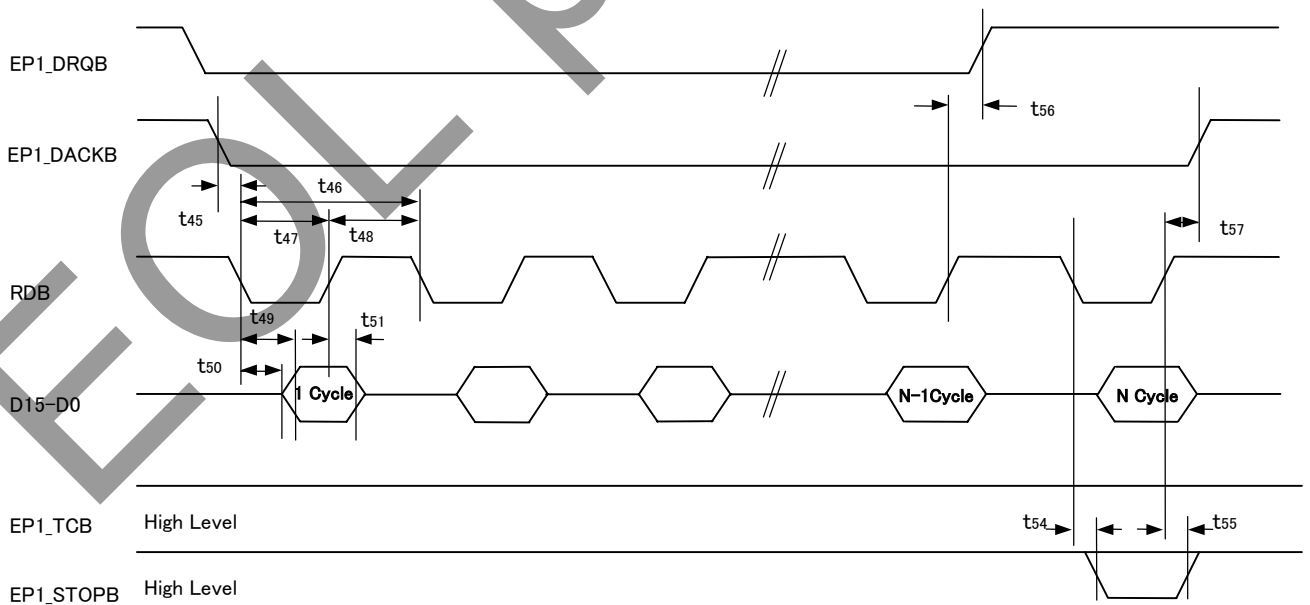
(c) CPU Bus DMAディマンド・リード転送タイミング

略号	項目	MIN.	TYP.	MAX.	単位
t45	DMAリクエスト・アクノリッジ・セットアップ時間 (RDB)	0			ns
t46	DMAディマンド・モード・リード転送サイクル時間	91			ns
t47	リード・コマンド幅	57			ns
t48	リード・コマンド・インアクティブ時間	34			ns
t49	リード・データ遅延時間 (RDB)	-		57	ns
t50	バッファ方向変更時間 (RDB)	-		14	ns
t51	リード・データ・ホールド時間 (RDB)	4		-	ns
t52	EP1_TCBセットアップ時間 (RDB)	0		注	ns
t53	EP1_TCBホールド時間 (RDB)	17			ns
t54	EP1_STOPB遅延時間 (RDB)	-		15	ns
t55	EP1_STOPB遅延時間 (RDB)	3		-	ns
t56	DMAリクエストOFF時間 (RDB)	-		59	ns
t57	DMAリクエスト・アクノリッジ・ホールド時間 (RDB)	0			ns
t69	DMAリクエストOFF時間 (EP1_DACKB)	-		38	ns
t71	DMAリクエストOFF時間 (EP1_DACKB) 1サイクル転送	-		38	ns
t72	DMAリクエストON時間 (EP1_DACKB)	-		88	ns
t74	DMAリクエストOFF時間 (RDB)	-		60	ns

注 1つ前のRDB 以降入力可能

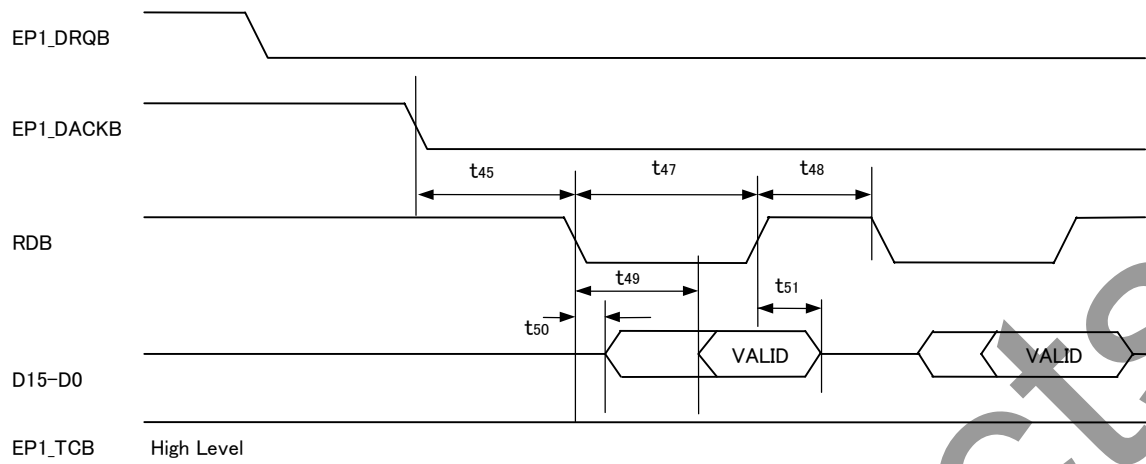
備考 外部端子容量は 15 pF を想定しています (データ・バスは 50 pF)

(全 体)

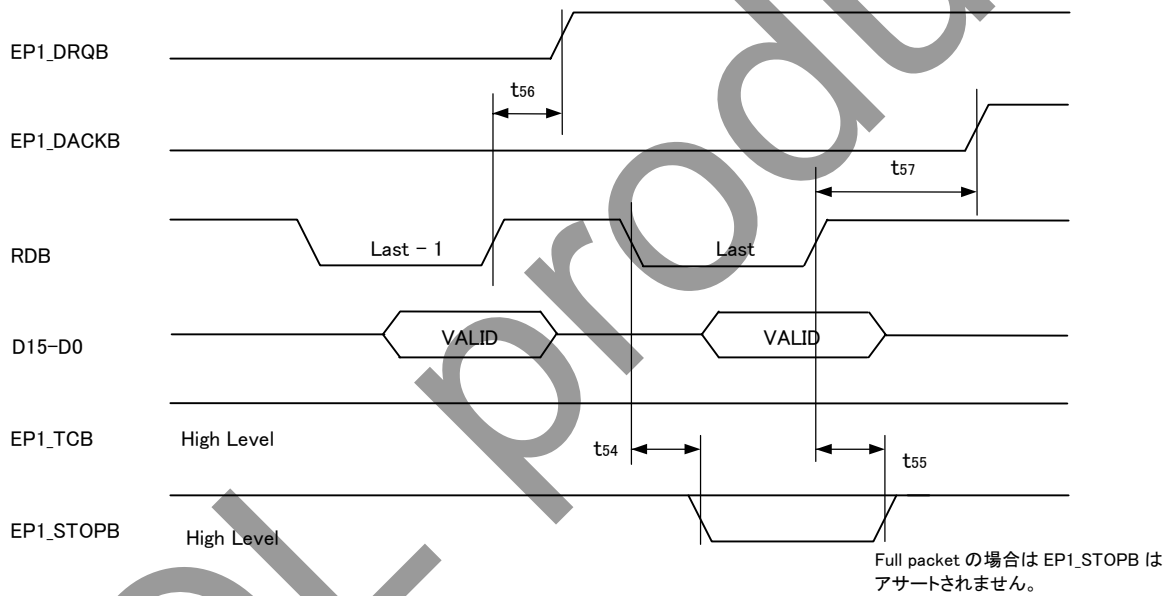


Full packet の場合は EP1_STOPB はアサートされません。

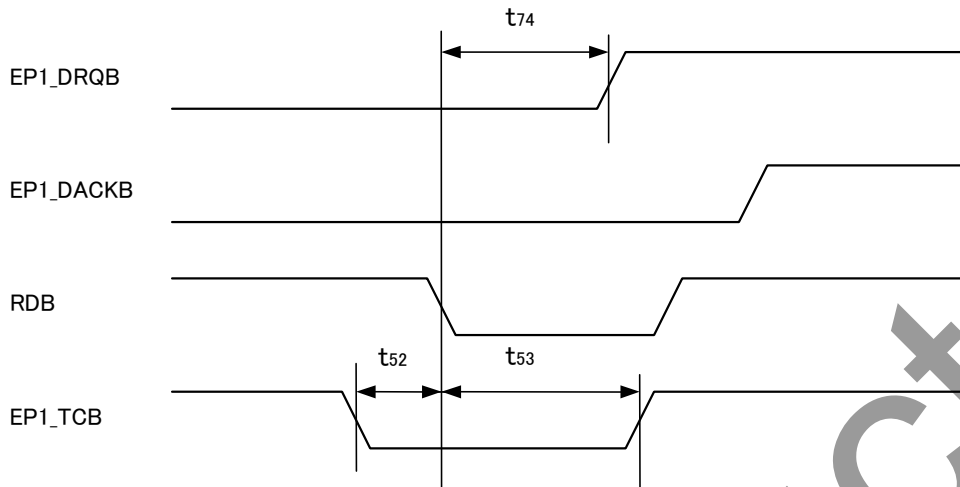
(スタート・タイミング)



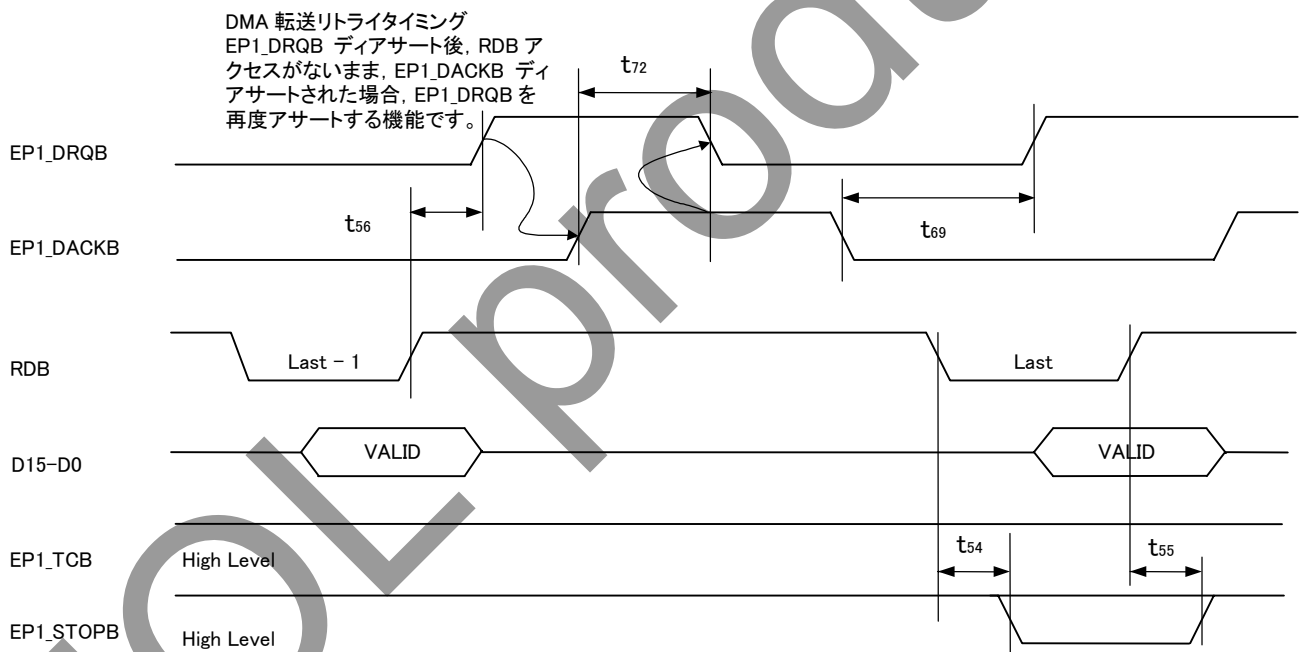
(エンド・タイミング)



(TCB タイミング)



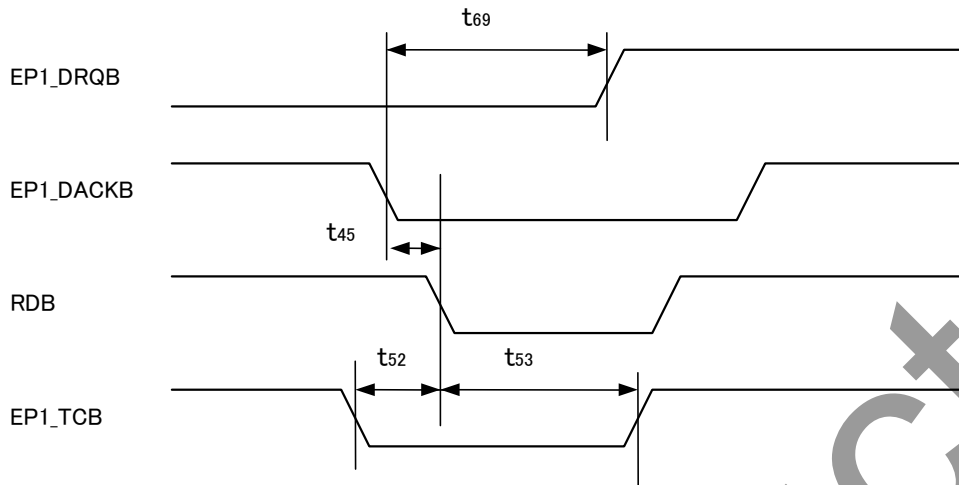
(再送タイミング)



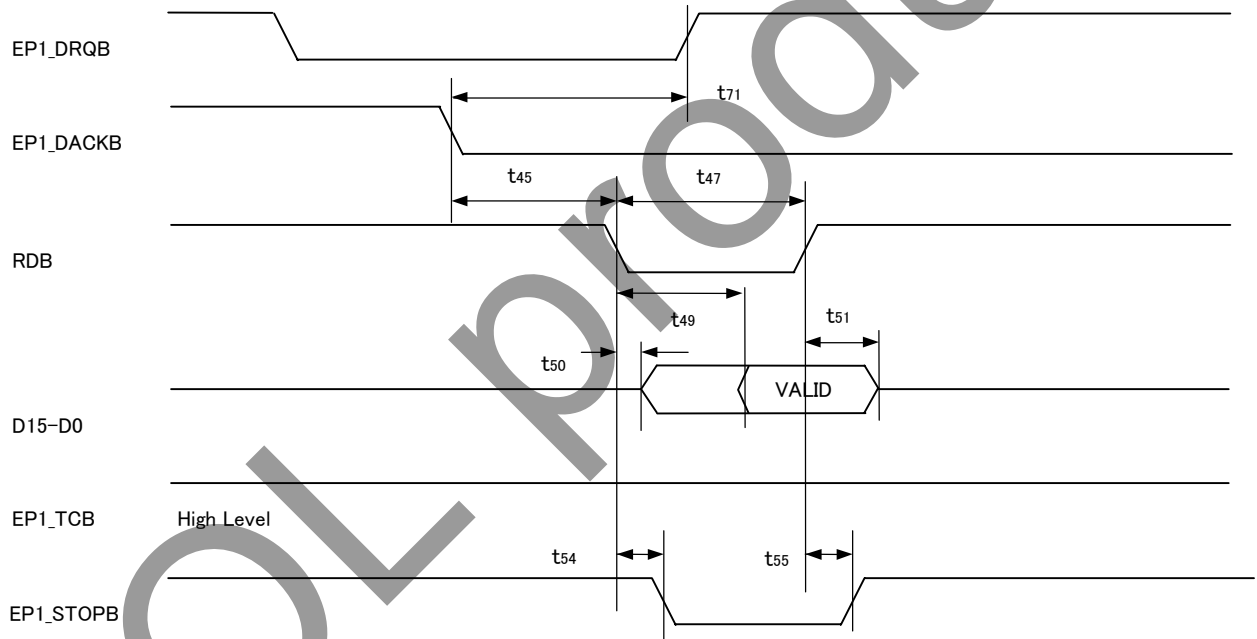
DMA 転送リトライタイミング
 EP1_DRQB ディアサート後、RDB アクセスがないまま、EP1_DACKB ディアサートされた場合、EP1_DRQB を再度アサートする機能です。

Full packet の場合は EP1_STOPB はアサートされません。

(再送タイミング時に EP1_TCB が入力された場合)



(1 サイクル転送時)



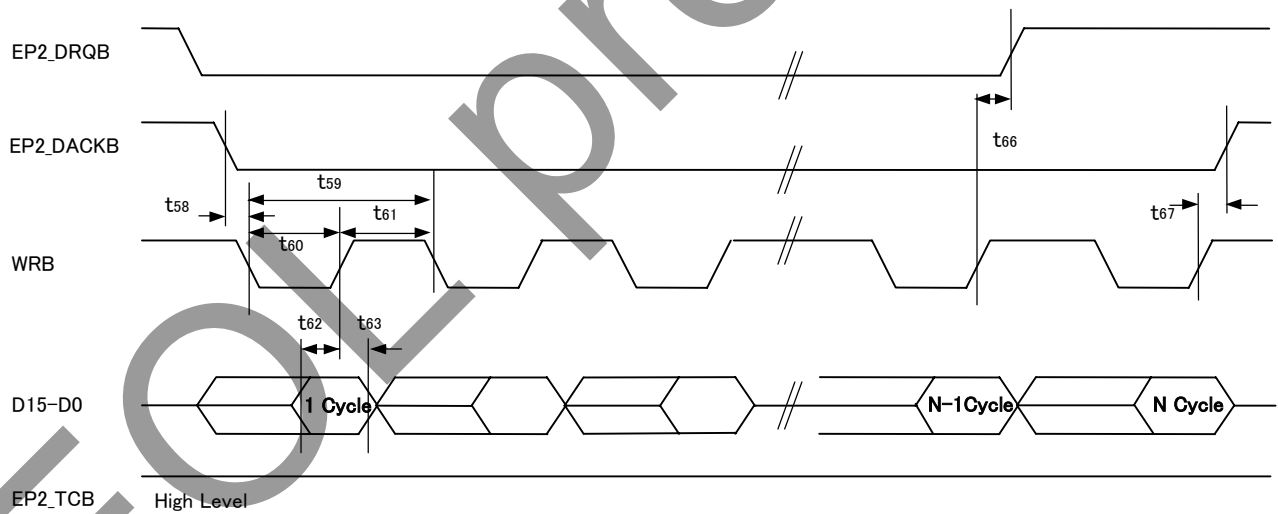
(d) CPU Bus DMAディマンド・ライト転送タイミング

略号	項目	MIN.	TYP.	MAX.	単位
t ₅₈	DMAリクエスト・アクノリッジ・セットアップ時間 (WRB)	0			ns
t ₅₉	DMAディマンド・モード・ライト転送サイクル時間	72			ns
t ₆₀	ライト・コマンド幅	38			ns
t ₆₁	ライト・コマンド・インアクティブ時間	34			ns
t ₆₂	ライト・データ・セットアップ時間 (WRB)	10			ns
t ₆₃	ライト・データ・ホールド時間 (WRB)	0			ns
t ₆₄	EP2_TCBセットアップ時間 (WRB)	0		注	ns
t ₆₅	EP2_TCBホールド時間 (WRB)	17			ns
t ₆₆	DMAリクエストOFF時間 (WRB)	-		60	ns
t ₆₇	DMAリクエスト・アクノリッジ・ホールド時間 (WRB)	0			ns
t ₇₀	DMAリクエストOFF時間 (EP2_DACKB)	-		38	ns
t ₇₃	DMAリクエストON時間 (EP2_DACKB)	-		88	ns
t ₇₅	DMAリクエストOFF時間 (WRB)	-		60	ns

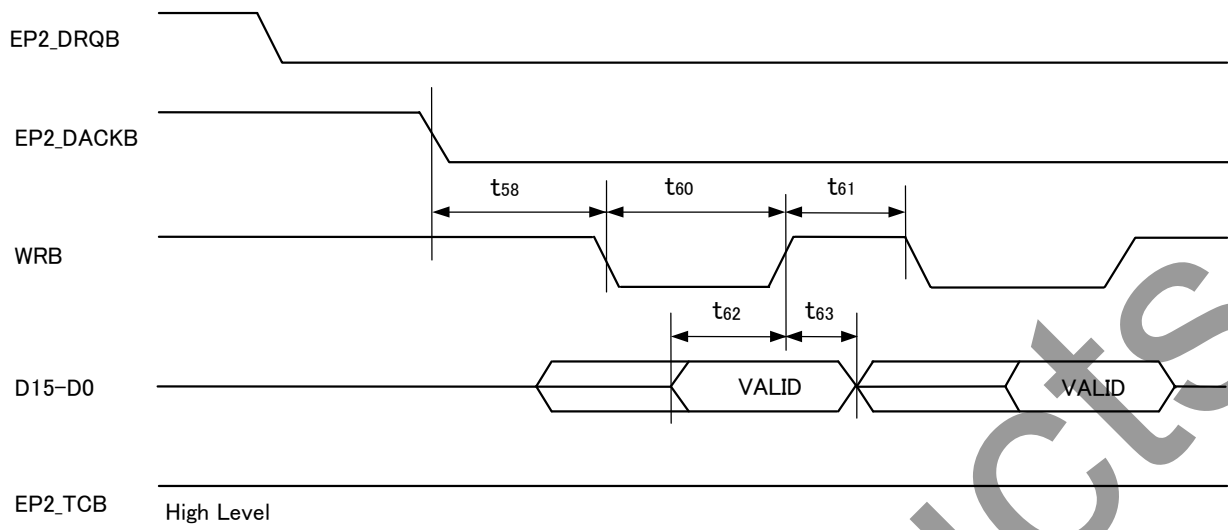
注 1つ前のWRB以降入力可能

備考 外部端子容量は15 pFを想定しています(データ・バスは50 pF)

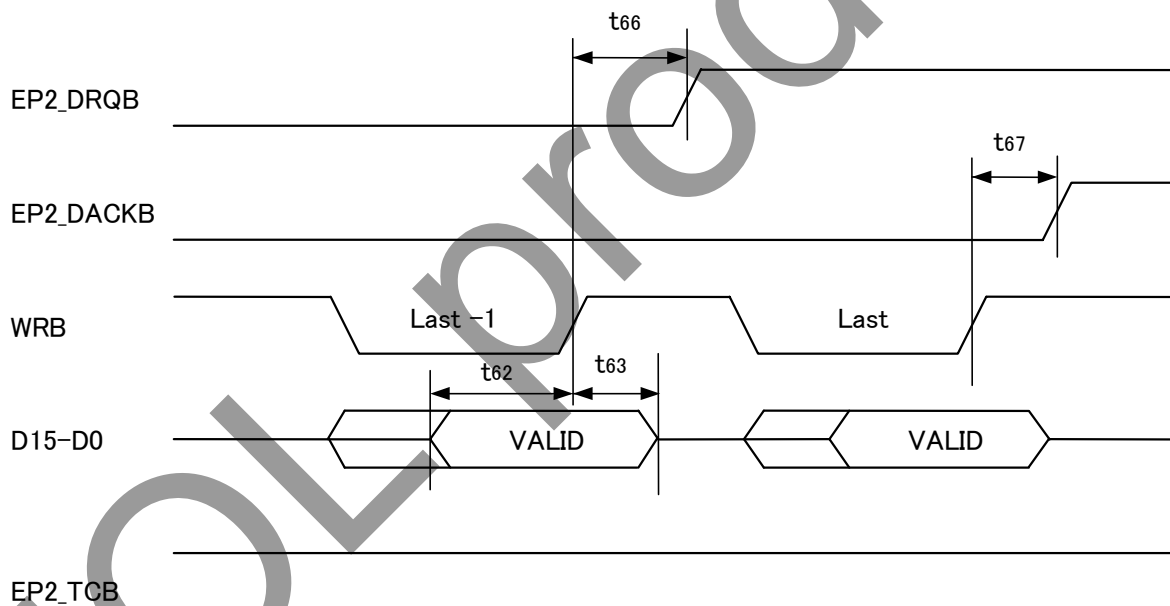
(全体)



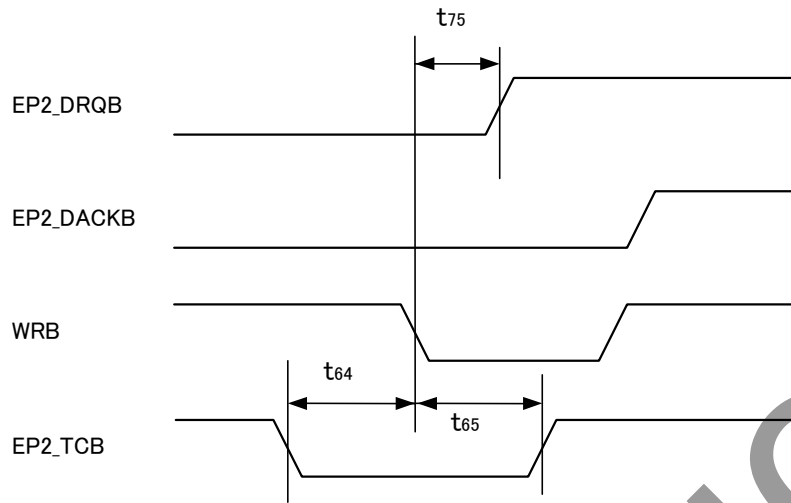
(スタート・タイミング)



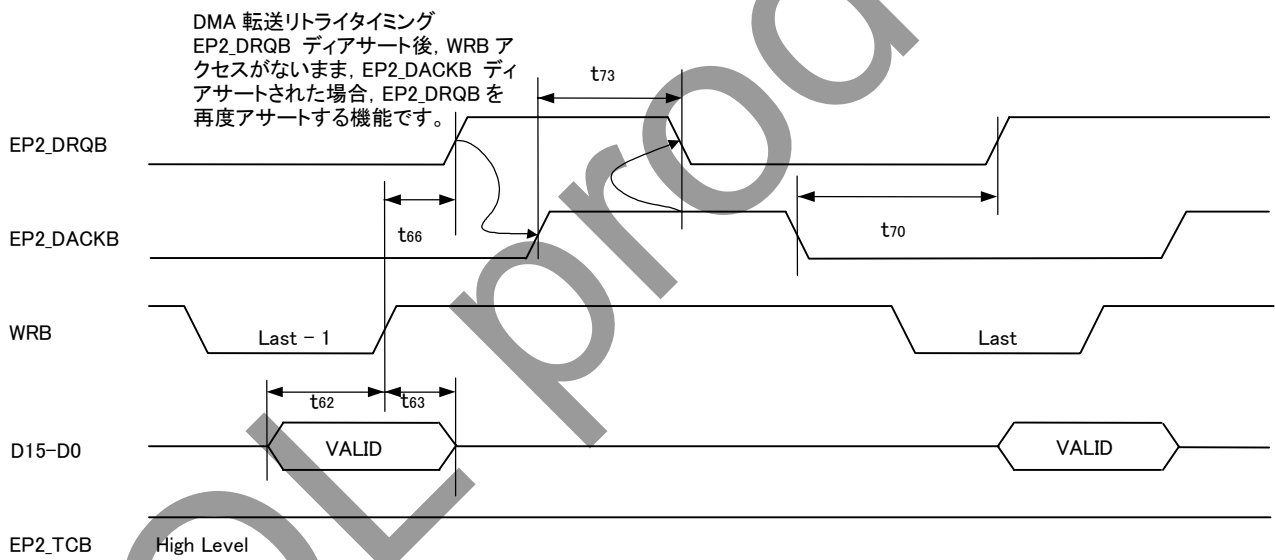
(エンド・タイミング)



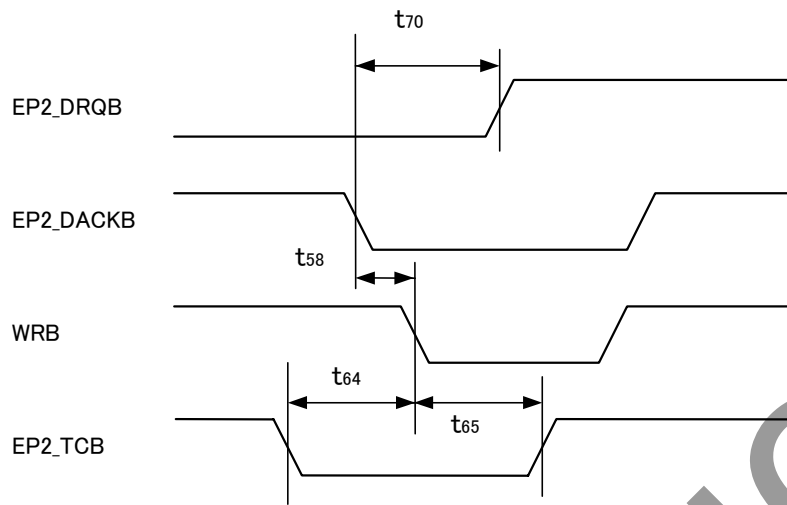
(TCB タイミング)



(再送タイミング)



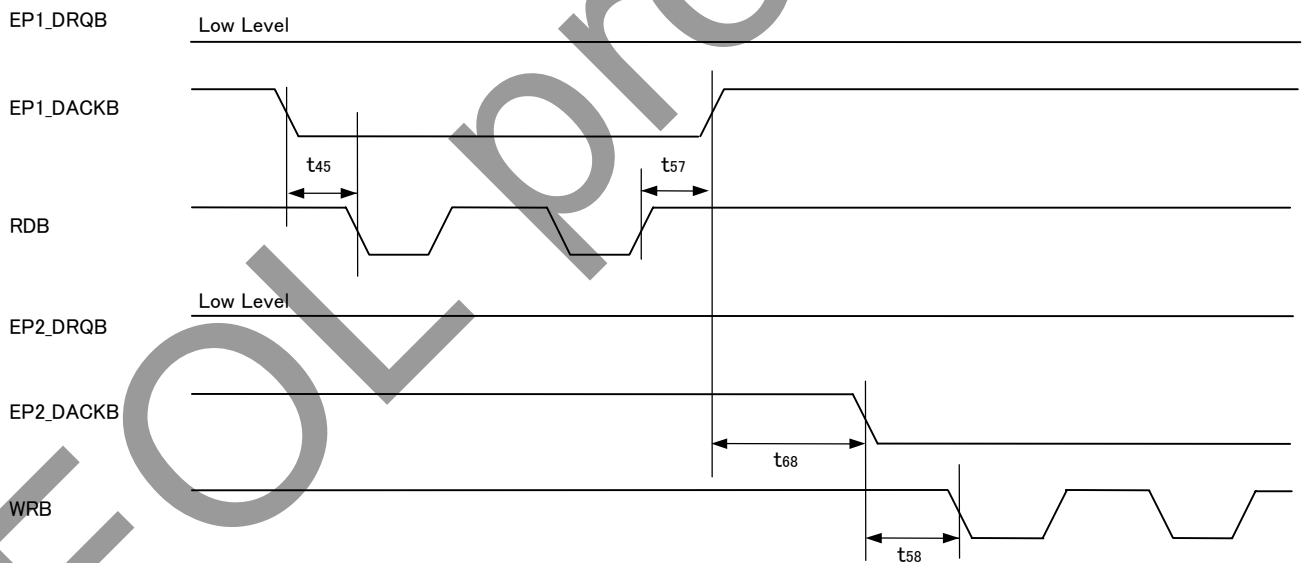
(再送タイミング時に EP1_TCB が入力された場合)



(e) CPU Bus DMAリード転送vs. ライト転送タイミング

略号	項目	MIN.	TYP.	MAX.	単位
t68	RDB vs. WRBコマンド・インアクティブ時間	34			ns

備考 外部端子容量は 15 pF を想定しています (データ・バスは 50 pF)



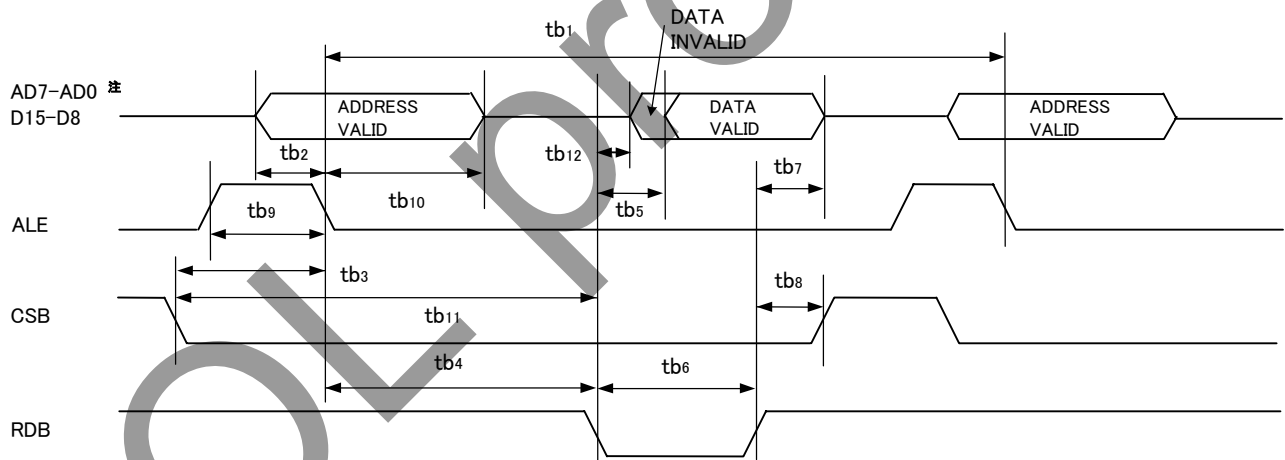
2.6.3 Function 2, 3 選択時の BIU 部の AC 特性

(1) CPU Bus リード動作

略号	項目	MIN.	TYP.	MAX.	単位
tb1	リード・サイクル時間	86			ns
tb2	アドレス・セットアップ時間 (ALE)	10			ns
tb3	チップ・セレクト・セットアップ時間 (ALE)	17			ns
tb4	リード・コマンド遅延時間 (ALE)	7			ns
tb5	出力データ遅延時間 (RDB)	-		57	ns
tb6	リード・コマンド幅	57			ns
tb7	出力データ・ホールド時間 (RDB)	4		-	ns
tb8	チップ・セレクト・ホールド時間 (RDB)	5			ns
tb9	ALE幅	10			ns
tb10	アドレス・ホールド時間 (ALE)	0			ns
tb11	チップ・セレクト・セットアップ時間 (RDB)	5			ns
tb12	バッファ方向変更時間 (RDB)	-		14	ns

備考 外部端子容量は 15 pF を想定しています (データ・バスは 50 pF)。

CPU Bus リード・タイミング



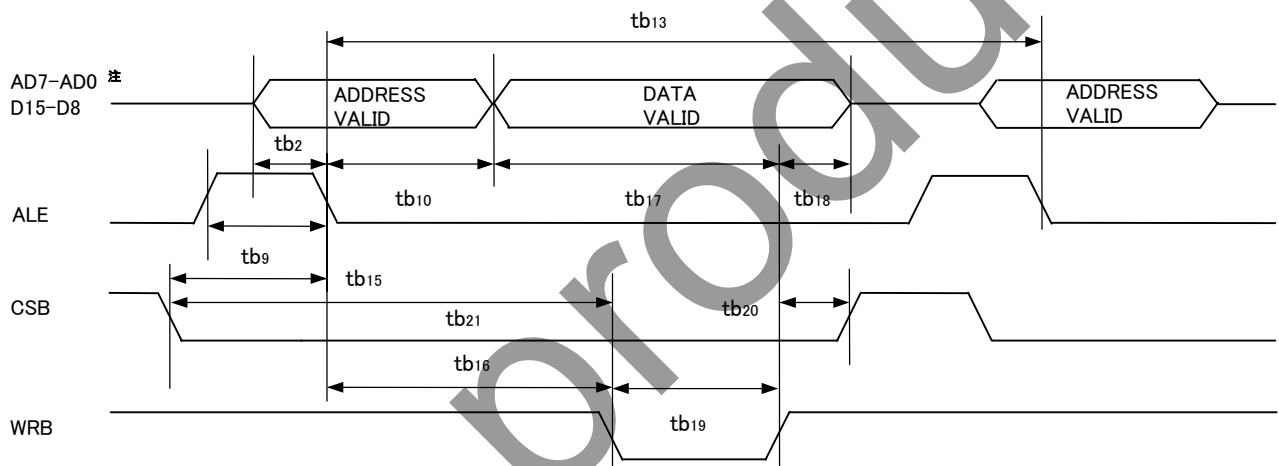
注 Function 2 の場合は D7-D0 となります。

(2) CPU Bus ライト動作

略号	項目	MIN.	TYP.	MAX.	単位
tb13	ライト・サイクル時間	58			ns
tb15	チップ・セレクト・セットアップ時間 (ALE)	17			ns
tb16	ライト・コマンド遅延時間 (ALE)	7			ns
tb17	入力データ・セットアップ時間 (WRB)	10			ns
tb18	入力データ・ホールド時間 (WRB)	0			ns
tb19	ライト・コマンド幅	34			ns
tb20	チップ・セレクト・ホールド時間 (WRB)	0			ns
tb21	チップ・セレクト・セットアップ時間 (WRB)	5			ns

備考 外部端子容量は 15 pF を想定しています (データ・バスは 50 pF)

CPU Bus ライト・タイミング



注 Function 2 の場合は D7-D0 となります。

2.6.4 External Local Bus

(1) External Local Bus 16 bit モード

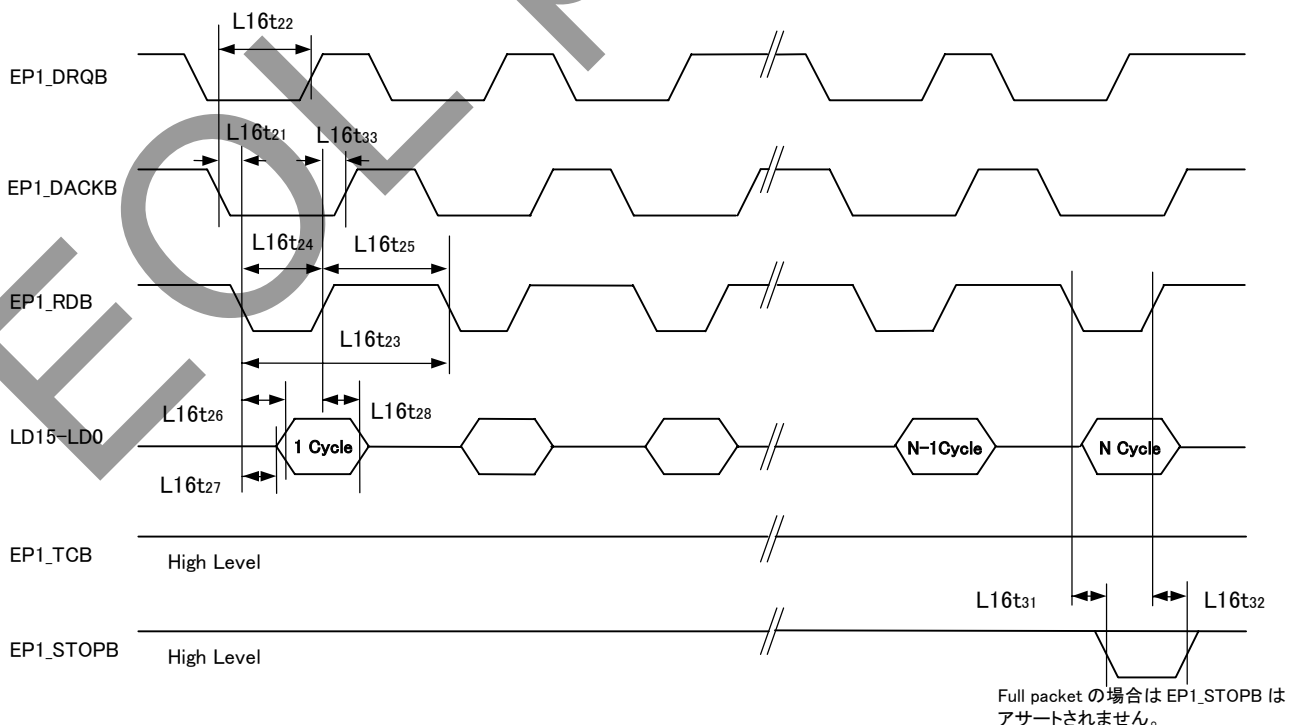
(a) External Local Bus 16 bitモードDMAシングル・モード・リード転送タイミング

略号	項目	MIN.	TYP.	MAX.	単位
L16t21	DMAリクエスト・アクノリッジ・セットアップ時間 (EP1_RDB)	0			ns
L16t22	DMAリクエストOFF時間 (EP1_DACKB)	-		54	ns
L16t23	DMAシングル・モード・リード転送サイクル時間	91			ns
L16t24	リード・コマンド幅	57			ns
L16t25	リード・コマンド・インアクティブ時間	34			ns
L16t26	リード・データ遅延時間 (EP1_RDB)	-		57	ns
L16t27	バッファ方向変更時間 (EP1_RDB)	-		14	ns
L16t28	リード・データ・ホールド時間 (EP1_RDB)	4		-	ns
L16t29	EP1_TCBセットアップ時間 (EP1_RDB)	0		注	ns
L16t30	EP1_TCBホールド時間 (EP1_RDB)	17			ns
L16t31	EP1_STOPB遅延時間 (EP1_RDB)	-		15	ns
L16t32	EP1_STOPB遅延時間 (EP1_RDB)	3		-	ns
L16t33	DMAリクエスト・アクノリッジ・ホールド時間 (EP1_RDB)	0			ns
L16t34	未定義	-		-	ns

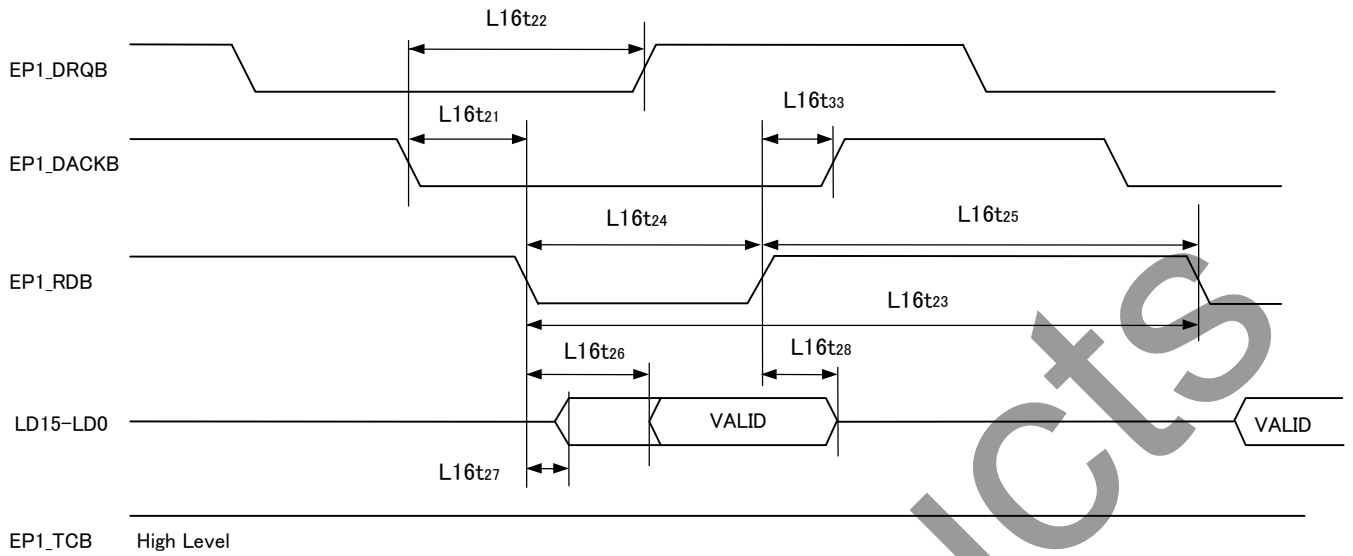
注 1つ前のEP1_RDB 以降入力可能

備考 外部端子容量は 15 pF を想定しています (データ・バスは 50 pF)

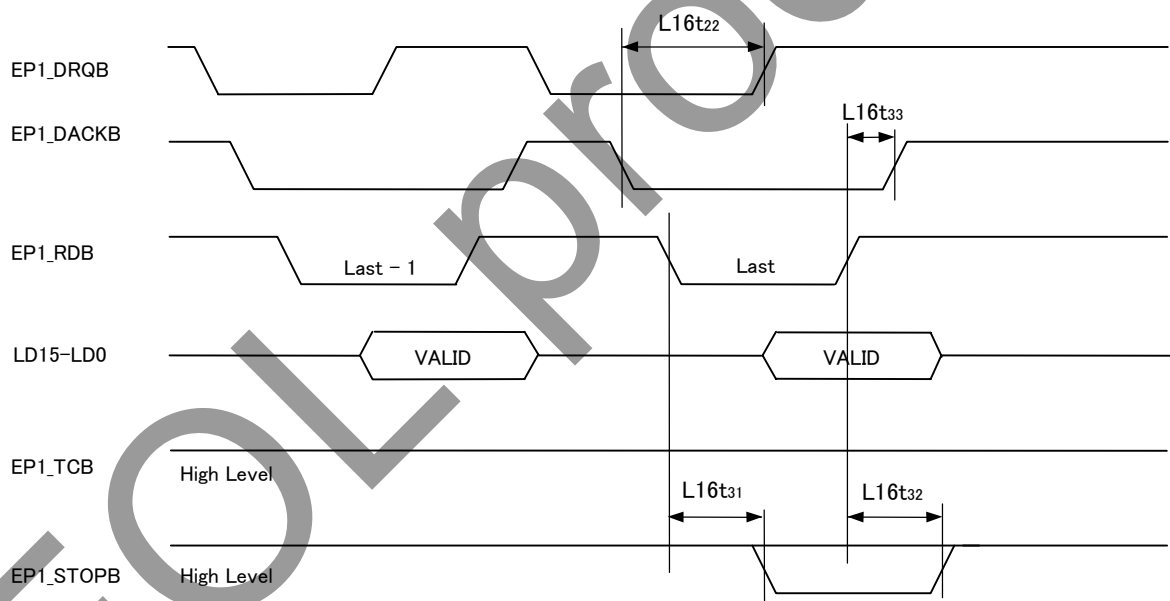
(全 体)



(スタート・タイミング)

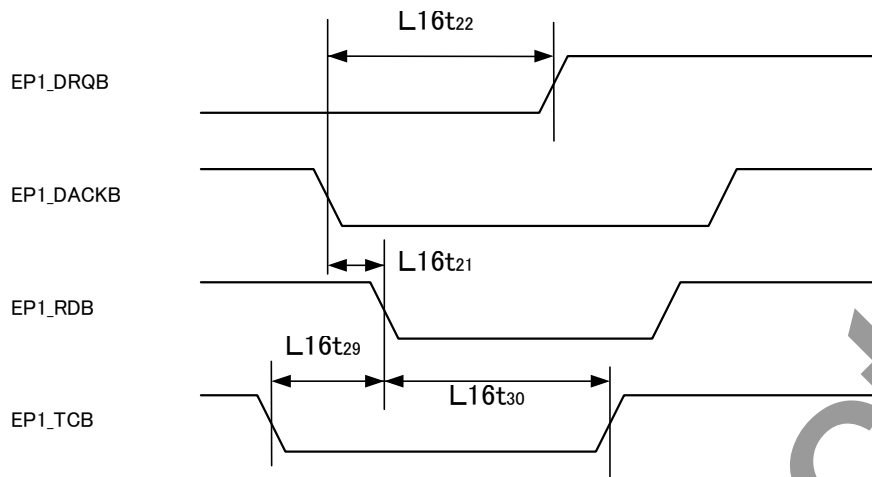


(エンド・タイミング)



Full packet の場合は EP1_STOPB はアサートされません。

(TCB タイミング)



EOOL products

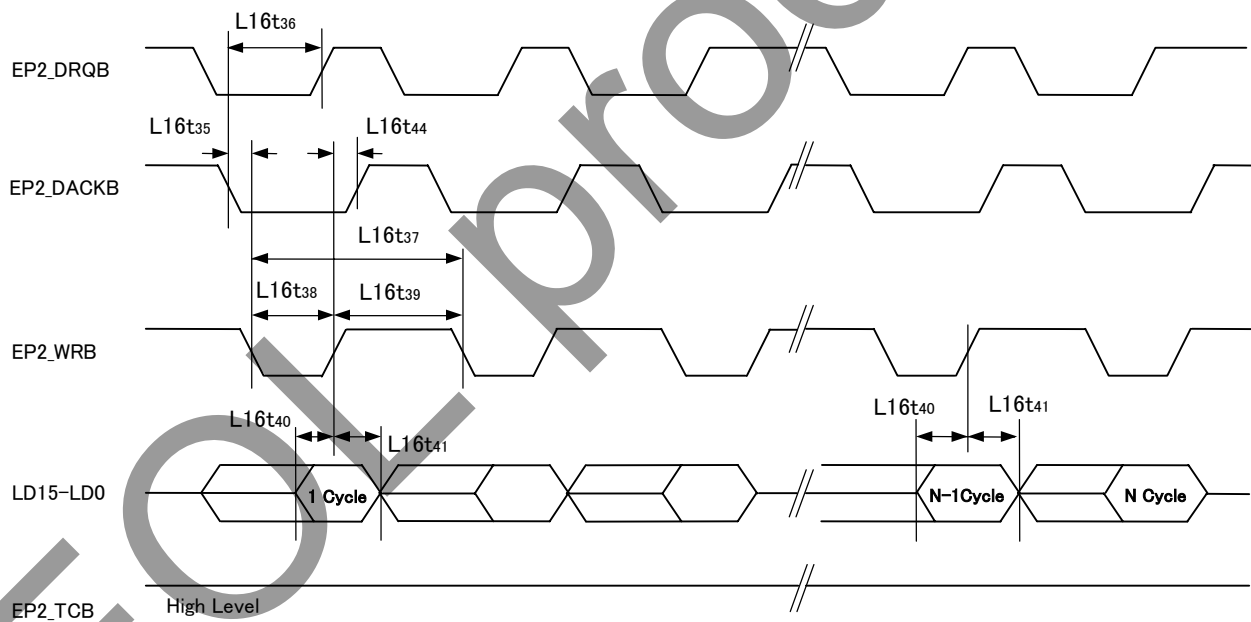
(b) External Local Bus 16 bitモードDMAシングル・モード・ライト転送

略号	項目	MIN.	TYP.	MAX.	単位
L16t35	DMAリクエスト・アクノリッジ・セットアップ時間 (EP2_WRB)	0			ns
L16t36	DMAリクエストOFF時間 (EP2_DACKB)	-		54	ns
L16t37	DMAシングル・モード・ライト転送サイクル時間	88			ns
L16t38	ライト・コマンド幅	54			ns
L16t39	ライト・コマンド・インアクティブ時間	34			ns
L16t40	ライト・データ・セットアップ時間 (EP2_WRB)	10			ns
L16t41	ライト・データ・ホールド時間 (EP2_WRB)	0			ns
L16t42	EP2_TCBセットアップ時間 (EP2_WRB)	0		注	ns
L16t43	EP2_TCBホールド時間 (EP2_WRB)	17			ns
L16t44	DMAリクエスト・アクノリッジ・ホールド時間 (EP2_WRB)	0			ns

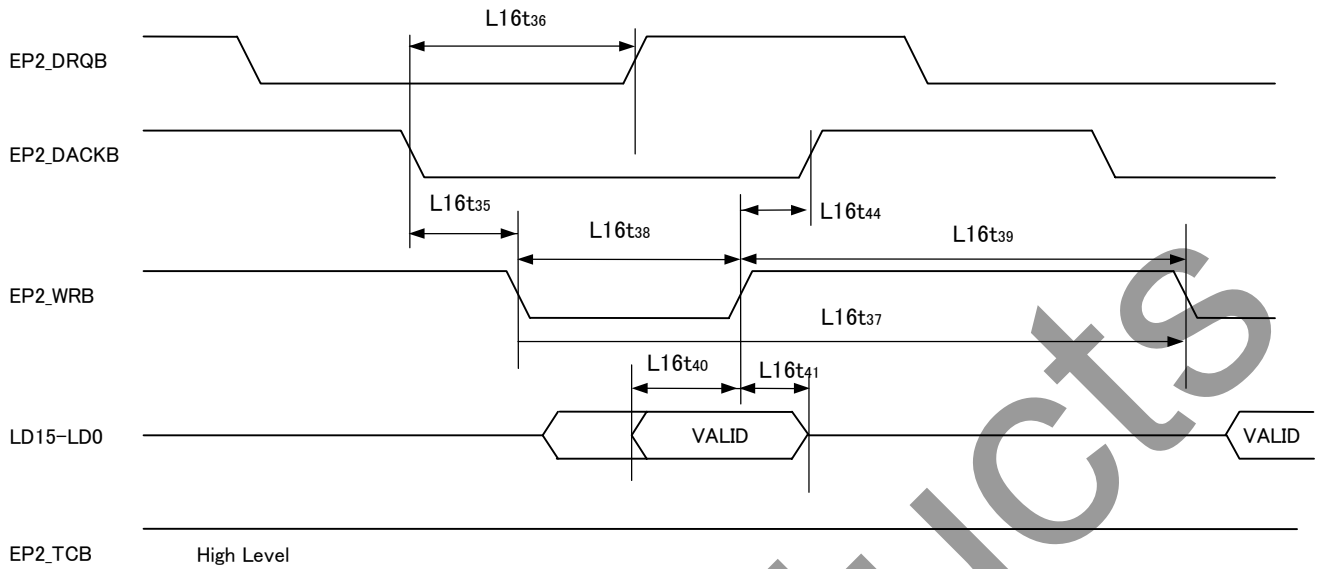
注 1つ前のEP2_WRB で降入力可能

備考 外部端子容量は 15 pF を想定しています (データ・バスは 50 pF)

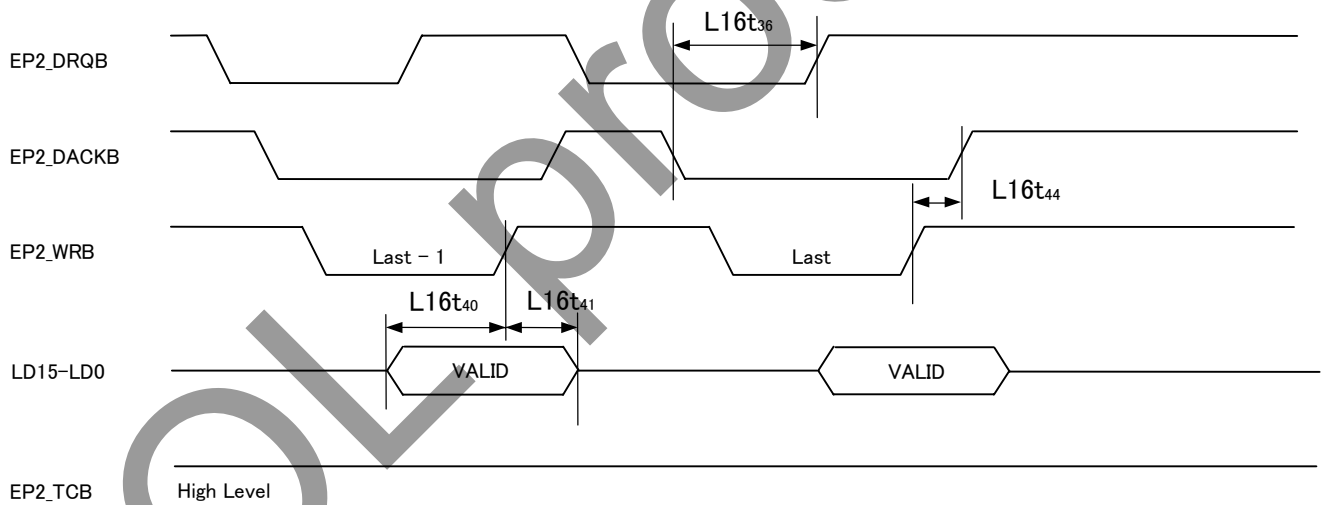
(全 体)



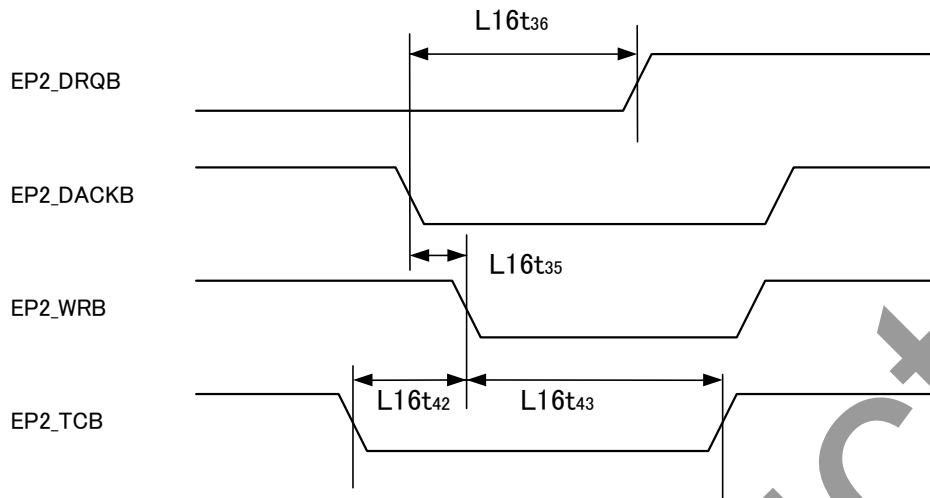
(スタート・タイミング)



(エンド・タイミング)



(TCB タイミング)



EOL products

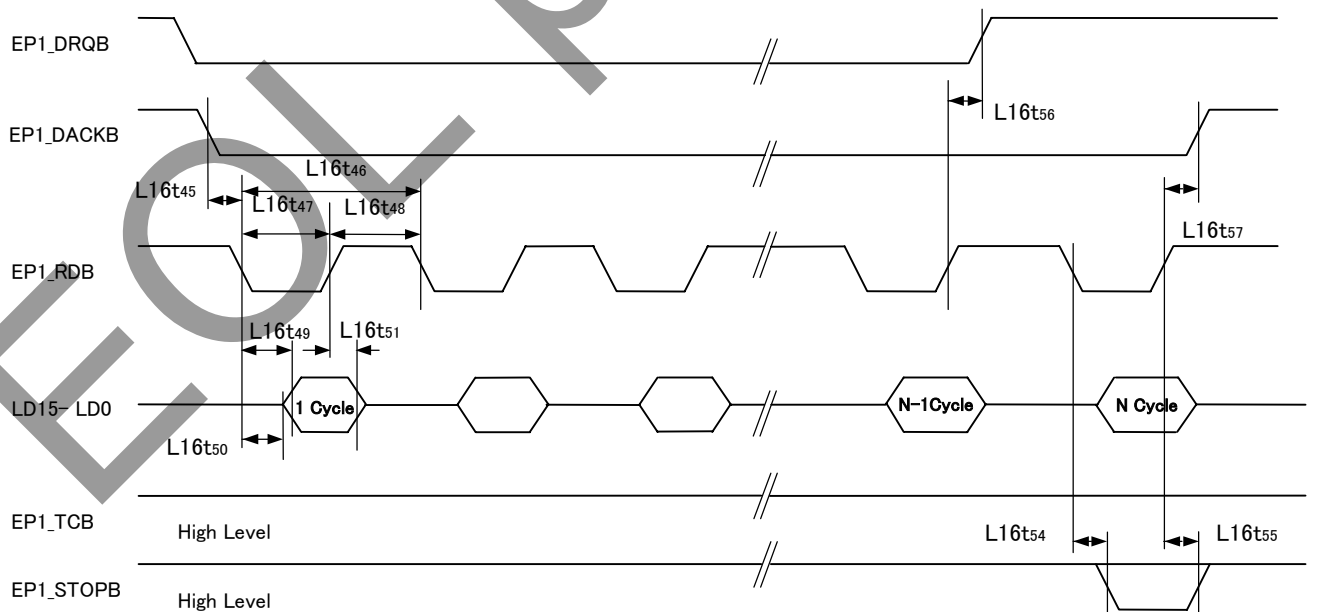
(c) External Local Bus 16 bitモードDMAディマンド・リード転送タイミング

略号	項目	MIN.	TYP.	MAX.	単位
L16t45	DMAリクエスト・アクノリッジ・セットアップ時間 (EP1_RDB)	0			ns
L16t46	DMAディマンド・モード・リード転送サイクル時間	91			ns
L16t47	リード・コマンド幅	57			ns
L16t48	リード・コマンド・インアクティブ時間	34			ns
L16t49	リード・データ遅延時間 (EP1_RDB)	-		57	ns
L16t50	バッファ方向変更時間 (EP1_RDB)	-		14	ns
L16t51	リード・データ・ホールド時間 (EP1_RDB)	4		-	ns
L16t52	EP1_TCBセットアップ時間 (EP1_RDB)	0		注	ns
L16t53	EP1_TCBホールド時間 (EP1_RDB)	17			ns
L16t54	EP1_STOPB遅延時間 (EP1_RDB)	-		15	ns
L16t55	EP1_STOPB遅延時間 (EP1_RDB)	3		-	ns
L16t56	DMAリクエストOFF時間 (EP1_RDB)	-		59	ns
L16t57	DMAリクエスト・アクノリッジ・ホールド時間 (EP1_RDB)	0			ns
L16t69	DMAリクエストOFF時間 (EP1_DACKB)	-		38	ns
L16t71	DMAリクエストOFF時間 (EP1_DACKB) 1サイクル転送	-		38	ns
L16t72	DMAリクエストON時間 (EP1_DACKB)	-		88	ns
L16t74	DMAリクエストOFF時間 (EP1_RDB)	-		60	ns

注 1つ前のEP1_RDB で降入力可能

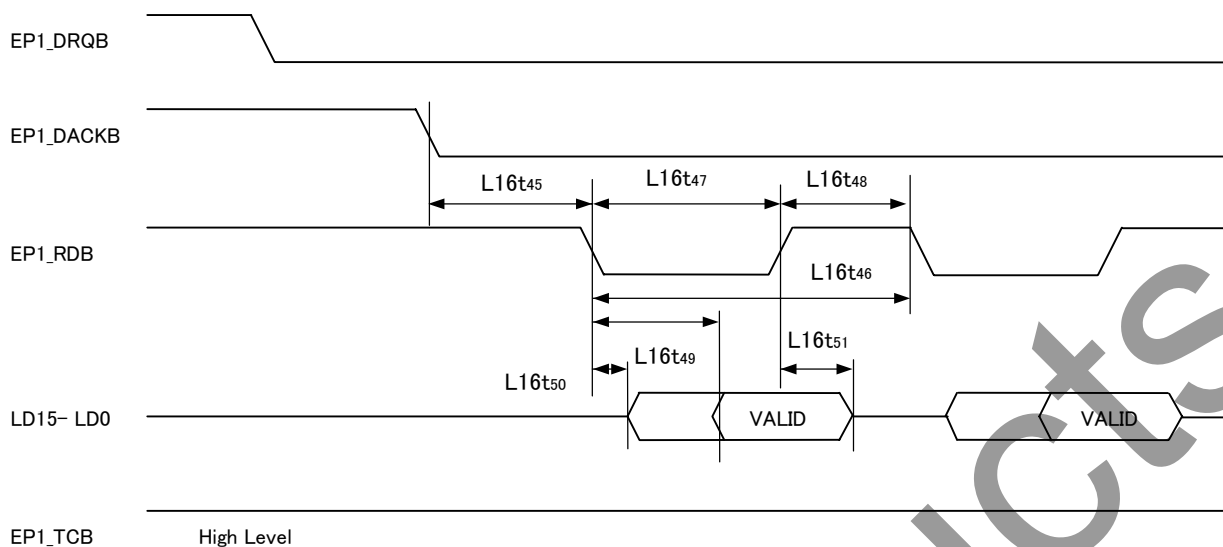
備考 外部端子容量は 15 pF を想定しています (データ・バスは 50 pF)

(全体)

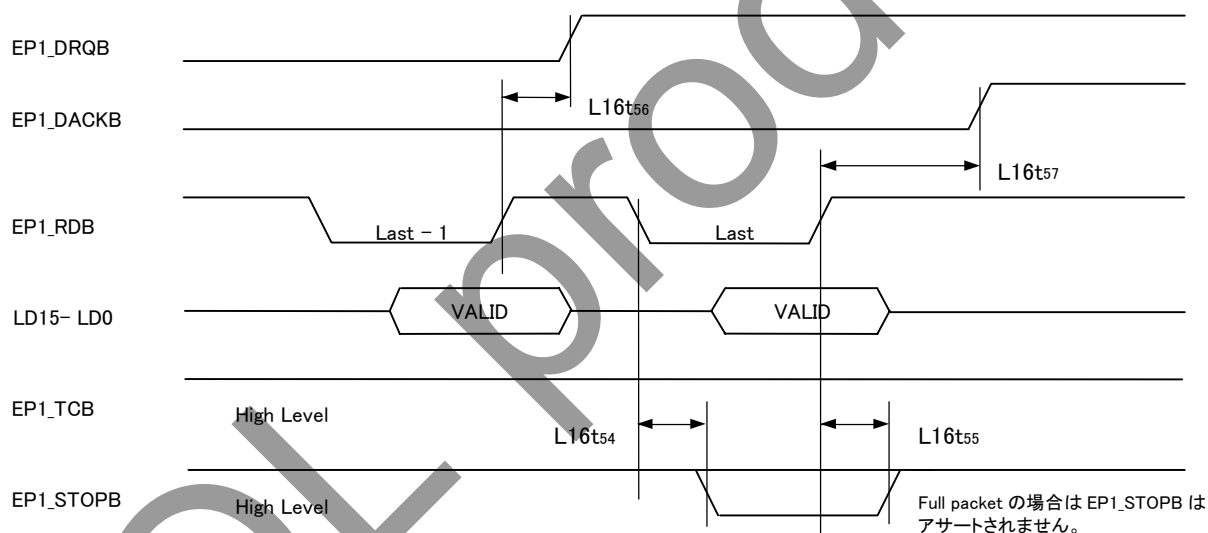


Full Packet の場合は EP1_STOPB はアサートされません。

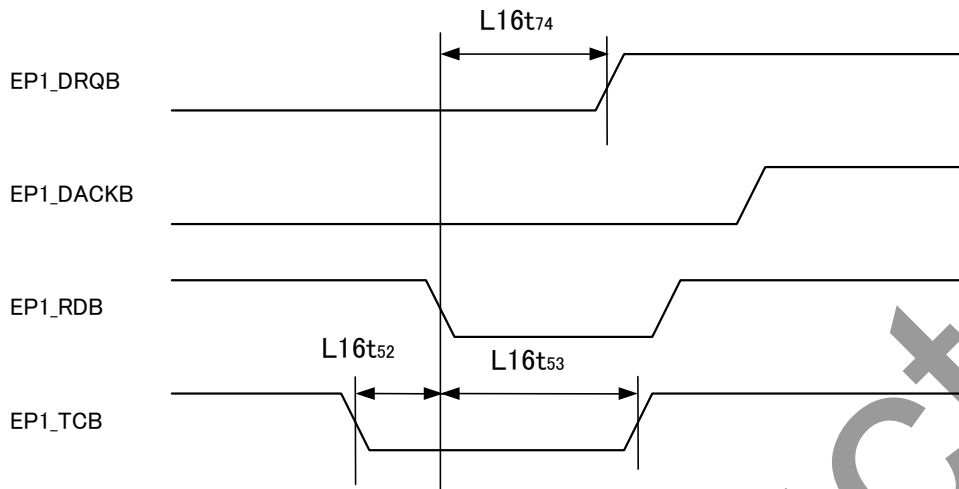
(スタート・タイミング)



(エンド・タイミング)

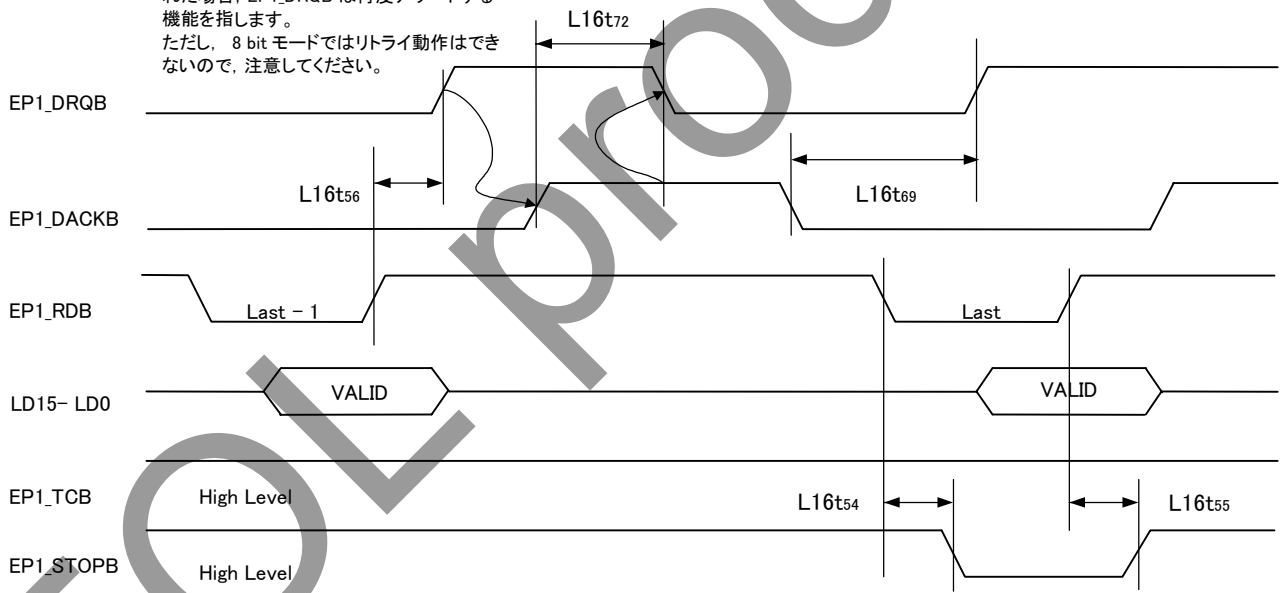


(TCB タイミング)



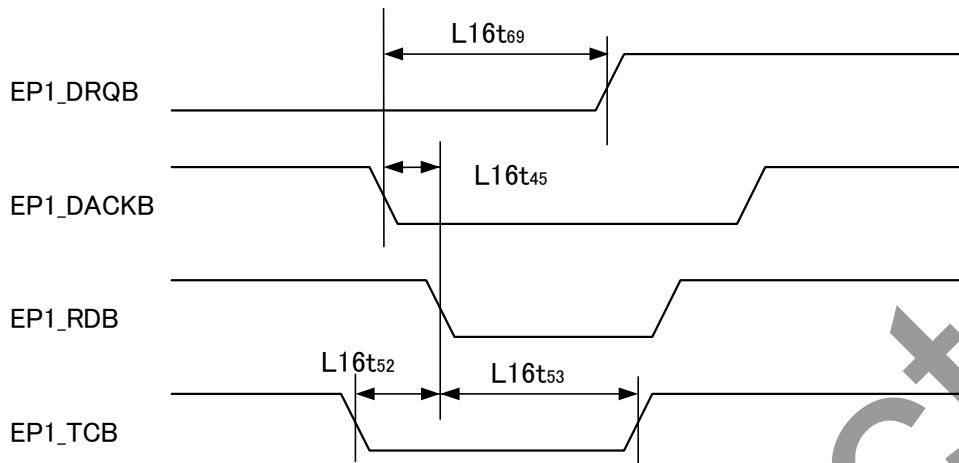
(再送タイミング)

DMA 転送リトライ・タイミング
 EP1_DRQB デアサート後, EP1_RDB アクセ
 スがないまま, EP1_DACKB デアサートさ
 れた場合, EP1_DRQB は再度アサートする
 機能を指します。
 ただし, 8 bit モードではリトライ動作はでき
 ないので, 注意してください。

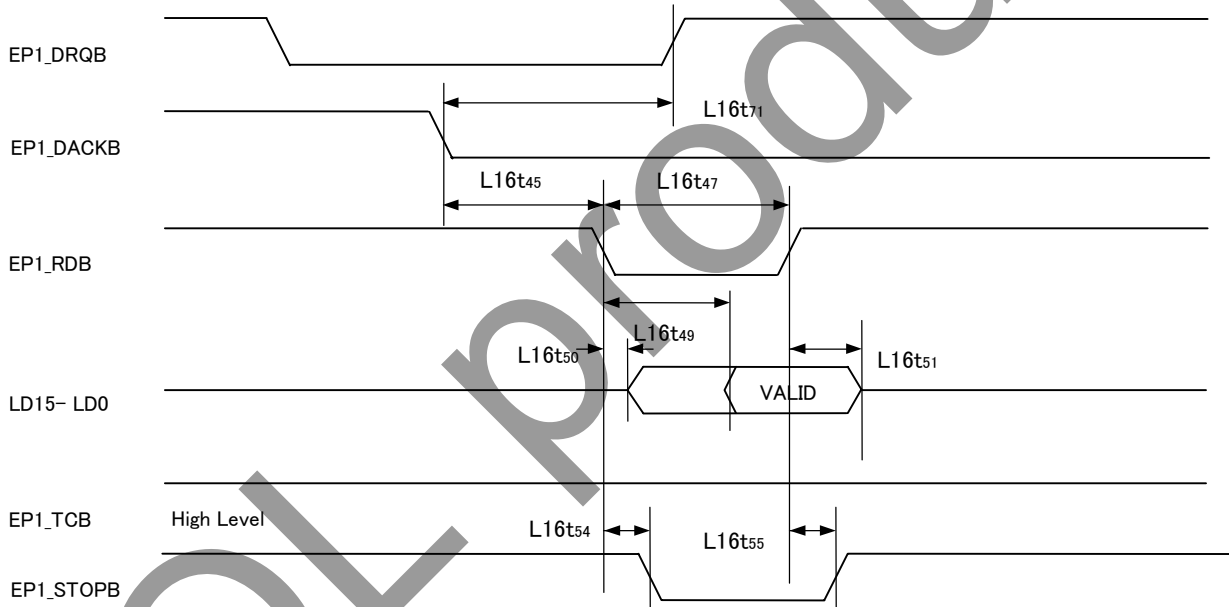


Full packet の場合は EP1_STOPB は
 アサートされません。

(再送タイミング時に EP1_TCB が入力された場合)



(1 サイクル転送時)



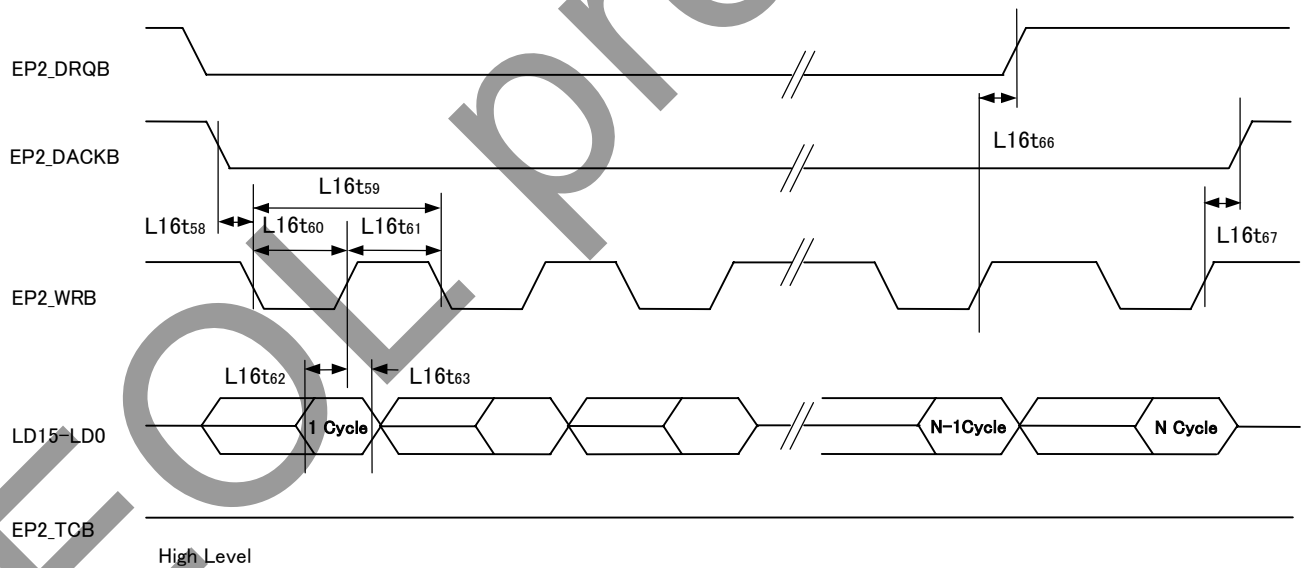
(d) External Local Bus 16 bitモードDMAディマンド・ライト転送タイミング

略号	項目	MIN.	TYP.	MAX.	単位
L16t58	DMAリクエスト・アクノリッジ・セットアップ時間 (EP2_WRB)	0			ns
L16t59	DMAディマンド・モード・ライト転送サイクル時間	72			ns
L16t60	ライト・コマンド幅	38			ns
L16t61	ライト・コマンド・インアクティブ時間	34			ns
L16t62	ライト・データ・セットアップ時間 (EP2_WRB)	10			ns
L16t63	ライト・データ・ホールド時間 (EP2_WRB)	0			ns
L16t64	EP2_TCBセットアップ時間 (EP2_WRB)	0		注	ns
L16t65	EP2_TCBホールド時間 (EP2_WRB)	17			ns
L16t66	DMAリクエストOFF時間 (EP2_WRB)	-		60	ns
L16t67	DMAリクエスト・アクノリッジ・ホールド時間 (EP2_WRB)	0			ns
L16t70	DMAリクエストOFF時間 (EP2_DACKB)	-		38	ns
L16t73	DMAリクエストON時間 (EP2_DACKB)	-		88	ns
L16t75	DMAリクエストOFF時間 (EP2_WRB)	-		60	ns

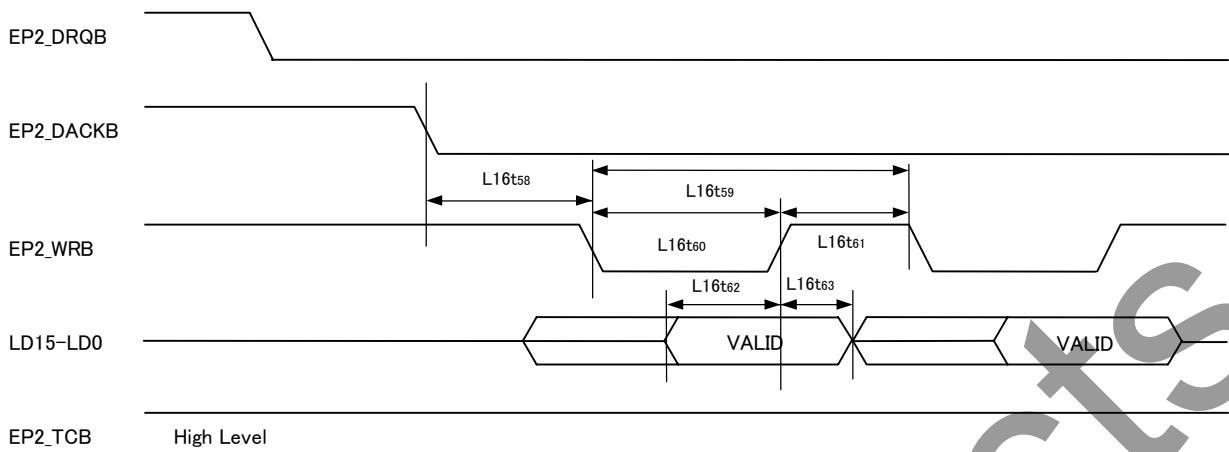
注 1つ前のEP2_WRB 以降入力可能

備考 外部端子容量は 15 pF を想定しています (データ・バスは 50 pF)

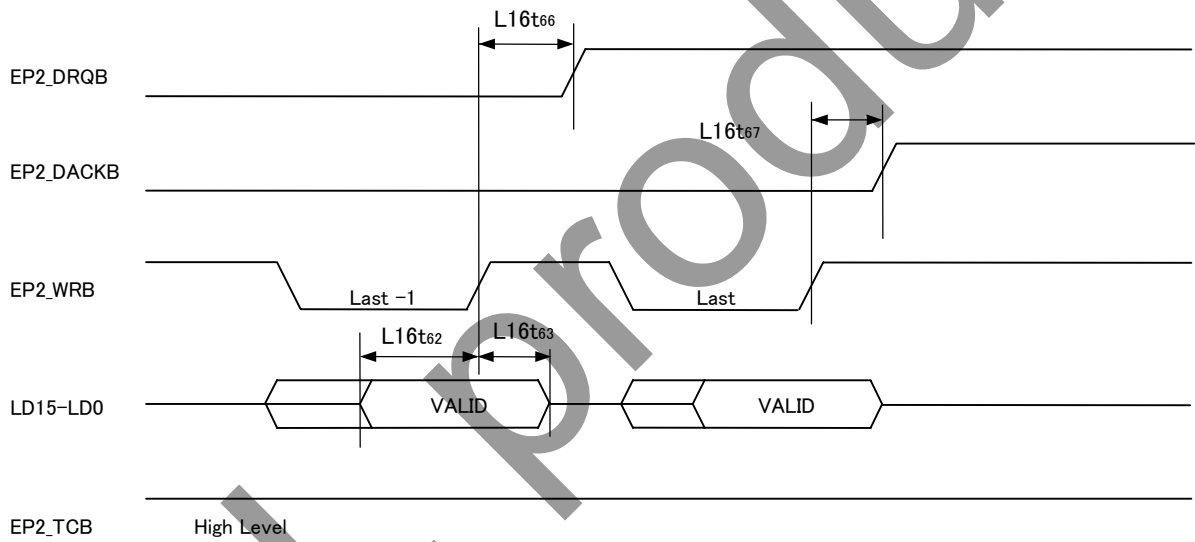
(全体)



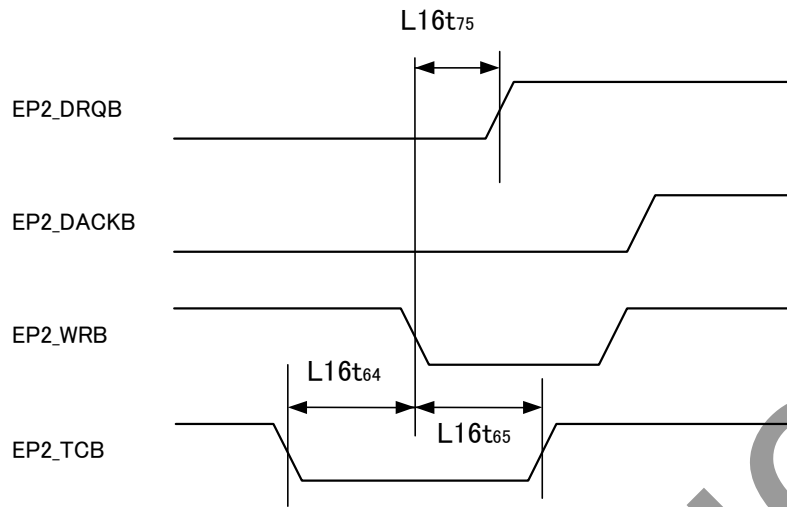
(スタート・タイミング)



(エンド・タイミング)

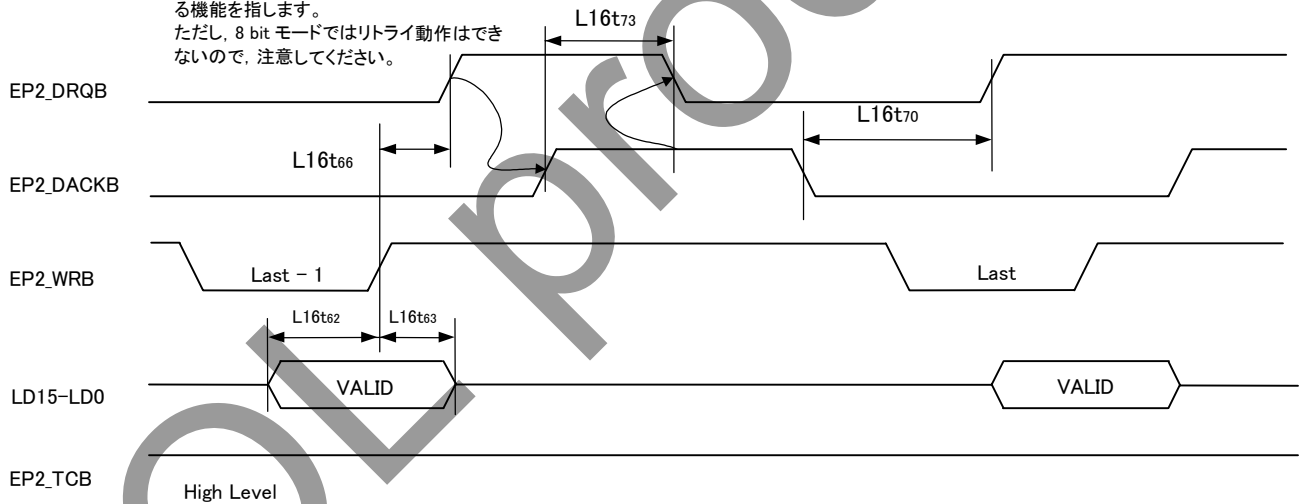


(TCB タイミング)

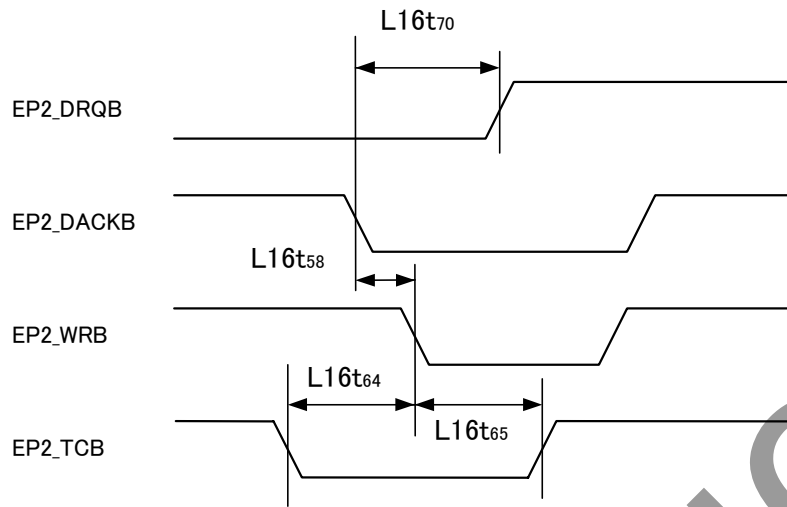


(再送タイミング)

DMA 転送リトライ・タイミング
 EP1_DRQB ディアサート後、EP2_WRB アクセ
 セスがないまま、EP1_DACKB ディアサート
 された場合、EP1_DRQB は再度アサートす
 る機能を指します。
 ただし、8 bit モードではリトライ動作はでき
 ないので、注意してください。



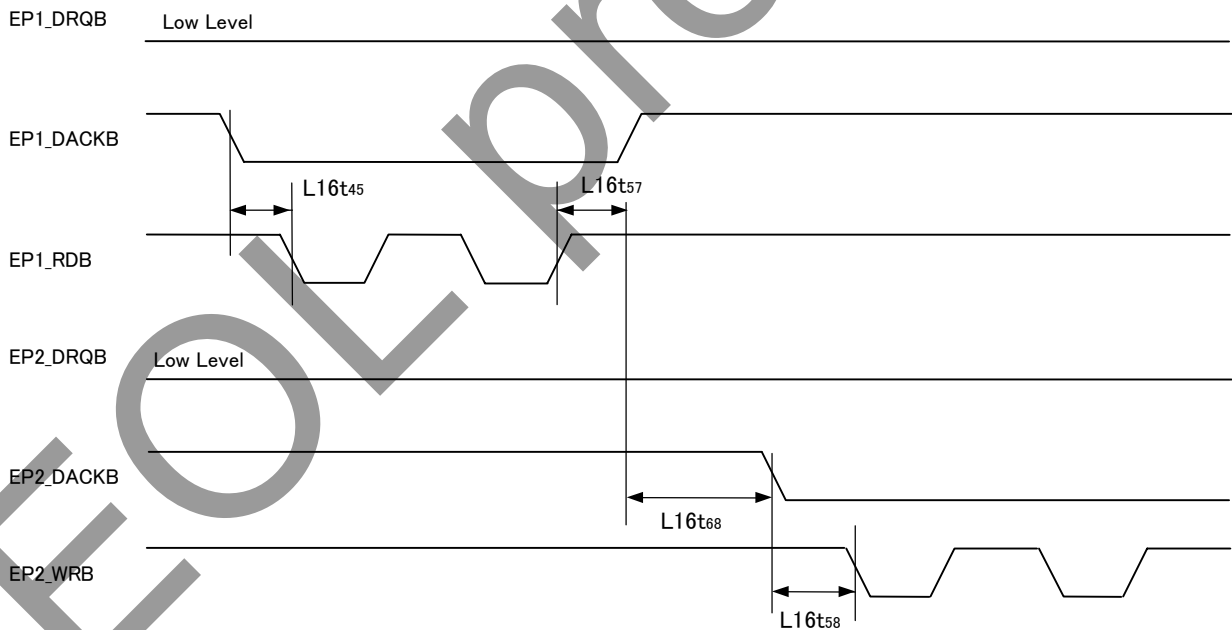
(再送タイミング時に EP1_TCB が入力された場合)



(e) External Local Bus 16 bitモードDMA EP1_Read転送 vs. EP2_Write転送タイミング

略号	項目	MIN.	TYP.	MAX.	単位
L16t68	EP1_RDB vs. EP2_WRBコマンド・インアクティブ時間	34			ns

備考 外部端子容量は 15 pF を想定しています (データ・バスは 50 pF)



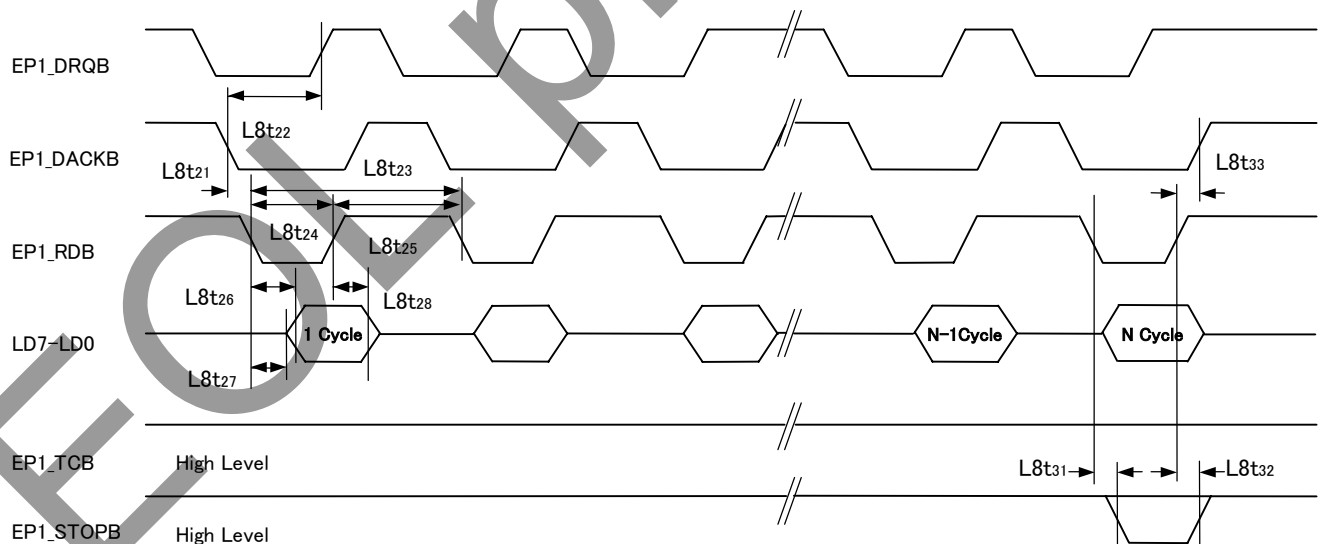
(2) External Local Bus 8 bit モード

(a) External Local Bus 8 bitモードDMAシングル・モード・リード転送タイミング

略号	項目	MIN.	TYP.	MAX.	単位
L8t21	DMAリクエスト・アクノリッジ・セットアップ時間 (EP1_RDB)	0			ns
L8t22	DMAリクエストOFF時間 (EP1_DACKB)	-		10	ns
L8t23	DMAシングル・モード・リード転送サイクル時間	91			ns
L8t24	リード・コマンド幅	57			ns
L8t25	リード・コマンド・インアクティブ時間	34			ns
L8t26	リード・データ遅延時間 (EP1_RDB)	-		57	ns
L8t27	バッファ方向変更時間 (EP1_RDB)	-		14	ns
L8t28	リード・データ・ホールド時間 (EP1_RDB)	4		-	ns
L8t31	EP1_STOPB遅延時間 (EP1_RDB)	-		15	ns
L8t32	EP1_STOPB遅延時間 (EP1_RDB)	3		-	ns
L8t33	DMAリクエスト・アクノリッジ・ホールド時間 (EP1_RDB)	0			ns
L8t34	未定義	-		-	ns

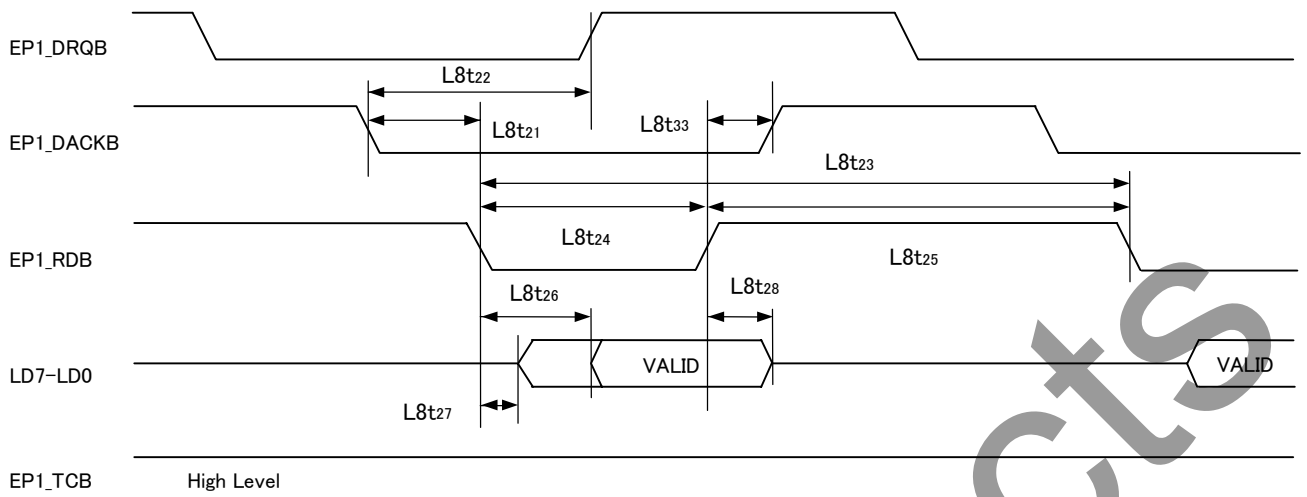
- 備考 1. External Local Bus 8 bit モードでは、EP1_TCB は使用禁止です。インアクティブ状態にクランプしてください。
2. External Local Bus 8 bit モードでは、LD15-LD8 は不定となります（入力時は無効，出力時は不定です）。
3. 外部端子容量は 15 pF を想定しています（データ・バスは 50 pF）。

(全 体)

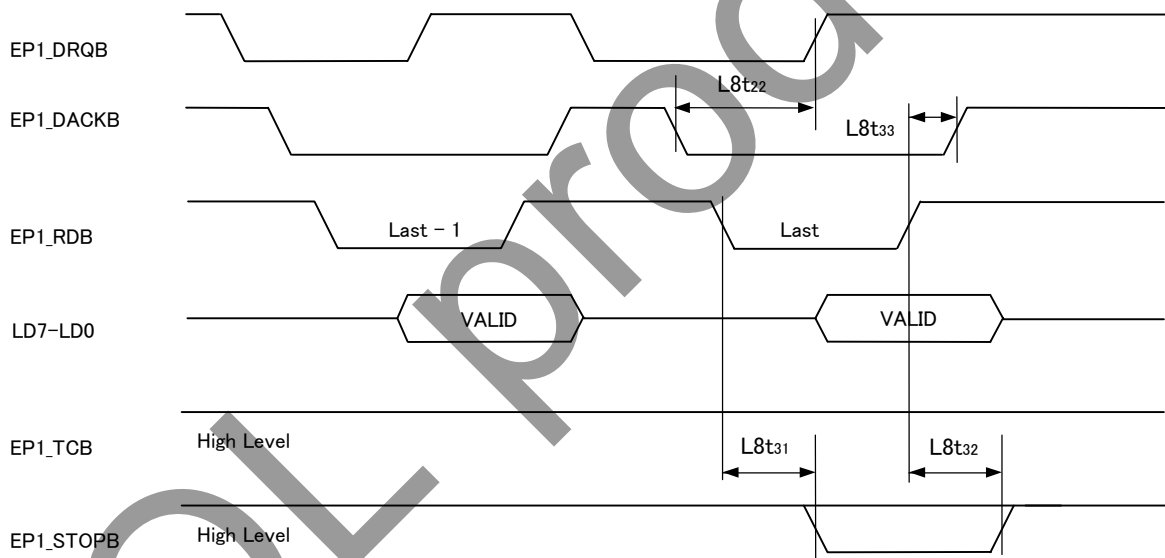


Full packet の場合は EP1_STOPB はアサートされません。

(スタート・タイミング)



(エンド・タイミング)



Full packet の場合は EP1_STOPB はアサートされません。

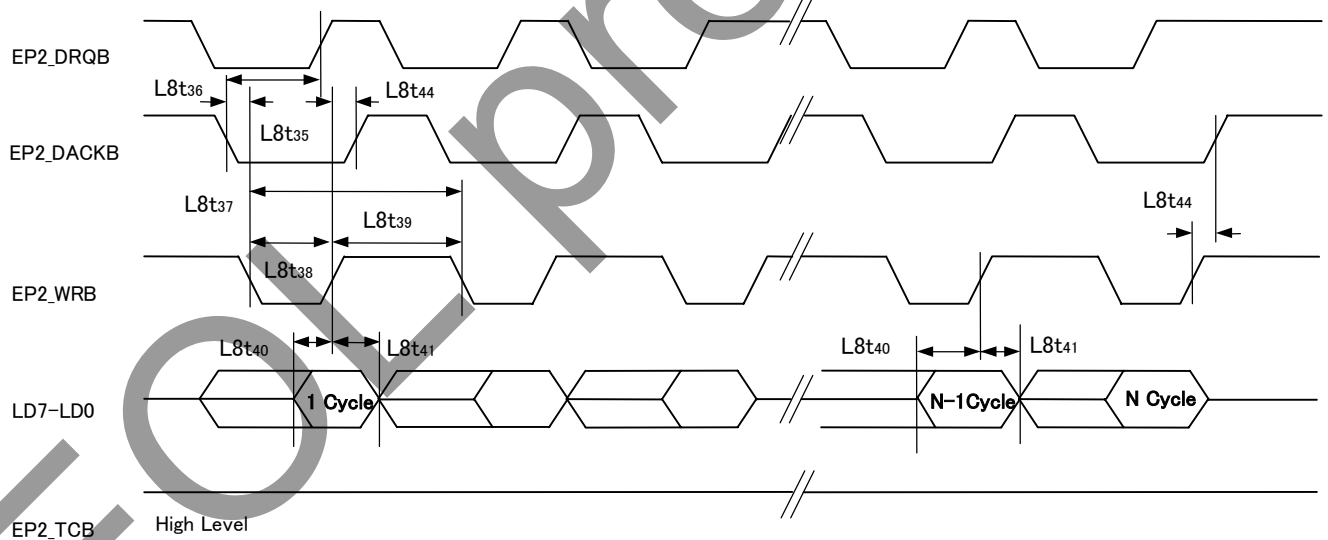
(b) External Local Bus 8 bitモードDMAシングル・モード・ライト転送

略号	項目	MIN.	TYP.	MAX.	単位
L8t35	DMAリクエスト・アクノリッジ・セットアップ時間 (EP2_WRB)	0			ns
L8t36	DMAリクエストOFF時間 (EP2_DACKB)	-		54 注	ns
L8t37	DMAシングル・モード・ライト転送サイクル時間	88			ns
L8t38	ライト・コマンド幅	54			ns
L8t39	ライト・コマンド・インアクティブ時間	34			ns
L8t40	ライト・データ・セットアップ時間 (EP2_WRB)	10			ns
L8t41	ライト・データ・ホールド時間 (EP2_WRB)	0			ns
L8t44	DMAリクエスト・アクノリッジ・ホールド時間 (EP2_WRB)	0			ns

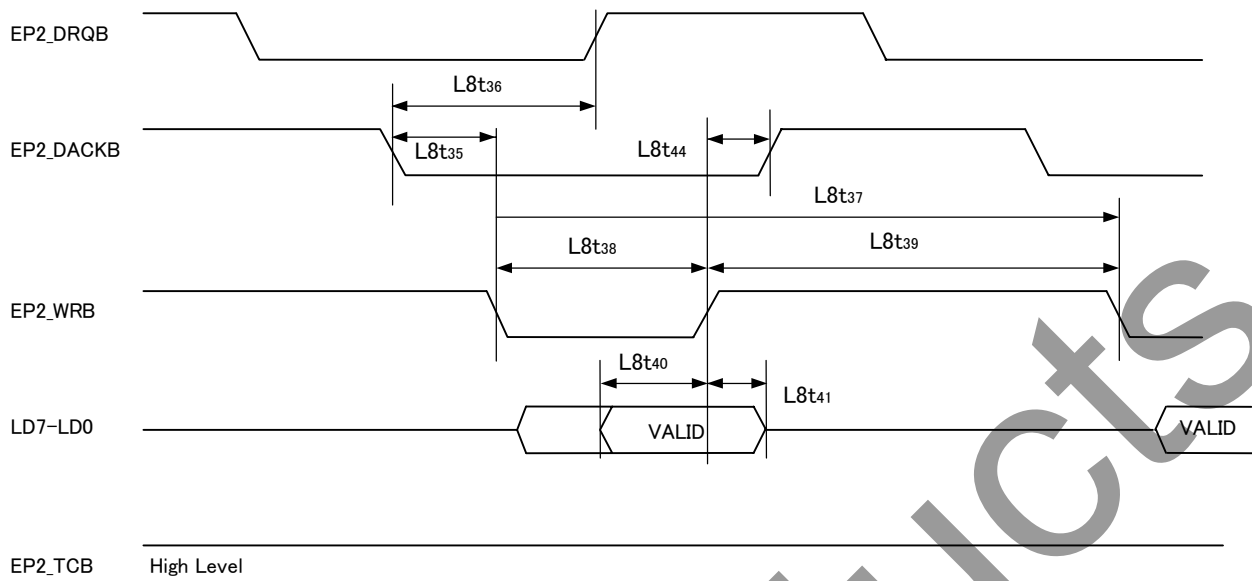
注 L8t22と比較したときスペック値に差が出るのは、EP1のときはBIU Core処理で、EP2のときはEPC2 Coreで処理されるためです。

- 備考 1. External Local Bus 8 bit モードでは、EP1_TCB は使用禁止です。インアクティブにクランプしてください。
2. External Local Bus 8 bit モードでは、LD15-LD8 は不定となります(入力時は無効,出力時は不定です)。
3. 外部端子容量は 15 pF を想定しています(データ・バスは 50 pF)。

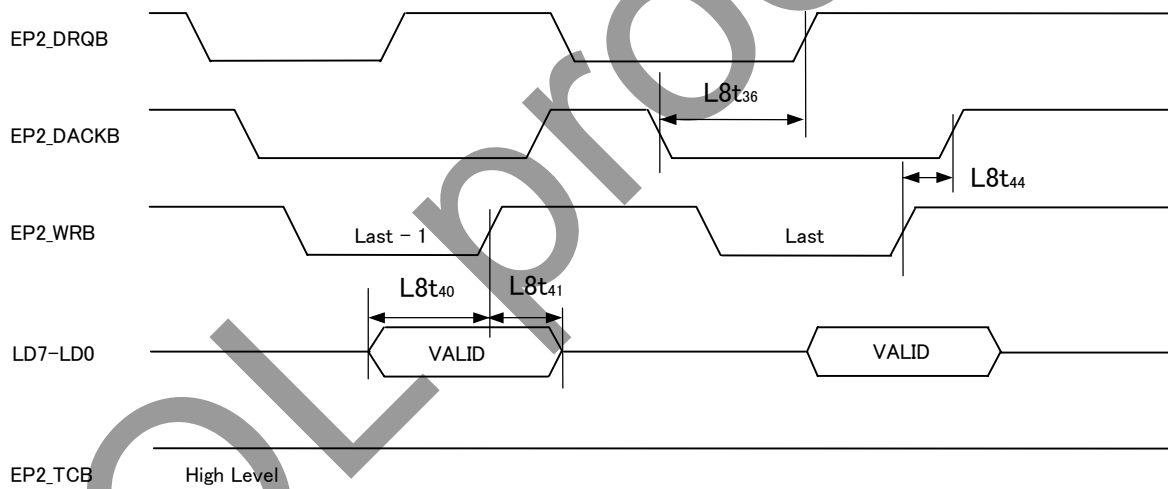
(全体)



(スタート・タイミング)



(エンド・タイミング)

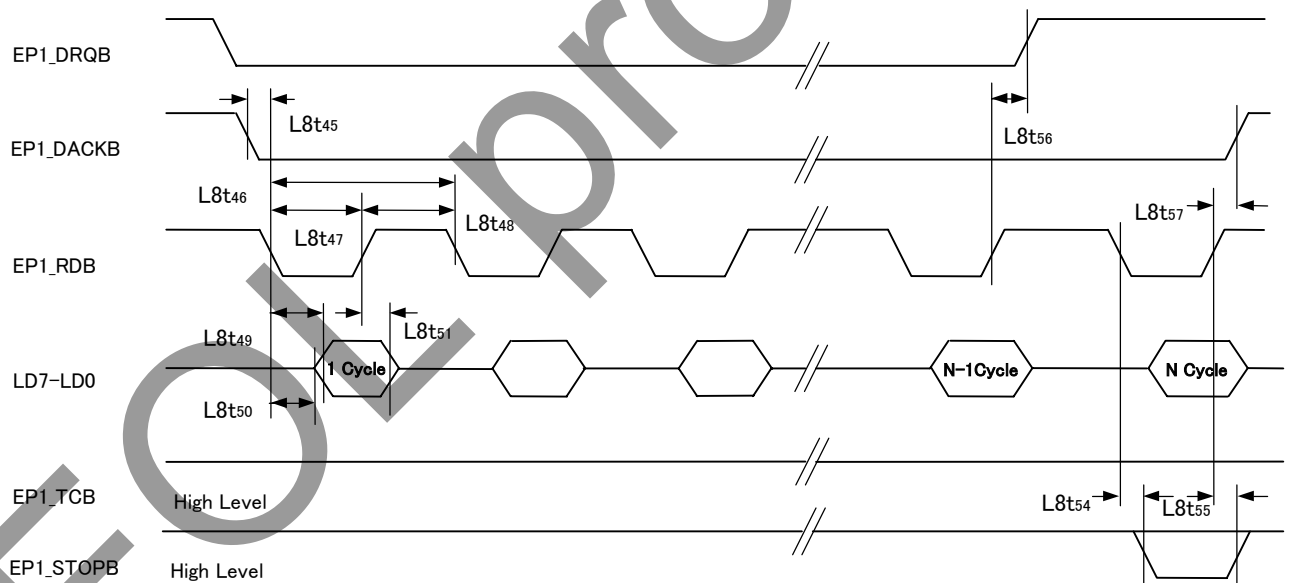


(c) External Local Bus 8 bitモードDMAディマンド・リード転送タイミング

略号	項目	MIN.	TYP.	MAX.	単位
L8t45	DMAリクエスト・アクノリッジ・セットアップ時間 (EP1_RDB)	0			ns
L8t46	DMAディマンド・モード・リード転送サイクル時間	90			ns
L8t47	リード・コマンド幅	56			ns
L8t48	リード・コマンド・インアクティブ時間	34			ns
L8t49	リード・データ遅延時間 (EP1_RDB)	-		56	ns
L8t50	バッファ方向変更時間 (EP1_RDB)	-		14	ns
L8t51	リード・データ・ホールド時間 (EP1_RDB)	4		-	ns
L8t54	EP1_STOPB遅延時間 (EP1_RDB)	-		15	ns
L8t55	EP1_STOPB遅延時間 (EP1_RDB)	3		-	ns
L8t56	DMAリクエストOFF時間 (EP1_RDB)	-		60	ns
L8t57	DMAリクエスト・アクノリッジ・ホールド時間 (EP1_RDB)	0			ns

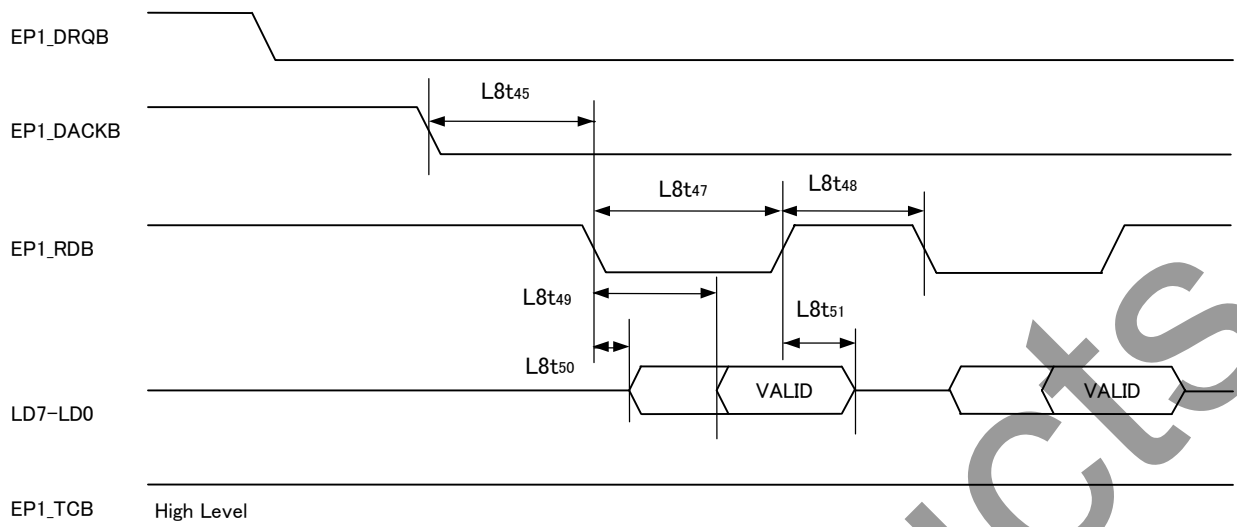
- 備考 1. External Local Bus 8 bit モードでは、EP1_TCBは使用禁止です。インアクティブにクランプしてください。
2. External Local Bus 8 bit モードでは、LD15-LD8 は不定となります(入力時は無効,出力時は不定です)。
3. 外部端子容量は 15 pF を想定しています(データ・バスは 50 pF)。

(全体)

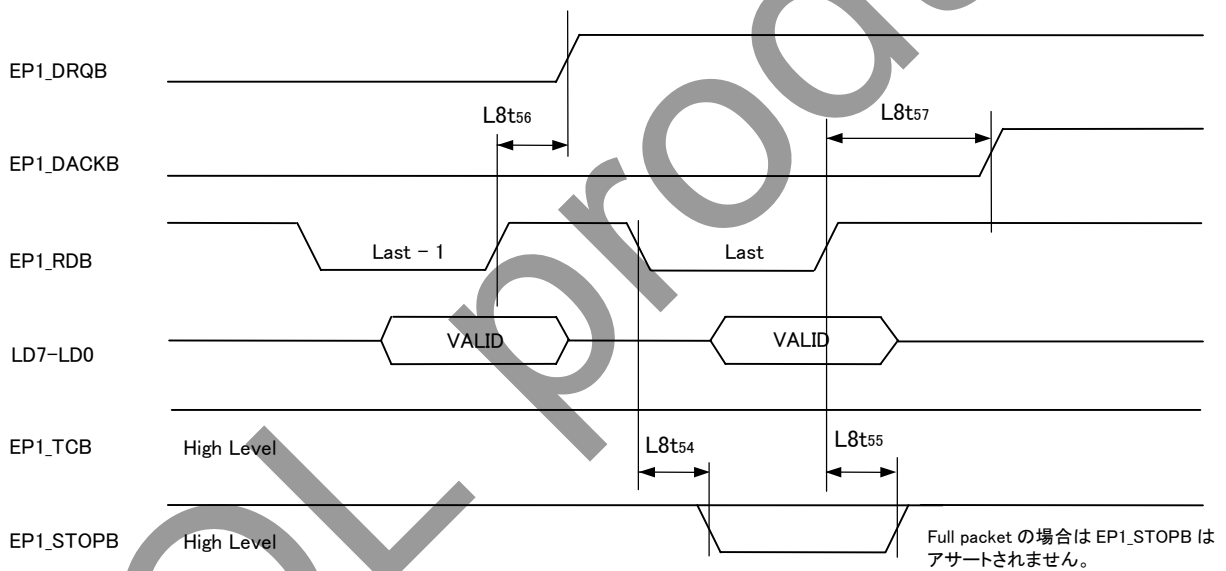


Full Packet の場合は EP1_STOPB はアサートされません。

(スタート・タイミング)



(エンド・タイミング)

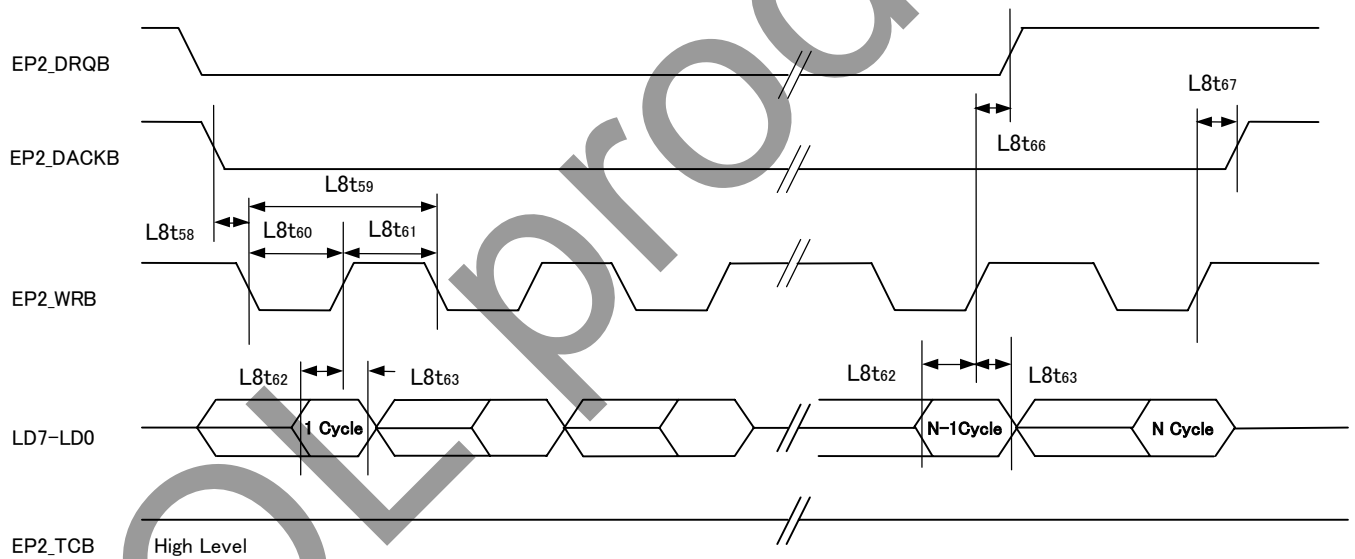


(d) External Local Bus 8 bitモードDMAディマンド・ライト転送タイミング

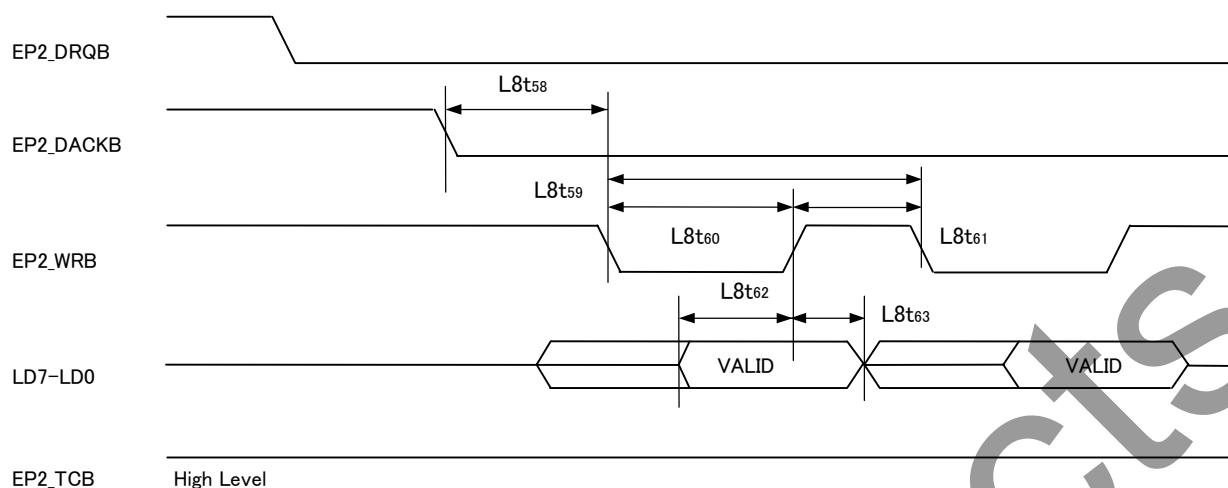
略号	項目	MIN.	TYP.	MAX.	単位
L8t58	DMAリクエスト・アクノリッジ・セットアップ時間 (EP2_WRB)	0			ns
L8t59	DMAディマンド・モード・ライト転送サイクル時間	72			ns
L8t60	ライト・コマンド幅	38			ns
L8t61	ライト・コマンド・インアクティブ時間	34			ns
L8t62	ライト・データ・セットアップ時間 (EP2_WRB)	10			ns
L8t63	ライト・データ・ホールド時間 (EP2_WRB)	0			ns
L8t66	DMAリクエストOFF時間 (EP2_WRB)	-		60	ns
L8t67	DMAリクエスト・アクノリッジ・ホールド時間 (EP2_WRB)	0			ns

- 備考 1. External Local Bus 8 bit モードでは、EP1_TCB は使用禁止です。インアクティブにクランプしてください。
2. External Local Bus 8 bit モードでは、LD15-LD8 は不定となります（入力時は無効，出力時は不定です）。
3. 外部端子容量は 15 pF を想定しています（データ・バスは 50 pF）。

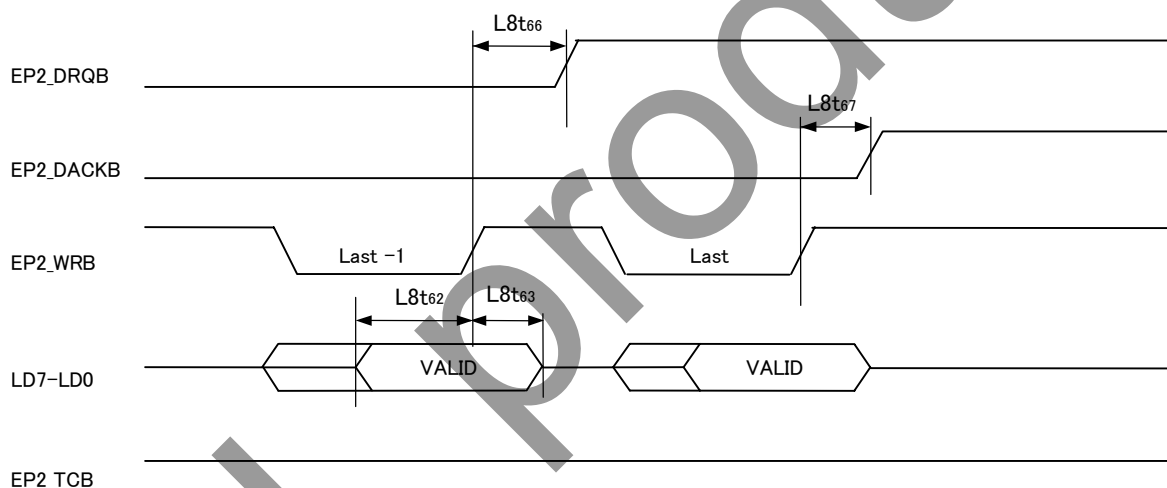
(全 体)



(スタート・タイミング)



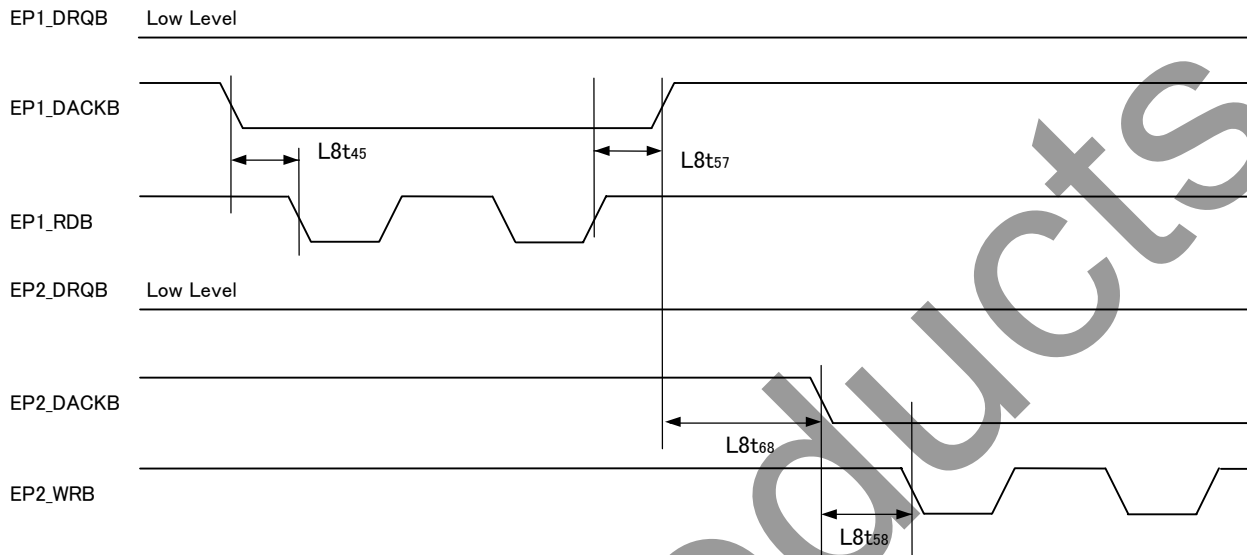
(エンド・タイミング)



(e) External Local Bus 8 bitモードDMA EP1_Read転送vs. EP2_Write転送タイミング

略号	項目	MIN.	TYP.	MAX.	単位
L8t68	EP1_RDB vs. EP2_WRBコマンド・インアクティブ時間	34			ns

備考 外部端子容量は 15 pF を想定しています (データ・バスは 50 pF)



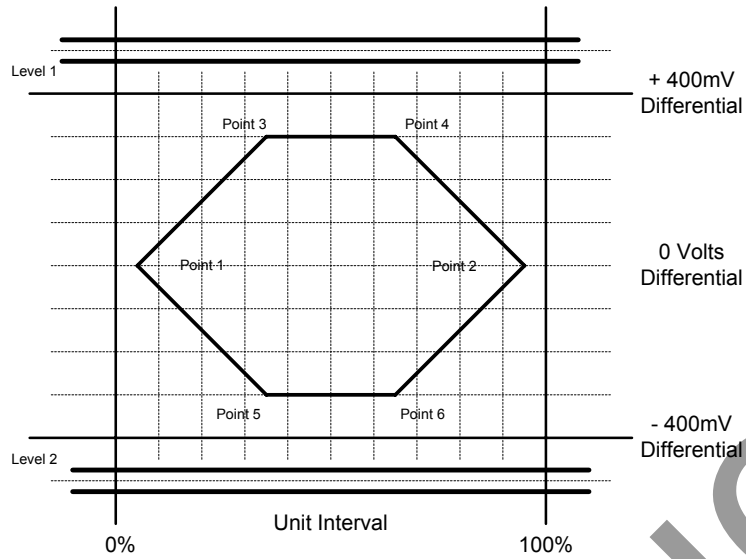
EOL products

2.6.5 USB interface timing

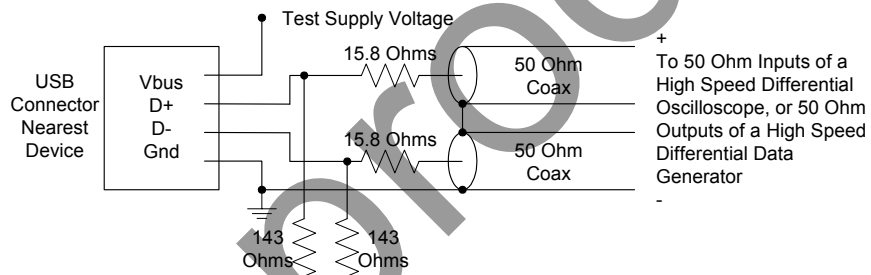
項目	略号	条件	MIN.	MAX.	単位
Full-speed Source Electrical Characteristics					
Rise time	t _{FR}	C _L = 50 pF, R _s = 36 Ω	4	20	ns
Fall time	t _{FF}	C _L = 50 pF, R _s = 36 Ω	4	20	ns
Differential rise and fall time matching	t _{FRFM}	(t _{FR} /t _{FF})	90	111.11	%
Full-speed data rate for hubs and devices which are high-speed capable	t _{FDRATHS}	Average bit rate	11.9940	12.0060	Mbps
Frame Interval	t _{FRAME}		0.9995	1.0005	ms
Consecutive frame interval jitter	t _{RFI}	No clock adjustment		42	ns
Source jitter total (including frequency tolerance):					
To next transition	t _{DJ1}		- 3.5	+ 3.5	ns
For paired transitions	t _{DJ2}		- 4.0	+ 4.0	ns
Source jitter for differential transition to SE0 transition	t _{FDEOP}		- 2	+ 5	ns
Receiver jitter:					
To next transition	t _{JR1}		- 18.5	+ 18.5	ns
For paired transitions	t _{JR2}		- 9	+ 9	ns
Source SE0 interval of EOP	t _{FEOPT}		160	175	ns
Receiver SE0 interval of EOP	t _{FEOPR}		82		ns
Width of SE0 interval during differential transition	t _{FST}			14	ns
High-speed Source Electrical Characteristics					
Rise time (10% - 90%)	t _{HSR}		500		ps
Fall time (10% - 90%)	t _{HSF}		500		ps
Driver waveform	図 2-6 参照				
High-speed data rate	t _{HSDRAT}		479.760	480.240	Mbps
Microframe interval	t _{HSFRAM}		124.9375	125.0625	μs
Consecutive microframe interval difference	t _{HSRFI}			4 high-speed d	Bit times
Data source jitter	図 2-6 参照				
Receiver jitter tolerance	図 2-4 参照				

項目	略号	条件	MIN.	MAX.	単位
Device Event Timings					
Time from internal power good to device pulling D+/D- beyond V _{IHZ} (min.) (signaling attach)	t _{SIGATT}			100	ms
Debounce interval provided by USB system software after attach	t _{ATTDB}			100	ms
Inter-packet delay (for low-/full-speed)	t _{IPD}		2		Bit times
Inter-packet delay for device response w/detachable cable for low-/full-speed	t _{RSPDP1}			6.5	Bit times
High-speed detection start time from suspend	t _{SCA}		2.5		μs
Sample time for suspend vs reset	t _{CSR}		100	875	μs
Power down under suspend	t _{SUS}			10	ms
SUSPEND set time (SPNDOUT)	t _{SSP}		0	-	
SUSPEND clear time (RSUMOUT)	t _{CSP}		0	-	
Reversion time from suspend to high-speed	t _{RHS}			1.333	μs
SUSPEND setup time (RSUMIN)	t _{SRW}		0	-	
RSUMIN active pulse width	t _{RWP}		1	15	ms
Drive Chirp K width	t _{CKO}		1		ms
Finish Chirp K assertion	t _{FCA}			7	ms
Start sequencing Chirp K-J-K-J-K-J	t _{SSC}			100	μs
Finish sequencing Chirp K-J	t _{FSC}		- 500	- 100	μs
Detect sequencing Chirp K-J width	t _{CSI}		2.5		μs
Sample time for sequencing Chirp	t _{SCS}		1.0	2.5	ms
Reversion time to high-speed	t _{RHA}			500	μs
High-speed detection start time	t _{HDS}		2.5	3000	μs
Reset completed time	t _{DRS}		10		ms

2-6 Transmit waveform for transceiver at D+/D-

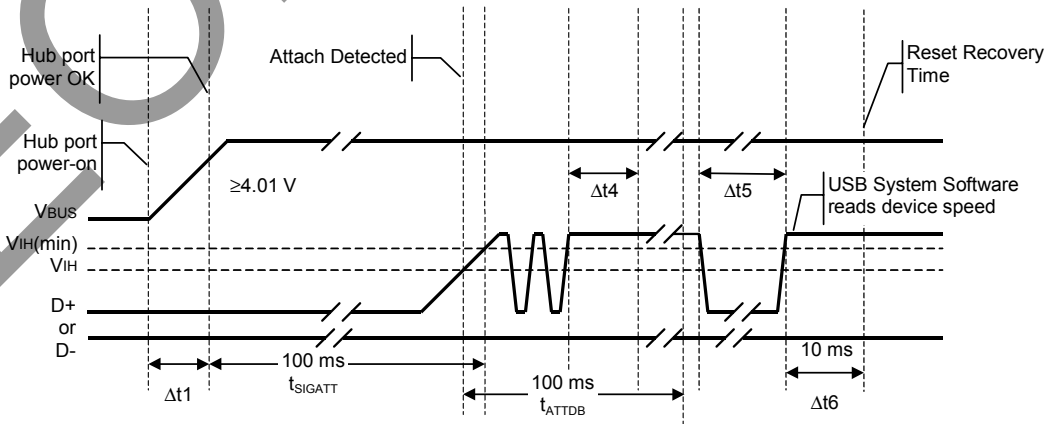


2-7 Transmitter Measurement Fixtures



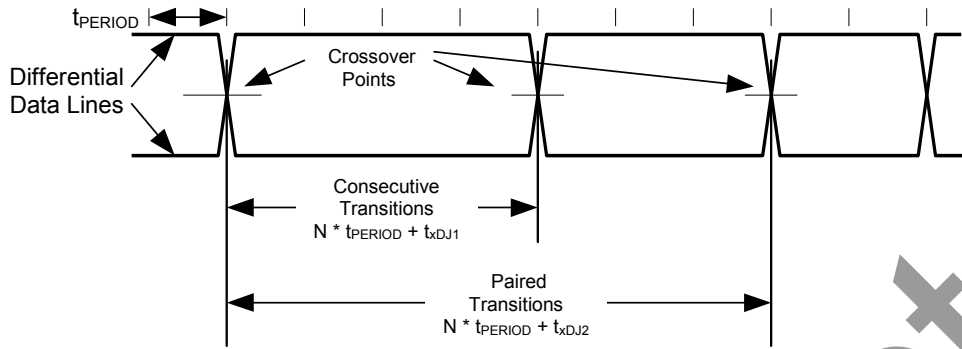
(1) Power-on and Connection Events

2-8 Power-on and Connection Events Timing

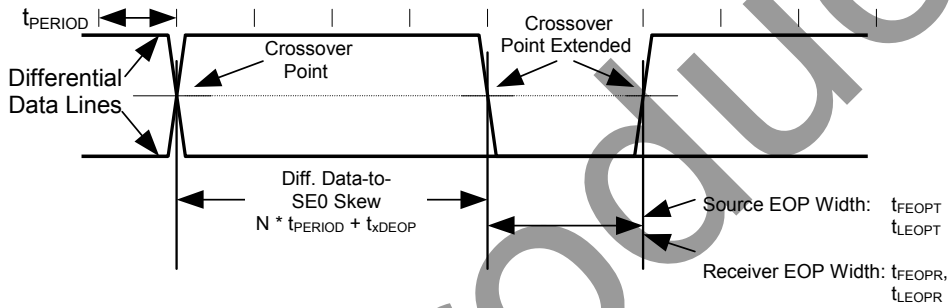


(2) USB signals

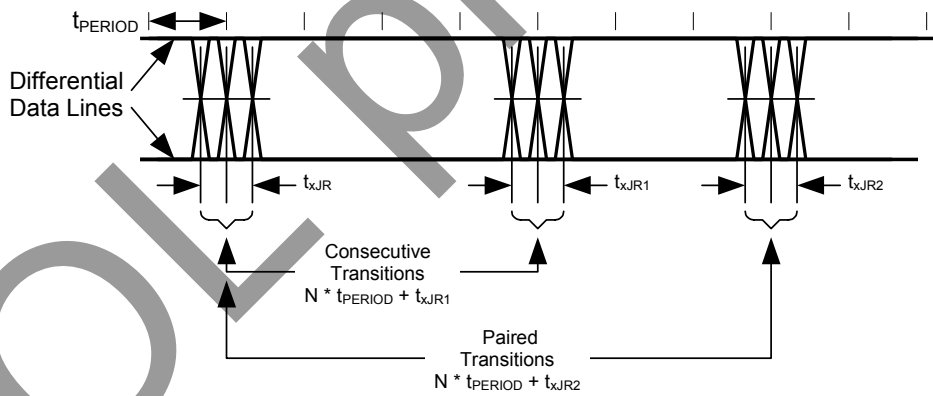
2-9 USB Differential Data Jitter for Full-Speed



2-10 USB Differential-to-EOP Transition Skew and EOP Width for Full-Speed



2-11 USB Receiver Jitter Tolerance for Full-Speed

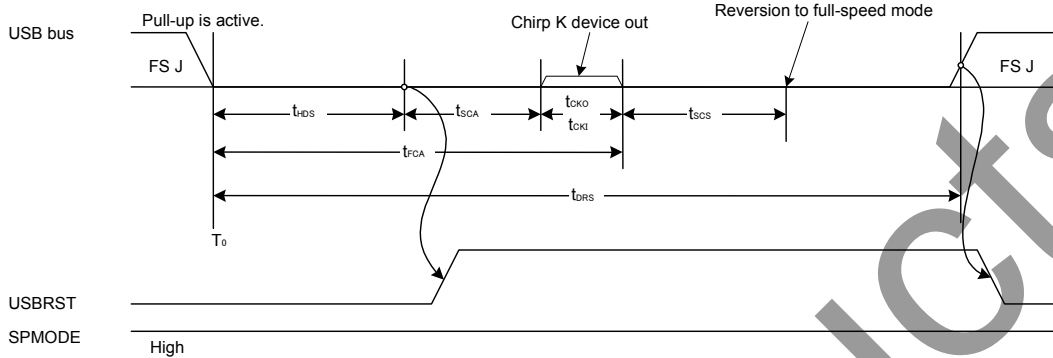


(3) USB connection sequence on USB1.1 Bus

The PHY Core implemented on the μPD720122 automatically determines the Up port.

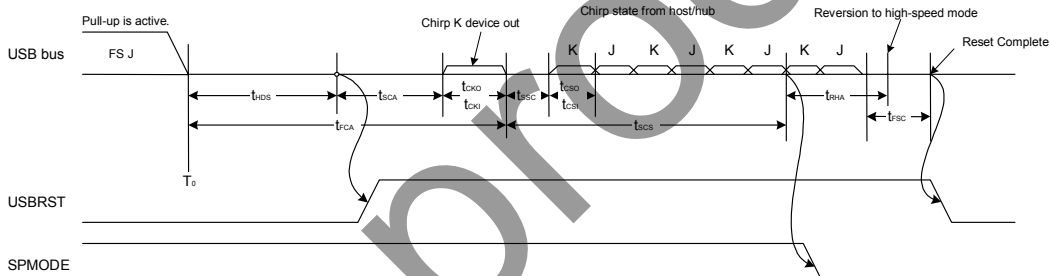
Check SP MODE bit of the Int Status 2 register after an EPC2_STG bus reset interrupt has occurred to determine whether the USB is connected to FS or HS.

2-12 USB connection sequence on USB1.1 Bus



(4) USB connection sequence on USB2.0 Bus

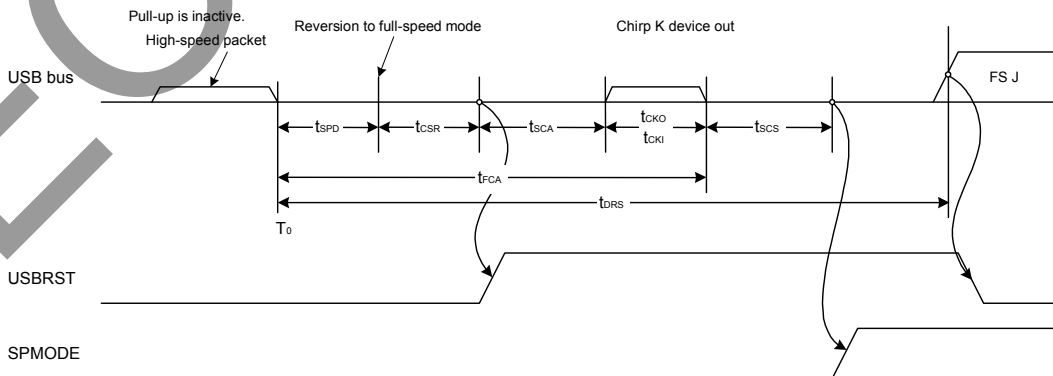
2-13 USB connection sequence on USB2.0 Bus



(5) Bus reset sequence (1)

The bus reset sequence when connected to a USB1.1 Bus is shown below.

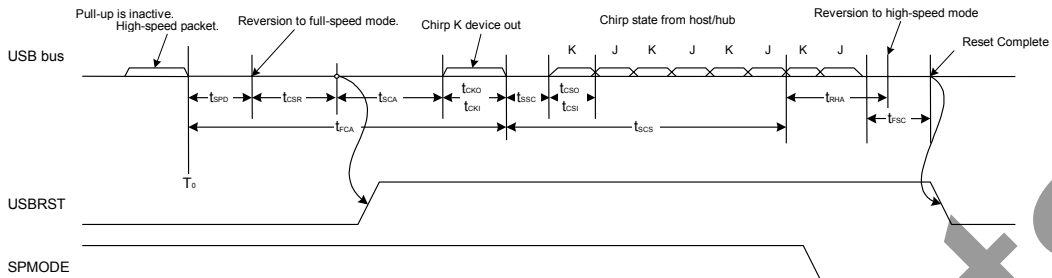
2-14 Bus reset sequence (1)



(6) Bus reset sequence (2)

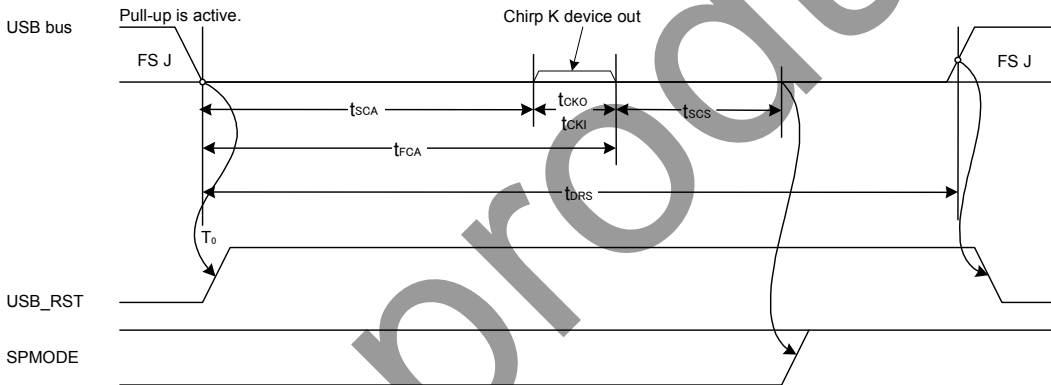
The bus reset sequence when connected to a USB2.0 Bus is shown below.

図 2-15 Bus reset sequence (2)



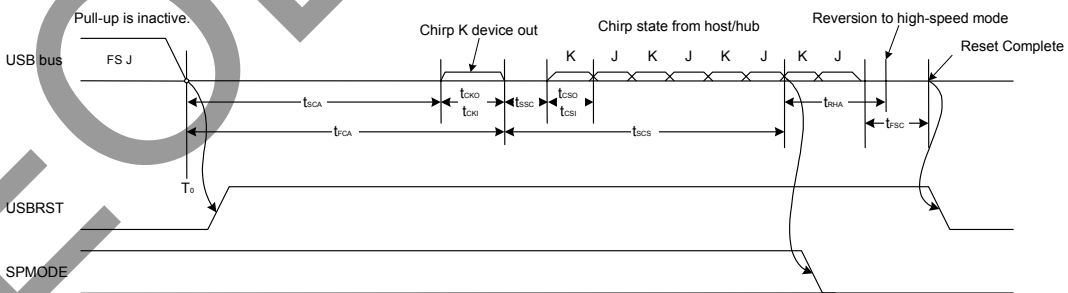
(7) USB reset from suspend state (1)

図 2-16 USB reset from suspend state (1)



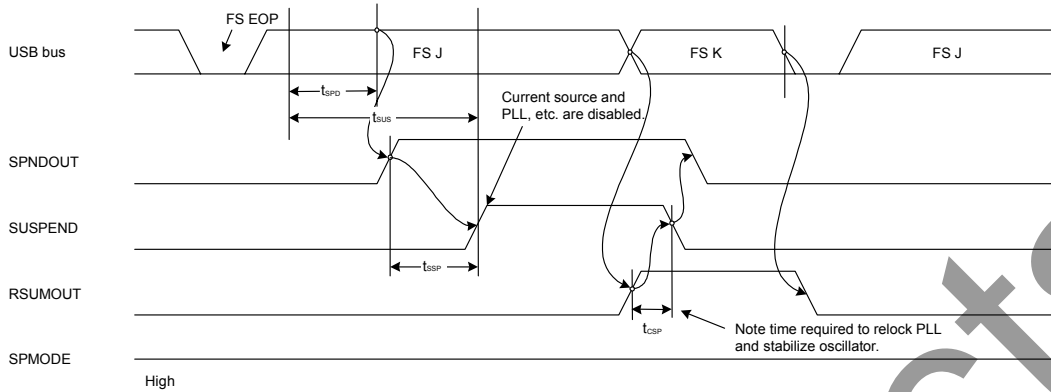
(8) USB reset from suspend state (2)

図 2-17 USB reset from suspend state (2)



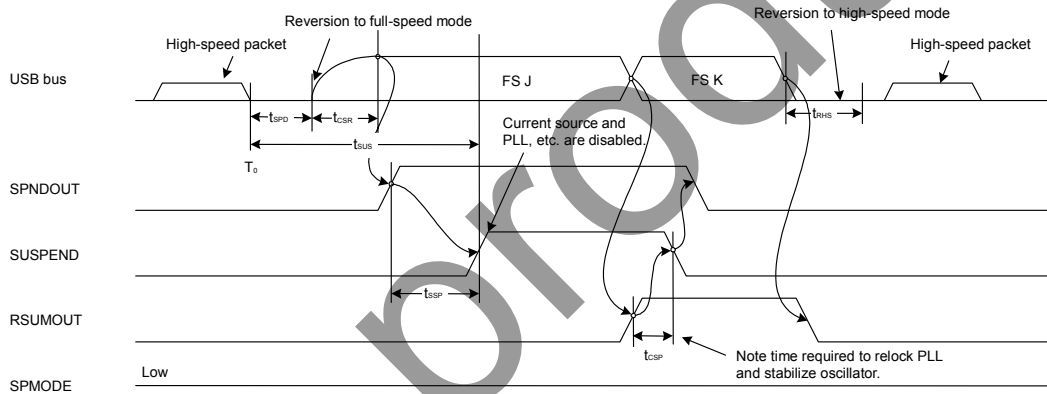
(9) Suspend and resume on USB1.1 Bus

2-18 Suspend and resume on USB1.1 Bus



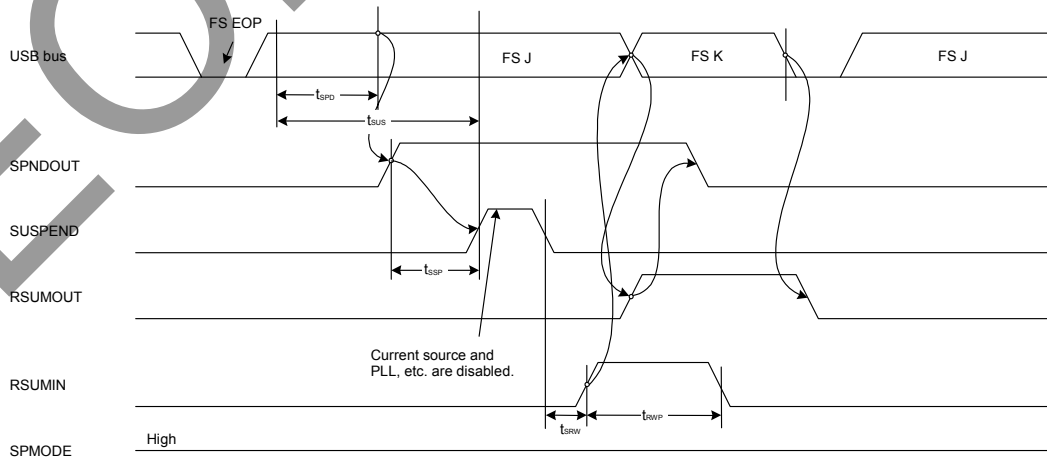
(10) Suspend and resume on USB2.0 Bus

2-19 Suspend and resume on USB2.0 Bus



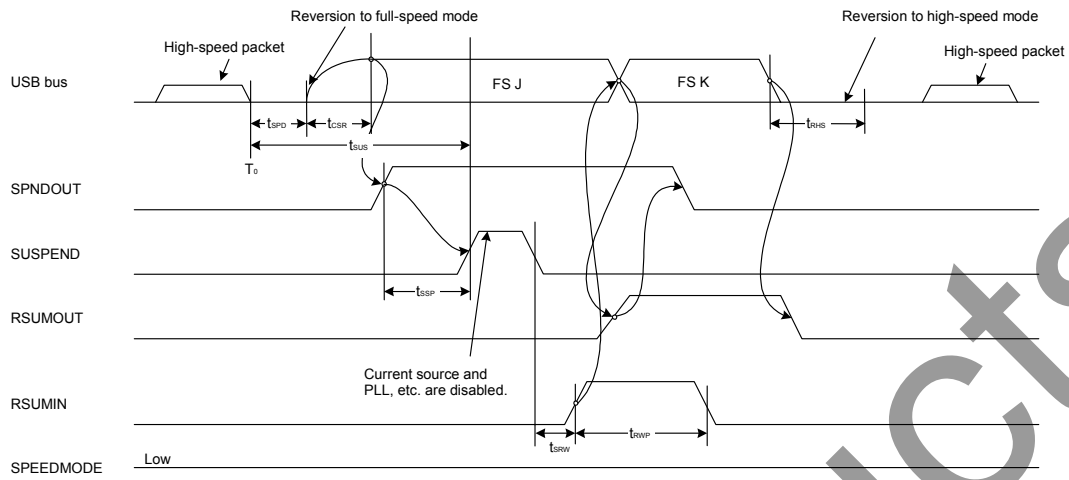
(11) Remote wake up on USB1.1

2-20 Remote wake up on USB1.1



(12) Remote wake up on USB2.0

2-21 Remote wake up on USB2.0



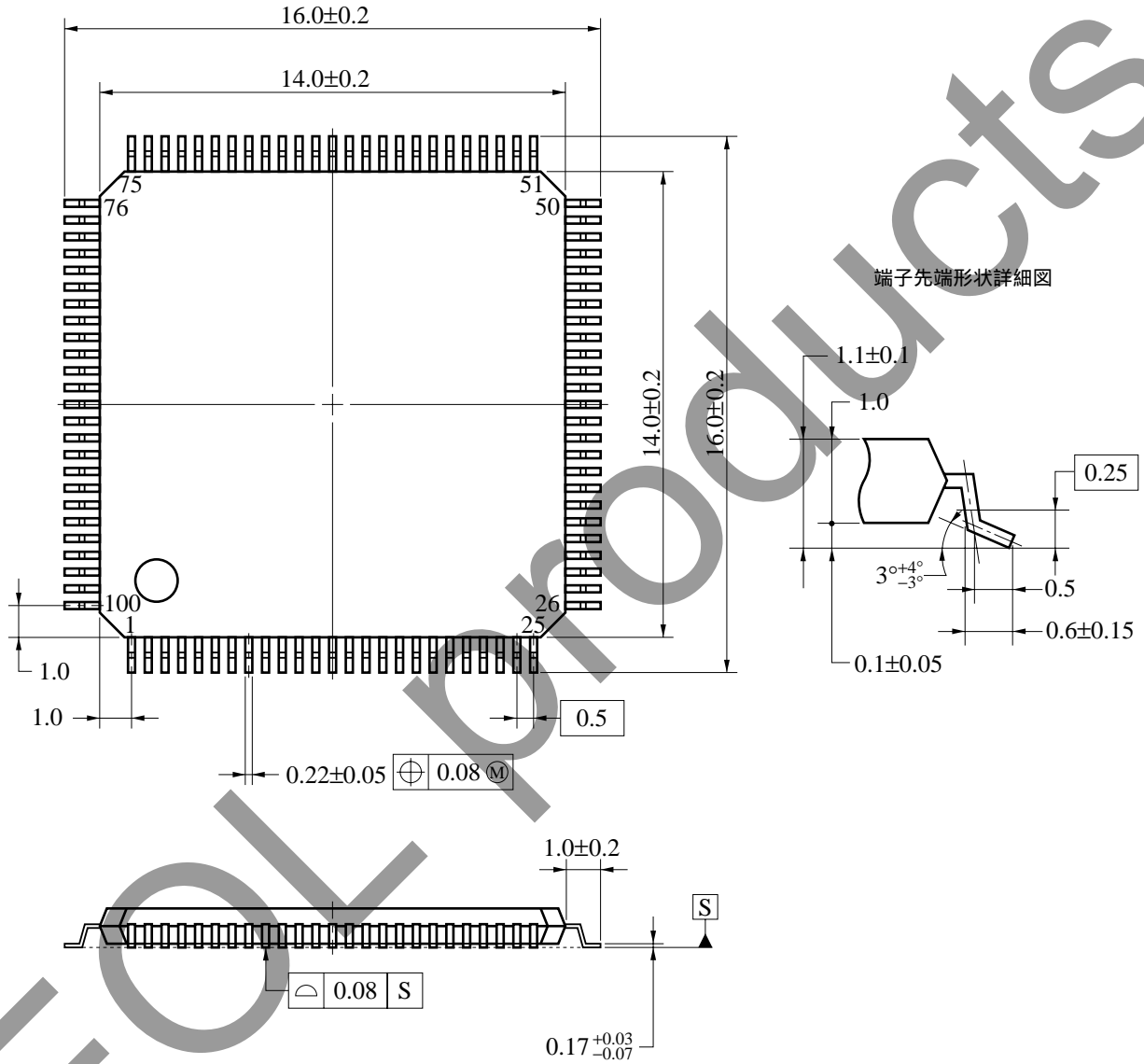
EOL products

3. 外形図

・ μ PD720122GC-9EU

★ ・ μ PD720122GC-9EU-A

100ピン・プラスチック TQFP (ファインピッチ)(14x14) 外形図 (単位 : mm)

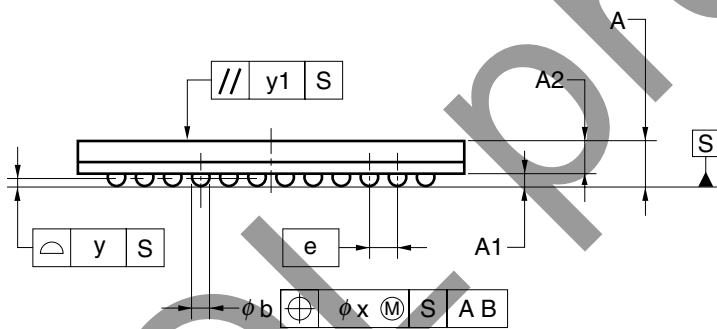
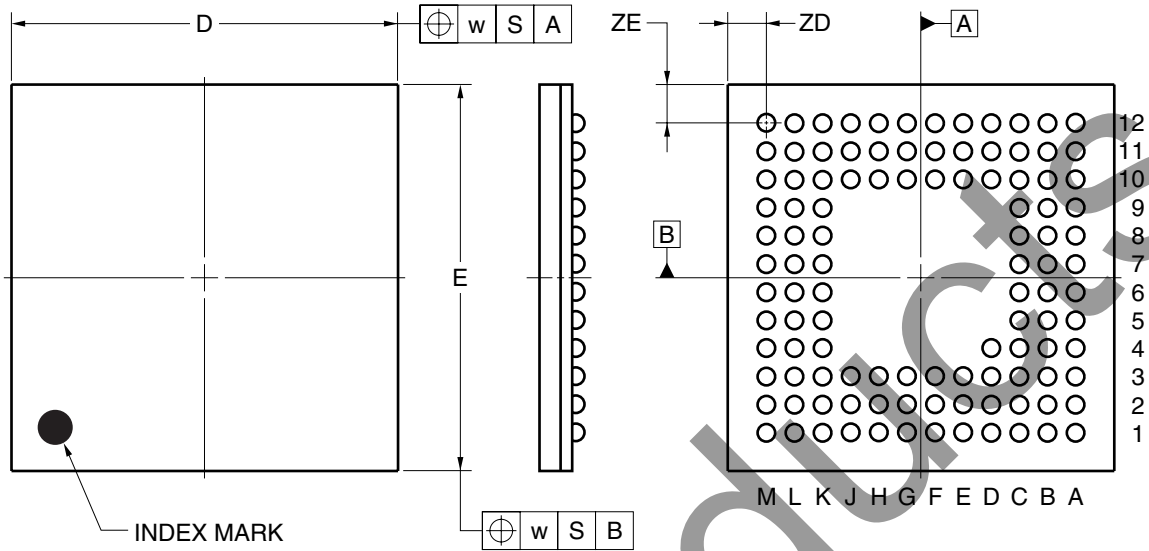


P100GC-50-9EU

• μPD720122F1-DN2

★ • μPD720122F1-DN2-A

109ピン・プラスチック FBGA (11x11) 外形図



(UNIT:mm)

ITEM	DIMENSIONS
D	11.00±0.10
E	11.00±0.10
w	0.20
A	1.28±0.10
A1	0.35±0.06
A2	0.93
e	0.80
b	0.50 ^{+0.05} _{-0.10}
x	0.08
y	0.10
y1	0.20
ZD	1.10
ZE	1.10

P109F1-80-DN2

4. 半田付け推奨条件

この製品の半田付け実装は、次の条件で実施してください。

なお、推奨条件以外の半田付け方法および半田付け条件については、当社販売員にご相談ください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」(<http://www.necel.com/pkg/ja/jissou/index.html>)

表4 - 1 表面実装タイプの半田付け推奨条件 (1/2)

★ μPD720122GC-9EU : 100ピン・プラスチックTQFP (ファインピッチ) (14×14)

半田付け方式	半田付け条件	推奨条件記号
★ 赤外線リフロ	パッケージ・ピーク温度：235℃，時間：30秒以内 (210℃以上)，回数：3回以内， 制限日数：3日間 ^注 (以降は125℃プリベーク10時間必要) <留意事項> 耐熱トレイ以外 (マガジン，テーピング，非耐熱トレイ) は，包装状態でのベーキング ができません。	IR35-103-3
端子部分加熱	端子温度：300℃以下，時間：3秒以内 (デバイスの一辺当たり)	-

注 ドライパック開封後の保管日数で保管条件は25℃，65%RH以下。

★ μPD720122GC-9EU-A : 100ピン・プラスチックTQFP (ファインピッチ) (14×14)

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260℃，時間：60秒以内 (220℃以上)，回数：3回以内， 制限日数：7日間 ^注 (以降は125℃プリベーク10時間必要)， フラックス：塩素分の少ないロジン系フラックス (塩素0.2 Wt%以下) を推奨 <留意事項> 耐熱トレイ以外 (マガジン，テーピング，非耐熱トレイ) は，包装状態でのベーキング ができません。	IR60-107-3
端子部分加熱	端子温度：300℃以下，時間：3秒以内 (デバイスの一辺当たり)	-

注 ドライパック開封後の保管日数で保管条件は25℃，65%RH以下。

表4 - 1 表面実装タイプの半田付け推奨条件 (2/2)

• μPD720122F1-DN2 : 109ピン・プラスチックFBGA (11×11)

半田付け方式	半田付け条件	推奨条件記号
★ 赤外線リフロ	パッケージ・ピーク温度：235 ，時間：30秒以内（210 以上），回数：3回以内， 制限日数：7日間 ^注 （以降は125 プリベーク10時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキング できません。	IR35-107-3

注 ドライパック開封後の保管日数で保管条件は25 ，65%RH以下。

★ • μPD720122F1-DN2-A : 109ピン・プラスチックFBGA (11×11)

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：250 ，時間：60秒以内（220 以上），回数：2回以内， 制限日数：3日間 ^注 （以降は125 プリベーク10時間必要）， フラックス：塩素分の少ないロジン系フラックス（塩素0.2 Wt%以下）を推奨 <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキング できません。	IR50-103-2

注 ドライパック開封後の保管日数で保管条件は25 ，65%RH以下。

[メ モ]

EOL products

[メ モ]

EOL products

〔メ モ〕

EOL products

CMOSデバイスの一般的注意事項

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力がノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

EEPROMは、NECエレクトロニクス株式会社の商標です。

USBロゴは、USB Implementers Forum, Inc.の商標です。

- 本資料に記載されている内容は2005年3月現在のものです。今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命、身体および財産に対する損害の危険を最小限度にするために、冗長設計、延焼対策設計、誤動作防止設計等安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

- (1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- (2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

M8E 02.11

【発行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話(代表)：044(435)5111

お問い合わせ先

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

【営業関係、技術関係お問い合わせ先】

半導体ホットライン

(電話：午前 9:00～12:00、午後 1:00～5:00)

電話：044-435-9494

E-mail：info@necel.com

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか、NECエレクトロニクスの販売特约店へお申し付けください。