

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

DMA コントローラ

μ PD71071は16ビットCPU対応の高速高機能のDMAコントローラです。データ・バス幅は16ビット/8ビットの選択ができますので従来の8ビット・システムでも高機能のDMA転送が使用できます。

また、CMOS構造で作られていますので低消費電力になっています。

特 徴

- 4つの独立したDMAチャンネル
- 16MBアドレスと64Kトランスファ・カウント
- 8/16ビット・データ・バス切り替え可能
- 豊富な転送機能
 - バイト/ワード転送
 - 3種類の転送モード(シングル/ディマンド/ブロック)
 - 2種類のバス・モード(リリース/ホールド)
 - 2種類の転送タイミング(通常/圧縮)
 - メモリーメモリー転送
- 個々のDMAリクエストの許可/禁止
- ソフトウェアDMAリクエスト
- 個々のDMAチャンネルのオートイニシャライズの許可/禁止
- アドレス・インクリメント/デクリメント
- DMAチャンネルの固定/回転優先順位
- 転送終了時の \overline{TC} 出力
- \overline{END} 入力による転送の強制終了
- カスケード接続
- プログラマブルなDMARQ/DMAAKのアクティブ・レベル
- μ PD70108 (別名称V20TM)/ μ PD70116 (別名称V30TM) とコンパチブル

オーダ情報

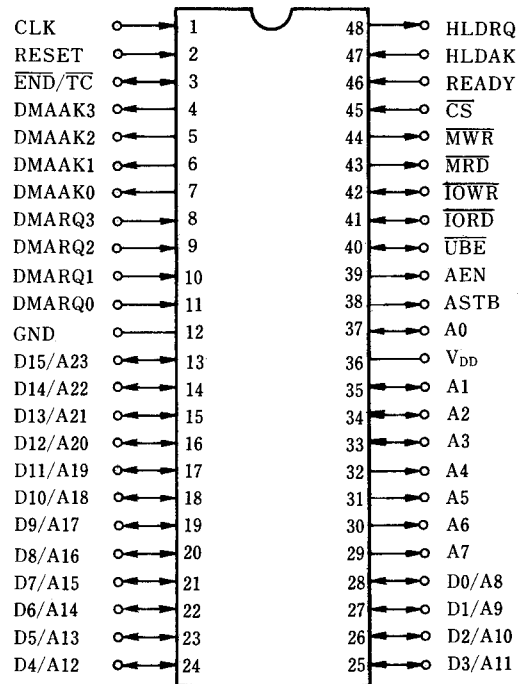
品 名	パッケージ	品質水準
μ PD71071C	48ピン・プラスチックDIP	標準 (一般電子機器用)
μ PD71071D	48ピン・セラミックDIP	"
μ PD71071GC-3B6	52ピン・プラスチック QFP	"
μ PD71071L	52ピンPLCC	"

品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」(IEI-620)をご覧ください。

本資料の内容は、後日変更する場合があります。

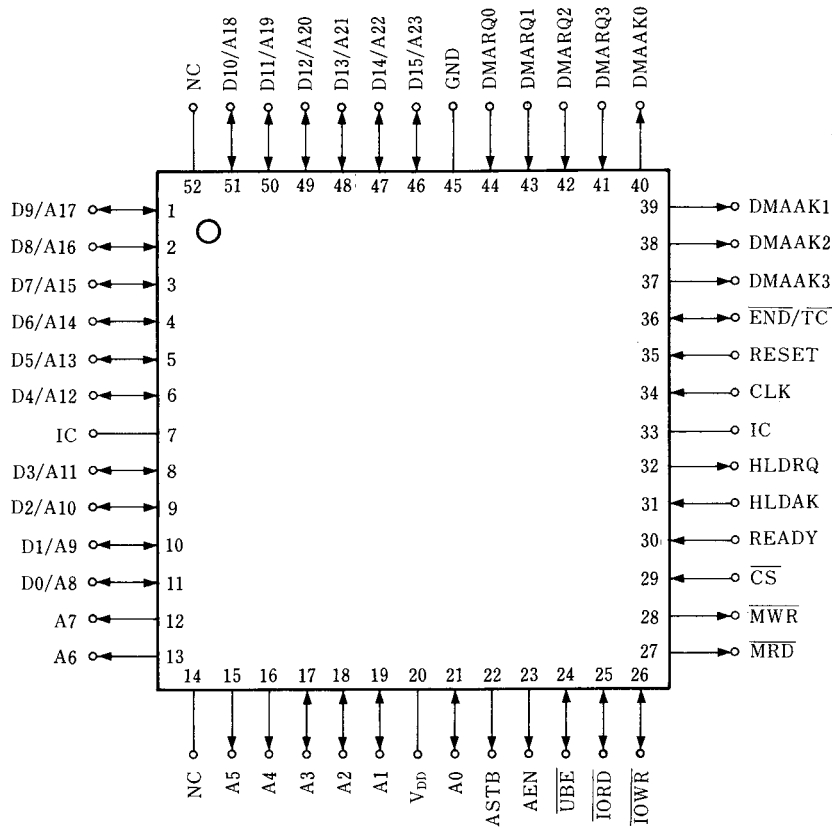
端子接続図 (Top View)

●48ピン・プラスチック/セラミックDIP (μPD71071C, 71071D)

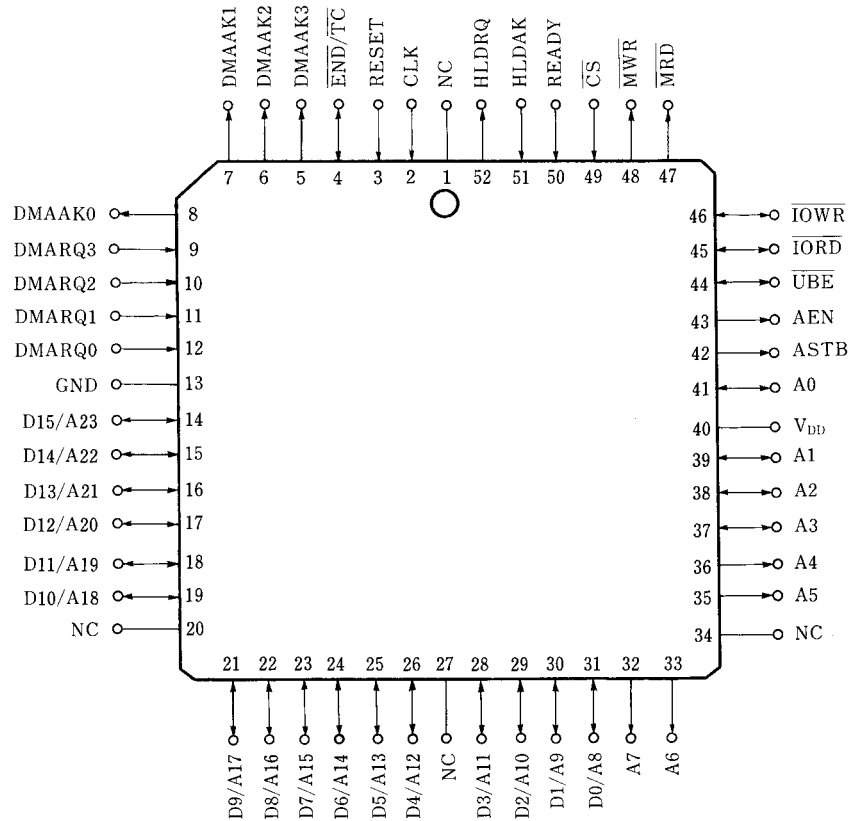


保守/廃止

●52ピン・プラスチックQFP (μPD71071GC-3B6)

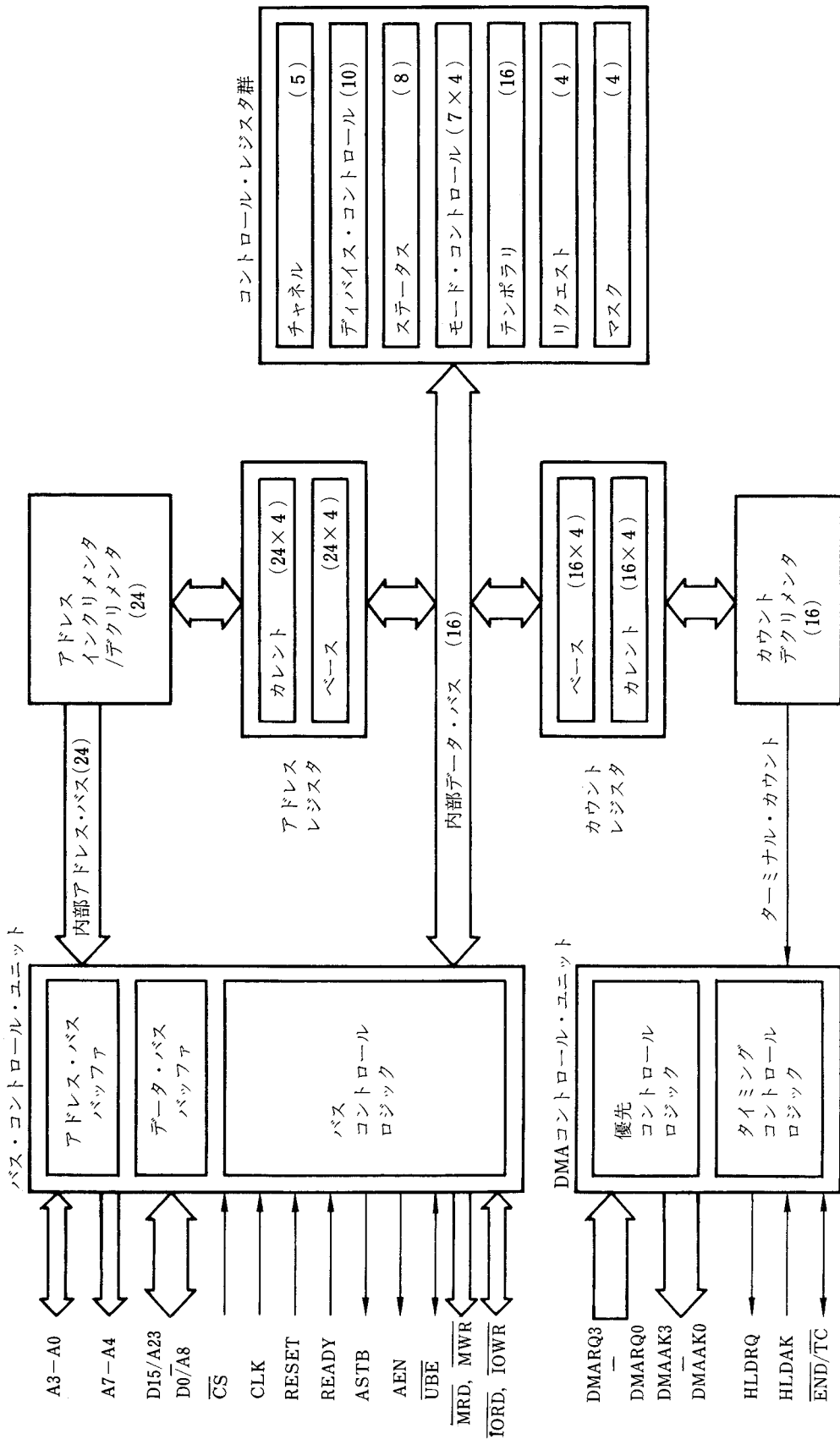


●52ピンPLCC (μPD71071L)



保守/廃止

ブロック図



1. 端子機能

端子名	入出力	機能
V _{DD}		正電源端子
GND (Ground)		グラウンド(0 V)端子
CLK (Clock)	入力	内部動作、データ転送速度を制御するクロックを入力する端子
\overline{CS} (Chip Select)	入力	μPD71071をI/Oデバイスとして選択するための信号を入力する端子
RESET (Reset)	入力	μPD71071を初期化するための信号を入力する端子
READY (Ready)	入力	DMA動作時に、1回のデータ転送が終了したことを示す信号の入力端子
HLDRQ (Hold Request)	出力	CPUに対するバス・ホールド要求を出力する端子
HLDAK (Hold Acknowledge)	入力	CPUからのバス・ホールド承認を入力する端子
DMARQ 3-0 (DMA Request)	入力	周辺デバイスからのDMAサービス要求を入力する端子
DMAAK 3-0 (DMA Acknowledge)	出力	周辺デバイスにDMAサービスが許可されたことを示す出力端子
$\overline{END}/\overline{TC}$ (End DMA Transfer /Terminal Count)	入出力	DMA転送を終了させるための入力と、指定された回数のDMA転送が終了したことを示す出力を兼ねた端子
A3-A0 (Address)	3ステート 入出力	アドレス・バスの下位4ビット端子
A7-A4 (Address)	3ステート 出力	アドレス・バスの中位4ビット端子
D15/A23-D0/A8 (Data/Address)	3ステート 入出力	マルチプレクスによって、16ビット・データ・バス、またはアドレス・バス上位16ビットとして用いられる端子
ASTB (Address Strobe)	出力	DMA動作中、アドレスの上位16ビットを外部にラッチするための信号を出力する端子
AEN (Address Enable)	出力	外部アドレス・ラッチの出力を許可するための信号を出力する端子
\overline{UBE} (Upper Byte Enable)	3ステート 入出力	16ビット・データ・バス選択時に、データ・バスの上位バイトが有効であることを示すための入出力端子
\overline{IORD} (I/O Read)	3ステート 入出力	CPUがμPD71071のデータを読み出すための信号入力と、DMA動作時にμPD71071が周辺デバイスからデータを読み出すための信号出力を兼ねた端子
\overline{IOWR} (I/O Write)	3ステート 入出力	CPUがμPD71071にデータを書き込むための信号入力と、DMA動作時にμPD71071が周辺デバイスにデータを書き込むための信号出力を兼ねた端子
\overline{MRD} (Memory Read)	3ステート 出力	DMA動作時に、μPD71071がメモリからデータを読み出すための信号を出力する端子
\overline{MWR} (Memory Write)	3ステート 出力	DMA動作時に、μPD71071がメモリにデータを書き込むための信号を出力する端子
IC (Internally Connected)		何も接続してはいけない端子

1.1 V_{DD}

正電源を接続する端子です。

1.2 GND (Ground)

グラウンド電位 (0 V) に接続する端子です。

1.3 CLK (Clock) ……入力

内部動作とDMA転送速度を制御するクロック信号を入力する端子です。

1.4 \overline{CS} (Chip Select) ……入力

μ PD71071をアイドル・サイクル時にI/Oデバイスとして選択するための、アクティブ・ロウ信号の入力端子です。

1.5 RESET (Reset) ……入力

μ PD71071を初期化するためのアクティブ・ハイ信号の入力端子です。このRESETによって内部レジスタが初期化され、 μ PD71071はアイドル・サイクルに移ります。

1.6 READY (Ready) ……入力

DMAサイクルにおいて、1回のデータ転送が終了したことを示すアクティブ・ハイ信号の入力端子です。READY入力がロウ・レベルならば、それがハイ・レベルになるまで μ PD71071はウェイト・ステートを挿入し、リード/ライト出力信号を延長しますので、低速のI/Oデバイス、メモリに対応できます。なお、規定されたセット・アップ/ホールド時間内で変化しないように入力してください。誤動作の原因になります。

1.7 HLDRQ (Hold Request) ……出力

CPUに対するアクティブ・ハイのバス・ホールド要求信号の出力端子です。

1.8 HLDACK (Hold Acknowledge) ……入力

CPUが μ PD71071からのバス・ホールド要求を承認したことを示すアクティブ・ハイ信号の入力端子です。

1.9 DMARQ3-0 (DMA Request) ……入力

周辺デバイスが μ PD71071に対してDMAサービスを要求する信号の入力端子です。DMARQ3-0はそれぞれDMAチャンネル3-0に対応する入力であり互いに独立です。DMARQ信号は、対応するDMAACK信号がアクティブになるまで、アクティブ状態を保持しなければなりません。これらの入力のアクティブ・レベルはプログラマブルになっています。

1.10 DMAACK3-0 (DMA Acknowledge) ……出力

周辺デバイスにDMAサービスが許可されたことを示す信号の出力端子です。DMAACK3-0はそれぞれDMAチャンネル3-0に対応する出力であり互いに独立です。これらの出力のアクティブ・レベルはプログラマブルになっています。

1.11 $\overline{END}/\overline{TC}$ (End DMA Transfer/Terminal Count) ……入出力

DMA転送の終了に関するアクティブ・ロウ信号の入出力端子です。DMA転送動作時に、この端子にロウ・レベルのパルスが入力されると、 μ PD71071はDMAサービスをそれが途中で終了させます。また、規定された回数 of DMA転送が終了したときにはロウ・レベルのパルスを出力します。この端子はオープン・ドレインとなっていますので外部にプル・アップ抵抗を入れて下さい。

1.12 A3-A0 (Address) …… 3 ステート入出力

アドレス・バスの下位4ビット端子です。アイドル・サイクル時にはCPUがリード/ライトするμPD71071の内部レジスタを選択するための入力となり、DMAサイクル時にはメモリのアドレスを出力します。

1.13 A7-A4 (Address) …… 3 ステート出力

アドレス・バスのA7-A4に対応する端子です。DMAサイクル時にメモリ・アドレスを出力し、アイドル・サイクル時にはハイ・インピーダンス状態になります。

1.14 D7/A15-D0/A8 (Data/Address) …… 3 ステート入出力

マルチプレクスによってデータ・バス、またはアドレス・バス用の端子として機能します。アイドル・サイクル時にはデータ・バスとして機能し、CPUとの間でデータの入出力を行います。DMAサイクル時にはアドレス/データ・バスとして機能し、S1ステート中にアドレスを出力し、S2-S4ステート中にはメモリ・メモリ転送の場合データの入出力をします。

1.15 D15/A23-D8/A16 (Data/Address) …… 3 ステート入出力

イニシャライズ・コマンドによって16ビット・データ・バスに設定されているときには、これらの端子はD7/A15-D0/A8端子と同様にアドレス・バスまたはデータ・バスとして機能します。8ビット・データ・バスに設定された場合は、これらの端子はアドレス・バスとしてのみ機能し、DMAサイクル時にメモリ・アドレスを出力します。

1.16 ASTB (Address Strobe) ……出力

DMAサイクル時に、マルチプレクスされて出力されるアドレス情報を外部にラッチするためのアクティブ・ハイのストロブ信号出力端子です。ASTB出力の立ち下がりで、16ビット・データ・バス時にはA23-A8、8ビット・データ・バス時にはA15-A8を外部アドレス・ラッチにラッチするようにします。

1.17 AEN (Address Enable) ……出力

DMA用のアドレスを保持している外部ラッチの出力を許可するためのアクティブ・ハイ信号の出力端子です。このAEN出力はDMAサイクル時にハイ・レベルとなります。

1.18 $\overline{\text{UBE}}$ (Upper Byte Enable) …… 3 ステート入出力

16ビット・データ・バス設定時にデータ・バスの上位バイトが有効であることを示す、アクティブ・ロウ信号の入出力端子です。アイドル・サイクル時には、CPUとのデータ転送でデータ・バスの上位バイトが有効なときにCPUが出力する $\overline{\text{UBE}}$ 信号を入力します。DMAサイクル時にはアドレスの最下位バイトと同じタイミングで出力され、ワード転送の際にメモリの奇数番地をアクセスするために用いられます。

この端子は8ビット・データ・バスに設定されているときは意味を持たず、アイドル・サイクル時にはハイ・インピーダンス、DMAサイクル時にはハイ・レベル出力となります。

1.19 $\overline{\text{IOR}}\overline{\text{D}}$ (I/O Read) …… 3 ステート入出力

I/Oデバイスから読み出しを行うためのアクティブ・ロウ信号の入出力端子です。アイドル・サイクル時にはCPUのI/OであるμPD71071からCPUが読み出しを行うために出力する信号を入力します。DMAサイクル時にはDMA転送の対象となっているI/Oデバイスからデータを読み出すための信号を出力します。

1.20 $\overline{\text{IOWR}}$ (I/O Write) …… 3 ステート入出力

I/Oデバイスに書き込みを行うためのアクティブ・ロウ信号の入出力端子です。アイドル・サイクル時にはCPUがμPD71071へ書き込みを行うための信号の入力となり、DMAサイクル時にはDMA転送の対象となるI/Oデバイスにデータを書き込むための信号の出力となります。

1.21 $\overline{\text{MRD}}$ (Memory Read) …… 3 ステート出力

DMAサイクル時にメモリの読み出しを行うための信号を出力する端子です。アイドル・サイクル時はハイ・インピーダンス状態になります。

1.22 $\overline{\text{MWR}}$ (Memory Write) …… 3 ステート出力

DMAサイクル時にメモリに書き込みを行うための信号を出力する端子です。アイドル・サイクル時はハイ・インピーダンス状態になります。

1.23 IC (Internally Connected)

この端子には何も接続しないで下さい。

2. ブロック機能

μPD71071は7つの機能ブロックから構成されています。ここではそれらの機能ブロック個々の説明をします。

2.1 バス・コントロール・ユニット

このブロックはアドレス・バス、データ・バスおよびコントロール・バスを制御します。

2.2 DMAコントロール・ユニット

このブロックはプライオリティ・コントロール・ロジックと、タイミング・コントロール・ロジックからなっています。前者はDMAサービスの優先順位の決定と、それに基づいたDMAリクエストの調停を行います。後者は内部タイミングを作りDMA動作を制御します。

2.3 アドレス・レジスタ

アドレス・レジスタは24ビットのDMAアドレスを格納するレジスタで、各チャンネルごとにベース・アドレス・レジスタとカレント・アドレス・レジスタの2つの24ビット・レジスタがあります。

カレント・アドレス・レジスタは1回の転送^註(バイト/ワード)ごとに更新され、常に次の転送アドレスを示しています。これに対してベース・アドレス・レジスタはCPUによって書き換えられるまでは変化せず、オートイニシャライズ時に次のサービス^註の初期DMAアドレスとしてカレント・アドレス・レジスタへコピーされます。

注：1回の転送とは、1バイトまたは1ワード(ワード転送時)の転送のことで、1回のサービスとは転送のバイト数またはワード数には関係なく、チャンネルが切り換えられるかDMAサイクルが終了するまでのことを言います。

2.4 アドレス・インクリメンタ/デクリメンタ

1回の転送ごとにサービス中のチャンネルのカレント・アドレス・レジスタの内容を更新(±1, ±2)します。

2.5 カウント・レジスタ

カウント・レジスタは16ビットのDMA転送回数を格納するレジスタで、各チャンネルごとにベース・カウント・レジスタとカレント・カウント・レジスタの2つの16ビット・レジスタがあります。

カレント・カウント・レジスタは1回の転送(バイト/ワード)ごとに1だけデクリメントされ、残りの転送回数を示しています。また、デクリメント時のボロー発生でターミナル・カウントとなり、指定された回数の転送が終了したことを示します。ベース・カウント・レジスタはCPUによって書き換えられるまでは変化せず、オートイニシャライズ時に次のサービスの転送回数としてカレント・カウント・レジスタにコピーされます。

2.6 カウント・デクリメンタ

1回の転送ごとにサービス中のチャンネルのカレント・カウント・レジスタの内容を1だけデクリメントします。

2.7 コントロール・レジスタ

このブロックにはμPD71071のバス・モードや端子のアクティブ・レベル、DMA動作のモードなどを制御する7種類のレジスタが含まれます。

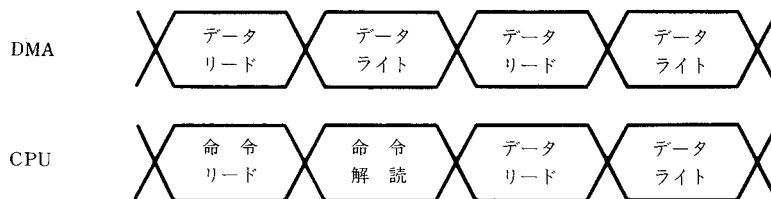
3. DMA転送とμPD71071の概要

3.1 DMA転送

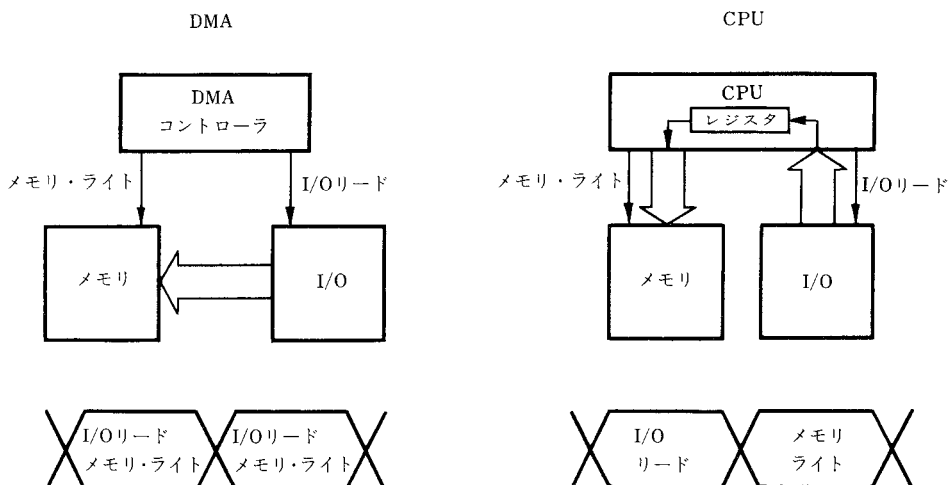
DMAとはDirect Memory Accessの略で、CPUを介さずに直接メモリまたはI/Oデバイスをアクセスすることを言います。DMAによるデータ転送ではCPUの場合とは違って命令のリード、解読という時間は必要ありません。また、メモリとI/Oの間のデータ転送の場合は、データの読み出しと書き込みを同じタイミングで行うことができるため、CPUで行う場合のように一度レジスタに読み込んで、次にそれを書き込むという動作の半分の時間ですみます。このようにDMAによるデータ転送は高速なデータ転送を行うことができます。

図3-1 DMA転送の高速性

(1) 命令のリード、解読がない



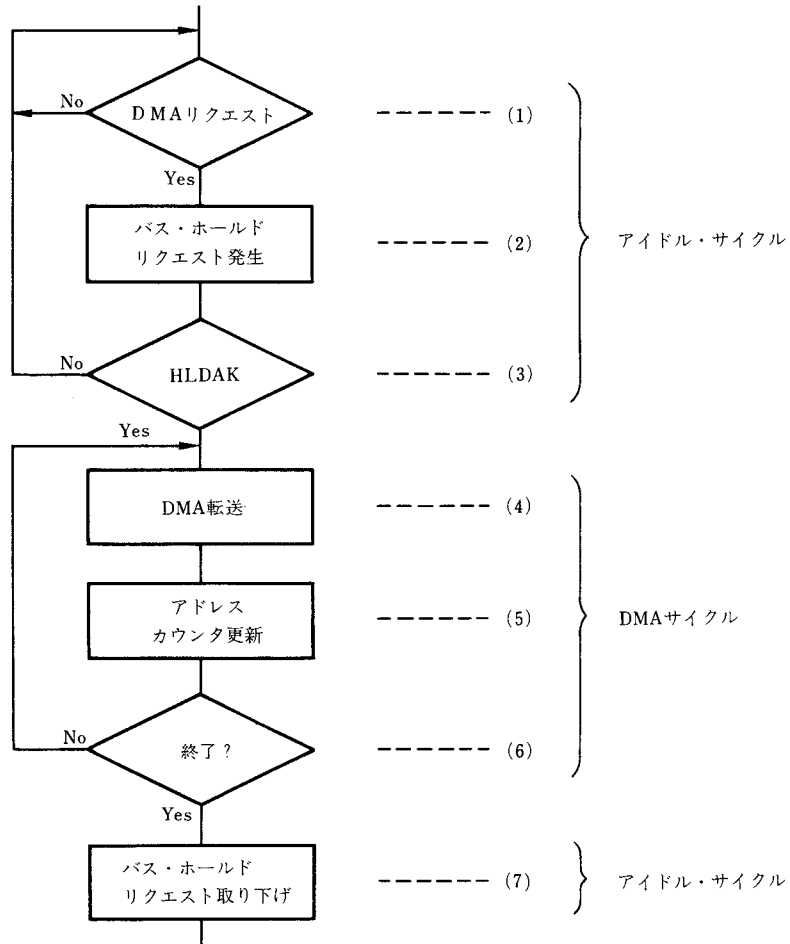
(2) 同一タイミングでのリード/ライト (メモリ-I/O転送)



3.2 μPD71071の基本動作

μPD71071はDMA転送を制御するDMAC (DMA Controller) と呼ばれます。I/OデバイスからDMAのサービス要求があると、CPUに代わってバスの制御（メモリに対してのアドレス出力、I/Oデバイスの選択、リード/ライト信号出力など）を行い、DMA転送を行います。図3-2に以上のシーケンスの概略フローを示します。

図3-2 DMAC動作フロー（概略）



μPD71071の動作はアイドル・サイクルとDMAサイクルに分けられ、アイドル・サイクルではCPU, DMAサイクルではμPD71071がバスの使用权を持っています。図3-2では(1)-(3)と(7)がアイドル・サイクル, (4)-(6)がDMAサイクルであることを示しています。

3.3 アイドル・サイクル

アイドル・サイクルではバスの使用权はCPUがっており、μPD71071は有効なDMAリクエストを受けていないか、あるいは受けてもCPUがバスの使用权をμPD71071に明け渡していないかのいずれかの状態にあります。

μPD71071はアイドル・サイクルでは以下の動作を行います。

(1)DMAリクエストのサンプリング

4本のDMARQ端子の状態を各クロックごとにサンプリングします。

(2)バスの使用权の要求

有効なDMAリクエスト信号を受け付けると、CPUにバス・ホールド要求信号を送ります。DMAリクエストのサンプリングは、バスの使用权を得るまで（HLDAK入力アクティブになるまで）行われます。

(3)DMAチャンネルの決定

CPUからHLDAK信号が返され、バスの使用权を得ると、DMAリクエストのサンプリングを休止し、アクティブなDMAリクエスト信号の中から最も高い優先順位を持つDMAチャンネルを選択します。

(4)μPD71071のプログラミング

μPD71071はDMA転送を行う前に、転送アドレス、転送回数、DMA動作モード、データ・バス幅およびDMARQ、DMAAK信号のアクティブ・レベルなどがプログラムされなければなりません。

CPUがバス使用权を持っている間は、μPD71071のチップ・セレクト入力をロウ・レベルにすることによりプログラムすることができます。アドレスA3-A0によって内部レジスタを選択し、 $\overline{\text{IORD}}$ 、 $\overline{\text{IOWR}}$ によりそれぞれ内部レジスタの読み出し、書き込みを行います。

3.4 DMAサイクル

DMAサイクルではバスの使用权はμPD71071がっており、プログラムされた情報に基づいたDMA転送動作を行います。



4. μPD71071の機能 (各種モード)

4.1 データ・バス幅

μPD71071はデータ・バスの幅をイニシャライズ・コマンドによって、8ビットまたは16ビットに切り替えることができるため、8/16ビットいずれのCPUとも容易にインタフェースできます。リセット後の初期状態ではデータ・バス幅は8ビットに設定されています。

16ビット・データ・バスを利用した場合には次のような利点があります。

- 16ビット長の内部レジスタへのアクセスが1度の入出力命令で行うことができます。
- CPUのI/O空間を有効に利用できます。
- DMA転送に16ビット・データの転送(ワード転送)が使用できます。

表4-1にデータ・バス幅とA0, \overline{UBE} 端子そして内部レジスタのリード/ライトとの関係を示します。

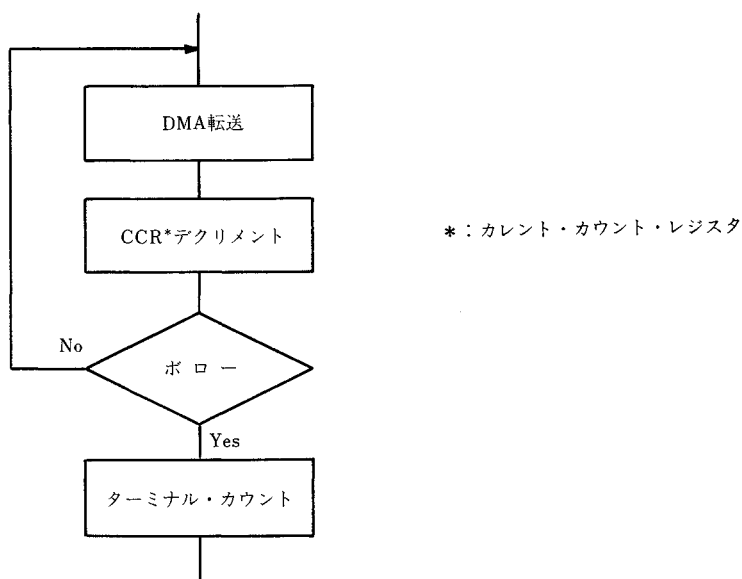
表4-1 データ・バス幅とデータ転送

データ・バス幅	A0	\overline{UBE}	内部レジスタのリード/ライト
8-bit	×	×	D7-D0 ←→ 内部レジスタ(8-bit)
16-bit	0	1	D7-D0 ←→ 内部レジスタ(8-bit)
	1	0	D15-D8 ←→ 内部レジスタ(8-bit)
	0	0	D15-D0 ←→ 内部レジスタ(16-bit)

4.2 ターミナル・カウント

μPD71071でのDMAサービスは内部でターミナル・カウントが発生するか、外部からの $\overline{\text{END}}$ 入力があれば終了します。ターミナル・カウントの発生は、DMA転送の回数を数えているカレント・カウント・レジスタのデクリメントの際にボローが発生したときに起こり、 $\overline{\text{TC}}$ 端子にロウ・レベルのパルスが出力されます。図4-1にターミナル・カウントの発生とカレント・カウント・レジスタの関係を示します。この図からわかるようにカレント・カウント・レジスタの判定は1度DMA転送を行ってから行われるため、実際のDMA転送の回数はカレント・カウント・レジスタに設定された値よりも1回多くなります。

図4-1 ターミナル・カウント(TC)の発生



$\overline{\text{END}}$ 入力またはターミナル・カウントの発生でDMAサービスが終了した場合には、サービスの終了したチャンネルに該当するマスク・レジスタのビットがセットされ(オートイニシャライズが設定されていない場合)、そのチャンネルのDMARQ入力はマスクされます。

4.3 DMA転送のタイプ

μPD71071のDMA転送のタイプは以下の4つの条件によって決定されます。

- (1)メモリ-メモリ転送の許可
- (2)メモリ-I/O転送の転送方向(各チャンネル)
- (3)転送モード(各チャンネル)
- (4)バス・モード

4.3.1 メモリ-メモリ転送の許可

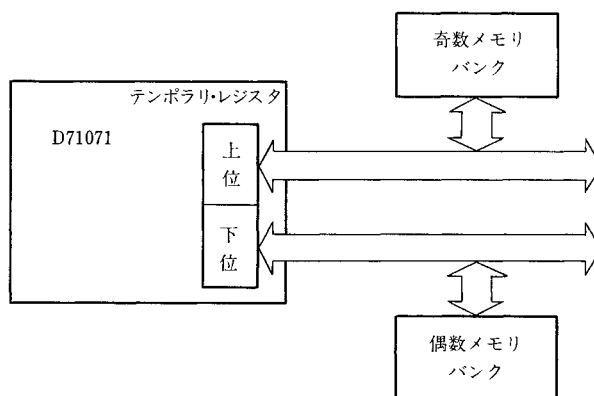
μPD71071のDMA転送は1バス・サイクルで1回の転送を実行するメモリ-I/O転送と、2バス・サイクルで1回の転送を実行するメモリ-メモリ転送に大別されます。

メモリ-メモリ転送はデバイス・コントロール・レジスタによってメモリ-メモリ転送が許可されている場合にのみ実行可能になります。メモリ-メモリ転送で使用するDMAチャンネルは固定されていて、チャンネル0がソース、チャンネル1がデスティネーションとなります。そのため、メモリ-メモリ転送を行う場合は、チャンネル0とチャンネル1のカウンタ・レジスタの内容、ワード/バイト転送モードは同じに設定してください。

また、16ビット・データ・バス時の、バイト転送によるメモリ-メモリ転送では、データ・バスの上位側からリードしたデータは、データ・バスの上位側にライトされ、データ・バスの下位側からリードしたデータは、データ・バスの下位側にライトされます。このため、ソースとデスティネーションの初期アドレスは、偶数どうしまたは奇数どうしに設定して下さい。ワード転送の場合は、ソースとデスティネーションの初期アドレスは、どちらも偶数に設定して下さい。(4.4参照) チャンネル0のDMAリクエストがアクティブになると*この転送が開始され、次のような動作がチャンネル1のターミナル・カウンタまたは $\overline{\text{END}}$ 入力があるまで繰り返し行われます。

- (1)チャンネル0のアドレス・レジスタで示されるメモリのデータを、テンポラリ・レジスタに読み込み、チャンネル0のアドレスとカウンタを更新します。
- (2)チャンネル1のアドレス・レジスタで示されるメモリに、テンポラリ・レジスタのデータを書き込み、チャンネル1のアドレスとカウンタを更新します。

図4-2 16ビット・データ・バスでのメモリ-メモリ転送



またメモリ-メモリ転送の場合にはデバイス・コントロール・レジスタによって、ソース側(チャンネル0)のアドレスを固定にすることができます。この機能によって、ある範囲のメモリを同一値で満たすことができます。

メモリ-メモリ転送時にはDMAAK信号と、チャンネル0のターミナル・カウンタ時での $\overline{\text{TC}}$ パルスを出力しません。

*:メモリ-メモリ転送が許可されているときにチャンネル1のDMAリクエストがアクティブになった場合は、チャンネル1に設定されているメモリ-I/O転送のDMAサービスが行われます。このため、メモリ-メモリ転送を使用する場合は誤動作防止のためにも、チャンネル1のマスクビットを1にして下さい。

4.3.2 メモリ-I/O転送の転送方向

メモリ-I/O転送の場合、モード・コントロール・レジスタによって各チャンネルごとに転送方向を設定できます。転送方向には次の3種類があります。

- (1) リード転送 メモリ → I/O
- (2) ライト転送 I/O → メモリ
- (3) ベリファイ転送 アドレス出力のみで実際の転送は行わない

4.3.3 転送モード

メモリ-I/O転送の場合、モード・コントロール・レジスタによって各チャンネルごとに転送モードを設定できます。各転送モードとサービス中のDMA転送の終了条件を表4-2に示します。

表4-2 転送モードと終了条件

転送モード	転送終了条件
シングル・モード	毎1バイト/ワード 転送完了
ダイヤモンド・モード	<ul style="list-style-type: none"> ○外部からの$\overline{\text{END}}$入力 ○ターミナル・カウンタの発生 ○サービス中のチャンネルのDMAリクエストがインアクティブになったとき ○より優先順位の高いチャンネルのDMAリクエストがアクティブになったとき (バス・ホールド・モード)
ブロック・モード	<ul style="list-style-type: none"> ○外部からの$\overline{\text{END}}$入力 ○ターミナル・カウンタの発生

メモリ-メモリ転送の場合の転送終了条件は、メモリ-I/O転送のブロック・モードと同じです。

4.3.4 バス・モード

バス・モードにはバス・リリース・モードとバス・ホールド・モードがあり、デバイス・コントロール・レジスタによって設定できます。このバス・モードによって、μPD71071がバスの使用权をCPUに返す条件が異なります。

(1)バス・リリース・モード

バス・リリース・モードでは、バスの使用权を得た後サービスを受けることのできるチャンネルは1つだけです。そのチャンネルのサービスが終了(終了条件は転送モードによって異なります。)すると、DMAリクエストの状態に関係なく、バスの使用权を放棄してアイドル・サイクルに移ります。新しいDMAサービスは再びバスの使用权を得てから行われます。

(2)バス・ホールド・モード

バス・ホールド・モードではバスの使用权を得た後、それを放棄することなしに、複数のチャンネルに対しDMAサービスを行うことができます。すなわち、あるチャンネルのDMAサービスが終了(終了条件は転送モードによって異なります。)した時点でほかに有効なDMAリクエストがあれば、バスの使用权をCPUに返さずに新しいDMAサービスを前のサービスに続けて行います。このことにより、1つのDMAチャンネルのサービス終了ごとにバスの使用权をCPUに返すバス・リリース・モードと比較して、バスの使用权の明け渡し、獲得に要するCPUとμPD71071のオーバーヘッドを減らすことができ、より効率の良いDMAサービスが可能になります。ただし、バス・ホールド・モードでの同じチャンネルのサービスは、その間に他チャンネルのサービスまたはアイドル・サイクルをはさんだ後に受け付けられるようになっており、1つのチャンネルによる独占を防いでいます。

バス・リリース・モードでは1度バスの使用权を得てから、アイドル・サイクルに戻るまでには1つの転送モードしか実行されませんが、バス・ホールド・モードでは複数チャンネルのサービスが可能ですので、バスの使用权を得てからアイドル・サイクルに戻る間に実行される転送モードは1つとは限りません。

図4-3 バス・モードによる違い

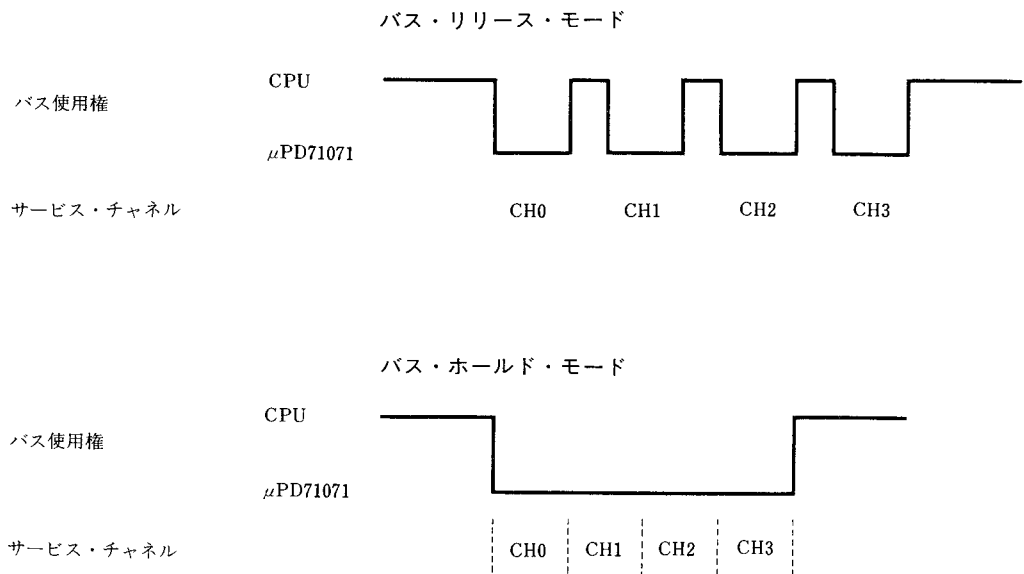


表4-3に転送モードとバス・モードの組み合わせによる6通りの動作フローを示します。

表4-3 転送モードとバス・モードの組み合わせによる各動作

バス・モード 転送モード	バス・リリース	バス・ホールド
シングル	<pre> graph TD Start(()) --> DMA[1 バイト/ワード DMA転送] DMA --> Idle([アイドル・サイクル]) </pre>	<pre> graph TD Start(()) --> DMA[1 バイト/ワード DMA転送] DMA --> HLD[H LDAK] HLD -- N --> Idle([アイドル・サイクル]) HLD -- Y --> DMARQ[他チャンネル DMARQ] DMARQ -- Y --> Other([他チャンネルのサービス]) DMARQ -- N --> Idle </pre>
ダイヤモンド	<pre> graph TD Start(()) --> DMA[1 バイト/ワード DMA転送] DMA --> END[END or TC] END -- Y --> DMA END -- N --> HLD[H LDAK] HLD -- Y --> DMARQ[サービス・チャンネル DMARQ] DMARQ -- Y --> DMA DMARQ -- N --> Idle([アイドル・サイクル]) HLD -- N --> Idle </pre>	<pre> graph TD Start(()) --> DMA[1 バイト/ワード DMA転送] DMA --> HLD[H LDAK] HLD -- N --> Idle([アイドル・サイクル]) HLD -- Y --> END[END or TC] END -- Y --> DMARQ2[他チャンネル DMARQ] DMARQ2 -- Y --> Other([他チャンネルのサービス]) DMARQ2 -- N --> DMARQ1[any DMARQ] DMARQ1 -- Y --> New([新しいサービス]) DMARQ1 -- N --> Idle </pre>
ブロック	<pre> graph TD Start(()) --> DMA[1 バイト/ワード DMA転送] DMA --> END[END or TC] END -- Y --> DMA END -- N --> HLD[H LDAK] HLD -- Y --> DMA HLD -- N --> Idle([アイドル・サイクル]) </pre>	<pre> graph TD Start(()) --> DMA[1 バイト/ワード DMA転送] DMA --> END[END or TC] END -- Y --> DMARQ[他チャンネル DMARQ] DMARQ -- Y --> HLD[H LDAK] HLD -- Y --> Priority{優先チャンネルはブロックモード?} Priority -- Y --> Idle([アイドル・サイクル]) Priority -- N --> Other([他チャンネルのサービス]) END -- N --> END HLD -- N --> END </pre>

4.4 バイト/ワード転送の選択

イニシャライズ・コマンドでデータ・バス幅が16ビットに設定されている場合には、DMA転送をバイト単位に行うかワード単位に行うかを、モード・コントロール・レジスタによって各チャンネルごとに選択できます。

表4-4にバイト/ワード転送時のアドレス・レジスタ、カウント・レジスタの更新を示します。

表4-4 アドレス、カウントの更新

	バイト転送	ワード転送
アドレス・レジスタ	±1	±2
カウント・レジスタ	-1	-1

ワード転送の場合は偶数番地から始まる2バイトを1ワードとして扱うため、設定したアドレスの初期値が奇数番地の場合はアドレスを-1補正してから転送を開始します。このためアドレスの設定は偶数番地にするようにしてください。

バイト転送およびワード転送はA0信号と \overline{UBE} 信号によって制御されます。

表4-5 バイト/ワード転送制御

データ・バス幅	A0	\overline{UBE}	データ・バス状態	バイト/ワード
8ビット	×	1*	D7-D0有効	バイト
16ビット	0	1	D7-D0有効	バイト
	1	0	D15-D8有効	バイト
	0	0	D15-D0有効	ワード

*: \overline{UBE} は常に“1”です。

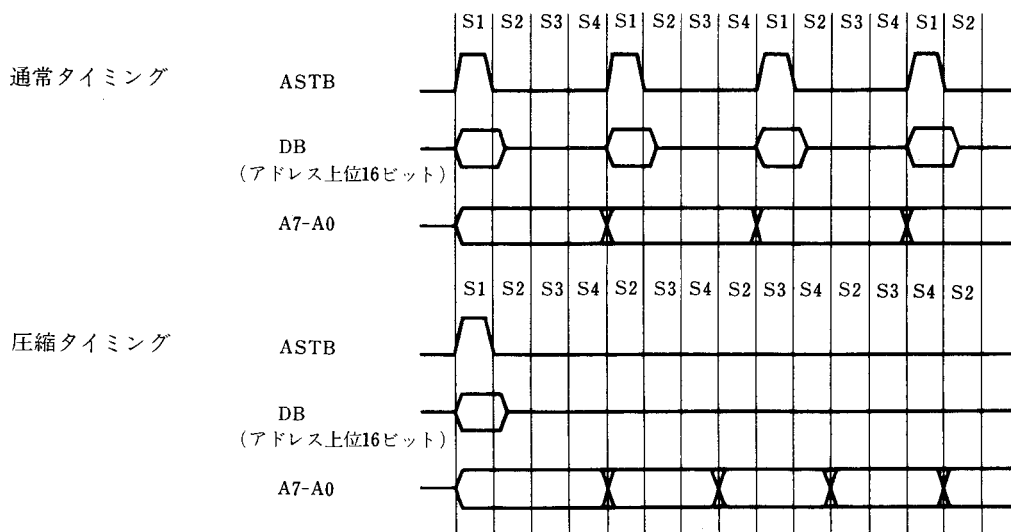
4.5 圧縮タイミング

DMA転送は通常1バス・サイクル=4クロックで1回の転送を実行します。しかし、デバイス・コントロール・レジスタで圧縮タイミングが許可されている場合は、ブロック・モード（メモリ-メモリは除く）とバス・リリース時のダイヤモンド・モードについて1バス・サイクル=3クロックで1回の転送が実行され、転送効率の向上（約1.33倍）ができます。

ブロック・モードとバス・リリース時のダイヤモンド・モードでは、アドレスはシーケンシャルに出力されるため、外部ラッチにラッチされているアドレスの上位16ビットの更新はA7からA8へのキャリーまたはボローが発生した時以外は更新する必要がありません。そのため圧縮タイミングでは、最初のバス・サイクルとアドレスの上位16ビットが変化する時以外のバス・サイクルでは、S1ステート（アドレスの上位16ビットを出力し、外部にラッチする）を省略しています。

注意 メモリ-メモリ転送では、圧縮タイミングは使用できません。

図4-4 圧縮タイミング



4.6 ソフトウェアDMAリクエスト

μPD71071では4本のDMARQ端子によるDMAリクエストに加え、CPUからのプログラムによってDMAリクエストを発生させることができます。ソフトウェアDMAリクエストはリクエスト・レジスタをセットすることにより発生し、マスク・レジスタによってマスクされることはありません。

ソフトウェアDMAリクエストによるDMAリクエストは、バス・モード、転送モードによって動作が異なります。

4.6.1 バス・モードによるソフトウェアDMAリクエスト動作の違い

(1)バス・リリース・モード設定時

ソフトウェアDMAリクエストとDMARQ端子によるDMAリクエストの中で、最高優先のチャンネルのサービスが行われ、そのサービスの終了時にリクエスト・レジスタの全ビットがクリアされます。

このため、ソフトウェアでDMAリクエストを行ってもサービスされずにリクエストがクリアされることもあり得ます。

(2)バス・ホールド・モード設定時

DMAサービスの終了時に、リクエスト・レジスタ中のそのときサービスを終了したチャンネルに該当するビットのみがクリアされます。

このため、ソフトウェアDMAリクエストは優先順位の高い順にすべてがサービスされます。

バス・ホールド・モード時でのソフトウェアDMAリクエストでは、カスケード・チャンネルのサービスに注意が必要です。カスケード・チャンネルがサービスされる場合は、一時的にバス・リリース・モードとして動作するために、カスケード・チャンネルのサービス終了時にリクエスト・レジスタの全ビットがクリアされてしまいます。これを防ぐには、ソフトウェアDMAリクエストの発行は、カスケードチャンネルをマスクして、サービスされないようにしてから行います。そしてリクエスト・レジスタの全ビットがクリアされて、要求したサービスがすべて実行されたことを確認したら、カスケード・チャンネルのマスクを解除します。

4.6.2 転送モードによるソフトウェアDMAリクエスト動作の違い

(1)シングル・モードまたはダイヤモンド・モード設定時

サービスが開始されると該当するリクエスト・ビットがクリアされ、サービスは1バイト/ワードの転送で終了します。

(2)ブロック・モード (メモリ-メモリ設定時)

サービスは $\overline{\text{END}}$ 入力またはターミナル・カウント発生まで実行され、サービスの終了時に該当するリクエスト・ビットがクリアされます。なお、メモリ-メモリ転送のサービス終了時には、チャンネル0のリクエスト・ビットはクリアされますが、チャンネル1のリクエスト・ビットはクリアされません。

4.7 オートイニシャライズ

オートイニシャライズは $\overline{\text{END}}$ 入力、ターミナル・カウント発生時に、アドレスおよびカウントを自動的に初期化する機能で、モード・コントロール・レジスタによって各チャンネルごとに設定できます。

オートイニシャライズが設定されているチャンネルのサービス中に、 $\overline{\text{END}}$ 入力またはターミナル・カウントが発生すると

○カレント・アドレス・レジスタにベース・アドレス・レジスタの内容が、カレント・カウント・レジスタにベース・カウント・レジスタの内容が転送されます。

○マスク・レジスタの該当ビットはセットされません。

(オートイニシャライズが設定されていないチャンネルは、マスク・レジスタの該当ビットがセットされます。)

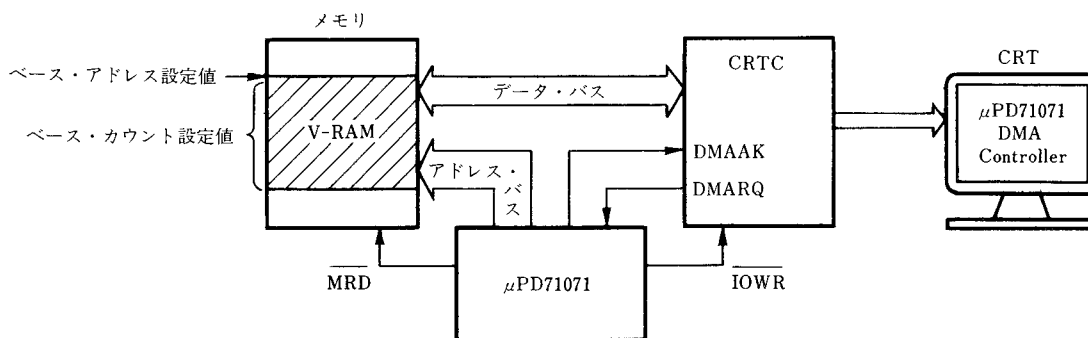
という動作が行われます。

オートイニシャライズ機能は以下に示すようなDMA転送を行う場合に特に有効性が発揮されます。

(1)メモリの一定エリアの繰り返し入出力

例えばCRTコントローラとV-RAMの間のDMA転送が考えられます。この場合、ベース・レジスタとカレント・レジスタに同一値を初期設定してオートイニシャライズにすれば、以後CPUは何の操作をしなくてもDMA転送が繰り返し実行されます。

図4-5 オートイニシャライズ応用1



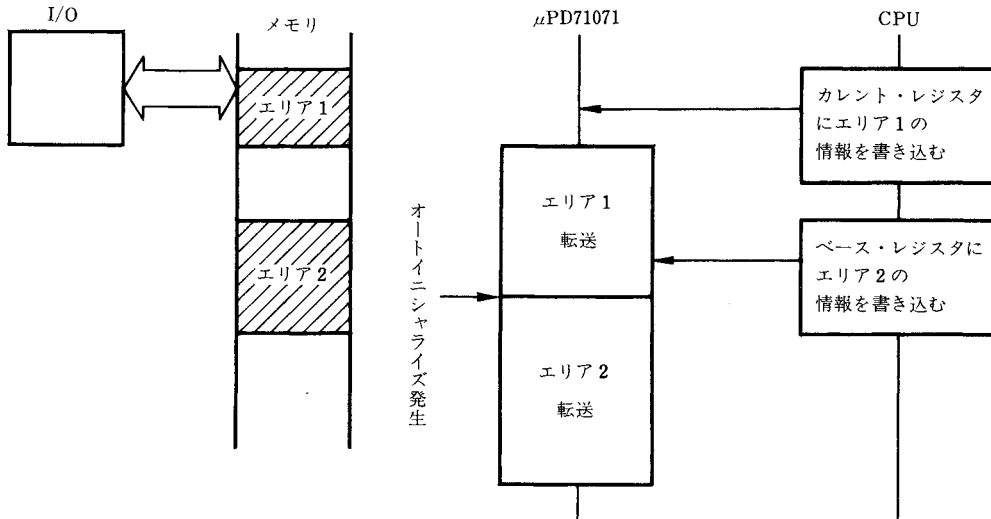
(2)複数個のメモリ・エリアの連続転送

μPD71071ではアドレス/カウント・レジスタへの書き込みをベース・レジスタのみに対して行うことができますのでオートイニシャライズ機能により次のようなことができます。

バス・リリース・モードでのシングルまたはダイヤモンド・モード動作時に、複数個の連続したあるいは不連続なメモリ・エリアを連続して転送しようとする場合、ある1つのエリアの転送中に次のエリアの情報をベース・レジスタに設定^注すると、転送中のエリアのターミナル・カウント時にオートイニシャライズ機能により次のエリアの情報がカレント・レジスタに転送され転送を連続に実行することができます。このように、オートイニシャライズを用いると、CPUがμPD71071へデータを書き込むタイミングに余裕ができます。

注 ディアモンド・モード動作時では、DMARQをインアクティブにし、いったんDMAサイクルから抜け出てから設定してください。

図4-6 オートイニシャライズ応用2



4.8 チャンネルの優先順位

μPD71071にはDMAチャンネルが4つあり、それぞれには優先順位が付けられています。複数のチャンネルに対して同時にDMAリクエストがある場合は、優先順位の高いチャンネルに対してサービスが行われます。この優先順位の付け方には固定優先順位と回転優先順位の2通りが用意されており、デバイス・コントロール・レジスタによって選択できます。

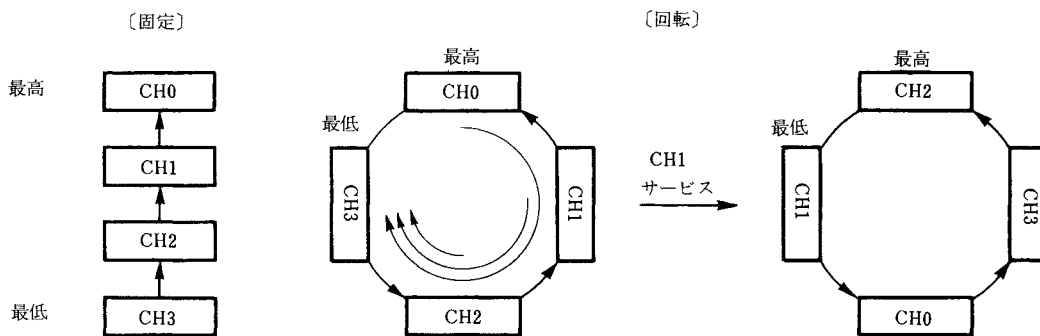
(1)固定優先順位

優先順位は高い順にチャンネル0、チャンネル1、チャンネル2、チャンネル3となります。

(2)回転優先順位

サービスを受けたチャンネルが最低優先になるように優先順位が回転します。この方法によって特定のチャンネルによるサービスの独占を防ぐことができます。

図4-7 優先順位



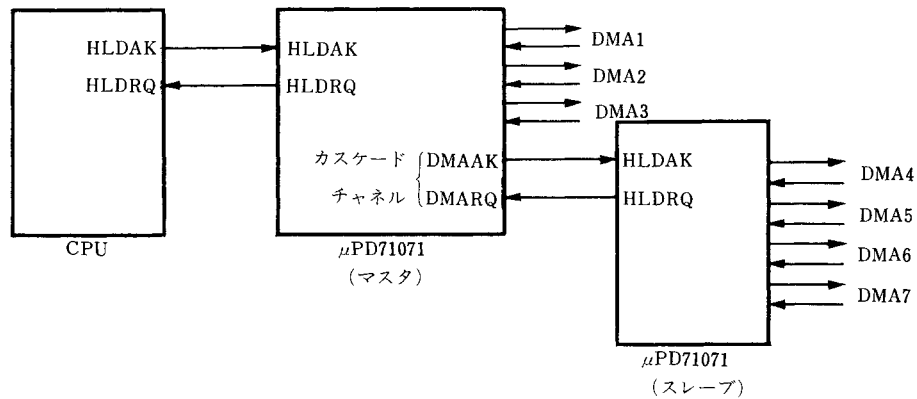
4.9 カスケード接続

μPD71071はチャンネルを拡張する方法としてカスケード接続ができます。カスケード接続は次のようにすることで実現されます。

- 2 段目（スレーブ）のμPD71071のHLDRQ, HLDAAK端子を 1 段目（マスタ）のμPD71071の任意のチャンネルのDMARQ, DMAAK端子にそれぞれ接続します。
- マスタのスレーブが接続されたチャンネルをモード・コントロール・レジスタによってカスケード・モードに設定します。

マスタは、カスケード・モードに設定されたチャンネル（カスケード・チャンネル）のDMAサービスの間は、DMARQ, DMAAK, HLDRQ, HLDAAKおよびRESET信号のみが有効となり、他の信号は禁止されます。すなわち、マスタのカスケード・チャンネルはスレーブとCPU間のホールド・リクエスト/ホールド・アックノリッジを仲介する動作しに行いません。

図 4-8 カスケード接続例



また、マスタのμPD71071はカスケード・チャンネルのDMAサービス中は、バス・ホールド・モードが設定されていても常にバス・リリース・モードとして動作します。すなわち、カスケード・チャンネルのサービス中は他のDMAリクエストは無視されます。そしてスレーブがDMAサービスを終了しアイドル・サイクルに移ると、マスタもアイドル・サイクルに移りバスを放棄します。カスケード・チャンネル以外のサービスの場合は通常の動作をします。

カスケード・チャンネルがサービスされた場合バス・リリース・モードとして動作するため、マスタのリクエスト・レジスタはそのサービスの終了時に全ビットがクリアされます。(4.6.1 参照)

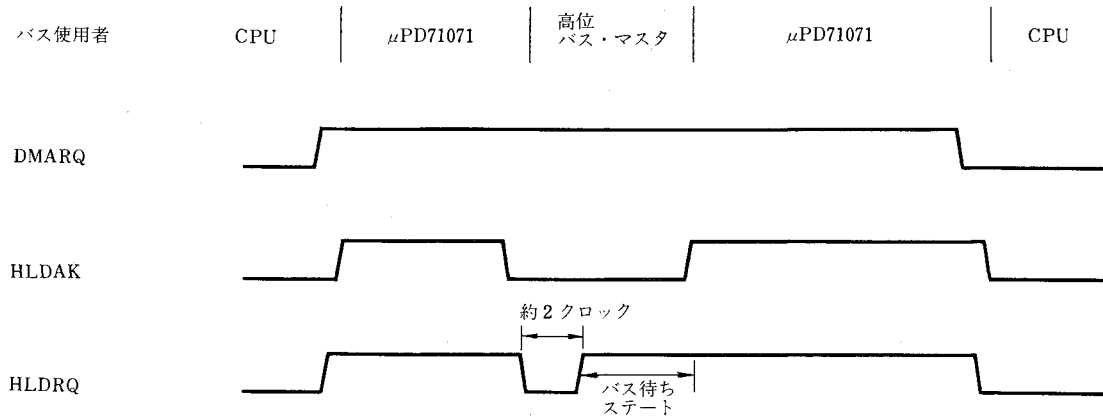
4.10 バス待ち動作

CPUとしてμPD70208/70216を使用したシステムでは、DMAサイクル中であってもCPU内のリフレッシュ・コントロール・ユニットが強制的にHLDAK信号をインアクティブに落とし、バスを使用します。このようにμPD71071よりも優先度の高いバス・マスタが存在するシステムでも、μPD71071は自動的にバス待ち動作を行い対応できます。

このバス待ち動作はブロック・モードやバス・リリース時でのダイヤモンド・モードおよびメモリ-メモリ転送のように、転送が連続して実行される動作モードのサービス中にHLDAK信号がインアクティブになると実行されます。それ以外の動作モードのサービス中にHLDAKがインアクティブになった場合には、アイドル・サイクルに戻りバスを高位バス・マスタに明け渡します。

次にバス待ち動作に入った場合の説明をします。前述したように連続した転送を行う動作モードのサービス中にHLDAK信号がインアクティブになると、μPD71071はS4w状態(バス待ち状態)に入り(但し、ダイヤモンド・モードの場合DMARQがインアクティブであればアイドル・サイクルに移ります。), 約2クロック間HLDRQ信号をインアクティブにし、バスを解放します。そしてHLDAK信号が再びアクティブになるまでS4w状態を繰り返し、HLDAK信号がアクティブになると直ちに中断していたサービスを再開します。

図4-9 バス待ち動作



5. μPD71071のレジスタとそのプログラム

μPD71071は内部に395ビットのレジスタを持っています。またこれらのレジスタをリード/ライトするための多くのコマンドを持っています。コマンドはアドレスのA3-A0によって選択されます。

表5-1にレジスタ構成、表5-2にコマンド構成を示します。

表5-1 レジスタ構成

レジスタ名	ビット・サイズ
チャンネル・レジスタ	5-bit
ベース・アドレス・レジスタ	24-bit×4
カレント・アドレス・レジスタ	24-bit×4
ベース・カウンタ・レジスタ	16-bit×4
カレント・カウンタ・レジスタ	16-bit×4
モード・コントロール・レジスタ	7-bit×4
デバイス・コントロール・レジスタ	10-bit
ステータス・レジスタ	8-bit
リクエスト・レジスタ	4-bit
マスク・レジスタ	4-bit
テンポラリ・レジスタ	16-bit

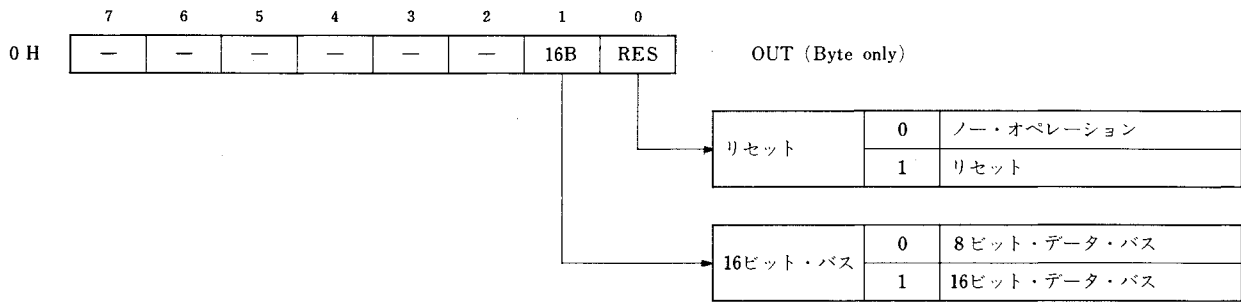
16ビットCPUを使っていて16ビット・データ・バスを選択している場合は、コマンドの発行をワードIN/OUT命令で行って1度に2バイトの情報のリード/ライトをすることが可能ですが、表5-2で“(B)”の印が付いているコマンドについてはバイトIN/OUT命令で発行しなければなりません。

保守/廃止

表 5-2 コマンド構成

アドレス	R/W	コマンド名	MSB	フォーマット				LSB		
0H	R	禁	止							
	W(B)	イニシャライズ	—	—	—	—	—	16B RES		
1H	R(B)	チャンネル・レジスタ・リード	—	—	—	BASE	SEL3	SEL2	SEL1	SEL0
	W(B)	チャンネル・レジスタ・ライト	—	—	—	—	—	BASE	SELCH	
2H	R/W	カウント・レジスタ・リード/ライト	C7	C6	C5	C4	C3	C2	C1	C0
3H	R/W		C15	C14	C13	C12	C11	C10	C9	C8
4H	R/W	アドレス・レジスタ・リード/ライト	A7	A6	A5	A4	A3	A2	A1	A0
5H	R/W		A15	A14	A13	A12	A11	A10	A9	A8
6H	R/W(B)		A23	A22	A21	A20	A19	A18	A17	A16
7H	—	禁	止							
8H	R/W	デバイス・コントロール レジスタ・リード/ライト	AKL	RQL	EXW	ROT	CMP	DDMA	AHLD	MTM
9H	R/W		—	—	—	—	—	—	WEV	BHLD
0AH	R/W(B)	モード・コントロール レジスタ・リード/ライト	TMODE		ADIR	AUTI	TDIR		—	W/ \bar{B}
0BH	R(B)	ステータス・レジスタ・リード	RQ3	RQ2	RQ1	RQ0	TC3	TC2	TC1	TC0
	W	禁	止							
0CH	R	テンポラリ・レジスタ(下位)リード	T7	T6	T5	T4	T3	T2	T1	T0
	W	禁	止							
0DH	R	テンポラリ・レジスタ(上位)リード	T15	T14	T13	T12	T11	T10	T9	T8
	W	禁	止							
0EH	R/W(B)	リクエスト・レジスタ リード/ライト	—	—	—	—	SRQ3	SRQ2	SRQ1	SRQ0
0FH	R/W(B)	マスク・レジスタ・リード/ライト	—	—	—	—	M3	M2	M1	M0

5.1 イニシャライズ・コマンド



このコマンドは、μPD71071を初期化またはデータ・バス幅の変更を行います。μPD70116などの16ビットCPUを使用するときは、最初にこのコマンドのデータ・バス幅を16ビットに設定します。

また、このコマンドの発行はバイトIN/OUT命令によって行わなければなりません。

●ビット 0……RES (Reset)

このビットをセットすると内部状態が初期化され、バス幅の設定以外ハードウェア・リセットと同じ効果が得られます。表5-3に各レジスタのリセット時の初期状態を示します。RESビット自身は初期化後自動的にクリアされます。なお、ハードウェア・リセットでは、データ・バス幅は常に8ビットに設定されます。

●ビット 1……16B (16-bit Bus)

データ・バス幅を決定するビットで、セットすると16ビット幅に設定されます。μPD70116と接続する場合はハードウェア・リセット直後にこのビットをセットします。

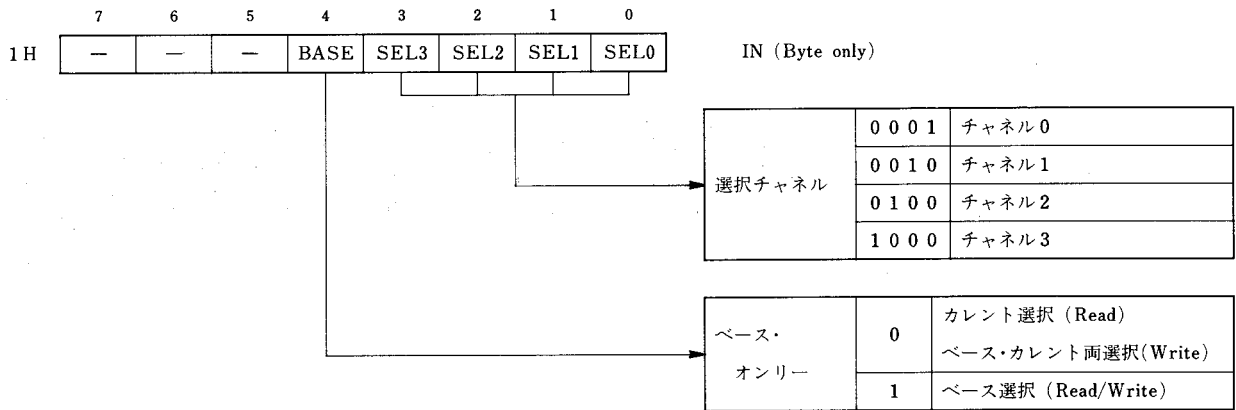
表5-3 リセットによるレジスタの初期化

レ ジ ス タ 名	初 期 化 内 容																
アドレス・レジスタ	変化なし																
カウント・レジスタ	変化なし																
チャンネル・レジスタ	<table border="1" style="display: inline-table; vertical-align: middle;"> <tr> <td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td> </tr> <tr> <td>—</td><td>—</td><td>—</td><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td> </tr> </table> (CH0選択)	7	6	5	4	3	2	1	0	—	—	—	0	0	0	0	1
7	6	5	4	3	2	1	0										
—	—	—	0	0	0	0	1										
モード・コントロール・レジスタ	全ビット・クリア																
デバイス・コントロール・レジスタ	全ビット・クリア																
ステータス・レジスタ	全ビット・クリア																
リクエスト・レジスタ	全ビット・クリア																
マスク・レジスタ	全ビット・セット (全チャンネル・マスク)																
テンポラリ・レジスタ	全ビット・クリア																

5.2 チャンネル・レジスタ・コマンド

このコマンドは、4つあるDMAチャンネルからCPUによるプログラミングの対象となる1つのチャンネルを選択するチャンネル・レジスタのリード/ライトを行います。このコマンドの発行はバイトIN/OUT命令によって行わなければならない。

(1)チャンネル・レジスタ・リード



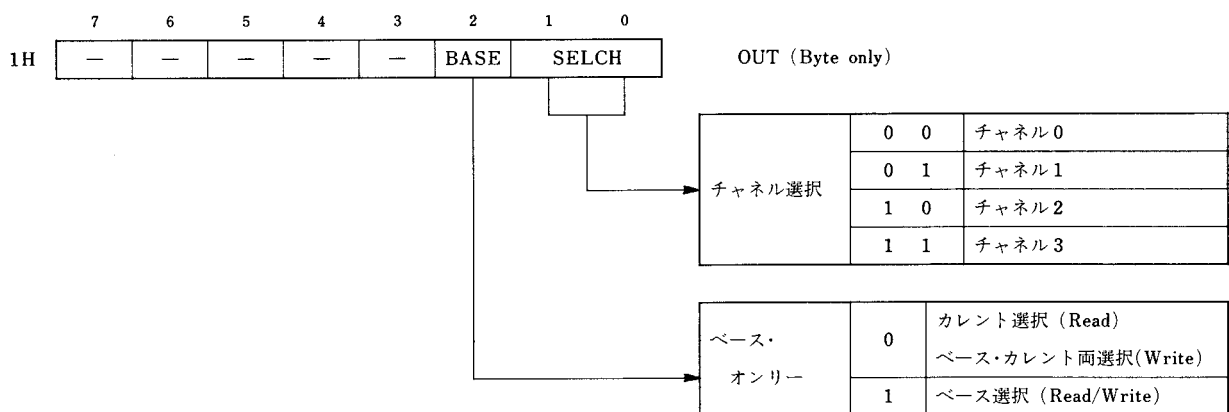
●ビット 3-0……SEL (Select)

現在のアドレス/カウント/モード・コントロールの各レジスタへのリード/ライトがどのチャンネルに設定されているかを示しています。

●ビット 4……BASE (Base only)

このビットがセットされているとアドレス/カウント・レジスタへのリード/ライトはベース・レジスタにのみ行われます。反対にリセットされていると、読み出し時はカレント・レジスタのみに行われ、書き込みはベース/カレントの両方のレジスタに対して行われます。

(2)チャンネル・レジスタ・ライト



●ビット 1-0 SELCH (Select Channel)

アドレス/カウント/モード・コントロールの各レジスタへのリード/ライトをどのチャンネルにするかを選択します。

●ビット2……BASE (Base only)

アドレス・レジスタとカウント・レジスタは、各チャンネルごとにベース・レジスタとカレント・レジスタの2組のレジスタから成り立っています。このビットはベース・レジスタとカレント・レジスタの選択に用います。BASE=1の場合、アドレス/カウンタ・レジスタへのリード/ライトはベース・レジスタにのみ行われます。

BASE=0の場合は、読み出されるのはカウント・レジスタになりますが、書き込みはベース/カレントの両レジスタに行われます。

5.3 カウント・レジスタ・リード/ライト・コマンド

	7	6	5	4	3	2	1	0	
2H	C7	C6	C5	C4	C3	C2	C1	C0	IN/OUT
	7	6	5	4	3	2	1	0	
3H	C15	C14	C13	C12	C11	C10	C9	C8	IN/OUT

このコマンドの発行は16ビット・データ・バス選択時にはワードIN/OUT命令で行うことができますので、16ビット・データを1度にリード/ライトすることができます。アクセスされるカウント・レジスタはチャンネル・レジスタにより決定されます。

ベース・カウント・レジスタは設定された値を新たな設定が行われるまで保持し、オートイニシャライズ時にはこの内容がカレント・カウント・レジスタに転送されます。カレント・カウント・レジスタは1回のDMA転送ごとに1だけカウント・ダウンされます。

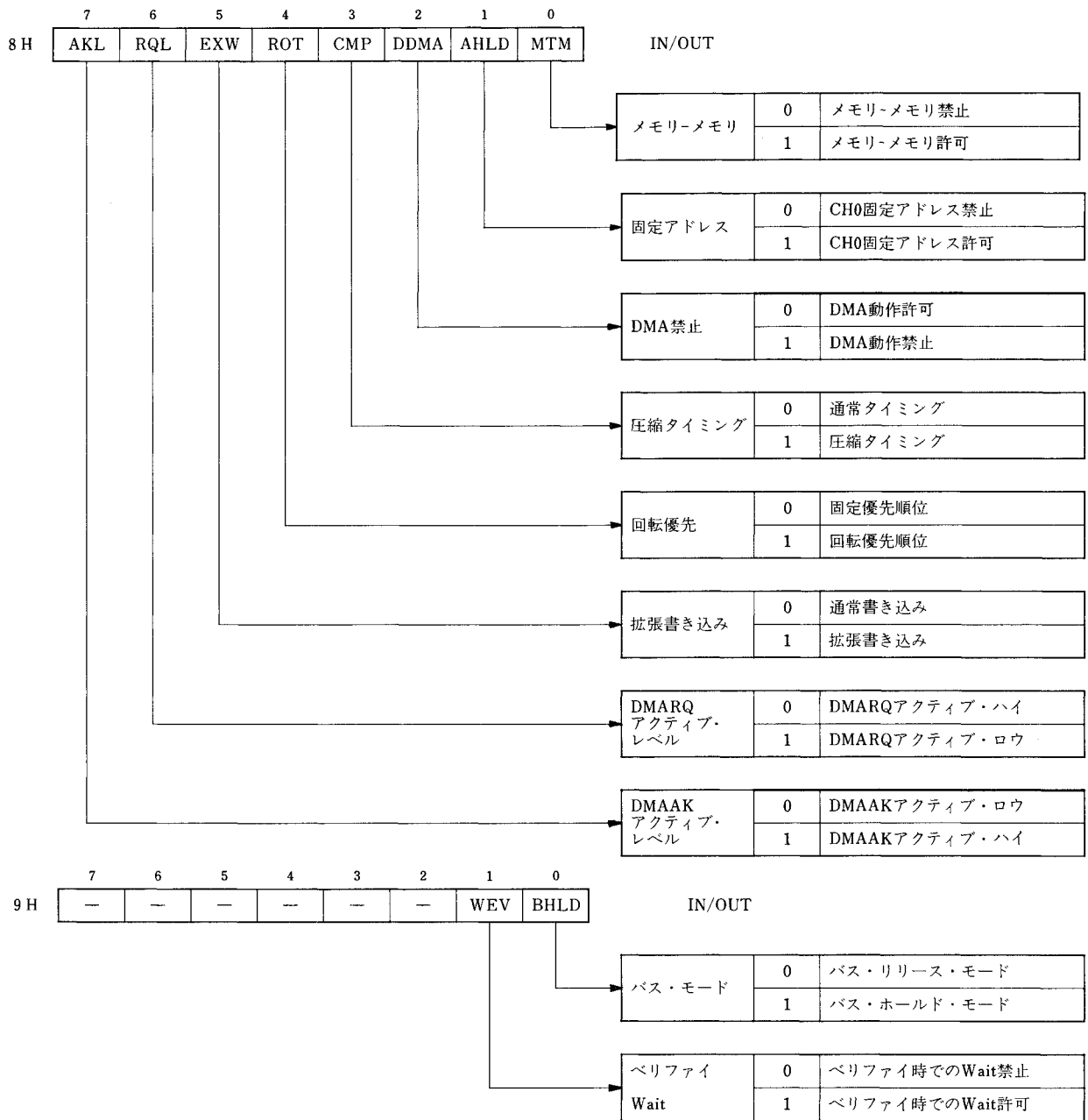
5.4 アドレス・レジスタ・リード/ライト・コマンド

	7	6	5	4	3	2	1	0	
4H	A7	A6	A5	A4	A3	A2	A1	A0	IN/OUT
	7	6	5	4	3	2	1	0	
5H	A15	A14	A13	A12	A11	A10	A9	A8	IN/OUT
	7	6	5	4	3	2	1	0	
6H	A23	A22	A21	A20	A19	A18	A17	A16	IN/OUT (Byte only)

このコマンドの発行は16ビット・データ・バス選択時にはレジスタの下位2バイト(4H, 5H)についてはワードIN/OUT命令ができますが、上位1バイト(6H)に対してはバイトIN/OUT命令で行わなければなりません。アクセスされるアドレス・レジスタはチャンネル・レジスタによって決定されます。

ベース・アドレス・レジスタは設定された値を新たな設定が行われるまで保持し、オートイニシャライズ時にはこの内容がカレント・アドレス・レジスタに転送されます。カレント・アドレス・レジスタは1回のDMA転送ごとに、ワード転送時は±2、バイト転送時は±1更新されます。

5.5 デバイス・コントロール・レジスタ・リード/ライト・コマンド



このコマンドは、すべてのDMAチャンネルに適応されるモードや、DMA動作の許可/禁止、DMARQ、DMAAK信号のアクティブ・レベル、メモリ-メモリ転送の許可/禁止などを制御するデバイス・コントロール・レジスタのリード/ライトを行います。

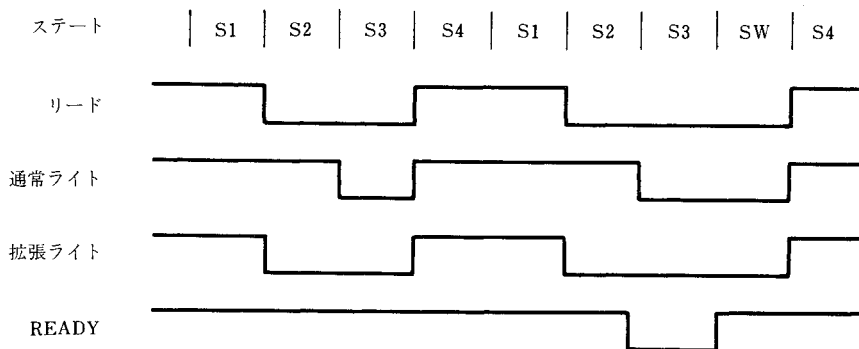
このコマンドの発行は16ビット・データ・バス選択時には、ワードIN/OUT命令で行うことができますので、16ビット・データを1度にリード/ライトすることができます。

●ビット0……MTM (Memory to Memory)

このビットをセットすることによってメモリ-メモリ転送が許可されます。

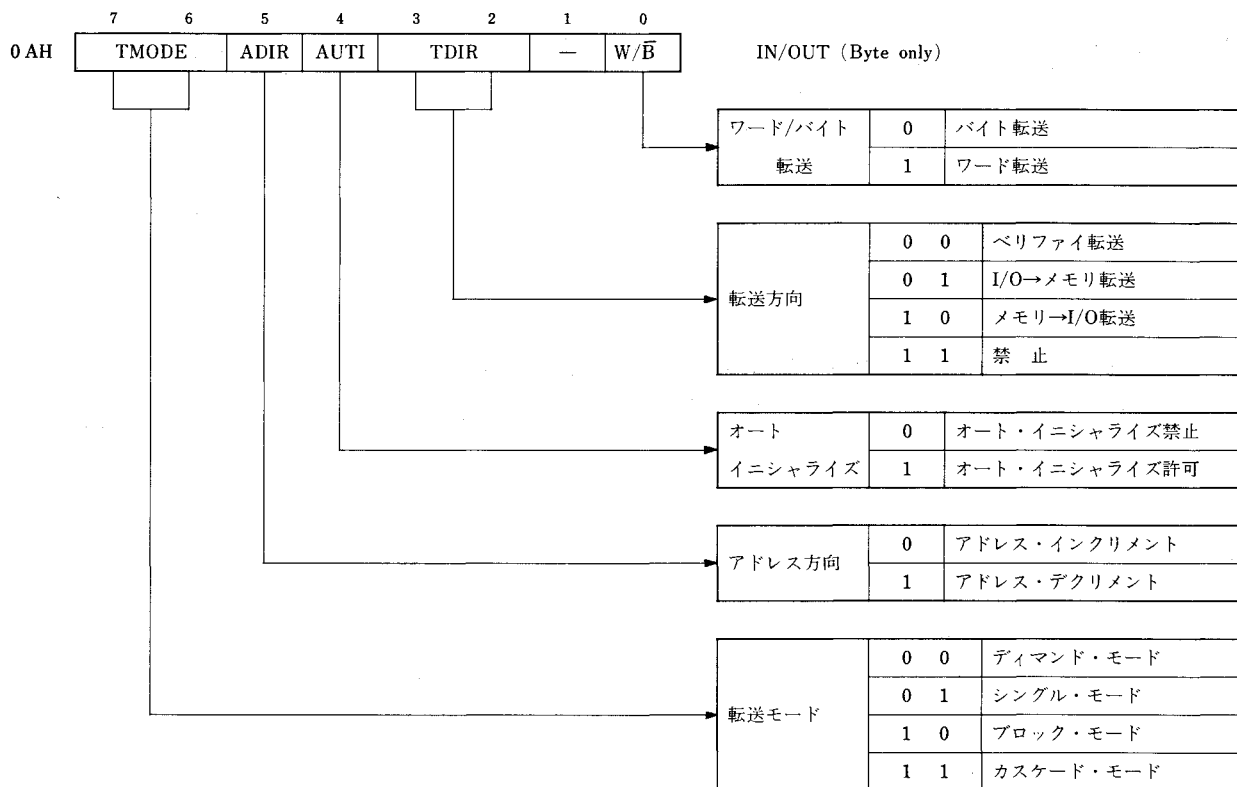
- ビット1……AHL D (Channel 0 Address Hold)
メモリ-メモリ転送が許可されているときにこのビットをセットするとチャンネル0 (ソース側) のアドレスは固定となります。MTM=0の場合はこのビットは意味を持ちません。
- ビット2……DDMA (Disable DMA)
このビットをセットするとDMA動作は禁止されます。具体的にはDDMA=1の間CPUに対するホールド・リクエスト信号を出力しなくなります。この機能は、レジスタのプログラムの途中で誤ったDMA動作が実行されるのを防ぐために用いられます。
- ビット3……CMP (Compressed Timing)
このビットをセットすると、ブロック・モードまたはバス・リリース時でのダイヤモンド・モードのDMA転送が圧縮タイミングで行われます。
- ビット4……ROT (Rotate Priority)
このビットをセットすると回転優先順位になります。
- ビット5……EXW (Extended Write Timing)
このビットはライト信号の出力タイミングを制御するために用います。EXW=0のときライト信号はS3, SW間アクティブとなり(通常書き込み), EXW=1のときはリード信号と同じくS2, S3, SW間でアクティブとなります(拡張書き込み)。

図5-1 拡張ライト・タイミング



- ビット6……RQL (DMA Request Active Level)
このビットは4本のDMARQ信号のアクティブ・レベルを決定します。RQL=0の場合はアクティブ・ハイ, RQL=1の場合はアクティブ・ロウになります。
- ビット7……AKL (DMA Acknowledge Active Level)
このビットは4本のDMAAK信号のアクティブ・レベルを決定します。AKL=0の場合はアクティブ・ロウ, AKL=1の場合はアクティブ・ハイになります。
- ビット0(アドレス9H)……BHL D (Bus Hold Mode)
このビットによってDMA転送のバス・モードを選択します。BHL D=1の場合はバス・ホールド・モード, BHL D=0の場合はバス・リリース・モードとなります。
- ビット1(アドレス9H)……WEV (Wait Enable at Verify)
このビットはベリファイ転送時にREADY信号によって発生するウエイト・ステートの許可/禁止を制御します。WEV=0の場合に禁止されます。

5.6 モード・コントロール・レジスタ・リード/ライト・コマンド



このコマンドは、各チャンネルごとの動作モードを規定するモード・コントロール・レジスタのリード/ライトを行います。

アクセスされるモード・コントロール・レジスタはチャンネル・レジスタによって決定されます。

このコマンドの発行はバイト IN/OUT で行わなければなりません。

●ビット 0 ……W/ \bar{B} (Word/Byte Transfer)

このビットは16ビット・データ・バス選択時に意味を持ち、DMA転送をワード転送で行うか、バイト転送で行うかを指定します。W/ \bar{B} =1の場合にワード転送となります。

●ビット 3-2 ……TDIR (Transfer Direction)

これらのビットはメモリ-I/O間のDMA転送の転送方向を決定します。メモリ-メモリ転送時には意味を持ちません。

●ビット 4 ……AUTI (Auto-initialize)

このビットをセットすることによりオートイニシャライズが許可されます。メモリ-メモリ転送を行う場合はチャンネル0とチャンネル1のAUTIビットは同じ値にする必要があります。

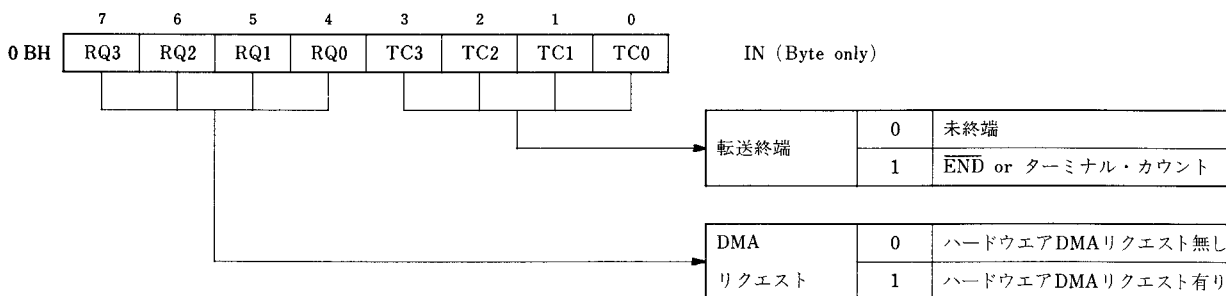
●ビット 5 ……ADIR (Address Direction)

このビットはカレント・アドレス・レジスタの更新する方向を決定します。ADIR=0ならば増加方向に更新(+2:ワード転送時, +1:バイト転送時)し, ADIR=1ならば減少方向に更新(-2:ワード転送時, -1:バイト転送時)します。

●ビット 7-6 ……TMODE (Transfer Mode)

これらのビットはメモリ-I/O間のDMA転送の転送モードを決定します。メモリ-メモリ転送時には意味を持ちません。

5.7 ステータス・レジスタ・リード・コマンド



このコマンドは、各チャンネルのDMAリクエスト状態、ターミナル・カウントまたは $\overline{\text{END}}$ 入力の発生状態の情報を持っているステータス・レジスタを読み出します。

このコマンドの発行はバイトIN命令で行わなければなりません。

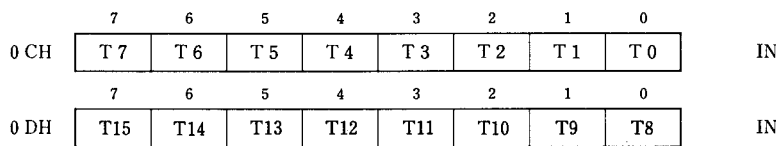
●ビット3-0……TC (Terminal Count)

これらのビットは各DMAチャンネルのターミナル・カウントまたは $\overline{\text{END}}$ 入力を示しています。DMAサービス中にターミナル・カウントが発生するか、 $\overline{\text{END}}$ 入力があれば該当のビットがセットされます。このコマンドによって読み出すごとに、これらのビットはクリアされます。

●ビット7-4……RQ (DMA Request)

これらのビットは各DMAチャンネルのハードウェアDMAリクエストの状況を示しています。マスク状態に関係なく、各DMARQ端子入力がアクティブの期間に対応するRQビットが1になりますので、マスクによって保留されているハードウェアDMAリクエストを調べることができます。

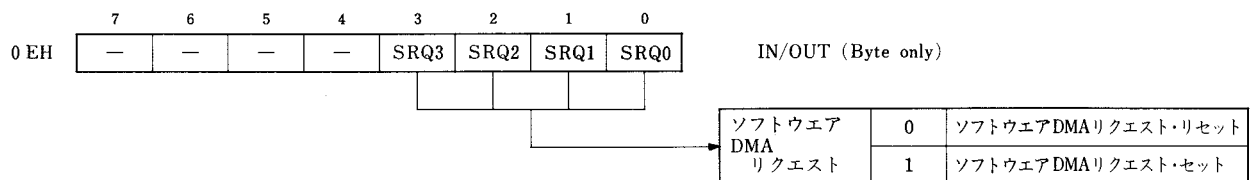
5.8 テンポラリ・レジスタ・リード・コマンド



このコマンドの発行は16ビット・データ・バス選択時にはワードIN命令で行うことができますので、16ビット・データを1度にリードできます。

テンポラリ・レジスタにはメモリ-メモリ転送で最後に転送されたデータが格納されています。8ビット・データ・バス選択時には上位バイトの値は不定となります。

5.9 リクエスト・レジスタ・リード/ライト・コマンド



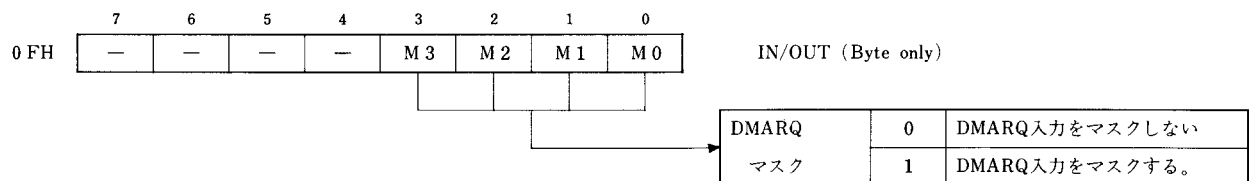
このコマンドは、ソフトウェアによるDMAリクエストを発生させるリクエスト・レジスタへのリード/ライトを行います。

このコマンドの発行はバイトIN/OUT命令で行わなければなりません。

●ビット3-0……SRQ (Software DMA Request)

これらのビットは4つのDMAチャンネルに対するソフトウェアDMAリクエストのセット、リセットを行います。SRQnビットをセットすればDMAチャンネルnに対してDMAリクエストが発生します。

5.10 マスク・レジスタ・リード/ライト・コマンド



このコマンドは、DMARQ3-DMARQ0入力によるDMAリクエストのマスクを制御するマスク・レジスタへのリード/ライトを行います。

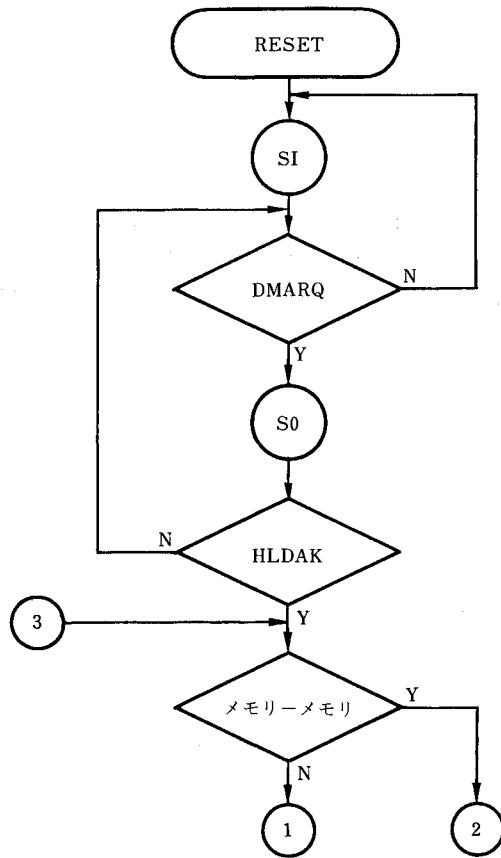
このコマンドの発行はバイトIN/OUT命令で行わなければなりません。

●ビット3-0……M (Mask DMARQ input)

これらのビットは4本のDMAリクエスト入力端子DMARQ3-DMARQ0の入力をマスクするかしないかを決定します。MnビットをセットするとDMARQn端子の入力をマスクしてそのチャンネルへの(ハードウェアによる)DMAリクエストを禁止します。

6. μPD71071状態遷移図

図6-1 アイドル・サイクル



- SI : DMAリクエスト待ちステート
- S0 : HLDAK待ちステート
- S1 : アドレス・ラッチ・ステート
- S2 : リード信号出力ステート
- S3 : ライト信号出力ステート
- S4 : リード/ライト信号回復ステート
- SW : READY待ちステート
- S4w : バス待ちステート

- ① : メモリ-I/O転送
- ② : メモリ-メモリ転送

図6-2 DMAサイクル・カスケード・モード

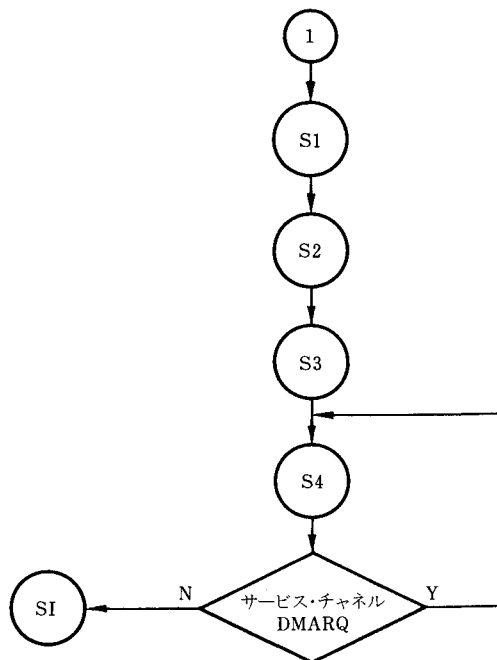


図 6-3 DMAサイクル・シングル・モード

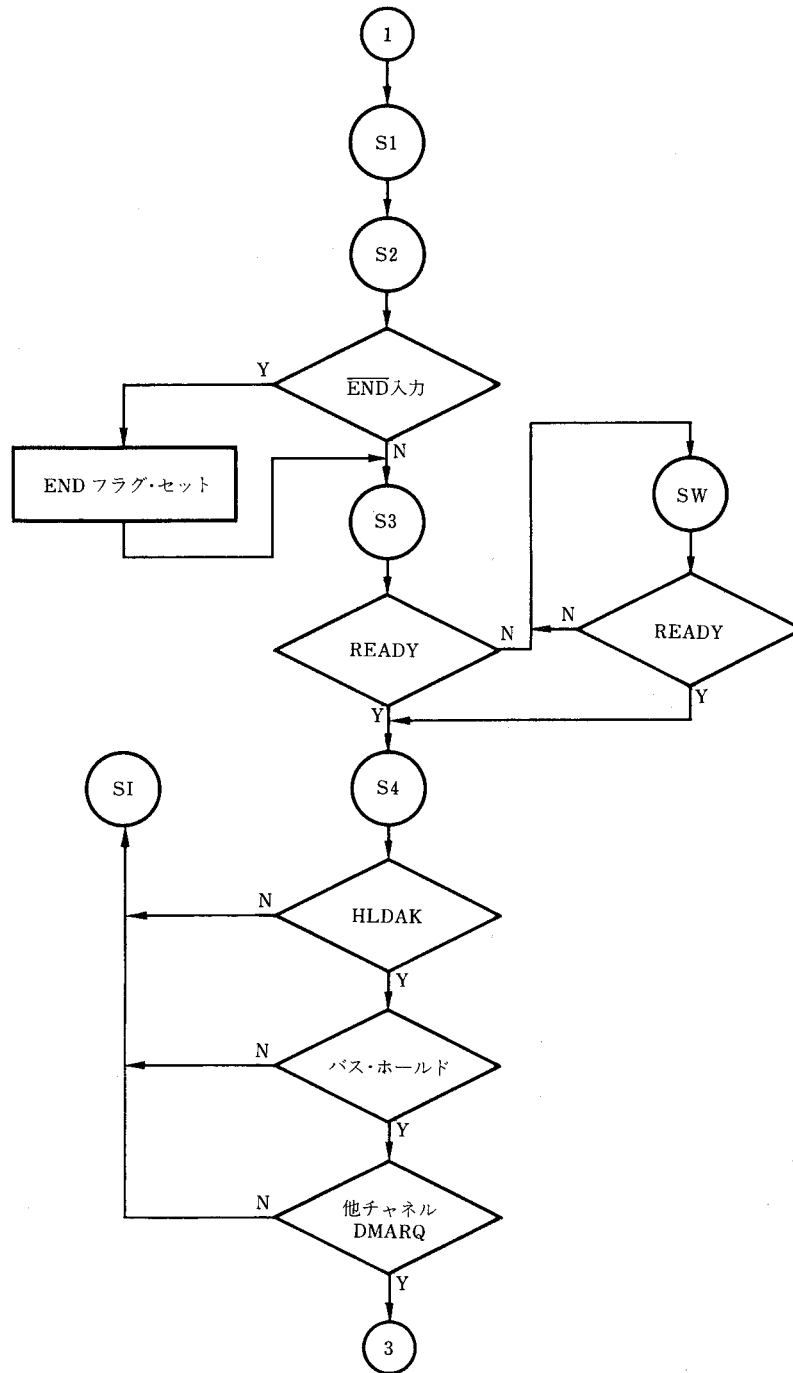
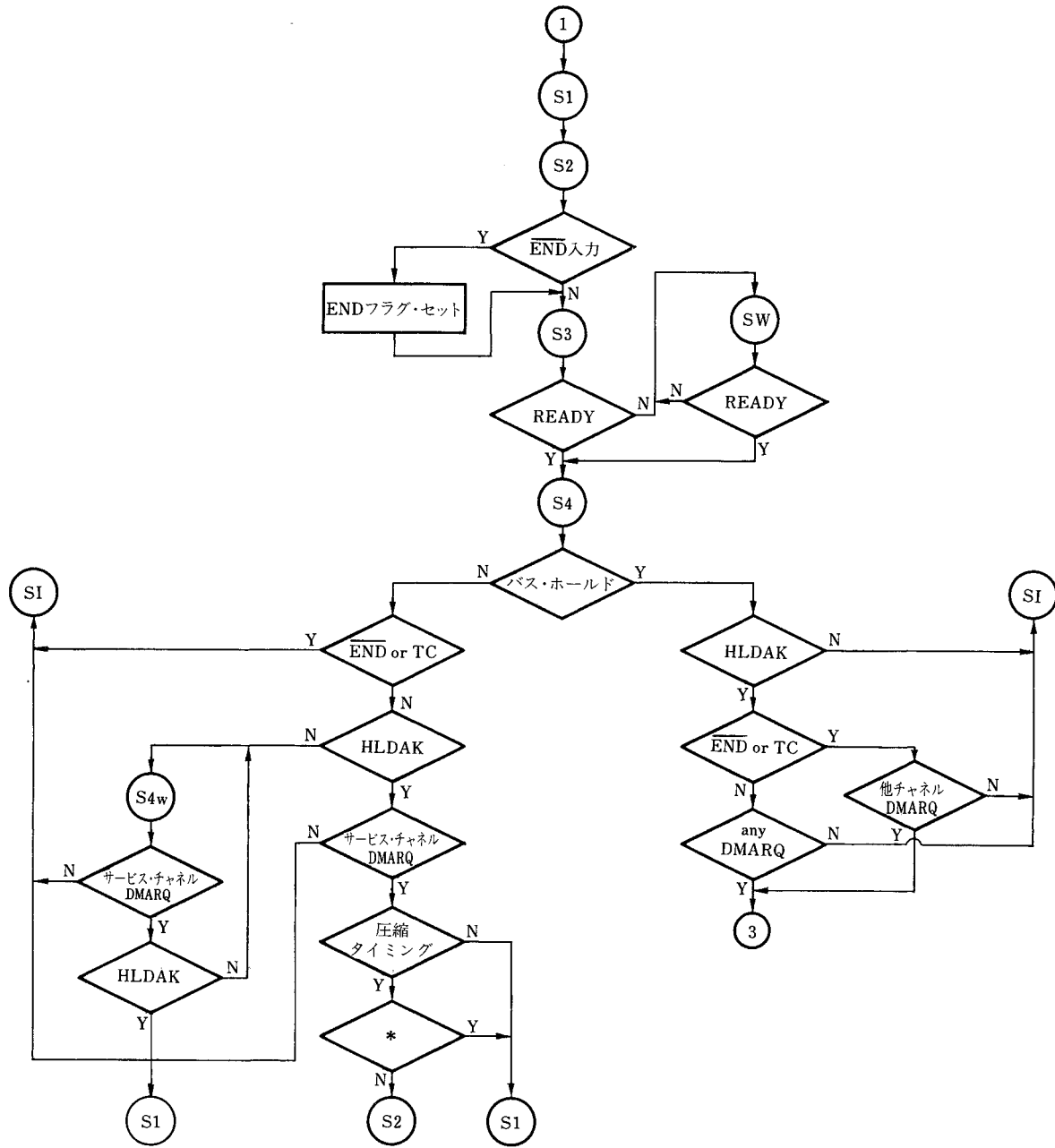


図6-4 DMAサイクル・ディマンド・モード



*: アドレスの上位2バイトへのキャリーまたはボロー

図6-5 DMAサイクル・ブロック・モード

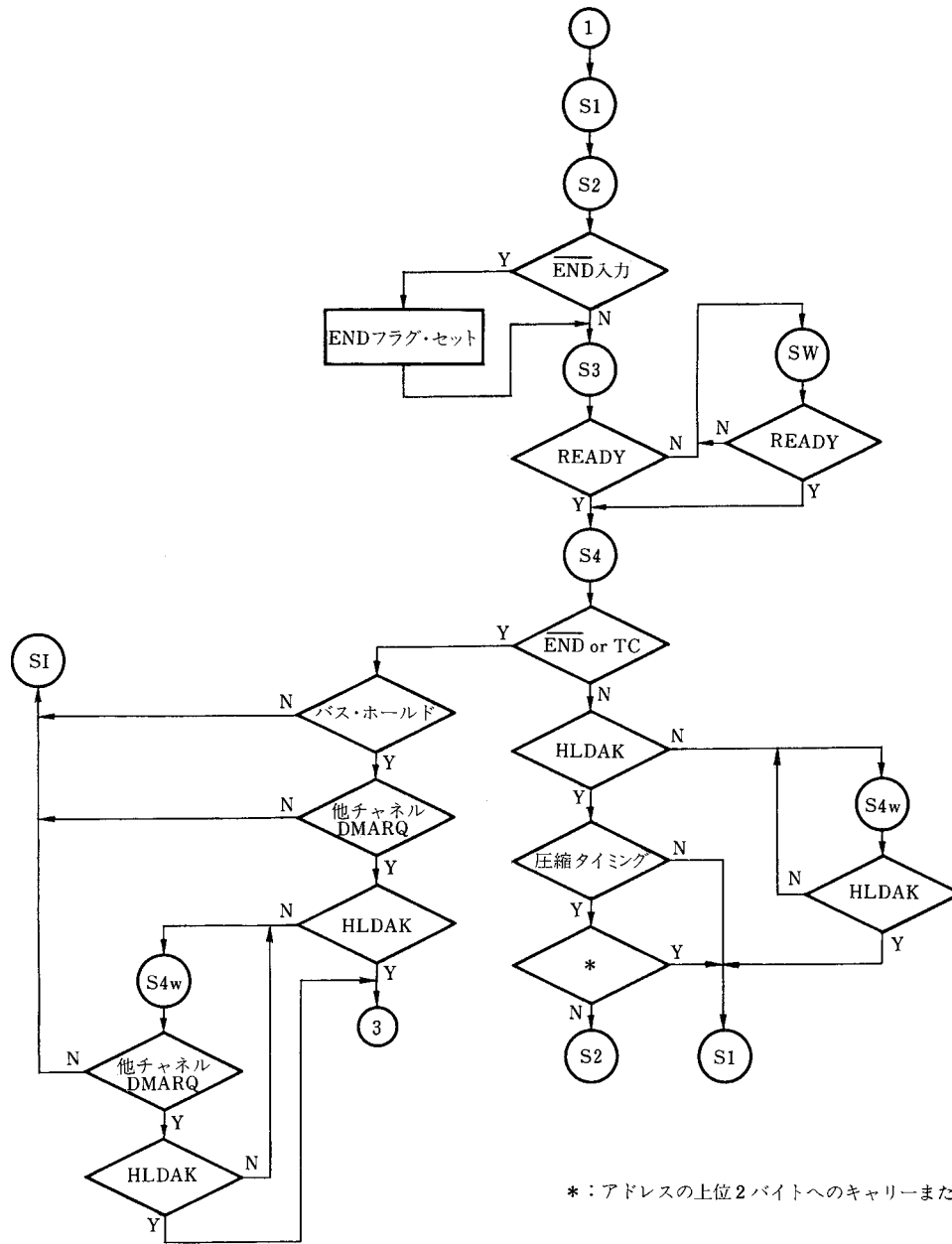
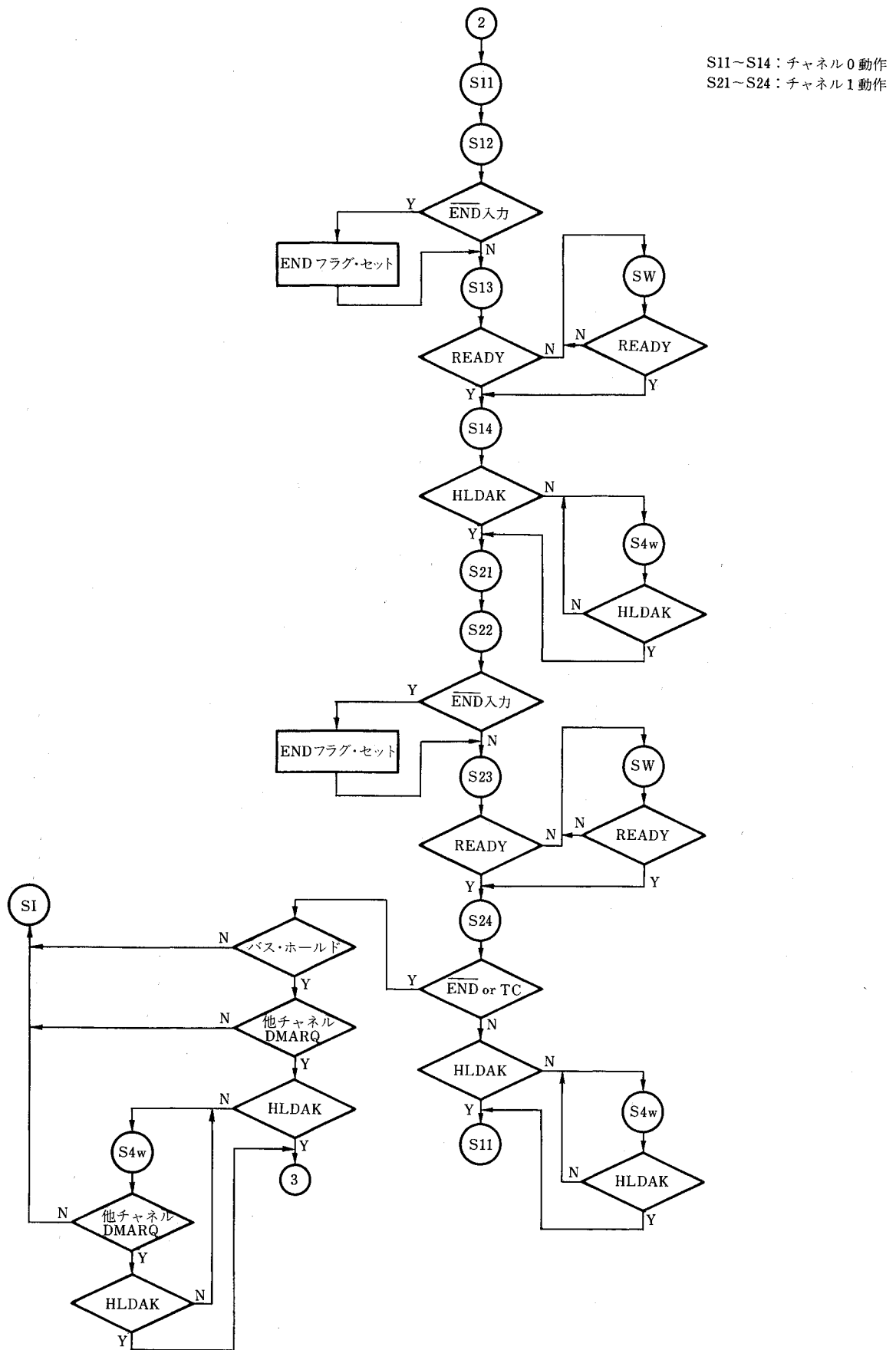
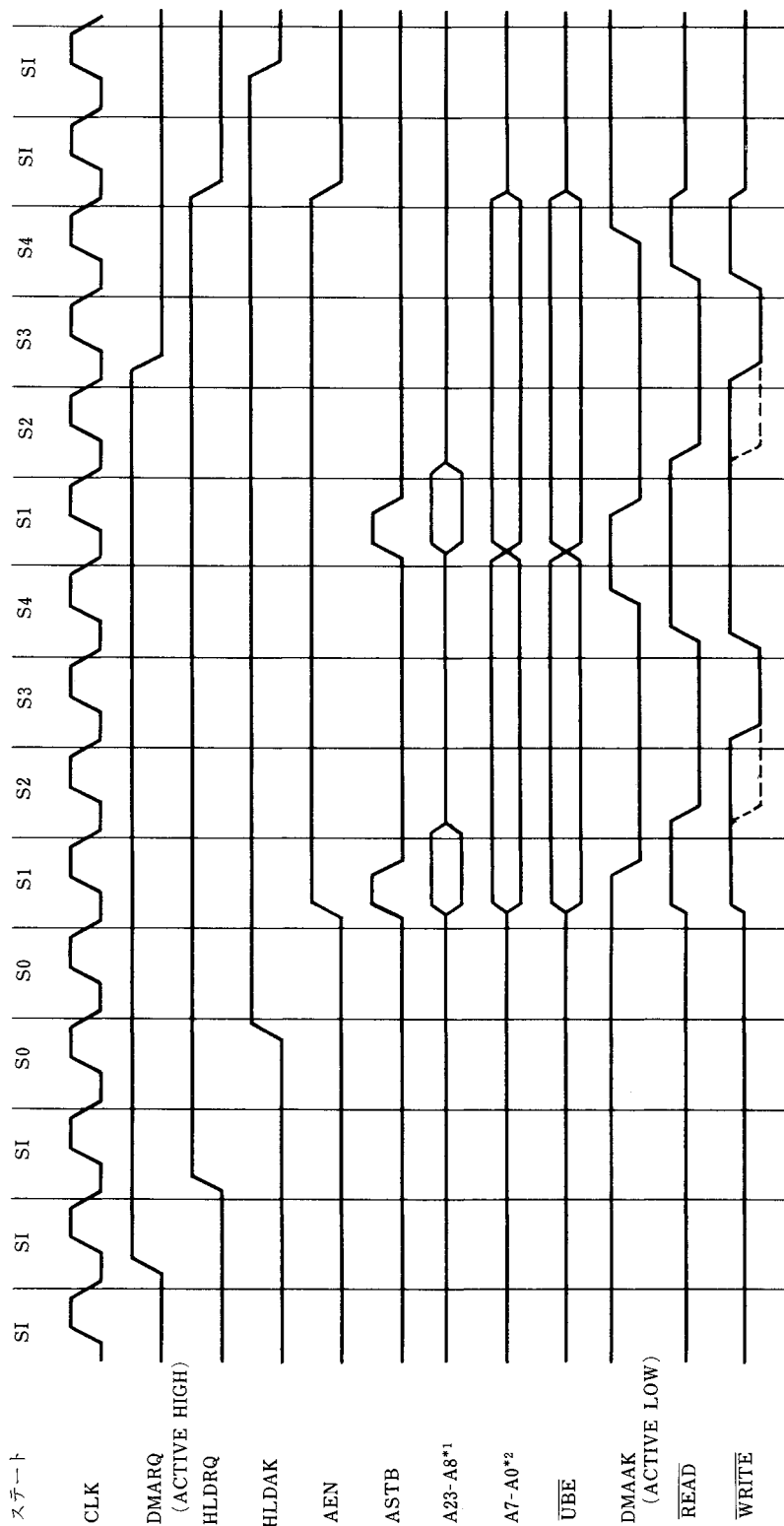


図6-6 DMAサイクル・メモリ-メモリ転送



7. DMA転送タイミング概要図

図7-1 メモリ-I/O転送 (通常タイミング)



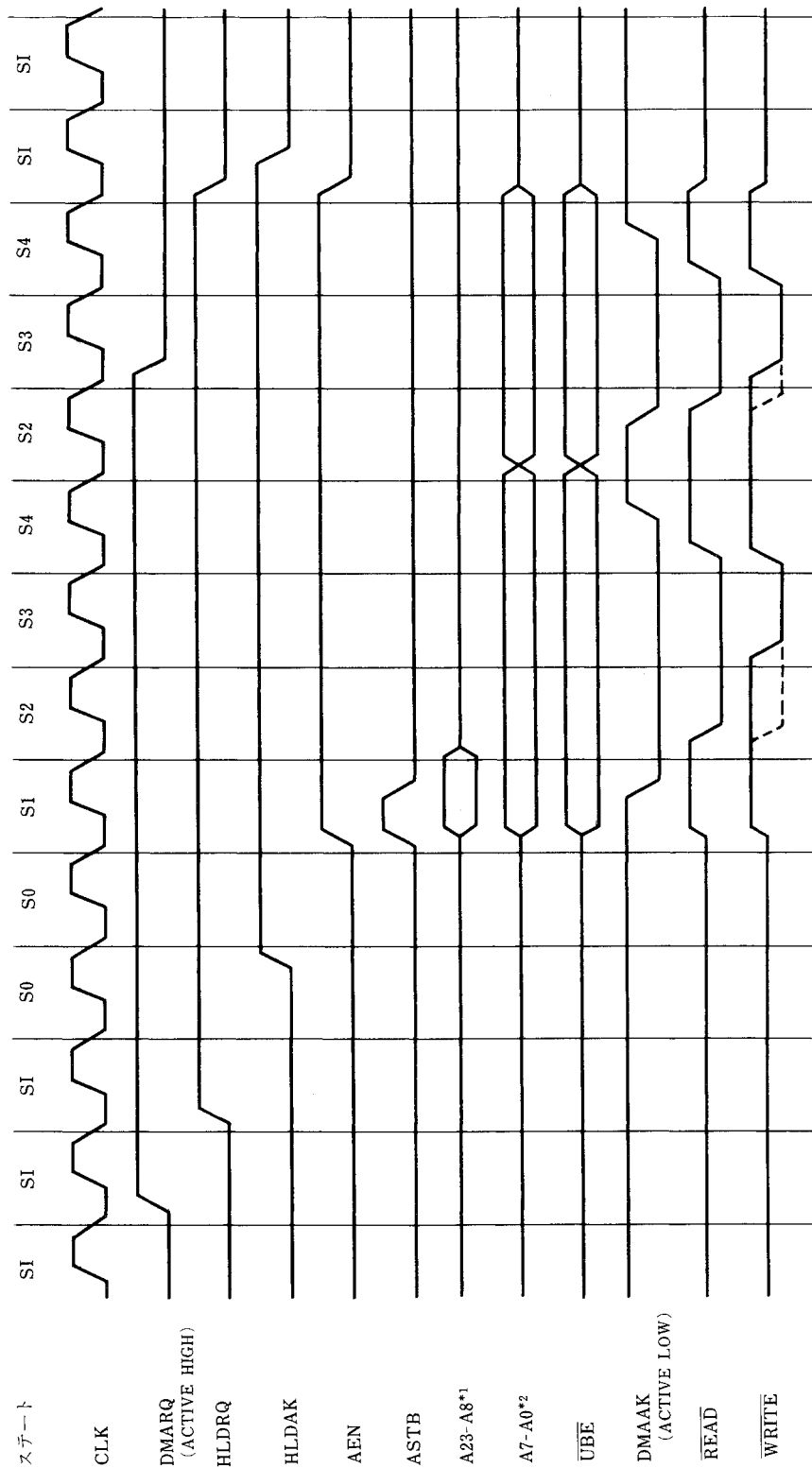
注意: 8ビット・データバスするとき*1, *2は次のようになります。

*1: A15-A8

*2: A23-A16, A7-A0

WRITE信号の破線は拡張ライト・タイミングの場合です。

図7-2 メモリ-I/O転送 (圧縮タイミング)



注意: 8ビット・データ・バスのとき*1, *2は次のようになります。

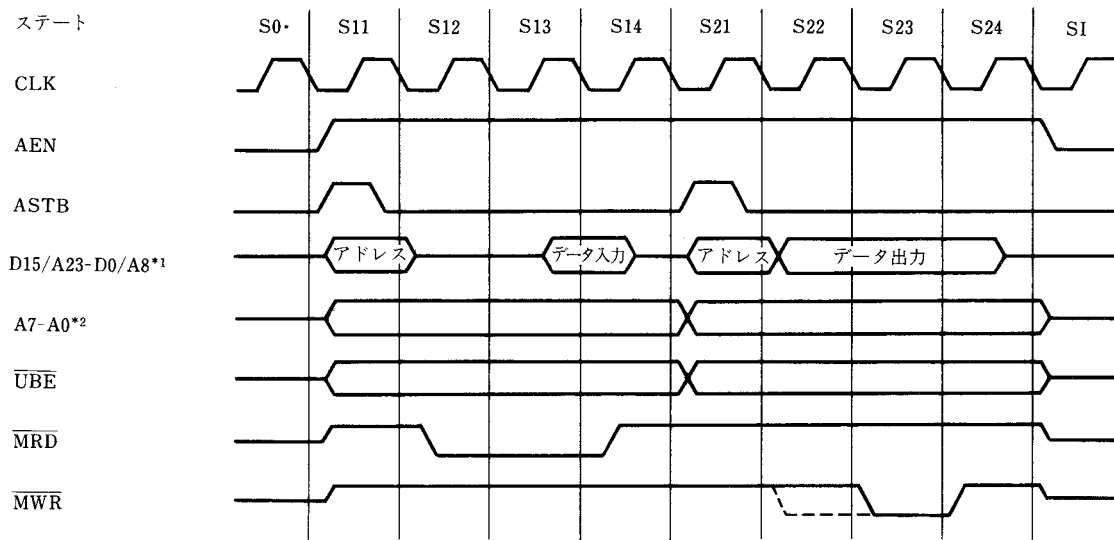
*1: A15-A8

*2: A23-A16, A7-A0

WRITE信号の破線は拡張ライト・タイミングの場合です。

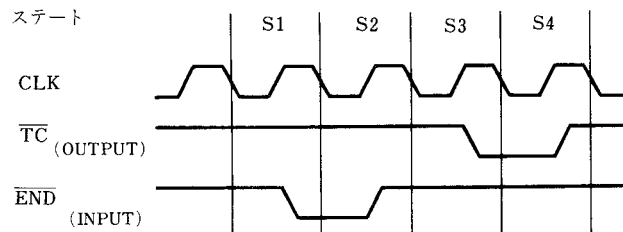
保守/廃止

図7-3 メモリ-メモリ転送



注意：8ビット・データ・バスのとき*1, *2は次のようになります。
 *1：D7/A15-D0/A8
 *2：A23-A16, A7-A0
 MWR信号の破線は拡張ライト・タイミングの場合です。

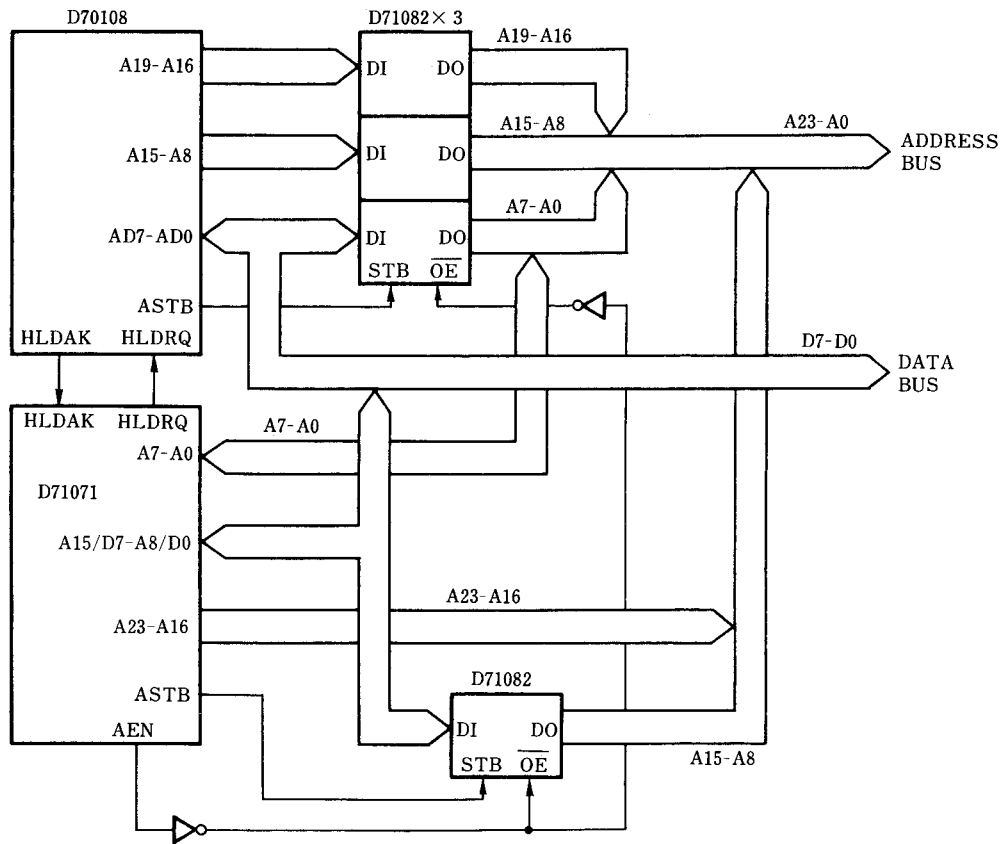
図7-4 END/TC タイミング



8. システム構成例

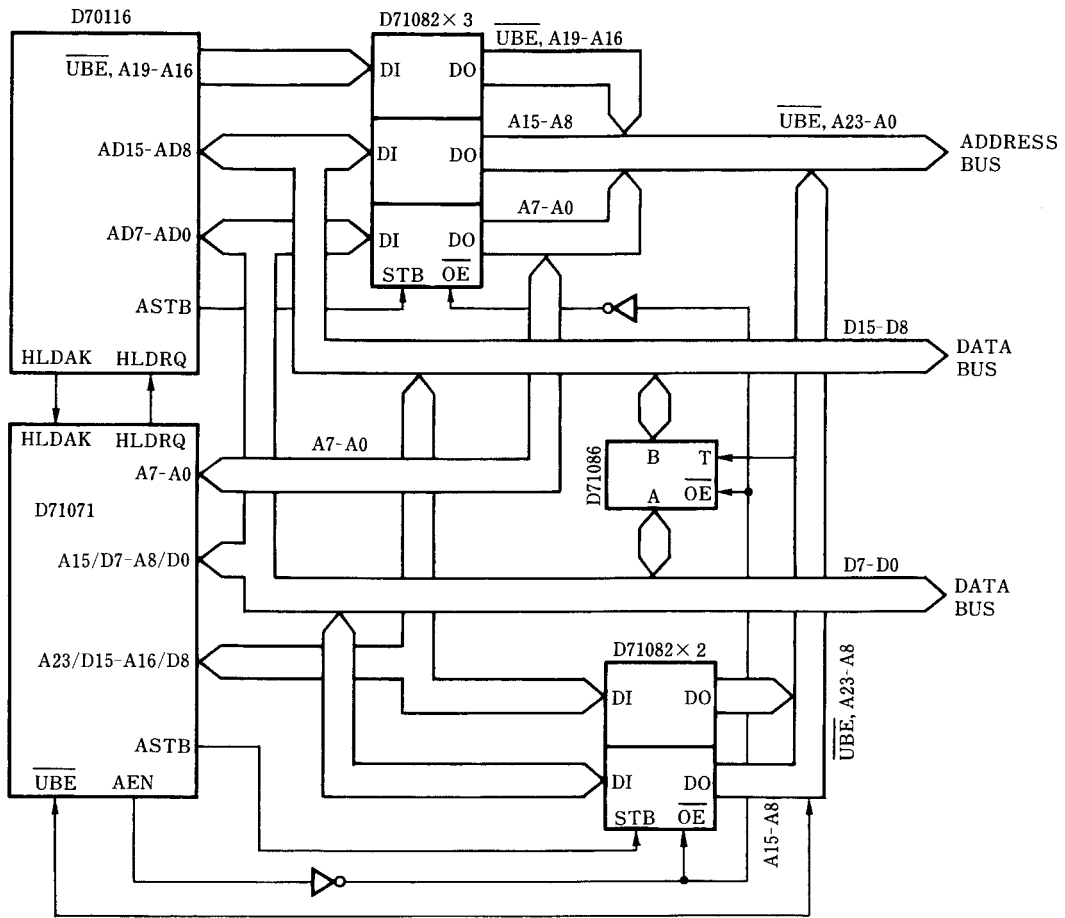
8ビットCPU μPD70108, 16ビットCPU μPD70116とのシステム構成例を図8-1から図8-3に示します。

図 8 - 1 μPD70108との接続例



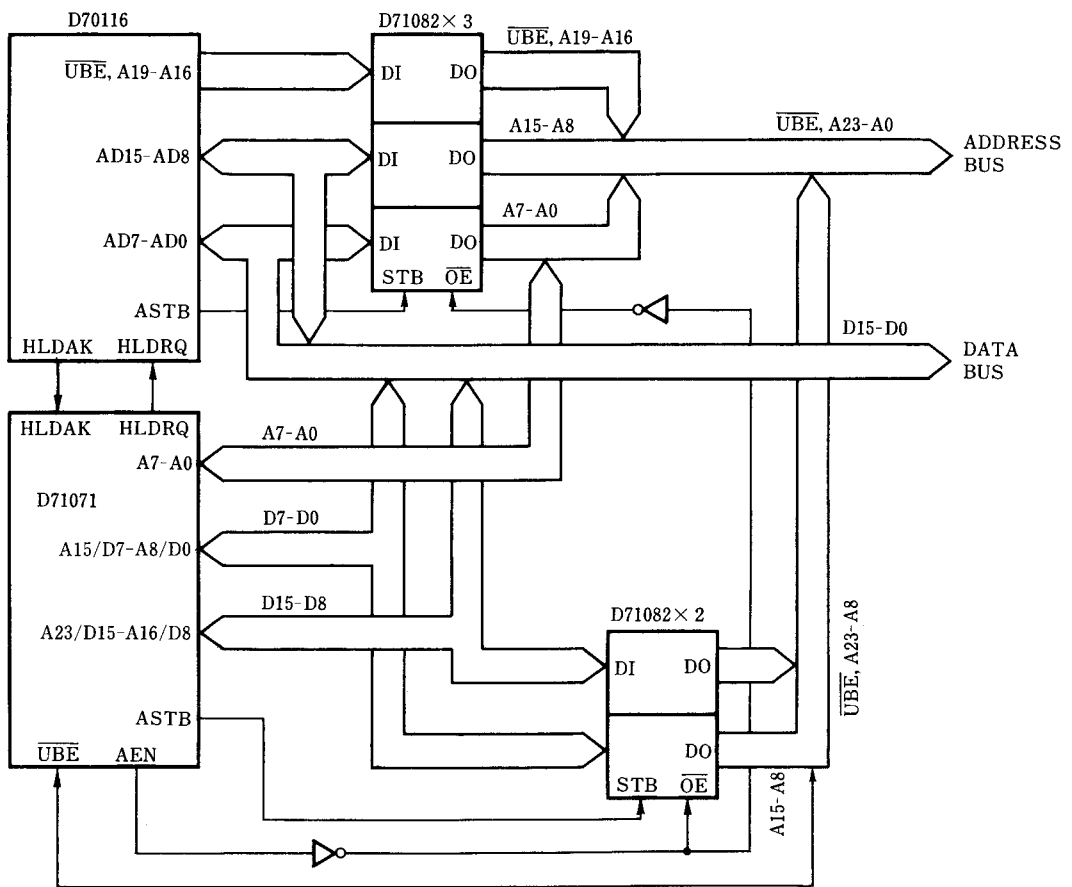
保守/廃止

図 8-2 μPD70116との接続例 (バイト転送)



保守/廃止

図 8-3 μPD70116との接続例 (ワード転送)





9. 電気的特性

絶対最大定格 (T_a=25 °C)

項 目	略 号	条 件	定 格	単 位
電 源 電 圧	V _{DD}		-0.5~+7.0	V
入 力 電 圧	V _I		-0.5~V _{DD} +0.3	V
出 力 電 圧	V _O		-0.5~V _{DD} +0.3	V
動 作 温 度	T _{opt}		-40~+85	°C
保 存 温 度	T _{stg}		-65~+150	°C

DC特性 (T_a=-40~+85°C, V_{DD}=5V±10%)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
高 レ ベ ル 入 力 電 圧	V _{IH}	CLK端子	+3.3		V _{DD} +0.3	V
		その他	+2.2		V _{DD} +0.3	V
低 レ ベ ル 入 力 電 圧	V _{IL}		-0.5		+0.8	V
高 レ ベ ル 出 力 電 圧	V _{OH}	I _{OH} =-400μA	0.7V _{DD}			V
低 レ ベ ル 出 力 電 圧	V _{OL}	I _{OL} =2.5mA(TCのみI _{OL} =4.5mA)			+0.4	V
入 力 リ ー ク 電 流	I _{LI}	0V≤V _I ≤V _{DD}			±10	μA
出 力 リ ー ク 電 流	I _{LO}	0V≤V _O ≤V _{DD}			±10	μA
電 源 電 流	I _{DD1}	動作時		15	30	mA
	I _{DD2}	CLK停止時 入力:0.1V, V _{DD} -0.1V 出力:OPEN		10		μA

容量 (T_a=25°C)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
出 力 容 量	C _O	f _c =1MHz 被測定端子以外は0V		4	8	pF
入 力 容 量	C _I			8	15	pF
入 出 力 容 量	C _{IO}			10	18	pF



AC特性 (T_a = -40 ~ +85 °C, V_{DD} = 5 V ± 10 %)

DMAモード (1)

項目	略号	条件	μPD71071C/GC/L		μPD71071D		単位
			MIN.	MAX.	MIN.	MAX.	
クロック周期	t _{CYK}		100		125		ns
クロック・ハイ・レベル幅	t _{KKH}		39		44		ns
クロック・ロウ・レベル幅	t _{KKL}		49		55		ns
クロック立ち上がり時間	t _{KR}	1.5 V → 3.0 V		10		10	ns
クロック立ち下がり時間	t _{KF}	3.0 V → 1.5 V		10		10	ns
入力立ち上がり時間	t _{IR}			20		20	ns
入力立ち下がり時間	t _{IF}			12		12	ns
出力立ち上がり時間	t _{OR}			20		20	ns
出力立ち下がり時間	t _{OF}			12		12	ns
DMARQ 設定時間(対CLK↑)	t _{SDQ}	SI, S0, S3, SW, S4 _w	20		35		ns
HLDRQ↑遅延時間(対CLK↓)	t _{DHQH}	SI, S4 _w	5	70	5	100	ns
HLDRQ↓遅延時間(対CLK↓)	t _{DHQL}	SI, S0, S4 _w	5	70	5	100	ns
HLDRQロウ・レベル幅	t _{HQHQL}	S4 _w	2t _{CYK} - 50		2t _{CYK} - 50		ns
HLDARQ 設定時間(対CLK↓)	t _{SHA}	S0, S4, S4 _w	20		35		ns
AEN↑遅延時間(対CLK↓)	t _{DAEH}	S1, S2	5	70	5	90	ns
AEN↓遅延時間(対CLK↓)	t _{DAEL}	SI, S4 _w	5	70	5	90	ns
ASTB↑遅延時間(対CLK↓)	t _{DSTH}	S1	5	70	5	70	ns
ASTB↓遅延時間(対CLK↑)	t _{DSTL}	S1	5	70	5	70	ns
ASTBハイ・レベル幅	t _{STSTH}		t _{KKL} - 15		t _{KKL} - 15		ns
ADR/ <u>UBE</u> / <u>RD</u> / <u>WR</u> 遅延時間(対CLK↓)	t _{DA}	S1, S2	5	80	5	100	ns
ADR/ <u>UBE</u> / <u>RD</u> / <u>WR</u> フロート時間(対CLK↓)	t _{FA}	SI, S4 _w	0	70	0	70	ns
ADR 設定時間(対ASTB↓)	t _{SAST}		t _{KKL} - 40		t _{KKL} - 50		ns
ADRホールド時間(対ASTB↓)	t _{HSTA}		t _{KKH} - 20		t _{KKH} - 20		ns
ADR/ <u>UBE</u> オフ遅延時間(対CLK↓)	t _{DAF}	S1, S2	0	70	0	70	ns
<u>RD</u> ↓遅延時間(対ADRフロート)	t _{DAR}		-10		-10		ns
入力データ遅延時間(対 <u>MRD</u> ↓)	t _{DMRID}	S12		$\frac{(2+n)t_{CYK}}{80}$		$\frac{(2+n)t_{CYK}}{100}$	ns
入力データ・ホールド時間(対 <u>MRD</u> ↑)	t _{HMRID}	S14	0		0		ns
出力データ遅延時間(対CLK↓)	t _{DOD}	S22	10	80	10	100	ns
出力データ・ホールド時間(対CLK↑)	t _{HOD}	S24	10		10		ns
出力データ・ホールド時間(対 <u>MWR</u> ↑)	t _{HMWOD}		t _{KKL} - 35		t _{KKL} - 50		ns

備考 nはバス・サイクルに挿入されるウエイトのクロック数を示します。



AC特性 (続き)

DMAモード (2)

項 目	略 号	条 件	μPD71071C/GC/L		μPD71071D		単 位
			MIN.	MAX.	MIN.	MAX.	
\overline{RD} ↓ 遅延時間(対CLK↓)	t _{DKLR}	S2(通常タイミング)	5	50	5	70	ns
\overline{RD} ↓ 遅延時間(対CLK↑)	t _{DKHR}	S2(圧縮タイミング)	5	50	5	70	ns
\overline{RD} ロウ・レベル幅	t _{RRL1}	(通常タイミング)	$(2+n)t_{CYK}-30$		$(2+n)t_{CYK}-50$		ns
	t _{RRL2}	(圧縮タイミング)	$(1+n)t_{CYK}+t_{KKH}-30$		$(1+n)t_{CYK}+t_{KKH}-50$		ns
\overline{RD} ↑ 遅延時間(対CLK↓)	t _{DRH}	S4	10	70	15	100	ns
ADR 遅延時間(対 \overline{RD} ↑)	t _{DRA}		t _{CYK} -30		t _{CYK} -40		ns
\overline{WR} ↓ 遅延時間(対CLK↓)	t _{DWL1}	S3(通常ライト)	5	50	10	70	ns
\overline{WR} ↓ 遅延時間(対CLK↓)	t _{DWL2}	S2(拡張ライト, 通常タイミング)	5	50	10	70	ns
\overline{WR} ↓ 遅延時間(対CLK↑)	t _{DWL3}	S2(拡張ライト, 圧縮タイミング)	5	50	10	70	ns
\overline{WR} ロウ・レベル幅	t _{WWL1}	通常ライト	$(1+n)t_{CYK}-30$		$(1+n)t_{CYK}-50$		ns
	t _{WWL2}	拡張ライト, 通常タイミング	$(2+n)t_{CYK}-30$		$(2+n)t_{CYK}-50$		ns
	t _{WWL3}	拡張ライト, 圧縮タイミング	$(1+n)t_{CYK}+t_{KKH}-30$		$(1+n)t_{CYK}+t_{KKH}-50$		ns
\overline{WR} ↑ 遅延時間(対CLK↓)	t _{DWH}	S4	5	50	10	80	ns
$\overline{RD}, \overline{WR}$ 遅延時間(対DMAAKアクティブ)	t _{DDARW}	S1, S2	0		0		ns
\overline{RD} ↑ 遅延時間(対 \overline{WR} ↑)	t _{DWHRH}		5		5		ns
DMAAK 遅延時間(対CLK↑)	t _{DKHDA}	S1	5	70	10	70	ns
DMAAK 遅延時間(対CLK↓)	t _{DKLDA}	S1(カスケード・モード)	10	90	10	115	ns
DMAAKインアクティブ遅延時間(対CLK↑)	t _{DDAI1}	S4	5	70	10	70	ns
DMAAKインアクティブ遅延時間(対HLDAK↓)	t _{DDAI2}	S4, カスケード・モード HLDAKがS4で落ちた場合	5	t _{KKL} +70	5	t _{KKL} +80	ns
	t _{DDAI3}	S4, カスケード・モード HLDAKがS4の前で落ちた場合	t _{KKL} +70	4t _{CYK} +70	t _{KKL} +80	4t _{CYK} +80	ns
DMAAK アクティブ時間	t _{DADA}	カスケード・モード	2t _{CYK}		2t _{CYK}		ns
\overline{TC} ↓ 遅延時間(対CLK↑)	t _{DTCL}	S3	5	70	5	100	ns
\overline{TC} オフ遅延時間(対CLK↑)	t _{DTCF}	S4		30		40	ns
\overline{TC} プルアップ遅延時間(対CLK↑)	t _{DTCH}	0V→2.2V 注1		t _{KKH} +t _{CYK} -10		t _{KKH} +t _{CYK} -10	ns
\overline{TC} ロウ・レベル幅	t _{TCTCL}		$(1+n)t_{CYK}-15$		$(1+n)t_{CYK}-15$		ns
DMAAKホールド時間(対 \overline{TC} ↓)	t _{HTCDA}		$(1+n)t_{CYK}-15$		$(1+n)t_{CYK}-15$		ns
\overline{END} ↓ 設定時間(対CLK↑)	t _{SED}	S2	20		35		ns
\overline{END} ロウ・レベル幅	t _{EEDL}		50		100		ns
READY 設定時間(対CLK↑)	t _{SRY}	S3, SW	20		35		ns
READYホールド時間(対CLK↑)	t _{HRY}	S3, SW	10		20		ns

備考 nはバス・サイクルに挿入されるウェイトのクロック数を示します。



ペリフェラル・モード

項 目	略 号	条 件	μPD71071C/GC/L		μPD71071D		単 位
			MIN.	MAX.	MIN.	MAX.	
$\overline{\text{IOWR}}$ ロウ・レベル幅	t _{IWIWL}		80		100		ns
$\overline{\text{CS}}$ ↓ 設定時間(対 $\overline{\text{IOWR}}$ ↑)	t _{SCSIW}		80		100		ns
$\overline{\text{CS}}$ ホールド時間(対 $\overline{\text{IOWR}}$ ↑)	t _{HIWCS}		0		0		ns
ADR/ $\overline{\text{UBE}}$ 設定時間(対 $\overline{\text{IOWR}}$ ↑)	t _{SAIW}		80		100		ns
ADR/ $\overline{\text{UBE}}$ ホールド時間(対 $\overline{\text{IOWR}}$ ↑)	t _{HIWA}		0		0		ns
入力データ設定時間(対 $\overline{\text{IOWR}}$ ↑)	t _{SIDIW}		80		100		ns
入力データ・ホールド時間(対 $\overline{\text{IOWR}}$ ↑)	t _{HIWID}		0		0		ns
$\overline{\text{IORD}}$ ロウ・レベル幅	t _{IRIRL}		120		150		ns
ADR/ $\overline{\text{CS}}$ 設定時間(対 $\overline{\text{IORD}}$ ↓)	t _{SAIR}		20		35		ns
ADR/ $\overline{\text{CS}}$ ホールド時間(対 $\overline{\text{IORD}}$ ↑)	t _{HIRA}		0		0		ns
出力データ遅延時間(対 $\overline{\text{IORD}}$ ↓)	t _{DIROD}		10	100		120	ns
出力データ・フロート時間(対 $\overline{\text{IORD}}$ ↑)	t _{FIROD}			80		100	ns
RESET ハイ・レベル幅	t _{RESET}		2t _{CYK}		2t _{CYK}		ns
V _{DD} 設定時間(対RESET↓)	t _{SVDD}		500		500		ns
$\overline{\text{IOWR}}$ / $\overline{\text{IORD}}$ 待機時間(対RESET↓)	t _{SYIWR}	リセット後最初のリード/ライト	2t _{CYK}		2t _{CYK}		ns
$\overline{\text{IOWR}}$ / $\overline{\text{IORD}}$ 回復時間	t _{RVIWR}		160		200		ns
$\overline{\text{IOWR}}$ / $\overline{\text{CS}}$ -HLDAK 回復時間	t _{RCV}	注 2	145		145		ns

注 1. $\overline{\text{END}}$ / $\overline{\text{TC}}$ 端子の負荷容量は、μPD71071C/GC/L の場合 60 pF (MAX.)、μPD71071D の場合 75 pF (MAX.) です。

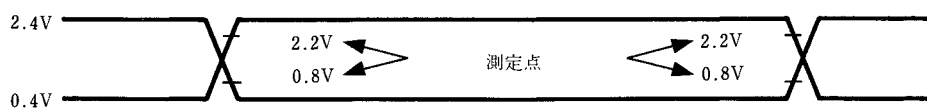
プルアップ抵抗は、2.2 kΩ 以上のものを使用してください。なお、μPD71071C/GC/L の場合、負荷容量=60 pF とし、μPD71071D の場合、負荷容量=75 pF とし、プルアップ抵抗=2.2 kΩ とすることで規格の t_{DTCH} を満足します。

2. $\overline{\text{IOWR}}$ 入力の立ち上がりから、HLDAK を CLK の立ち下がりでサンプリングしたあと、次に CLK が立ち上がるまでの時間です。

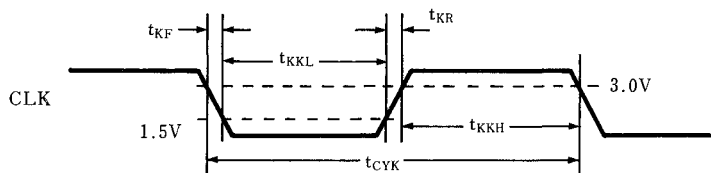
備考 $\overline{\text{END}}$ / $\overline{\text{TC}}$ 端子以外の出力負荷容量は、100 pF (MAX.) です。

保守/廃止

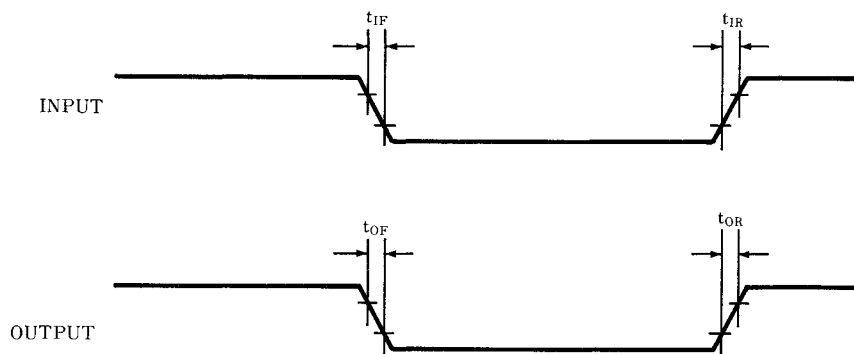
ACテスト入/出力波形



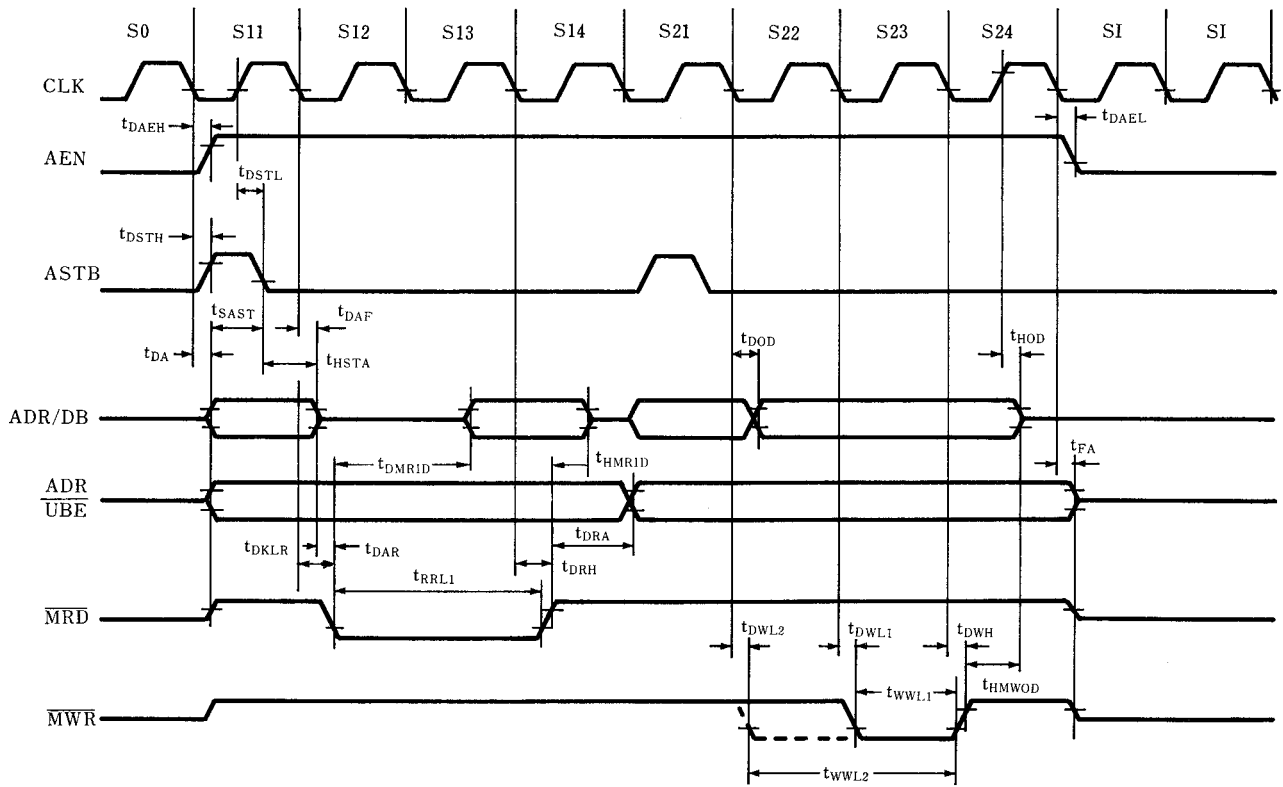
クロック・タイミング



入出力立ち上がり/立ち下がりタイミング

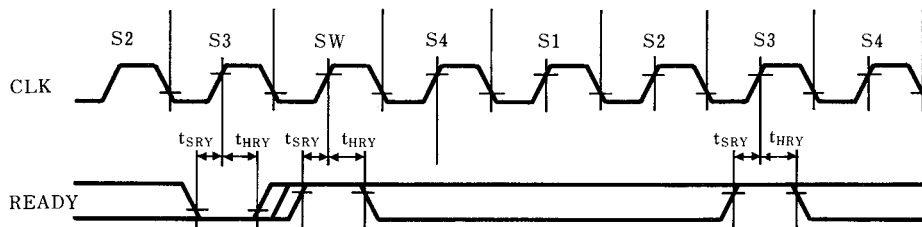


メモリ-メモリ転送タイミング

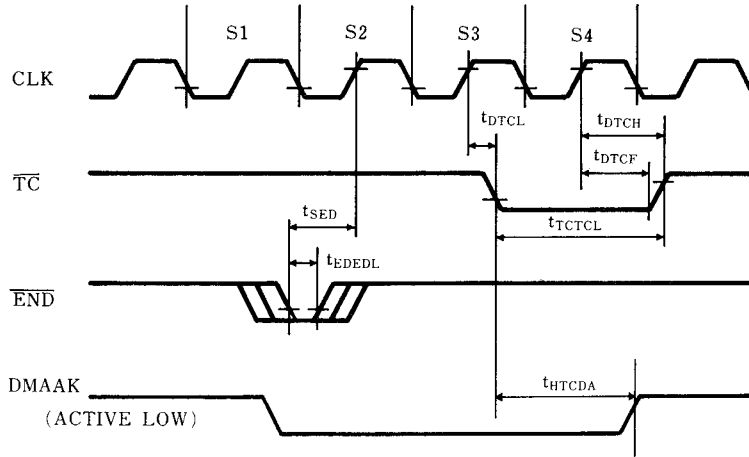


注意：WRITE信号の破線は拡張ライト・タイミングの場合です。

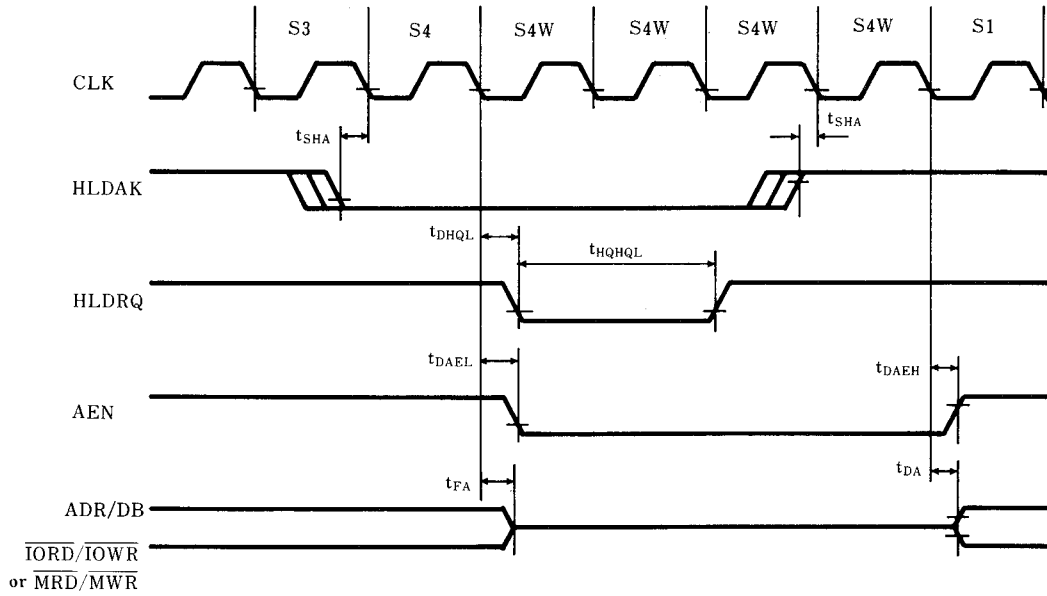
READY タイミング



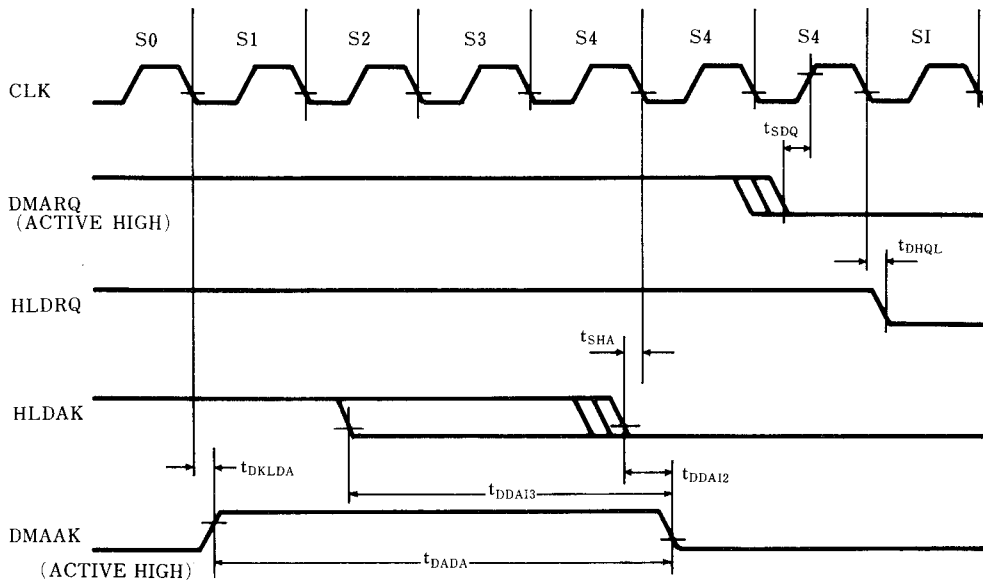
END/TC タイミング



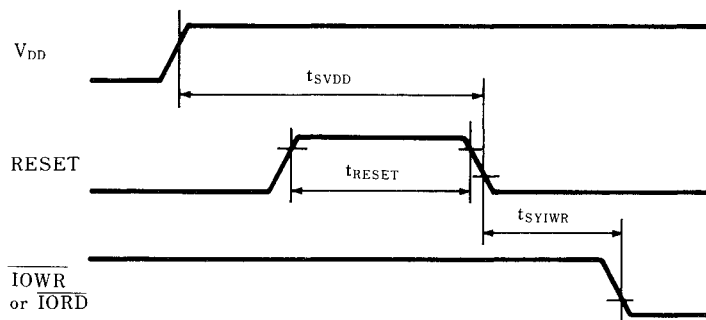
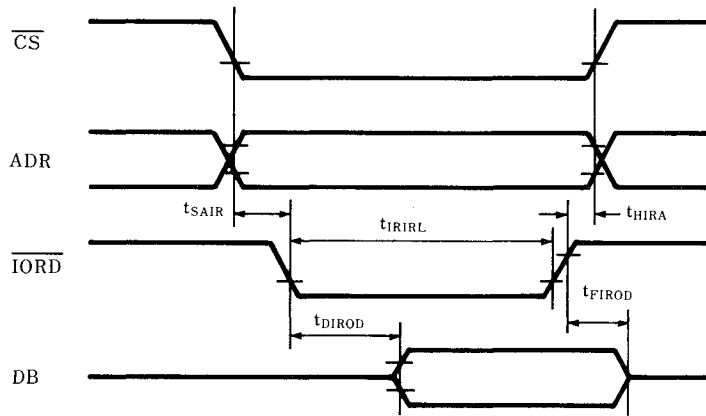
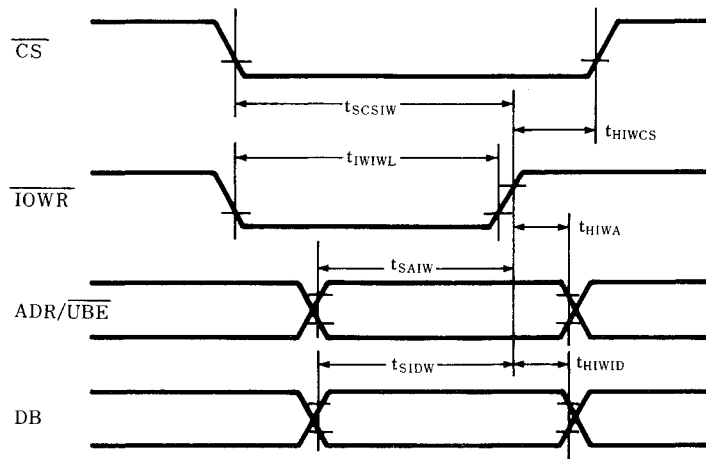
バス待ちタイミング



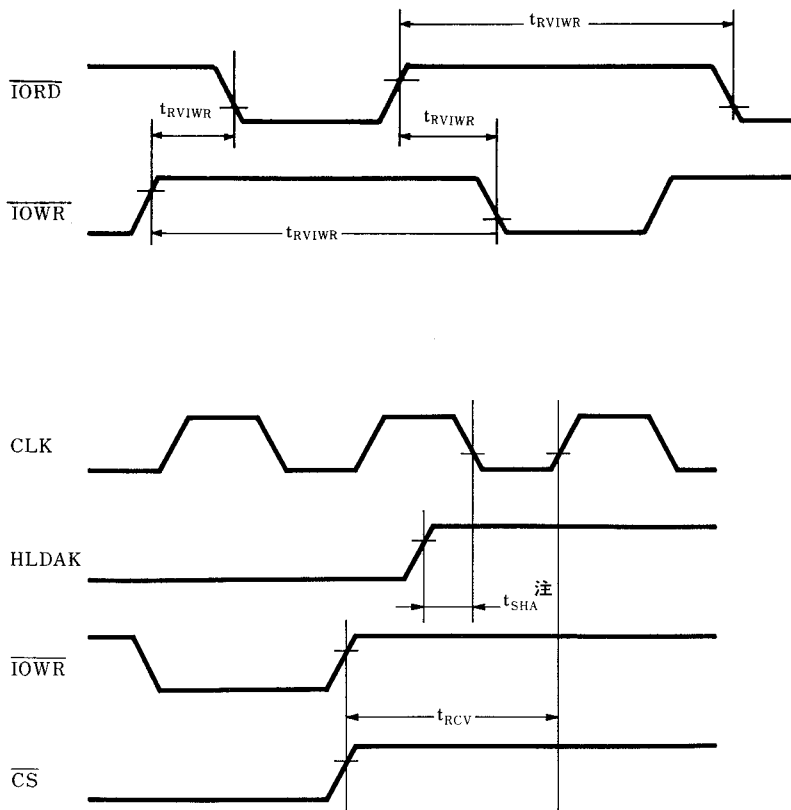
カスケード・タイミング



ペリフェラル・モード・タイミング



ペリフェラル・モード・タイミング (続き)

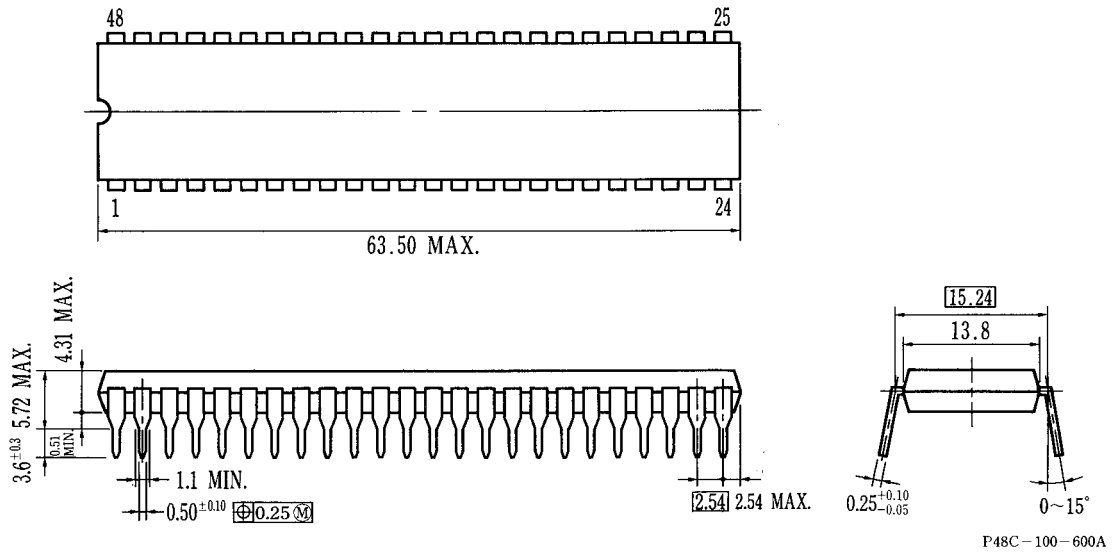


注 $\overline{\text{IOWR}}/\overline{\text{CS}}$ 入力の立ち上がりから、 HLD を CLK の立ち下がり で サンプ リング し た 後、次 に CLK が 立 ち 上 が る ま での 時 間 で す。

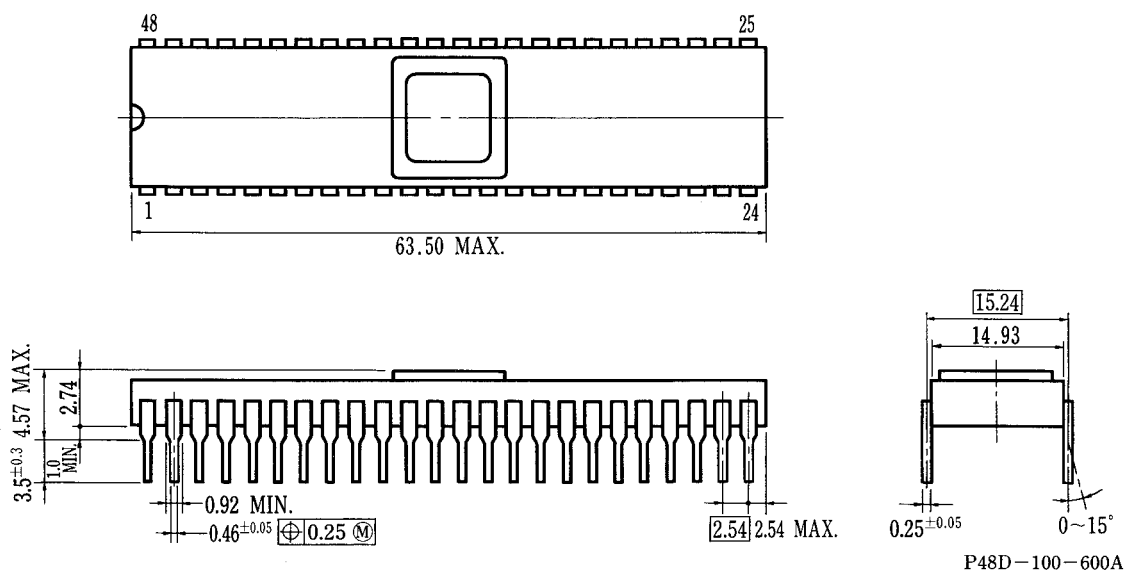
$\overline{\text{IOWR}}$, $\overline{\text{CS}}$ の うち、先 に 立 ち 上 が っ た 方 に 対 し て 規 定 さ れ ま す。

10. 外形図

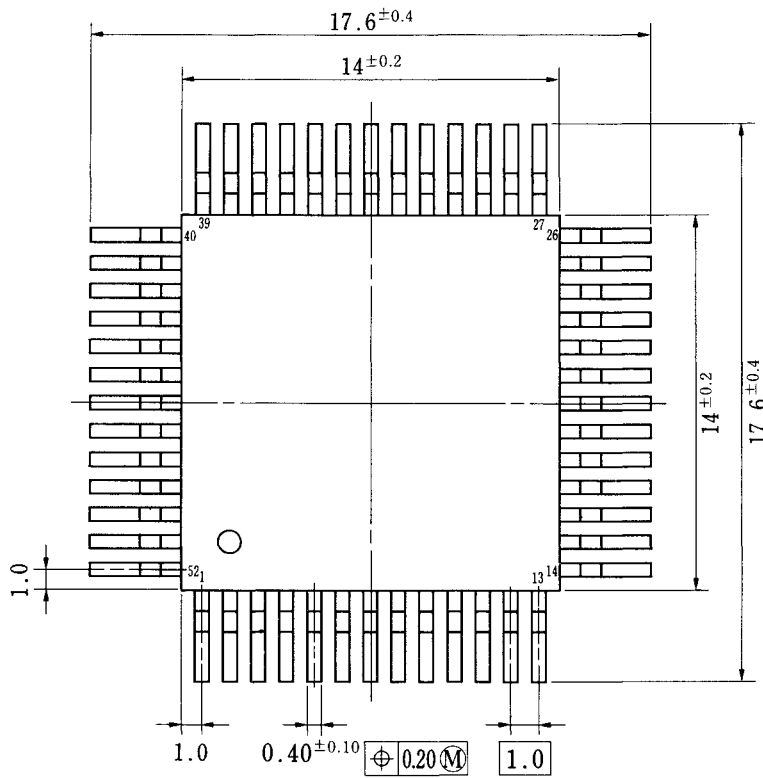
48ピン・プラスチック DIP (600 mil) 外形図(単位: mm)



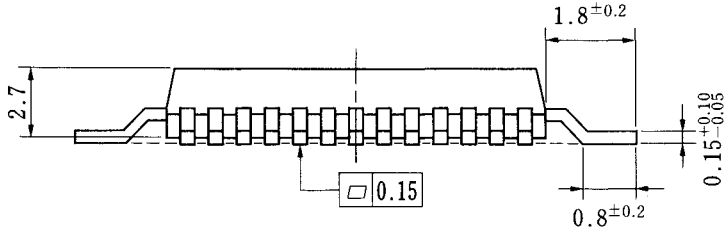
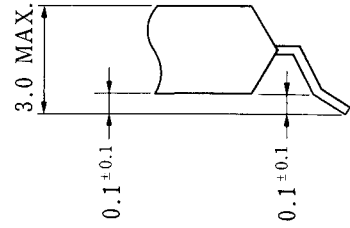
48ピン・セラミック DIP (600 mil) 外形図(単位: mm)



52ピン・プラスチック QFP 外形図(単位: mm)

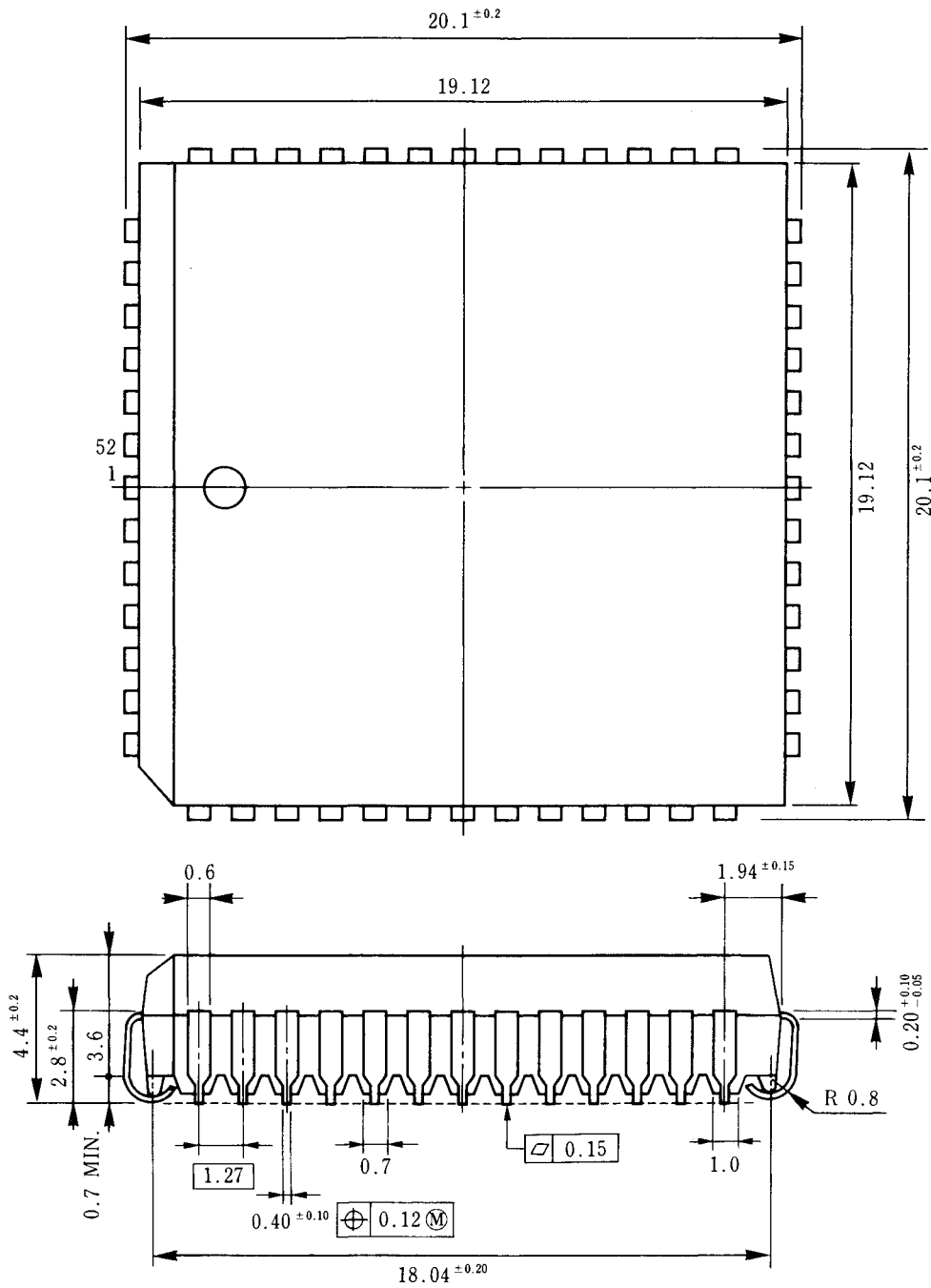


端子先端形状詳細図



P52GC-100-3B6

52ピン PLCC 外形図 (単位: mm)



P52L-50A

★ 11. 実装条件

本製品の半田付け実装は、下表の推奨条件で実施願います。

なお、推奨条件以外の半田付け方式および半田付け条件については、販売員にご相談ください。

表面実装タイプ

半田付け推奨条件の詳細は、インフォメーション資料「半導体デバイス実装マニュアル」(C10535J)をご参照ください。

μPD71071GC-3B6：52ピン・プラスチックQFP

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃，時間：30秒以内 (210℃以上)，回数：3回以内	IR35-00-3
VPS	パッケージ・ピーク温度：215℃，時間：40秒以内 (200℃以上)，回数：3回以内	VP15-00-3
ウェーブ・ソルダリング	半田槽温度：260℃以下，時間：10秒以内，回数：1回， 予備加熱温度：120℃ MAX. (パッケージ表面温度)	WS60-00-1
端子部分加熱	端子温度：300℃以下，時間：3秒以内 (デバイスの一辺当たり)	—

注意 半田付け方式の併用はお避けください (ただし、端子部分加熱方式は除く)。

μPD71071L：52ピンPLCC

半田付け方式	半田付け条件	推奨条件記号
VPS	パッケージ・ピーク温度：215℃，時間：40秒以内 (200℃以上)，回数：1回， 制限日数：7日間 ^注 (以降は125℃プリベーク 10時間必要) 〈留意事項〉 耐熱トレイ以外(マガジン，テーピング，非耐熱トレイ)は，包装状態でのベーク キングができません。	VP15-107-1
端子部分加熱	端子温度：300℃以下，時間：3秒以内 (デバイスの一辺当たり)	—

注 ドライパック開封後の保管日数で，保管条件は25℃，65%RH以下。

注意 半田付け方式の併用はお避けください (ただし、端子部分加熱方式は除く)。

挿入タイプ

μPD71071C : 48ピン・プラスチックDIP (600 mil)

μPD71071D : 48ピン・セラミックDIP (600 mil)

半田付け方式	半田付け条件
ウェーブ・ソルダリング (端子のみ)	半田槽温度：260℃以下，時間：10秒以内
端子部分加熱	端子温度：300℃以下，時間：3秒以内（1端子当たり）

注意 ウェーブ・ソルダリングは端子のみとし，噴流半田が直接本体に接触しないようにしてください。



関連資料 ユーザーズ・マニュアル IEP-711

参考資料 電気的特性の考え方 マイコン編 IEI-601

- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的所有権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
- 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。
 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
 特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災/防犯装置、各種安全装置、生命維持を直接の目的としない医療機器
 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
 当社製品のデータ・シート/データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。
- この製品は耐放射線設計をしておりません。

M4 94.11

V20™, V30™ は日本電気株式会社の商標です。

— お問い合わせは、最寄りのNECへ —

【営業関係お問い合わせ先】

半導体第一販売事業部 半導体第二販売事業部 半導体第三販売事業部	〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3454-1111 (大代表)
中部支社 半導体第一販売部 半導体第二販売部	〒460 名古屋市中区錦一丁目17番1号 (NEC中部ビル)	名古屋 (052)222-2170 名古屋 (052)222-2190
関西支社 半導体第一販売部 半導体第二販売部 半導体第三販売部	〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3178 大阪 (06) 945-3200 大阪 (06) 945-3208
北海道支社 東北支社 岩手支店 山形支店 郡山支店 いわき支店 長岡支店 土浦支店 水戸支店 神奈川支社 群馬支店	札幌 (011)231-0161 仙台 (022)267-8740 盛岡 (0196)51-4344 山形 (0236)23-5511 郡山 (0249)23-5511 いわき (0246)21-5511 長岡 (0258)36-2155 土浦 (0298)23-6161 水戸 (029)226-1717 神奈川 (045)324-5524 高崎 (0273)26-1255	太田支店 (0276)46-4011 宇都宮支店 (028)621-2281 小山支店 (0285)24-5011 長野支店 (0263)35-1662 甲府支店 (0552)24-4141 埼玉支店 (048)641-1411 立川支店 (0425)26-5981 千葉支店 (043)238-8116 静岡支店 (054)255-2211 北陸支店 (0762)23-1621 福井支店 (0776)22-1866
富山支店 三重支店 京都支社 神戸支社 中国支社 鳥取支店 岡山支店 四国支店 新居浜支店 松山支店 九州支社	富山 (0764)31-8461 津 (0592)25-7341 京都 (075)344-7824 神戸 (078)333-3854 広島 (082)242-5504 鳥取 (0857)27-5311 岡山 (086)225-4455 高松 (0878)36-1200 新居浜 (0897)32-5001 松山 (089)945-4149 福岡 (092)271-7700	

【本資料に関する技術お問い合わせ先】

半導体ソリューション技術本部 マイクロコンピュータ技術部	〒210 川崎市幸区塚越三丁目484番地	川崎 (044)548-8890	半導体 インフォメーションセンター FAX(044)548-7900 (FAXにてお願い致します)
半導体販売技術本部 東日本販売技術部	〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3798-9619	
半導体販売技術本部 中部販売技術部	〒460 名古屋市中区錦一丁目17番1号 (NEC中部ビル)	名古屋 (052)222-2125	
半導体販売技術本部 西日本販売技術部	〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3383	