

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

## インタラプト・コントロール・ユニット

$\mu$ PD71059は、マイクロコンピュータ・システムのためのプログラマブルな割込みコントロール・ユニット(ICU)です。優先順位が付けられた8本の割込み要求入力信号を処理して、その中から優先される一つの要求をCPUに伝えます。複数個の $\mu$ PD71059を用いる拡張モードでは最大64本の要求まで処理可能です。CMOS構造で作られていますので低消費電力となっています。

## 特 徴

- $\mu$ PD8085AH コンパチブル (CALL モード)
- $\mu$ PD70108 (別名称 V20<sup>TM</sup>)/70116 (別名称 V30<sup>TM</sup>) コンパチブル (ベクタ・モード)
- $\mu$ PD70108-10, 70116-10 にノー・ウエイトで接続可能： $\mu$ PD71059-10
- 8 割込み要求入力
- 64 割込み要求入力 (拡張モード)
- 割込み要求入力はエッジまたはレベル
- マスク・レジスタによる要求マスク
- プログラマブルな優先順位
- ポーリング動作可能
- 単一電源
- CMOS

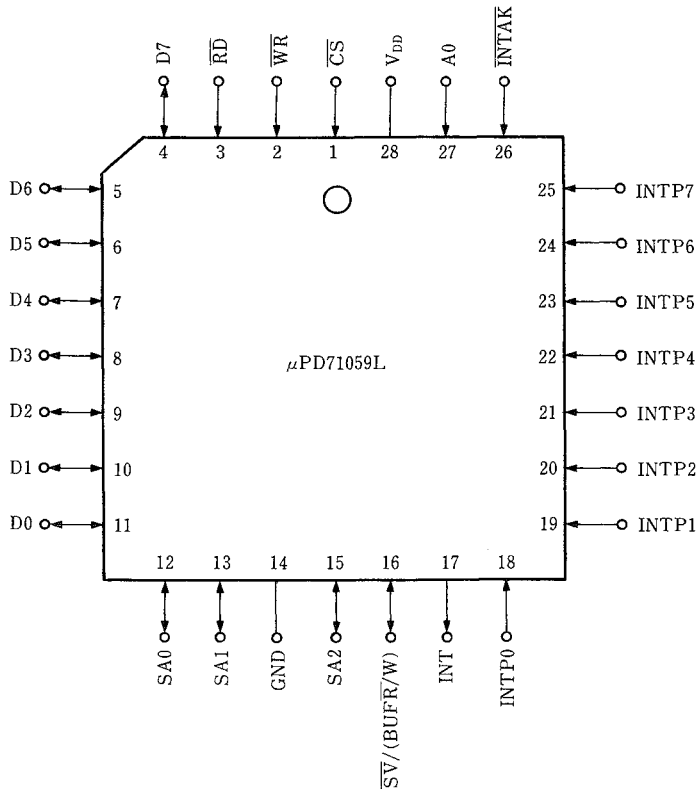
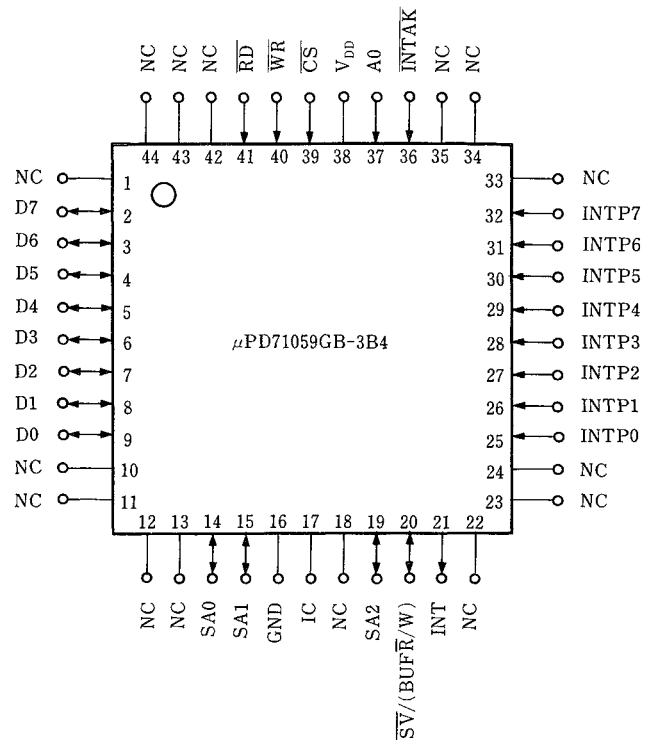
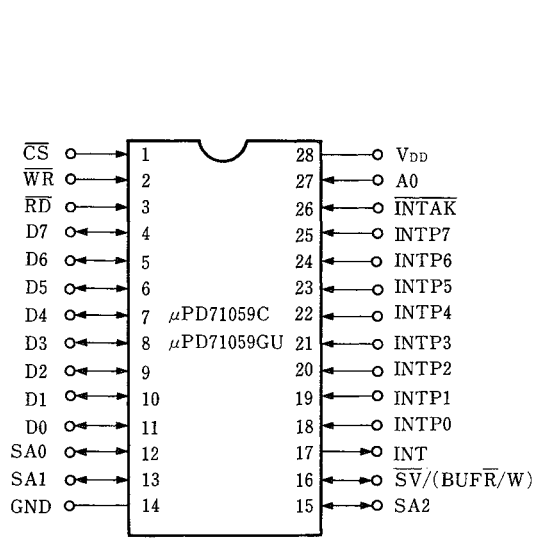
## オーダ情報

品 名	パ ッ ケ ー ジ	データ遅延時間 (対アドレス)[ns]	品質水準
$\mu$ PD71059C	28ピン・プラスチック DIP (600 mil)	200	標準(一般電子機器用)
$\mu$ PD71059C-10	"	120	"
$\mu$ PD71059GB-3B4	44ピン・プラスチック QFP (□10)	200	"
$\mu$ PD71059GB-10-3B4	"	120	"
$\mu$ PD71059GU	28ピン・プラスチック SOP (450 mil)	200	"
$\mu$ PD71059GU-10	"	120	"
$\mu$ PD71059L	28ピン PLCC (□450)	200	"
$\mu$ PD71059L-10	"	120	"

品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」(IEI-620)をご覧ください。

本資料の内容は、後日変更する場合があります。

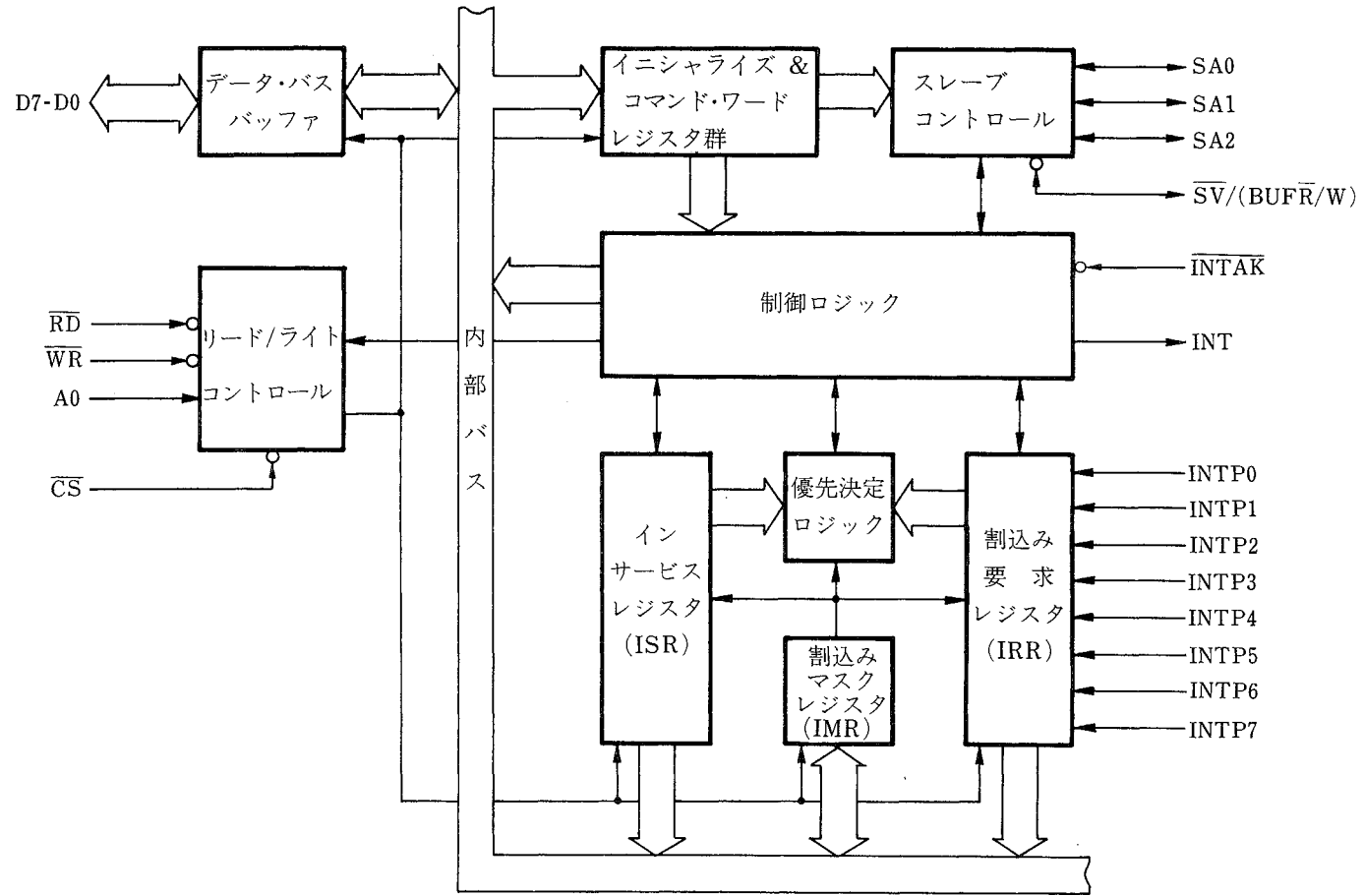
端子接続図 (Top View)



- D7-D0 : Data Bus
- $\overline{CS}$  : Chip Select
- $\overline{RD}$  : Read Strobe
- $\overline{WR}$  : Write Strobe
- A0 : Address
- INTP7-INTP0 : Interrupt Request from Peripheral
- INT : Interrupt
- $\overline{INTAK}$  : Interrupt Acknowledge
- $\overline{SV}/(\overline{BUFR}/\overline{W})$  : Slave/Buffer Read Write
- SA2-SA0 : Slave Address
- $V_{DD}$  : Power Supply
- GND : Ground
- IC : Internally Connected

# 保守/廃止

μPD71059 ブロック図



## 目 次

1. ブロック機能 … 5
2. 端子機能 … 6
3.  $\mu$ PD71059の割込み動作 … 8
  - 3.1 CALLモード ( $\mu$ PD8085AHモード) … 9
  - 3.2 ベクタ・モード ( $\mu$ PD70108/70116モード) … 11
4.  $\mu$ PD71059のコントロール・ワード … 13
  - 4.1 イニシャライズ・ワード … 13
  - 4.2 コマンド・ワード … 19
5. 各種モード … 21
  - 5.1 使用するCPUに関するモード … 21
  - 5.2 割込みシステム規模に関するモード … 22
  - 5.3 ネスティングに関するモード … 28
  - 5.4 FIコマンドと優先順位の変更 … 30
  - 5.5 その他のモード, コマンド … 31
6. 電気的特性 … 34
7. 外形図 … 40
8. 実装条件 … 44

## 1. ブロック機能

μPD71059を構成する九つの機能ブロックの説明をします。

### 1.1 データ・バス・バッファ

8ビット・3ステートの双方向性バッファで、μPD71059とシステム・データ・バスとの間のインタフェースとして働きます。CPUがμPD71059に対してIN、OUT命令を実行すると、このバッファを通してコントロール・ワード(イニシャライズ・ワード、コマンド・ワード)、内部レジスタ・データ、ポーリング・データが送受されます。また実際の割込み処理時には、CPUへCALL命令(OPコード(0CDH)+割込みアドレス)、割込みベクタ番号が同じくこのバッファを通して送られます。

### 1.2 リード/ライト・コントロール

このブロックは、システム・バスからの入力情報、μPD71059内部の制御ロジックからの信号を解析して、データ・バス・バッファや、内部レジスタの制御を行ないます。

### 1.3 イニシャライズ & コマンド・ワード・レジスタ群

これらのレジスタは、イニシャライズ・ワードIW1~IW4、コマンド・ワードのPFCW (Priority and Finish Control Word)、MCW (Mode Control Word)、を格納しています。CPUはこれらのレジスタを読出すことはできません。

### 1.4 割込みマスク・レジスタ (IMR)

割込みマスク・レジスタIMR (Interrupt Mask Register)は、コマンド・ワードの割込みマスク・ワードIMWを格納しています。このレジスタのビットnが1ならば割込み要求INTPnはμPD71059に受け付けられることはありません。CPUはこのレジスタを読出すことができます。

### 1.5 割込み要求レジスタ (IRR)

割込み要求レジスタIRR (Interrupt Request Register)は、8レベルの割込み入力のうち、現在要求を出しているすべてのレベルを示す情報を持っています。このレジスタのビット7~ビット0は八つの割込みレベルINTP7-INTP0にそれぞれ対応しており、ビットnが1ならばINTPnが要求を出していることを示します。CPUはこのレジスタを読出すことができます。

### 1.6 イン・サービス・レジスタ (ISR)

イン・サービス・レジスタISR (In Service Register)は、現在サービス中のすべての割込みレベルを示す情報を持っています。IRRと同様に、ビットnが1ならばINTPnに対する割込みルーチンがサービス中であることを示します。CPUはこのレジスタを読出すことができます。

### 1.7 優先決定ロジック

このロジックは割込み要求の中で最高優先となる要求を決定します。決定は、現在の割込みマスク状態、割込みサービス状態、さらにモード状態などの情報を基に行なわれます。

### 1.8 制御ロジック

制御ブロックはμPD71059の中心的なブロックで、多くのブロックからの信号を基にINT信号の制御や、 $\overline{\text{INTAK}}$ シーケンスの制御を行ないます。

### 1.9 スレーブ・コントロール

スレーブ・コントロールは、複数のμPD71059をカスケード接続する大きな割込みシステムで機能します。マスタのμPD71059が一つのスレーブを指定するためにSA2-SA0端子が接続されます。このブロックは、マスタの場合はスレーブ・アドレスを出力し、スレーブの場合は送られて来るスレーブ・アドレスと、自分のスレーブ番号の比較を行ないます。

## 2. 端子機能

### 2.1 D7-D0 (Data Bus) …… 3ステート入出力

8ビット・3ステートの双方向データ・バスです。システムのデータ・バスに接続してデータの転送に使われます。 $\overline{\text{CS}}=0$ で $\overline{\text{RD}}$ または $\overline{\text{WR}}$ が0の場合と、 $\overline{\text{INTAK}}$ シーケンスで、CPUへデータを送る場合にアクティブとなります。これ以外の状態では、データ・バスはハイ・インピーダンスになります。

### 2.2 $\overline{\text{CS}}$ (Chip Select) …… 入力

$\overline{\text{CS}}$ はCPUがμPD71059に対してIN, OUT命令でそれぞれ読出し、書込み動作を行なう際にμPD71059を選択するための信号です。 $\overline{\text{CS}}$ がロウ・レベルのときμPD71059への $\overline{\text{RD}}$ ,  $\overline{\text{WR}}$ 信号が有効になります。 $\overline{\text{INTAK}}$ シーケンスでの動作では $\overline{\text{CS}}$ は関係しません。

### 2.3 $\overline{\text{RD}}$ (Read Strobe) …… 入力

μPD71059の内部レジスタIMR, IRR, ISRや、ポーリング動作でのポーリング・データを読出すときに $\overline{\text{RD}}$ をロウ・レベルにします。

### 2.4 $\overline{\text{WR}}$ (Write Strobe) …… 入力

μPD71059へイニシャライズ・ワードIW1~IW4や、コマンド・ワードIMW, PFCW, MCWを書込むときに $\overline{\text{WR}}$ をロウ・レベルにします。



## 2.5 A0 (Address) ……入力

A0は、CPUがμPD71059に対してリード/ライトするときに用い、コマンドや、データを指定します。表2-1にリード/ライトと $\overline{CS}$ ,  $\overline{RD}$ ,  $\overline{WR}$ そしてA0の関係を示します。通常、A0端子はアドレス・バスのA0へ接続します。

表2-1 μPD71059に対するリード/ライト

CS	RD	WR	A0	その他の条件	μPD71059の動作	CPUの動作
0	0	1	0	MCWでIRR設定	IRR →データ・バス	IRRの読出し
				MCWでISR設定	ISR →データ・バス	ISRの読出し
				ポーリング・フェーズ*1	ポーリング・データ →データ・バス	ポーリング
0	0	1	1	—	IMR →データ・バス	IMRの読出し
0	1	0	0	D4=1	データ・バス →IW1レジスタ	IW1の書込み
				(D4=0)・(D3=0)	データ・バス →PFCWレジスタ	PFCWの書込み
				(D4=0)・(D3=1)	データ・バス →MCWレジスタ	MCWの書込み
0	1	0	1	*2	データ・バス →IW2レジスタ	IW2の書込み
					データ・バス →IW3レジスタ	IW3の書込み
					データ・バス →IW4レジスタ	IW4の書込み
				イニシャライズの後	データ・バス →IMR	IMWの書込み
0	1	1	×	—	データ・バス：ハイ・インピーダンス	
1	×	×	×			
0	0	0	×	—	禁止	

\*1 ポーリング・フェーズの場合、IRR、ISRに優先してポーリング・データが読出されます。

\*2 IW2~IW4の書込みは、イニシャライズ・シーケンスを参照してください。

## 2.6 INTP7-INTP0 (Interrupt Request from Peripheral) ……入力

これらの8本の端子は、非同期の割込み要求入力です。エッジ・トリガ・モードか、レベル・トリガ・モードかを選択をイニシャライズ・ワードのIW1によって行ないます。また、これらの端子は、プルアップされていますので、ハイ・レベル入力時の方がロウ・レベル入力時よりも消費電力が少なくなります。

## 2.7 INT (Interrupt) ……出力

この端子はμPD71059からCPUまたはマスタのμPD71059への割込み要求出力です。INTP端子に周辺からの割込み要求が入力され、さらにそれをμPD71059が認めた場合、INT出力はハイ・レベルとなり、CPUまたはマスタのμPD71059へ割込み要求を発生します。

**注意** INT出力がハイ・レベルの状態ではμPD71059への書き込み動作を行うと、 $\overline{WR}$ がロウ・レベルの期間、INT出力はロウ・レベルとなります。

## 2.8 $\overline{INTAK}$ (Interrupt Acknowledge) ……入力

$\overline{INTAK}$ は、CPUからμPD71059への割込み承認信号です。CPUはμPD71059からの割込み要求を受け付けると、3個(μPD8085A)または2個(μPD70108/70116)のロウ・レベル・パルスをこの端子に返します。μPD71059はこれらのパルスに同期して、3バイトのCALL命令、または1バイトの割込みベクタ番号をデータ・バスを通してCPUへ送ります。

## 2.9 $\overline{SV}/(\overline{BUFR}/W)$ (Slave/Buffer Read Write) ……入出力

この端子は二つの働きを持っています。

非バッファ・モードでは $\overline{SV}$ 入力となり、ロウ・レベルを入力（プルダウン抵抗を接続）するとμPD71059はスレーブ・モードとして動作します。ハイ・レベルを入力（プルアップ抵抗を接続）するとマスタ・モードとして動作します。しかし、イニシャライズ・ワードのIW1でシングル・モードに設定した場合は、 $\overline{SV}$ 入力は意味を持ちません。

バッファ・モードではこの端子は $\overline{BUFR}/W$ 出力となります。この出力は、μPD71059が自分のデータ・バスを出力状態とするときにロウ・レベルとなります。この信号によって、データ・バスにバス・トランシーバを付加するようなシステムでの、バス・トランシーバの制御が容易に行なえます。

## 2.10 SA2~SA0 (Slave Address) ……入出力

これらの端子は、μPD71059をカスケード接続した大規模システムで意味を持ちます。大規模システムでは、マスタが一つのスレーブを指定する必要があり、この3本の信号によって0~7のスレーブ・アドレスを出力することによって実現しています。これらの端子はマスタ・モードでは出力、スレーブ・モードでは入力となります。

注意：シングル・モードの場合、SA2-SA0は出力となりますが、出力される値は意味を持ちません。

## 2.11 $V_{DD}$ (Power Supply)

正電源端子です。

## 2.12 GND (Ground)

GND電位です。

## 2.13 IC (Internally Connected)

この端子には何も接続しないでください。

## 3. μPD71059の割込み動作

ここではμPD71059が周辺回路からの割込み要求を受け、その信号を処理し、CPUへ割込み要求INTを出し、さらにCPUがそれを受け付けたことを確認した後、割込みルーチン・アドレス情報をCPUへ与えるという一連の動作の説明をします。

μPD71059ではINTがCPUに受け付けられたときの動作（ $\overline{INTAK}$ シーケンスと言います）は、大きく分けて2通りになります。これは使用するCPUに合わせて選択するようになっており、イニシャライズ・ワードのIW4の書込みによって設定できます。

一つはCALLモード（IW4で $V/\overline{C}$ ビット=0）です。CPUに割込み要求を受け付けられると、μPD71059はその $\overline{INTAK}$ シーケンスで、データ・バスに3バイトのデータ（OPコード(0CDH)+割込みルーチン・アドレス）を出力します。CPUはその3バイトをCALL命令として受け取り、割込みルーチンを実行することができます。このCALLモードは、μPD8085AHをCPUとするシステムで用います。

もう一つはベクタ・モード（IW4で $V/\overline{C}$ ビット=1）です。μPD71059は $\overline{INTAK}$ シーケンスで、データ・バスに1バイトの割込みベクタ番号を出力します。CPUはそのベクタ番号によって割込みルーチン・アドレスを生成しそのルーチンを実行することができます。このベクタ・モードは、μPD70108/70116をCPUとするシステムで用います。

3.1 CALLモード (μPD8085AH モード)

CALLモードでは、イニシャライズ時にイニシャライズ・ワードのIW1, IW2で割込みルーチン・アドレスを設定します。この場合、セットするアドレスは、16ビットのうちの上位11ビットA15-A5だけです。残りの下位ビットは八つの割込みレベルに応じてμPD71059が設定します。IW1のAG4 (Address Gap 4-Byte)ビットの設定によってμPD71059の設定する下位ビットは5ビット(AG4=1)または6ビット(AG4=0)となり、それぞれ割込みレベル0~7に対して4バイト間隔, 8バイト間隔のアドレスを出力します。

図3-1 CALLモード出力アドレス

○アドレス上位バイト

D7	D6	D5	D4	D3	D2	D1	D0
A15	A14	A13	A12	A11	A10	A9	A8

○アドレス下位バイト

AG4=1 (4バイト間隔アドレス)

割込みレベル	D7	D6	D5	D4	D3	D2	D1	D0
INTP0	A7	A6	A5	0	0	0	0	0
INTP1	A7	A6	A5	0	0	1	0	0
INTP2	A7	A6	A5	0	1	0	0	0
INTP3	A7	A6	A5	0	1	1	0	0
INTP4	A7	A6	A5	1	0	0	0	0
INTP5	A7	A6	A5	1	0	1	0	0
INTP6	A7	A6	A5	1	1	0	0	0
INTP7	A7	A6	A5	1	1	1	0	0

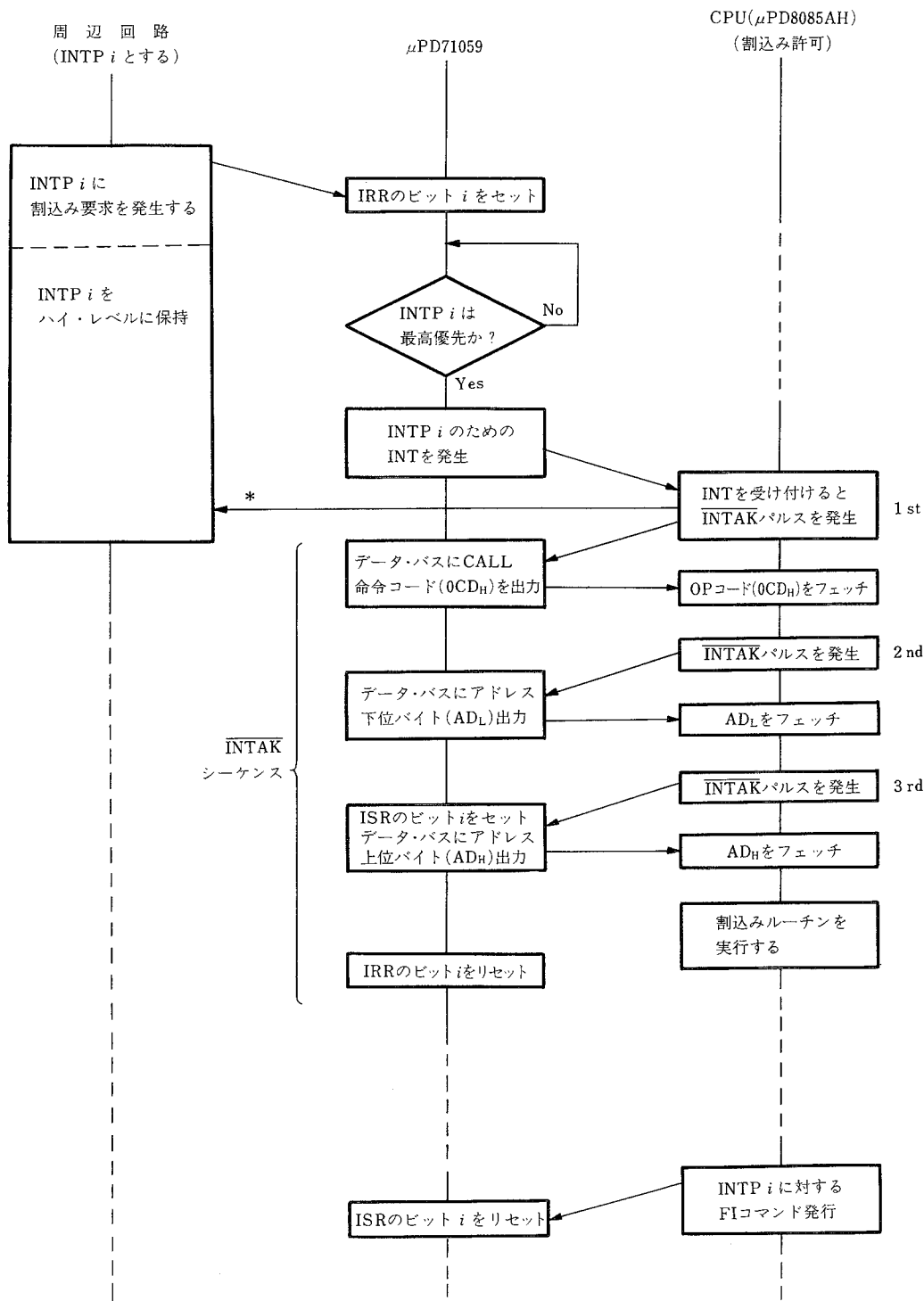
AG4=0 (8バイト間隔アドレス)

割込みレベル	D7	D6	D5	D4	D3	D2	D1	D0
INTP0	A7	A6	0	0	0	0	0	0
INTP1	A7	A6	0	0	1	0	0	0
INTP2	A7	A6	0	1	0	0	0	0
INTP3	A7	A6	0	1	1	0	0	0
INTP4	A7	A6	1	0	0	0	0	0
INTP5	A7	A6	1	0	1	0	0	0
INTP6	A7	A6	1	1	0	0	0	0
INTP7	A7	A6	1	1	1	0	0	0

注意：AG4=0の場合、設定したA5ビットは無視されます。

CALLモードでの割り込み動作の基本シーケンスを図3-2に示します。

図3-2 CALLモード 割り込みシーケンス



\* INTP<sub>i</sub>はその割り込み要求に対する最初の $\overline{\text{INTAK}}$ パルスが発生するまではハイ・レベルに保つ必要があります。

3.2 ベクタ・モード (μPD70108/70116モード)

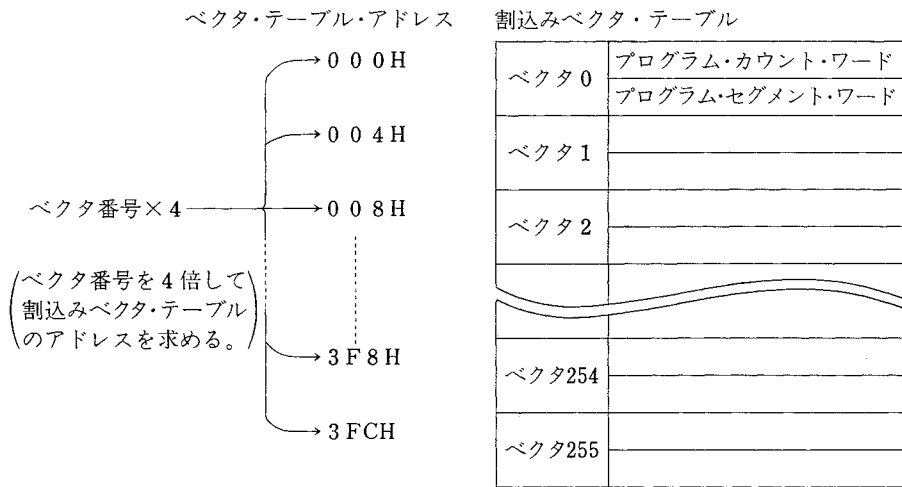
ベクタ・モードでは、イニシャライズ時にイニシャライズ・ワードIW2によって割込みベクタ番号の上位5ビットV7-V3を設定します。下位3ビットは八つの割込みレベルに応じてμPD71059が設定します。このことによって、INTP0-INTP7の割込みレベルに対して連続した八つの割込み番号を出力することができます。

図3-3 ベクタ・モードで出力されるベクタ番号

割込みレベル	D7	D6	D5	D4	D3	D2	D1	D0
INTP0	V7	V6	V5	V4	V3	0	0	0
INTP1	V7	V6	V5	V4	V3	0	0	1
INTP2	V7	V6	V5	V4	V3	0	1	0
INTP3	V7	V6	V5	V4	V3	0	1	1
INTP4	V7	V6	V5	V4	V3	1	0	0
INTP5	V7	V6	V5	V4	V3	1	0	1
INTP6	V7	V6	V5	V4	V3	1	1	0
INTP7	V7	V6	V5	V4	V3	1	1	1

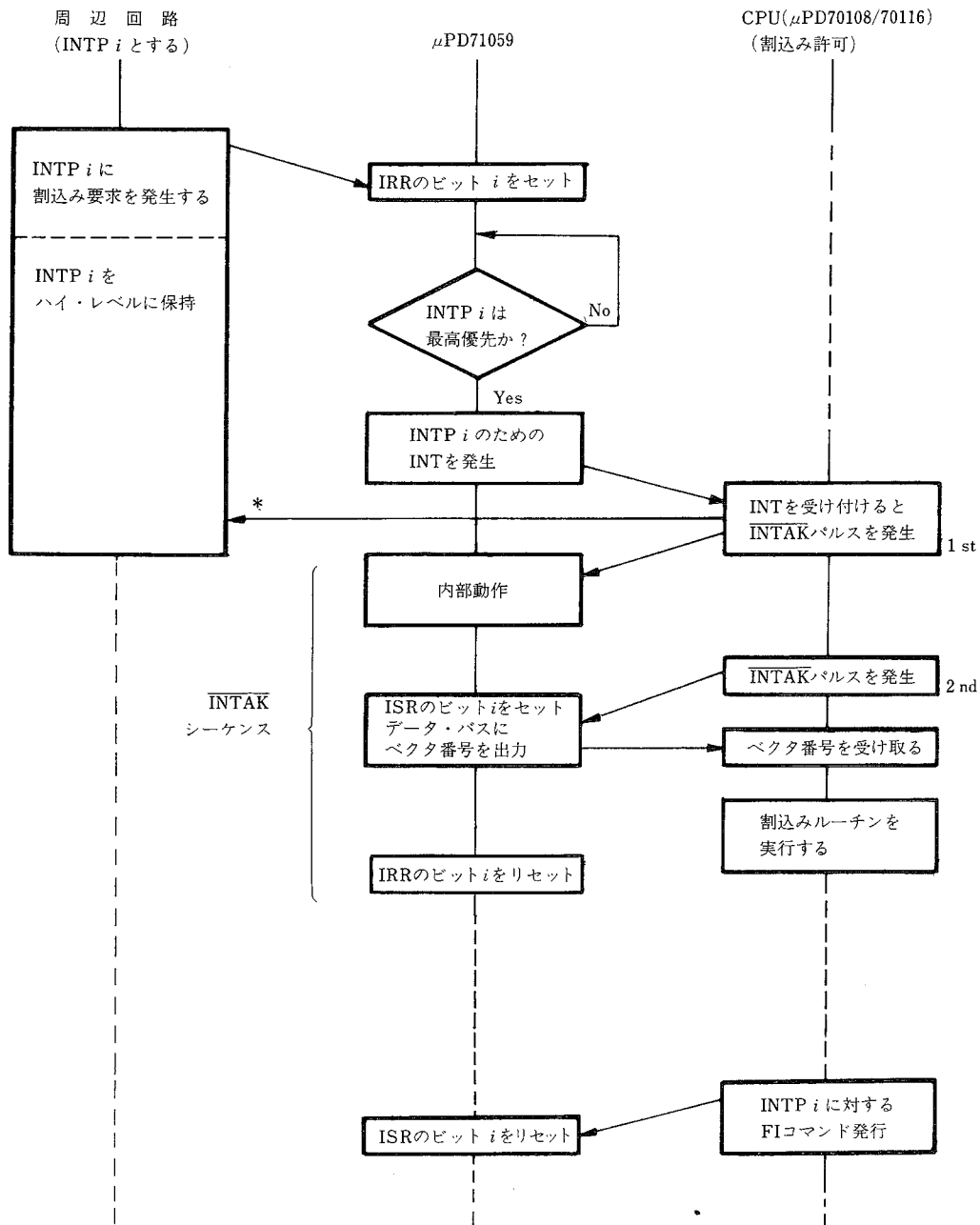
CPUは1バイトのベクタ番号を受け取り、それから割込みベクタを求めることができます。μPD70108/70116では図3-4のようにして割込みベクタを求めています。

図3-4 μPD70108/70116の割込みベクタ



ベクタ・モードでの割り込み動作の基本シーケンスを図3-5に示します。

図3-5 ベクタ・モード 割り込みシーケンス



\* INTP *i*はその割り込み要求に対する最初の $\overline{\text{INTAK}}$ パルスが発生するまではハイ・レベルに保つ必要があります。

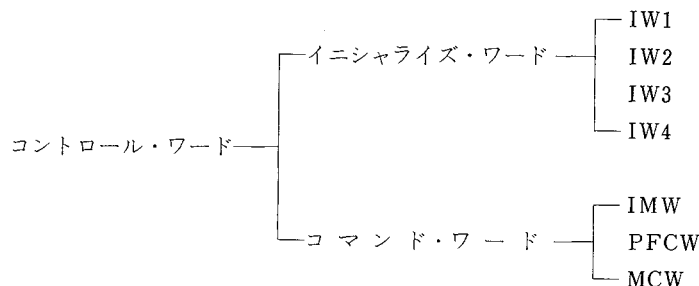
#### 4. μPD71059のコントロール・ワード

μPD71059のコントロール・ワードは、大きく分けるとイニシャライズ・ワードとコマンド・ワードの2種類になります。

イニシャライズ・ワードには、IW1-IW4の四つがあります。これらのワードは、文字通りμPD71059の初期化を行ないますので、必ず1度は書込まなければなりません。また、これら四つのワードの書込み順序は、イニシャライズ・シーケンスによって決められていますので、任意の1ワードの書込みはできません。

コマンド・ワードにはIMW (Interrupt Mask Word), PFCW (Priority and Finish Control Word)そしてMCW (Mode Control Word) の三つがあります。これらのワードは、イニシャライズ後に自由に書込みできます。

図4-1 μPD71059のコントロール・ワード



##### 4.1 イニシャライズ・ワード

###### (1)イニシャライズ・シーケンス

A0=0, D4=1としてμPD71059へデータを書込むと、いつでもIW1として受け付けられ、以下のデフォルト・イニシャライズが起こり、そして図4-2に示すようなIW1に基づいたイニシャライズ・シーケンスが開始されます。

デフォルト・イニシャライズ

- (i) INTP入力のエッジ・トリガ回路がリセットされ、トリガ・モードの場合IRRがクリアされます。
- (ii) ISR, IMRがクリアされます。
- (iii) INTP7が最低優先となります。(INTP0が最高優先となります。)
- (iv) 例外ネスト・モードは解除され、読出しレジスタはIRRに設定されます。
- (v) IW4レジスタがクリアされ、通常ネスト・モード、非バッファ・モード、FIコマンド・モード、CALLモードが設定されます。

IW1を書込んでイニシャライズ・シーケンスが開始されたら、次に必ずIW2を書込みます。

IW2の次にIW3やIW4を書込むかどうかは、IW1の書込みの際にSNGL, I4ビットによって設定しておきます。たとえば、SNGL=1, I4=1と設定した場合は、IW3は書込まず、IW4を書込むこととなります。

図4-2 イニシャライズ・シーケンス

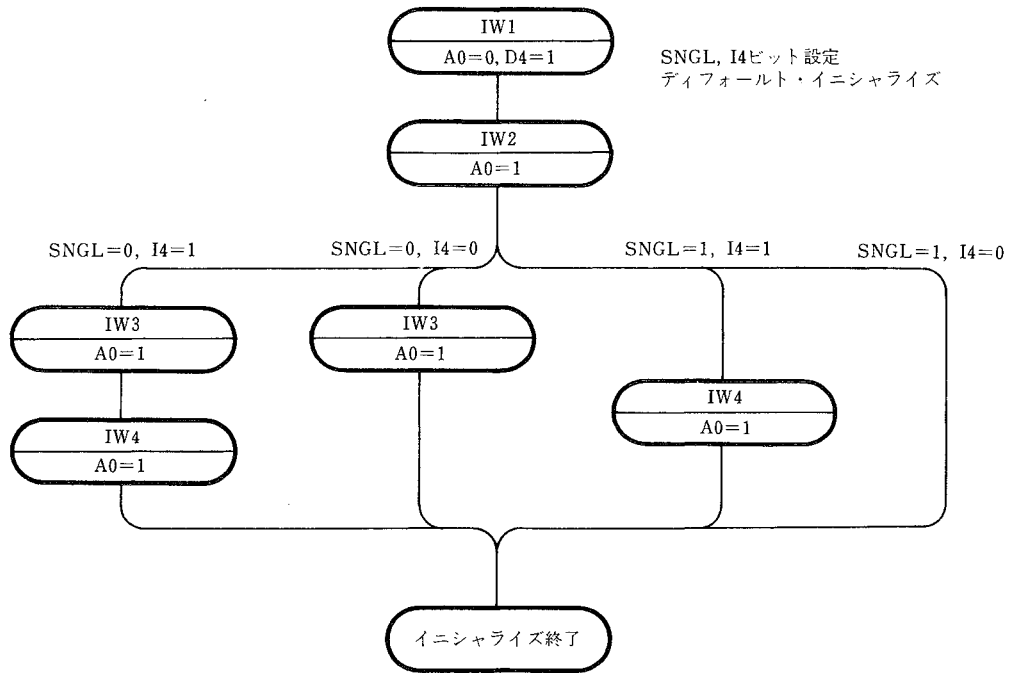
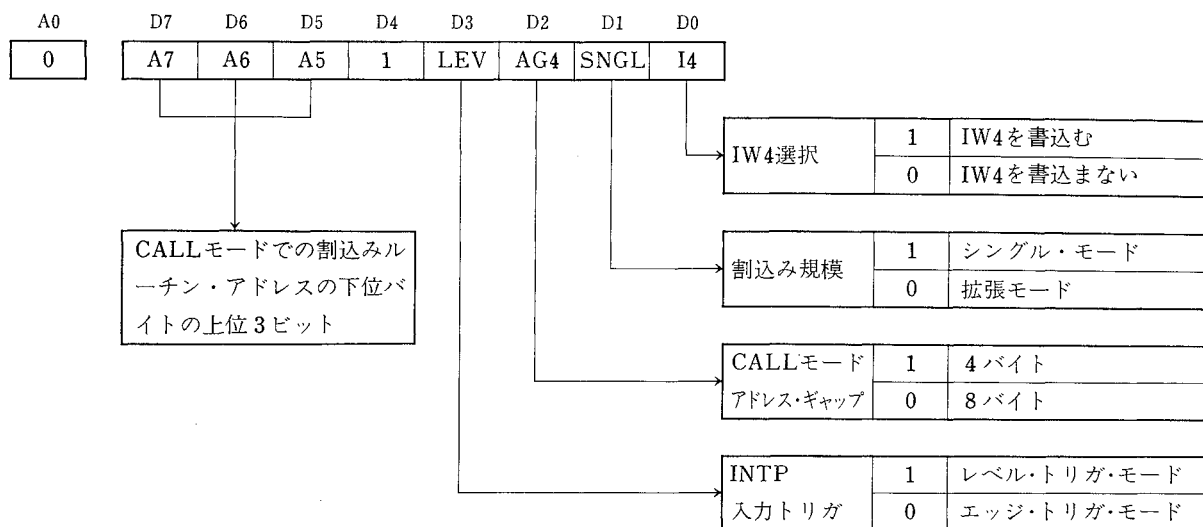


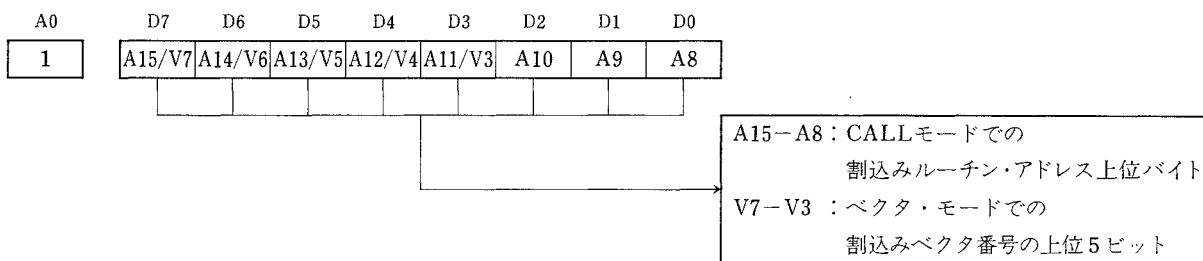


図 4-3 イニシャライズ・ワードのフォーマット

○IW1

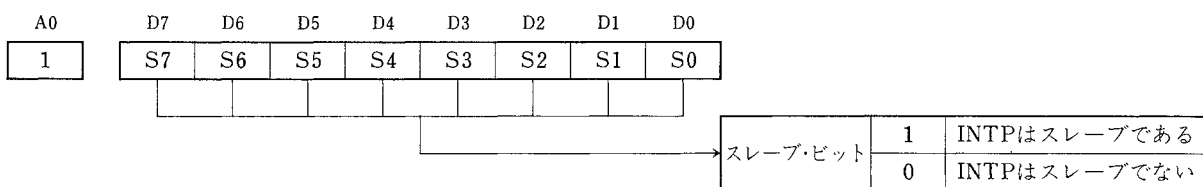


○IW2

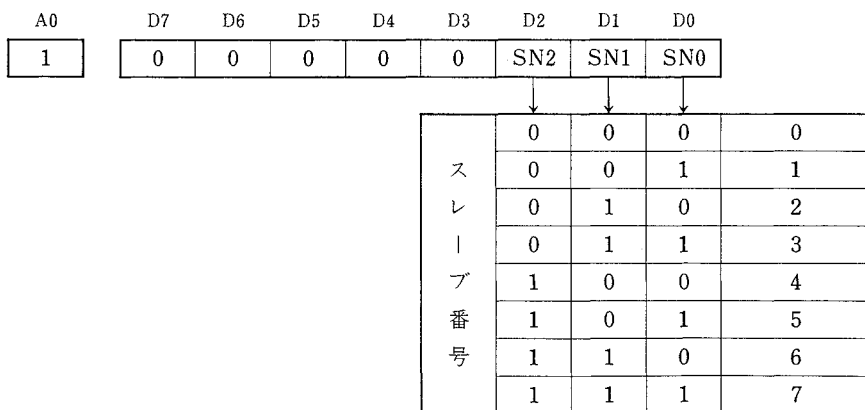


○IW3

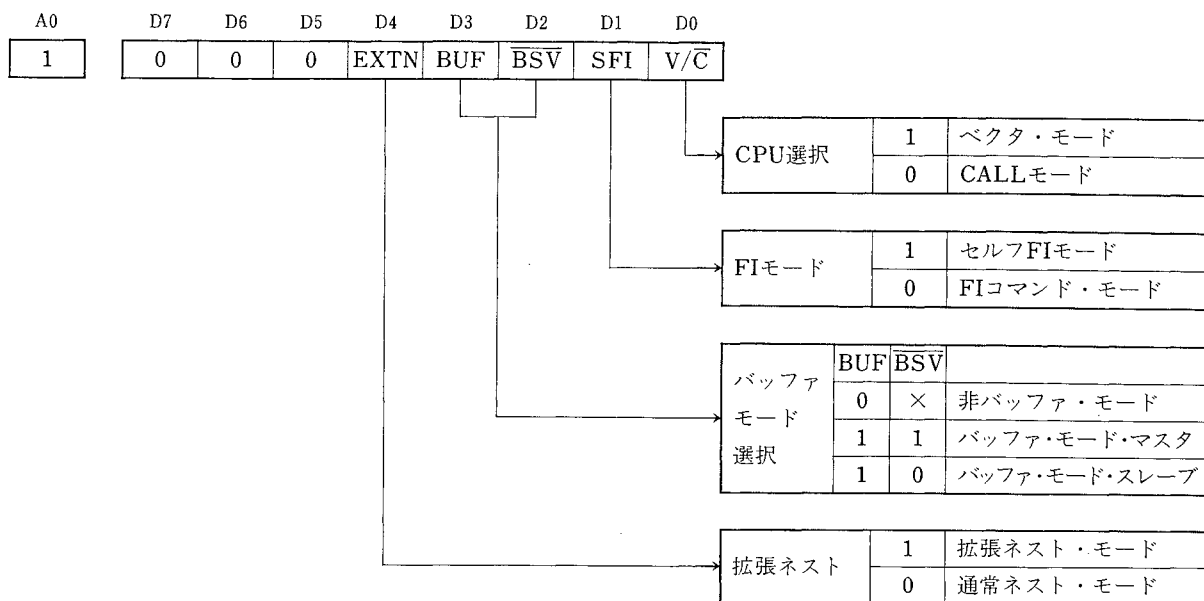
マスタ・モードの場合



スレープ・モードの場合



○IW4



	A0	D7	D6	D5	D4	D3	D2	D1	D0
(2)IW1	0	A7	A6	A5	1	LEV	AG4	SNGL	I4

A7-A5はCALLモードにおけるCPUに与える割込みルーチン・アドレスの下位バイトの上位3ビットです。

(3.1 CALLモード参照)

LEV (Level trigger mode) ビットは、INTP入力のトリガ・モードを設定します。LEV=1のときにレベル・トリガ・モード、LEV=0のときに立上がりエッジ・トリガ・モードとなります。(5.5 参照)

AG4 (Address Gap 4-Byte) ビットは、CALLモードにおける割込みルーチン・アドレスの間隔を設定します。AG4=1の場合は4バイト間隔、AG4=0の場合は8バイト間隔のアドレスを発生します。たとえばINTP0に対して1000Hというアドレスを発生したとすると、INTP1に対しては、AG4=1の場合1004H、AG4=0の場合1008Hを発生します。

SNGL (Single mode) ビットは、割込みシステムの規模を指定します。SNGL=1の場合はμPD71059を1個しか使用しないシングル・モード (小規模システム)、SNGL=0の場合は複数のμPD71059をカスケード接続する拡張モード (大規模システム) であることを指定します。SNGL=1のシングル・モードでは、 $\overline{SV}$ 入力またはIW4によるマスタ/スレーブの設定は無意味になります。(5.2 参照)

I4ビットはIW4の書込みを行なうか、行なわないかを決定し、I4=1のときにIW4の書込みを行なうことを指示します。

	A0	D7	D6	D5	D4	D3	D2	D1	D0
(3)IW2	1	A15/V7	A14/V6	A13/V5	A12/V4	A11/V3	A10	A9	A8

A15-A8はCALLモードにおけるCPUへ与える割込みルーチン・アドレスの上位バイトです。(3.1 CALLモード参照)

V7-V3はベクタ・モードにおけるCPUへ与える割込みベクタ番号の上位5ビットです。(3.2 ベクタ・モード参照)

	A0	D7	D6	D5	D4	D3	D2	D1	D0	
(4)IW3	マスタ・モード時	1	S7	S6	S5	S4	S3	S2	S1	S0
	スレーブ・モード時	1	0	0	0	0	0	SN2	SN1	SN0

このイニシャライズ・ワードは拡張モード (大規模割込みシステム) の場合にのみ必要で、かつ意味を持ちます。

マスタ・モード[(SNGL=0)・(非バッファ・モード)・( $\overline{SV}$ =High)または(SNGL=0)・(バッファ・モード)・( $\overline{BSV}$ =1)]のとき、IW3の8ビットはS7-S0となりINTP7-INTP0がそれぞれスレーブか、そうでないかを指示します。たとえばS2=1の場合マスタのμPD71059は、INTP2からの割込み要求はスレーブのμPD71059からの要求と判断し、SA2-SA0端子に2 (INTP2に対応する) を出力し、割込みルーチン・アドレス、割込みベクタ番号の出力はしません。その代わりにINTP2に接続されているスレーブのμPD71059がその動作を行なうからです。S2=0の場合は、INTP2からの要求に対してマスタは必要なすべての動作を行ないます。

スレーブ・モード[(SNGL=0)・(非バッファ・モード)・( $\overline{SV}$ =Low)または(SNGL=0)・(バッファ・モード)・( $\overline{BSV}$ =0)]のとき、IW3の下位ビットはSN2-SN0 (Slave Number) となり、そのμPD71059のスレーブ番号を設定します。マスタがSA2-SA0端子にスレーブ・アドレスを出力したとき、各スレーブはその値と自分に設定されているスレーブ番号を比較し、それが一致したときに自分の出した割込み要求が受け付けられたことを知り、データ・バスに割込みルーチン・アドレス、または割込みベクタ番号を出力します。

	A0	D7	D6	D5	D4	D3	D2	D1	D0
(5)IW4	1	0	0	0	EXTN	BUF	$\overline{\text{BSV}}$	SFI	$\text{V}/\overline{\text{C}}$

EXTN (Extended Nesting Mode) ビットはネスティングのモードを設定します。EXTN=0 の場合通常ネスト・モード、EXTN=1 の場合は拡張ネスト・モードになります。(5.3 参照)

BUF (Buffer) ビットと $\overline{\text{BSV}}$  (Bufferd Slave) ビットはペアで意味を持ち、バッファ・モードとマスタ/スレーブの設定をします。BUF=0 のときは非バッファ・モードとなり $\overline{\text{BSV}}$ は意味を持ちません。BUF=1 の場合はバッファ・モードとなり、そのとき $\overline{\text{BSV}}=1$  ならばマスタ・モード、 $\overline{\text{BSV}}=0$  ならばスレーブ・モードとなります。(5.2 参照)

SFI (Self Finish Interrupt mode) ビットはFIモードの設定をします。SFI=0 の場合はFIコマンド・モードとなり、CPUがμPD71059にFIコマンドを発行したときにISRの該当ビットがリセットされ、該当の割込み処理が終了したことを意味します。SFI=1 の場合はセルフFIモードとなり、 $\overline{\text{INTAK}}$ シーケンスの終了時にμPD71059が自分で該当のISRビットをリセットしますので、CPUはFIコマンドを発行する必要はありません。(5.4 参照)

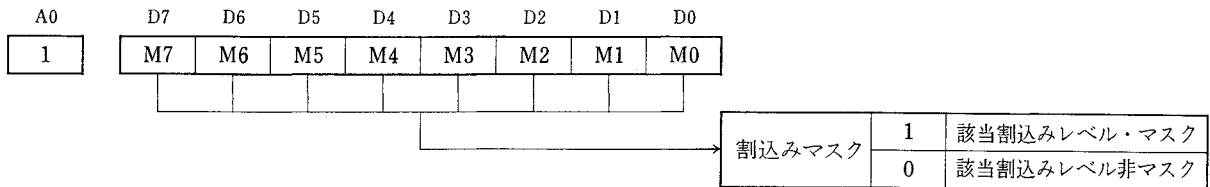
$\text{V}/\overline{\text{C}}$  (Vector/Call) ビットはベクタ・モード、CALLモードの設定をします。 $\text{V}/\overline{\text{C}}=1$  の場合はベクタ・モード、 $\text{V}/\overline{\text{C}}=0$  の場合はCALLモードとなります。これは使用するCPUに合わせて設定します。

4.2 コマンド・ワード

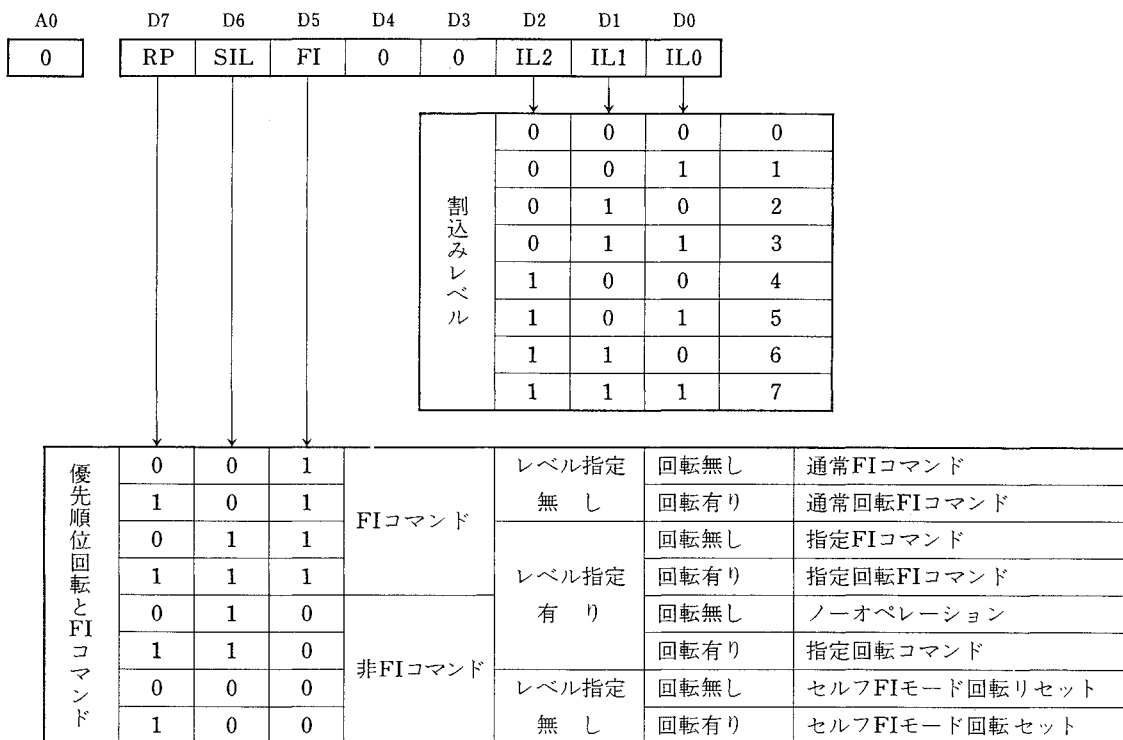
コマンド・ワードは、動作中のμPD71059に種々のコマンドを与え、割り込み要求のマスクや優先順位の変更、ポーリング動作、割り込み処理終了などを行ないます。

図4-4 コマンド・ワードのフォーマット

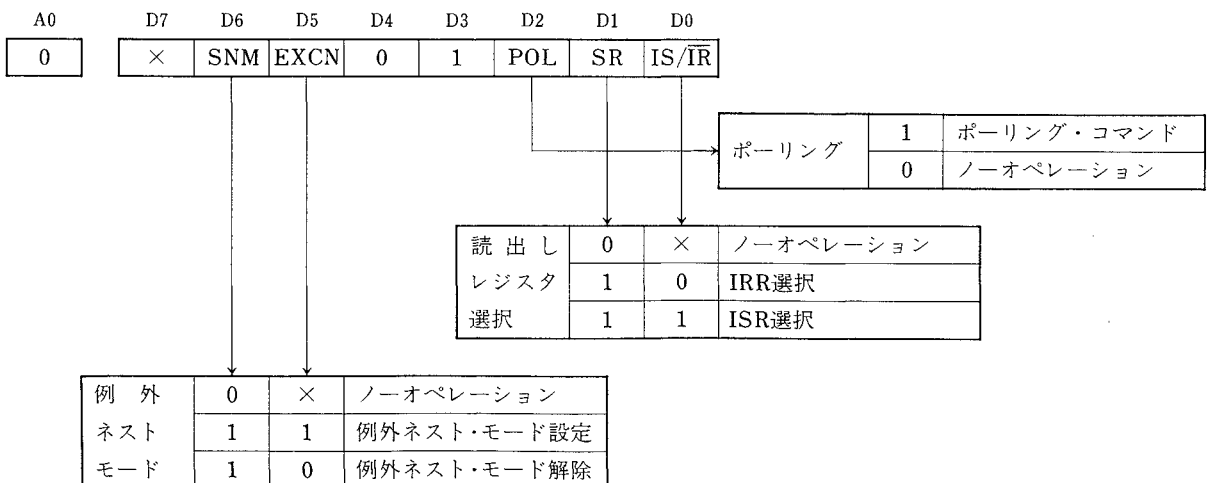
○IMW



○PFCW



○MCW



(1)IMW (Interrupt Mask Word)

A0	D7	D6	D5	D4	D3	D2	D1	D0
1	M7	M6	M5	M4	M3	M2	M1	M0

このワードはIRRをマスクして該当のINTPからの割り込み要求を禁止します。また、例外ネスト・モードではISRもマスクします。(5.3 参照)

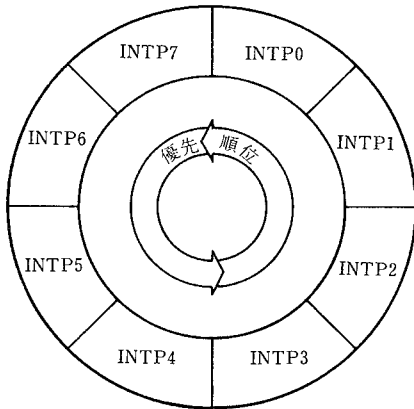
(2)PFCW (Priority and Finish Control Word)

A0	D7	D6	D5	D4	D3	D2	D1	D0
0	RP	SIL	FI	0	0	IL2	IL1	IL0

このワードは、割り込み処理（ルーチン）の終了を宣言するコマンドや割り込み要求の優先順位を変更するコマンドを設定します。

RP (Rotate Priority) ビットは、割り込み要求の優先順位を変更（回転）するためのビットで、RP=1のときに変更します。μPD71059は8本のINTP入力を持っていますが、それらの優先順位は図4-5に示されているようにリング状になっており、任意の1レベルを最低優先に設定すると残りの7レベルの優先順位は一意的に決定されます（イニシャライズ終了時にはINTP7が最低優先）。RP=1とすることにより、最低優先となるレベルを変更（回転）することができます。(5.4 参照)

図4-5 INTPの優先順位



- INTP7を最低優先とした場合  
 (最高) INTP0>INTP1>INTP2>INTP3>INTP4>INTP5>INTP6>INTP7 (最低)
- INTP2を最低優先とした場合  
 (最高) INTP3>INTP4>INTP5>INTP6>INTP7>INTP0>INTP1>INTP2 (最低)

SIL (Specify Interrupt Level) ビットは優先順位の変更、FIコマンドに対して割り込みレベルを指定するときには1にします。SIL=1の場合IL2-IL0ビットで表わされるレベルが、最低優先レベル(RP=1の場合)、終了割り込みレベル(FI=1の場合)に指定されます。(5.4 参照)

FI (Finish Interrupt) ビットを1にするとFIコマンドとなります。(5.4 参照)

IL2-IL0 (Interrupt Level) ビットはSIL=1の場合に、指定する割り込みレベルを示します。

(3)MCW (Mode Control Word)

A0	D7	D6	D5	D4	D3	D2	D1	D0
0	×	SNM	EXCN	0	1	POL	SR	IS/IR

このワードは、読出しレジスタの設定、例外ネスト・モード設定、ポーリングを行なうときに用います。

SNM (Set Nesting Mode) ビットとEXCN (Exceptional Nesting Mode) ビットはペアで用いられ、例外ネスト・モードの設定と解除を行ないます。SNM=0の場合は何の動作もしません。SNM=1のときに、EXCN=1ならば例外ネスト・モードの設定、EXCN=0ならば、例外ネスト・モードの解除をします。(5.3 参照)

POL (Polling) ビットはポーリング動作をするときに1にします。(5.5 参照)

SR (Set Register) ビットとIS/IR (In Service/Interrupt Request) ビットはペアで用いられ、SR=0の場合は何の動作もしません。SR=1として、IS/IR=1ならばISR、IS/IR=0ならばIRRを読出すレジスタとして設定します。(5.5 参照)

5. 各種モード

μPD71059はイニシャライズ・ワード、コマンド・ワードによって様々なモードを設定されます。ここではそれらのモードの説明をします。

5.1 使用するCPUに関するモード

(1)CALLモード

このモードでは、μPD71059はCPUにCALL命令(OPコード(0CDH)+2バイト・アドレス)を与えますので、CPUにはμPD8085AHを用います。(3.1 参照)

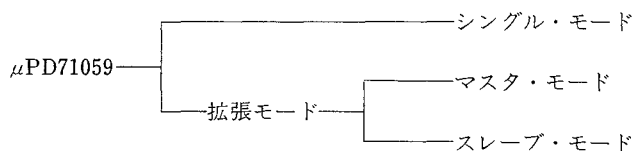
(2)ベクタ・モード

このモードでは、μPD71059はCPUに対して1バイトの割り込みベクタ番号を与えますので、CPUにはμPD70108/70116を用います。(3.2 参照)

5.2 割込みシステム規模に関するモード

μPD71059では割込みシステムの規模に応じて大別して二つのモードが選択されます。一つはシングル・モードで、μPD71059を1個だけ用いるシステムで用います。もう一つは拡張モードで、複数のμPD71059をカスケード接続しているシステムで用います。この拡張システムの場合は、一つのマスタと複数のスレーブ(最大8個)が存在するため、マスタ・モードとスレーブ・モードの選択が必要になります。シングル・モードでのマスタ/スレーブの選択は意味を持ちません。

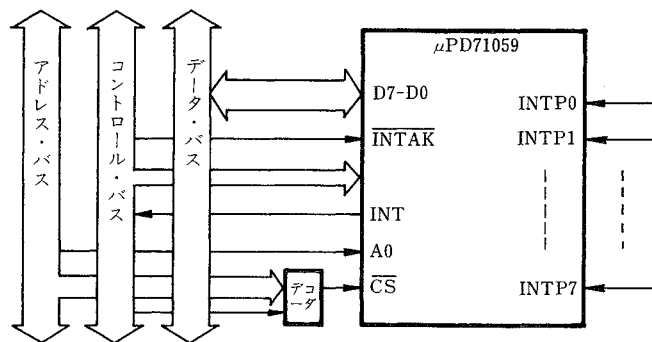
図5-1 シングル、マスタ、スレーブ



(1)シングル・モード

このモードは割込み要求が8本以下の場合に使用します。また、このモードはμPD71059の一般的な動作モードで、"3. μPD71059の割込み動作"で説明した通りの動作をします。SA2-SA0は出力状態になりますが、出力される値は意味を持ちません。

図5-2 シングル・モード・システム



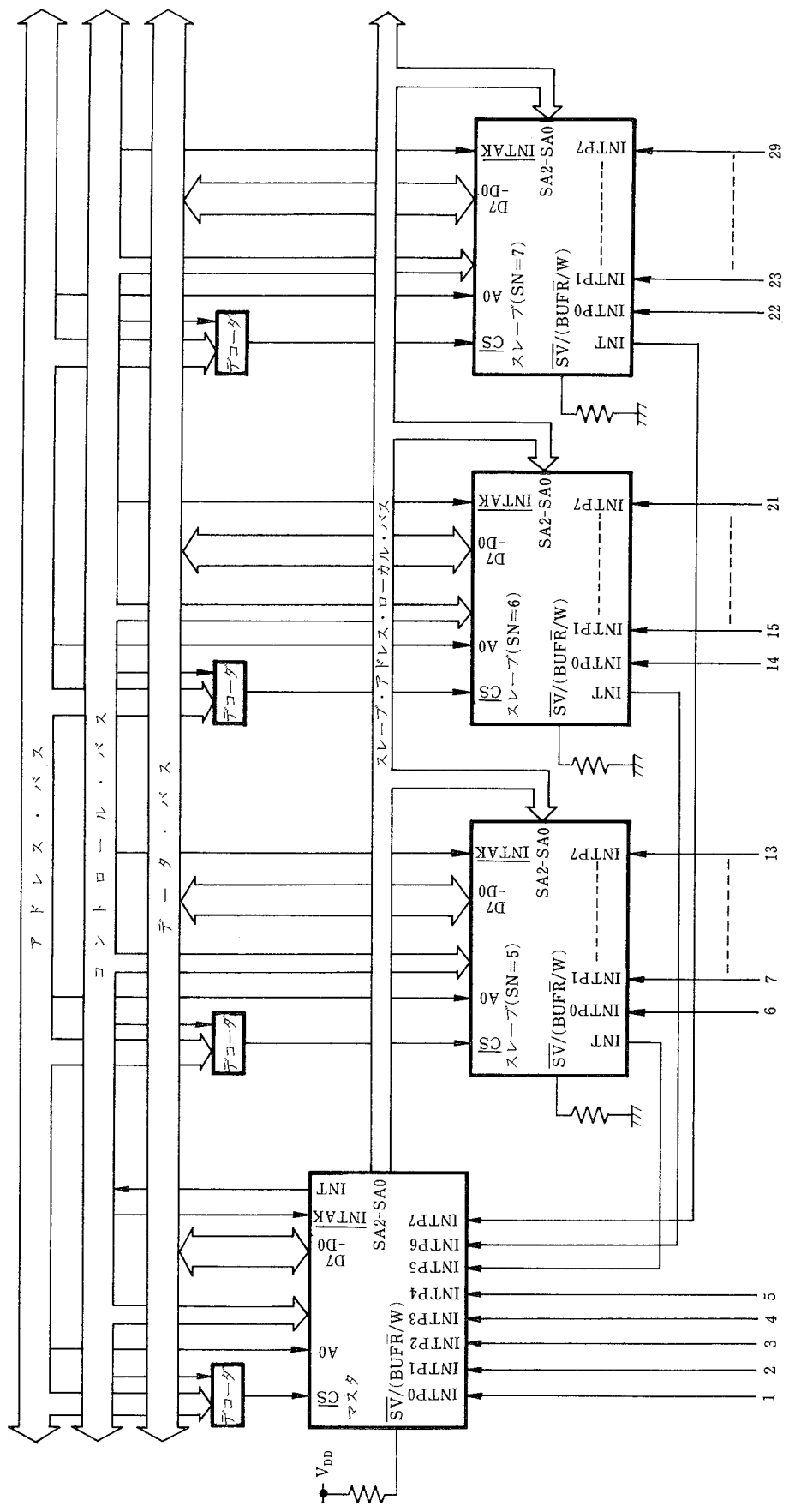
(2)拡張モード

拡張モードでは複数のμPD71059を使用することにより、最大64レベルの割込み要求を処理することができます(マスタ+スレーブ×8の構成)。

図5-3にスレーブが3個ある場合の拡張システムの例を示します。



図5-3 拡張システム例 (3スレーブ)



## ① マスタ・モード

拡張システムのマスタとして使用するμPD71059に対してマスタ・モードを設定します。マスタ・モードでは、IW3でS7-S0が設定され、各ビットが1か0かによってマスタの動作は異なります。INTP<sub>n</sub>に割込み要求が発生した場合について考えます。

S<sub>n</sub>ビットが0ならばマスタの動作はシングル・モード時と同じです。SA2-SA0端子はすべてロウ・レベルを出力します。

S<sub>n</sub>ビットが1の場合には、本来のマスタとしての動作をします。すなわち、S<sub>n</sub>=1であるということはスレーブからの割込み要求であるので、マスタはCPUからの最初の $\overline{\text{INTAK}}$ パルスでの動作で、SA2-SA0のスレーブ・アドレス端子にnを出力し、残りの $\overline{\text{INTAK}}$ シーケンス動作をスレーブnに任せます。

## ② スレーブ・モード

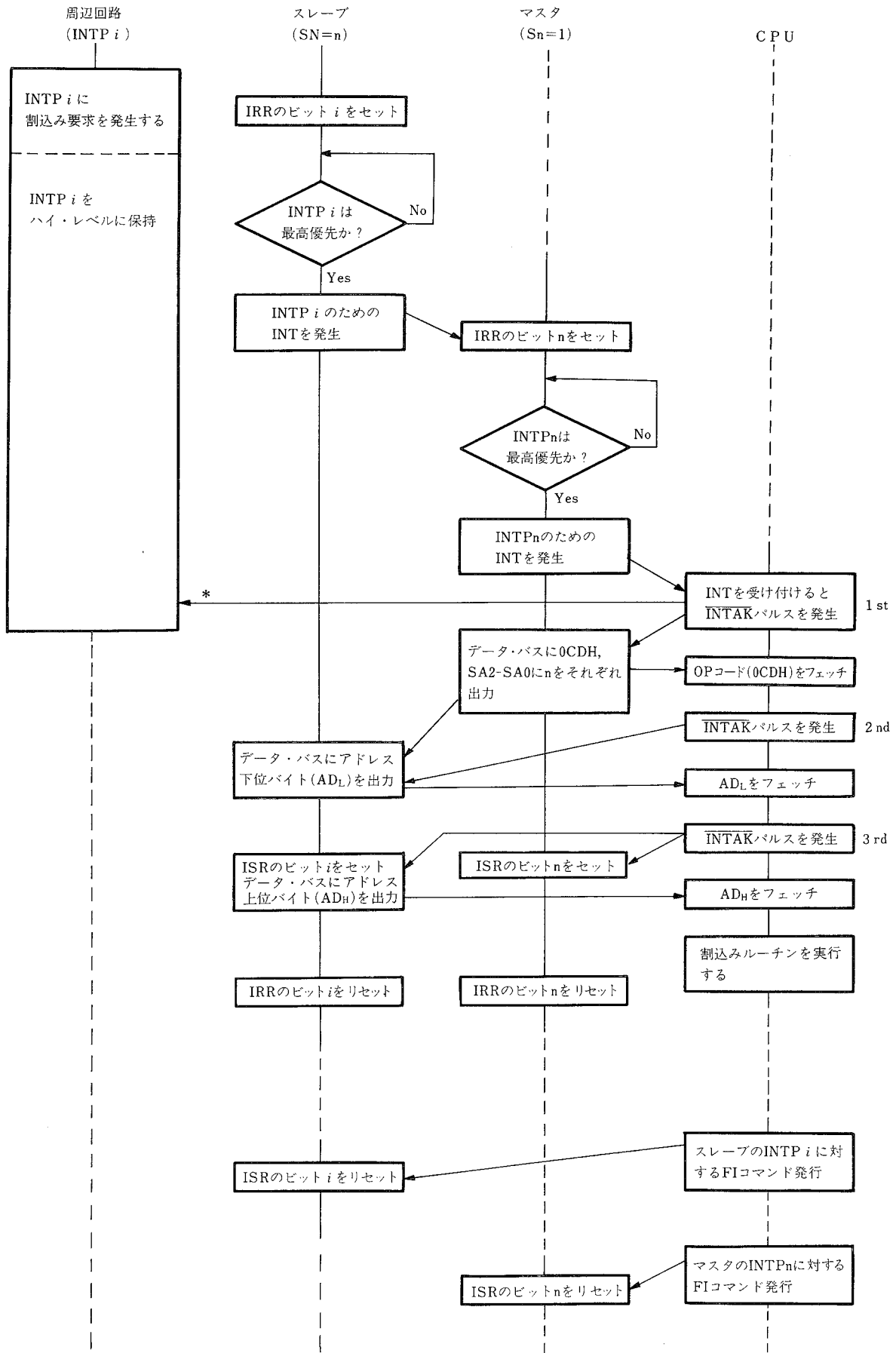
スレーブ・モードは拡張システムでスレーブとして使用されるμPD71059に対して設定します。スレーブ・モードではIW3のSN2-SN0で表されるスレーブ番号で、マスタのどのINTP端子に接続されているかを示しています。

スレーブは周辺回路からの割込み要求を受けると、優先されるものがあればINT出力によってマスタに割込み要求を出します。その要求がマスタを通してCPUに受け付けられると、CPUからの最初の $\overline{\text{INTAK}}$ パルスで、マスタはその割込み要求を出したスレーブを選択するために、その $\overline{\text{INTAK}}$ シーケンスが終るまでSA2-SA0端子にスレーブ・アドレスを出力します。スレーブは、SA2-SA0で入力されるスレーブ・アドレスと、自分の持っているSN2-SN0のスレーブ番号を比較し、一致すれば残りの $\overline{\text{INTAK}}$ シーケンスの動作を行いません。

マスタはスレーブ以外からの割込みの $\overline{\text{INTAK}}$ シーケンスでは、スレーブ・アドレス=0を出力していますので、使用するスレーブが8個未満の場合はマスタのINTP0にスレーブを接続してはいけません。

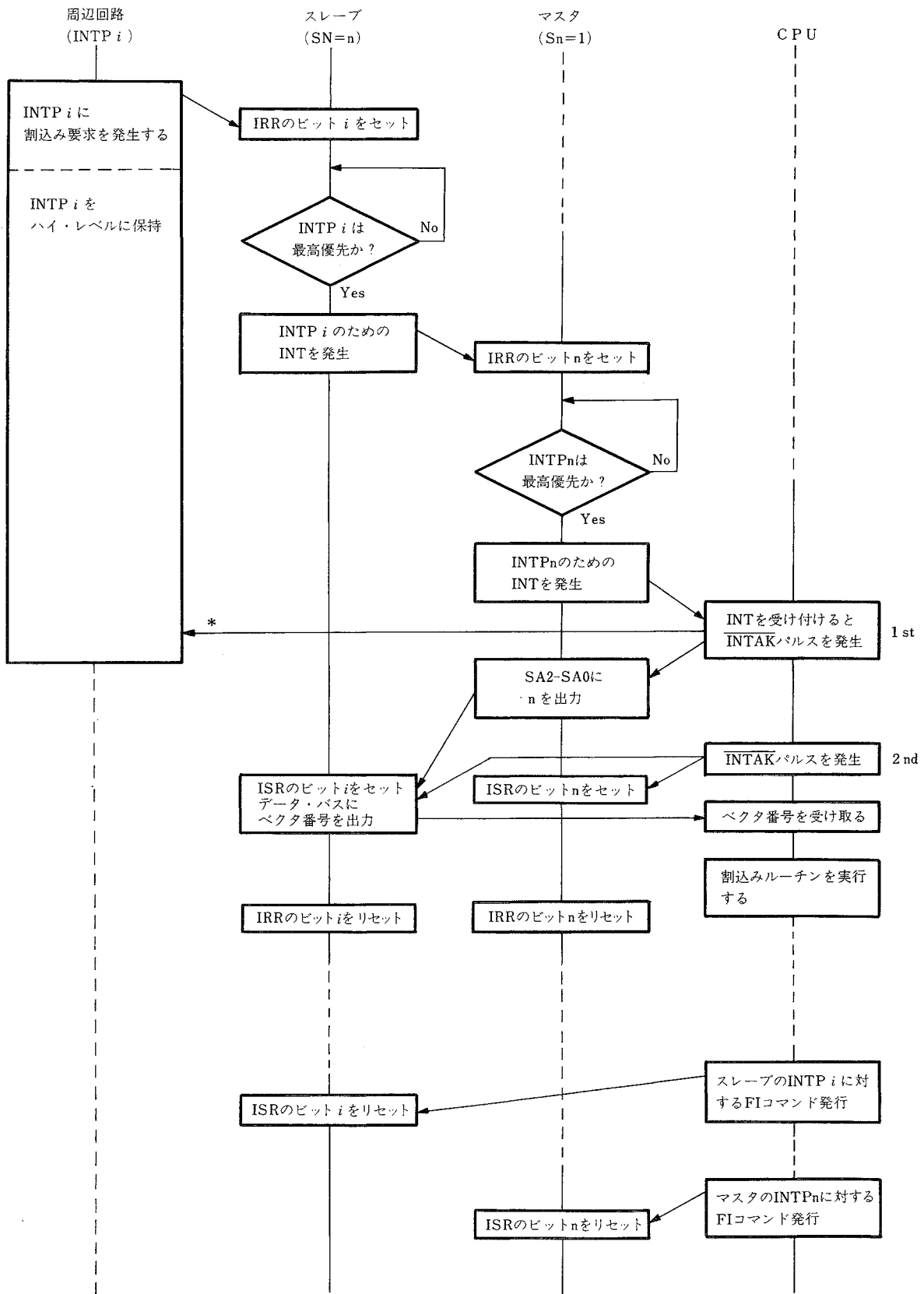
図5-4、図5-5に拡張モードでのスレーブからの割込みの場合の動作シーケンスを示します。

図5-4 スレープからの割込み (CALL モード)



\*: INTP<sub>i</sub>はその割込み要求に対する最初のINTAKパルスが発生するまではハイ・レベルを保つ必要があります。

図5-5 スレーブからの割込み (ベクタ・モード)

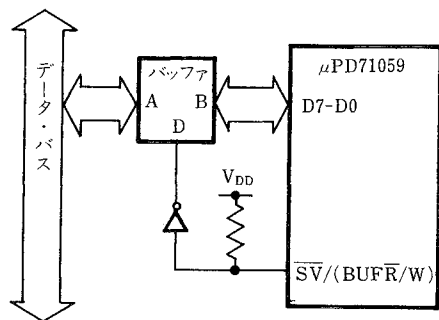


\* : INTP<sub>i</sub>はその割込み要求に対する最初のINTAKパルスが発生するまではハイ・レベルを保つ必要があります。

(3)バッファ・モード, 非バッファ・モード

システムの規模が大きく、μPD71059のデータ・バスにバッファが必要となるような場合は、そのバッファの方向を決定する信号を作り出すのはたいへん複雑になります。そのためμPD71059ではその信号を $\overline{SV}/(\overline{BUFR}/W)$ 端子から供給するバッファ・モードを持っています。バッファ・モードでは $\overline{SV}/(\overline{BUFR}/W)$ 端子の機能は $\overline{BUFR}/W$ 出力となり、 $\overline{BUFR}/W=0$ のときがμPD71059からのデータ出力であることを意味します。バッファ・モードでは $\overline{SV}$ 入力はできなくなりますので、拡張モード時のマスタ/スレーブの選択はIW4で行ないます。

図 5-6 バッファ・モード



注意 1 : Dはデータ方向を決定  
 ロウ・レベル : A→B  
 ハイ・レベル : A←B

注意 2 : μPD71059 は初期状態では $\overline{SV}$ 入力になる場合があるので、イニシャライズを行なうときにDをロウ・レベルにするためプルアップしてある。

5.3 ネスティングに関するモード

μPD71059では、割込みの多重化のためにネスティングの方法を変えることができます。これらはIW4のEXTNビット、MCWのSNM、EXCNビットによって操作できます。

(1)通常ネスト・モード

このモードはIW4を書込まない場合、またはIW4でEXTN=0とした場合に設定され、μPD71059で最も一般的なモードです。

このモードでは、ある割込みが実行中である（ISRの該当ビットが1）間は、そのレベルより優先順位が高い割込み要求しか受け付けません。

図5-7 通常ネスト・モード



(2)拡張ネスト・モード

このモードは、拡張モードでのマスタに対して意味を持ちます。拡張モードでは、一つのスレーブの持っている8レベルの割込み要求が、マスタから見ればたった一つのレベルになってしまいます。そのため、あるスレーブの一つの割込みが実行中の場合に、同じスレーブから、より優先順位の高い割込み要求が出されても、マスタから見れば同じレベルなので通常ネスト・モードでは受け付けられません。これでは完全なネスティングとは言えず、スレーブ内の優先順位の設定が意味がなくなってしまいます。そこで、この拡張ネスト・モードをマスタに対して設定することにより、スレーブからの割込み要求の場合に限り同じレベルでも受け付けるようになり、完全なネスティング動作が可能になります。

拡張モードの場合にはFIコマンドの発行に注意が必要です。スレーブからの割込みの場合は、まずスレーブに対してFIコマンドを発行します。次に、そのスレーブのイン・サービス・レジスタISRを讀出し、そのスレーブにまだサービス中の割込みがあるかどうか調べます。そして、サービス中の割込みが無かったら、すなわちISR=00Hの場合にのみマスタに対してもFIコマンドを発行します。周辺からの割込みの場合は、シングル・モードと同様にマスタにのみFIコマンドを発行します。

(3)例外ネスト・モード

μPD71059は通常ではネスティング動作(通常ネスト, 拡張ネスト)をしていますので, サービス中の割込みレベルより優先順位の低い割込み要求は受け付けられません。しかし, 場合によってはサービス中の割込みよりも低い優先順位の割込み要求を受け付けたいこともあり得ます。このような場合に例外ネスト・モードを設定します。この例外ネスト・モードを解除すれば元のネスティング動作に戻ります。

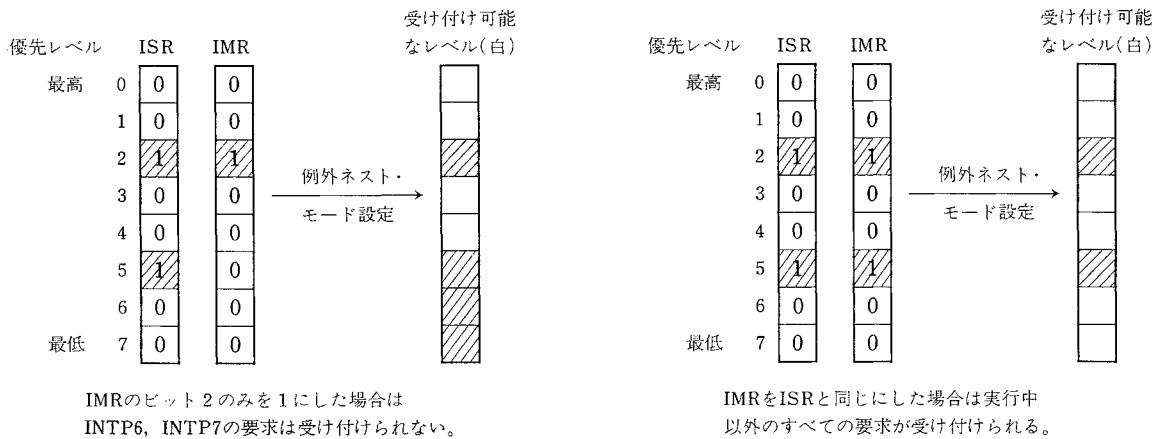
例外ネスト・モードでは割込みマスク・レジスタIMRがマスクする対象がIRRとISRの二つになります(例外ネスト解除状態ではIRRのみ)。このため, たとえば優先順位がINTP0最高でINTP2がサービス中のとき, その割込みルーチンでビット2を1としたIMWを書込み, 続いて例外ネスト・モードを設定すると, μPD71059にはISRのビット2は0であるように見え, INTP3以下の低い優先割込みを禁止する理由がなくなります。当然IRRのビット2もマスクされていますので, INTP2の再割込みは禁止されます。この例外ネスト・モードでマスクされているレベルに対するFIコマンドには注意が必要です。ISRがマスクされているため, 通常FIコマンドでは正常な動作は行なわれません。そのため, CPUからISRのビットを指定する指定FIコマンドを発行する必要があります。例外ネスト・モードを解除してからの場合には通常FIコマンドを発行しても問題はありません。

例外ネスト・モードを設定するときは, 割込みが多重化している可能性も考慮すると, 次のような手順になります。

- 1) ISRを読出す。
- 2) 読出した値をIMRに書込む。
- 3) 例外ネスト・モードを設定する。

このようにすることにより, 現在サービスされていないすべての割込み要求が受け付け可能になります。

図 5-8 例外ネスト・モード



5.4 FIコマンドと優先順位の変更

FIコマンド、優先順位の変更はすべてPFCWの書き込みで行ないます。

(1)通常FIコマンド

	D7	D6	D5	D4	D3	D2	D1	D0
PFCW =	0	0	1	0	0	×	×	×

通常FIコマンドを発行すると、μPD71059はサービス中の割込みの中で、優先順位が一番高いものに該当するISRのビットをリセットします。この動作によって最後に受け付けられた割込みが終了したものと見なされます。

割込みルーチン内で優先順位の変更を行なった場合や例外ネスト・モードが設定されている場合は、通常FIコマンドでは正しい動作が行なわれませんので注意が必要です。

(2)指定FIコマンド

	D7	D6	D5	D4	D3	D2	D1	D0
PFCW =	0	1	1	0	0	IL2	IL1	IL0

指定FIコマンドを発行すると、μPD71059はPFCWのIL2-IL0ビットによって指定されるISRのビットをリセットします。このコマンドは、通常FIコマンドが使用出来ない場合において特に有効です。

(3)通常回転FIコマンド

	D7	D6	D5	D4	D3	D2	D1	D0
PFCW =	1	0	1	0	0	×	×	×

通常回転FIコマンドを発行すると、μPD71059は通常FIコマンドの場合と同じ動作を行ない、さらにそのときに終了した割込みレベルを最低優先に設定します。

(4)指定回転FIコマンド

	D7	D6	D5	D4	D3	D2	D1	D0
PFCW =	1	1	1	0	0	IL2	IL1	IL0

指定回転FIコマンドを発行すると、μPD71059は指定FIコマンドの場合と同じ動作を行ない、さらにIL2-IL0ビットで指定される割込みレベルを最低優先に設定します。この場合、優先順位の変更は規則的ではなく、ユーザによって任意に行なわれますので、ユーザはネスティングの管理を行なう必要があります。

(5)指定回転コマンド

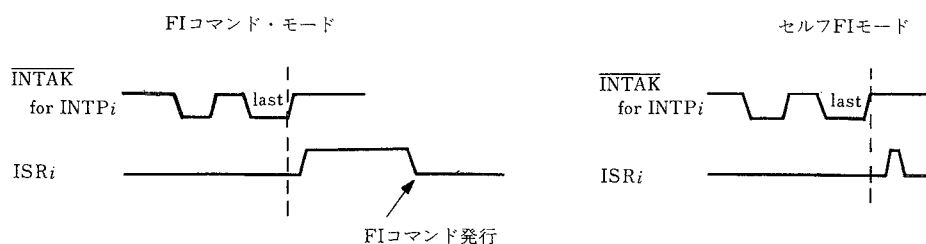
	D7	D6	D5	D4	D3	D2	D1	D0
PFCW =	1	1	0	0	0	IL2	IL1	IL0

指定回転コマンドを発行すると、μPD71059はPFCWのIL2-IL0ビットによって指定される割込みレベルを最低優先に設定します。この場合もユーザはネスティングの管理をする必要があります。

(6)セルフFIモード

IW4のSFIビットが1に設定された場合、μPD71059はセルフFIモードになります。このモードではINTAK $\overline{\text{シケンス}}$ の最後のINTAK $\overline{\text{パルス}}$ が終了した直後にISRの該当ビットがセットされ、自動的に同じ該当ビットがリセットされます。このため割込みルーチンの終了時にCPUからFIコマンドを発行する必要がなくなります。しかし、このモードではISRにサービス中かどうかの情報を持っていませんので、割込み許可になっていると新しく発生する割込み要求はどんどん受け付けられます(もちろん優先の高いものから)。そのため割込み要求の発生頻度が大きい場合やレベル・トリガモードの場合は割込み多重あふれ(スタック領域が足りなくなる)が起こる可能性がありますので注意が必要です。

図5-9 ISRのセット/リセット・タイミング





セルフFIモードにおいて、優先順位の回転動作を付加することができます。この回転動作を付加させると、 $\overline{\text{INTAK}}$ シーケンスの終了時にISRの該当ビットのリセットと同時に、該当の割込みレベルを最低優先に設定します。優先順位の回転動作を付加するか、しないかもPFCWによって設定されます。それぞれのPFCWのフォーマットを示します。セルフFIモードでないときは、これらの二つのコマンドは意味を持ちません。

			D7	D6	D5	D4	D3	D2	D1	D0
セルフFI	回転付加	PFCW =	1	0	0	0	0	×	×	×
			D7	D6	D5	D4	D3	D2	D1	D0
セルフFI	回転非付加	PFCW =	0	0	0	0	0	×	×	×

## 5.5 その他のモード, コマンド

### (1) エッジ・トリガ・モード

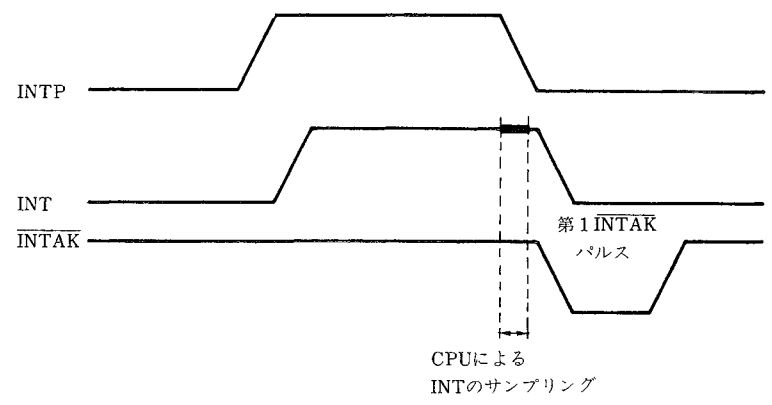
エッジ・トリガ・モードではINTPの入力は立上がりエッジによってトリガされ、IRRの該当ビットが1になります。IRRの内容は $\overline{\text{INTAK}}$ シーケンスにならないとラッチされませんので、要求に対応する、CPUからの $\overline{\text{INTAK}}$ パルスがμPD71059に返されるまでは、INTPをハイ・レベルに保つ必要があります。次の割込み要求が発生するためにはINTPを1度ロウ・レベルに下げてから再びハイ・レベルに立上げなければなりません。

### (2) レベル・トリガ・モード

レベル・トリガ・モードでは、INTPの入力はハイ・レベルによってトリガされ、IRRの該当ビットが1になります。エッジ・トリガ・モードの場合と同様に、要求に対応する、CPUからの $\overline{\text{INTAK}}$ パルスがμPD71059に返されるまでは、INTPをハイ・レベルに保つ必要があります。INTPがハイ・レベルである限り何回でも割込み要求が発生しますので、割込み多重あふれが生じないように注意する必要があります。

注意：μPD71059のINT出力がロウ・レベルのときにCPUから $\overline{\text{INTAK}}$ パルスが入力されると、μPD71059はレベル7の割り込みがあったかのように動作します。この場合、ISRのビット7はセットされません。このため、あるINTPに要求が発生して、その要求に対するCPUからの $\overline{\text{INTAK}}$ パルスが返る前に、そのINTP入力がロウ・レベルに落ちてしまうような不完全割り込みの要求が起り得る場合は、レベル7の処理は不完全割り込み要求に対する処理をする必要があり、ISRのビット7で判断します。また不完全割り込み要求の場合はISRのビット7がセットされませんので、その処理ではFIコマンドは発行してはいけません。

図 5-10 不完全割り込み要求



## (3)IRR, ISR, IMRの読出し

内部レジスタの中で、IRR, ISR, IMRの三つはCPUが読出すことができます。

IMRを読出す場合はA0=1としてμPD71059に対してIN命令を行ないます。

IRRとISRの読出しの場合はA0=0としますが、IRRかISRかの選択は読出しの前にMCWで行ないます。IRRを選択する場合はSR=1, IS/ $\overline{IR}$ =0, ISRを選択する場合はSR=1, IS/ $\overline{IR}$ =1としたMCWを書込みます。選択した情報は保持されますので、前回と同じレジスタを読出す場合はMCWを書込む必要はありません。読出されるIRR, ISRのデータはIMRによってマスクされることはありません。

## (4)ポーリング・コマンド

μPD71059ではポーリング動作もできます。

ポーリング動作を行なう場合は、CPUは最初に自身の割込みを禁止します。次にPOLビットを1としたMCWによりμPD71059へポーリング・コマンドを発行します。このコマンドによりμPD71059は、CPUから読出しが行なわれるまでポーリング・フェーズに入ります。ポーリング・フェーズ中にA0=0として読出しを行なえば、IRR, ISRではなく、図5-11に示すようなポーリング・データが読出されます。そしてμPD71059はポーリング・フェーズを終了します。

この時ポーリング・データのINTビットが1ならば、μPD71059はポーリング・データのPL2-PL0ビットで示される割込みレベルに該当するISRのビットをセットし、その割込みが実行中であるとみなします。よって、CPUは読出されたポーリング・データを基に該当する処理を行ない、その終了時にはFIコマンドを発行する必要があります。

**注意：**ポーリング・フェーズ中にA0=1として読出しを行なった場合は、ポーリング・データではなくIMRの内容が得られますが、μPD71059はA0=0の場合と同様の動作をします。このためネスティングが乱れることがあり得ますのでポーリング・フェーズでは、A0=0とした読出しのみを行なってください。

図5-11 ポーリング・データ

	D7	D6	D5	D4	D3	D2	D1	D0
INT	0	0	0	0	0	PL2	PL1	PL0

## INT (Interrupt)

このビットはINT端子と同じ意味で、1のときμPD71059が、あるINTPを受け付けたことを示します。

## PL2-PL0 (Permitted Level)

このビットはINTビットが1のときに有効で、受け付けた割込みレベルを示します。

6. 電気的特性

絶対最大定格 (Ta=25 °C)

項 目	略 号	条 件	定 格	単 位
電 源 電 圧	V <sub>DD</sub>		-0.5~+7.0	V
入 力 電 圧	V <sub>I</sub>		-0.5~V <sub>DD</sub> +0.3	V
出 力 電 圧	V <sub>O</sub>		-0.5~V <sub>DD</sub> +0.3	V
動 作 温 度	T <sub>opt</sub>		-40~+85	°C
保 存 温 度	T <sub>stg</sub>		-65~+150	°C

DC特性 (Ta=-40~+85 °C, V<sub>DD</sub>=5 V±10 %)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
高 レ ベ ル 入 力 電 圧	V <sub>IH</sub>		2.2		V <sub>DD</sub> +0.3	V
低 レ ベ ル 入 力 電 圧	V <sub>IL</sub>		-0.5		0.8	V
高 レ ベ ル 出 力 電 圧	V <sub>OH</sub>	I <sub>OH</sub> =-400 μA	0.7×V <sub>DD</sub>			V
低 レ ベ ル 出 力 電 圧	V <sub>OL</sub>	I <sub>OL</sub> =2.5 mA			0.4	V
高 レ ベ ル 入 力 リ ー ク 電 流	I <sub>L1H</sub>	V <sub>I</sub> =V <sub>DD</sub>			10	μA
低 レ ベ ル 入 力 リ ー ク 電 流	I <sub>L1L</sub>	V <sub>I</sub> =0 V			-10	μA
高 レ ベ ル 出 力 リ ー ク 電 流	I <sub>LOH</sub>	V <sub>O</sub> =V <sub>DD</sub>			10	μA
低 レ ベ ル 出 力 リ ー ク 電 流	I <sub>LOL</sub>	V <sub>O</sub> =0 V			-10	μA
高 レ ベ ル INT <sub>P</sub> 入 力 リ ー ク 電 流	I <sub>L1PH</sub>	V <sub>I</sub> =V <sub>DD</sub>			10	μA
低 レ ベ ル INT <sub>P</sub> 入 力 電 流	I <sub>I1PL</sub>	V <sub>I</sub> =0 V			-300	μA
電 源 電 流	I <sub>DD1</sub>	動 作 時		注2 3.5/4.0	9	mA
	I <sub>DD2</sub>	スタンバイ時 注1 入力端子: V <sub>IH</sub> =V <sub>DD</sub> -0.1V V <sub>IL</sub> =0.1V 出力端子: オープン		2	50	μA

注1. スタンバイ時のINT<sub>P</sub>7-INT<sub>P</sub>0入力はハイ・レベルを入力しています。INTAK入力、CS入力はハイ・レベルにしてください。  
 2. /の左側がμPD71059, 右側がμPD71059-10です。

容量 (Ta=25 °C, V<sub>DD</sub>=0 V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
入 力 容 量	C <sub>1</sub>	f <sub>c</sub> =1 MHz			10	pF
入 出 力 容 量	C <sub>10</sub>	被測定端子以外は0 V			20	pF

AC特性 ( $T_a = -40 \sim +85^\circ\text{C}$ ,  $V_{DD} = 5\text{V} \pm 10\%$ )

リード・タイミング:

項目	略号	条件	μPD71059		μPD71059-10		単位
			MIN.	MAX.	MIN.	MAX.	
アドレス <sup>注</sup> 設定時間 (対 $\overline{\text{RD}}\downarrow$ )	$t_{\text{SAR}}$		0		0		ns
アドレス <sup>注</sup> 保持時間 (対 $\overline{\text{RD}}\uparrow$ )	$t_{\text{HRA}}$		0		0		ns
低レベル $\overline{\text{RD}}$ パルス幅	$t_{\text{RRL}}$		160		120		ns
高レベル $\overline{\text{RD}}$ パルス幅	$t_{\text{RRH}}$		120		90		ns
データ遅延時間 (対アドレス <sup>注</sup> )	$t_{\text{DAD}}$	$C_L = 150\text{pF}$		200		120	ns
データ遅延時間 (対 $\overline{\text{RD}}\downarrow$ )	$t_{\text{DRD}}$			120		95	ns
データ・フロート時間 (対 $\overline{\text{RD}}\uparrow$ )	$t_{\text{FRD}}$	$C_L = 100\text{pF}$	10	85	10	60	ns
$\text{BUF}\overline{\text{R}}/\text{W}$ 遅延時間 (対 $\overline{\text{RD}}\downarrow$ )	$t_{\text{DRBL}}$	$C_L = 150\text{pF}$		100		80	ns
$\text{BUF}\overline{\text{R}}/\text{W}$ 遅延時間 (対 $\overline{\text{RD}}\uparrow$ )	$t_{\text{DRBH}}$			150		100	ns

ライト・タイミング:

項目	略号	条件	μPD71059		μPD71059-10		単位
			MIN.	MAX.	MIN.	MAX.	
アドレス <sup>注</sup> 設定時間 (対 $\overline{\text{WR}}\downarrow$ )	$t_{\text{SAW}}$		0		0		ns
アドレス <sup>注</sup> 保持時間 (対 $\overline{\text{WR}}\uparrow$ )	$t_{\text{HWA}}$		0		0		ns
低レベル $\overline{\text{WR}}$ パルス幅	$t_{\text{WWL}}$		120		100		ns
高レベル $\overline{\text{WR}}$ パルス幅	$t_{\text{WWH}}$		120		90		ns
データ設定時間 (対 $\overline{\text{WR}}\uparrow$ )	$t_{\text{SDW}}$		120		100		ns
データ保持時間 (対 $\overline{\text{WR}}\uparrow$ )	$t_{\text{HWD}}$		0		0		ns

注 アドレスとは  $\text{A0}$  と  $\overline{\text{CS}}$  を指します。

割り込みタイミング：

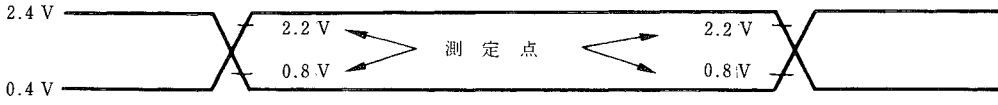
項 目	略 号	条 件	μPD71059		μPD71059-10		単 位
			MIN.	MAX.	MIN.	MAX.	
INTP パルス幅	t <sub>PIPL</sub>	注1	100		80		ns
SA 設定時間 (対第2, 第3 $\overline{\text{INTAK}}\downarrow$ )	t <sub>SSIA</sub>	スレーブ	40		40		ns
低レベル $\overline{\text{INTAK}}$ パルス幅	t <sub>IAIAL</sub>		160		120		ns
高レベル $\overline{\text{INTAK}}$ パルス幅	t <sub>IAIAH</sub>	$\overline{\text{INTAK}}$ シーケンス内	120		90		ns
INT 遅延時間 (対INTP $\uparrow$ )	t <sub>DIPi</sub>	C <sub>L</sub> = 150 pF		300		200	ns
SA 遅延時間 (対第1 $\overline{\text{INTAK}}\downarrow$ )	t <sub>DIAS</sub>	マスタ, C <sub>L</sub> = 150 pF		360		250	ns
データ遅延時間 (対 $\overline{\text{INTAK}}\downarrow$ )	t <sub>DIAD</sub>	C <sub>L</sub> = 150 pF		120		95	ns
データ・フロート時間 (対 $\overline{\text{INTAK}}\uparrow$ )	t <sub>FIAD</sub>	C <sub>L</sub> = 100 pF	10	85	10	60	ns
データ遅延時間 (対SA)	t <sub>DSD</sub>	スレーブ, C <sub>L</sub> = 150 pF		200		150	ns
BUF $\overline{\text{R}}$ /W 遅延時間 (対 $\overline{\text{INTAK}}\downarrow$ )	t <sub>DIABL</sub>	C <sub>L</sub> = 150 pF		100		80	ns
BUF $\overline{\text{R}}$ /W 遅延時間 (対 $\overline{\text{INTAK}}\uparrow$ )	t <sub>DIABH</sub>			150		100	ns

その他のタイミング：

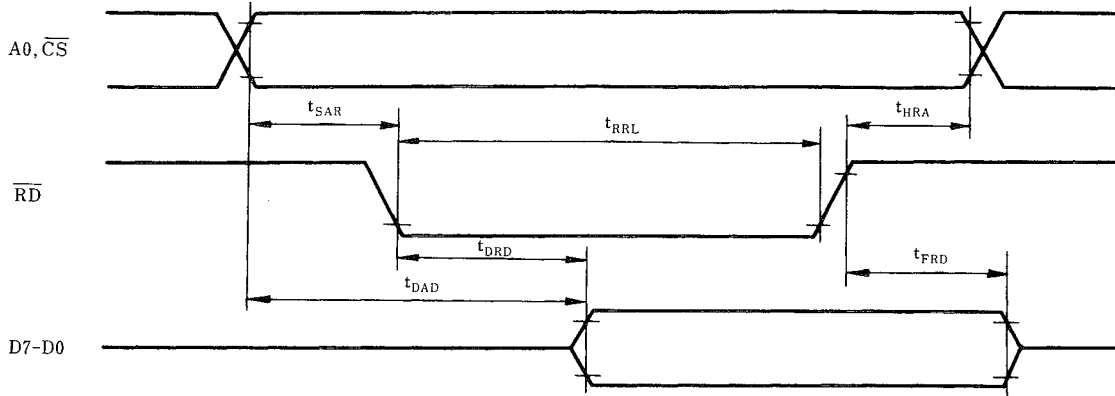
項 目	略 号	条 件	μPD71059		μPD71059-10		単 位
			MIN.	MAX.	MIN.	MAX.	
リード/ライト回復時間	t <sub>RV1</sub>	注2	120		90		ns
$\overline{\text{INTAK}}$ 回復時間	t <sub>RV2</sub>	注3	250		90		ns
$\overline{\text{INTAK}}$ /コマンド回復時間	t <sub>RV3</sub>	注4	250		90		ns

- 注1. エッジ・トリガ・モードにおいて、入力ラッチをクリアするために必要な時間です。  
 2. リードからライト、またはライトからリードへ動作が移るときに必要な時間です。  
 3.  $\overline{\text{INTAK}}$ シーケンスの最後の $\overline{\text{INTAK}}$ パルスから次の $\overline{\text{INTAK}}$ シーケンスへ移るときに必要な時間です。  
 4.  $\overline{\text{INTAK}}$ からコマンド（リード/ライト）またはコマンドから $\overline{\text{INTAK}}$ へ動作が移るときに必要な時間です。

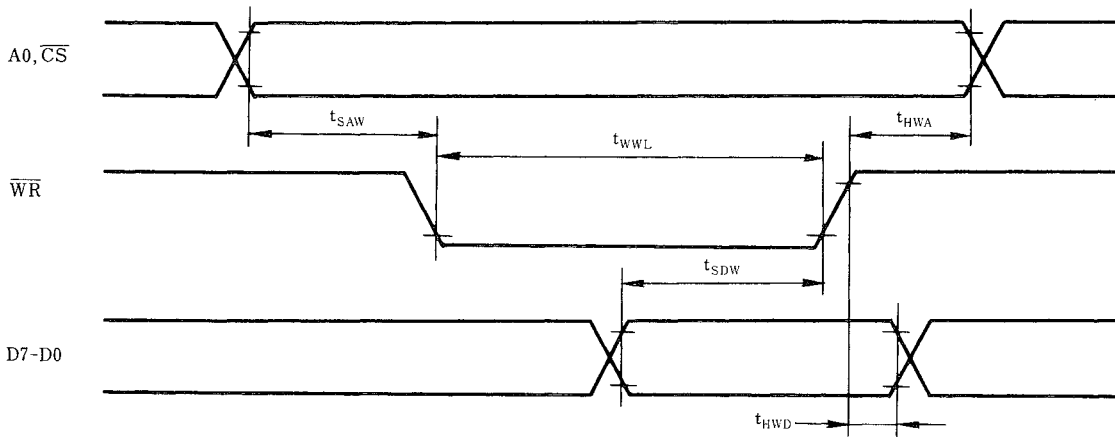
ACテスト 入力波形



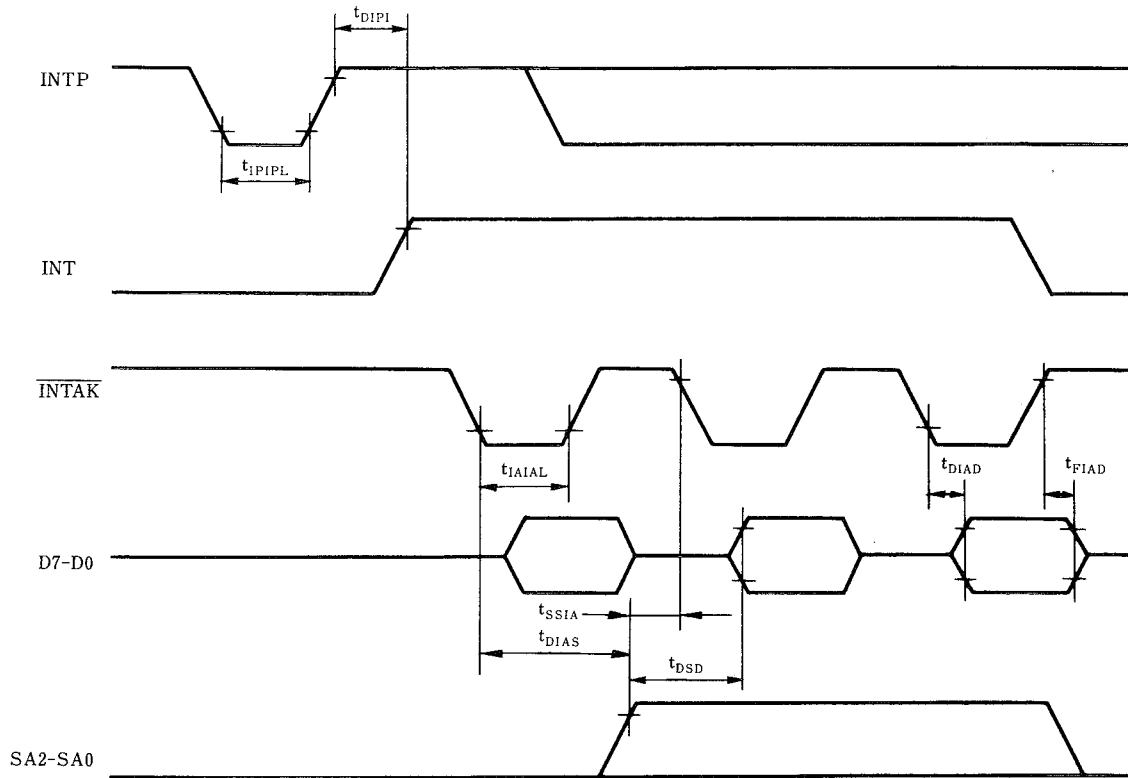
リード・サイクル :



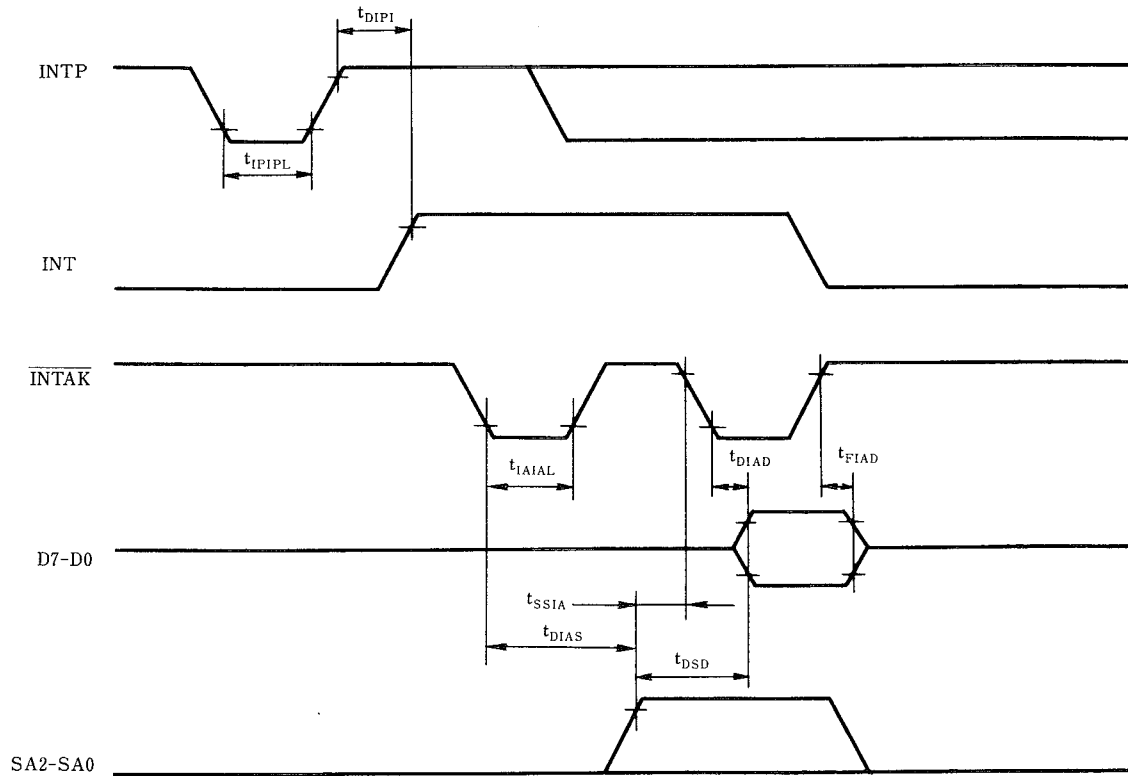
ライト・サイクル :



INTAKシーケンス(CALLモード)タイミング



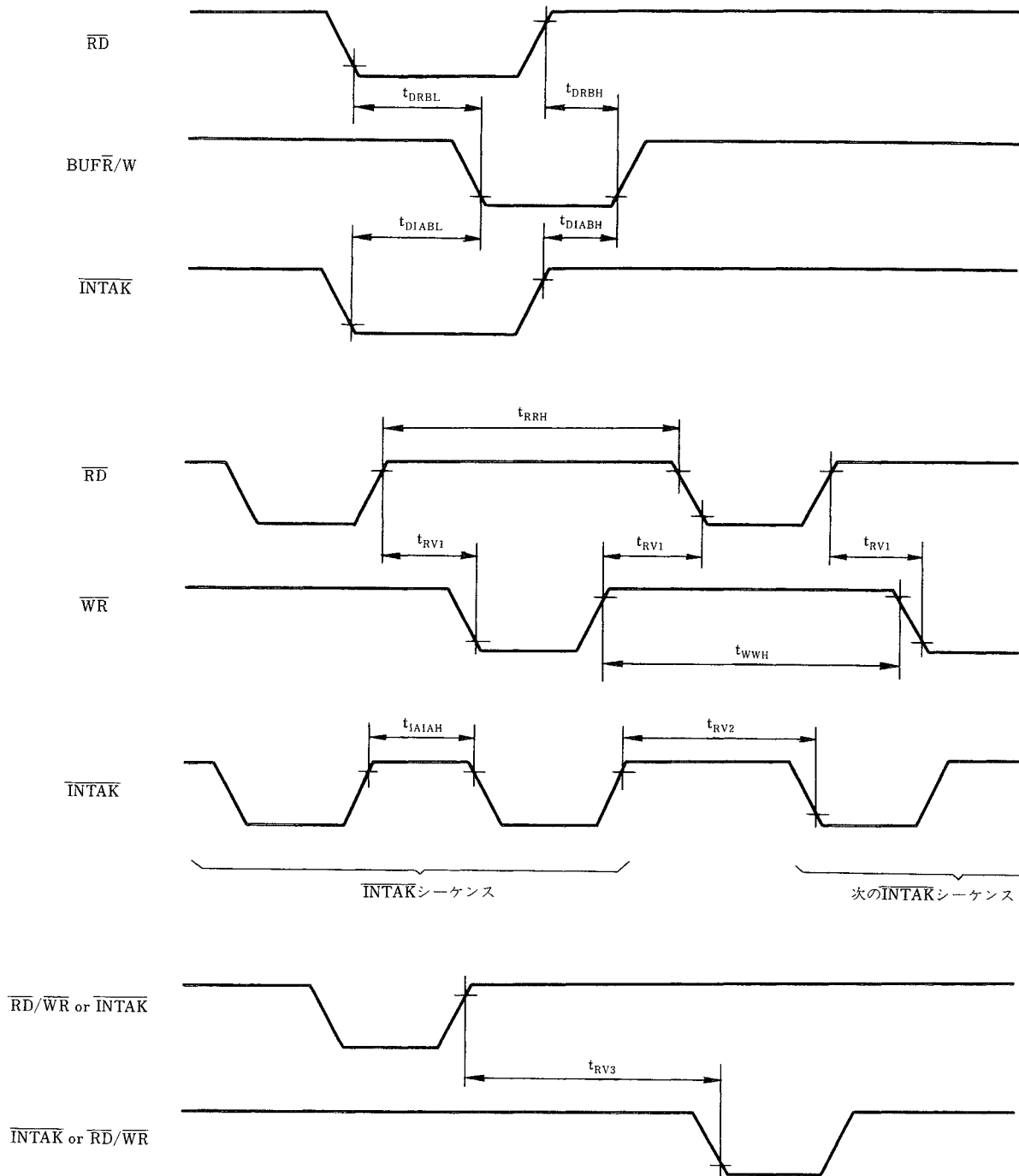
INTAKシーケンス(ベクタ・モード)タイミング



INTP入力は少なくとも最初のINTAKパルスの立下がりまではハイ・レベルを保つ必要があります。

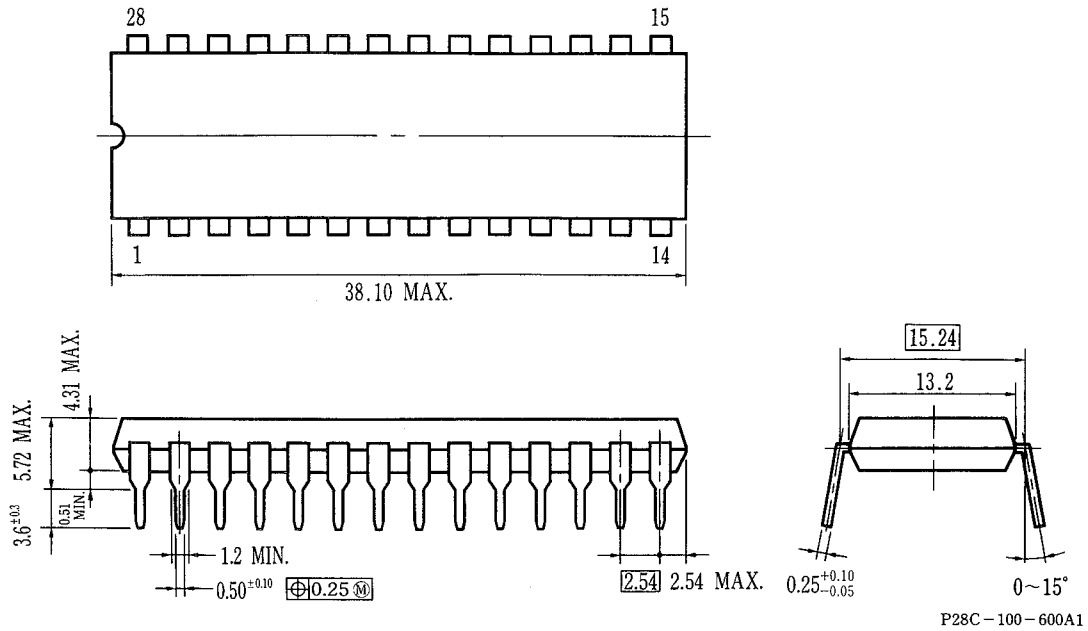


その他のタイミング：

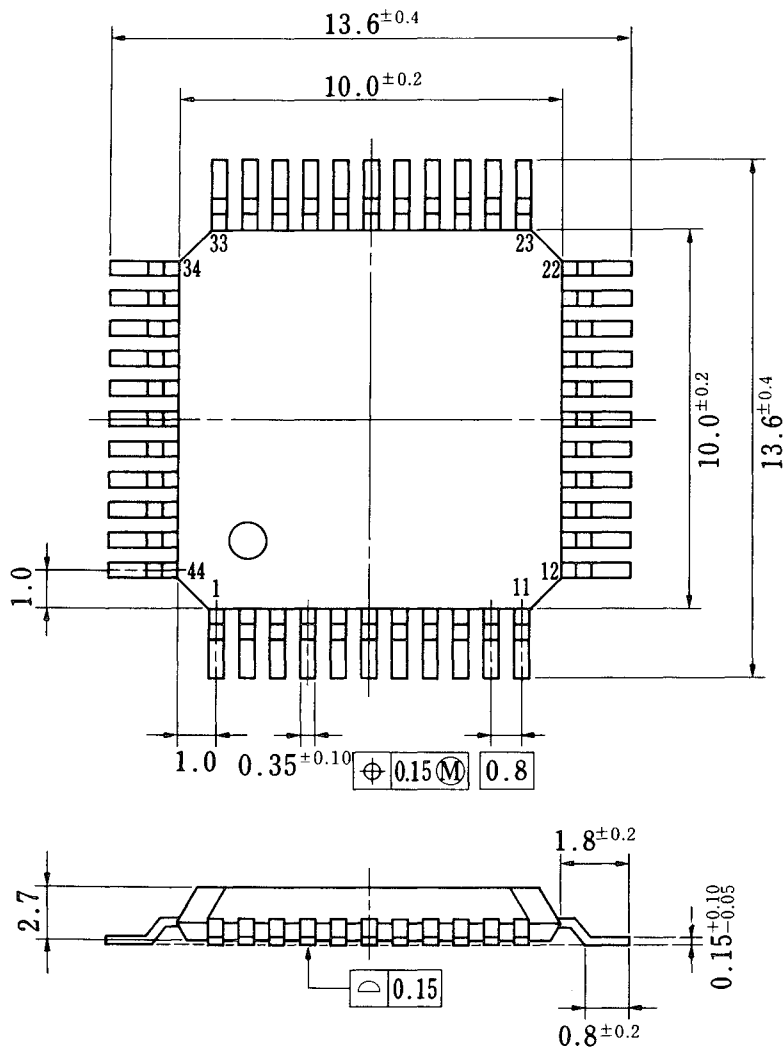


7. 外形図

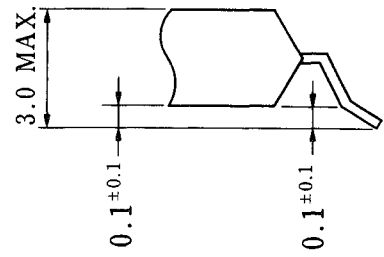
28ピン・プラスチック DIP (600 mil) 外形図(単位 : mm)



44ピン・プラスチック QFP (□10) 外形図(単位: mm)

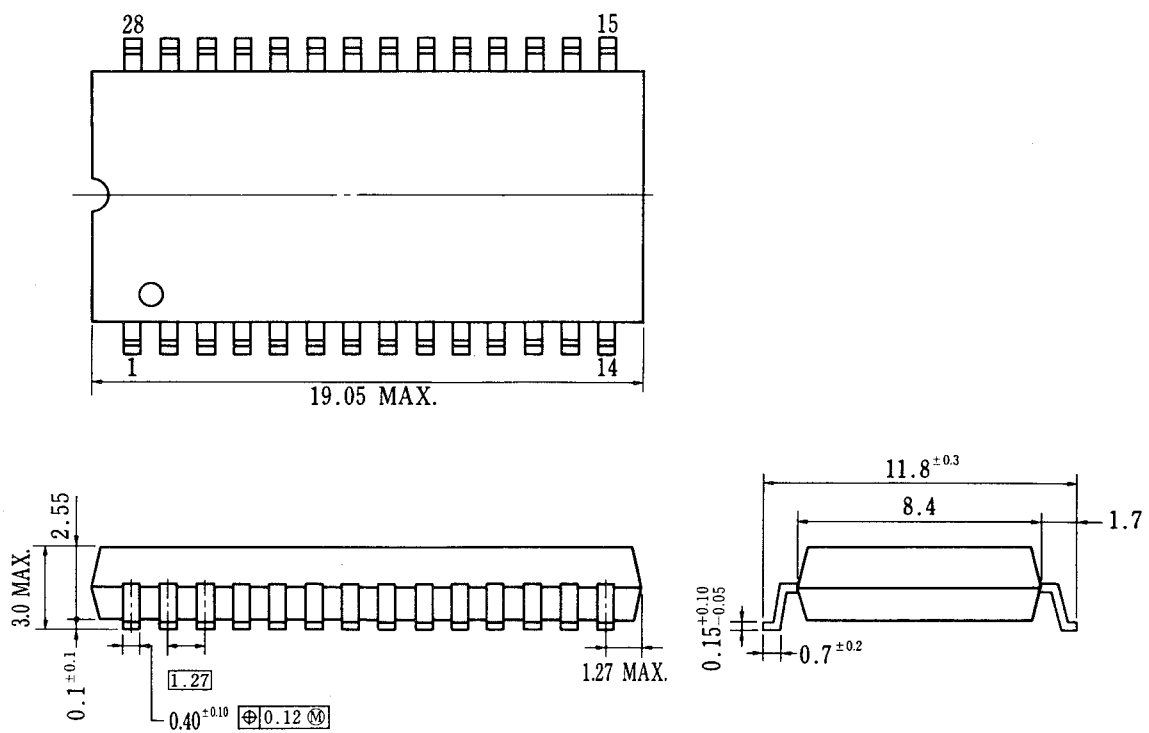


端子先端形状詳細図



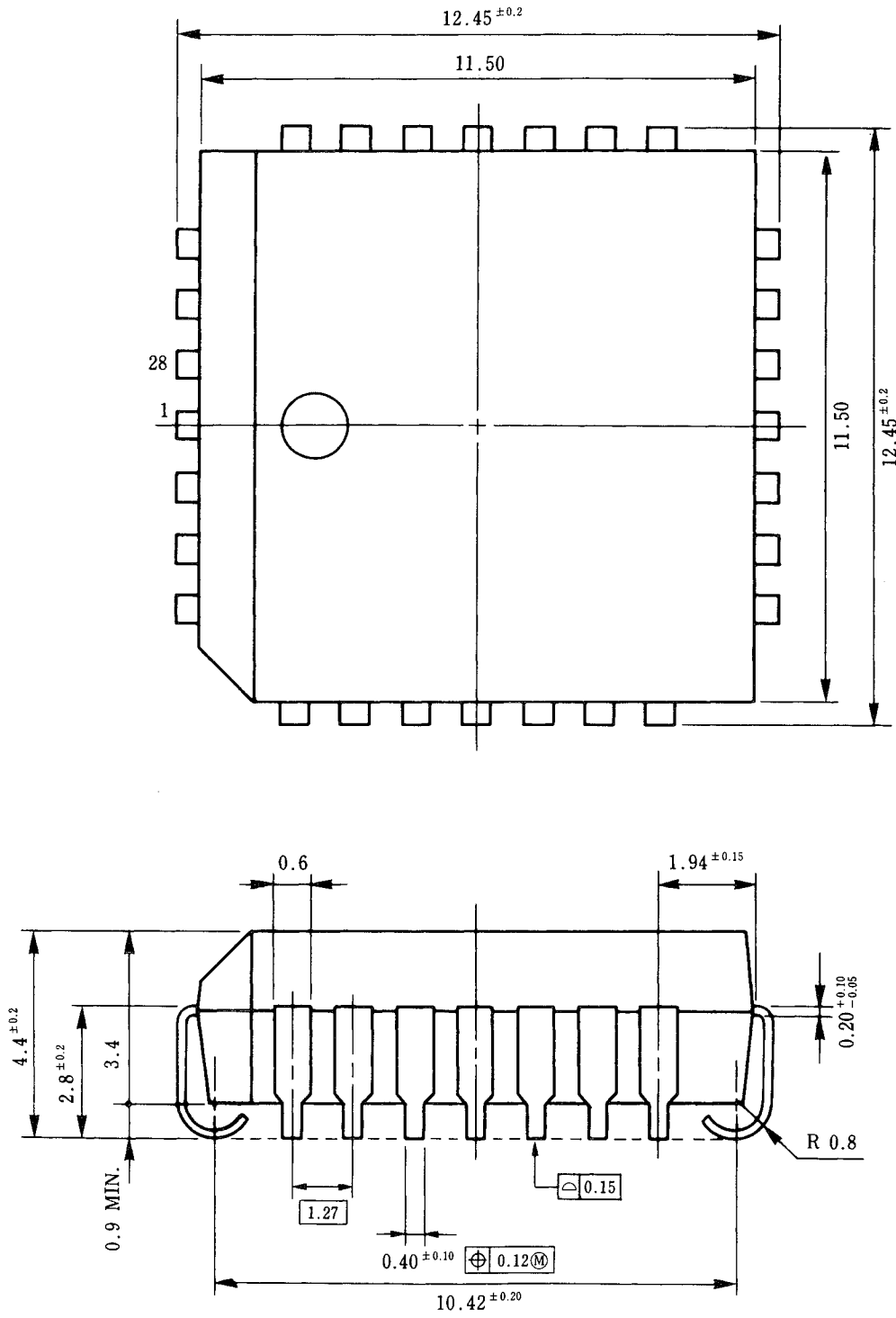
P44GB-80-3B4-1

28ピン・プラスチック SOP (450 mil) 外形図(単位: mm)



P28GM-50-450A2-1

28ピンPLCC (□450) 外形図(単位: mm)



P28L-50A1-1

★ 8. 実装条件

本製品の半田付け実装は、下表の推奨条件で実施願います。

なお、推奨条件以外の半田付け方式および半田付け条件については、販売員にご相談ください。

表面実装タイプ

半田付け推奨条件の詳細は、インフォメーション資料「半導体デバイス実装マニュアル」(C10535J)をご参照ください。

μPD71059GB-3B4 : 44ピン・プラスチックQFP (□10)

μPD71059GB-10-3B4 : //

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃、時間：30秒以内(210℃以上)、回数：3回以内	IR35-00-3
VPS	パッケージ・ピーク温度：215℃、時間：40秒以内(200℃以上)、回数：3回以内	VP15-00-3
ウェーブ・ソルダリング	半田槽温度：260℃以下、時間：10秒以内、回数：1回、 予備加熱温度：120℃ MAX. (パッケージ表面温度)	WS60-00-1
端子部分加熱	端子温度：300℃以下、時間：3秒以内 (デバイスの一辺当たり)	—

μPD71059GU : 28ピン・プラスチックSOP (450 mil)

μPD71059GU-10 : //

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：230℃、時間：30秒以内 (210℃以上)、回数：1回	IR30-00-1
VPS	パッケージ・ピーク温度：215℃、時間：40秒以内 (200℃以上)、回数：1回	VP15-00-1
端子部分加熱	端子温度：300℃以下、時間：3秒以内 (デバイスの一辺当たり)	—

μPD71059L : 28ピンPLCC (□450)

μPD71059L-10 : //

半田付け方式	半田付け条件	推奨条件記号
VPS	パッケージ・ピーク温度：215℃、時間：40秒以内 (200℃以上)、回数：1回	VP15-00-1
端子部分加熱	端子温度：300℃以下、時間：3秒以内 (デバイスの一辺当たり)	—

注意 半田付け方式の併用はお避けください (ただし、端子部分加熱方式は除く)。

## 挿入タイプ

μPD71059C : 28ピン・プラスチックDIP (600 mil)

半田付け方式	半田付け条件
ウェーブ・ソルダリング (端子のみ)	半田槽温度：260℃以下，時間：10秒以内
端子部分加熱	端子温度：300℃以下，時間：3秒以内（1端子当たり）

注意 ウェーブ・ソルダリングは端子のみとし、噴流半田が直接本体に接触しないようにご注意ください。  
半田付け方式の併用はお避けください（ただし、端子部分加熱方式は除く）。

関連資料 μPD71059 ユーザーズ・マニュアル IEP-703

参考資料 電気的特性の考え方 マイコン編 IEI-601

- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的所有権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
- 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。  
 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット  
 特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災/防犯装置、各種安全装置、生命維持を直接の目的としない医療機器  
 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等  
 当社製品のデータ・シート/データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。
- この製品は耐放射線設計をしておりません。

M4 94.11

V20™, V30™ は日本電気株式会社の商標です。

— お問い合わせは、最寄りのNECへ —

【営業関係お問い合わせ先】

半導体第一販売事業部 半導体第二販売事業部 半導体第三販売事業部	〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3454-1111 (大代表)
中部支社 半導体第一販売部 半導体第二販売部	〒460 名古屋市中区錦一丁目17番1号 (NEC中部ビル)	名古屋 (052)222-2170 名古屋 (052)222-2190
関西支社 半導体第一販売部 半導体第二販売部 半導体第三販売部	〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3178 大阪 (06) 945-3200 大阪 (06) 945-3208
北海道支社 東北支社 岩手支店 山形支店 郡山支店 いわき支店 長岡支店 土浦支店 水戸支店 神奈川支社 群馬支店	札幌 (011)231-0161 仙台 (022)267-8740 盛岡 (019)651-4344 山形 (0236)23-5511 郡山 (0249)23-5511 いわき (0246)21-5511 長岡 (0258)36-2155 土浦 (0298)23-6161 水戸 (029)226-1717 横浜 (045)324-5524 高崎 (0273)26-1255	太田支店 太田 (0276)46-4011 宇都宮支店 宇都宮 (028)621-2281 小山支店 小山 (0285)24-5011 長野支社 松本 (0263)35-1662 甲府支店 甲府 (0552)24-4141 埼玉支社 大宮 (048)641-1411 立川支社 立川 (0425)26-5981 千葉支社 千葉 (043)238-8116 静岡支社 静岡 (054)255-2211 北陸支社 金沢 (0762)23-1621 福井支店 福井 (0776)22-1866
富山支店 三重支店 京都支社 神戸支社 中国支社 鳥取支店 岡山支店 四国支社 新居浜支店 松山支店 九州支社	富山 (0764)31-8461 津 (0592)25-7341 京都 (075)344-7824 神戸 (078)333-3854 広島 (082)242-5504 鳥取 (0857)27-5311 岡山 (086)225-4455 高松 (0878)36-1200 新居浜 (0897)32-5001 松山 (089)945-4149 福岡 (092)271-7700	

【本資料に関する技術お問い合わせ先】

半導体ソリューション技術本部 マイクロコンピュータ技術部	〒210 川崎市幸区塚越三丁目484番地	川崎 (044)548-8890	半導体 インフォメーションセンター FAX(044)548-7900 (FAXにてお願い致します)
半導体販売技術本部 東日本販売技術部	〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3798-9619	
半導体販売技術本部 中部販売技術部	〒460 名古屋市中区錦一丁目17番1号 (NEC中部ビル)	名古屋 (052)222-2125	
半導体販売技術本部 西日本販売技術部	〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3383	