

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。



CMOS高性能プログラマブルDMAコントローラ

μPD71037はマイクロプロセッサ・システム用のダイレクト・メモリ・アクセス・コントローラ (DMAC) です。μPD71037は従来品に比べて高速化, および低消費電力化を実現しています。内蔵する4つのDMAチャンネルはそれぞれ64 Kバイト・アドレスと転送バイト数のカウント機能を持っており, I/Oメモリ転送およびメモリ・メモリ転送の両方が可能です。

特 徴

- μPD8237A-5 (5 MHz動作) の2倍の処理速度 (10 MHz動作)
- 独立した動作が可能な4つのDMAチャンネル
- すべてのチャンネルを個々にセルフイニシャライズ
- メモリ・メモリ転送
- ブロック単位でメモリ内容を初期化
- 高速データ転送: 3.2 Mバイト/秒 (10 MHz動作時, 通常転送モード)
5.0 Mバイト/秒 (10 MHz動作時, 圧縮転送モード)
- DMAチャンネル数を直接拡張可能 (拡張モード)
- 転送終了用の $\overline{\text{END}}$ 入力
- ソフトウェアDMAリクエスト
- CMOS
- 低消費電力

オーダー情報

品 名	パッケージ
μPD71037CZ-10	40ピン・プラスチックDIP (600 mil)
μPD71037GB-10-3B4	44ピン・プラスチックQFP (□10 mm)
μPD71037LM-10	44ピン・プラスチックQFJ (□650 mil)

用 途

パソコン, オフコン, EWSをはじめとする各種OA機器, および通信, 計測, 制御分野など

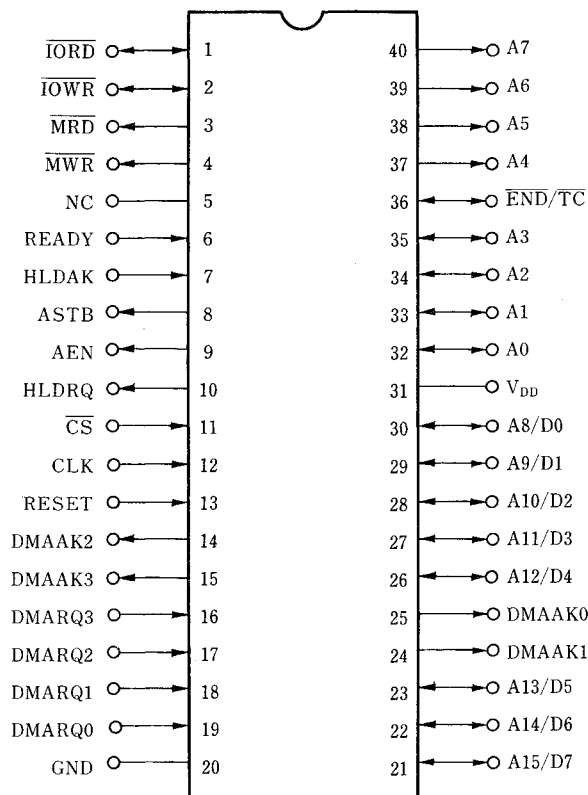
本資料の内容は, 後日変更する場合があります。



端子接続図 (Top View)

40ピン・プラスチック DIP

μPD71037CZ-10

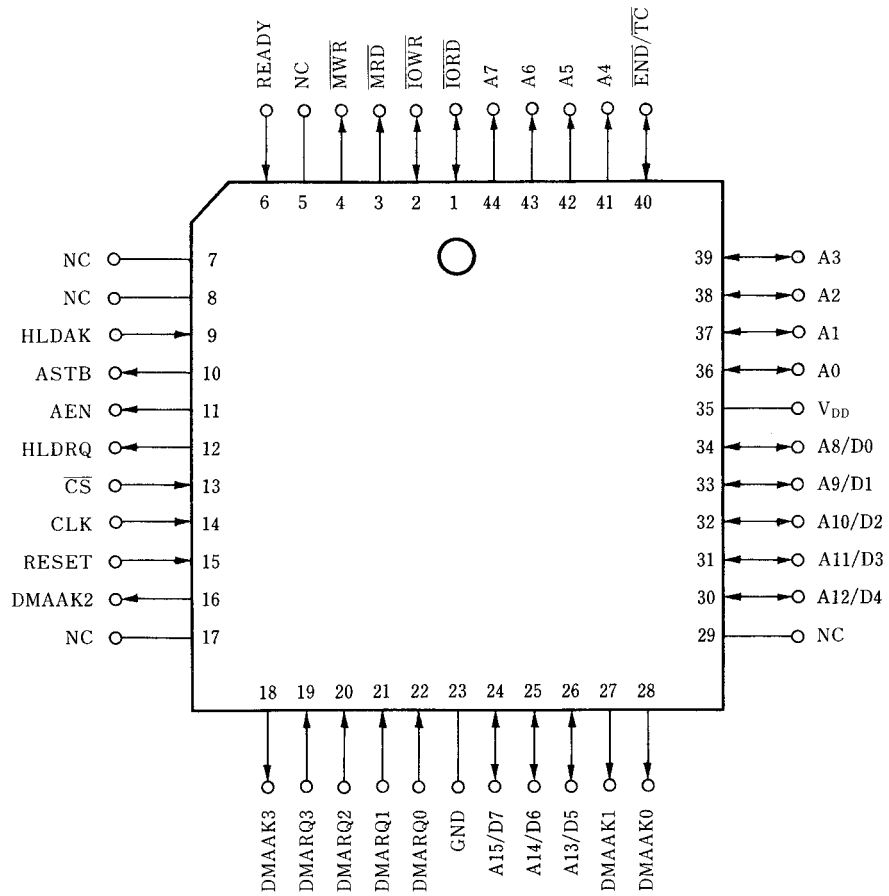


ピンID

IORD	: I/O Read	CLK	: Clock Input
IOWR	: I/O Write	RESET	: Reset
MRD	: Memory Read	DMAAK0-DMAAK3	: DMA Acknowledge 0-3
MWR	: Memory Write	DMARQ0-DMARQ3	: DMA Request 0-3
READY	: Ready	A0-A7	: Address Bus
HLDK	: Hold Acknowledge	END/TC	: End/Terminal Count
ASTB	: Address Strobe	A8/D0-A15/D7	: Address Data Bus
AEN	: Address Enable	GND	: Ground
HLDRQ	: Hold Request	V _{DD}	: Power Supply
CS	: Chip Select	NC	: Non-Connection

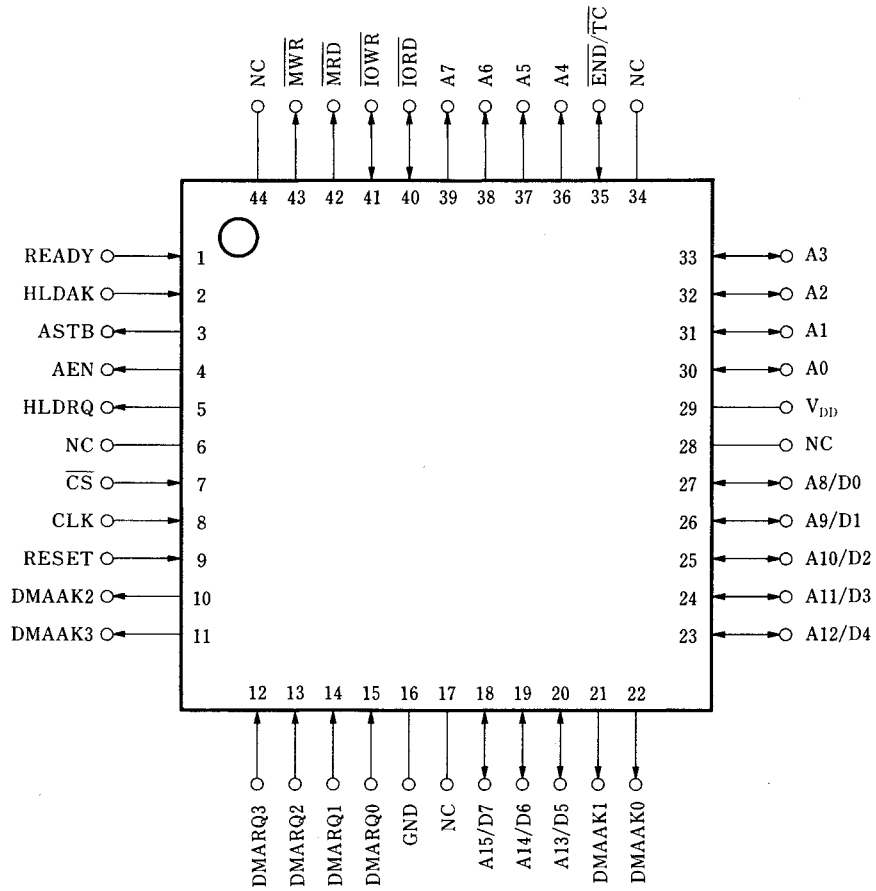
44ピン・プラスチック QFJ

μPD71037LM-10



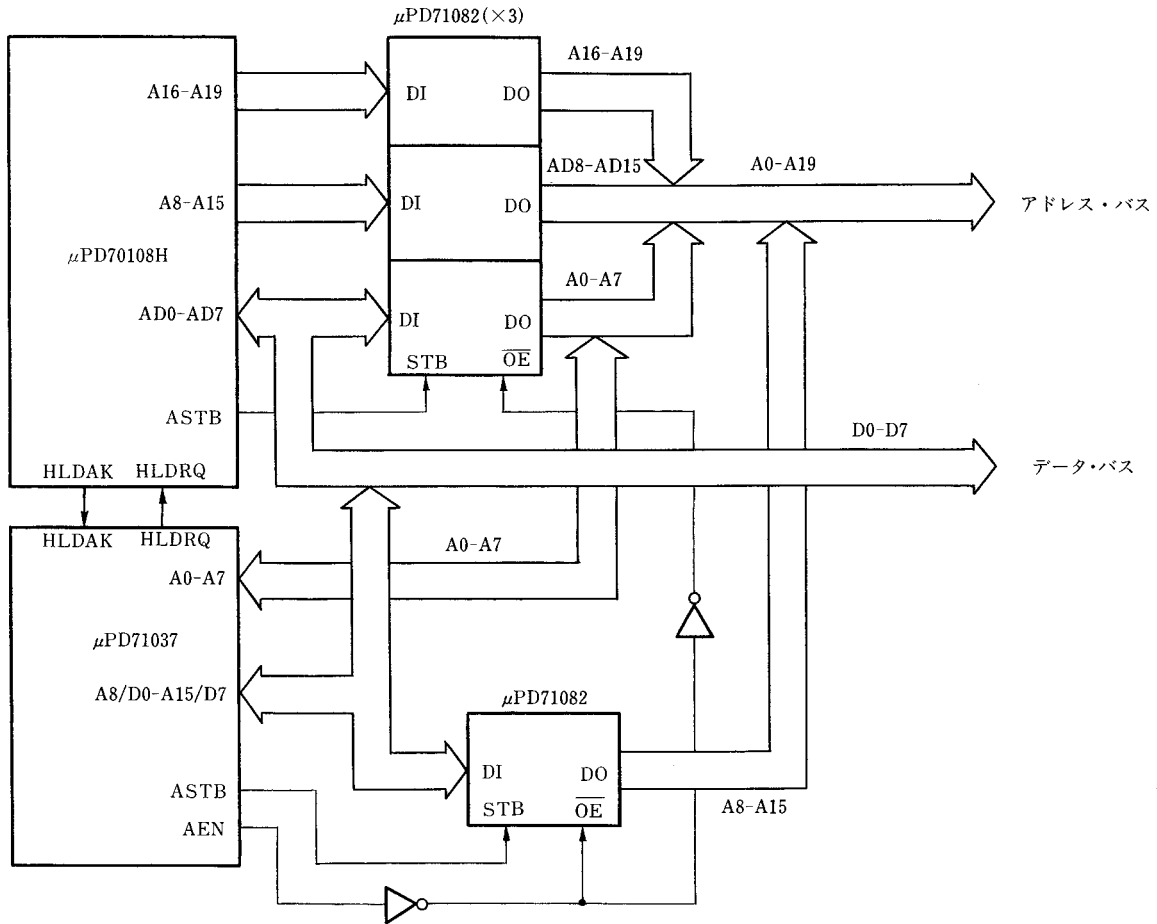
44ピン・プラスチック QFP

μPD71037GB-10-3B4

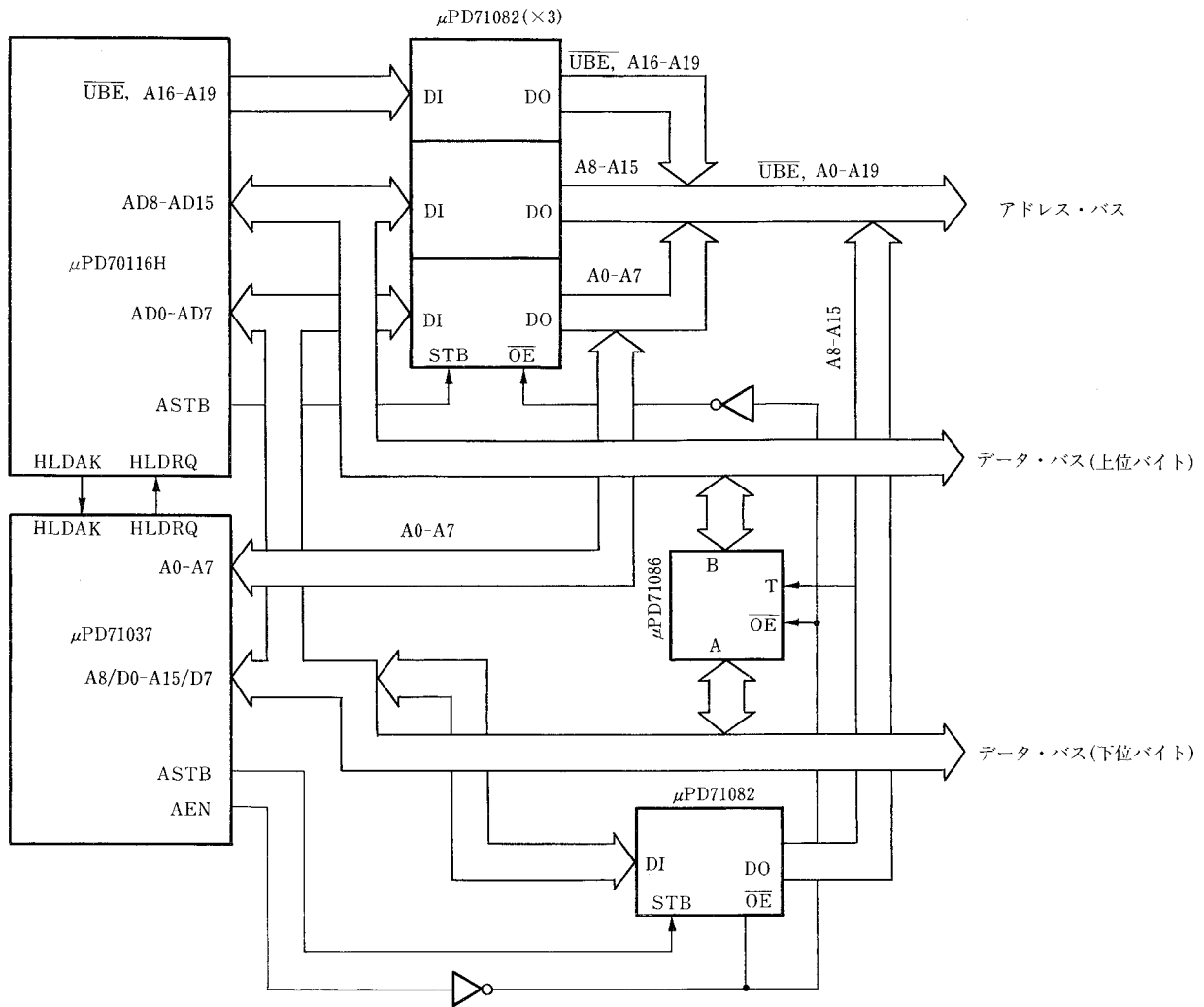


システム構成例 (ホストCPUとの接続)

★ ・μPD70108H(V20HL™)との接続例

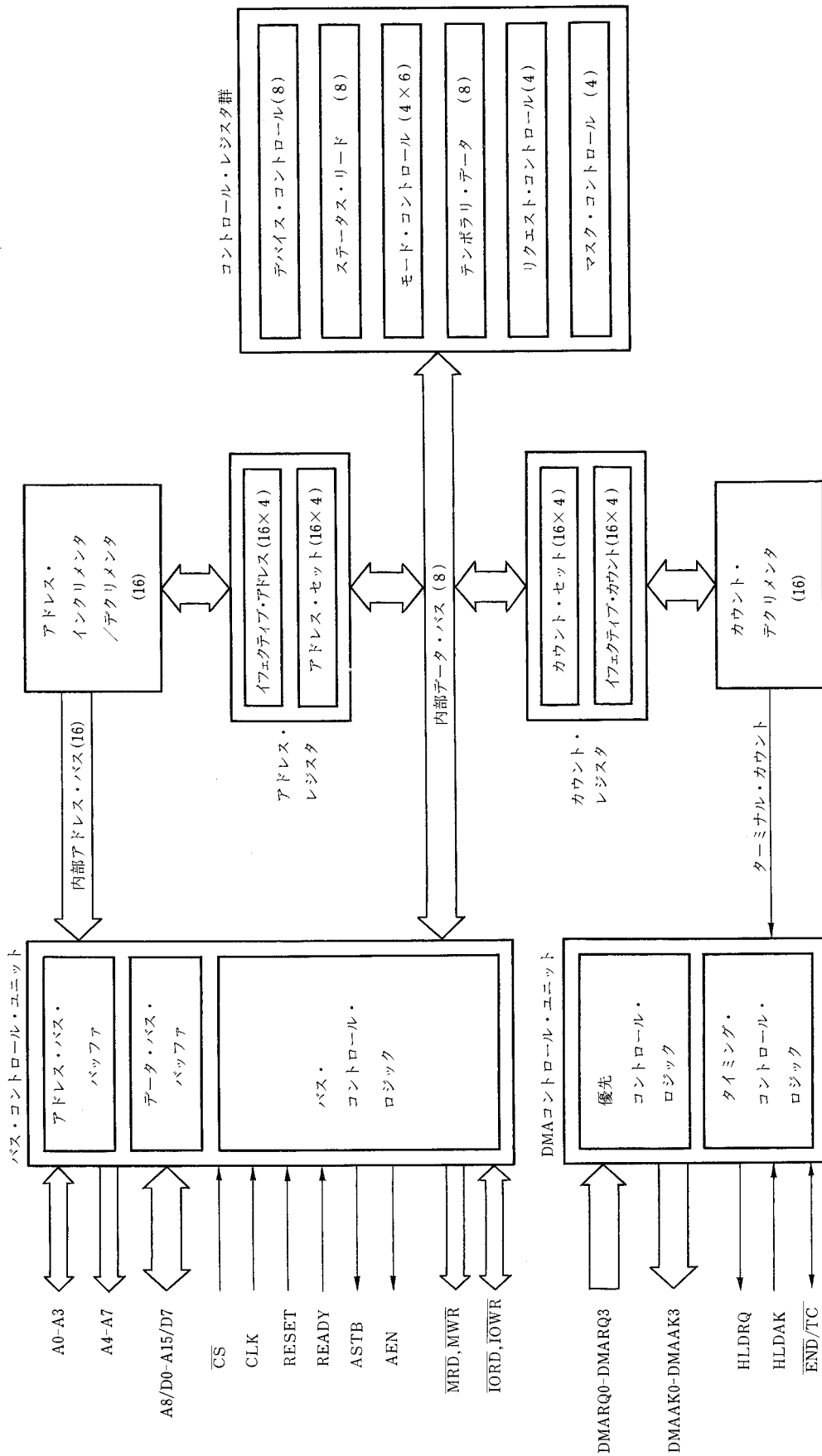


★ ・ μPD70116H(V30HL™)との接続例



保守/廃止

ブロック図



目 次

- 1. 端子機能 … 10
 - 1.1 端子機能一覧 … 10
 - 1.2 端子機能の説明 … 10

- 2. 内部ブロック機能 … 14
 - 2.1 バス・コントロール・ユニット … 14
 - 2.2 DMAコントロール・ユニット … 14
 - 2.3 アドレス・レジスタ … 14
 - 2.4 アドレス・インクリメンタ/デクリメンタ … 14
 - 2.5 カウント・レジスタ … 14
 - 2.6 カウント・デクリメンタ … 14
 - 2.7 コントロール・レジスタ群 … 14

- 3. 機能 … 15
 - 3.1 基本動作 … 15
 - 3.2 インアクティブ・サイクル … 16
 - 3.3 DMAサイクル … 16
 - 3.4 ターミナル・カウント … 16
 - 3.5 DMA転送のタイプ … 17
 - 3.6 圧縮転送モード … 18
 - 3.7 ソフトウェアDMAリクエスト … 19
 - 3.8 セルファイニシャライズ … 19
 - 3.9 チャンネルの優先順位 … 19
 - 3.10 DMAチャンネルの拡張 … 20
 - 3.11 DMA転送タイミング … 20

- 4. レジスタ構成 … 23
 - 4.1 イフェクティブ・アドレス・レジスタ … 23
 - 4.2 セット・アドレス・レジスタ … 24
 - 4.3 イフェクティブ・カウント・レジスタ … 24
 - 4.4 セット・カウント・レジスタ … 24
 - 4.5 デバイス・コントロール・レジスタ … 25
 - 4.6 モード・コントロール・レジスタ … 27
 - 4.7 ステータス・リード・レジスタ … 28
 - 4.8 テンポラリ・データ・レジスタ … 28
 - 4.9 リクエスト・コントロール・レジスタ … 29
 - 4.10 マスク・コントロール・レジスタ … 29

- 5. コマンド … 31

- 6. 電気的特性 … 32
- 7. 外形図 … 40
- 8. 半田付け推奨条件 … 43

1. 端子機能

μPD71037の端子機能について、最初に一覧表を示し、次に各端子に関する詳しい説明を行います。

1.1 端子機能一覧

各端子について、機能の概略を下表に示します。

端子名	入出力	機能
CLK	入力	μPD71037の内部動作、およびデータ転送速度を制御する
\overline{CS}	入力	μPD71037をI/Oデバイスとして選択し、読み出し/書き込み動作を可能にする
RESET	入力	μPD71037を初期化する
READY	入力	DMA転送時リード/ライト・サイクルの延長を要求する
HLDRQ	出力	ホストCPUに対しバス・ホールドを要求する
HLDAK	入力	μPD71037に対しバス・ホールドを許可する
DMARQ0-DMARQ3	入力	μPD71037に対しDMA転送を要求する
DMAAK0-DMAAK3	出力	周辺デバイスに対しDMA転送を許可する
$\overline{END/TC}$	入出力	μPD71037に対しDMA転送を終了させるための入力、およびDMA転送の終了を外部に知らせるための出力
A0-A3	3ステート入出力	アドレス・バスの下位4ビット
A4-A7	3ステート出力	アドレス・バスの中位4ビット
A8/D0-A15/D7	3ステート入出力	アドレス・バスの上位バイト、およびデータ・バス
ASTB	出力	アドレスの上位バイトを外部ラッチにラッチさせる
AEN	出力	μPD71037に接続された外部ラッチの出力を許可する
\overline{IORD}	3ステート入出力	ホストCPUがμPD71037のステータスを読み出すための入力、およびDMA転送時周辺デバイスからデータを読み出すための出力
\overline{IOWR}	3ステート入出力	ホストCPUがμPD71037にデータを書き込むための入力、およびDMA転送時周辺デバイスにデータを書き込むための出力
\overline{MRD}	3ステート出力	DMA転送時メモリからデータを読み出す
\overline{MWR}	3ステート出力	DMA転送時メモリにデータを書き込む
V _{DD}	—	正電源端子
GND	—	グランド端子
NC	—	何も接続しないでください。

1.2 端子機能の説明

各端子の機能について詳しく説明します。

1.2.1 CLK

μPD71037のすべての内部動作を制御し、DMA転送の際に転送速度の制御を行うためのクロックを入力します。最高で10 MHzのクロックを入力できます。

1.2.2 \overline{CS}

インアクティブ・サイクル(「3.2 インアクティブ・サイクル」参照)中に、ホストCPUがμPD 71037を通常のI/Oデバイスとして扱い、読み出し/書き込みを行うために入力するアクティブ・ロウの信号です。DMAサイクル中、この入力は内部的にディスエーブルされ、ホストCPUによる読み出し/書き込みを禁止します。

1.2.3 RESET

μPD71037の内部状態(レジスタ内容など)を初期化するためのアクティブ・ハイの信号です。RESET入力により、μPD71037はインアクティブ・サイクルに戻ります。

RESETが入力されると以下のコントロール・レジスタが“00H”にクリアされ、4つのDMAチャンネルすべてについてDMA要求(DMARQ端子入力)がマスクされます。コントロール・レジスタの説明は「4.レジスタ構成」で行います。

- デバイス・コントロール・レジスタ
- ステータス・リード・レジスタ
- リクエスト・コントロール・レジスタ
- テンポラリ・データ・レジスタ

また、RESET入力後μPD71037はアドレス・ロウ・バイト・コマンド(「5.コマンド」参照)が発行された状態となります。このため、RESET後アドレス/カウント・レジスタ(「4.レジスタ構成」参照)に最初に書き込まれる1バイト・データは、これらレジスタの下位バイトに入ります。

1.2.4 READY

1回のデータ転送(DMAサイクル)の終了を示すアクティブ・ハイの信号です。

DMAサイクル中、低速な周辺デバイスが規定リード/ライト・サイクル内にデータ転送を終了できない場合、この端子にロウを入力することでμPD71037の出力するリード/ライト信号幅を延長することができます。延長期間中、μPD71037はウエイト・サイクル(TW)に入ります。

READY信号は、規定のセットアップ/ホールド時間内で変化させないでください。誤動作の原因になります。

1.2.5 HLD RQ

ホストCPUに対してバスの明け渡し(バス・ホールド)を要求するためのアクティブ・ハイの信号です。

HLD RQがアクティブになったあと、HLD AKがアクティブになる前に少なくとも1クロック・サイクル必要です。

1.2.6 HLD AK

HLD RQに対し、ホストCPUがバス・ホールド要求を承認したことを示すアクティブ・ハイの信号です。HLD AKが入力されると、μPD71037はDMAサイクルに入ります。

HLD AK信号はCLKの立ち下がりに同期化してください。

HLD AK信号がCLKの立ち上がりに対するセット・アップ時間を満足しない場合、誤動作することがあります。

1.2.7 DMARQ0-DMARQ3

周辺デバイスがμPD71037に対してDMA転送を要求するための信号で、4つのDMAチャンネルに1つずつ割り付けられています。DMARQ信号は、対応するDMAAK信号がアクティブになるまで、アクティブ状態を保持しなければなりません。これら端子のアクティブ・レベルはプログラマブルですが、リセット入力によりアクティブ・ハイに設定されます。固定ネスト・モード(「3.9 チャンネルの優先順位」参照)における優先順位はDMARQ3が最低、DMARQ0が最高となります。

ダイヤモンド・モードまたはカスケード・モードに設定されているチャンネルのDMARQはCLKの立ち上がりに同期化してください。

ダイヤモンド・モードまたはカスケード・モードに設定されているチャンネルのDMARQのインアクティブ・エッジがS4状態のCLKの立ち下がりに対するセット・アップ時間 t_{SDQ} を満足しない場合、誤動作することがあります。

1.2.8 DMAAK0-DMAAK3

周辺デバイスに対しDMA転送要求が許可されたことを知らせる信号で、4つのDMAチャンネルに1つずつ割り付けられています。DMARQ0-DMARQ3と同様、これらのアクティブ・レベルはプログラマブルで、リセット入力によってアクティブ・ロウに設定されます。

1.2.9 $\overline{\text{END}}/\overline{\text{TC}}$

DMA転送を外部からの制御で終了させるための入力($\overline{\text{END}}$)、およびDMA転送の終了を外部に知らせるための出力($\overline{\text{TC}}$)兼用端子です。 $\overline{\text{END}}/\overline{\text{TC}}$ 信号はCLKの立ち上がりに同期化してください。

$\overline{\text{END}}/\overline{\text{TC}}$ 信号が2ステートのCLKの立ち下がりに対するセット・アップ時間を満足しないタイミングでアクティブになった場合、誤動作することがあります。DMAサイクル中この端子にロウ・レベル($\overline{\text{END}}$)を入力すると、μPD71037は強制的にDMAサービスを終了します。また、決められた回数分のデータ転送を終了すると、μPD71037はロウ・レベルのパルス($\overline{\text{TC}}$)を出力します。

$\overline{\text{END}}$ 入力あるいは $\overline{\text{TC}}$ 出力が発生すると、μPD71037はソフトウェアによるDMAリクエスト(「3.7 ソフトウェアDMAリクエスト」参照)をクリアします。また、セルフイニシャライズ(「3.8 セルフイニシャライズ」参照)に設定されている場合は、セット・アドレス・レジスタの内容をイフェクティブ・アドレス・レジスタに、セット・カウント・レジスタの内容をイフェクティブ・カウント・レジスタに転送します。

セルフイニシャライズが設定されていなければ、マスク・コントロール・レジスタのマスク・ビットは、 $\overline{\text{END}}/\overline{\text{TC}}$ により“1”にセット(DMA転送中のチャンネルの該当ビット)されます。また、ステータス・リード・レジスタのTCビットも、セルフイニシャライズにかかわらず、 $\overline{\text{END}}/\overline{\text{TC}}$ により“1”にセット(DMA転送中チャンネルの該当ビット)されます。

メモリ・メモリ転送では、チャンネル1において規定回数の転送が終了すると $\overline{\text{TC}}$ を出力します。

$\overline{\text{END}}$ 入力を使用しない場合、ロウ・レベル入力による誤動作を防止するためにこの端子をプルアップしてください。

1.2.10 A0-A3

アドレス・バスの下位4ビットです。インアクティブ・サイクル中では、ホストCPUがμPD71037内部のレジスタを選択するための入力となります。またDMAサイクルにおいては、メモリ・アクセスのためのアドレスを出力します。

1.2.11 A4-A7

アドレス・バスの中位4ビットです。DMAサイクル中は、A0-A3と同様にメモリ・アドレスを出力しますが、インアクティブ・サイクルではハイ・インピーダンスとなります。

1.2.12 A8/D0-A15/D7

時分割により、アドレス・バスの上位バイト、および8ビット・データ・バスとして機能します。

インアクティブ・サイクルでは、ホストCPUがデータの読み出し/書き込みを行う際にデータ・バスとなります。

DMAサイクル中はメモリ・アドレスの上位バイトを出力し、メモリ・メモリ転送ではメモリ・アドレスの出力とともにメモリ間のデータの受け渡しを仲介します。

1.2.13 ASTB

DMAサイクル中、アドレスの上位バイトを外部ラッチにラッチさせるためのアクティブ・ハイのストロブ信号です。

1.2.14 AEN

DMAサイクルにおいて、アドレスの上位バイトをラッチする外部ラッチをイネーブルとするためのアクティブ・ハイ信号です。AENは、DMAサイクル中ハイ・レベルに固定されます。

1.2.15 $\overline{\text{IORD}}$

ホストCPUの μ PD71037に対する、あるいは μ PD71037の周辺デバイスに対するデータ読み出し時に使用するアクティブ・ロウの信号です。

インアクティブ・サイクルでは、ホストCPUが μ PD71037のレジスタを読み出すためのリード入力信号となります。また、DMAサイクル中は、周辺デバイスからデータを読み出すためのリード出力信号になります。

1.2.16 $\overline{\text{IOWR}}$

ホストCPUの μ PD71037に対する、あるいは μ PD71037の周辺デバイスに対するデータ書き込み時に使用するアクティブ・ロウの信号です。

インアクティブ・サイクルでは、ホストCPUが μ PD71037のレジスタにデータを書き込むためのライト入力信号となります。また、DMAサイクル中は、周辺デバイスにデータを書き込むためのライト出力信号になります。

1.2.17 $\overline{\text{MRD}}$

DMAサイクル中に、メモリからデータを読み出すためのアクティブ・ロウの信号です。インアクティブ・サイクルではハイ・インピーダンスになります。

1.2.18 $\overline{\text{MWR}}$

DMAサイクル中に、メモリに対してデータを書き込むためのアクティブ・ロウの信号です。インアクティブ・サイクルではハイ・インピーダンスになります。

1.2.19 V_{DD}

正電源端子です。

1.2.20 GND

グラウンド端子です。

2. 内部ブロック機能

μPD71037は7つの内部ブロックで構成されます。以下、各ブロックについて説明します。

2.1 バス・コントロール・ユニット

アドレス、データ、およびコントロールの各バスの制御を行います。

2.2 DMAコントロール・ユニット

プライオリティ・コントロール・ロジックと、タイミング・コントロール・ロジックからなります。

プライオリティ・コントロール・ロジックはDMAサービスに関する優先順位を決定し、この優先順位に基づいて各DMA転送要求の調停を行います。また、タイミング・コントロール・ロジックは、μPD71037 内部のタイミングを生成しDMA転送動作を制御します。

2.3 アドレス・レジスタ

16ビットのDMAアドレスを格納するレジスタで、各DMA チャンネルにつきアドレス・セット・レジスタとイフェクティブ・アドレス・レジスタの2種類があります。

イフェクティブ・アドレス・レジスタは、1回のDMA転送(1バイト)ごとにその内容が更新され、次の転送用のアドレスを常時保持しています。一方、アドレス・セット・レジスタの内容はホストCPUが新たな値を書き込むまでは不変です。またセルフイニシャライズを行う際、次のDMAサービスにおける初期DMAアドレスとして、アドレス・セット・レジスタの内容がイフェクティブ・アドレス・レジスタに転送されます。

2.4 アドレス・インクリメンタ/デクリメンタ

1回のデータ転送(DMA転送)ごとに、サービス中のDMAチャンネルについてイフェクティブ・アドレス・レジスタの内容を更新(±1)します。

2.5 カウント・レジスタ

DMA転送回数(バイト数)を格納する16ビット・レジスタで、各チャンネルごとにカウント・セット・レジスタとイフェクティブ・カウント・レジスタの2種類があります。

イフェクティブ・カウント・レジスタは、1回のDMA転送(1バイト)ごとに内容が1だけデクリメントされ、常に残りの転送回数を保持しています。デクリメントした際にボローが発生するとターミナル・カウントとなり、あらかじめ指定された回数分のDMA転送が終了したことを示します。

一方、カウント・セット・レジスタの内容は、ホストCPUが新たな値を書き込むまでは変化しません。セルフイニシャライズのとき、このレジスタの内容はイフェクティブ・アドレス・レジスタに転送され、次のDMAサービスにおける転送回数となります。

2.6 カウント・デクリメンタ

1回のDMA転送ごとに、サービス中のDMAチャンネルについてイフェクティブ・カウント・レジスタの内容を1つだけデクリメントします。

2.7 コントロール・レジスタ群

μPD71037のバス・モード、端子のアクティブ・レベル(DMARQ, DMAAK)、およびDMA転送モードなどを制御する6種のレジスタから構成されます。

3. 機能

3.1 基本動作

μPD71037は、周辺デバイスからのDMA 転送要求があると、ホストCPU からバスの使用权を受け取り (バス・ホールド状態), 周辺デバイスとメモリの間, あるいはメモリとメモリの間でDMA転送を行います。この基本動作のフローを図3-1に示します。

図 3-1 DMA基本動作フロー

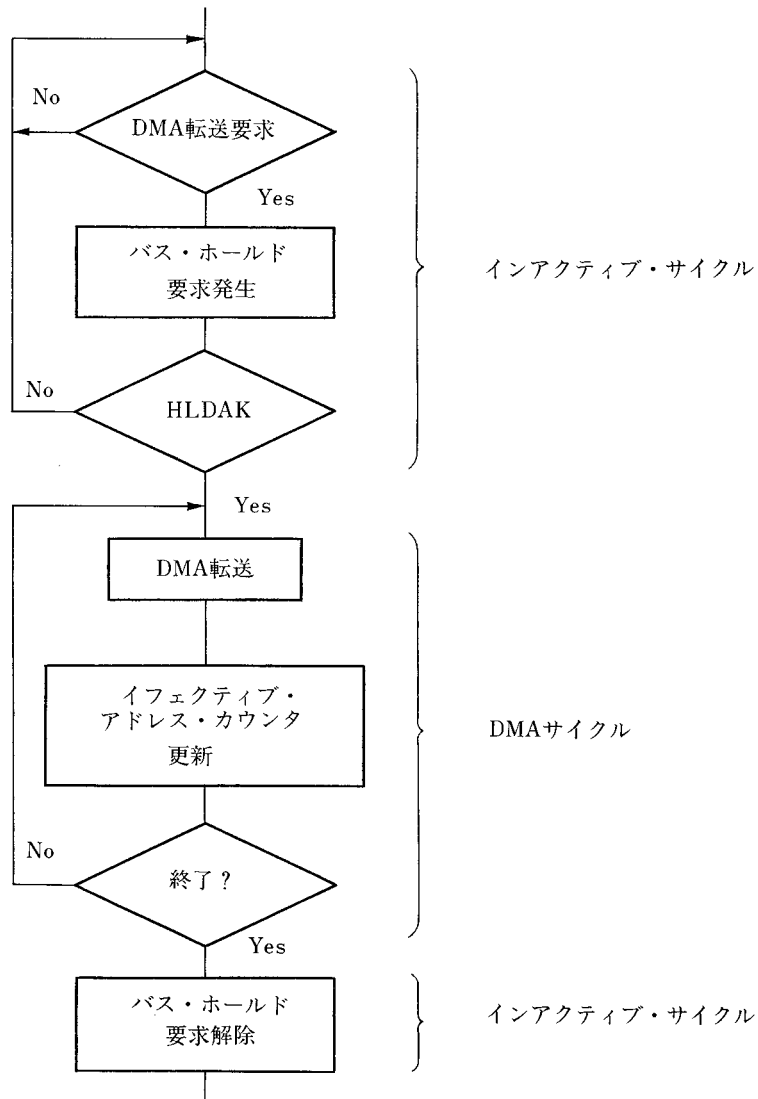


図 3-1 に示すように、μPD71037の動作モードはインアクティブ・サイクルとDMAサイクルに大別されます。これら 2 種類の動作モードについて次に説明します。

3.2 インアクティブ・サイクル

このサイクルではホストCPUがバスの使用权を持ちます。μPD71037は、このサイクル中は次の2つの状態のうちのどちらかです。

- 有効なDMAサービス要求を周辺デバイスから受け取っていない。
- 有効なDMAサービス要求を受けているが、バスの使用权をまだホストCPUから受け取っていない。

インアクティブ・サイクルでは、μPD71037は以下の動作を行います。

- DMAサービス要求の検出

4本のDMARQ端子の状態を各クロックごとにサンプリングします。

バスの使用权の要求

- 有効な（たとえばマスクされていない）DMAリクエストを受け付けると、ホストCPUに対してバス・ホールド要求信号（HLDRQ）を出力します。DMA要求の検出は、バスの使用权を得る（HLDAK入力）まで継続して行います。

- DMAチャンネルの選択

ホストCPUからHLDAK信号が返されバスの使用权を獲得すると、μPD71037はDMA要求の検出を休止し、その時点でアクティブなDMAリクエストのうちもっとも優先順位の高いチャンネルを選択します。

- μPD71037のプログラミング

DMA転送に先立ち、転送アドレス、転送回数、DMA転送モード、DMARQとDMAAK端子のアクティブ・レベルなどの設定を行う必要があります。ホストCPUがバスの使用权を保持している間は、CS端子にロウ・レベルを入力することでプログラミングが可能です。アドレス下位4ビット（A0-A3）でレジスタを指定し、 $\overline{\text{IORD}}$ 、 $\overline{\text{IOWR}}$ を用いて読み出し/書き込みをそれぞれ行います。

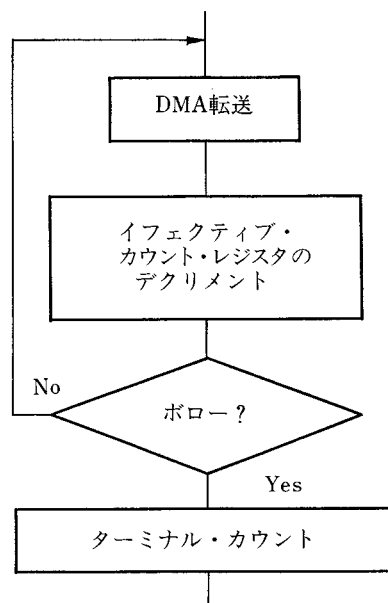
3.3 DMAサイクル

DMAサイクルでは、バスの使用权がホストCPUからμPD71037に移ります。DMAサイクルにおける動作の詳細説明は「3.4 ターミナル・カウント」以降で行います。

3.4 ターミナル・カウント

DMA転送は、外部からの $\overline{\text{END}}$ 入力、または内部で発生するターミナル・カウントによって終了します。ターミナル・カウントは、DMA転送回数（バイト数）を数えるイフェクティブ・カウント・レジスタがデクリメントの結果ポローを出した場合に発生し、このときμPD71037はTC（ロウ・レベル・パルス）を出力します。図3-2にターミナル・カウントの発生の様子を示します。図3-2から明らかなように、ポローの検出はDMA転送の終了後に行います。このため、実際のDMA転送回数はイフェクティブ・カウント・レジスタに設定された値よりも1回だけ多くなります。

図 3-2 ターミナル・カウントの発生



$\overline{\text{END}}$ 入力またはターミナル・カウントの発生でDMA転送が終了した場合、このチャンネルに対応するマスク・コントロール・レジスタのビットがセットされ（セルフイニシャライズが設定されていない場合）、該当するDMARQ入力がマスクされます。

3.5 DMA転送のタイプ

μPD71037のDMA転送のタイプは次の3条件により決定されます。

- メモリ・メモリ転送の許可
- I/Oメモリ転送の転送方向（各チャンネル）
- 転送モード（各チャンネル）

3.5.1 メモリ・メモリ転送の許可

μPD71037はI/Oメモリ転送においては1バス・サイクルで、またメモリ・メモリ転送では2バス・サイクルで1回の転送（1バイト・データ）を行います。

メモリ・メモリ転送は、デバイス・コントロール・レジスタでメモリ・メモリ転送が許可された場合のみ可能となります。この転送で使用するチャンネルは限定されており、チャンネル0が転送元、そしてチャンネル1が転送先になります。メモリ・メモリ転送では、両チャンネルのカウント・レジスタの内容が同じになるように設定してください。

メモリ・メモリ転送は次の手順で、チャンネル0でターミナル・カウントが発生するか、あるいは $\overline{\text{END}}$ が入力されるまで繰り返し行われます。メモリ・メモリ転送ではブロック・モード（「3.5.3 転送モード」参照）のみ可能です。

- ①チャンネル0のイフェクティブ・アドレス・レジスタが示すメモリ番地からデータを読み出す。このデータをテンポラリ・データ・レジスタに格納したのち、このレジスタとイフェクティブ・カウント・レジスタの内容を更新する。
- ②チャンネル1のイフェクティブ・アドレス・レジスタが示すメモリ番地に、テンポラリ・データ・レジスタに格納されているデータを書き込む。このレジスタとイフェクティブ・カウント・レジスタの内容を更新する。

また、メモリ・メモリ転送の際には、デバイス・コントロール・レジスタを用いて転送元のアドレスを固定できます。これにより、指定範囲のメモリ領域を同一値（0か1）で満たすことが可能となります。

メモリ・メモリ転送ではDMAAK信号、およびチャンネル0でのターミナル・カウント発生に伴うTCパルスを出力しません。

注意 メモリ・メモリ転送許可時にチャンネル1のDMA要求がアクティブになると、チャンネル1に設定されているI/O⇄メモリ間のDMAサービスが行われます。このため、メモリ・メモリ転送ではチャンネル1のDMARQをマスクしてください。

3.5.2 I/Oメモリ転送の転送方向

I/Oメモリ転送では、モード・コントロール・レジスタを用いて各チャンネルごとに転送方向を指定できます。

- リード転送 : メモリ→I/O
- ライト転送 : I/O→メモリ
- ベリファイ転送: アドレス出力のみで実際の転送は行わず

3.5.3 転送モード

I/Oメモリ転送の場合、モード・コントロール・レジスタを用いて各チャンネルごとに転送モードの指定ができます。各転送モードと転送の終了条件を表3-1に示します。

表 3-1 転送モードと転送終了条件

転送モード	転送終了条件
シングル・モード	1バイト・データの転送終了
ダイヤモンド・モード	<ul style="list-style-type: none"> ●外部$\overline{\text{END}}$入力 ●ターミナル・カウントの発生 ●DMAサービス中のチャンネルに対するDMARQがインアクティブとなったとき
ブロック・モード	<ul style="list-style-type: none"> ●外部$\overline{\text{END}}$入力 ●ターミナル・カウントの発生

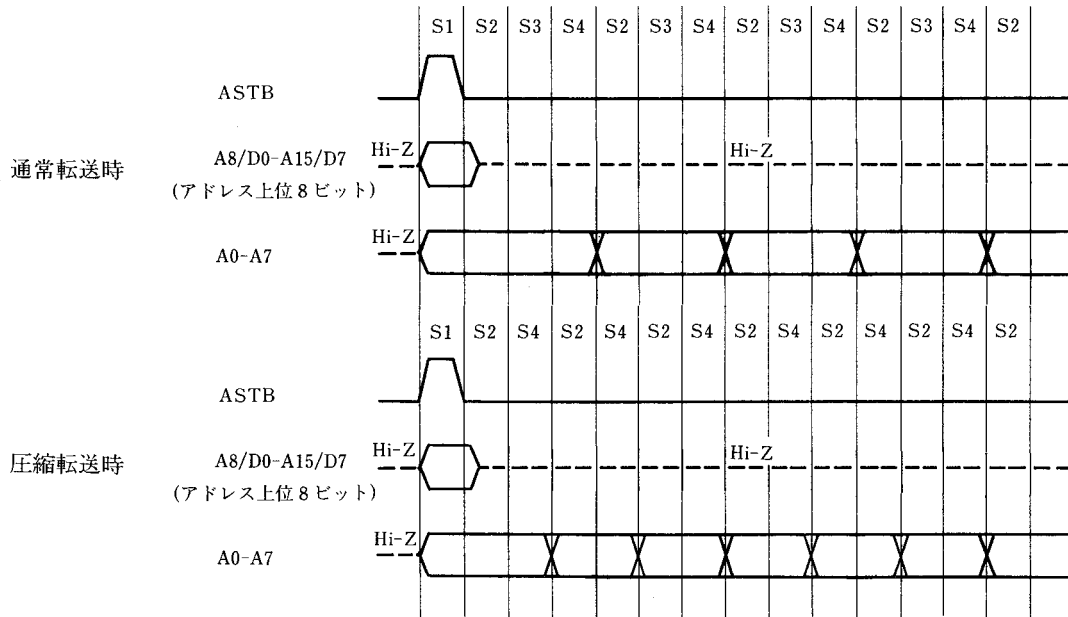
3.6 圧縮転送モード

DMA転送では、通常1バス・サイクルにつき4ステートで1回の転送を行います。しかし、デバイス・コントロール・レジスタで圧縮転送モードを指定すれば、ブロック・モード（メモリ・メモリ転送は除く）、およびダイヤモンド・モードにおいて1バス・サイクルにつき2ステート（S2, S4）でDMA転送を行えます。これにより転送速度の向上（約2倍）が実現できます。

- ★ なお、ブロック・モードやダイヤモンド・モードではアドレスを連続して出力するため、アドレスの上位バイトが変化（下位バイトからのボロー、キャリー）しない限り、アドレス上位バイト（外部ラッチにラッチさせる）の更新は不要です。このため通常転送モードでも、最初のバス・サイクルと上位バイトの変化点を除いてS1ステートを省略しています。図3-3に圧縮転送タイミングを示します。

★

図 3-3 圧縮転送タイミング



3.7 ソフトウェアDMAリクエスト

μPD71037では、4本のDMARQ端子入力によるDMA要求のほかに、ホストCPUからのプログラミングによってDMA要求を発生させることができます。ソフトウェアDMA要求はリクエスト・コントロール・レジスタを設定することで発生します。また、DMARQ端子入力を用いたハードウェアDMA要求と異なり、ソフトウェアDMA要求はマスク・コントロール・レジスタによってマスクされません。

ソフトウェアDMA要求に伴うDMA転送は、指定された転送モードにより次のように行います。

- シングル・モードまたはダイヤモンド・モード時

サービスが開始されると該当チャンネルのリクエスト・ビット(「4.9 リクエスト・コントロール・レジスタ」参照)がクリアされ、DMA転送は1バイトの転送をもって終了します。

- ブロック・モード (メモリ・メモリ転送)

サービスは \overline{END} が入力されるかターミナル・カウントが発生するまで継続され、サービスの終了時に該当するチャンネルのリクエスト・ビットがクリアされます。メモリ・メモリ転送ではチャンネル0のリクエスト・ビットのみクリアします。

3.8 セルフィニシャライズ

セルフィニシャライズは \overline{END} 入力時、またはターミナル・カウントの発生時にアドレス、およびカウントを自動的に初期化する機能です。セルフィニシャライズは各チャンネルごとに設定できます。セルフィニシャライズでは次の動作を行います。

- イフェクティブ・アドレス・レジスタにセット・アドレス・レジスタの内容が、またイフェクティブ・カウント・レジスタにセット・カウント・レジスタの内容が転送される。
- マスク・コントロール・レジスタの該当チャンネル・ビットはセットしない。

3.9 チャンネルの優先順位

4つのDMAチャンネルにはそれぞれ優先順位が割り付けられています。μPD71037は、複数のチャンネルにおいて同時にDMA要求が発生している場合、これらチャンネルの優先順位を調べて優先順位のもっとも高いチャンネルに対してDMAサービスを許可します。優先順位の割り付けには固定ネスト・モードと回転ネスト・モードの2種類があります。これらモードの選択はデバイス・コントロール・レジスタを用いて行います。

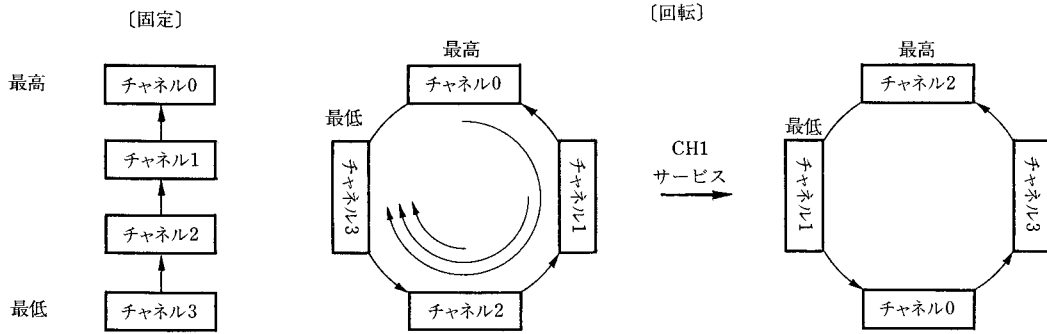
● 固定ネスト・モード

優先順位は高い方からチャンネル0→チャンネル1→チャンネル2→チャンネル3です。

● 回転ネスト・モード

DMAサービスを受けたチャンネルが最低優先になります。このモードでは、特定のチャンネルによるDMAサービスの独占を防止できます。図3-4にチャンネルの優先順位を示します。

図 3 - 4 DMAサービス優先順位



3.10 DMAチャンネルの拡張

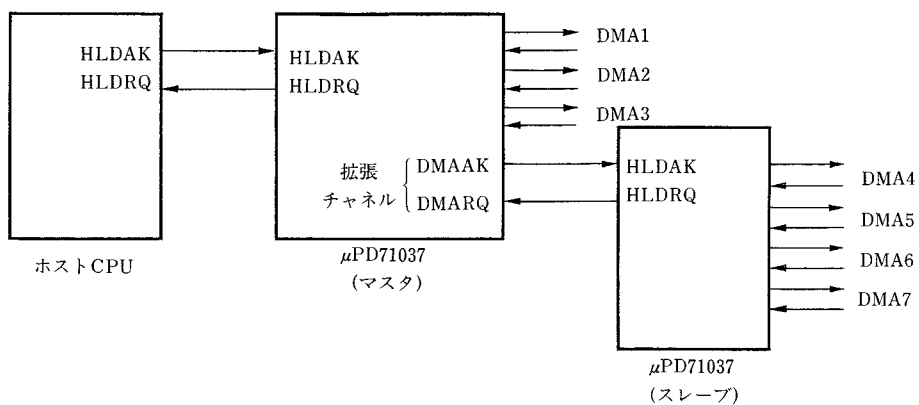
μPD71037では、DMA転送要求のチャンネル数を5つ以上に拡張するために拡張接続ができます。拡張接続は次の手順で行います。また、拡張接続例を図3-5に示します。

① 2 段目 (スレーブ) のμPD71037のHLDRQ, およびHLDAK端子を1 段目 (マスタ) のμPD71037の持つ任意のチャンネルのDMARQ, DMAAK端子にそれぞれ接続する。

② スレーブの接続されたチャンネルに対し、モード・コントロール・レジスタを用いて拡張モードを設定する。

マスタは、拡張モードに指定されたチャンネル (拡張チャンネル) に対するDMAサービスが行われる間、DMARQ, DMAAK, HLDRQ, HLDAK, およびRESET信号のみが有効となります。ここでは、マスタの拡張チャンネルはスレーブとホストCPUとの間でホールド・リクエスト/アクノリッジ信号を仲介するだけです。

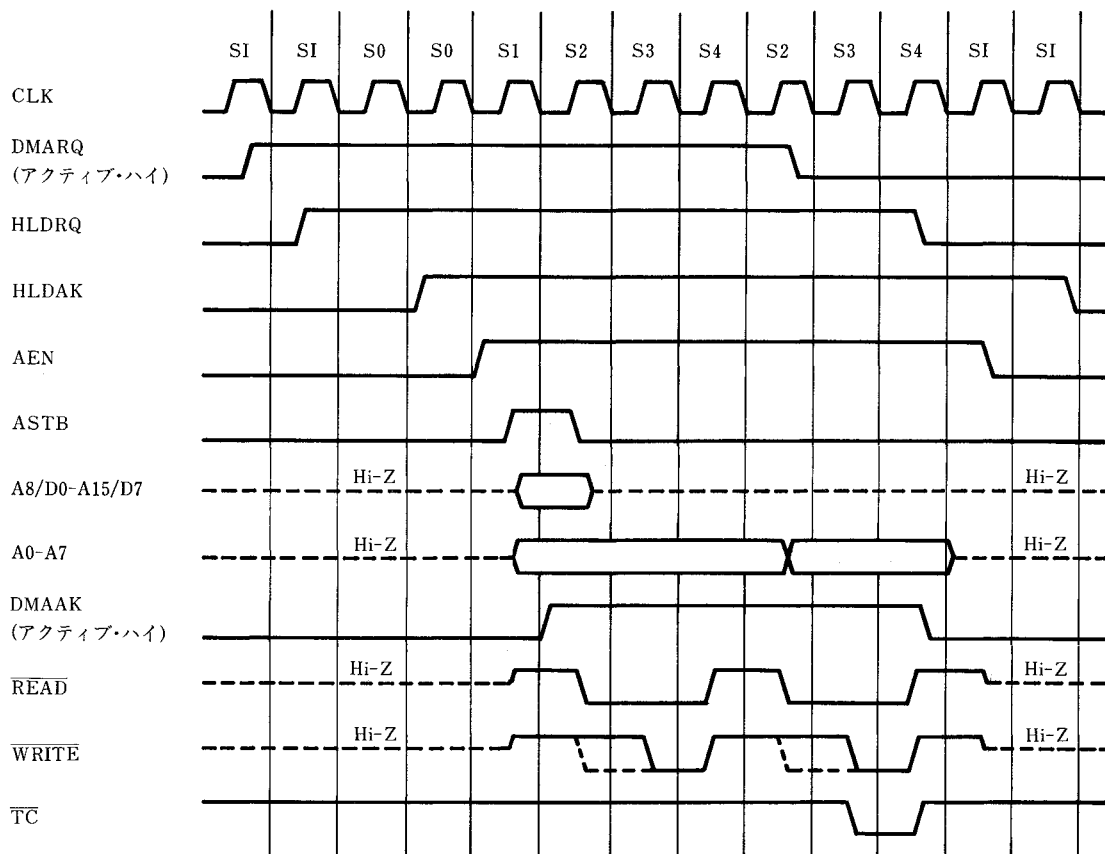
図 3 - 5 拡張接続例



3.11 DMA転送タイミング

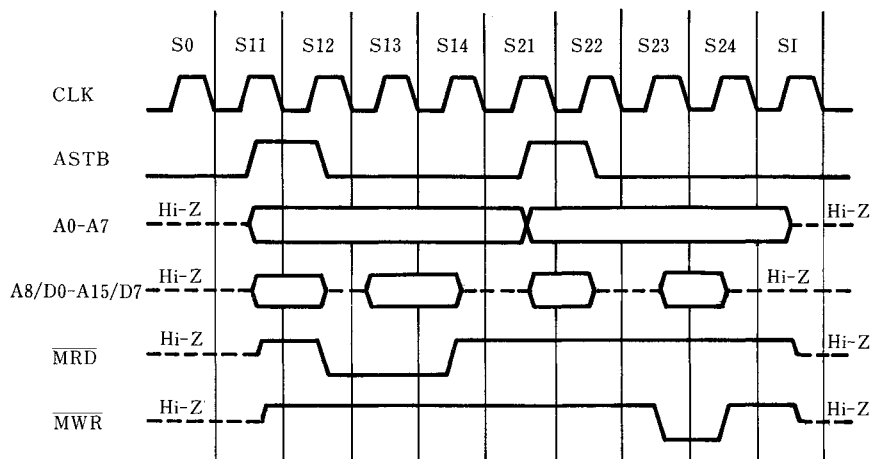
前述のDMA転送動作について、そのタイミングを図3-6～図3-9に示します。

図3-6 I/Oメモリ転送 (通常転送モード)



注意 $\overline{\text{WRITE}}$ 信号の破線は拡張書き込みの場合です。

図3-7 メモリ・メモリ転送



保守/廃止

図 3 - 8 I/Oメモリ転送 (圧縮転送モード)

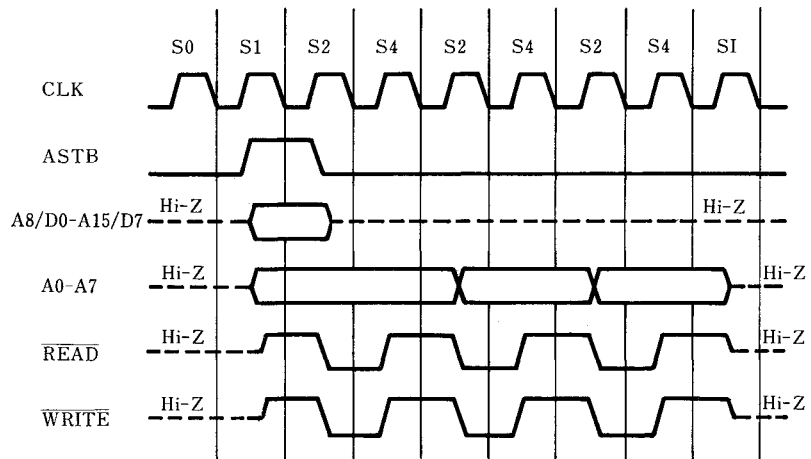
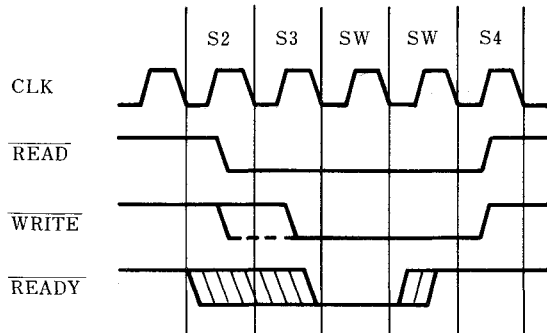


図 3 - 9 READY タイミング



注意 $\overline{\text{WRITE}}$ 信号の破線は拡張書き込みの場合です。

4. レジスタ構成

μPD71037の持つレジスタは、大きく分けて2グループからなります。

- アドレス/カウント・レジスタ：イフェクティブ・アドレス・レジスタ
 セット・アドレス・レジスタ
 イフェクティブ・カウント・レジスタ
 セット・カウント・レジスタ
- コントロール・レジスタ：デバイス・コントロール・レジスタ
 モード・コントロール・レジスタ
 リクエスト・コントロール・レジスタ
 マスク・コントロール・レジスタ（各チャンネル）
 マスク・コントロール・レジスタ（全チャンネル）
 テンポラリ・データ・レジスタ
 ステータス・リード・レジスタ

アドレス/カウント・レジスタはすべて16ビット・レジスタで、読み出し/書き込みは同一I/Oアドレスに対する2バイト・アクセス（最初に下位、次に上位バイト）で行います。これらレジスタに新たな値を設定する場合には、あらかじめアドレス・ロウ・バイト・コマンド（コマンドの一種：下位バイト・アクセスを指定）を発行し、必ずロウ・バイトから書き込みを行うようにしてください。コマンドについては「5. コマンド」で説明します。なお、コントロール・レジスタはすべて8ビット・レジスタです。

4.1 イフェクティブ・アドレス・レジスタ

各チャンネルごとに割り付けられた16ビット・レジスタで、DMA転送時に出力されるアドレスを保持します。各転送（1バイト・データ）ごとに更新（±1）されます。表4-1に各チャンネルのアドレス・レジスタ、およびカウント・レジスタの一覧を示します。

表4-1 アドレス/カウント・レジスタ一覧

チャンネル	レジスタ名称	R/W	I/Oアドレス (下位4ビット: A0-A3)
0	セット・アドレス	W	0H
	イフェクティブ・アドレス	R/W	
	セット・カウント	W	1H
	イフェクティブ・カウント	R/W	
1	セット・アドレス	W	2H
	イフェクティブ・アドレス	R/W	
	セット・カウント	W	3H
	イフェクティブ・カウント	R/W	
3	セット・アドレス	W	4H
	イフェクティブ・アドレス	R/W	
	セット・カウント	W	5H
	イフェクティブ・カウント	R/W	
3	セット・アドレス	W	6H
	イフェクティブ・アドレス	R/W	
	セット・カウント	W	7H
	イフェクティブ・カウント	R/W	

- 注意1. セット・アドレス/カウント・レジスタに新たな値を書き込むと、この値はイフェクティブ・アドレス/カウント・レジスタにそれぞれ同時に書き込まれます。このためアドレス、およびカウントを設定する際に、セット/イフェクティブの2種類のレジスタの違いを意識する必要はありません。
2. セット・アドレス/カウント・レジスタは書き込み専用です。これらレジスタのアドレスに対して読み出しを行うと、代わりにイフェクティブ・アドレス/カウント・レジスタの内容が読み出されます。

4.2 セット・アドレス・レジスタ

各チャンネルに割り付けられる16ビット・レジスタで、ホストCPUによって設定されたDMA転送用アドレスの初期値を保持します。イフェクティブ・アドレス・レジスタと異なり、このレジスタの内容は新たな値がホストCPUにより書き込まれるまで維持されます。また、セルフイニシャライズの際には、次のDMAサービスのための初期アドレスとしてこのレジスタの内容がイフェクティブ・アドレス・レジスタに転送されます。イフェクティブ・アドレス・レジスタと同様、セット・アドレス・レジスタも2回のバイト・アクセスによる書き込みを行います。ただし、ホストCPUから読み出すことはできません。

4.3 イフェクティブ・カウント・レジスタ

各チャンネルに対して割り付けられる16ビット・レジスタで、DMA転送の残りバイト数を保持します。このレジスタの内容は1回の転送(1バイト・データ)ごとに1つだけデクリメントされます。読み出し/書き込みは、イフェクティブ・アドレス・レジスタの場合と同じく2回のバイト・アクセスで行います。

4.4 セット・カウント・レジスタ

各チャンネルに対して割り付けられる16ビット・レジスタで、ホストCPUにより書き込まれたDMA転送バイト数の初期値を保持します。イフェクティブ・カウント・レジスタと異なり、このレジスタの内容は、新たな転送バイト数をホストCPUが設定するまで維持されます。イフェクティブ・カウント・レジスタと同様、セット・カウント・

レジスタも2回のバイト・アクセスで書き込みを行います。読み出しはできません。

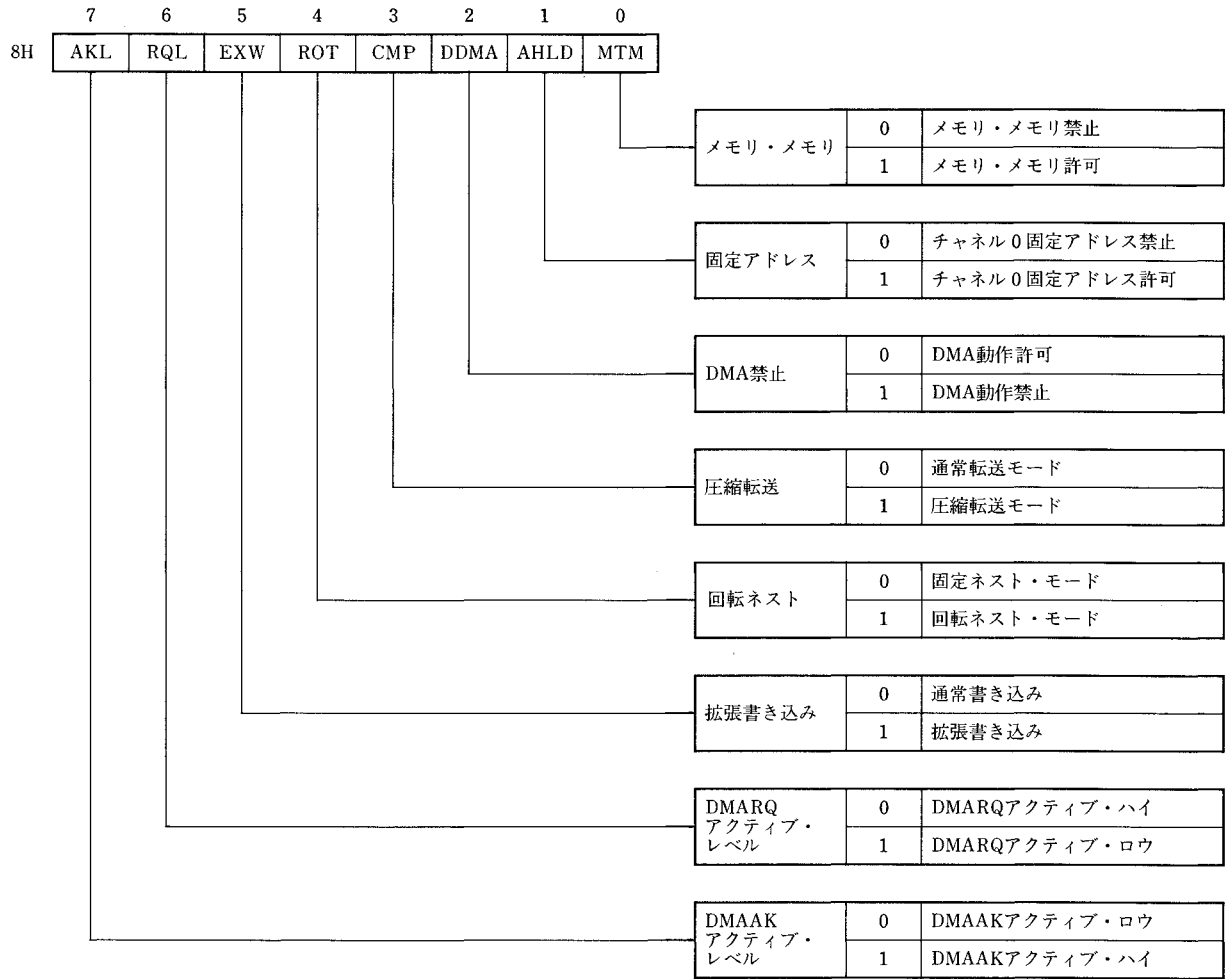
4.5 デバイス・コントロール・レジスタ

DMA転送における転送モード、DMAの許可／禁止、DMARQおよびDMAAKのアクティブ・レベル、メモリ・メモリ転送の許可／禁止などを制御する8ビット・レジスタです。図4-1にこのレジスタのフォーマットを示します。

図中、左端の値はこのレジスタのI/Oアドレス（下位4ビット：A0-A3）です。

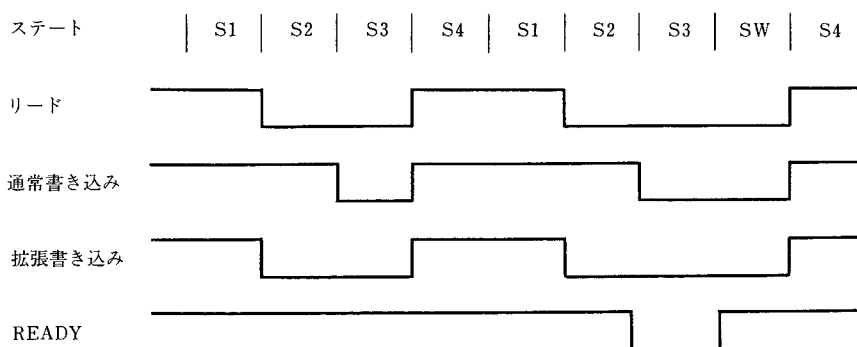
また、デバイス・コントロール・レジスタを含め各種コントロール・レジスタの一覧を表4-2に示します。

図4-1 デバイス・コントロール・レジスタのフォーマット



- ビット0：MTM (Memory to Memory)
このビットをセットすることでメモリ・メモリ転送が許可されます。
- ビット1：AHLD (Channel 0 Address Hold)
メモリ・メモリ転送が許可されているとき、このビットをセットすると転送元 (チャンネル0) のアドレスが固定されます。メモリ・メモリ転送が禁止されている場合、このビットは意味を持ちません。
- ビット2：DDMA (Disable DMA)
DMA動作を禁止します。このビットがセットされている間、μPD71037は有効なDMA要求を受け付けていてもホストCPUに対するHLDRQ信号を出力しません。DDMAは、μPD71037のプログラミング中に誤ったDMA転送が行われるのを防止します。
- ビット3：CMP (Compressed Timing)
このビットをセットすることで、ブロック・モードやダイヤモンド・モードにおける転送を圧縮タイミングで行います。メモリ・メモリ転送時、圧縮転送モードは指定できません。
- ビット4：ROT (Rotate Priority)
このビットをセットすると、DMAチャンネルの優先順位の決定を回転ネスト・モードで行います。
- ビット5：EXW (Extended Write)
このビットがセットされていると、μPD71037はライト信号の出力をリード信号と同じタイミングで行います (拡張書き込み)。図4-2に拡張書き込みタイミングを示します。圧縮転送モードのとき拡張書き込みは指定できません。

図4-2 拡張書き込みタイミング



- ビット6：RQL (DMA Request Active Level)
4本のDMARQ信号の入力アクティブ・レベルを指定します。0の場合アクティブ・ハイで、1のときはアクティブ・ロウになります。
- ビット7：AKL (DMA Acknowledge Active Level)
4本のDMAAK信号の出力アクティブ・レベルを指定します。0の場合はアクティブ・ロウ、1のときはアクティブ・ハイになります。

保守/廃止

表 4-2 コントロール・レジスタ一覧

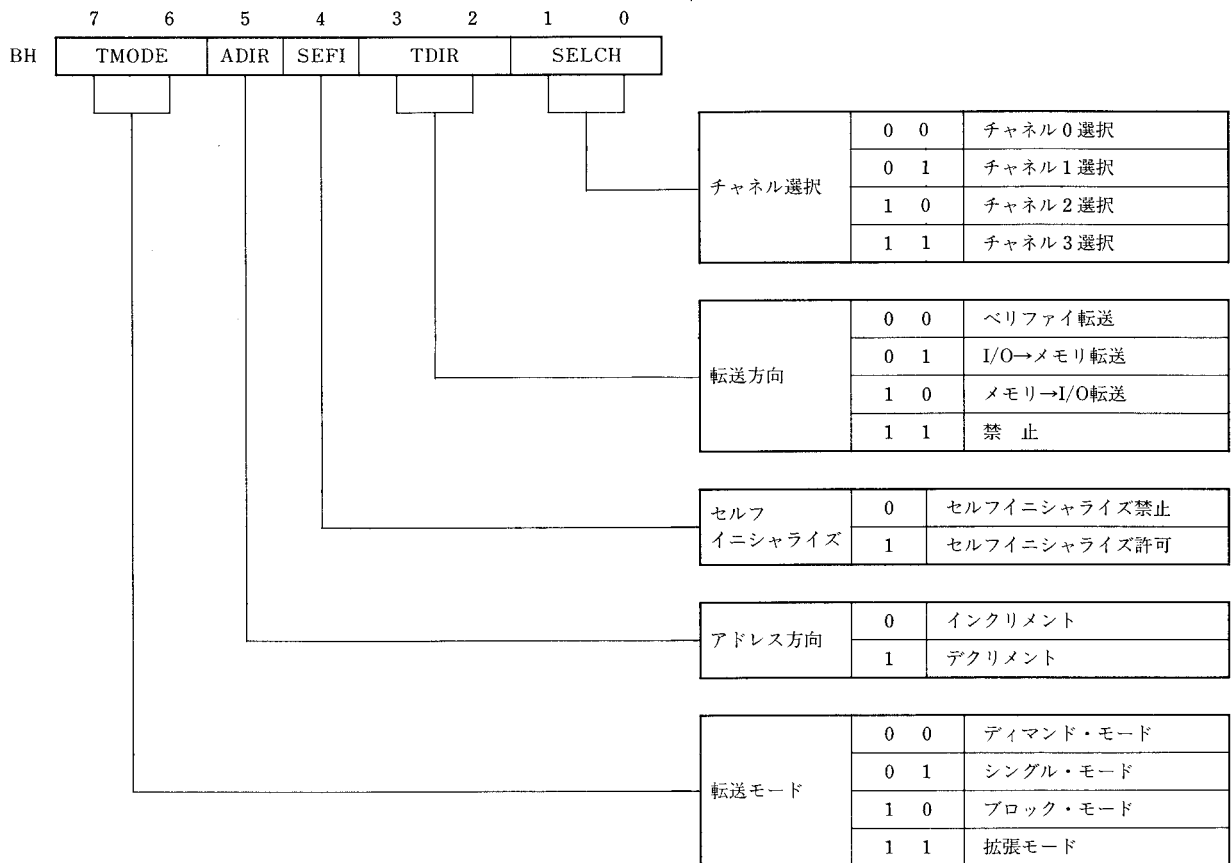
レジスタ名称	R/W	I/Oアドレス (下位4ビット:A0-A3)
デバイス・コントロール	W	8H
ステータス・リード	R	
リクエスト・コントロール	W	9H
マスク・コントロール (各チャンネル)	W	AH
モード・コントロール	W	BH
テンポラリ・データ	R	DH
マスク・コントロール (全チャンネル)	W	FH

注意1.表に示される以外のI/Oアドレスは、アドレス/カウント・レジスタ
やコマンド用に割り当てられるか、アクセス禁止となっています。
2.I/Oアドレス“DH”(テンポラリ・データ)は、書き込み動作の際には
ソフトウェア・リセット (コマンドの一種) に割り当てられます。
コマンドについては、「5.コマンド」を参照してください。

4.6 モード・コントロール・レジスタ

各チャンネルごとにDMA転送動作のモードを指定します。図4-3にそのフォーマットを示します。

図 4-3 モード・コントロール・レジスタのフォーマット

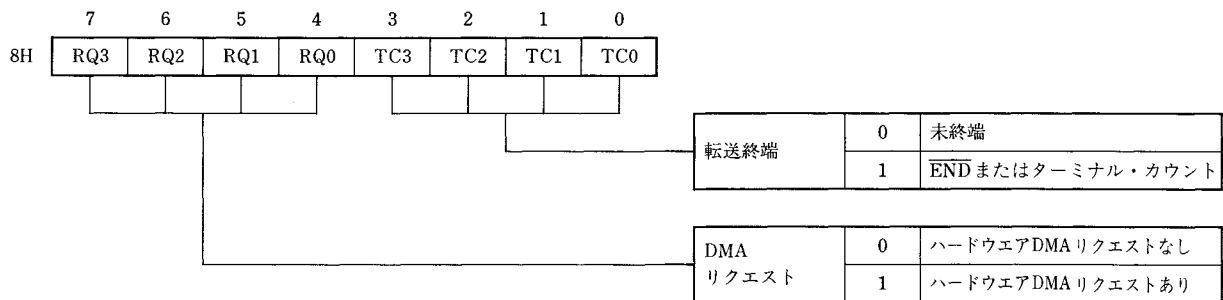


- ビット0, 1 : SELCH (Select Channel)
ビット7-2でモード指定を行う対象となるDMAチャンネルを指定します。
- ビット2, 3 : TDIR (Transfer Direction)
I/Oメモリ転送の際に転送方向を指定します。メモリ・メモリ転送時には意味を持ちません。
- ビット4 : SEFI (Self-initialize)
このビットをセットすることでセルフイニシャライズを指定します。メモリ・メモリ転送では、チャンネル0 (転送元) とチャンネル1 (転送先) のSEFIビットに同じ値を設定してください。
- ビット5 : ADIR (Address Direction)
イフェクティブ・アドレス・レジスタの値を更新する際、インクリメントするかデクリメントするかを指定します。0ならば1バイト転送するごとに1つインクリメント, 1ならば1つデクリメントします。
- ビット6, 7 : TMODE (Transfer Mode)
I/Oメモリ転送のときにDMA転送モードを指定します。メモリ・メモリ転送では、自動的にブロック・モードが選択されるため意味を持ちません。

4.7 ステータス・リード・レジスタ

各チャンネルについて、DMA要求やターミナル・カウン트의発生状態、および $\overline{\text{END}}$ 入力の有無などの情報を保持しています。図4-4にこのレジスタのフォーマットを示します。

図4-4 ステータス・リード・レジスタのフォーマット

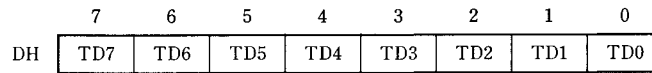


- ビット0-ビット3 : TC0-TC3 (Terminal Count)
これらのビットは、各チャンネルにおける $\overline{\text{END}}$ 入力およびターミナル・カウン트의発生状態を示します。チャンネル内部でターミナル・カウン트가発生するか、あるいは外部から $\overline{\text{END}}$ 入力があれば該当チャンネルのビットがセットされます。ステータス・リード・レジスタを読み出すごとに、これらビットはすべてリセットされます。
- ビット4-ビット7 : RQ0-RQ3 (DMA Request)
ハードウェアDMA要求(DMARQ端子入力)の状態を示します。たとえ該当チャンネルがマスクされていても、同じチャンネルのDMARQ入力がアクティブである限りこれらビットはセットされます。これらビットをサンプリングすることで、マスクにより保留されているハードウェアDMAリクエストの検出が行えます。

4.8 テンポラリ・データ・レジスタ

メモリ・メモリ転送において最後に転送されたデータが格納されています。図4-5にこのレジスタのフォーマットを示します。

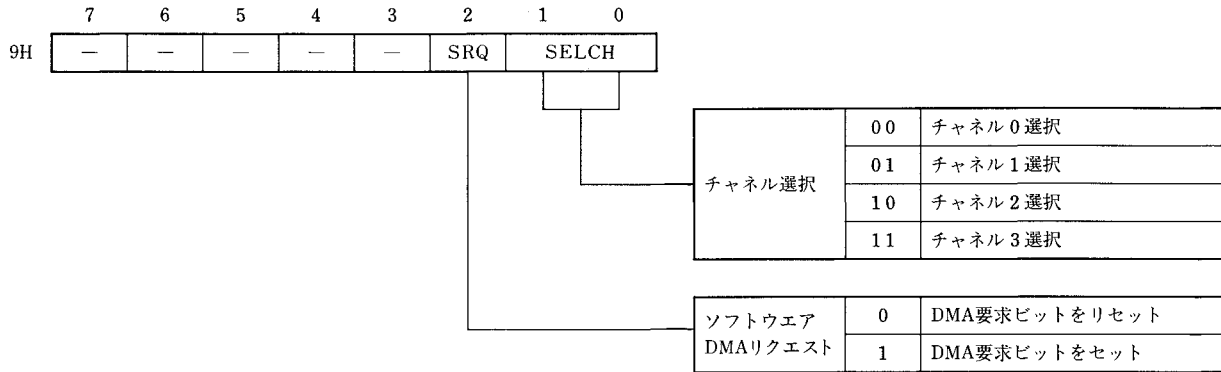
図4-5 テンポラリ・データ・レジスタのフォーマット



4.9 リクエスト・コントロール・レジスタ

ソフトウェア DMA リクエストの制御を行います。図4-6にこのレジスタのフォーマットを示します。

図4-6 リクエスト・コントロール・レジスタのフォーマット



— : don't care

●ビット0, 1 : SELCH (Select Channel)

ソフトウェアDMA要求制御を行う対象となるチャンネルを指定します。

●ビット2 : SRQ (Software DMA Request)

ビット0, 1で選択されるチャンネルについて、ソフトウェアDMAリクエストの制御を行います。1で該当チャンネルのリクエスト・ビットをセット, 0でリセットします。

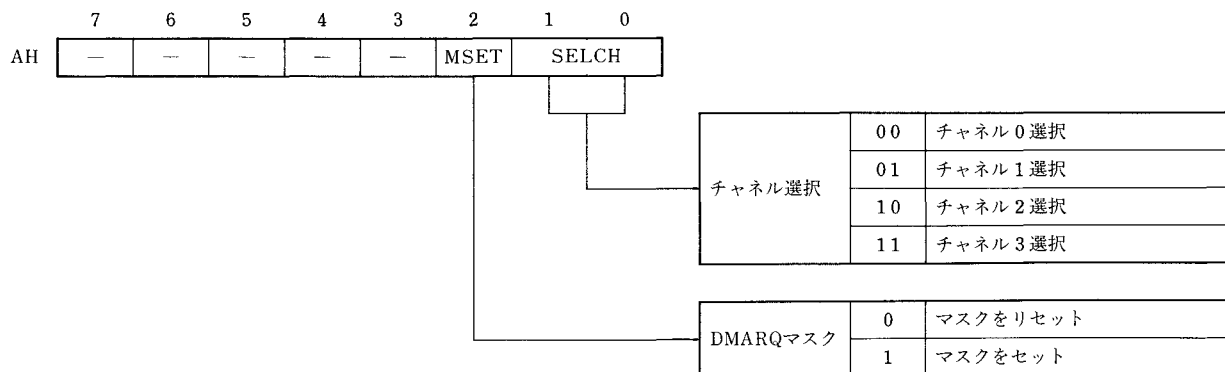
4.10 マスク・コントロール・レジスタ

各チャンネルの DMA 要求に対するマスクを制御するレジスタで、チャンネル単位でマスクを設定するレジスタ、および4チャンネルのマスクを全部一度に設定するレジスタの2種類があります。

4.10.1 各チャンネルごとに設定するタイプ

このタイプのマスク・コントロール・レジスタのフォーマットを図4-7に示します。

図4-7 マスク・コントロール・レジスタのフォーマット (各チャンネル)



— : don't care

- ビット 0, 1 : SELCH (Select Channel)

DMAリクエスト・マスクの対象となるチャンネルを選択します。

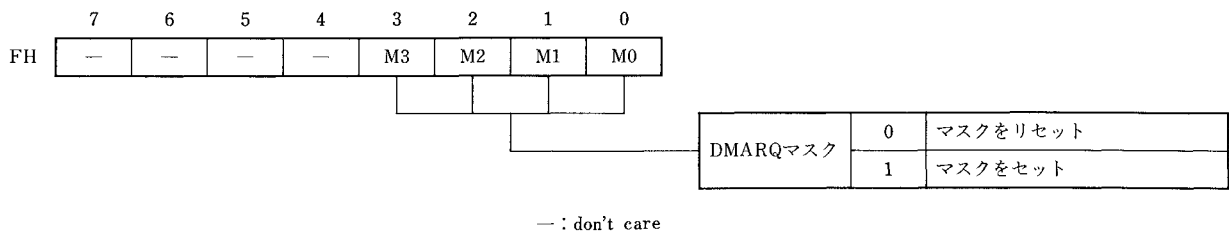
- ビット 2 : MSET (Mask Set)

ビット 0, 1 で指定されたチャンネルについてDMA要求 (DMARQ端子入力) をマスクします。1 ならマスクをセット, 0 の場合はマスクを解除します。

4.10.2 全チャンネルを一度に設定するタイプ

このタイプのマスク・コントロール・レジスタのフォーマットを図 4-8 に示します。

図 4-8 マスク・コントロール・レジスタのフォーマット (全チャンネル)



- ビット 0-ビット 3 : M0-M3 (Mask)

4つのDMAチャンネルについて, マスクのセット/リセットを指定します。1 に設定すると該当チャンネルのマスクがセットされ, そのチャンネルのDMA要求 (DMARQ端子入力) は禁止されます。0 の場合はマスクを解除します。

5. コマンド

μPD71037では、「4.レジスタ構成」で説明した各種レジスタ以外に、μPD71037の動作を制御するために3種類のコマンドが用意されています。これらコマンドを以下に示します。

- アドレス・ロウ・バイト
- ソフトウェア・リセット
- クリア・オール・マスク

コマンドは、各種レジスタと同様にホストCPUが書き込むことによってμPD71037を制御しますが、レジスタの書き込みの場合とは異なり、書き込むデータは何であってもかまいません。表5-1にコマンドの一覧を示します。

表5-1 コマンド一覧

コマンド名称	R/W	I/Oアドレス(下位 4ビット:A0-A3)	機能
アドレス・ロウ・バイト	W	CH	アドレス/カウント・レジスタに新たな値を設定する際、設定値の書き込みに先立ち発行します。このコマンドが発行されると、設定値の書き込みは必ずロウ・バイトから行われます。
ソフトウェア・リセット	W	DH	ハードウェアによる通常のリセット動作と同じ機能を持ちます。リセットにより、デバイス・コントロール、ステータス・リード、リクエスト・コントロール、およびテンポラリ・データ・レジスタが“00H”にクリアされます。また、マスクは全チャンネルについてセットされます。
クリア・オール・マスク	W	EH	全チャンネルのマスクを解除し、DMA転送要求の受け付けを許可します。

- 注意1. リセット（ハードウェア、ソフトウェア）後、アドレス/カウント・レジスタに書き込まれる値はこれらレジスタの下位バイトに書き込まれます。
2. I/Oアドレスの“DH”に対して読み出しを行うと、テンポラリ・データ・レジスタの内容が読み出されます(表4-2を参照)。



6. 電気的特性

絶対最大定格 (T_A=25 °C)

項目	略号	条件	定格	単位
電源電圧	V _{DD}		-0.5~+7.0	V
入力電圧	V _I		-0.5~V _{DD} +0.3	V
出力電圧	V _O		-0.5~V _{DD} +0.3	V
動作温度	T _A		-40~+85	°C
保存温度	T _{stg}		-65~+150	°C

- ★ 注意 1. IC 製品の出力 (または入出力) 端子同士を直結したり, V_{DD} または V_{CC} や GND に直結したりしないでください。ただし, オープン・ドレイン端子やオープン・コレクタ端子同士は直結できます。また, ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路でも直結可能です。
 - ★ 2. 各項目のうち1項目でも, また一瞬でも絶対最大定格を越えると, 製品の品質を損なう恐れがあります。つまり絶対最大定格とは, 製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づかない状態で, 製品をご使用ください。
- DC 特性と AC 特性に示す規格や条件が, 製品の正常動作, 品質保証の範囲です。

DC 特性 (T_A=-40~+85 °C, V_{DD}=5 V±10%)

項目	略号	条件	MIN.	TYP.	MAX.	単位
高レベル入力電圧	V _{IH}	CLK 端子	0.8V _{DD}		V _{DD} +0.3	V
		その他	+2.2		V _{DD} +0.3	V
低レベル入力電圧	V _{IL}		-0.5		+0.8	V
高レベル出力電圧	V _{OH}	I _{OH} =-400 μA	0.7V _{DD}			V
低レベル出力電圧	V _{OL}	I _{OL} =2.5 mA			+0.4	V
入力リーク電流	I _{LI}	0 V ≤ V _I ≤ V _{DD}			±10	μA
出力リーク電流	I _{LO}	0 V ≤ V _O ≤ V _{DD}			±10	μA
電源電流	I _{DD}				20	mA

容量 (T_A=25 °C)

項目	略号	条件	MIN.	TYP.	MAX.	単位
出力容量	C _O	f _C =1 MHz 被測定端子以外は 0 V		4	8	pF
入力容量	C _I			8	15	pF
入出力容量	C _{IO}			10	18	pF



AC特性 ($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = 5\text{V} \pm 10\%$)

DMAモード (1/2)

項目	略号	条件	MIN.	MAX.	単位
クロック周期	t_{CYK}		100	1000	ns
クロック・ハイ・レベル幅	t_{KKH}		39		ns
クロック・ロウ・レベル幅	t_{KKL}		45		ns
DMARQ 設定時間 (対CLK↓)	t_{SDQ}	S1, S4	20		ns
HLDRQ 遅延時間 (対CLK↑)	t_{DHQ}			70	ns
HLDARQ 設定時間 (対CLK↑)	t_{SHA}		50		ns
AEN↑ 遅延時間 (対CLK↓)	t_{DAEH}	S1		100	ns
AEN↓ 遅延時間 (対CLK↑)	t_{DAEL}	SI		70	ns
ASTB↑ 遅延時間 (対CLK↑)	t_{DSTH}			70	ns
ASTB ハイ・レベル幅	t_{STSTH}		$t_{CYK} - 20$		ns
ASTB↓ 遅延時間 (対CLK↑)	t_{DSTL}			70	ns
アドレス下位バイト出力遅延時間(対CLK↑)	t_{KFA}	(フロート→バリッド)		80	ns
アドレス下位バイト出力遅延時間(対CLK↑)	t_{DA}			80	ns
READ/WRITE 出力遅延時間 (対CLK↑)	t_{KFC}	(フロート→バリッド)		80	ns
アドレス上位バイト出力遅延時間(対CLK↑)	t_{KFD}	(フロート→バリッド)		70	ns
アドレス下位バイト・フロート時間(対CLK↑)	t_{FA}			80	ns
READ/WRITE フロート時間 (対CLK↑)	t_{FC}			80	ns
アドレス上位バイト・フロート時間(対CLK↑)	t_{FD}			120	ns
アドレス上位バイト設定時間(対ASTB↓)	t_{SAT}		40		ns
アドレス上位バイト・ホールド時間(対ASTB↓)	t_{HSTA}		20		ns
入力データ・ホールド時間 (対MRD↑)	t_{HMRID}		0		ns
入力データ設定時間 (対MRD↑)	t_{SIDMR}		90		ns

注意1. $C_L = 100\text{ pF}$

2. READはIORDまたはMRD, WRITEはIOWRまたはMWRを意味します。

DMAモード (2/2)

項 目	略号	条 件	MIN.	MAX.	単 位
出力データ・ホールド時間 (対 \overline{MWR} ↑)	t_{HMWOD}		10		ns
出力データ設定時間 (対 \overline{MWR} ↑)	t_{SODMW}		65		ns
$\overline{READ}/\overline{WRITE}$ ↓ 遅延時間 (対 \overline{CLK} ↑)	t_{DCL}			80	ns
\overline{RD} ロウ・レベル幅	t_{RRL1}	通常転送モード	$2t_{CYK}-15$		ns
	t_{RRL2}	圧縮転送モード	$t_{CYK}-15$		ns
\overline{WR} ロウ・レベル幅	t_{WWL1}	通常転送モード	$t_{CYK}-20$		ns
	t_{WWL2}	通常転送モード, 拡張書き込み	$2t_{CYK}-20$		ns
	t_{WWL3}	圧縮転送モード	$t_{CYK}-20$		ns
\overline{READ} ↑ 遅延時間 (対 \overline{CLK} ↑)	t_{DKRH}	S4		80	ns
\overline{WRITE} ↑ 遅延時間 (対 \overline{CLK} ↑)	t_{DKWH}	S4		55	ns
アドレス下位バイト・ホールド時間 (対 \overline{READ} ↑)	t_{HRA}		$t_{CYK}-60$		ns
アドレス下位バイト・ホールド時間 (対 \overline{WRITE} ↑)	t_{HWA}		$t_{CYK}-40$		ns
DMAAK 遅延時間 (対 \overline{CLK} ↓)	t_{DKLDA}			100	ns
\overline{TC} ↑ 遅延時間 (対 \overline{CLK} ↑)	t_{DTCH}			100	ns
\overline{TC} ↓ 遅延時間 (対 \overline{CLK} ↑)	t_{DTCL}			90	ns
\overline{END} 設定時間 (対 \overline{CLK} ↓)	t_{SED}		25		ns
\overline{END} ロウ・パルス幅	t_{EDEDL}		100		ns
READY 設定時間 (対 \overline{CLK} ↓)	t_{SRY}		25		ns
READY ホールド時間 (対 \overline{CLK} ↓)	t_{HRY}		20		ns

注意1. $C_L=100\text{ pF}$

2. \overline{READ} は \overline{IORD} または \overline{MRD} , \overline{WRITE} は \overline{IOWR} または \overline{MWR} を意味します。

インアクティブ・サイクル

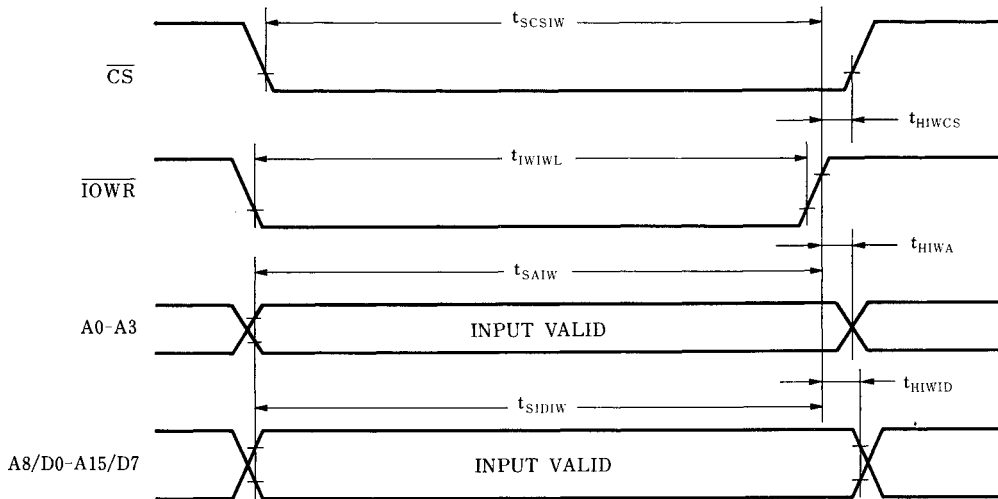
項 目	略 号	条 件	MIN.	MAX.	単 位
$\overline{\text{IOWR}}$ ロウ・レベル幅	t_{IWIWL}		90		ns
$\overline{\text{CS}}$ ↓ 設定時間 (対 $\overline{\text{IOWR}}$ ↑)	t_{SCSIW}		90		ns
$\overline{\text{CS}}$ ハイ・ホールド時間 (対 $\overline{\text{IOWR}}$ ↑)	t_{HIWCS}		15		ns
アドレス下位バイト設定時間 (対 $\overline{\text{IOWR}}$ ↑)	t_{SAIW}		80		ns
アドレス下位バイト・ホールド時間 (対 $\overline{\text{IOWR}}$ ↑)	t_{HIWA}		15		ns
入力データ設定時間 (対 $\overline{\text{IOWR}}$ ↑)	t_{SIDIW}		80		ns
入力データ・ホールド時間 (対 $\overline{\text{IOWR}}$ ↑)	t_{HIWD}		20		ns
$\overline{\text{IORD}}$ ロウ・レベル幅	t_{IRIRL}		150		ns
アドレス下位バイト/ $\overline{\text{CS}}$ 設定時間 (対 $\overline{\text{IORD}}$ ↓)	t_{SAIR}		35		ns
アドレス下位バイト/ $\overline{\text{CS}}$ ホールド時間 (対 $\overline{\text{IORD}}$ ↑)	t_{HIRA}		0		ns
出力データ遅延時間 (対 $\overline{\text{IORD}}$ ↓)	t_{DIROD}			120	ns
出力データ・フロート時間 (対 $\overline{\text{IORD}}$ ↑)	t_{FIROD}		0	70	ns
RESET ハイ・レベル幅	t_{RESET}		200		ns
V_{DD} 設定時間 (対 RESET ↓)	t_{SVDD}		500		ns
$\overline{\text{IOWR}}/\overline{\text{IORD}}$ 待機時間 (対 RESET ↓)	t_{SYIWR}	リセット後最初のリード/ライト	t_{CYK}		ns
$\overline{\text{IOWR}}/\overline{\text{IORD}}$ 回復時間	t_{RVIWR}		125		ns

注意 $C_L=100\text{ pF}$

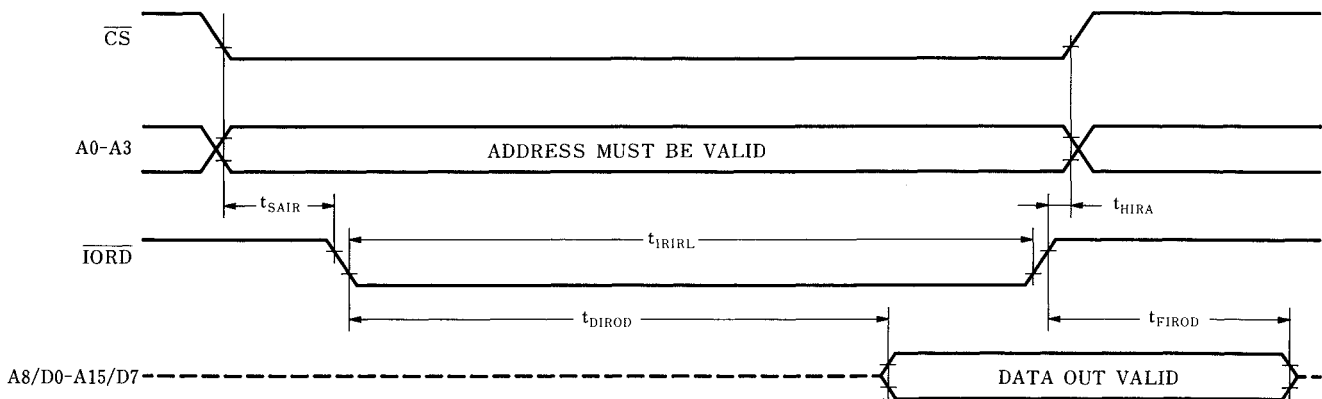
タイミング波形

(1) インアクティブ・サイクル

インアクティブ・サイクル・ライト・タイミング



インアクティブ・サイクル・リード・タイミング

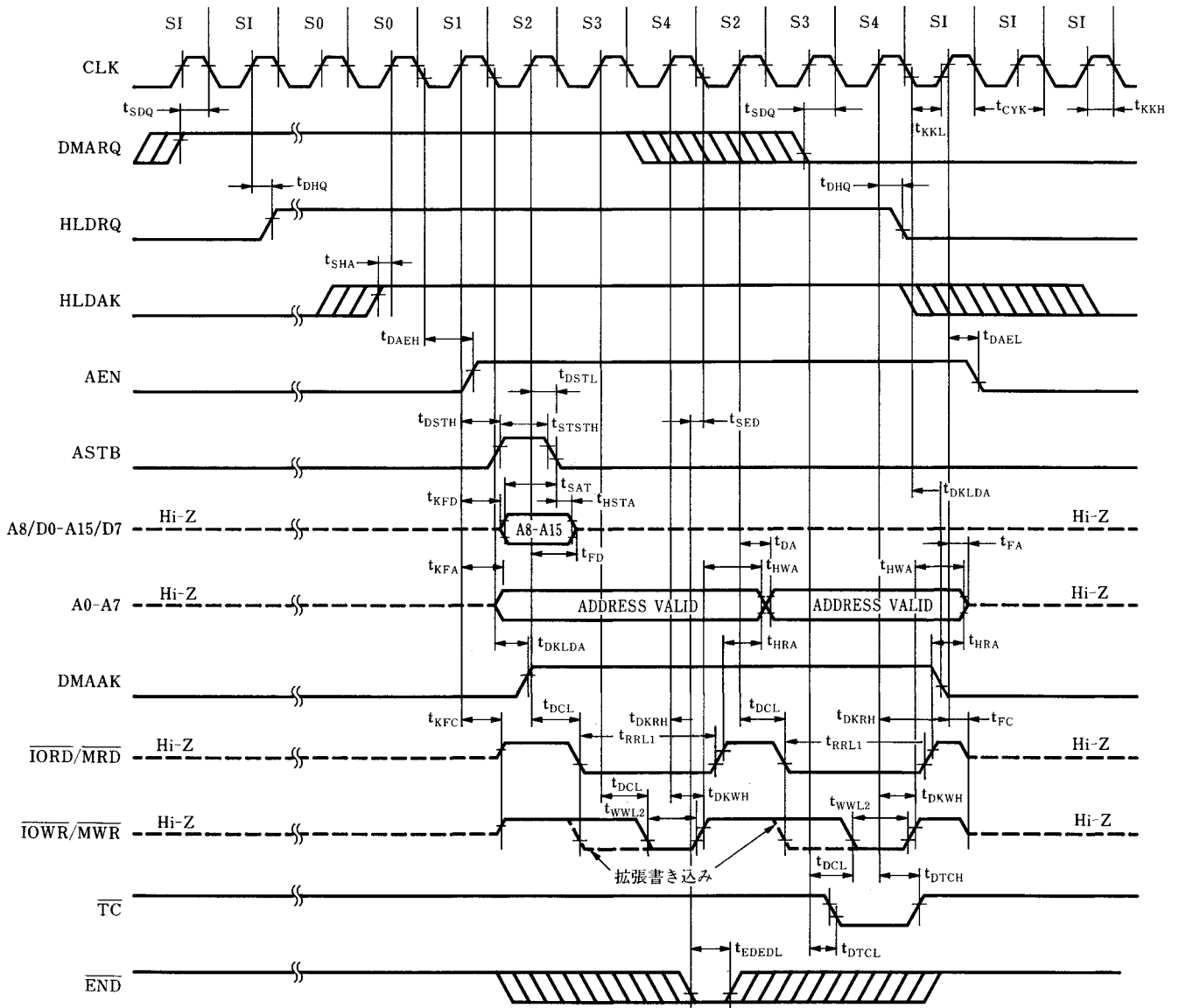


備考 破線はハイ・インピーダンスを示します。

保守/廃止

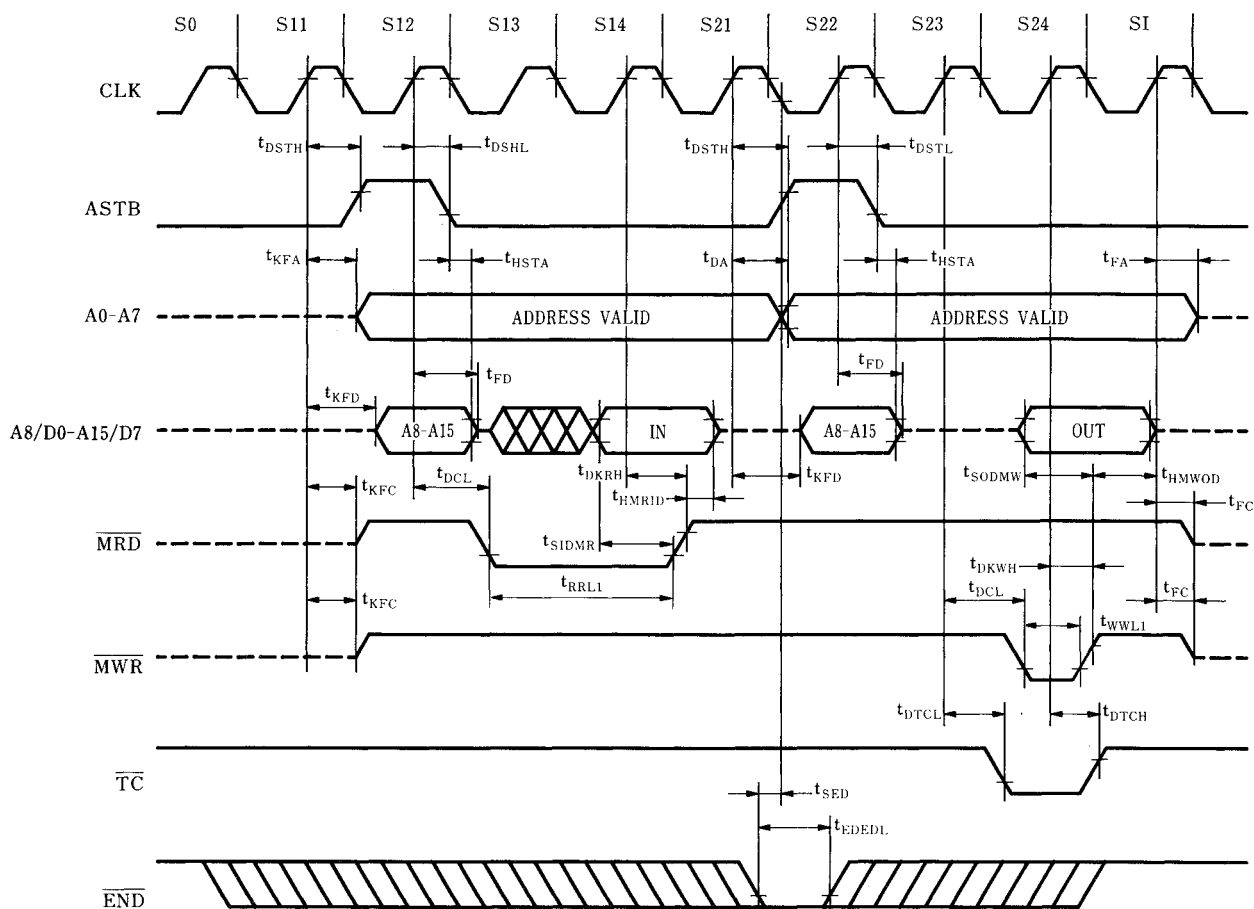
(2) DMAモード

I/Oメモリ転送タイミング



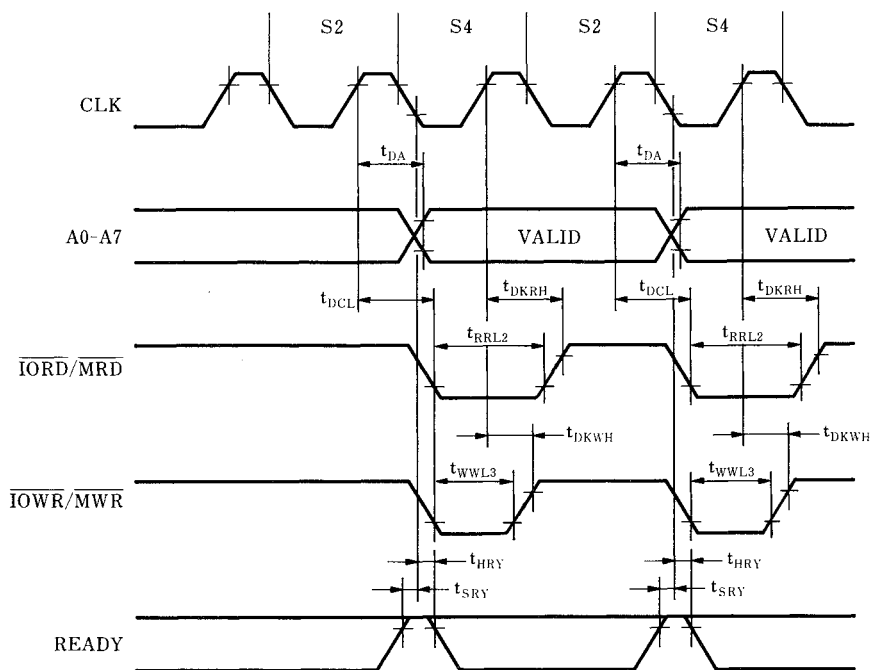


メモリ・メモリ転送タイミング



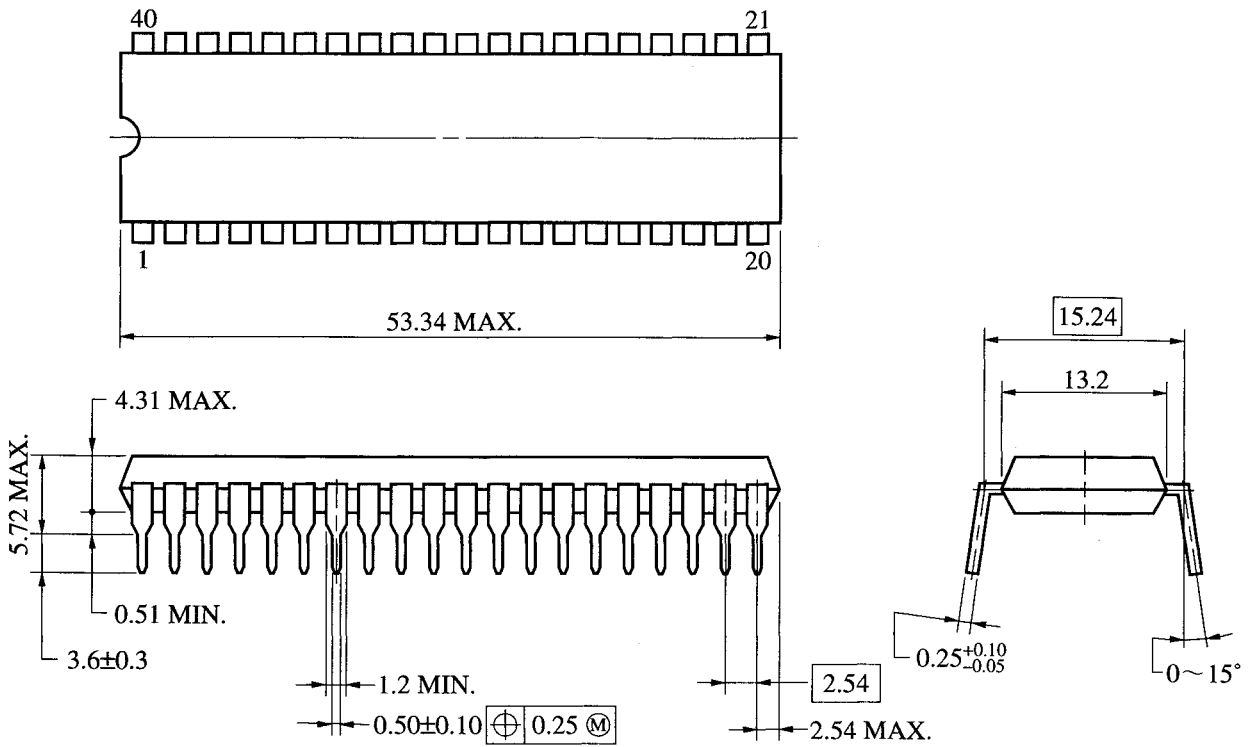
備考 破線はハイ・インピーダンスを示します。

圧縮転送タイミング



★ 7. 外形図

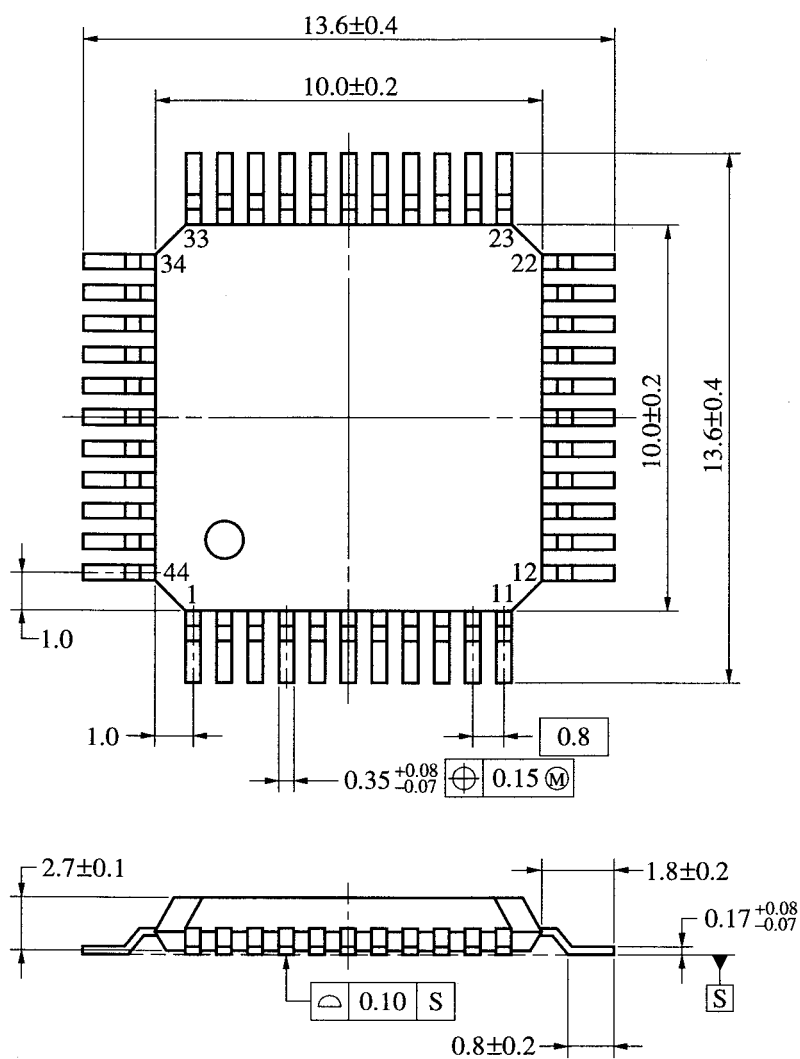
40ピン・プラスチック DIP (600 mil) 外形図 (単位: mm)



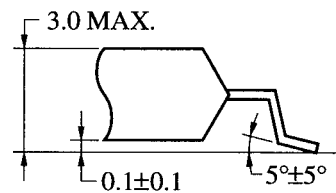
P40C-100-600A-1

保守 / 廃止

44ピン・プラスチック QFP (10×10) 外形図 (単位: mm)



端子先端形状詳細図



P44GB-80-3B4-4



8. 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の詳細は、インフォメーション資料「半導体デバイス実装マニュアル」(C10535J)を参照してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

表 8-1 表面実装タイプの半田付け条件

(1) μPD71037GB-10-3B4：44ピン・プラスチックQFP (□10 mm)

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃，時間：30秒以内 (210℃以上)，回数：3回以内	IR35-00-3
VPS	パッケージ・ピーク温度：215℃，時間：40秒以内 (200℃以上)，回数：3回以内	VP15-00-3
ウェーブ・ソルダリング	半田槽温度：260℃以下，時間：10秒以内，回数：1回 予備加熱温度：120℃ MAX. (パッケージ表面温度)	WS60-00-1
端子部分加熱	端子温度：300℃以下，時間：3秒以内 (デバイスの一辺当たり)	—

(2) μPD71037LM-10：44ピン・プラスチックQFJ (□650 mil)

半田付け方式	半田付け条件	推奨条件記号
★ VPS	パッケージ・ピーク温度：215℃，時間：40秒以内 (200℃以上)，回数：1回 制限日数：7日間 ^注 (以降は125℃プリベーク 10時間必要) <留意事項> 耐熱トレイ以外 (マガジン，テーピング，非耐熱トレイ) は、包装状態でのベークキングができません。	VP15-107-1
端子部分加熱	端子温度：300℃以下，時間：3秒以内 (デバイスの一辺当たり)	—

注 ドライパック開封後の保管日数で、保管条件は25℃，65% RH以下。

注意 半田付け方式の併用は避けください (ただし、端子部分加熱方式は除く)。

表 8-2 挿入タイプの半田付け条件

μPD71037CZ-10：40ピン・プラスチックDIP (600 mil)

半田付け方式	半田付け条件
ウェーブ・ソルダリング (端子のみ)	半田槽温度：260℃以下，時間：10秒以内
端子部分加熱	端子温度：300℃以下，時間：3秒以内 (1端子当たり)

注意 ウェーブ・ソルダリングは端子のみとし、噴流半田が直接本体に接触しないようにしてください。

(メモ)

{ × ㇿ }

(メモ)

CMOSデバイスの一般的注意事項

①静電気対策 (MOS全般)

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

②未使用入力の処理 (CMOS特有)

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性 (タイミングは規定しません) を考慮すると、個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

③初期化以前の状態 (MOS全般)

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。



関連資料 μPD71037 ユーザーズ・マニュアル U13128J

参考資料 電気的特性の考え方 マイコン編 IEI-601

- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的所有権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
- 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。
 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
 特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災/防犯装置、各種安全装置、生命維持を直接の目的としない医療機器
 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
 当社製品のデータ・シート/データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。
- この製品は耐放射線設計をしておりません。

M4 94.11

V20HL™, V30HL™は日本電気株式会社の商標です。

— お問い合わせは、最寄りのNECへ —

【営業関係お問い合わせ先】

半導体第一販売事業部 半導体第二販売事業部 半導体第三販売事業部	〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3454-1111 (大代表)
中部支社 半導体第一販売部 半導体第二販売部	〒460 名古屋市中区錦一丁目17番1号 (NEC中部ビル)	名古屋 (052)222-2170 名古屋 (052)222-2190
関西支社 半導体第一販売部 半導体第二販売部 半導体第三販売部	〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3178 大阪 (06) 945-3200 大阪 (06) 945-3208
北海道支社 東北支社 岩手支店 郡山支店 いわき支店 長岡支店 土浦支店 水戸支店 神奈川支社 群馬支店	札幌 (011)251-5599 仙台 (022)267-8740 盛岡 (019)651-4344 郡山 (0249)23-5511 いわき (0246)21-5511 長岡 (0258)36-2155 土浦 (0298)23-6161 水戸 (029)226-1717 横浜 (045)682-4524 高崎 (0273)26-1255	太田支店 太田 (0276)46-4011 宇都宮支店 宇都宮 (028)621-2281 小山支店 小山 (0285)24-5011 小松本支店 小松本 (0263)35-1662 甲府支店 甲府 (0552)24-4141 埼玉支店 大宮 (048)649-1415 立川支店 立川 (0425)26-5981 千葉支店 千葉 (043)238-8116 静岡支店 静岡 (054)254-4794 北陸支店 金沢 (076)232-7303
福井支店 富山支店 三重支店 京都支社 神戸支社 中国支社 鳥取支店 岡山支店 松山支店 九州支店	福井 (0776)22-1866 富山 (0764)31-8461 津 (0592)25-7341 京都 (075)344-7824 神戸 (078)333-3854 広島 (082)242-5504 鳥取 (0857)27-5311 岡山 (086)225-4455 松山 (089)945-4149 福岡 (092)261-2806	

【本資料に関する技術お問い合わせ先】

半導体ソリューション技術本部 マイクロコンピュータ技術部	〒210 川崎市幸区塚越三丁目484番地	川崎 (044)548-8890	半導体 インフォメーションセンター FAX(044)548-7900 (FAXにてお願い致します)
半導体販売技術本部 東日本販売技術部	〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3798-9619	
半導体販売技術本部 中部販売技術部	〒460 名古屋市中区錦一丁目17番1号 (NEC中部ビル)	名古屋 (052)222-2125	
半導体販売技術本部 西日本販売技術部	〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3383	