

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。



V851™

32/16ビット・シングルチップ・マイクロコンピュータ

μ PD70P3000は、 μ PD703000の内部マスクROMをワン・タイムPROMに置き換えた製品です。ワン・タイムPROM製品は、一度だけ書き込みが可能で、セットの多品種少量生産や早期立ち上げに有効です。

詳しい機能説明などは次のユーザース・マニュアルに記載しております。設計の際には必ずお読みください。

V851 ユーザース・マニュアル ハードウェア編 : U10935J

V850ファミリ™ ユーザース・マニュアル アーキテクチャ編 : U10243J

特 徴

μ PD703000コンパチブル

・量産時にはマスクROM内蔵の μ PD703000に置き換え可能

内部PROM : 32 Kバイト

・一度だけ書き込み可能

PROMプログラミング特性 : μ PD27C1001Aコンパチブル

QTOP™マイコン対応

備考 QTOPマイコンとは、NECの書き込みサービス（プログラム書き込みから捺印、スクリーニング、検査）によりトータル・サポートされたワン・タイムPROM内蔵マイコンの総称です。

オーダ情報

オーダ名称	パッケージ	最大動作周波数 (MHz)
μ PD70P3000GC-25-7EA	100ピン・プラスチックQFR(ファインピッチ) (14 mm)	25
μ PD70P3000GC-33-7EA	"	33

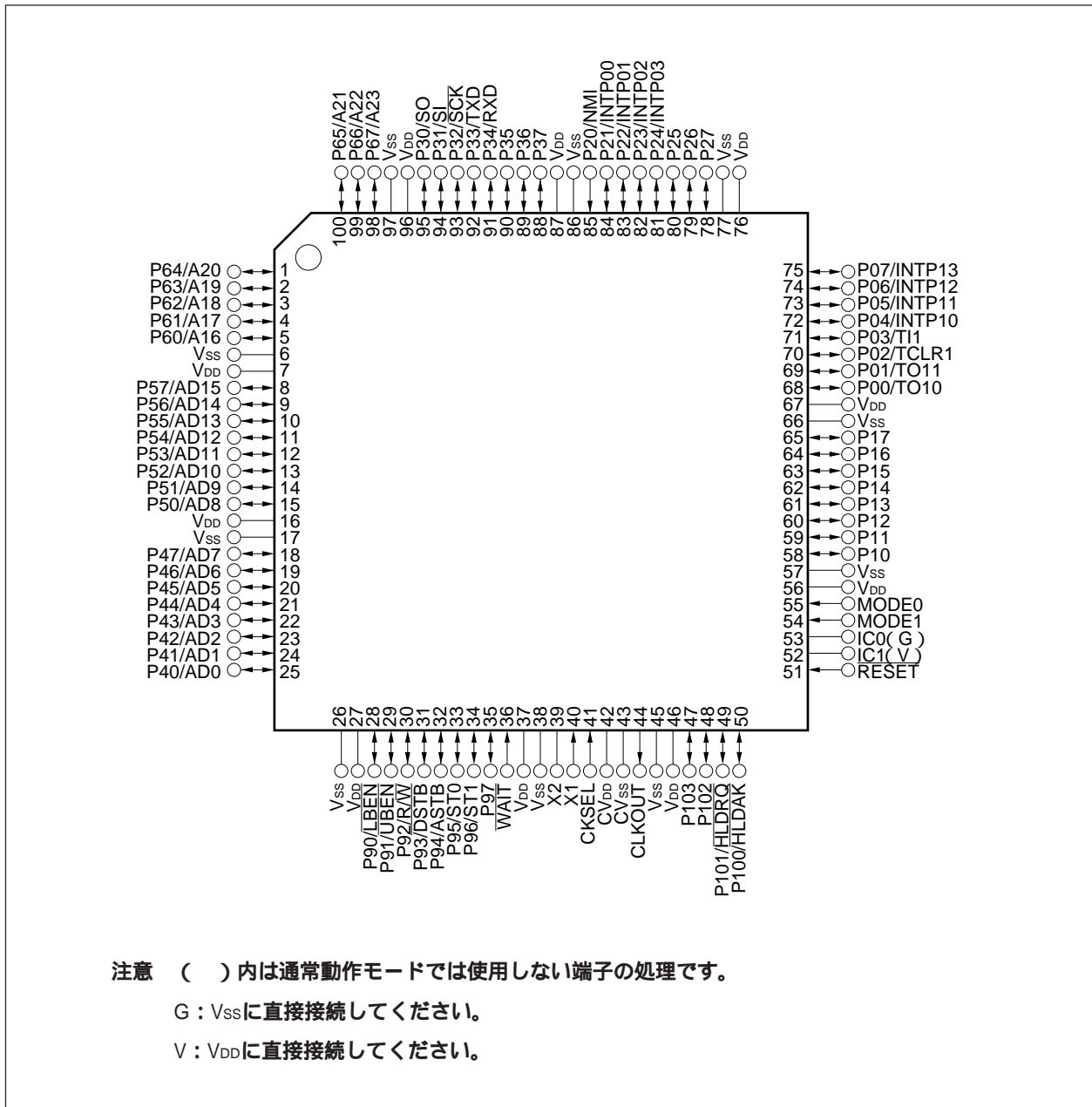
この資料では、ワン・タイムPROMをPROMという表記で統一しています。

本資料の内容は、予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。



端子接続図 (Top View)

(1) 通常動作モード



注意 ()内は通常動作モードでは使用しない端子の処理です。

G : V_{SS}に直接接続してください。

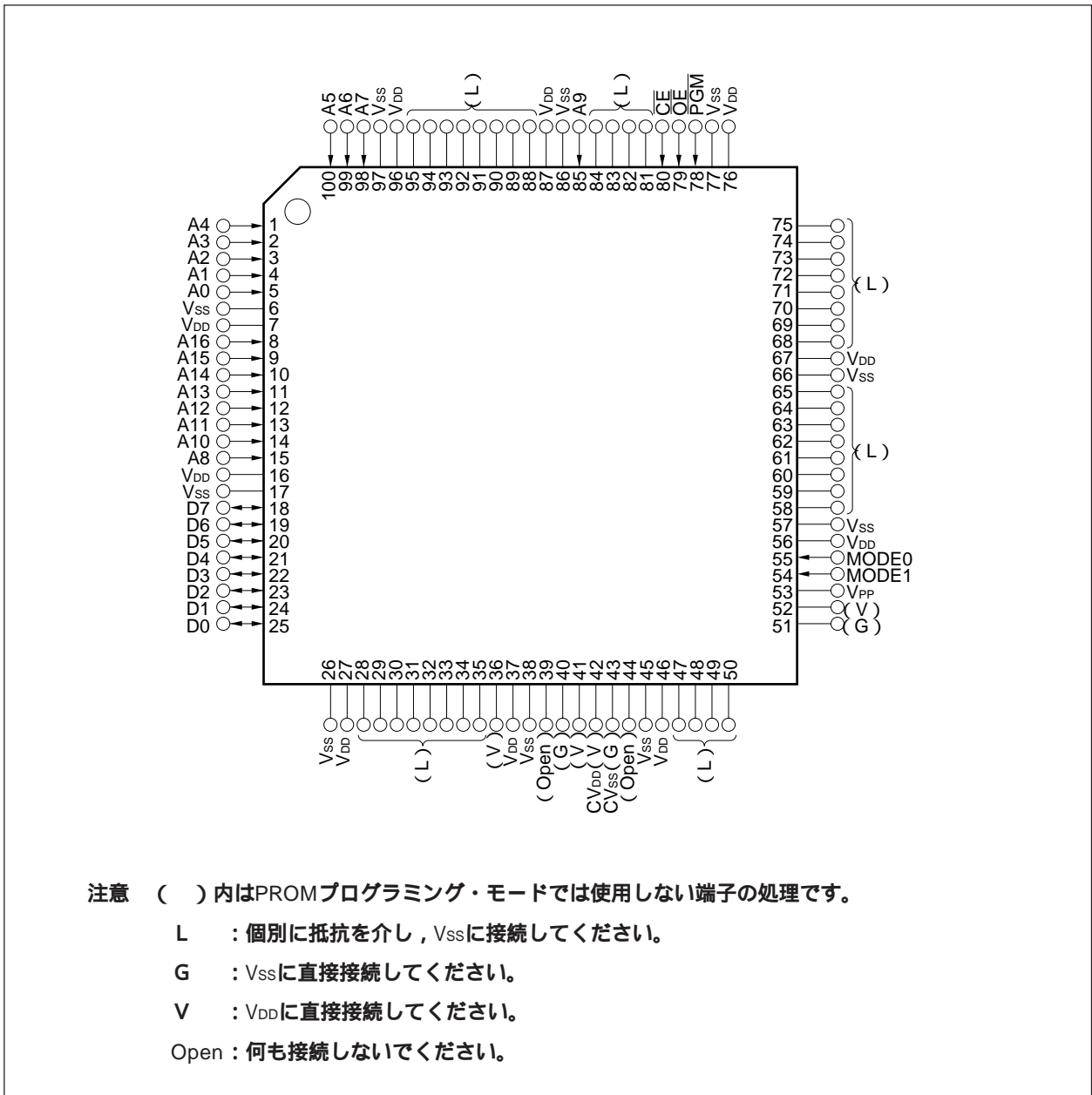
V : V_{DD}に直接接続してください。

保守/廃止

P00-P07	: Port0	A16-A23	: Address Bus
P10-P17	: Port1	$\overline{\text{LBEN}}$: Lower Byte Enable
P20-P27	: Port2	$\overline{\text{UBEN}}$: Upper Byte Enable
P30-P37	: Port3	$\overline{\text{R/W}}$: Read/Write Status
P40-P47	: Port4	$\overline{\text{DSTB}}$: Data Strobe
P50-P57	: Port5	ASTB	: Address Strobe
P60-P67	: Port6	ST0,ST1	: Status
P90-P97	: Port9	$\overline{\text{HLDAK}}$: Hold Acknowledge
P100-P103	: Port10	$\overline{\text{HLDRQ}}$: Hold Request
TO10,TO11	: Timer Output	CLKOUT	: Clock Output
TCLR1	: Timer Clear	CKSEL	: Clock Select
TI1	: Timer Input	$\overline{\text{WAIT}}$: Wait
INTP00-INTP03,		MODE0, MODE1	: Mode
INTP10-INTP13	: Interrupt Request From Peripherals	$\overline{\text{RESET}}$: Reset
NMI	: Non-maskable Interrupt Request	X1,X2	: Crystal
SO	: Serial Output	CV _{DD}	: Clock Generator Power Supply
SI	: Serial Input	CV _{SS}	: Clock Generator Ground
$\overline{\text{SCK}}$: Serial Clock	V _{DD}	: Power Supply
TXD	: Transmit Data	V _{SS}	: Ground
RXD	: Receive Data	IC0,IC1	: Internally Connected
AD0-AD15	: Address/Data Bus		



(2) PROMプログラミング・モード

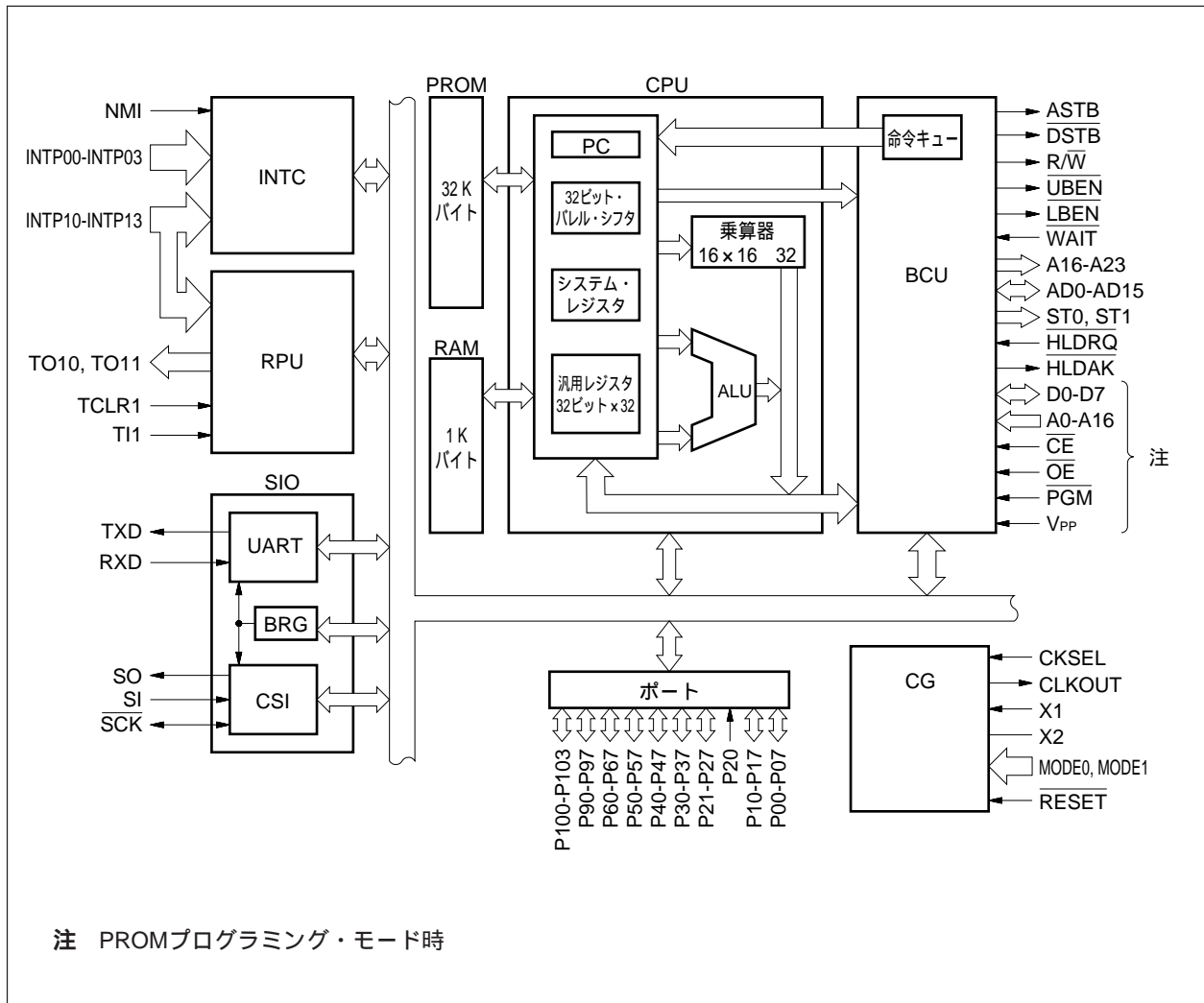


注意 ()内はPROMプログラミング・モードでは使用しない端子の処理です。

- L : 個別に抵抗を介し, V_{SS}に接続してください。
- G : V_{SS}に直接接続してください。
- V : V_{DD}に直接接続してください。
- Open : 何も接続しないでください。

A0-A16	: Address Bus	MODE0,MODE1	: Programming Mode Set
D0-D7	: Data Bus	V _{DD}	: Power Supply
\overline{CE}	: Chip Enable	V _{SS}	: Ground
\overline{OE}	: Output Enable	V _{PP}	: Programming Power Supply
\overline{PGM}	: Programming Mode		

内部ブロック図



目次

1 . μ PD70P3000と μ PD703000の違い ...	7
2 . 端子機能一覧 ...	8
2.1 通常動作モード (MODE0 = L, MODE1 = H) ...	8
2.1.1 ポート端子 ...	8
2.1.2 ポート以外の端子 ...	9
2.2 PROMプログラミング・モード (MODE0 = H, MODE1 = H) ...	11
2.3 端子の入出力回路と未使用端子の処理 ...	12
3 . PROMのプログラミング ...	14
3.1 動作モード ...	14
3.2 PROM書き込みの手順 ...	16
3.3 PROM読み出しの手順 ...	20
4 . ワン・タイムPROM製品のスクリーニング ...	21
5 . 外部クロック使用時のSTOPモード解除に関する注意事項 ...	21
6 . 電気的特性 ...	22
6.1 通常動作モード ...	22
6.1.1 $V_{DD} = 5.0\text{ V} \pm 10\%$ のとき ...	22
6.1.2 $V_{DD} = 3.0 \sim 3.6\text{ V}$ のとき ...	41
6.2 PROMプログラミング・モード ...	59
7 . 特性曲線 (参考値) ...	65
8 . 外形図 ...	66
9 . 半田付け推奨条件 ...	67
付録 PROM書き込み用ツール ...	68

1. μPD70P3000とμPD703000の違い

μPD70P3000は、μPD703000の内部マスクROMをPROMに置き換えた製品です。したがって、これら2品種の機能は、ROMの仕様による差（たとえば、書き込み、ベリファイなど）を除いてすべて共通となります。両者の違いを表1-1に示します。

なお、この資料では、PROM仕様の機能について解説しています。その他の機能の詳細については、μPD703000の資料をご覧ください。

表1-1 μPD70P3000とμPD703000の違い

項目	品名	μPD70P3000	μPD703000
内部プログラム・メモリ (電气的書き込み)		ワン・タイムPROM (一度だけ書き込み可)	マスクROM
PROMプログラミング端子		あり	なし
MODE0, MODE1の設定		・通常動作モード時 MODE0, 1 = LH ・PROMプログラミング・モード時 MODE0, 1 = HH	・通常動作モード時 MODE0, 1 = LH ・ROMレス・モード時 MODE0, 1 = LL
電气的特性		消費電流などが異なります。	
その他		回路の規模やマスク・レイアウトが異なるため、ノイズ耐量、ノイズ輻射などが異なります。	

注意1 . PROM製品とマスクROM製品では、ノイズ耐量やノイズ輻射が異なります。試作から量産の過程でPROM製品からマスクROM製品への置き換えを検討される場合は、マスクROM製品のCS品（ES品でなく）で十分な評価を行ってください。

2 . MODE0, MODE1端子は、V_{DD}またはV_{SS}に直接接続してください。

★ 3 . PROM製品からマスクROM製品への置き換えを行う場合、内蔵ROMの空き領域は、同一のコードを書き込んでください。

備考 L : ロウ・レベル

H : ハイ・レベル



2. 端子機能一覧

2.1 通常動作モード (MODE0 = L, MODE1 = H)

2.1.1 ポート端子

(1/2)

端子名称	入出力	機 能	兼用端子
P00	入出力	ポート 0 8 ビット入出力ポート 1 ビット単位で入 / 出力の指定が可能	TO10
P01			TO11
P02			TCLR1
P03			TI1
P04			INTP10
P05			INTP11
P06			INTP12
P07			INTP13
P10-P17	入出力	ポート 1 8 ビット入出力ポート 1 ビット単位で入 / 出力の指定が可能	-
P20	入 力	ポート 2 P20は入力専用ポート 有効エッジが入力されるとNMI入力として動作します。 また、P2レジスタのビット 0 でNMI入力の状態を示します。 P21-P27は 7 ビット入出力ポート 1ビット単位で入 / 出力の指定が可能	NMI
P21	入出力		INTP00
P22			INTP01
P23			INTP02
P24			INTP03
P25-P27			-
P30			入出力
P31	SI		
P32	SCK		
P33	TXD		
P34	RXD		
P35-P37	-		
P40-P47	入出力	ポート 4 8 ビット入出力ポート 1 ビット単位で入 / 出力の指定が可能	AD0-AD7
P50-P57	入出力	ポート 5 8 ビット入出力ポート 1 ビット単位で入 / 出力の指定が可能	AD8-AD15
P60-P67	入出力	ポート 6 8 ビット入出力ポート 1 ビット単位で入 / 出力の指定が可能	A16-A23



(2/2)

端子名称	入出力	機 能	兼用端子
P90	入出力	ポート9 8ビット入出力ポート 1ビット単位で入/出力の指定が可能	$\overline{\text{LBEN}}$
P91			$\overline{\text{UBEN}}$
P92			$\overline{\text{R/W}}$
P93			$\overline{\text{DSTB}}$
P94			ASTB
P95			ST0
P96			ST1
P97			-
P100	入出力	ポート10 4ビット入出力ポート 1ビット単位で入/出力の指定が可能	$\overline{\text{HLDK}}$
P101			$\overline{\text{HLDRQ}}$
P102			-
P103			-

2.1.2 ポート以外の端子

(1/2)

端子名称	入出力	機 能	兼用端子
TO10	出 力	タイマ1のパルス信号出力	P00
TO11			P01
TCLR1	入 力	タイマ1の外部クリア信号入力	P02
Tl1		タイマ1の外部カウント・クロック入力	P03
INTP10	入 力	外部マスカブル割り込み要求入力兼 タイマ1の外部キャプチャ・トリガ入力	P04
INTP11			P05
INTP12			P06
INTP13			P07
NMI	入 力	ノンマスカブル割り込み要求入力	P20
INTP00	入 力	外部マスカブル割り込み要求入力	P21
INTP01			P22
INTP02			P23
INTP03			P24
SO	出 力	CSIのシリアル送信データ出力	P30
SI	入 力	CSIのシリアル受信データ入力	P31
$\overline{\text{SCK}}$	入出力	CSIのシリアル・クロック入出力	P32
TXD	出 力	UARTのシリアル送信データ出力	P33
RXD	入 力	UARTのシリアル受信データ入力	P34
AD0-AD7	入出力	外部にメモリを拡張する場合の16ビット・マルチプレクスト・アドレス/データ・バス	P40-P47
AD8-AD15			P50-P57
A16-A23	出 力	外部にメモリを拡張する場合の上位アドレス・バス	P60-P67
$\overline{\text{LBEN}}$	出 力	外部データ・バスの下位バイト・イネーブル信号出力	P90
$\overline{\text{UBEN}}$		外部データ・バスの上位バイト・イネーブル信号出力	P91

保守/廃止

(2/2)

端子名称	入出力	機能	兼用端子
R/W	出力	外部リード/ライト・ステータス出力	P92
DSTB		外部データ・ストロブ信号出力	P93
ASTB		外部アドレス・ストロブ信号出力	P94
ST0		外部バス・サイクル・ステータス出力	P95
ST1			P96
HLDAK	出力	バス・ホールド・アクノリッジ出力	P100
HLDRQ	入力	バス・ホールド要求入力	P101
CLKOUT	出力	システム・クロック出力	-
CKSEL	入力	クロック・ジェネレータの動作モードを指定する入力	-
WAIT	入力	バス・サイクルにウエイトを挿入する制御信号入力	-
MODE0, MODE1	入力	動作モード指定	-
RESET	入力	システム・リセット入力	-
X1	入力	システム・クロック用発振子接続。外部からクロックを供給する場合はX1に入力 します。	-
X2	-		-
CV _{DD}	-	内蔵クロック・ジェネレータ用正電源供給	-
CV _{SS}	-	内蔵クロック・ジェネレータ用グランド電位	-
V _{DD}	-	正電源供給	-
V _{SS}	-	グランド電位	-
IC0, IC1	-	内部接続	-

保守/廃止

2.2 PROMプログラミング・モード (MODE0 = H, MODE1 = H)

端子名称	機能	μPD27C1001Aの対応端子
P60-P67	アドレス下位 (A0-A7) 入力	A0-A7
P50, P20, P51-P57	アドレス上位 (A8-A16) 入力	A8, A9, A10-A16
P40-P47	データ入出力	D0-D7
P25	\overline{CE} (チップ・イネーブル) 入力	\overline{CE}
P26	\overline{OE} (アウトプット・イネーブル) 入力	\overline{OE}
P27	PGM (プログラム) 入力	PGM
V _{PP}	プログラム書き込み用電源	V _{PP}
MODE0, MODE1	動作モード指定	-



2.3 端子の入出力回路と未使用端子の処理

通常動作モード時の各端子の入出力回路タイプと未使用時の処理方法（推奨接続方法）を表2 - 1に、また各タイプの回路図を一部簡略化した形式を用いて図2 - 1に示します。

PROMプログラミング・モード時の未使用端子は端子接続図の指示に従って処理してください。

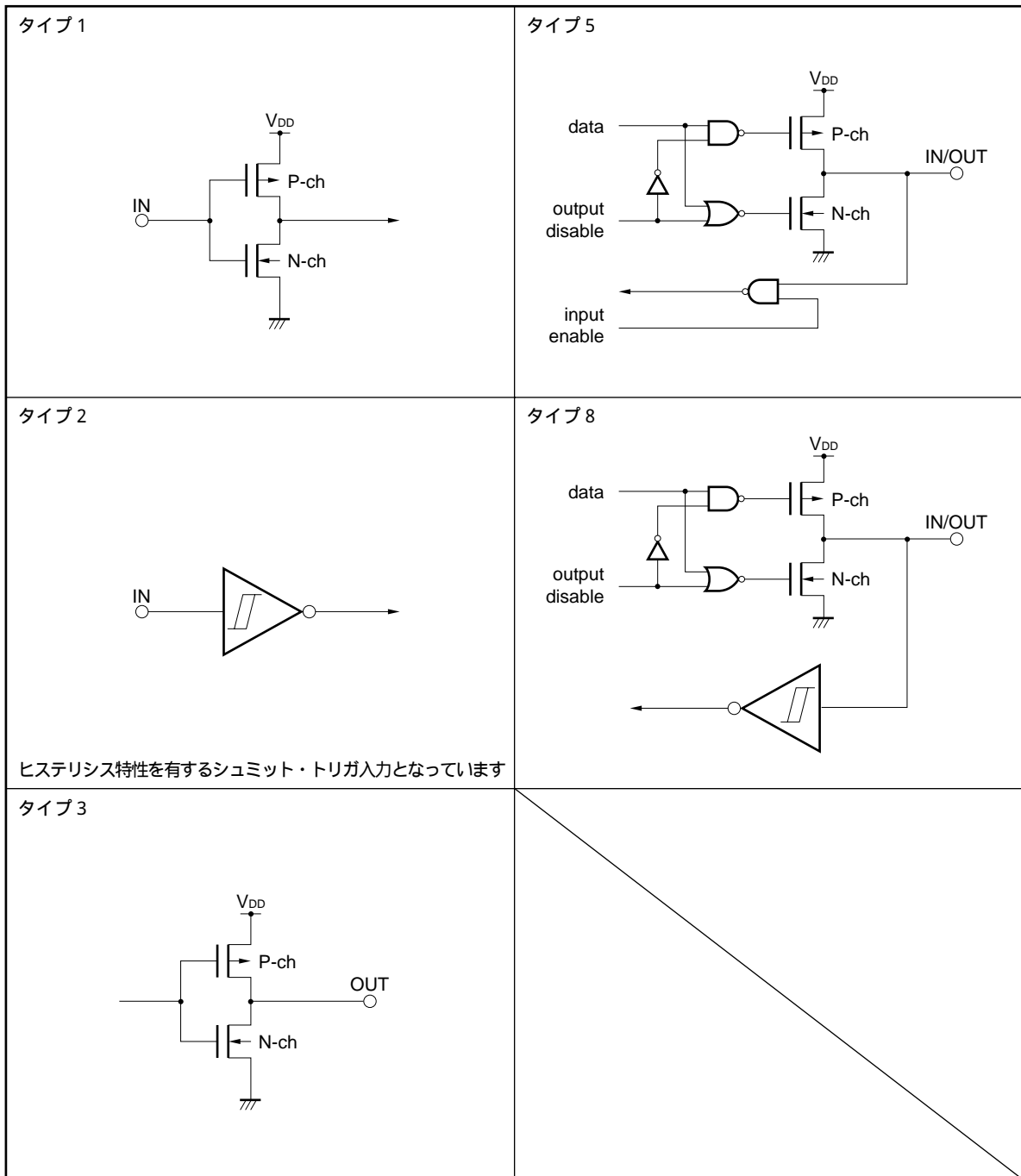
なお、抵抗を介してV_{DD}、またはV_{SS}に接続する場合、3-10k の抵抗を使用することをお勧めします。

表2 - 1 各端子の入出力回路タイプと未使用時の処理

端 子	入出力回路タイプ	推奨接続方法
P00/TO10,P01/TO11	5	入力状態：個別に抵抗を介してV _{DD} またはV _{SS} に接続
P02/TCLR1,P03/T11, P04/INTP10-P07/INTP13	8	出力状態：オープン
P10-P17	5	
P20/NMI	2	V _{SS} に直接接続
P21/INTP00-P24/INTP03	8	入力状態：個別に抵抗を介してV _{DD} またはV _{SS} に接続
P25	5	出力状態：オープン
P26,P27	8	
P30/SO	5	
P31/SI,P32/ \overline{SCK}	8	
P33/TXD,P34/RXD,P35	5	
P36,P37	8	
P40/AD0-P47/AD7	5	
P50/AD8-P57/AD15		
P60/A16-P67/A23		
P90/ \overline{LBEN}		
P91/ \overline{UBEN}		
P92/ $\overline{R/W}$		
P93/ \overline{DSTB}		
P94/ASTB		
P95/ST0,P96/ST1		
P97		
P100/HLDA \overline{K}		
P101/HLDR \overline{Q}		
P102		
P103		
CLKOUT	3	オープン
CKSEL	2	-
\overline{WAIT}	1	V _{DD} に直接接続
MODE0,MODE1	2	-
\overline{RESET}		
IC0	-	V _{SS} に直接接続
IC1	-	V _{DD} に直接接続

保守/廃止

図 2 - 1 端子の入出力回路





3 . PROMのプログラミング

μPD70P3000は、電氣的書き込み可能な32 K × 8 ビットのPROMを内蔵しています。プログラミングをするときは、V_{PP}、MODE0、MODE1端子を用いてPROMプログラミング・モードに設定します。

プログラミング特性は、μPD27C1001Aとコンパチブルです。

表3 - 1 PROMプログラミング・モード時の端子機能

機能	通常動作モード	PROMプログラミング・モード
アドレス入力	P60/A16-P67/A23, P50/AD8, P20/NMI, P51/AD9-P57/AD15	A0-A16
データ入出力	P40/AD0-P47/AD7	D0-D7
プログラム入力	P27	PGM
チップ・イネーブル入力	P25	\overline{CE}
アウトプット・イネーブル入力	P26	\overline{OE}
プログラム電圧	V _{PP}	
モード指定	MODE0, MODE1	

3.1 動作モード

プログラミング書き込み/ベリファイ・モードにするときは、V_{PP} = +12.5 V, MODE0 = H, MODE1 = Hに設定します。このモードでは、さらに \overline{CE} 、 \overline{OE} 、PGM端子の設定を行うことにより、表3 - 2 に示す各動作モードを選択できます。

また、PROMの内容を読み出すときは、読み出しモードに設定します。

なお、未使用端子は、端子接続図の指示に従って処理してください。

表3 - 2 PROMプログラミングの動作モード

動作モード	MODE0	MODE1	\overline{CE}	\overline{OE}	PGM	V _{PP}	V _{DD}	D0-D7
ページ・データ・ラッチ・モード	H	H	H	L	H	+12.5 V	+6.5 V	データ入力
ページ書き込みモード			H	H	L			ハイ・インピーダンス
バイト書き込みモード			L	H	L			データ入力
プログラム・ベリファイ・モード			L	L	H			データ出力
プログラム・インヒビット・モード			x	L	L			ハイ・インピーダンス ^注
			x	H	H			ハイ・インピーダンス ^注
読み出しモード			L	L	H	+5.0 V	+5.0 V	データ出力
出力ディスエーブル・モード			L	H	x			ハイ・インピーダンス ^注
スタンバイ・モード			H	x	x			ハイ・インピーダンス ^注

注 LまたはH入力可能（アドレス入力は無効）

備考 x : LまたはH

(1) ページ・データ・ラッチ・モード

ページ書き込みモードの初期に $\overline{CE} = H$, $\overline{OE} = L$, $\overline{PGM} = H$ にすることにより、ページ・データ・ラッチ・モードになります。

このモードでは、1ページ4バイトのデータが内部のアドレス/データ・ラッチ回路にラッチされます。

(2) ページ書き込みモード

ページ・データ・ラッチ・モードにより1ページ4バイトのアドレスとデータをラッチ後、 $\overline{CE} = H$, $\overline{OE} = H$ の状態では \overline{PGM} 端子に0.1 msのプログラム・パルス(アクティブ・ロウ)を印加することによりページ書き込みが実行されます。その後、 $\overline{CE} = L$, $\overline{OE} = L$ にすることにより、プログラム・ベリファイを行えます。

1回のプログラム・パルスでプログラムされない場合にはX回(X=10)の書き込みとベリファイを繰り返し実行します。

(3) バイト書き込みモード

$\overline{CE} = L$, $\overline{OE} = H$ の状態では \overline{PGM} 端子に0.1 msのプログラム・パルス(アクティブ・ロウ)を印加することによりバイト書き込みが実行されます。その後、 $\overline{OE} = L$ にすることにより、プログラム・ベリファイが行えます。

1回のプログラム・パルスでプログラムされない場合にはX回(X=10)の書き込みとベリファイを繰り返し実行します。

(4) プログラム・ベリファイ・モード

$\overline{CE} = L$, $\overline{OE} = L$, $\overline{PGM} = H$ にすることにより、プログラム・ベリファイ・モードになります。

書き込みを行ったのち、正しく書き込まれたかどうかこのモードで確認してください。

(5) プログラム・インヒビット・モード

プログラム・インヒビット・モードは、複数のμPD70P3000の \overline{OE} 端子、 V_{PP} 端子、D0-D7端子がパラレルに接続されている状態でその中の1個のデバイスに書き込みを行う場合に使用します。

書き込みを行う場合に、上記ページ書き込みモードかバイト書き込みモードを使用します。このとき、 \overline{PGM} 端子をハイ・レベルにしたデバイスには書き込みが行われません。

(6) 読み出しモード

$\overline{CE} = L$, $\overline{OE} = L$, $\overline{PGM} = H$ に設定することにより、読み出しモードになります。

(7) 出力ディスエーブル・モード

$\overline{CE} = L$, $\overline{OE} = H$ にすることにより、データ出力がハイ・インピーダンスになり出力ディスエーブル・モードになります。

したがって、データ・バスに複数のμPD70P3000を接続した場合、 \overline{OE} 端子を制御することで任意の1個のデバイスよりデータを読み出すことができます。

(8) スタンバイ・モード

$\overline{CE} = H$ にすることによりスタンバイ・モードになります。

このモードでは、 \overline{OE} 状態に関係なくデータ出力がハイ・インピーダンスになります。

3.2 PROM書き込みの手順

図3 - 1 ページ・プログラム・モード・フロー・チャート

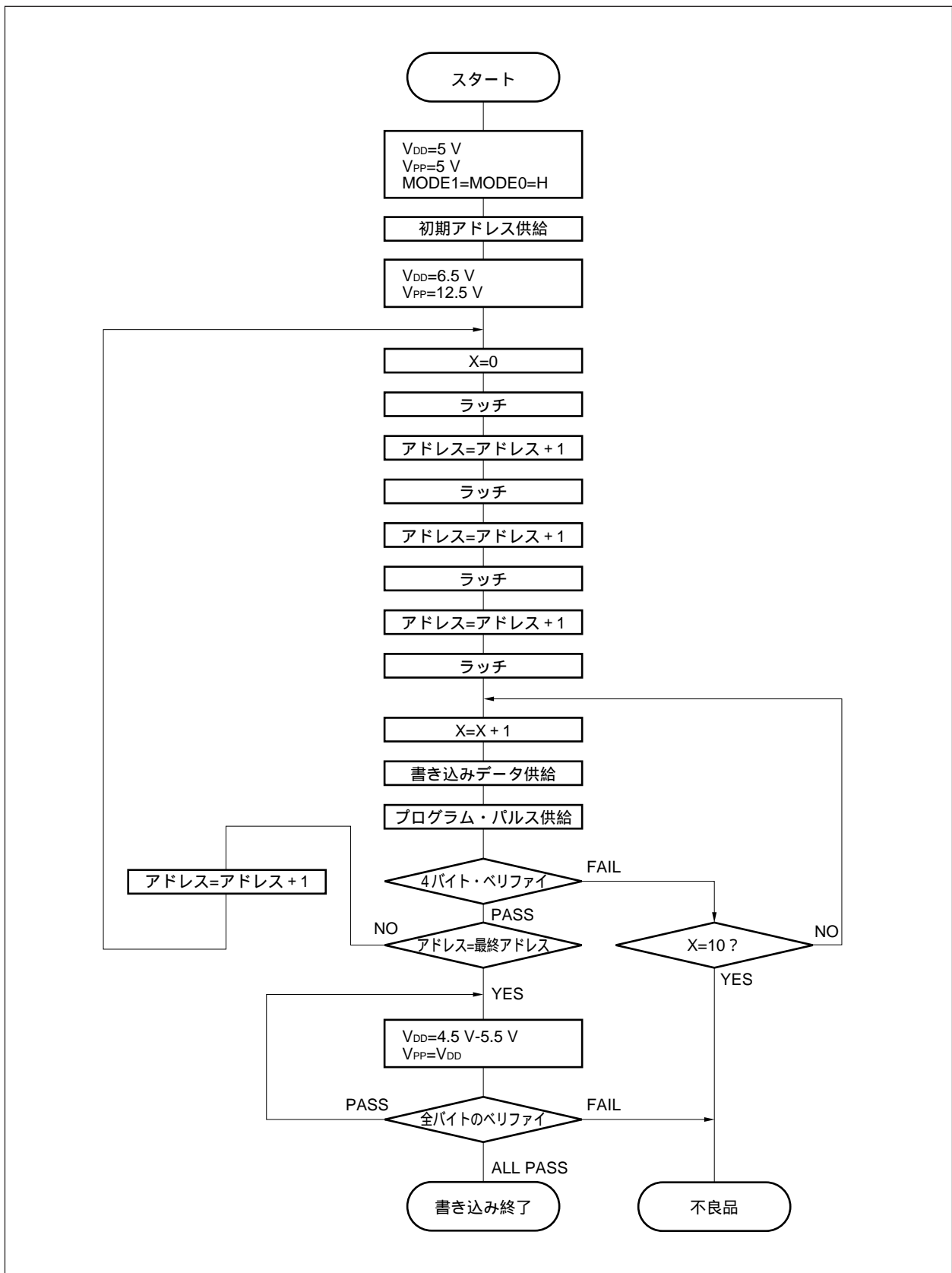
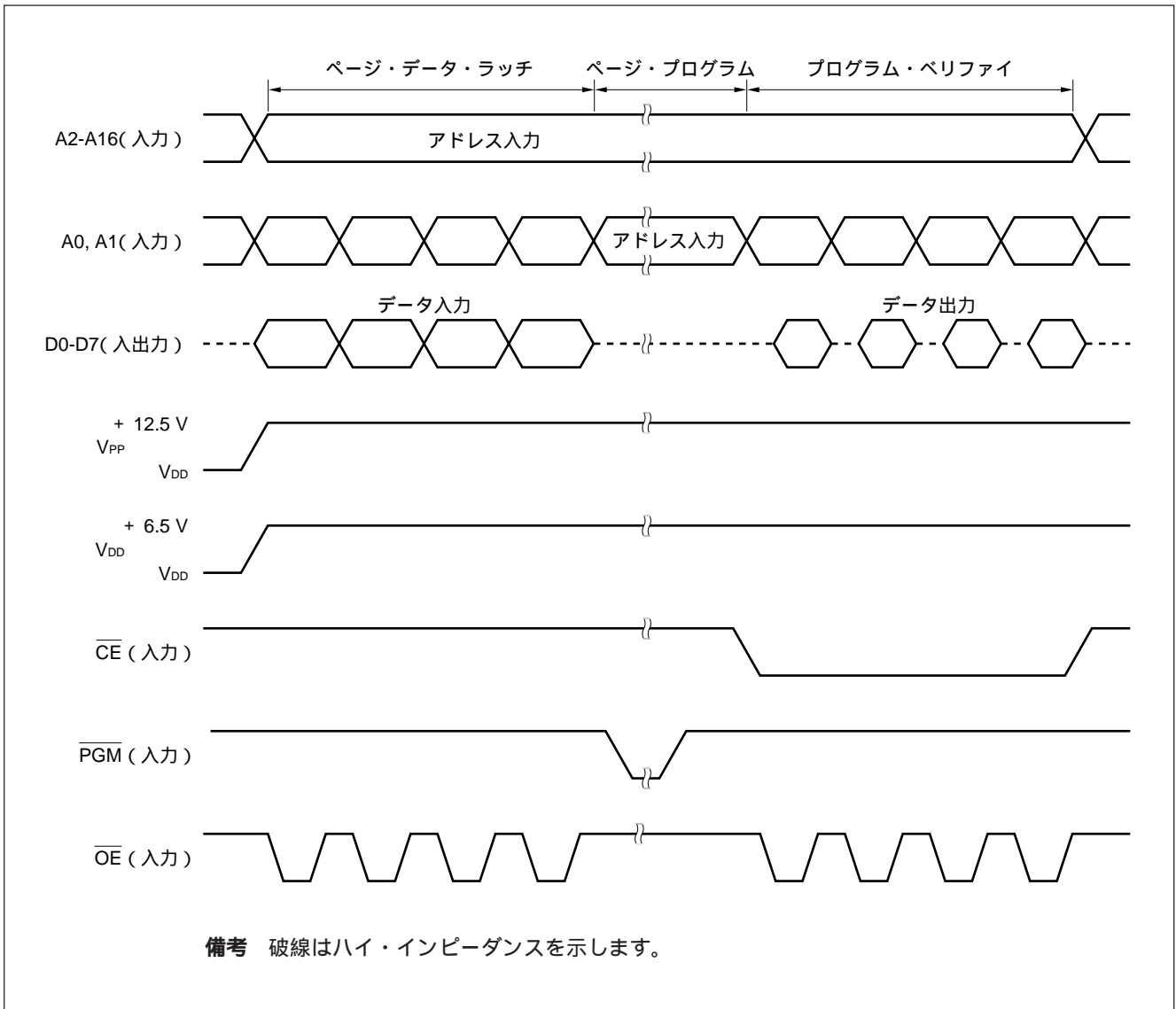
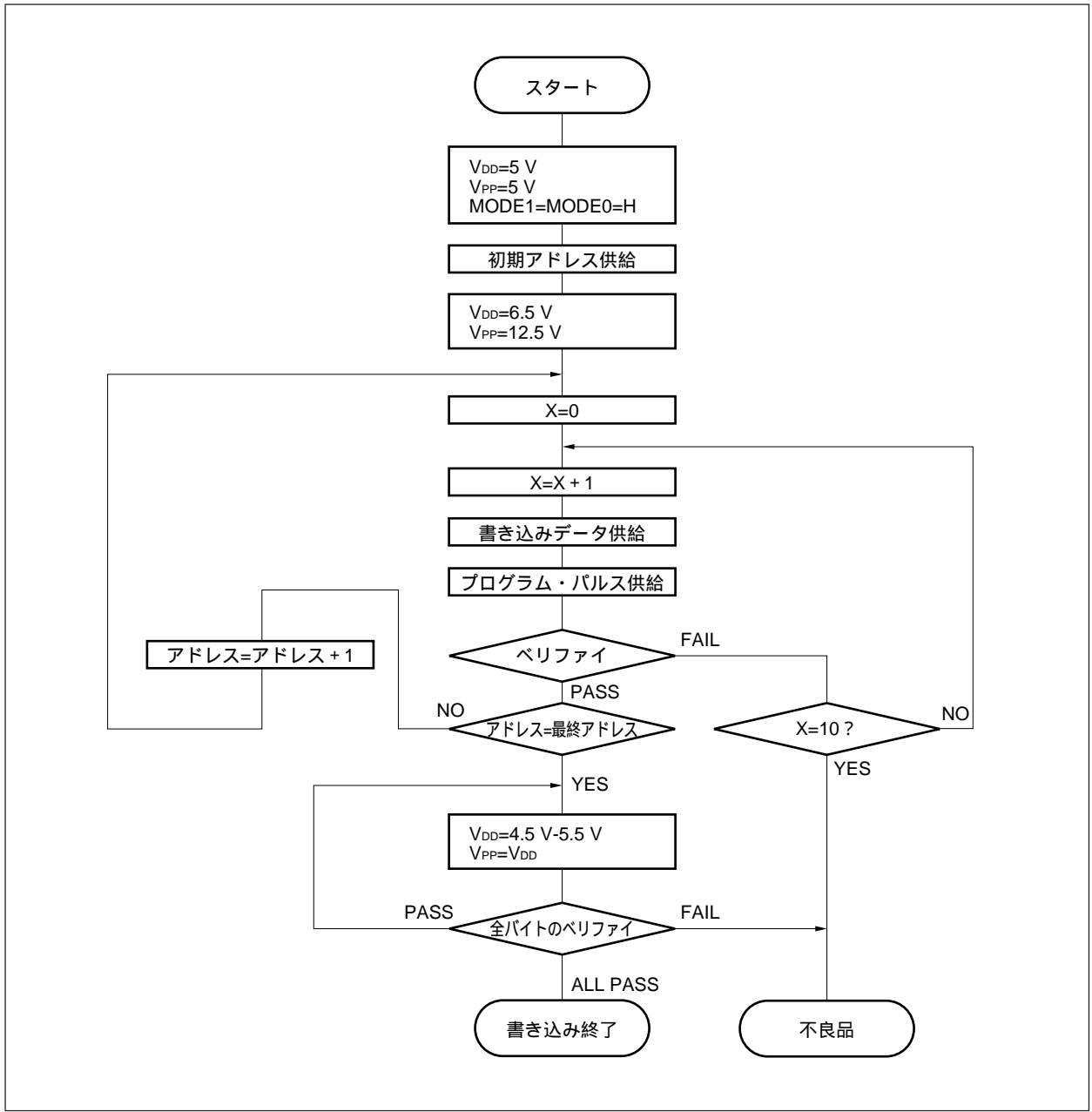


図3 - 2 PROMの書き込み/ベリファイ・タイミング(ページ・プログラム・モード)



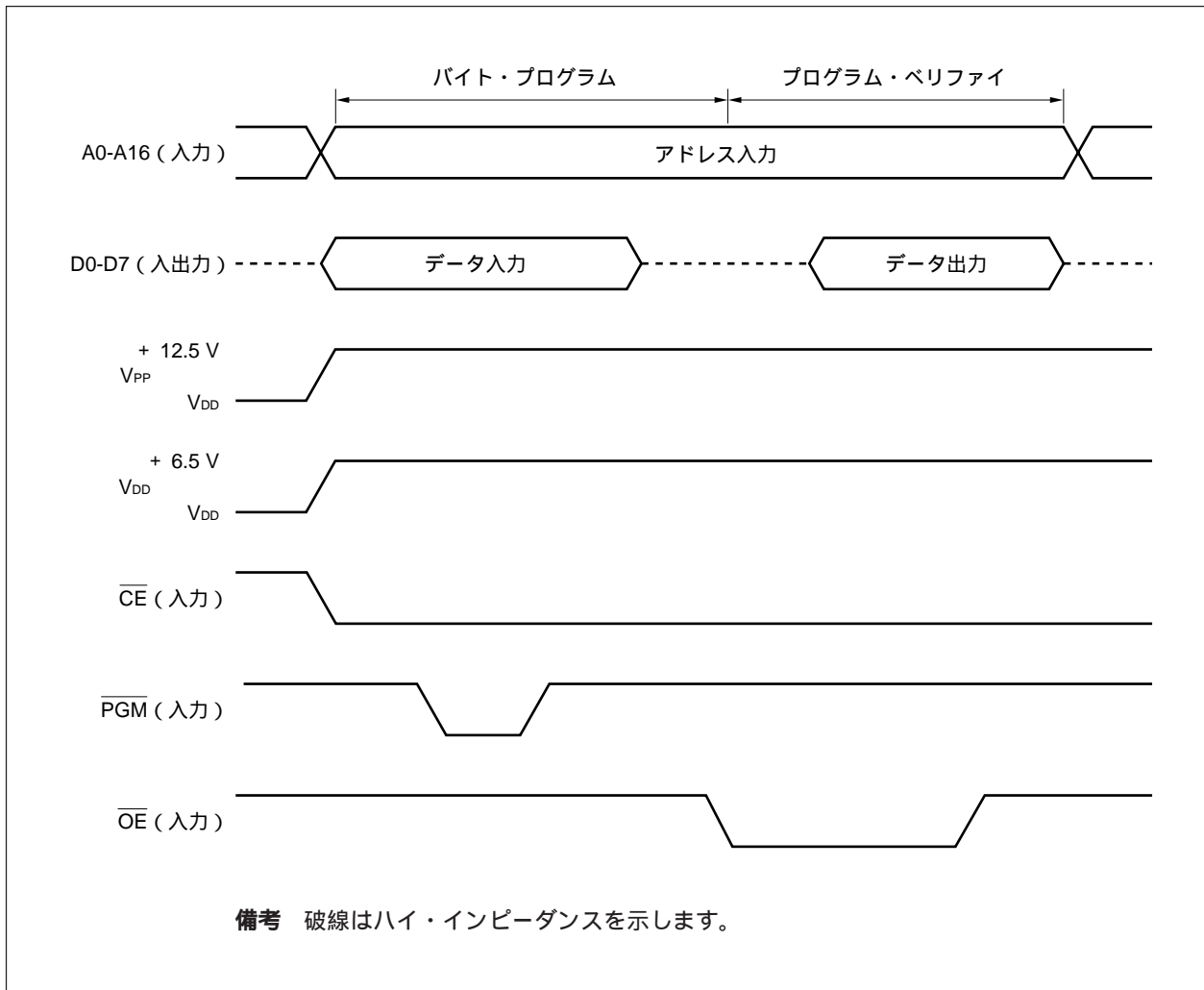
保守/廃止

図3 - 3 バイト・プログラム・モード・フロー・チャート



保守/廃止

図3 - 4 PROMの書き込み/ベリファイ・タイミング(バイト・プログラム・モード)



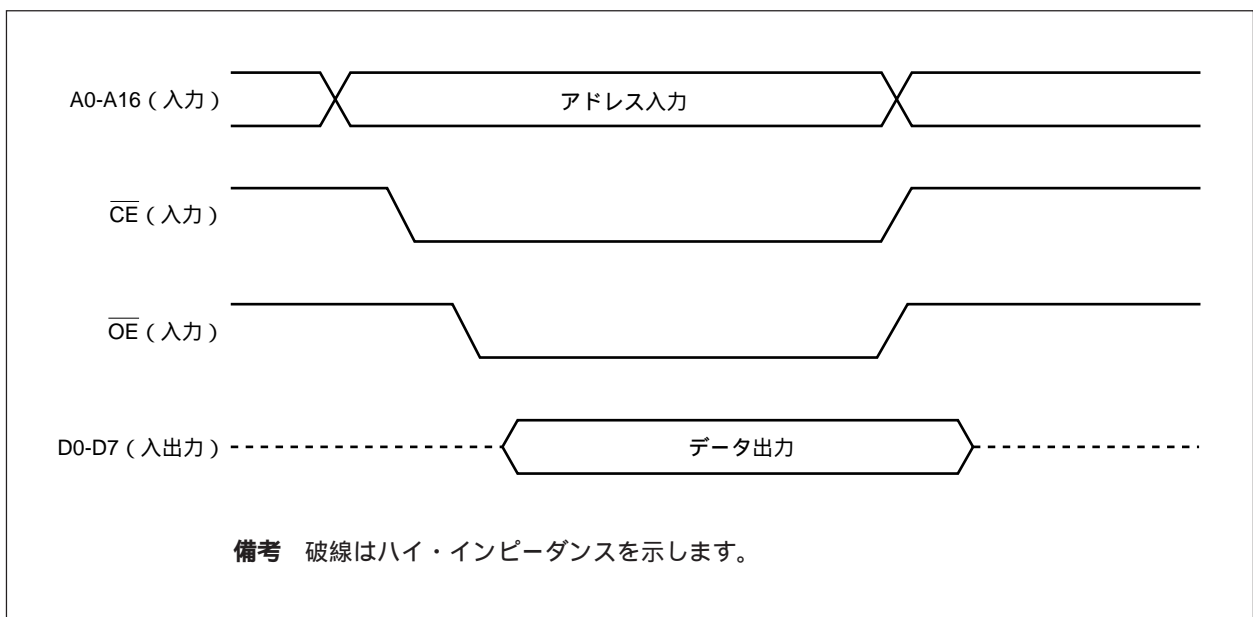
3.3 PROM読み出しの手順

PROMの内容を外部データ・バス (D0 - D7) に読み出すときの手順は、次のとおりです。

- (1) MODE0, MODE1端子をロウ・レベルに固定する。未使用端子は、端子接続図の指示に従って処理する。
- (2) V_{DD}, V_{PP}端子に + 5 Vを供給する。
- (3) 読み出すデータのアドレスをA0 - A16端子に入力する。
- (4) 読み出しモード ($\overline{CE} = L, \overline{OE} = L$)
- (5) データがD0 - D7端子に出力される。

上述の (2) ~ (5) のタイミングを図 3 - 5 に示します。

図 3 - 5 PROMの読み出しタイミング



4. ワン・タイムPROM製品のスクリーニング

ワン・タイムPROM製品は、その構造上、当社にて完全な試験をして出荷することはできません。必要なデータを書き込んだあと、下記の条件で高温保管後、PROMのベリファイを行うスクリーニングを実施することを推奨します。

保管温度	保管時間
125	24時間

なお、NECでは、QTOPマイコンの名称でワン・タイムPROMの書き込みから捺印、スクリーニング、ベリファイを有料で行うサービスを実施しています。詳細につきましては、販売員にご相談ください。

5. 外部クロック使用時のSTOPモード解除に関する注意事項

外部クロック使用時、クロック供給は外部システムにより制御されます。

したがって、STOPモードを解除（ $\overline{\text{RESET}}$ またはNMI入力により解除）する場合、PROM安定時間を確保するために、 $\overline{\text{RESET}}$ またはNMI入力を行う100μs以上前に、クロック供給を再開してください。



6. 電気的特性

6.1 通常動作モード

対応する電気的特性

オーダ名称	$V_{DD} = 5.0 V \pm 10 \%$	$V_{DD} = 3.0 \sim 3.6 V$
μ PD70P3000GC-25-7EA	電気的特性あり	動作保証範囲外
μ PD70P3000GC-33-7EA	"	電気的特性あり

6.1.1 $V_{DD} = 5.0 V \pm 10 \%$ のとき

絶対最大定格 ($T_A = 25$)

項 目	略 号	条 件	定 格	単 位
電源電圧	V_{DD}	V_{DD} 端子	- 0.5 ~ + 7.0	V
	CV_{DD}	CV_{DD} 端子	- 0.5 ~ + 7.0	V
	CV_{SS}	CV_{SS} 端子	- 0.5 ~ + 0.5	V
入力電圧	V_{I1}	X1端子を除く, $V_{DD} = 5.0 V \pm 10 \%$	- 0.5 ~ $V_{DD} + 0.3$	V
	V_{I2}	PROMプログラミング・モード時の V_{PP} 端子, $V_{DD} = 5.0 V \pm 10 \%$	- 0.5 ~ + 13.5	V
クロック入力電圧	V_X	X1端子, $V_{DD} = 5.0 V \pm 10 \%$	- 0.5 ~ $V_{DD} + 1.0$	V
ロウ・レベル出力電流	I_{OL}	1 端子	4.0	mA
		全端子合計	100	mA
ハイ・レベル出力電流	I_{OH}	1 端子	- 4.0	mA
		全端子合計	- 100	mA
出力電圧	V_O	$V_{DD} = 5.0 V \pm 10 \%$	- 0.5 ~ $V_{DD} + 0.3$	V
動作周囲温度	T_A	25 MHz動作時	- 40 ~ + 85	
		33 MHz動作時	- 20 ~ + 70	
保存温度	T_{stg}		- 65 ~ + 150	

- 注意 1. IC製品の出力(または入出力)端子同士を直結したり, V_{DD} または V_{CC} やGNDに直結したりしないでください。
 ただし, オープン・ドレイン端子やオープン・コレクタ端子同士は直結できます。また, ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路でも直結可能です。
2. 各項目のうち1項目でも, また一瞬でも絶対最大定格を越えると, 製品の品質を損なう恐れがあります。つまり絶対最大定格とは, 製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づかない状態で, 製品をご使用ください。
- DC特性とAC特性に示す規格や条件が, 製品の正常動作, 品質保証の範囲です。

容量 ($T_A = 25$, $V_{DD} = V_{SS} = 0 V$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
入力容量	C_i	$f_c = 1 MHz$			15	pF
入出力容量	C_{iO}	被測定ピン以外は0 V			15	pF
出力容量	C_o				15	pF

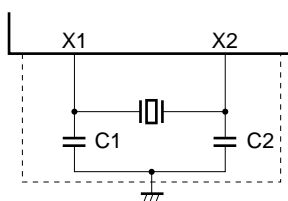


動作条件

動作モード	内部動作クロック周波数 ()	動作周囲温度 (T _A)	電源電圧 (V _{DD})
ダイレクト・モード	0 ~ 25 MHz	- 40 ~ + 85	5.0 V ± 10 %
	0 ~ 33 MHz	- 20 ~ + 70	
PLLモード	自走発振周波数 ~ 25 MHz	- 40 ~ + 85	5.0 V ± 10 %
	自走発振周波数 ~ 33 MHz	- 20 ~ + 70	

推奨発振回路

(a) セラミック発振子接続 (TDK , 村田製作所 : T_A = - 40 ~ + 85 , 京セラ : T_A = - 20 ~ + 80)



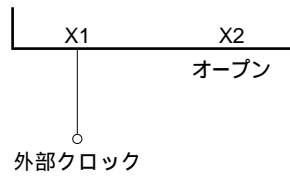
メーカー	品名	発振周波数 f _{xx} (MHz)	推奨回路定数		発振電圧範囲		発振安定時間 (MAX.) T _{OST} (ms)
			C1 (pF)	C2 (pF)	MIN. (V)	MAX. (V)	
TDK	FCR2.0MC3	2.0	内蔵	内蔵	4.5	5.5	0.26
	CCR3.2MC3	3.2	内蔵	内蔵	4.5	5.5	0.62
	FCR5.0MC5	5.0	内蔵	内蔵	4.5	5.5	0.30
	CCR5.0MC3	5.0	内蔵	内蔵	4.5	5.5	0.38
	CCR6.6MC3	6.6	内蔵	内蔵	4.5	5.5	0.32
京セラ	KBR-2.0MS	2.0	82	82	4.5	5.5	1.2
	KBR-2.7MS	2.7	68	68	4.5	5.5	0.8
	KBR-3.2MS	3.2	47	47	4.5	5.5	0.3
	KBR-5.0MSA	5.0	33	33	4.5	5.5	0.4
	KBR-6.6M	6.6	33	33	4.5	5.5	0.2
村田製作所	CSA5.00MG	5.0	30	30	4.5	5.5	0.13
	CST5.00MGW	5.0	内蔵	内蔵	4.5	5.5	0.13
	CSA6.60MTZ	6.6	30	30	4.5	5.5	0.10
	CST6.60MTW	6.6	内蔵	内蔵	4.5	5.5	0.10

注意 1 . 発振回路はX1 , X2端子にできるかぎり近づけてください。

2 . 破線の範囲にほかの信号線を通さないでください。

3 . μPD70P3000と発振子のマッチングについては、十分に評価してください。

(b) 外部クロック入力



注意 X1端子にはCMOSレベルの電圧を入力してください。

DC特性 (TA = -40 ~ +85 , VDD = 5.0 V ± 10 % , VSS = 0 V) : μPD70P3000GC-25

(TA = -20 ~ +70 , VDD = 5.0 V ± 10 % , VSS = 0 V) : μPD70P3000GC-33

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位	
ハイ・レベル入力電圧	VIH	X1, 注1を除く	2.2		VDD	V	
		注1	0.8 VDD		VDD	V	
ロウ・レベル入力電圧	VIL	X1, 注1を除く	0		+0.8	V	
		注1	0		0.2 VDD	V	
ハイ・レベルX1クロック入力電圧	VXH	ダイレクト・モード	0.8 VDD		VDD	V	
		PLLモード	0.8 VDD		VDD	V	
ロウ・レベルX1クロック入力電圧	VXL	ダイレクト・モード	0		0.6	V	
		PLLモード	0		0.6	V	
シュミット・トリガ入力	VT+	注1, 立ち上がり		3.0		V	
スレッシュホールド電圧	VT-	注1, 立ち下がり		2.0		V	
シュミット・トリガ入力ヒステリシス幅	VT+ - VT-	注1	0.5			V	
ハイ・レベル出力電圧	VOH	IOH = -2.5 mA	0.7 VDD			V	
		IOH = -100 μA	VDD - 0.4			V	
ロウ・レベル出力電圧	VOL	IOL = 2.5 mA			0.45	V	
ハイ・レベル入力リーク電流	IUIH	VI = VDD			10	μA	
ロウ・レベル入力リーク電流	IUIL	VI = 0 V			-10	μA	
ハイ・レベル出力リーク電流	ILOH	VO = VDD			10	μA	
ロウ・レベル出力リーク電流	ILOL	VO = 0 V			-10	μA	
電源電流	動作時	IDD1	ダイレクト・モード		1.6 x +14	2.5 x +15	mA
			PLLモード		1.7 x +16	2.7 x +18	mA
	HALT時	IDD2	ダイレクト・モード		0.5 x +3	0.7 x +10	mA
			PLLモード		0.6 x +5	0.9 x +13	mA
	IDLE時	IDD3	ダイレクト・モード		8 x +300	10 x +500	μA
			PLLモード		0.1 x +2	0.2 x +3	mA
	STOP時	IDD4	注2		1	50	μA
			注3			200	μA

注1 . RESET, P02/TCLR1, P03/TI1, P04/INTP10-P07/INTP13, P20/NMI, P21/INTP00-P24/INTP03, P26, P27, P31/SI, P32/SCK, P36, P37, MODE0, MODE1, CKSEL

2 . 25 MHz動作時 : -40 TA +50

33 MHz動作時 : -20 TA +50

3 . 25 MHz動作時 : 50 < TA 85

33 MHz動作時 : 50 < TA 70

備考1 . TYP.値はTA = 25 , VDD = 5.0 V時の参考値です。

2 . : 内部動作クロック周波数

保守/廃止

データ保持特性 (TA = -40 ~ +85) : μPD70P3000GC-25
 (TA = -20 ~ +70) : μPD70P3000GC-33

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電圧	V _{DDDR}	STOPモード	1.5		5.5	V
データ保持電流	I _{DDDR}	V _{DD} = V _{DDDR}	注1	0.2V _{DDDR}	50	μA
			注2	0.2V _{DDDR}	200	μA
電源電圧立ち上がり時間	t _{rvd}		200			μs
電源電圧立ち下がり時間	t _{fvd}		200			μs
電源電圧保持時間 (対STOPモード設定)	t _{hvd}		0			ms
STOPモード解除信号入力時間	t _{drel}		0			ns
データ保持ハイ・レベル入力電圧	V _{IHDR}	注3	0.9V _{DDDR}		V _{DDDR}	V
データ保持ロウ・レベル入力電圧	V _{ILDR}	注3	0		0.1V _{DDDR}	V

注1 . 25 MHz動作時 : -40 TA +50

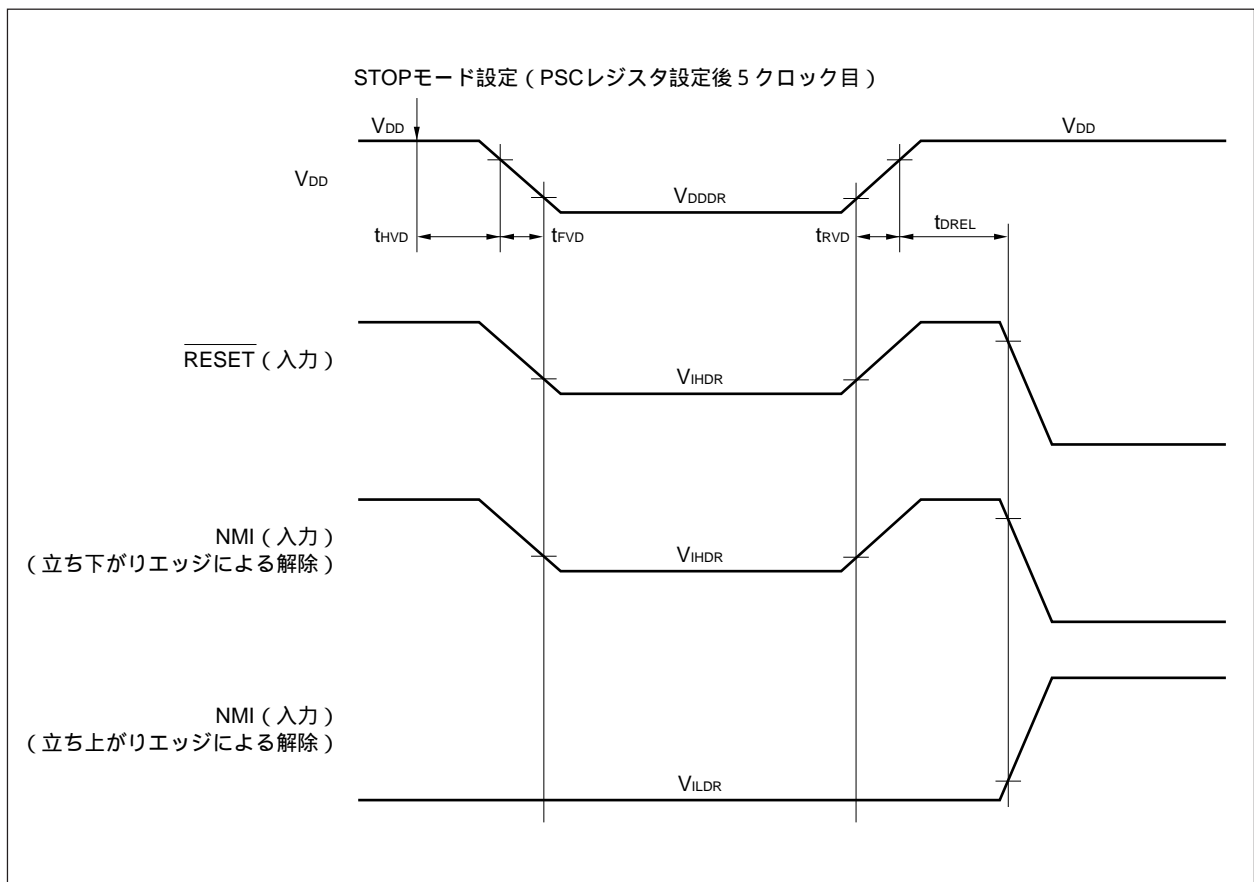
33 MHz動作時 : -20 TA +50

2 . 25 MHz動作時 : 50 < TA 85

33 MHz動作時 : 50 < TA 70

3 . RESET, P02/TCLR1, P03/TI1, P04/INTP10-P07/INTP13, P20/NMI, P21/INTP00-P24/INTP03, P26, P27, P31/SI, P32/SCK, P36, P37, MODE0, MODE1, CKSEL, X1

備考 TYP.値はTA = 25 , V_{DD} = 5.0 V時の参考値です。

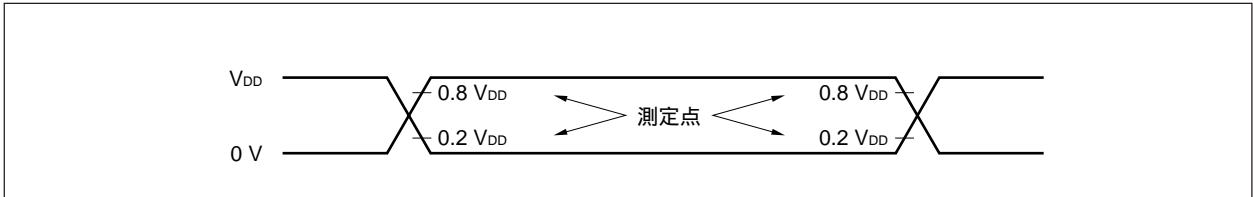


保守 / 廃止

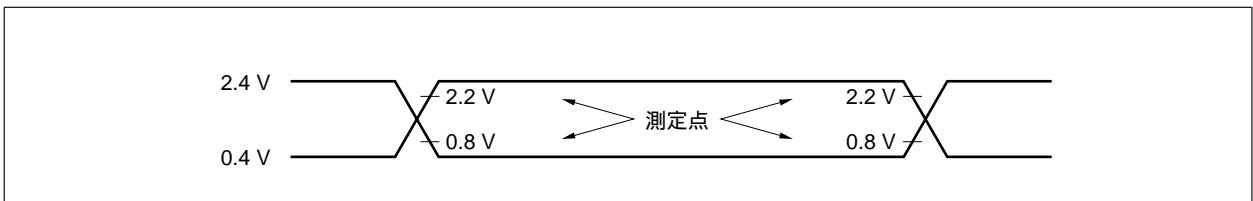
AC特性 ($T_A = -40 \sim +85$, $V_{DD} = 5.0 \text{ V} \pm 10 \%$, $V_{SS} = 0 \text{ V}$) : μPD70P3000GC-25
 ($T_A = -20 \sim +70$, $V_{DD} = 5.0 \text{ V} \pm 10 \%$, $V_{SS} = 0 \text{ V}$) : μPD70P3000GC-33

ACテスト入力波形

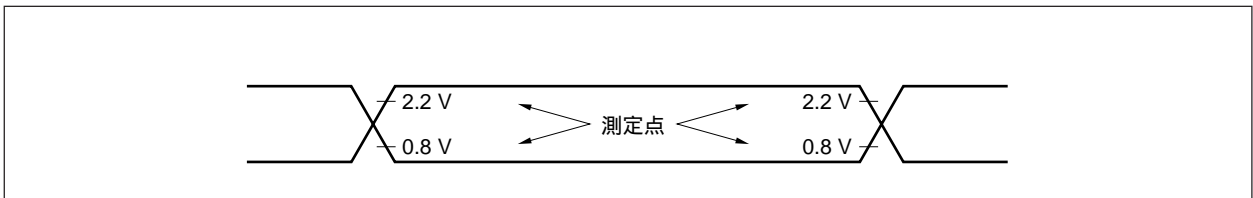
(a) $\overline{\text{RESET}}$, P02/ $\overline{\text{TCLR1}}$, P03/ $\overline{\text{T11}}$, P04/ $\overline{\text{INTP10}}$ -P07/ $\overline{\text{INTP13}}$, P20/ $\overline{\text{NMI}}$, P21/ $\overline{\text{INTP00}}$ -P24/ $\overline{\text{INTP03}}$, P26, P27, P31/ $\overline{\text{SI}}$, P32/ $\overline{\text{SCK}}$, P36, P37, MODE0, MODE1, CKSEL, X1



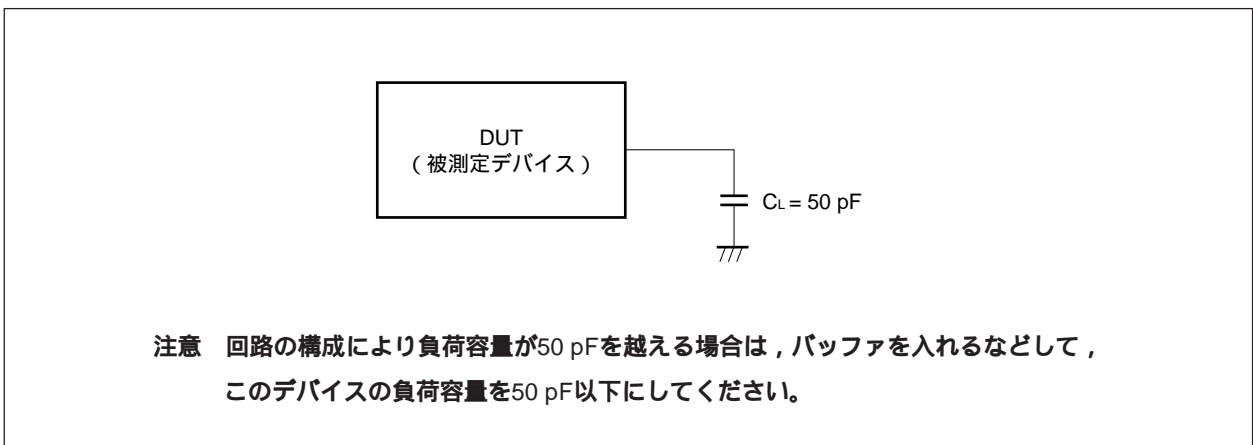
(b) 上記 (a) 以外



ACテスト出力測定点



負荷条件



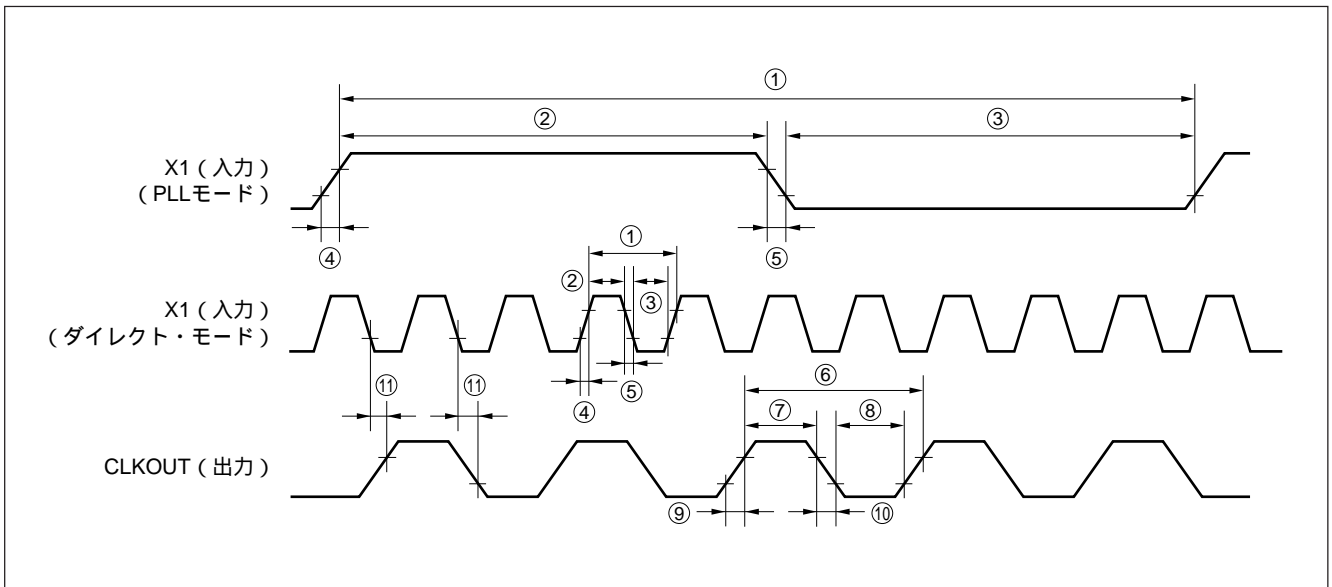


(1) クロック・タイミング

項目	略号	条件	μPD70P3000-25		μPD70P3000-33		単位
			MIN.	MAX.	MIN.	MAX.	
X1入力周期	① t _{CYX}	ダイレクト・モード	20	DC	15	DC	ns
		PLLモード	200	315	150	334	ns
X1入力ハイ・レベル幅	② t _{WXH}	ダイレクト・モード	7		6		ns
		PLLモード	80		60		ns
X1入力ロウ・レベル幅	③ t _{WXL}	ダイレクト・モード	7		6		ns
		PLLモード	80		60		ns
X1入力立ち上がり時間	④ t _{KR}	ダイレクト・モード		7		7	ns
		PLLモード		15		10	ns
X1入力立ち下がり時間	⑤ t _{KF}	ダイレクト・モード		7		7	ns
		PLLモード		15		10	ns
CPU動作周波数	-		0	25	0	33	MHz
CLKOUT出力周期	⑥ t _{CYK}		40	DC	30	DC	ns
CLKOUTハイ・レベル幅	⑦ t _{WKH}		0.5T - 5		0.5T - 5		ns
CLKOUTロウ・レベル幅	⑧ t _{WKL}		0.5T - 5		0.5T - 5		ns
CLKOUT立ち上がり時間	⑨ t _{KR}			5		5	ns
CLKOUT立ち下がり時間	⑩ t _{KF}			5		5	ns
X1 CLKOUT遅延時間	⑪ t _{DXK}	ダイレクト・モード	3	17	3	17	ns

備考 T = t_{CYK}

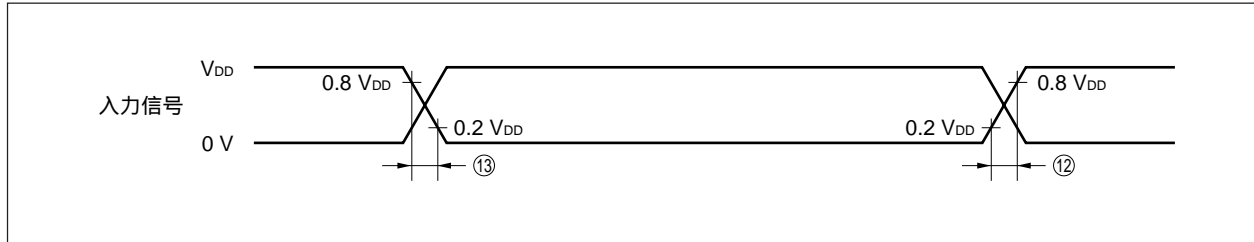
項目	略号	条件	μPD70P3000-25	μPD70P3000-33	単位
			TYP.	TYP.	
自走発振周波数	- P	PLLモード	2.8	2.8	MHz



(2) 入力波形

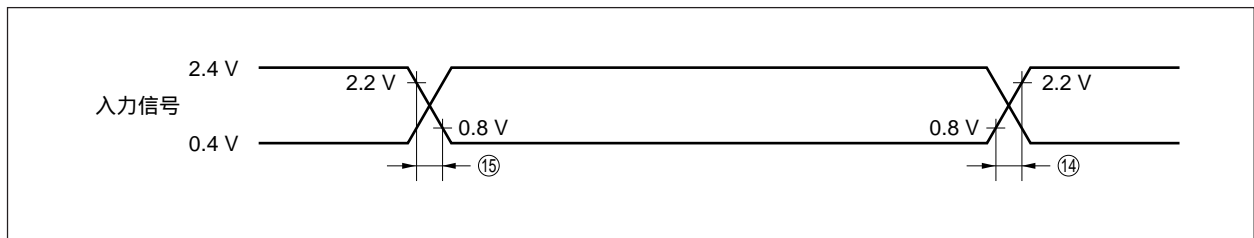
(a) RESET, P02/TCLR1, P03/TI1, P04/INTP10-P07/INTP13, P20/NMI, P21/INTP00-P24/INTP03, P26, P27, P31/SI, P32/SCK, P36, P37, MODE0, MODE1, CKSEL, X1

項目	略号	条件	μ PD70P3000-25		μ PD70P3000-33		単位
			MIN.	MAX.	MIN.	MAX.	
入力立ち上がり時間	⑫	t_{IR2}		20		20	ns
入力立ち下がり時間	⑬	t_{IF2}		20		20	ns



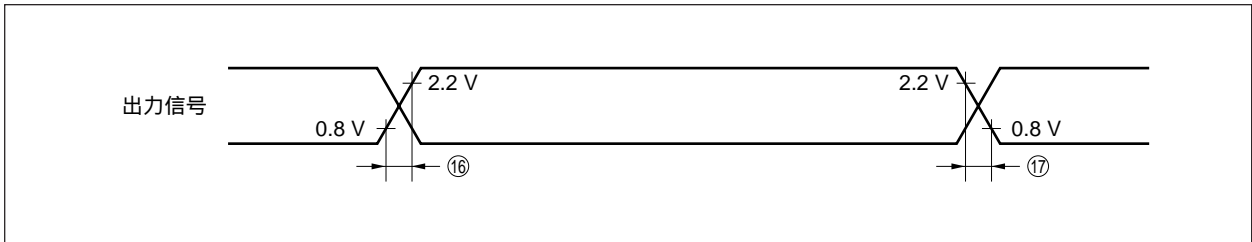
(b) 上記(a)以外

項目	略号	条件	μ PD70P3000-25		μ PD70P3000-33		単位
			MIN.	MAX.	MIN.	MAX.	
入力立ち上がり時間	⑭	t_{IR1}		10		10	ns
入力立ち下がり時間	⑮	t_{IF1}		10		10	ns



(3) 出力波形 (CLKOUT以外)

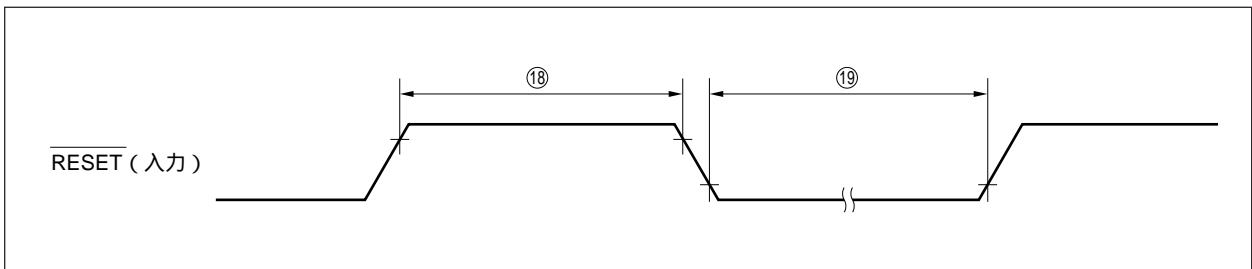
項目	略号	条件	μPD70P3000-25		μPD70P3000-33		単位
			MIN.	MAX.	MIN.	MAX.	
出力立ち上がり時間	⑯	t _{OR}		10		10	ns
出力立ち下がり時間	⑰	t _{OF}		10		10	ns



(4) リセット・タイミング

項目	略号	条件	μPD70P3000-25		μPD70P3000-33		単位
			MIN.	MAX.	MIN.	MAX.	
RESETハイ・レベル幅	⑱	t _{WRSH}	500		500		ns
RESETロウ・レベル幅	⑲	電源オン時, STOPモード解除時	500 + T _{OST}		500 + T _{OST}		ns
		電源オン時, STOPモード解除時を除く	500		500		ns

備考 T_{OST}: 発振安定時間



保守 / 廃止

(× 毛)



(5) リード・タイミング (1/2)

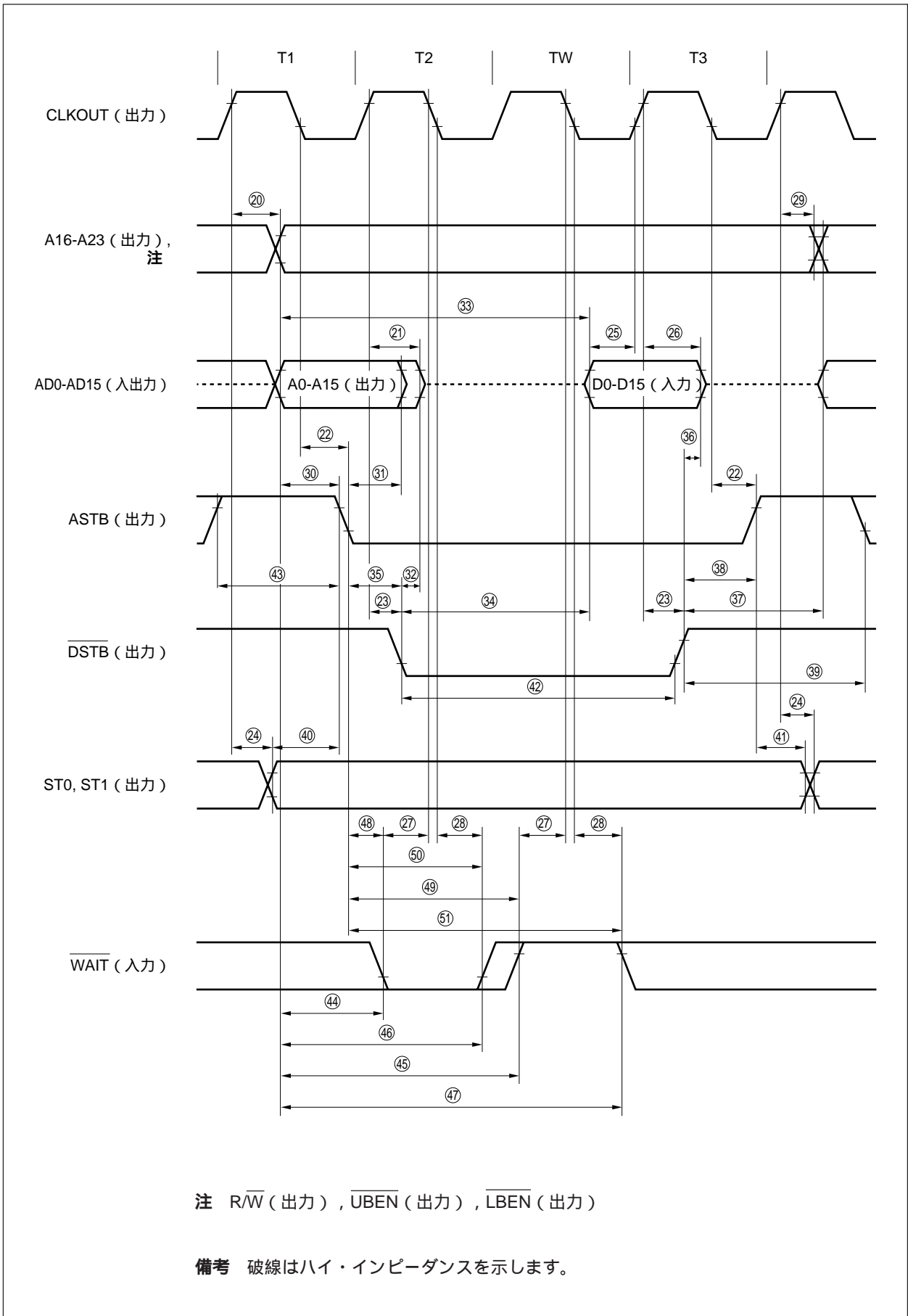
項 目	略 号	条 件	μPD70P3000-25		μPD70P3000-33		単 位
			MIN.	MAX.	MIN.	MAX.	
CLKOUT アドレス遅延時間	⑳ tDKA		3	20	3	20	ns
CLKOUT アドレス・フロート遅延時間	㉑ tFKA		3	15	3	15	ns
CLKOUT ASTB遅延時間	㉒ tDKST		3	15	3	15	ns
CLKOUT $\overline{\text{DSTB}}$ 遅延時間	㉓ tDKD		3	15	3	15	ns
CLKOUT ステータス遅延時間	㉔ tDKS		3	15	3	15	ns
データ入力設定時間 (対CLKOUT)	㉕ tSIDK		5		5		ns
データ入力保持時間 (対CLKOUT)	㉖ tHKID		5		5		ns
$\overline{\text{WAIT}}$ 設定時間 (対CLKOUT)	㉗ tSWTK		5		5		ns
$\overline{\text{WAIT}}$ 保持時間 (対CLKOUT)	㉘ tHKWT		5		5		ns
アドレス保持時間 (対CLKOUT)	㉙ tHKA		0		0		ns
アドレス設定時間 (対ASTB)	㉚ tSAST		0.5T - 10		0.5T - 10		ns
アドレス保持時間 (対ASTB)	㉛ tHSTA		0.5T - 10		0.5T - 10		ns
$\overline{\text{DSTB}}$ アドレス・フロート遅延時間	㉜ tFDA			0		0	ns
データ入力設定時間 (対アドレス)	㉝ tSAID			$(2+n)T - 20$		$(2+n)T - 20$	ns
データ入力設定時間 (対 $\overline{\text{DSTB}}$)	㉞ tSDID			$(1+n)T - 20$		$(1+n)T - 20$	ns
ASTB $\overline{\text{DSTB}}$ 遅延時間	㉟ tDSTD		0.5T - 10		0.5T - 10		ns
データ入力保持時間 (対 $\overline{\text{DSTB}}$)	㊱ tHDID		0		0		ns
$\overline{\text{DSTB}}$ アドレス出力遅延時間	㊲ tDDA		$(1+i)T$		$(1+i)T$		ns
$\overline{\text{DSTB}}$ ASTB 遅延時間	㊳ tDDSTH		0.5T - 10		0.5T - 10		ns
$\overline{\text{DSTB}}$ ASTB 遅延時間	㊴ tDDSTL		$(1.5+i)T - 10$		$(1.5+i)T - 10$		ns
ステータス設定時間 (対ASTB)	㊵ tSSST		0.5T - 10		0.5T - 10		ns
ステータス保持時間 (対ASTB)	㊶ tHSTS		0.5T - 10		0.5T - 10		ns
$\overline{\text{DSTB}}$ ロウ・レベル幅	㊷ tWDL		$(1+n)T - 10$		$(1+n)T - 10$		ns
ASTBハイ・レベル幅	㊸ tWSTH		T - 10		T - 10		ns
$\overline{\text{WAIT}}$ 設定時間 (対アドレス)	㊹ tSAWT1	n 1		1.5T - 20		1.5T - 20	ns
	㊺ tSAWT2			$(1.5+n)T - 20$		$(1.5+n)T - 20$	ns
$\overline{\text{WAIT}}$ 保持時間 (対アドレス)	㊻ tHAWT1	n 1	$(0.5+n)T$		$(0.5+n)T$		ns
	㊼ tHAWT2		$(1.5+n)T$		$(1.5+n)T$		ns
$\overline{\text{WAIT}}$ 設定時間 (対ASTB)	㊽ tSSWT1	n 1		T - 15		T - 15	ns
	㊾ tSSWT2			$(1+n)T - 15$		$(1+n)T - 15$	ns
$\overline{\text{WAIT}}$ 保持時間 (対ASTB)	㊿ tHSTWT1	n 1	nT		nT		ns
	① tHSTWT2		$(1+n)T$		$(1+n)T$		ns

備考 1 . T = tc_{YK}

- 2 . nはバス・サイクルに挿入されるウェイト・クロック数を示します。プログラマブル・ウェイト挿入時は、サンプリング・タイミングが変わります。
- 3 . iは、リード・サイクル後に挿入されるアイドル・ステート数 (0または1) を示します。
- 4 . データ入力保持時間t_{HKID} (㉖) , t_{HDID} (㉞) は、少なくともどちらか1つを守ってください。

保守/廃止

(5) リード・タイミング (2/2) : 1 ウェイト



注 R/W (出力), \overline{UBEN} (出力), \overline{LBEN} (出力)

備考 破線はハイ・インピーダンスを示します。



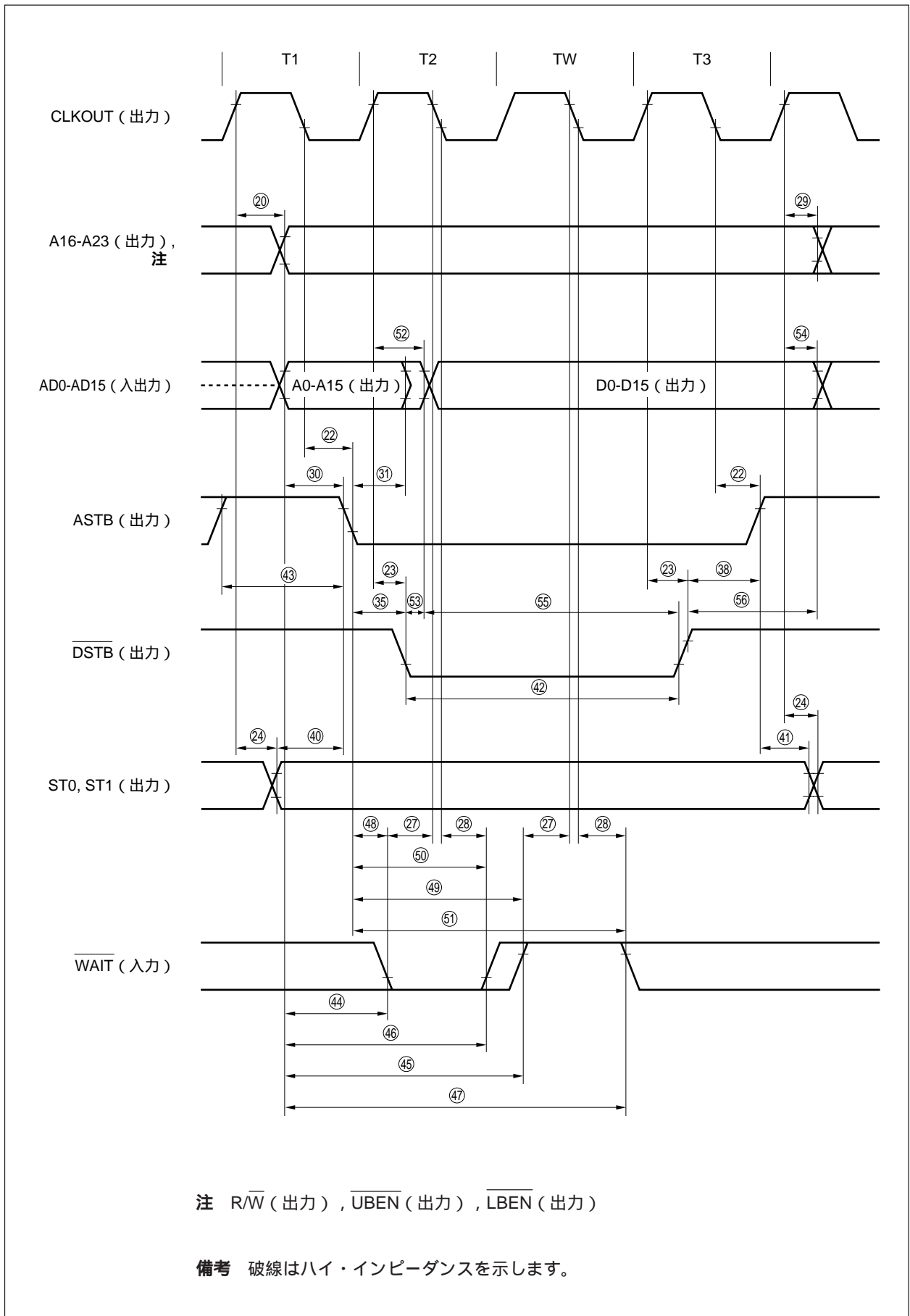
(6) ライト・タイミング (1/2)

項 目	略 号	条 件	μ PD70P3000-25		μ PD70P3000-33		単 位
			MIN.	MAX.	MIN.	MAX.	
CLKOUT アドレス遅延時間	⑳ tDKA		3	20	3	20	ns
CLKOUT ASTB遅延時間	㉒ tDKST		3	15	3	15	ns
CLKOUT $\overline{\text{DSTB}}$ 遅延時間	㉓ tDKD		3	15	3	15	ns
CLKOUT ステータス遅延時間	㉔ tDKS		3	15	3	15	ns
WAIT設定時間 (対CLKOUT)	㉗ tSWTK		5		5		ns
WAIT保持時間 (対CLKOUT)	㉘ tHKWT		5		5		ns
アドレス保持時間 (対CLKOUT)	㉙ tHKA		0		0		ns
アドレス設定時間 (対ASTB)	㉚ tSAST		0.5T - 10		0.5T - 10		ns
アドレス保持時間 (対ASTB)	㉛ tHSTA		0.5T - 10		0.5T - 10		ns
ASTB $\overline{\text{DSTB}}$ 遅延時間	㉝ tDSTD		0.5T - 10		0.5T - 10		ns
$\overline{\text{DSTB}}$ ASTB 遅延時間	㉞ tDDSTH		0.5T - 10		0.5T - 10		ns
ステータス設定時間 (対ASTB)	㉟ tSSST		0.5T - 10		0.5T - 10		ns
ステータス保持時間 (対ASTB)	㊱ tHSTS		0.5T - 10		0.5T - 10		ns
$\overline{\text{DSTB}}$ ロウ・レベル幅	㊲ tWDL		$(1+n)T - 10$		$(1+n)T - 10$		ns
ASTBハイ・レベル幅	㊳ tWSTH		T - 10		T - 10		ns
WAIT設定時間 (対アドレス)	㊴ tSAWT1	n 1		1.5T - 20		1.5T - 20	ns
	㊵ tSAWT2			$(1.5+n)T - 20$		$(1.5+n)T - 20$	ns
WAIT保持時間 (対アドレス)	㊶ tHAWT1	n 1	$(0.5+n)T$		$(0.5+n)T$		ns
	㊷ tHAWT2		$(1.5+n)T$		$(1.5+n)T$		ns
WAIT設定時間 (対ASTB)	㊸ tSSWT1	n 1		T - 15		T - 15	ns
	㊹ tSSWT2			$(1+n)T - 15$		$(1+n)T - 15$	ns
WAIT保持時間 (対ASTB)	㊺ tHSTWT1	n 1	nT		nT		ns
	㊻ tHSTWT2		$(1+n)T$		$(1+n)T$		ns
CLKOUT データ出力遅延時間	㊼ tDKOD			20		20	ns
$\overline{\text{DSTB}}$ データ出力遅延時間	㊽ tDOD			10		10	ns
データ出力保持時間 (対CLKOUT)	㊾ tHKOD		0		0		ns
データ出力設定時間 (対 $\overline{\text{DSTB}}$)	㊿ tSODD		$(1+n)T - 15$		$(1+n)T - 15$		ns
データ出力保持時間 (対 $\overline{\text{DSTB}}$)	① tHDOD		T - 10		T - 10		ns

備考 1 . T = tc_{CLK}

2 . nはバス・サイクルに挿入されるウェイト・クロック数を示します。プログラマブル・ウェイト挿入時は、サンプリング・タイミングが変わります。

(6) ライト・タイミング (2/2) : 1 ウェイト



注 R/W (出力), \overline{UBEN} (出力), \overline{LBEN} (出力)

備考 破線はハイ・インピーダンスを示します。



(7) バス・ホールド・タイミング (1/2)

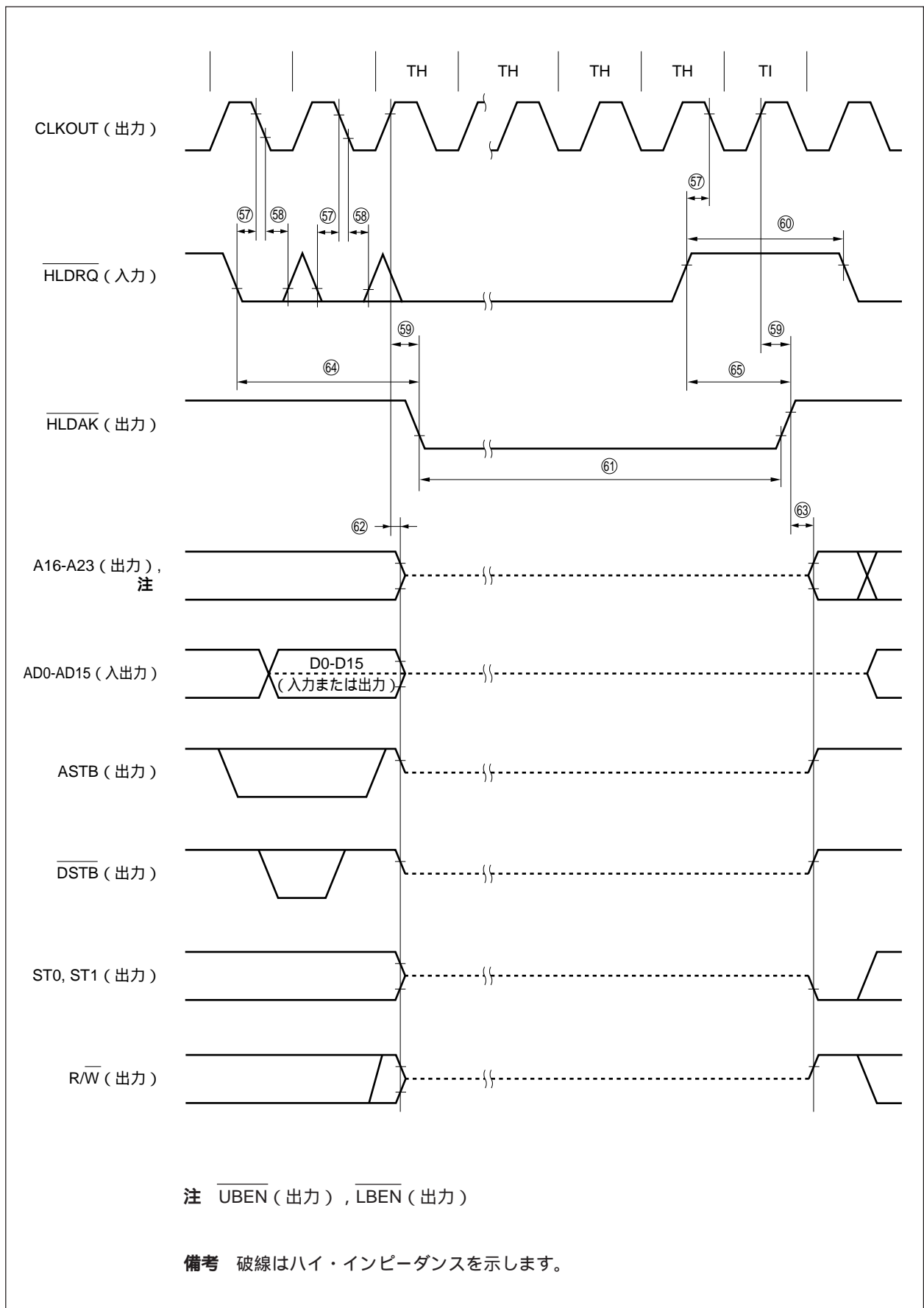
項 目	略 号	条 件	μ PD70P3000-25		μ PD70P3000-33		単 位
			MIN.	MAX.	MIN.	MAX.	
HLD \overline{RQ} 設定時間 (対CLKOUT)	⑤7	t _{SHQK}	5		5		ns
HLD \overline{RQ} 保持時間 (対CLKOUT)	⑤8	t _{HKHQ}	5		5		ns
CLKOUT HLD \overline{AK} 遅延時間	⑤9	t _{DKHA}		20		20	ns
HLD \overline{RQ} ハイ・レベル幅	⑥0	t _{WHQH}	T + 10		T + 10		ns
HLD \overline{AK} ロウ・レベル幅	⑥1	t _{WHAL}	T - 10		T - 10		ns
★ CLKOUT バス・フロート遅延時間	⑥2	t _{DKF}		20		20	ns
HLD \overline{AK} バス出力遅延時間	⑥3	t _{DHAC}	- 3		- 3		ns
HLD \overline{RQ} HLD \overline{AK} 遅延時間	⑥4	t _{DHQHA1}		(2n+7.5)T+20		(2n+7.5)T+20	ns
HLD \overline{RQ} HLD \overline{AK} 遅延時間	⑥5	t _{DHQHA2}	0.5T	1.5T+20	0.5T	1.5T+20	ns

備考 1 . T = t_{cyk}

2 . nはバス・サイクルに挿入されるウェイト・クロック数を示します。プログラマブル・ウェイト挿入時は、サンプリング・タイミングが変わります。

保守/廃止

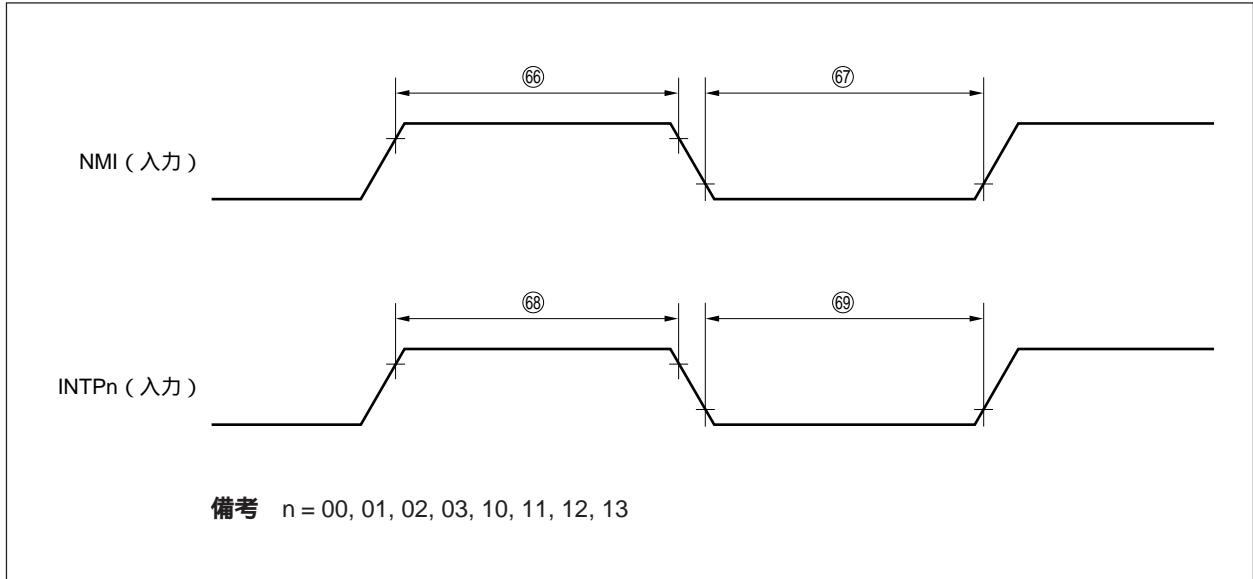
(7) バス・ホールド・タイミング (2/2)



(8) 割り込みタイミング

項 目	略 号	条 件	μ PD70P3000-25		μ PD70P3000-33		単 位
			MIN.	MAX.	MIN.	MAX.	
NMIハイ・レベル幅	⑥⑥	t _{WNH}	500		500		ns
NMIロウ・レベル幅	⑥⑦	t _{WNIL}	500		500		ns
INTP _n ハイ・レベル幅	⑥⑧	t _{WITH} n = 00, 01, 02, 03, 10, 11, 12, 13	3T + 10		3T + 10		ns
INTP _n ロウ・レベル幅	⑥⑨	t _{WITL} n = 00, 01, 02, 03, 10, 11, 12, 13	3T + 10		3T + 10		ns

備考 T = t_{cyk}



保守/廃止

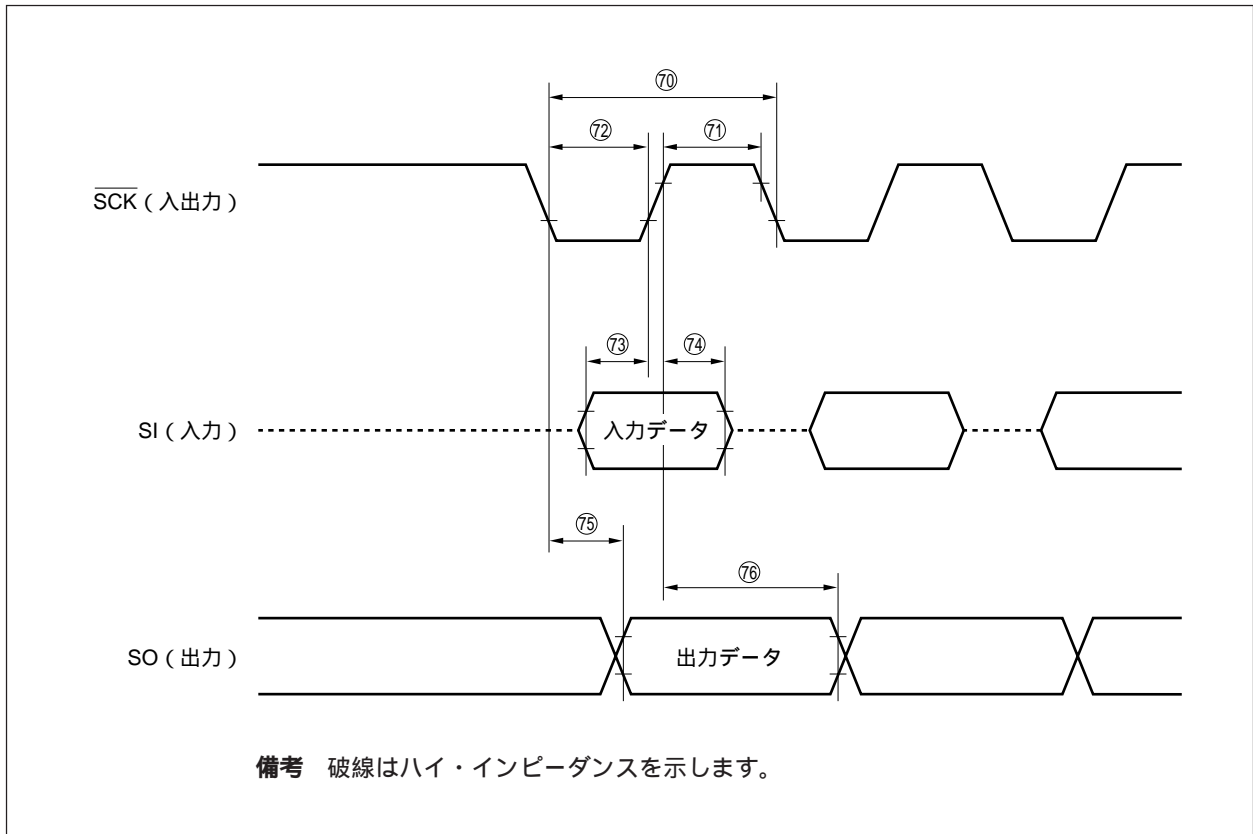
(9) CSIタイミング

(a) マスタ・モード

項 目	略 号	条 件	μ PD70P3000-25		μ PD70P3000-33		単 位
			MIN.	MAX.	MIN.	MAX.	
SCK周期	⑦⑩	t _{CYSK}	出力	160		120	ns
SCKハイ・レベル幅	⑦①	t _{WSKH}	出力	0.5t _{CYSK} - 20		0.5t _{CYSK} - 20	ns
SCKロウ・レベル幅	⑦②	t _{WSKL}	出力	0.5t _{CYSK} - 20		0.5t _{CYSK} - 20	ns
SI設定時間 (対SCK)	⑦③	t _{SSISK}		30		30	ns
SI保持時間 (対SCK)	⑦④	t _{HSKSI}		0		0	ns
SO出力遅延時間 (対SCK)	⑦⑤	t _{DSKSO}			18	18	ns
SO出力保持時間 (対SCK)	⑦⑥	t _{HSKSO}		0.5t _{CYSK} - 5		0.5t _{CYSK} - 5	ns

(b) スレーブ・モード

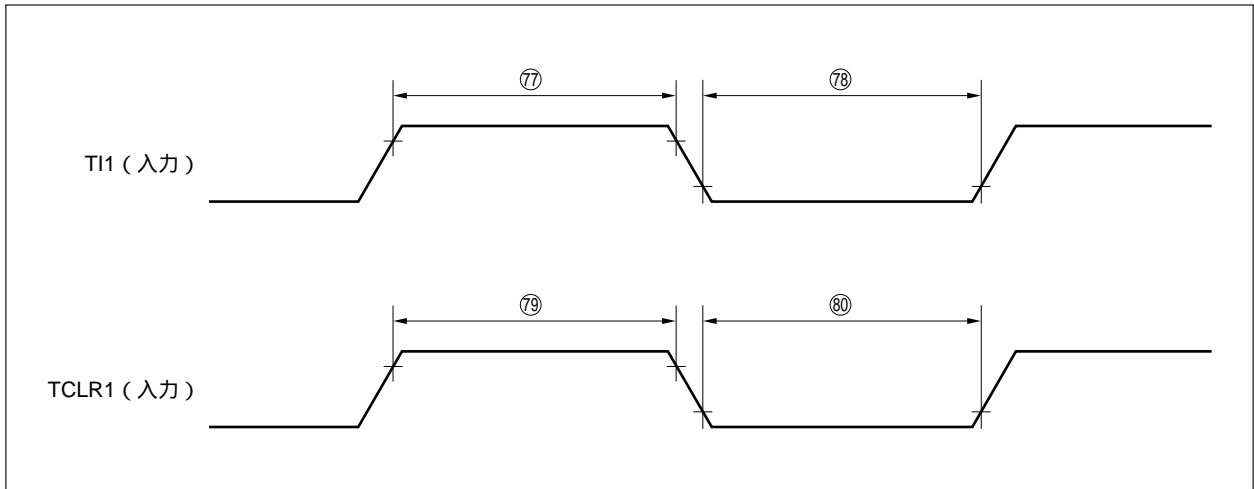
項 目	略 号	条 件	μ PD70P3000-25		μ PD70P3000-33		単 位
			MIN.	MAX.	MIN.	MAX.	
SCK周期	⑦⑩	t _{CYSK}	入力	160		120	ns
SCKハイ・レベル幅	⑦①	t _{WSKH}	入力	50		30	ns
SCKロウ・レベル幅	⑦②	t _{WSKL}	入力	50		30	ns
SI設定時間 (対SCK)	⑦③	t _{SSISK}		10		10	ns
SI保持時間 (対SCK)	⑦④	t _{HSKSI}		10		10	ns
SO出力遅延時間 (対SCK)	⑦⑤	t _{DSKSO}			30	30	ns
SO出力保持時間 (対SCK)	⑦⑥	t _{HSKSO}		t _{WSKH}		t _{WSKH}	ns



(10) RPUタイミング

項 目	略 号	条 件	μ PD70P3000-25		μ PD70P3000-33		単 位
			MIN.	MAX.	MIN.	MAX.	
TI1ハイ・レベル幅	⑦⑦	t _{WTH}	3T + 10		3T + 10		ns
TI1ロウ・レベル幅	⑦⑧	t _{WTL}	3T + 10		3T + 10		ns
TCLR1ハイ・レベル幅	⑦⑨	t _{WTCH}	3T + 10		3T + 10		ns
TCLR1ロウ・レベル幅	⑧⑩	t _{WTCL}	3T + 10		3T + 10		ns

備考 T = t_{cyk}





6.1.2 $V_{DD} = 3.0 \sim 3.6 \text{ V}$ のとき

絶対最大定格 ($T_A = 25$)

項目	略号	条件	定格	単位
電源電圧	V_{DD}	V_{DD} 端子	- 0.5 ~ + 7.0	V
	CV_{DD}	CV_{DD} 端子	- 0.5 ~ + 7.0	V
	CV_{SS}	CV_{SS} 端子	- 0.5 ~ + 0.5	V
入力電圧	V_{I1}	X1端子を除く, $V_{DD} = 3.0 \sim 3.6 \text{ V}$	- 0.5 ~ $V_{DD} + 0.3$	V
	V_{I2}	PROMプログラミング・モード時の V_{PP} 端子, $V_{DD} = 3.0 \sim 3.6 \text{ V}$	- 0.5 ~ + 13.5	V
クロック入力電圧	V_X	X1端子, $V_{DD} = 3.0 \sim 3.6 \text{ V}$	- 0.5 ~ $V_{DD} + 1.0$	V
ロウ・レベル出力電流	I_{OL}	1端子	4.0	mA
		全端子合計	100	mA
ハイ・レベル出力電流	I_{OH}	1端子	- 4.0	mA
		全端子合計	- 100	mA
出力電圧	V_O	$V_{DD} = 3.0 \sim 3.6 \text{ V}$	- 0.5 ~ $V_{DD} + 0.3$	V
動作周囲温度	T_A		- 20 ~ + 70	
保存温度	T_{stg}		- 65 ~ + 150	

- 注意 1 . IC製品の出力 (または入出力) 端子同士を直結したり, V_{DD} または V_{CC} やGNDに直結したりしないでください。
 ただし, オープン・ドレーン端子やオープン・コレクタ端子同士は直結できます。また, ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路でも直結可能です。
- 2 . 各項目のうち1項目でも, また一瞬でも絶対最大定格を越えると, 製品の品質を損なう恐れがあります。つまり絶対最大定格とは, 製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づかない状態で, 製品をご使用ください。
- DC特性とAC特性に示す規格や条件が, 製品の正常動作, 品質保証の範囲です。

容量 ($T_A = 25$, $V_{DD} = V_{SS} = 0 \text{ V}$)

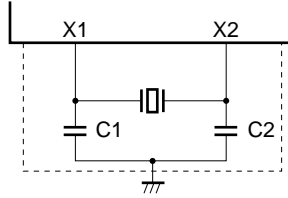
項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	C_i	$f_c = 1 \text{ MHz}$			15	pF
入出力容量	C_{iO}	被測定ピン以外は0V			15	pF
出力容量	C_o				15	pF

動作条件

動作モード	内部動作クロック周波数 ()	動作周囲温度 (T_A)	電源電圧 (V_{DD})
ダイレクト・モード	0 ~ 12 MHz	- 20 ~ + 70	3.0 ~ 3.6 V
PLLモード	自走発振周波数 ~ 12 MHz	- 20 ~ + 70	3.0 ~ 3.6 V

推奨発振回路

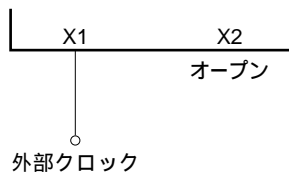
(a) セラミック発振子接続 ($T_A = -40 \sim +85$)



メーカー	品名	発振周波数 f_{xx} (MHz)	推奨回路定数		発振電圧範囲		発振安定時間 (MAX.) T_{OST} (ms)
			C1 (pF)	C2 (pF)	MIN. (V)	MAX. (V)	
TDK	FCR2.0MC3	2.0	内蔵	内蔵	3.0	3.6	0.26
	CCR3.2MC3	3.2	内蔵	内蔵	3.0	3.6	0.62
村田製作所	CSA2.00MG	2.0	30	30	3.0	3.6	0.24
	CST2.00MG	2.0	内蔵	内蔵	3.0	3.6	0.24
	CSA2.70MG	2.7	30	30	3.0	3.6	0.16
	CST2.70MGW	2.7	内蔵	内蔵	3.0	3.6	0.16
	CSA3.20MG	3.2	30	30	3.0	3.6	0.13
	CST3.20MGW	3.2	内蔵	内蔵	3.0	3.6	0.13

- 注意 1 . 発振回路はX1 , X2端子にできるかぎり近づけてください。
- 2 . 破線の範囲にほかの信号線を通さないでください。
- 3 . μPD70P3000と発振子のマッチングについては、十分に評価してください。

(b) 外部クロック入力



注意 X1端子にはCMOSレベルの電圧を入力してください。



DC特性 (TA = -20 ~ +70 , VDD = 3.0 ~ 3.6 V , VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル入力電圧	VIH	X1, 注を除く	0.7 VDD		VDD	V	
		注	0.8 VDD		VDD	V	
ロウ・レベル入力電圧	VIL	X1, 注を除く	0		0.2 VDD	V	
		注	0		0.2 VDD	V	
ハイ・レベルX1クロック入力電圧	VXH	ダイレクト・モード	0.8 VDD		VDD	V	
		PLLモード	0.8 VDD		VDD	V	
ロウ・レベルX1クロック入力電圧	VXL	ダイレクト・モード	0		0.6	V	
		PLLモード	0		0.6	V	
シュミット・トリガ入力	VT+	注, 立ち上がり		3.0		V	
スレッシュホールド電圧	VT-	注, 立ち下がり		2.0		V	
シュミット・トリガ入力ヒステリシス幅	VT+ - VT-	注	0.5			V	
ハイ・レベル出力電圧	VOH	I _{OH} = - 2.5 mA	0.7 VDD			V	
		I _{OH} = - 100 μA	VDD - 0.5			V	
ロウ・レベル出力電圧	VOL	I _{OL} = 2.5 mA			0.45	V	
ハイ・レベル入力リーク電流	I _{IH}	V _I = VDD			10	μA	
ロウ・レベル入力リーク電流	I _{IL}	V _I = 0 V			- 10	μA	
ハイ・レベル出力リーク電流	I _{LOH}	V _O = VDD			10	μA	
ロウ・レベル出力リーク電流	I _{LOL}	V _O = 0 V			- 10	μA	
電源電流	動作時	IDD1	ダイレクト・モード	1.0x + 9.5	1.5x + 10	mA	
			PLLモード	1.1x + 11	1.8x + 12	mA	
	HALT時	IDD2	ダイレクト・モード	0.3x + 2	0.5x + 6.5	mA	
			PLLモード	0.4x + 3.5	0.6x + 8.5	mA	
	IDLE時	IDD3	ダイレクト・モード	5.3x + 200	6.5x + 325	μA	
			PLLモード	0.07x + 1.5	0.15x + 2	mA	
	STOP時	IDD4	- 20 TA + 50		1	40	μA
			50 < TA 70			200	μA

注 RESET, P02/TCLR1, P03/TI1, P04/INTP10-P07/INTP13, P20/NMI, P21/INTP00-P24/INTP03, P26, P27, P31/SI, P32/SCK, P36, P37, MODE0, MODE1, CKSEL

備考1 . TYP.値はTA = 25 , VDD = 3.3 V時の参考値です。

2 . : 内部動作クロック周波数

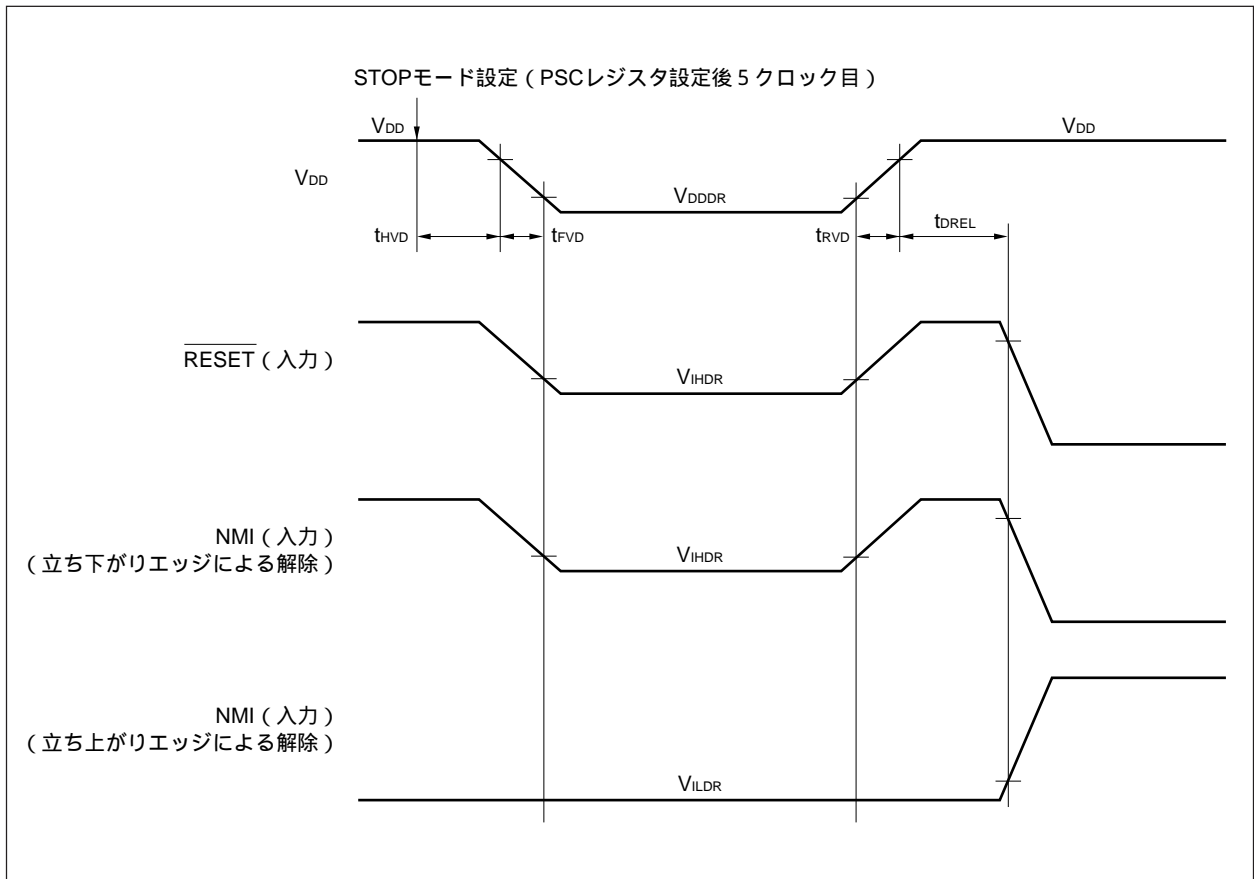


データ保持特性 (TA = -20 ~ +70)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電圧	V _{DDDR}	STOPモード	1.5		3.6	V
データ保持電流	I _{DDDR}	V _{DD} = V _{DDDR} - 20 T _A + 50 50 < T _A 70		0.2V _{DDDR}	40	μA
				0.2V _{DDDR}	200	μA
電源電圧立ち上がり時間	t _{rVD}		200			μs
電源電圧立ち下がり時間	t _{fVD}		200			μs
電源電圧保持時間 (対STOPモード設定)	t _{HVD}		0			ms
STOPモード解除信号入力時間	t _{DREL}		0			ns
データ保持ハイ・レベル入力電圧	V _{IHDR}	注	0.9V _{DDDR}		V _{DDDR}	V
データ保持ロウ・レベル入力電圧	V _{ILDR}	注	0		0.1V _{DDDR}	V

注 RESET, P02/TCLR1, P03/TI1, P04/INTP10-P07/INTP13, P20/NMI, P21/INTP00-P24/INTP03, P26, P27, P31/SI, P32/SC \bar{K} , P36, P37, MODE0, MODE1, CKSEL, X1

備考 TYP.値はTA = 25 , V_{DD} = 3.3 V時の参考値です。

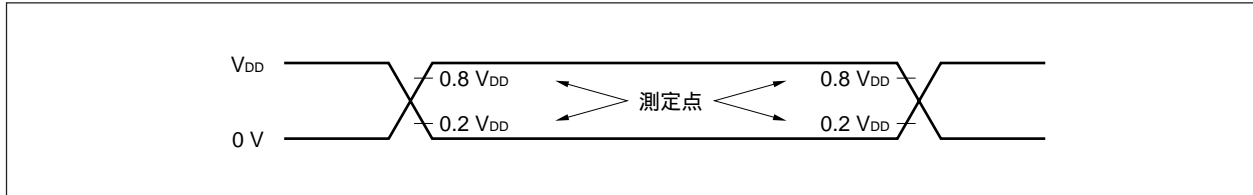


保守/廃止

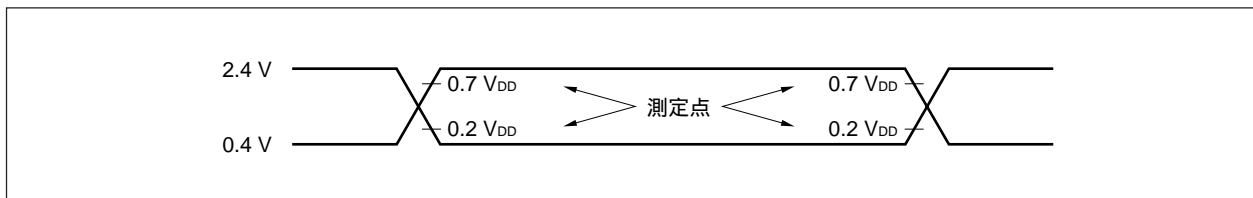
AC特性 ($T_A = -20 \sim +70$, $V_{DD} = 3.0 \sim 3.6$ V , $V_{SS} = 0$ V)

ACテスト入力波形

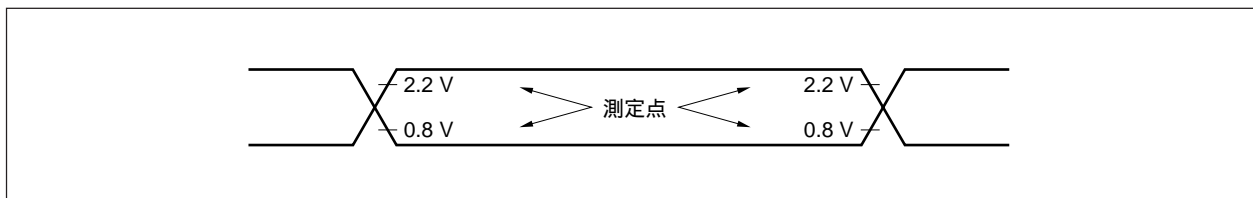
(a) $\overline{\text{RESET}}$, P02/ $\overline{\text{TCLR1}}$, P03/ $\overline{\text{TI1}}$, P04/ $\overline{\text{INTP10}}$ -P07/ $\overline{\text{INTP13}}$, P20/ $\overline{\text{NMI}}$, P21/ $\overline{\text{INTP00}}$ -P24/ $\overline{\text{INTP03}}$, P26, P27, P31/ $\overline{\text{SI}}$, P32/ $\overline{\text{SCK}}$, P36, P37, MODE0, MODE1, CKSEL, X1



(b) 上記 (a) 以外



ACテスト出力測定点



負荷条件

DUT
(被測定デバイス)

$C_L = 50$ pF

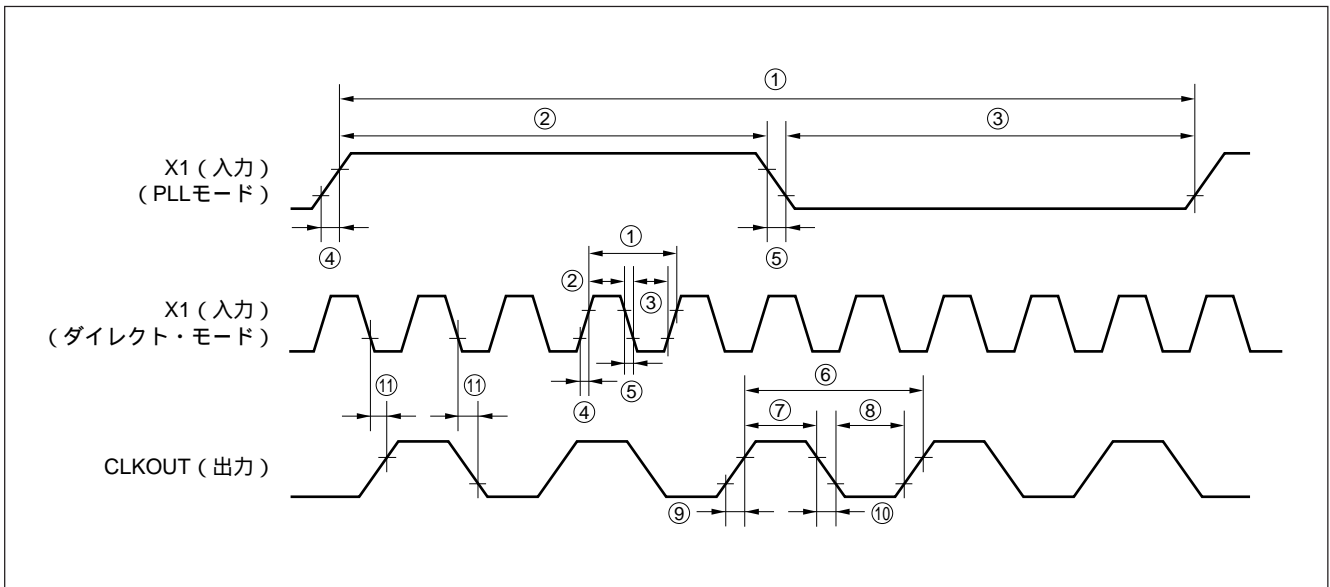
注意 回路の構成により負荷容量が50 pFを越える場合は、バッファを入れるなどして、このデバイスの負荷容量を50 pF以下にしてください。

(1) クロック・タイミング

項 目	略 号	条 件	MIN.	MAX.	単 位
X1入力周期	① t _{CYX}	ダイレクト・モード	41	DC	ns
		PLLモード	416	500	ns
X1入力ハイ・レベル幅	② t _{WXH}	ダイレクト・モード	7		ns
		PLLモード	170		ns
X1入力ロウ・レベル幅	③ t _{WXL}	ダイレクト・モード	7		ns
		PLLモード	170		ns
X1入力立ち上がり時間	④ t _{xR}	ダイレクト・モード		7	ns
		PLLモード		15	ns
X1入力立ち下がり時間	⑤ t _{xF}	ダイレクト・モード		7	ns
		PLLモード		15	ns
CPU動作周波数	-		0	12	MHz
CLKOUT出力周期	⑥ t _{CYK}		82	DC	ns
CLKOUTハイ・レベル幅	⑦ t _{WKH}		0.5T - 15		ns
CLKOUTロウ・レベル幅	⑧ t _{WKL}		0.5T - 15		ns
CLKOUT立ち上がり時間	⑨ t _{KR}			15	ns
CLKOUT立ち下がり時間	⑩ t _{KF}			15	ns
X1 CLKOUT遅延時間	⑪ t _{DXK}	ダイレクト・モード	3	30	ns

備考 T = t_{CYK}

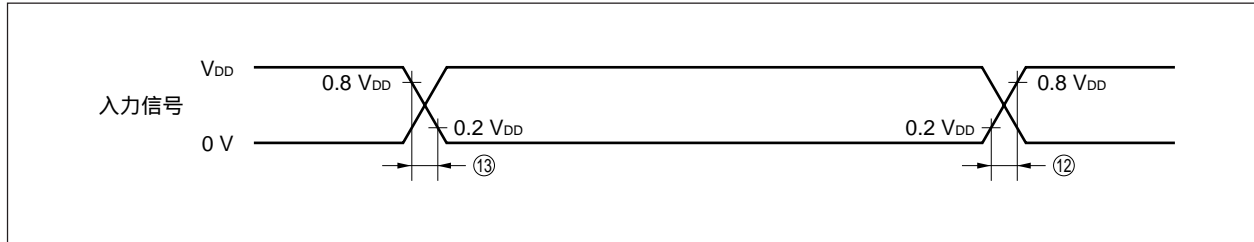
項 目	略 号	条 件	TYP.	単 位
自走発振周波数	- P	PLLモード	2.8	MHz



(2) 入力波形

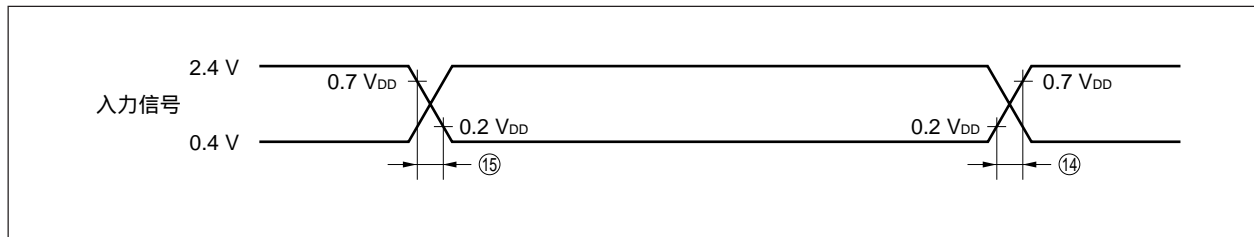
(a) $\overline{\text{RESET}}$, P02/ $\overline{\text{TCLR1}}$, P03/ $\overline{\text{TI1}}$, P04/ $\overline{\text{INTP10}}$ -P07/ $\overline{\text{INTP13}}$, P20/ $\overline{\text{NMI}}$, P21/ $\overline{\text{INTP00}}$ -P24/ $\overline{\text{INTP03}}$, P26, P27, P31/ $\overline{\text{SI}}$, P32/ $\overline{\text{SCK}}$, P36, P37, MODE0, MODE1, CKSEL, X1

項目	略号	条件	MIN.	MAX.	単位
入力立ち上がり時間	⑫	t_{R2}		20	ns
入力立ち下がり時間	⑬	t_{F2}		20	ns



(b) 上記(a)以外

項目	略号	条件	MIN.	MAX.	単位
入力立ち上がり時間	⑭	t_{R1}		10	ns
入力立ち下がり時間	⑮	t_{F1}		10	ns



(3) 出力波形 (CLKOUT以外)

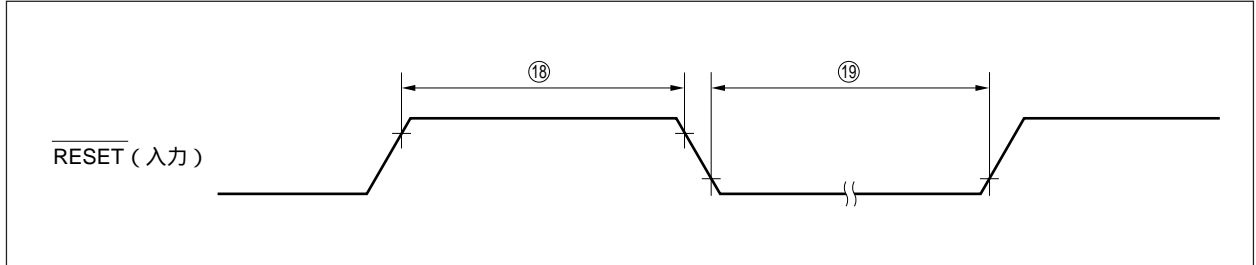
項目	略号	条件	MIN.	MAX.	単位
出力立ち上がり時間	⑯	toR		20	ns
出力立ち下がり時間	⑰	toF		20	ns



(4) リセット・タイミング

項目	略号	条件	MIN.	MAX.	単位
RESETハイ・レベル幅	⑱	tWRSH	500		ns
RESETロウ・レベル幅	⑲	電源オン時, STOPモード解除時	500 + T _{OST}		ns
		電源オン時, STOPモード解除時を除く	500		ns

備考 T_{OST} : 発振安定時間



保守 / 廃止

[X E]



(5) リード・タイミング (1/2)

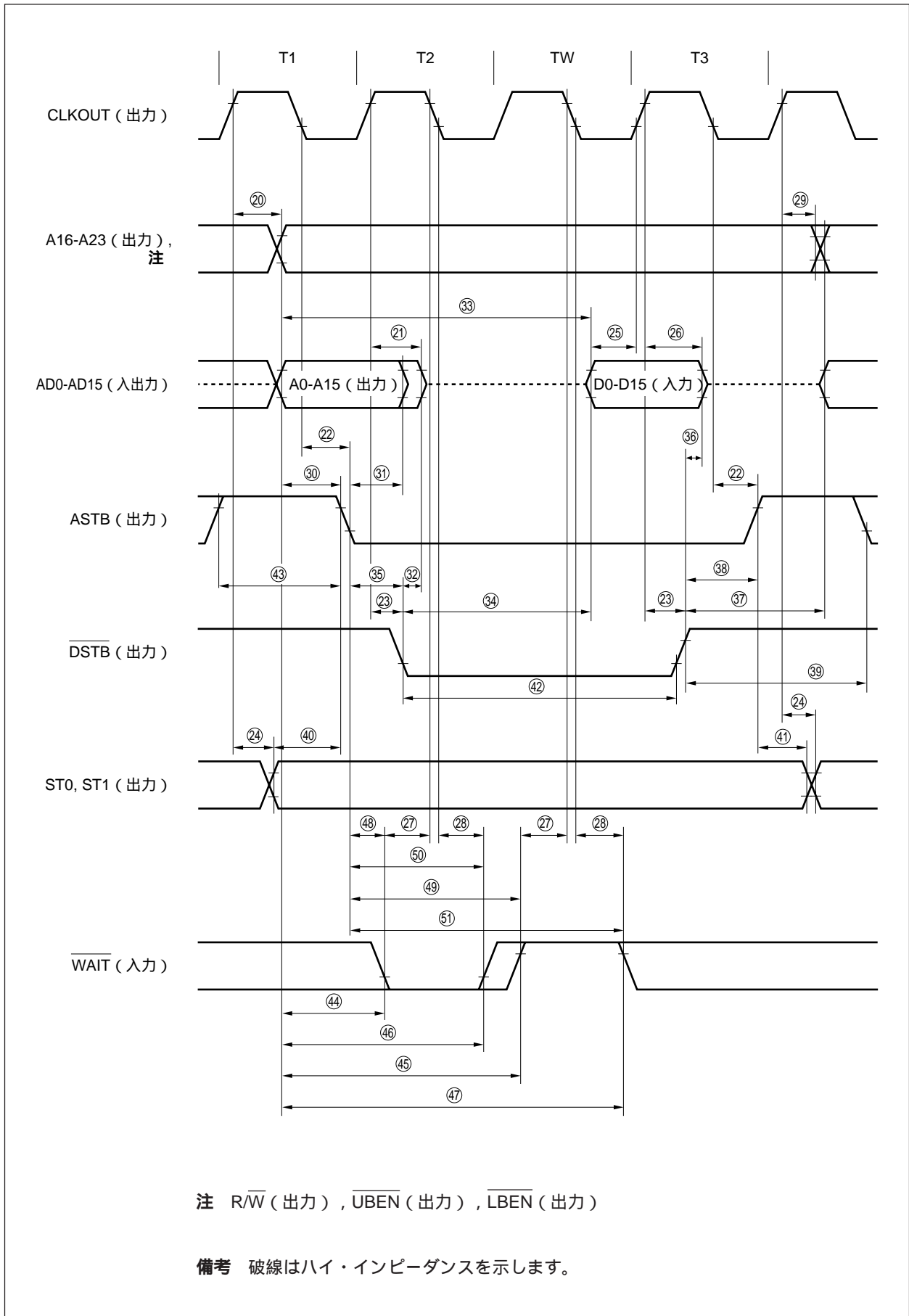
項 目	略 号	条 件	MIN.	MAX.	単 位
CLKOUT アドレス遅延時間	⑳ tDKA		3	32	ns
CLKOUT アドレス・フロート遅延時間	㉑ tFKA		3	32	ns
CLKOUT ASTB遅延時間	㉒ tDKST		3	32	ns
CLKOUT $\overline{\text{DSTB}}$ 遅延時間	㉓ tDKD		3	32	ns
CLKOUT ステータス遅延時間	㉔ tDKS		3	32	ns
データ入力設定時間 (対CLKOUT)	㉕ tSIDK		5		ns
データ入力保持時間 (対CLKOUT)	㉖ tHKID		5		ns
WAIT設定時間 (対CLKOUT)	㉗ tSWTK		7		ns
WAIT保持時間 (対CLKOUT)	㉘ tHKWT		7		ns
アドレス保持時間 (対CLKOUT)	㉙ tHKA		0		ns
アドレス設定時間 (対ASTB)	㉚ tSAST		0.5T - 25		ns
アドレス保持時間 (対ASTB)	㉛ tHSTA		0.5T - 15		ns
$\overline{\text{DSTB}}$ アドレス・フロート遅延時間	㉜ tFDA			0	ns
データ入力設定時間 (対アドレス)	㉝ tSAID			(2+n)T - 45	ns
データ入力設定時間 (対 $\overline{\text{DSTB}}$)	㉞ tSDID			(1+n)T - 35	ns
ASTB $\overline{\text{DSTB}}$ 遅延時間	㉟ tDSTD		0.5T - 15		ns
データ入力保持時間 (対 $\overline{\text{DSTB}}$)	㊱ tHDID		0		ns
$\overline{\text{DSTB}}$ アドレス出力遅延時間	㊲ tDDA		(1+i)T		ns
$\overline{\text{DSTB}}$ ASTB 遅延時間	㊳ tDDSTH		0.5T - 15		ns
$\overline{\text{DSTB}}$ ASTB 遅延時間	㊴ tDDSTL		(1.5+i)T - 15		ns
ステータス設定時間 (対ASTB)	㊵ tSSST		0.5T - 15		ns
ステータス保持時間 (対ASTB)	㊶ tHSTS		0.5T - 20		ns
$\overline{\text{DSTB}}$ ロウ・レベル幅	㊷ tWDL		(1+n)T - 15		ns
ASTBハイ・レベル幅	㊸ tWSTH		T - 20		ns
WAIT設定時間 (対アドレス)	㊹ tSAWT1	n 1		1.5T - 50	ns
	㊺ tSAWT2			(1.5+n)T - 50	ns
WAIT保持時間 (対アドレス)	㊻ tHAWT1	n 1	(0.5+n)T		ns
	㊼ tHAWT2		(1.5+n)T		ns
WAIT設定時間 (対ASTB)	㊽ tSSTWT1	n 1		T - 35	ns
	㊾ tSSTWT2			(1+n)T - 35	ns
WAIT保持時間 (対ASTB)	㊿ tHSTWT1	n 1	nT		ns
	㉟ tHSTWT2		(1+n)T		ns

備考 1 . T = tcyc

- 2 . nはバス・サイクルに挿入されるウエイト・クロック数を示します。プログラマブル・ウエイト挿入時は、サンプリング・タイミングが変わります。
- 3 . iは、リード・サイクル後に挿入されるアイドル・ステート数 (0 または 1) を示します。
- 4 . データ入力保持時間 tHKID (㉖) , tHDID (㉞) は、少なくともどちらか 1 つを守ってください。

保守/廃止

(5) リード・タイミング (2/2) : 1 ウェイト





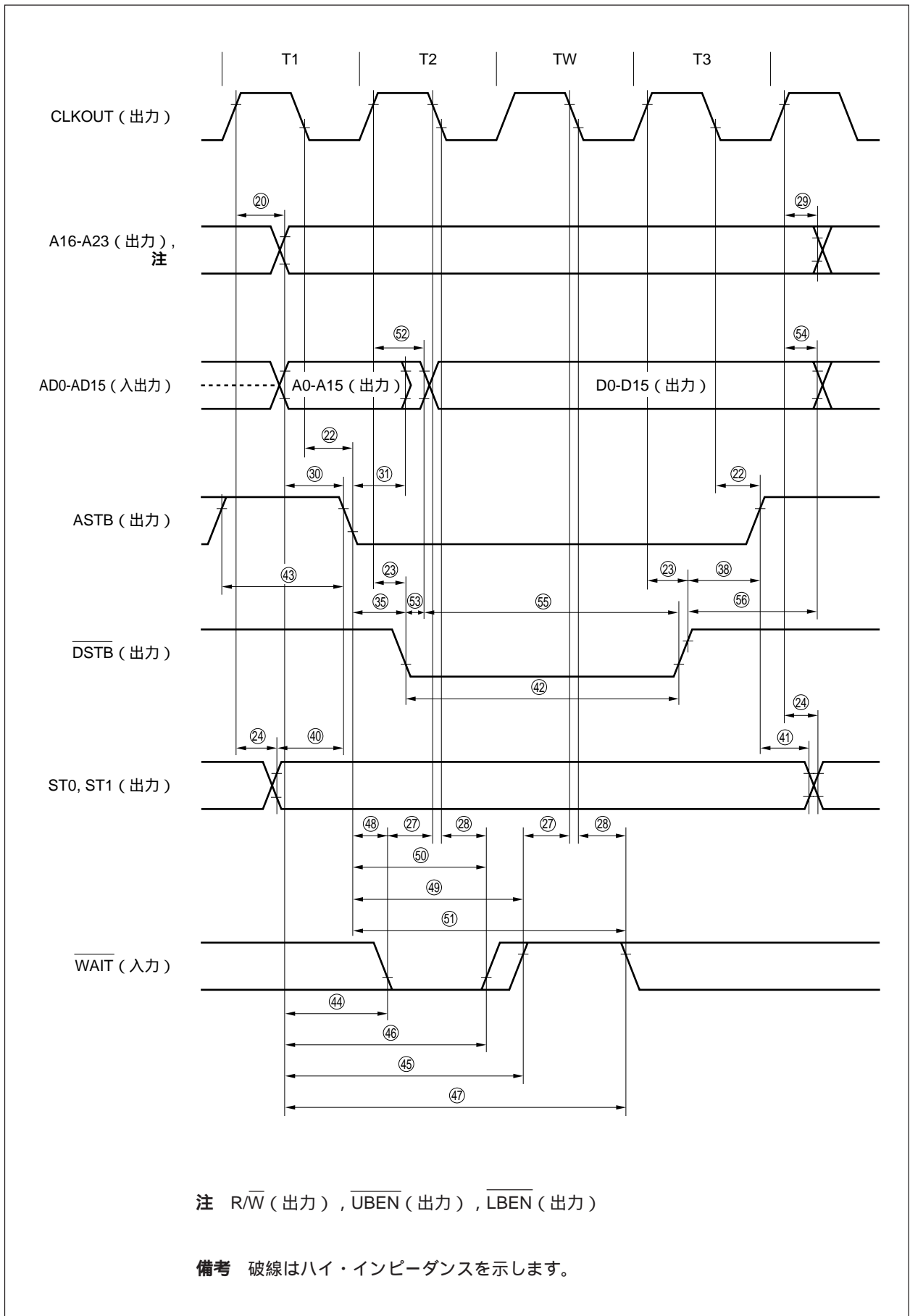
(6) ライト・タイミング (1/2)

項 目	略 号	条 件	MIN.	MAX.	単 位
CLKOUT アドレス遅延時間	⑳ tDKA		3	32	ns
CLKOUT ASTB遅延時間	㉑ tDKST		3	32	ns
CLKOUT $\overline{\text{DSTB}}$ 遅延時間	㉒ tDKD		3	32	ns
CLKOUT ステータス遅延時間	㉓ tDKS		3	32	ns
$\overline{\text{WAIT}}$ 設定時間 (対CLKOUT)	㉔ tsWTK		7		ns
$\overline{\text{WAIT}}$ 保持時間 (対CLKOUT)	㉕ tHKWT		7		ns
アドレス保持時間 (対CLKOUT)	㉖ tHKA		0		ns
アドレス設定時間 (対ASTB)	㉗ tsAST		0.5T - 25		ns
アドレス保持時間 (対ASTB)	㉘ tHSTA		0.5T - 15		ns
ASTB $\overline{\text{DSTB}}$ 遅延時間	㉙ tDSTD		0.5T - 15		ns
$\overline{\text{DSTB}}$ ASTB 遅延時間	㉚ tDDSTH		0.5T - 15		ns
ステータス設定時間 (対ASTB)	㉛ tsSST		0.5T - 15		ns
ステータス保持時間 (対ASTB)	㉜ tHSTS		0.5T - 20		ns
$\overline{\text{DSTB}}$ 口ウ・レベル幅	㉝ tWDL		$(1+n)T - 15$		ns
ASTBハイ・レベル幅	㉞ tWSTH		T - 20		ns
$\overline{\text{WAIT}}$ 設定時間 (対アドレス)	㉟ tsAWT1	n 1		1.5T - 50	ns
	㊱ tsAWT2			$(1.5+n)T - 50$	ns
$\overline{\text{WAIT}}$ 保持時間 (対アドレス)	㊲ tHAWT1	n 1	$(0.5+n)T$		ns
	㊳ tHAWT2		$(1.5+n)T$		ns
$\overline{\text{WAIT}}$ 設定時間 (対ASTB)	㊴ tsSWT1	n 1		T - 35	ns
	㊵ tsSWT2			$(1+n)T - 35$	ns
$\overline{\text{WAIT}}$ 保持時間 (対ASTB)	㊶ tHSTWT1	n 1	nT		ns
	㊷ tHSTWT2		$(1+n)T$		ns
CLKOUT データ出力遅延時間	㊸ tDKOD			32	ns
$\overline{\text{DSTB}}$ データ出力遅延時間	㊹ tDDOD			20	ns
データ出力保持時間 (対CLKOUT)	㊺ tHKOD		0		ns
データ出力設定時間 (対 $\overline{\text{DSTB}}$)	㊻ tsODD		$(1+n)T - 30$		ns
データ出力保持時間 (対 $\overline{\text{DSTB}}$)	㊼ tHDOD		T - 15		ns

備考 1 . T = tcyk

2 . nはバス・サイクルに挿入されるウェイト・クロック数を示します。プログラマブル・ウェイト挿入時は、サンプリング・タイミングが変わります。

(6) ライト・タイミング (2/2) : 1 ウェイト





(7) バス・ホールド・タイミング (1/2)

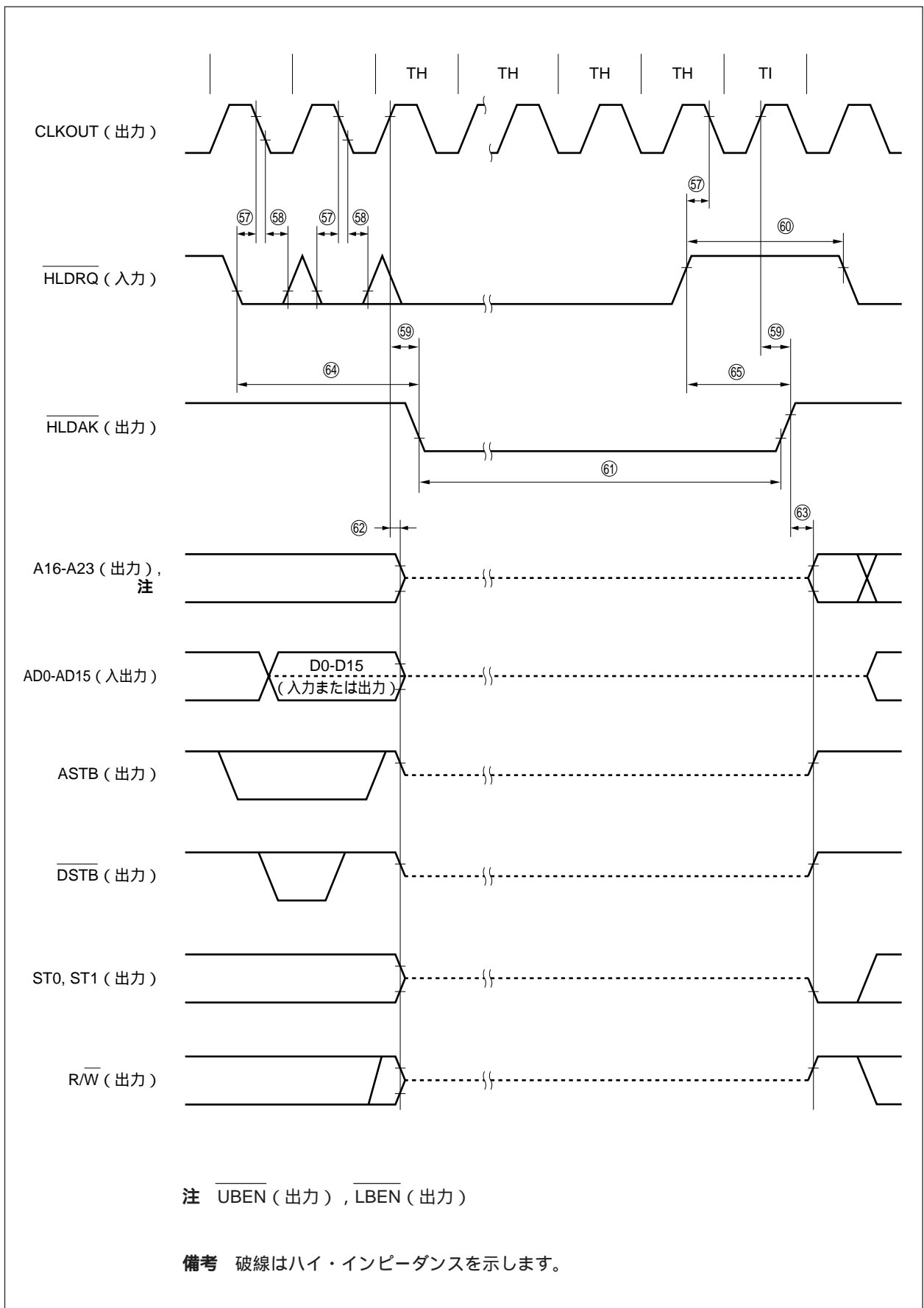
項 目	略 号	条 件	MIN.	MAX.	単 位
H $\overline{\text{LDRQ}}$ 設定時間 (対CLKOUT)	⑤7 t _{SHQK}		7		ns
H $\overline{\text{LDRQ}}$ 保持時間 (対CLKOUT)	⑤8 t _{HKHQ}		7		ns
CLKOUT H $\overline{\text{LDAK}}$ 遅延時間	⑤9 t _{DKHA}			32	ns
H $\overline{\text{LDRQ}}$ ハイ・レベル幅	⑥0 t _{WHQH}		T + 15		ns
H $\overline{\text{LDAK}}$ ロウ・レベル幅	⑥1 t _{WHAL}		T - 15		ns
★ CLKOUT バス・フロート遅延時間	⑥2 t _{DKF}			32	ns
H $\overline{\text{LDAK}}$ バス出力遅延時間	⑥3 t _{DHAC}		- 5		ns
H $\overline{\text{LDRQ}}$ H $\overline{\text{LDAK}}$ 遅延時間	⑥4 t _{DHQHA1}			(2n+7.5)T+40	ns
H $\overline{\text{LDRQ}}$ H $\overline{\text{LDAK}}$ 遅延時間	⑥5 t _{DHQHA2}		0.5T	1.5T + 40	ns

備考 1 . T = t_{cyk}

2 . nはバス・サイクルに挿入されるウエイト・クロック数を示します。プログラマブル・ウエイト挿入時は、サンプリング・タイミングが変わります。

保守/廃止

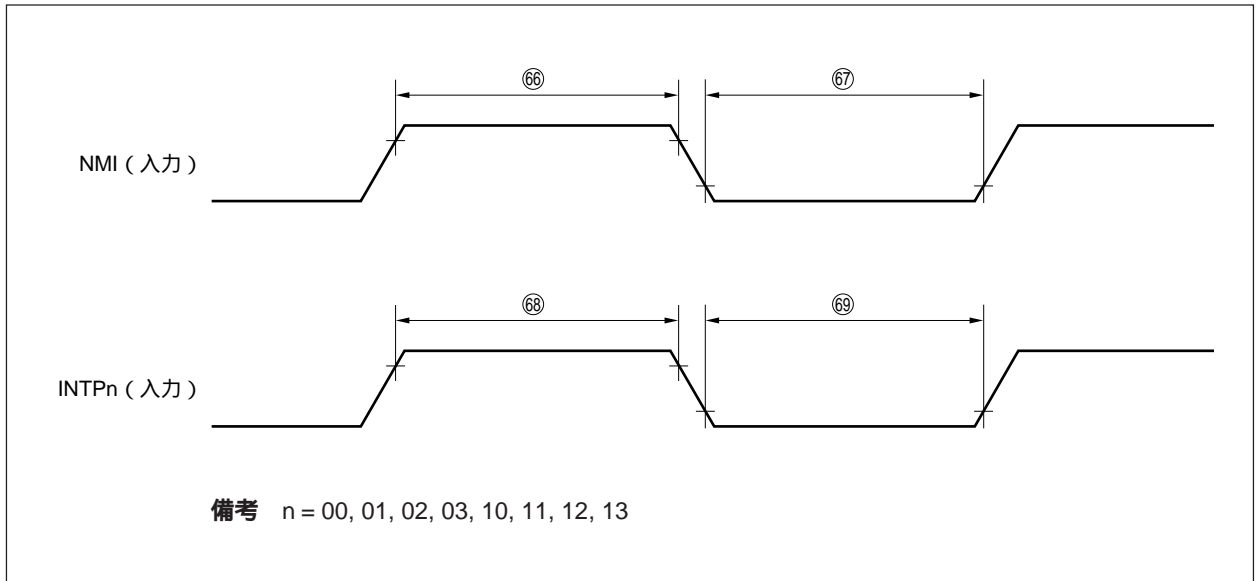
(7) バス・ホールド・タイミング (2/2)



(8) 割り込みタイミング

項目	略号	条件	MIN.	MAX.	単位
NMIハイ・レベル幅	⑥⑥ t _{WNH}		500		ns
NMIロウ・レベル幅	⑥⑦ t _{WNL}		500		ns
INTPnハイ・レベル幅	⑥⑧ t _{WITH}	n = 00, 01, 02, 03, 10, 11, 12, 13	3T + 10		ns
INTPnロウ・レベル幅	⑥⑨ t _{WITL}	n = 00, 01, 02, 03, 10, 11, 12, 13	3T + 10		ns

備考 T = t_{cyk}



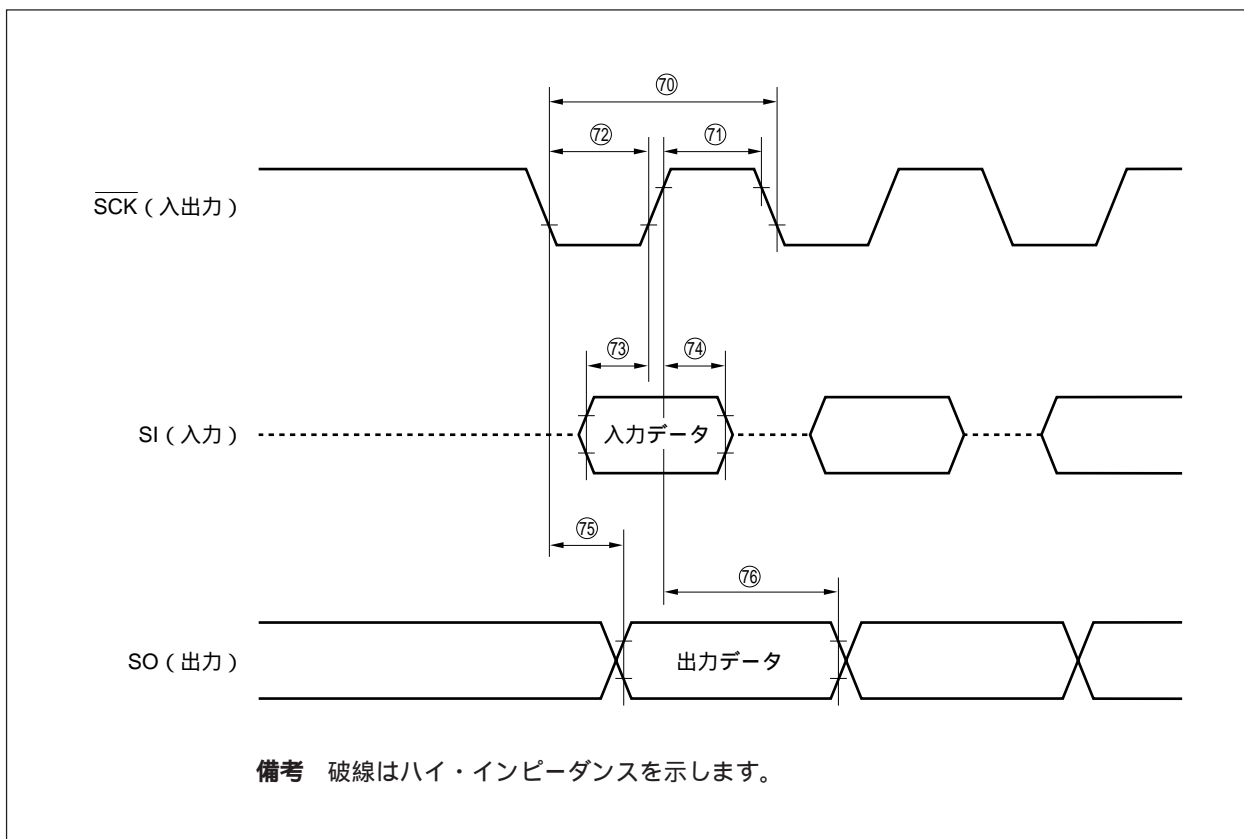
(9) CSIタイミング

(a) マスタ・モード

項目	略号	条件	MIN.	MAX.	単位
SCK周期	⑦⑩	t _{CYSK}	出力	330	ns
SCKハイ・レベル幅	⑦①	t _{WSKH}	出力	0.5t _{CYSK} - 40	ns
SCKロウ・レベル幅	⑦②	t _{WSKL}	出力	0.5t _{CYSK} - 40	ns
SI設定時間 (対SCK)	⑦③	t _{SSISK}		60	ns
SI保持時間 (対SCK)	⑦④	t _{HSKSI}		0	ns
SO出力遅延時間 (対SCK)	⑦⑤	t _{DSKSO}		40	ns
SO出力保持時間 (対SCK)	⑦⑥	t _{HSKSO}		0.5t _{CYSK} - 15	ns

(b) スレーブ・モード

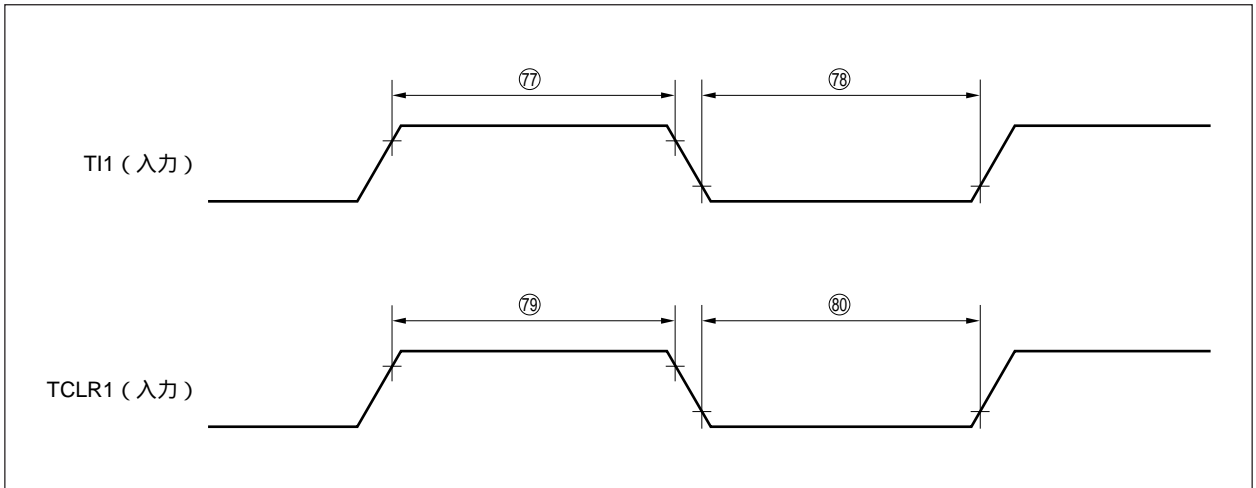
項目	略号	条件	MIN.	MAX.	単位
SCK周期	⑦⑩	t _{CYSK}	入力	330	ns
SCKハイ・レベル幅	⑦①	t _{WSKH}	入力	110	ns
SCKロウ・レベル幅	⑦②	t _{WSKL}	入力	110	ns
SI設定時間 (対SCK)	⑦③	t _{SSISK}		20	ns
SI保持時間 (対SCK)	⑦④	t _{HSKSI}		20	ns
SO出力遅延時間 (対SCK)	⑦⑤	t _{DSKSO}		60	ns
SO出力保持時間 (対SCK)	⑦⑥	t _{HSKSO}		t _{WSKH}	ns



(10) RPUタイミング

項 目	略 号	条 件	MIN.	MAX.	単 位
TI1ハイ・レベル幅	⑦⑦ t_{WTH}		$3T + 10$		ns
TI1ロウ・レベル幅	⑦⑧ t_{WTL}		$3T + 10$		ns
TCLR1ハイ・レベル幅	⑦⑨ t_{WTC}		$3T + 10$		ns
TCLR1ロウ・レベル幅	⑧⑩ t_{WTCL}		$3T + 10$		ns

備考 T = tcyk





6.2 PROMプログラミング・モード

DCプログラミング特性

PROM書き込みモード ($T_A = 25 \pm 5$, $V_{DD} = 6.5 \pm 0.25$ V, $V_{PP} = 12.5 \pm 0.3$ V)

項目	略号	略号注	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V_{IH}	V_{IH}		$0.7V_{DD}$		V_{DD}	V
ロウ・レベル入力電圧	V_{IL}	V_{IL}		0		$0.3V_{DD}$	V
ハイ・レベル出力電圧	V_{OH}	V_{OH}	$I_{OH} = -1$ mA	$V_{DD} - 1.0$			V
ロウ・レベル出力電圧	V_{OL}	V_{OL}	$I_{OL} = 1.6$ mA			0.4	V
入力リーク電流	I_{LI}	I_{LI}	0 V_{IN} V_{DD}	- 10		+ 10	μA
V_{PP} 電源電圧	V_{PP}	V_{PP}		12.2	12.5	12.8	V
V_{DD} 電源電圧	V_{DD}	V_{CC}		6.25	6.5	6.75	V
V_{PP} 電源電流	I_{PP}	I_{PP}	$\overline{PGM} = V_{IL}$			50	mA
V_{DD} 電源電流	I_{DD}	I_{CC}				50	mA

注 対応する μPD27C1001Aの略号です。

PROM読み出しモード ($T_A = 25 \pm 5$, $V_{DD} = 5.0 \pm 0.5$ V, $V_{PP} = V_{DD} \pm 0.6$ V)

項目	略号	略号注	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V_{IH}	V_{IH}		$0.7V_{DD}$		V_{DD}	V
ロウ・レベル入力電圧	V_{IL}	V_{IL}		0		$0.3V_{DD}$	V
ハイ・レベル出力電圧	V_{OH1}	V_{OH1}	$I_{OH} = -1$ mA	$V_{DD} - 1.0$			V
	V_{OH2}	V_{OH2}	$I_{OH} = -100$ μA	$V_{DD} - 0.5$			V
ロウ・レベル出力電圧	V_{OL}	V_{OL}	$I_{OL} = 1.6$ mA			0.4	V
入力リーク電流	I_{LI}	I_{LI}	0 V_{IN} V_{DD}	- 10		+ 10	μA
出力リーク電流	I_{LO}	I_{LO}	0 V_{OUT} V_{DD} , $\overline{OE} = V_{IH}$	- 10		+ 10	μA
V_{PP} 電源電圧	V_{PP}	V_{PP}		$V_{DD} - 0.6$	V_{DD}	$V_{DD} + 0.6$	V
V_{DD} 電源電圧	V_{DD}	V_{CC}		4.5	5.0	5.5	V
V_{PP} 電源電流	I_{PP}	I_{PP}	$V_{PP} = V_{DD}$			100	μA
V_{DD} 電源電流	I_{DD}	I_{CCA1}	$\overline{CE} = V_{IL}$, $V_{IN} = V_{IH}$			50	mA

注 対応する μPD27C1001Aの略号です。



ACプログラミング特性

(1) PROM書き込みモード・タイミング(ページ・プログラム・モード)

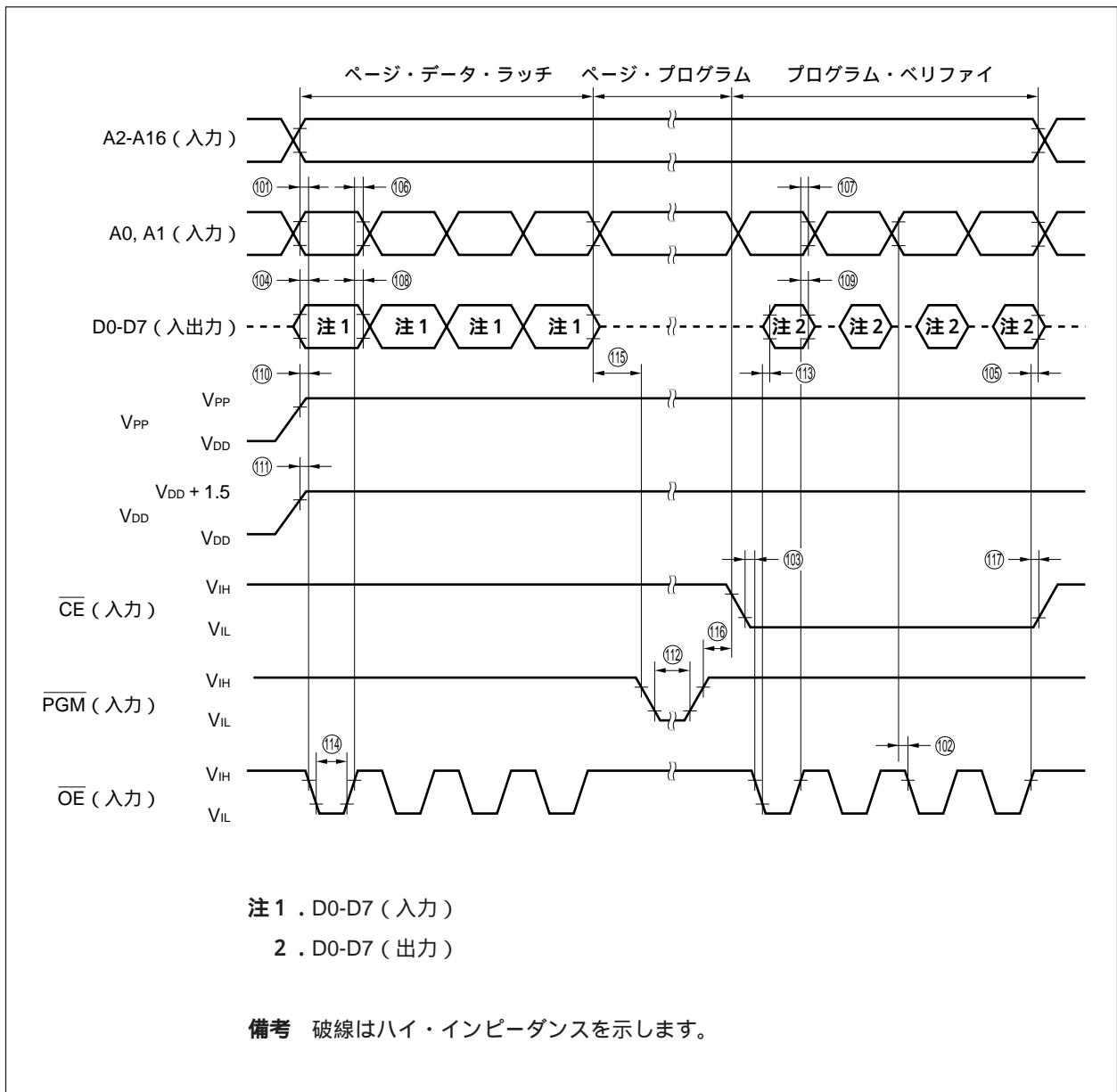
($T_A = 25 \pm 5$, $V_{DD} = 6.5 \pm 0.25 V$, $V_{PP} = 12.5 \pm 0.3 V$) (1/2)

項目	略号	略号注	条件	MIN.	TYP.	MAX.	単位
アドレス・セットアップ時間(対 \overline{OE})	⑩1	tAS	tAS	2			μs
\overline{OE} セット時間	⑩2	toES	toES	2			μs
\overline{CE} セットアップ時間(対 \overline{OE})	⑩3	tCES	tCES	2			μs
入力データ・セットアップ時間(対 \overline{OE})	⑩4	tDS	tDS	2			μs
アドレス・ホールド時間(対 \overline{OE})	⑩5	tAH	tAH	2			μs
	⑩6	tAHL	tAHL	2			μs
	⑩7	tAHV	tAHV	0			μs
入力データ・ホールド時間(対 \overline{OE})	⑩8	tDH	tDH	2			μs
\overline{OE} データ出力フロート遅延時間	⑩9	tDF	tDF	0		250	ns
V_{PP} セットアップ時間(対 \overline{OE})	⑪0	tVPS	tVPS	1.0			ms
V_{DD} セットアップ時間(対 \overline{OE})	⑪1	tVDS	tVCS	1.0			ms
プログラム・パルス幅	⑪2	tpW	tpW	0.095	0.1	0.105	ms
\overline{OE} 有効データ遅延時間	⑪3	toE	toE			1	μs
データ・ラッチ中の \overline{OE} パルス幅	⑪4	tLW	tLW	1			μs
PGMセット時間	⑪5	tpGMS	tpGMS	2			μs
\overline{CE} ホールド時間	⑪6	tCEH	tCEH	2			μs
\overline{OE} ホールド時間	⑪7	toEH	toEH	2			μs

注 対応するμPD27C1001Aの略号です。

保守/廃止

(1) PROM書き込みモード・タイミング(ページ・プログラム・モード) (2/2)

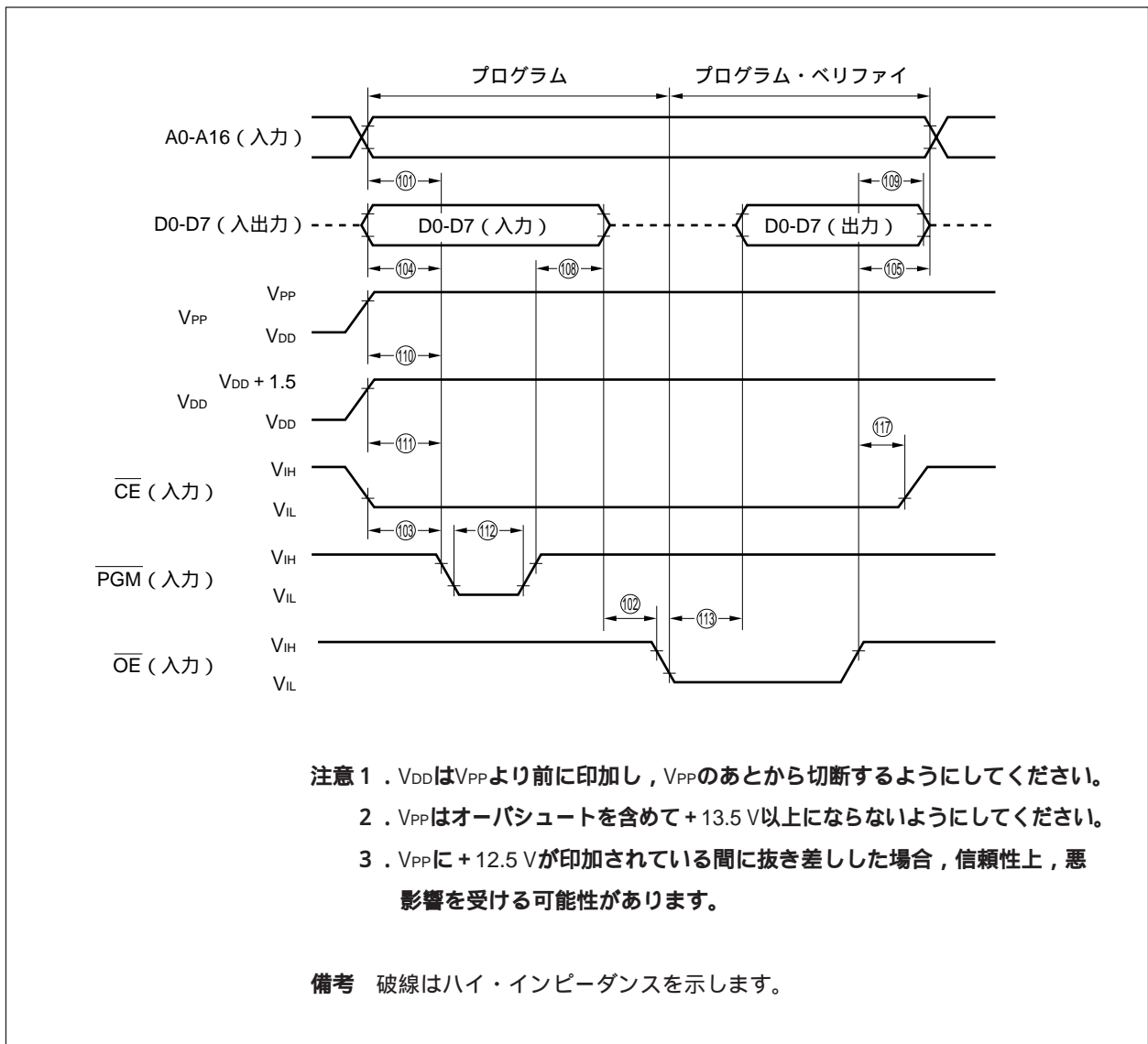


(2) PROM書き込みモード・タイミング (バイト・プログラム・モード)

($T_A = 25 \pm 5$, $V_{DD} = 6.5 \pm 0.25$ V, $V_{PP} = 12.5 \pm 0.3$ V)

項目	略号	略号注	条件	MIN.	TYP.	MAX.	単位
アドレス・セットアップ時間 (対 \overline{PGM})	⑩1	tAS		2			μs
OEセット時間	⑩2	toES		2			μs
CEセットアップ時間 (対 \overline{PGM})	⑩3	tCES		2			μs
入力データ・セットアップ時間 (対 \overline{PGM})	⑩4	tDS		2			μs
アドレス・ホールド時間 (対 \overline{OE})	⑩5	tAH		2			μs
入力データ・ホールド時間 (対 \overline{PGM})	⑩6	tDH		2			μs
\overline{OE} データ出力フロート遅延時間	⑩9	tDF		0		250	ns
V_{PP} セットアップ時間 (対 \overline{PGM})	⑪0	tvPS		1.0			ms
V_{DD} セットアップ時間 (対 \overline{PGM})	⑪1	tvDS		1.0			ms
プログラム・パルス幅	⑪2	tpW		0.095	0.1	0.105	ms
\overline{OE} 有効データ遅延時間	⑪3	toE				1	μs
\overline{OE} ホールド時間	⑪7	toEH	-	2			μs

注 対応する μPD27C1001Aの略号です。

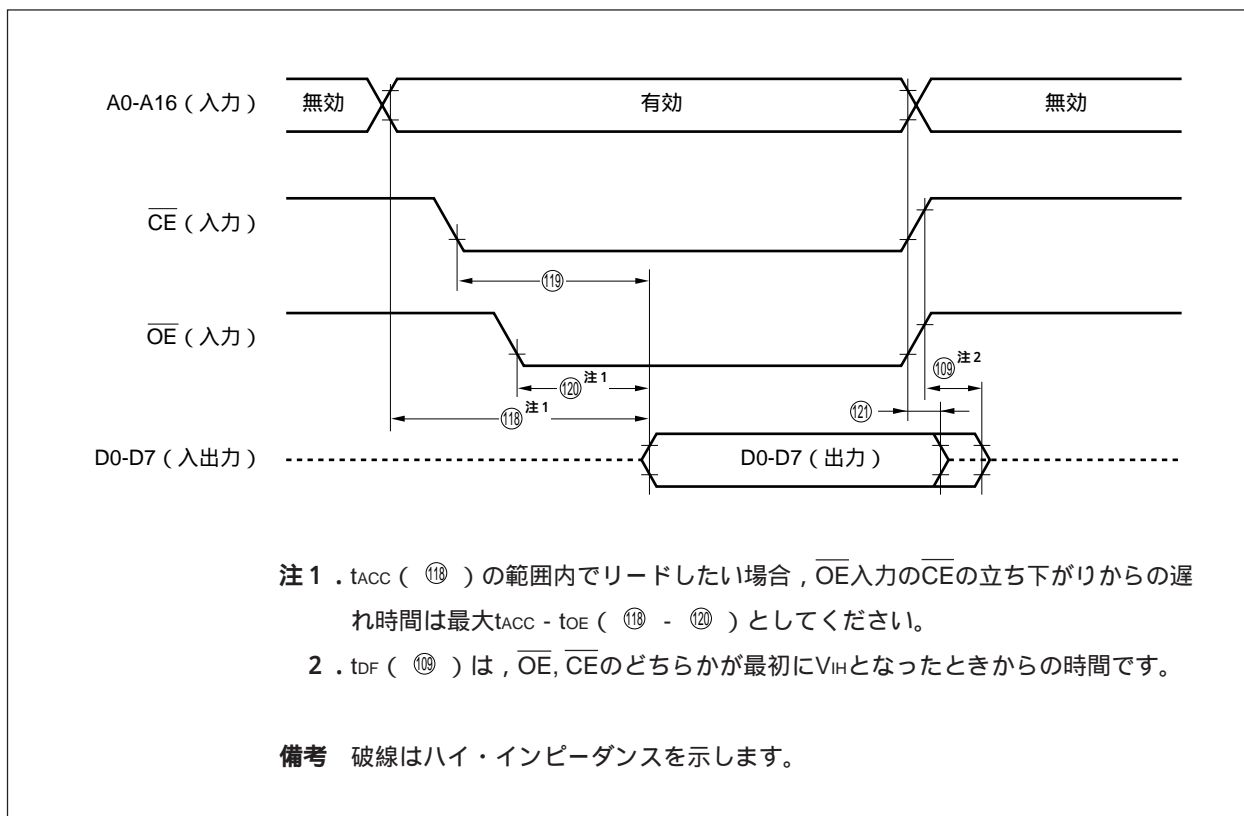


保守/廃止

(3) PROM読み出しモード・タイミング ($T_A = 25 \pm 5$, $V_{DD} = 5.0 \pm 0.5 V$, $V_{PP} = V_{DD} \pm 0.6 V$)

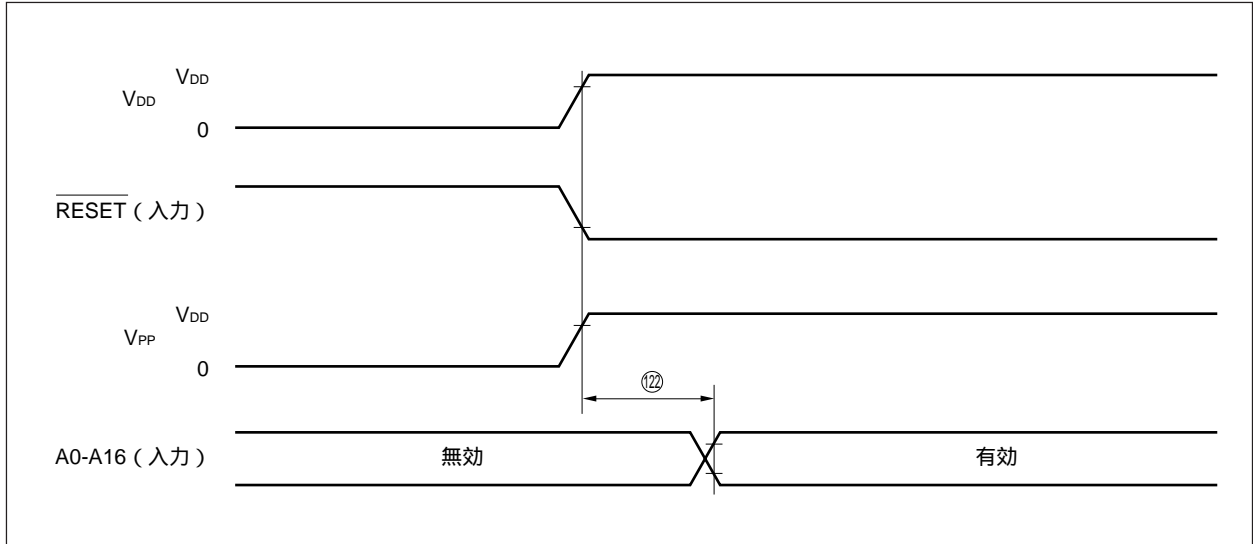
項 目	略 号	略号注	条 件	MIN.	TYP.	MAX.	単 位
アドレス データ出力遅延時間	⑪⑧	t _{ACC}	t _{ACC}			1	μs
\overline{CE} データ出力遅延時間	⑪⑨	t _{CE}	t _{CE}			1	μs
\overline{OE} データ出力遅延時間	⑫⑩	t _{OE}	t _{OE}			1	μs
\overline{OE} データ出力フロート遅延時間	⑩⑨	t _{DF}	t _{DF}	0		60	ns
アドレス データ・ホールド時間	⑫①	t _{OH}	t _{OH}	0			ns

注 対応する μPD27C1001Aの略号です。

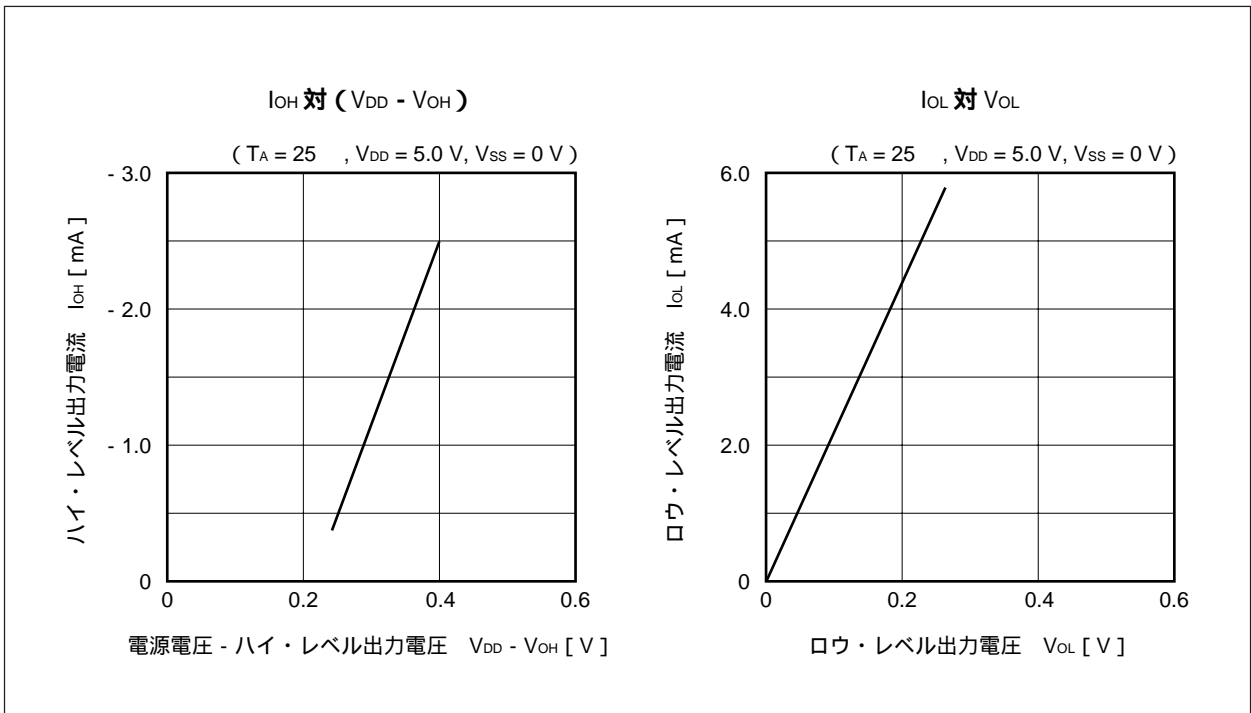


(4) PROMプログラミング・モード設定タイミング (TA = 25 , VSS = 0 V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
PROMプログラミング・モード・セットアップ時間	⑫ tSMA		10			μs

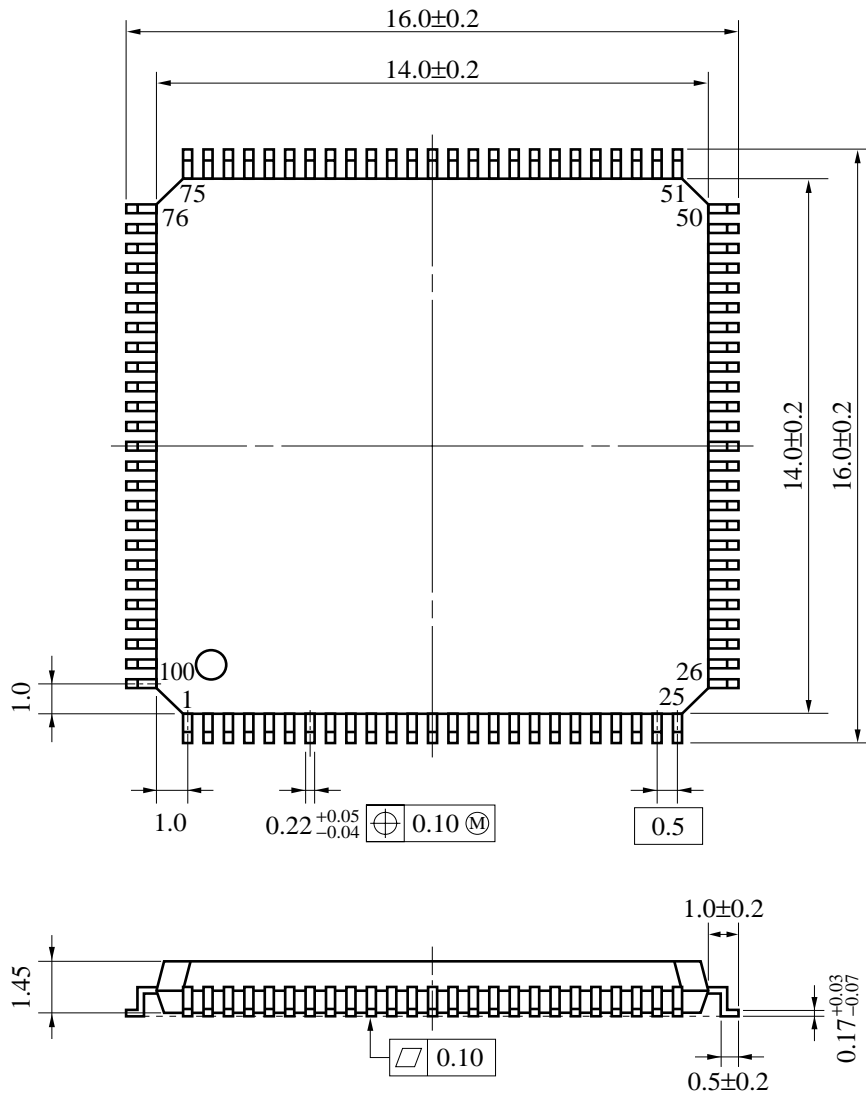


7. 特性曲線 (参考値)

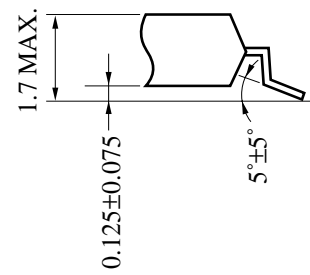


8. 外形図

100ピン・プラスチック QFP (ファインピッチ)(14) 外形図 (単位 : mm)



端子先端形状詳細図



P100GC-50-7EA-2

9. 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の詳細は、インフォメーション資料「半導体デバイス実装マニュアル」(C10535J)を参照してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

表9 - 1 表面実装タイプの半田付け条件

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃，時間：30秒以内（210℃以上），回数：2回以内 制限日数：7日間 ^注 （以降は125℃プリバーク10時間必要） 留意事項 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR35-107-2
VPS	パッケージ・ピーク温度：215℃，時間：40秒以内（200℃以上），回数：2回以内 制限日数：7日間 ^注 （以降は125℃プリバーク10時間必要） 留意事項 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	VP15-107-2
端子部分加熱	端子温度：300℃以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライパック開封後の保管日数で，保管条件は25℃，65%RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱は除く）。



付録 PROM書き込み用ツール

(1) ハードウェア・ツール

製品	製品名	説明
★ PROMプログラマ	PG-1500	NEC製PROMプログラマです。 付属ボードと別売のPROMプログラマ・アダプタを接続することにより、PROM内蔵のシングルチップ・マイクロコンピュータを、スタンドアロンまたはホスト・マシンからの操作によりプログラミングできるPROMプログラマです。 また、256 Kビットから4 Mビットまでの代表的なPROMをプログラミングすることもできます。
	UNISITE	データ・アイ・オー・ジャパン社製PROMプログラマです。
	2900	
	3900	
	MODEL1890A	ミナトエレクトロニクス社製PROMプログラマです。
★ AF-9705 Rev.01.37以上 アルゴリズムRev.02.40以上	安藤電気社製PROMプログラマです。	
★ PROMプログラマ・アダプタ	PA-70P3000GC	PG-1500など汎用PROMプログラマ上で、μPD70P3000にプログラムを書き込むためのPROMプログラマ・アダプタです。

(2) ソフトウェア・ツール

製品	対象ホスト・マシン	対象OS	供給媒体	オーダ名称	説明
PG-1500 コントローラ	PC-9800シリーズ	MS-DOS	3.5インチFD	μS5A13PG1500	PG-1500とホスト・マシンをシリアル、またはパラレル・インタフェースで接続し、ホスト・マシン上でPG-1500を制御します。
			5インチFD	μS5A10PG1500	
	IBM PC/AT™と、 その互換機	PC DOS	3.5インチFD	μS7B13PG1500	
			5インチFD	μS7B10PG1500	

備考 PG-1500コントローラの動作は、上記のホスト・マシンとOS上でだけ保証されます。

CMOSデバイスの一般的注意事項

静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

関連資料 μPD703000, 703001 データ・シート U10987J

V850ファミリ インストラクション活用表 U10229J

V851 レジスタ活用表 U10662J

参考資料 電气的特性の考え方 マイコン編 IEI-601

関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。

あらかじめご了承ください。

V850ファミリ, V851, QTOPは日本電気株式会社の商標です。

PC/ATは、米国IBM社の商標です。

本製品が外国為替および外国貿易管理法の規定による規制貨物等（または役務）に該当するか否かは、ユーザ（仕様を決定した者）が判定してください。

- 本資料の内容は予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。
- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
- 本資料に記載された回路、ソフトウェア、及びこれらに付随する情報は、半導体製品の動作例、応用例を説明するためのものです。従って、これら回路・ソフトウェア・情報をお客様の機器に使用される場合には、お客様の責任において機器設計をしてください。これらの使用に起因するお客様もしくは第三者の損害に対して、当社は一切その責を負いません。
- 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災/防犯装置、各種安全装置、生命維持を直接の目的としない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート/データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

M7 98.8

— お問い合わせ先 —

【技術的なお問い合わせ先】

NEC半導体テクニカルホットライン
(電話：午前 9:00～12:00、午後 1:00～5:00)

電話 : 044-435-9494
FAX : 044-435-9608
E-mail : s-info@saed.tmg.nec.co.jp

【営業関係お問い合わせ先】

第一販売事業部
東京 (03)3798-6106, 6107,
6108
名古屋 (052)222-2375
大阪 (06)6945-3178, 3200,
3208, 3212
仙台 (022)267-8740
郡山 (024)923-5591
千葉 (043)238-8116

第二販売事業部
東京 (03)3798-6110, 6111,
6112
立川 (042)526-5981, 6167
松本 (0263)35-1662
静岡 (054)254-4794
金沢 (076)232-7303
松山 (089)945-4149

第三販売事業部
東京 (03)3798-6151, 6155, 6586,
1622, 1623, 6156
水戸 (029)226-1702
広島 (082)242-5504
高崎 (027)326-1303
鳥取 (0857)27-5313
太田 (0276)46-4014
名古屋 (052)222-2170, 2190
福岡 (092)261-2806

【資料の請求先】

上記営業関係お問い合わせ先またはNEC特約店へお申しつけください。

【インターネット電子デバイス・ニュース】

NECエレクトロニクスデバイスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.ic.nec.co.jp/>