

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

シリアル・インタフェース (SIO)

アシンクロナス・シリアル・インタフェース D (UARTD) : 2 ch

3 線式可変長シリアル・インタフェース B (CSIB) : 2 ch

I²C バス・インタフェース (I²C) : 1 ch

CAN コントローラ : 1 ch

DMA コントローラ : 4 ch

A/D コンバータ 10 ビット分解能 : 10 ch

クロック・ジェネレータ メイン・クロック / サブクロック動作

CPU クロック 7 段階 (f_{xx}, f_{xx}/2, f_{xx}/4, f_{xx}/8, f_{xx}/16, f_{xx}/32, f_{XT} または f_{RL})

クロック・スルー・モード / PLL モード選択可

低速内蔵発振器 : 240 kHz (TYP.)

高速内蔵発振器 : 8 MHz (TYP.)

スタンバイ機能 HALT/IDLE1/IDLE2/STOP / サブクロック動作 / サブ IDLE モード

応用分野

自動車電装分野 (CAN コントローラ内蔵汎用品)

オーダ情報

オーダ名称	パッケージ	内蔵メモリ	品質水準	備考
μ PD70F3370AM1GBA-GAH-AX	64ピン・プラス チックLQFP (ファインピッチ) (10×10)	128 Kバイト	(A)	パワーオン・ クリア機能非搭載
μ PD70F3370AM1GBA1-GAH-AX			(A1)	
μ PD70F3370AM1GBA2-GAH-AX			(A2)	
μ PD70F3370AM2GBA-GAH-AX			(A)	パワーオン・ クリア機能搭載
μ PD70F3370AM2GBA1-GAH-AX			(A1)	
μ PD70F3370AM2GBA2-GAH-AX			(A2)	
μ PD70F3371M1GBA-GAH-AX		256 Kバイト	(A)	パワーオン・ クリア機能非搭載
μ PD70F3371M1GBA1-GAH-AX			(A1)	
μ PD70F3371M1GBA2-GAH-AX			(A2)	
μ PD70F3371M2GBA-GAH-AX			(A)	パワーオン・ クリア機能搭載
μ PD70F3371M2GBA1-GAH-AX			(A1)	
μ PD70F3371M2GBA2-GAH-AX			(A2)	

備考 1. 各品質水準の動作周囲温度は次のとおりです。

(A) : -40 ~ +85 , (A1) : -40 ~ +110 , (A2) : -40 ~ +125

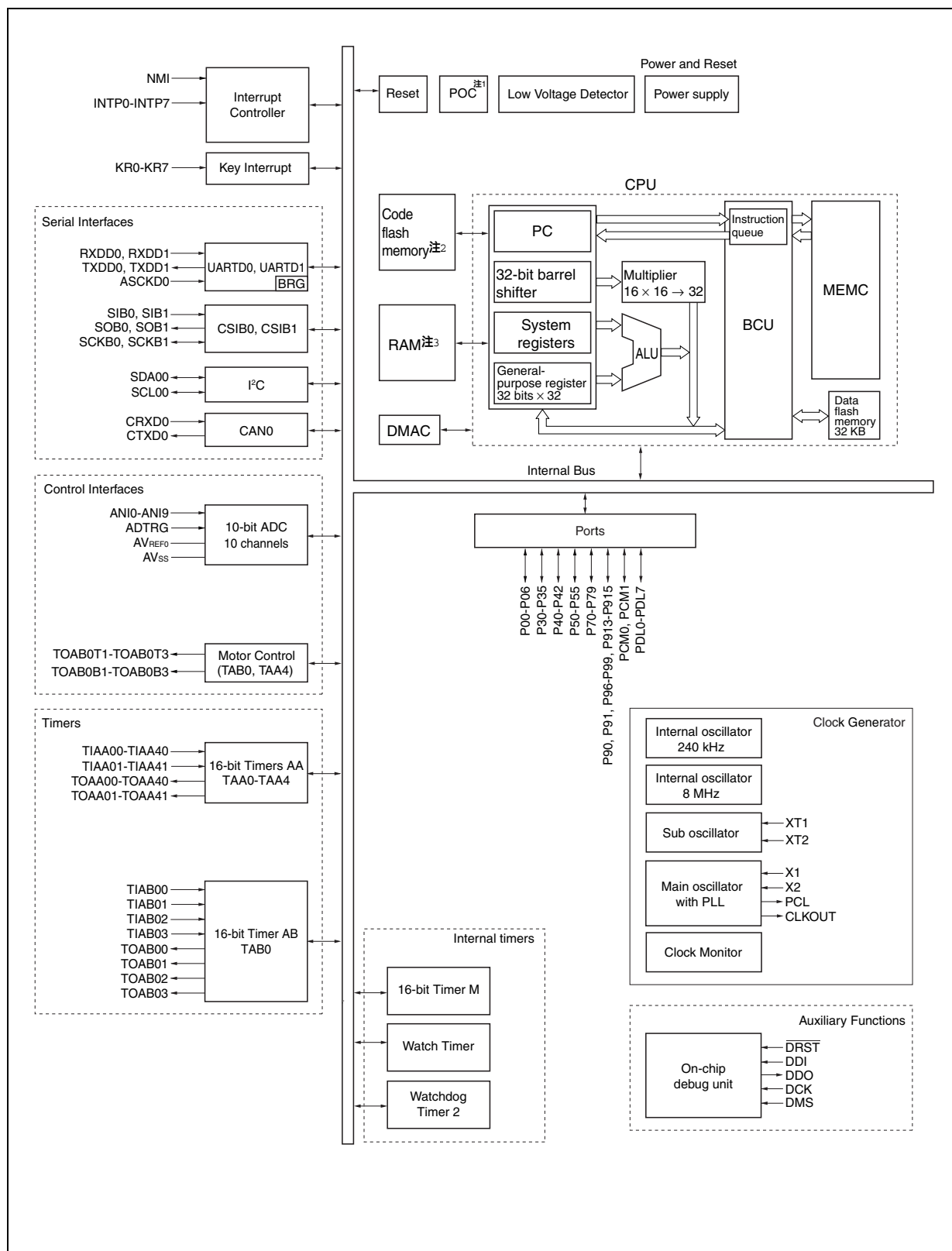
2. オーダ名称末尾「-AX」の製品は、鉛フリー製品です。

品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」
(資料番号 C11531J)をご覧ください。

端子名称

ADTRG:	A/D trigger input	PDL0 to PDL7:	Port DL
ANI0 to ANI9:	Analog input	REGC:	Regulator control
ASCKD0:	Asynchronous serial clock	RESET:	Reset
AVREF0:	Analog reference voltage	RXDD0, RXDD1:	Receive data
AVSS:	Analog V _{ss}	SCKB0, SCKB1:	Serial clock
CLKOUT:	Clock output	SCL00:	I ² C clock
CRXD0:	CAN receive data	SDA00:	I ² C data
CTXD0:	CAN transmit data	SIB0, SIB1:	Serial input
DCK:	Debug clock	SOB0, SOB1:	Serial output
DDI:	Debug data input	TIAA00, TIAA01,	
DDO:	Debug data output	TIAA10, TIAA11,	
DMS:	Debug mode select	TIAA20, TIAA21,	
DRST:	Debug reset	TIAA30, TIAA31,	
EVDD:	Power supply for port	TIAA40, TIAA41,	
EVSS:	Ground for port	TIAB00 to TIAB03:	Timer input
FLMD0, FLMD1:	Flash programming mode	TOAA00, TOAA01,	
INTP0 to INTP7:	Interrupt request from peripherals	TOAA10, TOAA11,	
KR0 to KR7:	Key return	TOAA20, TOAA21,	
NMI:	Non-maskable interrupt request	TOAA30, TOAA31,	
P00 to P06:	Port 0	TOAA40, TOAA41,	
P30 to P35:	Port 3	TOAB00 to TOAB03,	
P40 to P42:	Port 4	TOAB0B1 to TOAB0B3,	
P50 to P55:	Port 5	TOAB0T1 to TOAB0T3:	Timer output
P70 to P79:	Port 7	TXDD0, TXDD1:	Transmit data
P90, P91,		V _{DD} :	Power supply
P96 to P99		V _{SS} :	Ground
P913 to P915:	Port 9	X1, X2:	Crystal for main clock
PCL:	Programmable clock output	XT1, XT2:	Crystal for subclock
PCM0, PCM1:	Port CM		

内部ブロック図



次の表に、内部ブロック図に「注」を付けた製品間の機能の違いをまとめます。

注	機能	μ PD70F3370A	μ PD70F3371
1	POC	POC搭載製品のみ	
2	フラッシュROM	128 KB	256 KB
3	RAM	8 KB	16 KB

目 次

1. 製品間の違い ...	9
2. 端子機能 ...	10
2.1 ポート端子 ...	10
2.2 ポート以外の端子 ...	11
2.3 端子状態 ...	15
2.4 各端子の入出力回路タイプと未使用時の処理 ...	16
3. 電気的特性(ターゲット) ...	19
3.1 (A) 製品についての電気的特性 ...	19
3.1.1 絶対最大定格 ...	19
3.1.2 容 量 ...	21
3.1.3 動作条件 ...	21
3.1.4 発振回路特性 ...	22
3.1.5 PLL 特性 ...	24
3.1.6 SSCG 特性 ...	24
3.1.7 内蔵発振器特性 ...	24
3.1.8 電圧レギュレータ特性 ...	25
3.1.9 DC 特性 ...	26
3.1.10 データ保持特性 ...	34
3.1.11 AC 特性 ...	35
3.1.12 A/D コンバータ ...	42
3.1.13 POC 回路特性 ...	43
3.1.14 LVI 回路特性 ...	43
3.1.15 RAM 保持フラグ特性 ...	44
3.1.16 フラッシュ・メモリ・プログラミング特性 ...	45
3.2 (A1) 製品についての電気的特性 ...	47
3.2.1 絶対最大定格 ...	47
3.2.2 容 量 ...	49
3.2.3 動作条件 ...	49
3.2.4 発振回路特性 ...	50
3.2.5 PLL 特性 ...	52
3.2.6 SSCG 特性 ...	52
3.2.7 内蔵発振器特性 ...	52
3.2.8 電圧レギュレータ特性 ...	53
3.2.9 DC 特性 ...	54
3.2.10 データ保持特性 ...	62
3.2.11 AC 特性 ...	63
3.2.12 A/D コンバータ ...	70
3.2.13 POC 回路特性 ...	71
3.2.14 LVI 回路特性 ...	71

3.2.15	RAM 保持フラグ特性	...	72
3.2.16	フラッシュ・メモリ・プログラミング特性	...	73
3.3	(A2) 製品についての電気的特性	...	75
3.3.1	絶対最大定格	...	75
3.3.2	容量	...	77
3.3.3	動作条件	...	77
3.3.4	発振回路特性	...	78
3.3.5	PLL 特性	...	80
3.3.6	SSCG 特性	...	80
3.3.7	内蔵発振器特性	...	80
3.3.8	電圧レギュレータ特性	...	81
3.3.9	DC 特性	...	82
3.3.10	データ保持特性	...	90
3.3.11	AC 特性	...	91
3.3.12	A/D コンバータ	...	98
3.3.13	POC 回路特性	...	99
3.3.14	LVI 回路特性	...	99
3.3.15	RAM 保持フラグ特性	...	100
3.3.16	フラッシュ・メモリ・プログラミング特性	...	101
4.	外形図	...	103

1. 製品間の違い

製 品		μ PD70F3370A	μ PD70F3371
CPU		V850ES (32ビットRISC)	
内蔵 メモリ	フラッシュROM	128 KB	256 KB
	RAM	8 KB	16 KB
	データ・フラッシュ	32 KB	
外部メモリ・インタフェース		-	
動作 クロック	CPU周波数	MAX. 32 MHz ^注	
	PLL通倍	× 8	
	SSCG	周波数変動率指定 Typ. ± 5.0 %	
	メインOSC	4 ~ 16 MHz	
	サブOSC	RCまたはクリスタル	
	低速内蔵発振器	TYP. 240 kHz	
	高速内蔵発振器	TYP. 8 MHz	
I/Oポート		51	
タイマ	TAA	5 ch	
	TAB	1 ch	
	TMM	1 ch	
	モータ制御	1 ch	
	時計	1 ch	
	WDT2	1 ch	
A/Dコンバータ		10ビット × 10 ch	
シリアル・ インタフェ ース	UART (LIN)	2 ch	
	CSI	2 ch	
	IIC	1 ch	
	CAN	1 ch	
DMA		4 ch	
割り込み (マスカブル)	外部	8 ch	
	内部	47 ch	
その他	スタンバイ機能	HALT, IDLE1, IDLE2, STOP, サブクロック動作, サブIDLE	
	キー・リターン入力	8 ch	
	クロック・モニタ機能	あり	
	POC	パワーオン・クリア TYP. 3.5 V以下	
	LVI	低電圧検出 TYP. 3.7/ 4.0 V以下 (ソフトウェアにて選択)	
	オンチップ・デバッグ 機能	あり	
動作電圧		3.3 ~ 5.5 V	
パッケージ		64ピン・プラスチックLQFP (ファイン・ピッチ) (10 × 10)	

注 (A2) 製品は, MAX. 24 MHz です。

2. 端子機能

2.1 ポート端子

各ポートは、1ビット単位で入出力の指定が可能です。表2-1に各ポート端子と兼用端子の対応を示します。

なお、表2-1で使用している「ポート・グループ」という用語は、ポート端子のグループを意味します。各ポート端子の名前は、Pnm (nmは番号)です。たとえば、P04はポート・グループ0のポート4となります。「ポートP04」と呼ぶ場合もあります。

表2-1 ポートと兼用機能 (1/2)

ポート・グループ名	ポート名	兼用出力機能	兼用入力機能	入出力回路タイプ
0	P00	TOAA31	TIAA31	5-W
	P01	TOAA30	TIAA30	5-W
	P02	TOAA40	NMI/TIAA40	5-W
	P03	TOAA41	INTP0/TIAA41/ADTRG	5-W
	P04	-	INTP1/CRXD0	5-W
	P05	-	INTP2/DRST	5-AF
	P06	CTXD0	INTP3	5-W
3	P30	TXDD0	-	5-W
	P31	-	RXDD0/INTP7	5-W
	P32	TOAA00/TOAA01	ASCKD0/TIAA00	5-W
	P33	TOAA01/CTXD0	TIAA01	5-W
	P34	TOAA10	TIAA10/CRXD0	5-W
	P35	TOAA11	TIAA11	5-W
4	P40	-	SIB0/KR0	5-W
	P41	SOB0	KR1	5-W
	P42	SCKB0	SCKB0/KR2	5-W
5	P50	TOAB01/TOAB0T1	KR0/TIAB01	5-W
	P51	TOAB02/TOAB0B1	KR1/TIAB02	5-W
	P52	TOAB03/TOAB0T2	KR2/TIAB03/DDI	5-W
	P53	TOAB00/TOAB0B2/DDO	KR3/TIAB00	5-W
	P54	TOAB0T3	KR4/DCK	5-W
	P55	TOAB0B3	KR5/DMS	5-W
7	P70	-	ANI0	11-G
	P71	-	ANI1	11-G
	P72	-	ANI2	11-G
	P73	-	ANI3	11-G
	P74	-	ANI4	11-G
	P75	-	ANI5	11-G
	P76	-	ANI6	11-G
	P77	-	ANI7	11-G
	P78	-	ANI8	11-G
	P79	-	ANI9	11-G

表2 - 1 ポートと兼用機能 (2/2)

ポート・グループ名	ポート名	兼用出力機能	兼用入力機能	入出力回路タイプ
9	P90	TXDD1	KR6	5-W
	P91	-	KR7/RXDD1	5-W
	P96	TOAA21	TIAA21	5-W
	P97	TOAA20	SIB1/TIAA20	5-W
	P98	SOB1/TOAB03	TIAB03	5-W
	P99	SCKB1/TOAB00	SCKB1/TIAB00	5-W
	P913	PCL	INTP4	5-W
	P914	SDA00	SDA00/INTP5	5-W
	P915	SCL00	SCL00/INTP6	5-W
CM	PCM0	-	-	5
	PCM1	CLKOUT	-	5
DL	PDL0	-	-	5-K
	PDL1	-	-	5-K
	PDL2	-	-	5-K
	PDL3	-	-	5-K
	PDL4	-	-	5-K
	PDL5	-	FLMD1	5-K
	PDL6	-	-	5-K
	PDL7	-	-	5-K

2.2 ポート以外の端子

表2 - 2 ポート以外の端子 (アルファベット順) (1/4)

端子名	I/O	端子	ポート	端子番号
ADTRG	I	A/Dコンバータ0外部トリガ入力	P03	15
ANI0	I	A/Dコンバータ0入力0-9	P70	64
ANI1			P71	63
ANI2			P72	62
ANI3			P73	61
ANI4			P74	60
ANI5			P75	59
ANI6			P76	58
ANI7			P77	57
ANI8			P78	56
ANI9			P79	55
ASCKD0	I	UARTD0ポー・レート・クロック入力	P32	24
AV _{REF0}	-	A/Dコンバータ基準電圧入力	-	1
AV _{SS}	-	A/Dコンバータ用グラウンド電位	-	2
CLKOUT	O	CPUシステム・クロック出力	PCM1	46
CRXD0	I	CAN0受信データ	P04	16
			P34	26
CTXD0	O	CAN0送信データ	P06	18
			P33	25

表2 - 2 ポート以外の端子 (アルファベット順) (2/4)

端子名	I/O	端 子	ポート	端子番号
DCK	I	デバッグ・クロック	P54	34
DDI	I	デバッグ・データ入力	P52	30
DDO	O	デバッグ・データ出力	P53	31
DMS	I	デバッグ・モード・セレクト入力	P55	35
DRST	I	デバッグ・リセット	P05	17
EV _{DD}	-	I/Oバッファ電源電圧	-	33
EV _{SS}	-	I/Oバッファ電源グランド	-	32
FLMD0	-	フラッシュ・プログラミング・モード引き込み端子	-	3
FLMD1	-	フラッシュ・プログラミング・モード引き込み端子	PDL5	52
INTP0	I	外部割り込み0-7	P03	15
INTP1			P04	16
INTP2			P05	17
INTP3			P06	18
INTP4			P913	42
INTP5			P914	43
INTP6			P915	44
INTP7			P31	23
KR0	I	キー割り込み入力0-7	P40	19
KR1			P50	28
			P41	20
KR2			P51	29
			P42	21
KR3			P52	30
KR4			P53	31
KR5			P54	34
KR6	P55	35		
KR7	P90	36		
NMI ^注	I	ノンマスカブル割り込み	P02	14
PCL	O	プログラマブル・クロック出力	P913	42
REGC	-	レギュレータ出力安定容量接続	-	5
RESET	I	リセット入力	-	9
RXDD0	I	UARTD0, UARTD1受信データ	P31	23
RXDD1			P91	37
SCKB0	I/O	クロック同期式シリアル・インタフェースCSIB0, CSIB1 クロック	P42	21
SCKB1			P99	41
SCL00	I/O	I ² C0クロック	P915	44
SDA00	I/O	I ² C0データ	P914	43
SIB0	I	クロック同期式シリアル・インタフェースCSIB0, CSIB1 データ入力	P40	19
SIB1			P97	39
SOB0	O	クロック同期式シリアル・インタフェースCSIB0, CSIB1 データ出力	P41	20
SOB1			P98	40

表2 - 2 ポート以外の端子 (アルファベット順) (3/4)

端子名	I/O	機 能	ポート	端子番号
TIAA00	I	タイマTAA0-TAA4チャンネル0キャプチャ・トリガ入力	P32	24
TIAA10			P34	26
TIAA20			P97	39
TIAA30			P01	13
TIAA40			P02	14
TIAA01	I	タイマTAA0-TAA4チャンネル1キャプチャ・トリガ入力	P33	25
TIAA11			P35	27
TIAA21			P96	38
TIAA31			P00	12
TIAA41			P03	15
TIAB00	I	タイマTAB0チャンネル0キャプチャ・トリガ入力	P53	31
			P99	41
TIAB01	I	タイマTAB0チャンネル1キャプチャ・トリガ入力	P50	28
TIAB02	I	タイマTAB0チャンネル2キャプチャ・トリガ入力	P51	29
TIAB03	I	タイマTAB0チャンネル3キャプチャ・トリガ入力	P52	30
			P98	40
TOAA00	O	タイマTAA0-TAA4チャンネル0信号出力	P32	24
TOAA10			P34	26
TOAA20			P97	39
TOAA30			P01	13
TOAA40			P02	14
TOAA01	O	タイマTAA0-TAA4チャンネル1信号出力	P32	24
			P33	25
TOAA11			P35	27
TOAA21			P96	38
TOAA31			P00	12
TOAA41	P03	15		
TOAB00	O	タイマTAB0チャンネル0信号出力	P53	31
			P99	41
TOAB01	O	タイマTAB0チャンネル1信号出力	P50	28
TOAB02	O	タイマTAB0チャンネル2信号出力	P51	29
TOAB03	O	タイマTAB0チャンネル3信号出力	P52	30
			P98	40
TOAB0B1	O	モータ制御出力信号	P51	29
TOAB0B2			P53	31
TOAB0B3			P55	35
TOAB0T1	O	モータ制御出力信号	P50	28
TOAB0T2			P52	30
TOAB0T3			P54	34

注 NMI 端子は P02 端子と兼用しており、リセット後は P02 端子として機能します。NMI を有効にする場合は、PMC0.PMC02 ビットをセット (1) してください。また、NMI 端子の初期設定は“エッジ検出なし”になっています。INTF0, INTR0 レジスタで NMI 端子の有効エッジを選択する必要があります。

表2 - 2 ポート以外の端子（アルファベット順）（4/4）

端子名	I/O	機 能	ポート	端子番号
TXDD0	O	UARTD0, UARTD1送信データ	P30	22
TXDD1			P90	36
V _{DD}	-	内部電源電圧	-	4
V _{SS}	-	内部電源グラウンド	-	6
X1	I	メイン・クロック発振子接続	-	7
X2	-	メイン・クロック発振子接続	-	8
XT1	I	サブ発振子接続	-	10
XT2	-	サブ発振子接続	-	11

備考 下記の兼用機能は、異なる2つのポート（端子）に備わっています。どちらの端子で兼用機能を使用するかを選択できます。詳細は、V850ES/FE3, V850ES/FF3, V850ES/FG3, V850ES/FJ3, V850ES/FK3 ユーザーズ・マニュアル ハードウェア編（U17793J）を参照してください。

ユニット	兼用機能	I/O	ポート1	ポート2
タイマ	TOAA01	O	P32	P33
	TIAB00	I	P53	P99
	TOAB00	O	P53	P99
	TIAB03	I	P52	P98
	TOAB03	O	P52	P98
CAN	CTXD0	O	P06	P33
	CRXD0	I	P04	P34
キー割り込み	KR0	I	P40	P50
	KR1	I	P41	P51
	KR2	I	P42	P52

2.3 端子状態

表2-3は、リセット時およびスタンバイ機能使用時、それらの動作状態が解除され通常動作モードになったときの端子状態を示しています。

N-Wire デバッガ・インタフェース端子である \overline{DRST} , DDI, DDO, DCK, DMS は、リセット解除後の動作がリセット要因によって異なります。外部 \overline{RESET} または内部のパワーオン・クリア要因では、すべての端子が入力モードに設定されますが、その他の内部リセット要因では、端子はデバッガで使用可能になります。

HALT モードは CPU の動作を中断するだけなので、端子状態に影響しません。

表2-3 端子機能とリセット/スタンバイ機能

動作状態		端子機能
外部 \overline{RESET}	リセット中	<ul style="list-style-type: none"> ・ P05/\overline{DRST} : P05ポート入力, 内部プルダウン抵抗接続。 ・ その他の端子 : ハイ・インピーダンス
	リセット後	<ul style="list-style-type: none"> ・ P05/\overline{DRST} : \overline{DRST}入力, 内部プルダウン抵抗接続。 ・ P52/DDI, P54/DCK, P55/DMS : DDI, DCK, DMS入力 ・ P53/DDO : DDO出力 ・ その他の端子 : 入力ポート・モード
パワーオン・クリア (POC)	リセット中	<ul style="list-style-type: none"> ・ P05/\overline{DRST} : P05ポート入力, 内部プルダウン抵抗接続。 ・ その他の端子 : ハイ・インピーダンス
	リセット後	<ul style="list-style-type: none"> ・ P05/\overline{DRST} : P05ポート入力 (内部プルダウン抵抗切断) ・ その他の端子 : 入力ポート・モード
その他のリセット要因	リセット中	<ul style="list-style-type: none"> ・ P05/\overline{DRST}, P52/DDI, P53/DDO, P54/DCK, P55/DMS : リセット前と同じ ・ その他の端子 : 入力ポート・モード
	リセット後	
HALTモード	モード中	HALTモード設定前の状態を保持
	モード解除後	
IDLE1, IDLE2, STOPモード	モード中	<ul style="list-style-type: none"> スタンバイ機能設定前の状態を保持 出力信号有効, 出力レベルを維持 スタンバイ機能の解除要因^注となる入力信号は有効 その他入力状態端子への入力信号は無視
	モード解除後	スタンバイ機能設定前の状態を保持

注 ウェイク・アップ機能を持つ入力信号 : 外部割り込み (INTP0-INTP7, NMI), CAN0 受信データ (CRXD0), キー割り込み (KR0-KR7)

2.4 各端子の入出力回路タイプと未使用時の処理

各端子の入出力回路タイプと未使用時の処理方法（推奨接続方法）を表2-4に、また各タイプの回路図を一部簡略化した形式を用いて図2-1に示します。

表2-4 未使用端子の推奨接続

	端 子	入出力回路タイプ	推奨接続
ポート端子	ポート・グループ0, 3-5, 9の端子（ポート・グループ0のP05端子を除く）	5-W	・出力時：オープン ・入力時：端子ごとに抵抗を介してEV _{DD} またはEV _{SS} に接続
	ポート・グループ0のP05端子	5-AF	・出力時：オープン ・入力時：端子ごとに抵抗を介してEV _{SS} に接続
	ポート・グループ7の端子	11-G	・出力時：オープン ・入力時：端子ごとに抵抗を介してAV _{REF0} またはAV _{SS} に接続
	ポート・グループCMの端子	5	・出力時：オープン ・入力時：端子ごとに抵抗を介してEV _{DD} またはEV _{SS} に接続
	ポート・グループDLの端子	5-K	・出力時：オープン ・入力時：端子ごとに抵抗を介してEV _{DD} またはEV _{SS} に接続
ポート以外の端子	AV _{REF0}	-	V _{DD} に直接接続
	FLMD0	-	フラッシュ・メモリ・プログラミング・モード時以外はV _{SS} に接続
	REGC	-	レギュレータ出力安定容量接続
	RESET	2	-
	XT1	16	抵抗を介してV _{SS} に接続
	XT2	16	オープン

- 備考 1. 未使用端子に抵抗を介して電源またはグランドへ接続する場合、個別に1 k~10 kΩの抵抗を介して接続することを推奨します。
2. 総出力電流が最大値を越えた場合、出力バッファが破損する可能性があります。誤って出力が許可された場合に出力バッファを破損から守るために、直列抵抗の挿入を推奨します。

図2 - 1 端子の入出力回路 (1/2)

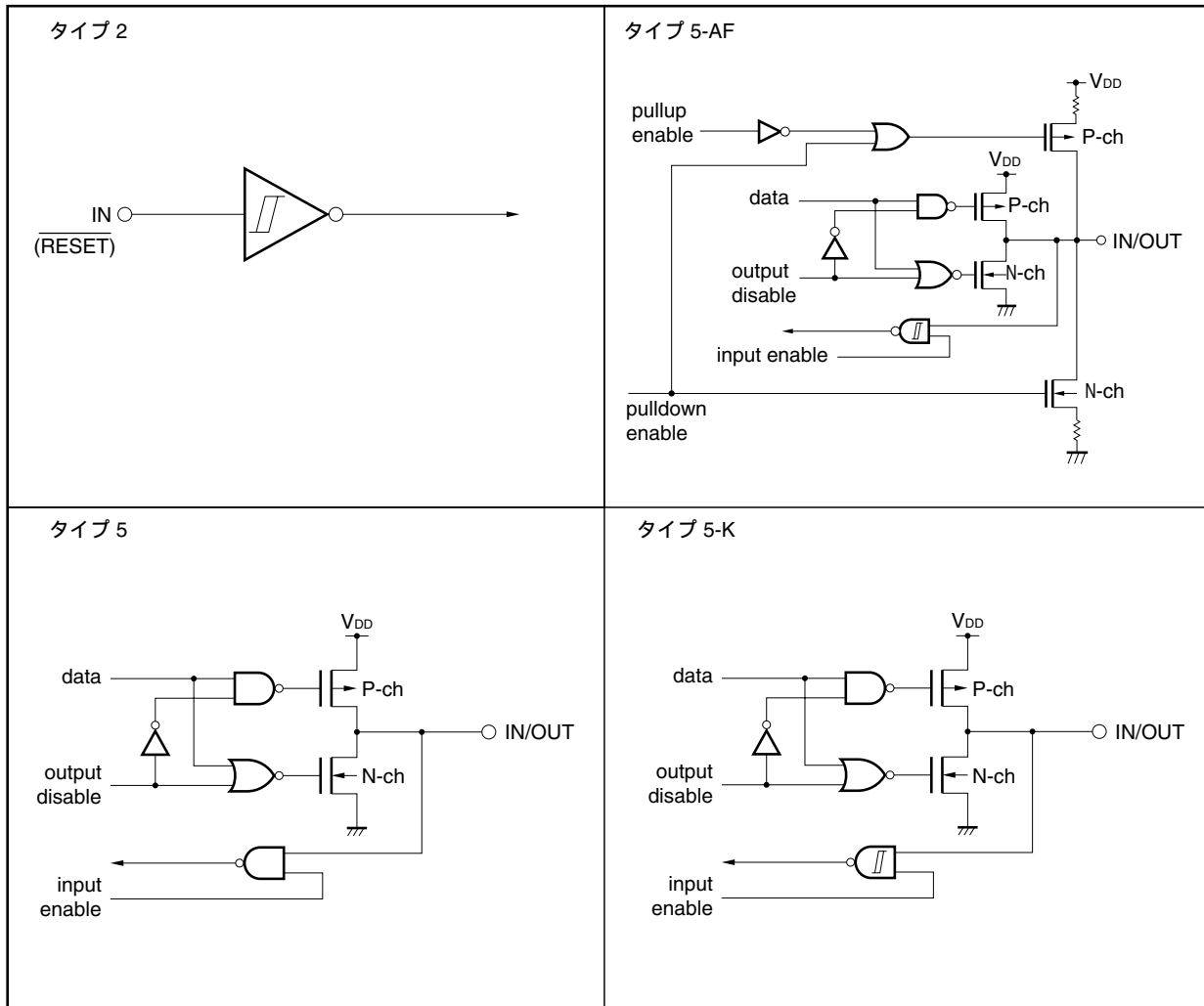
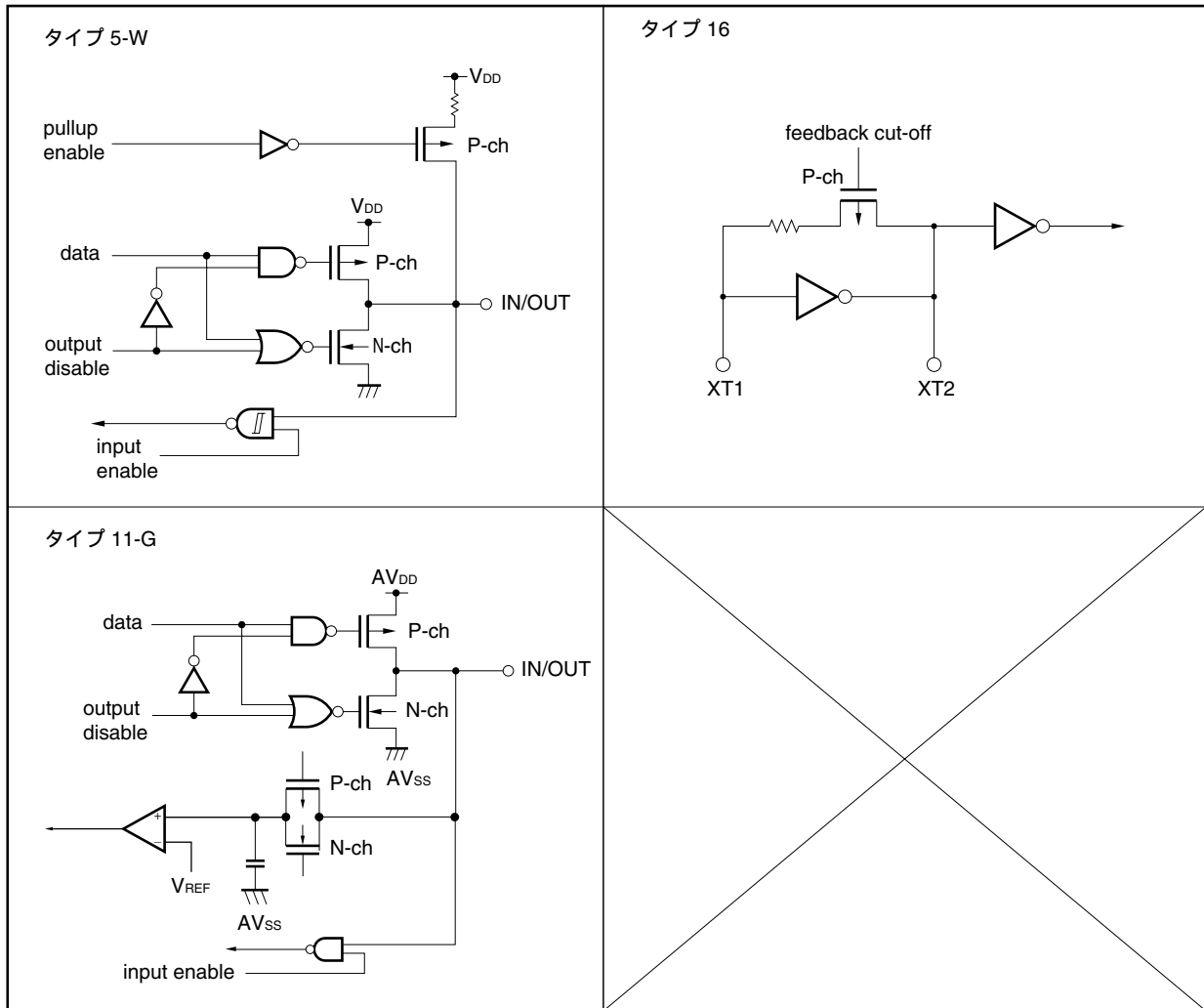


図2 - 1 端子の入出力回路 (2/2)



3. 電気的特性 (ターゲット)

注意 この特性は、ターゲット (目標値) であり、デバイス評価後に変更の可能性があります。

3.1 (A) 製品についての電気的特性

3.1.1 絶対最大定格

絶対最大定格 (TA = 25) (1/2)

項目	略号	条件	定格	単位
電源電圧	V _{DD}	V _{DD} = EV _{DD}	- 0.5 ~ + 6.5	V
	EV _{DD}	V _{DD} = EV _{DD}	- 0.5 ~ + 6.5	V
	AV _{REF0}		- 0.5 ~ + 6.5	V
	V _{SS}	V _{SS} = EV _{SS} = AV _{SS}	- 0.5 ~ + 0.5	V
	AV _{SS}	V _{SS} = EV _{SS} = AV _{SS}	- 0.5 ~ + 0.5	V
	EV _{SS}	V _{SS} = EV _{SS} = AV _{SS}	- 0.5 ~ + 0.5	V
入力電圧	V _{I1}	P00-P06, P30-P35, P40-P42, P50-P55, P90, P91, P96-P99, P913-P915, PCM0, PCM1, PDL0-PDL7, RESET, FLMD0	- 0.5 ~ EV _{DD} + 0.5 ^注	V
	V _{I2}	X1, X2, XT1, XT2	- 0.5 ~ V _{RO} + 0.5 ^注	V
アナログ入力電圧	V _{IAN}	P70-P79	- 0.5 ~ AV _{REF0} + 0.5 ^注	V

注 それぞれの電源電圧の絶対最大定格 (MAX.値) を越えないようにしてください。

- 注意 1. IC 製品の出力 (または入出力) 端子同士を直結したり、V_{DD} または V_{CC} や GND に直結したりしないでください。
2. 各項目のうち 1 項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。
DC 特性と AC 特性に示す規格や条件が、製品の正常動作、品質保証の範囲です。
3. ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路では直結可能です。

備考 兼用端子の特性は、特に指定のないかぎり、ポート端子と同じです。

絶対最大定格 (T_A = 25) (2/2)

項目	略号	条件	定格	単位	
ロウ・レベル出力電流	I _{OL}	P00-P06, P30-P35, P40-P42, P50-P55, P90, P91, P96-P99, P913-P915, PCM0, PCM1, PDL0-PDL7	1端子	4	mA
			全端子合計	50	mA
		P70-P79	1端子	4	mA
			全端子合計	20	mA
ハイ・レベル出力電流	I _{OH}	P00-P06, P30-P35, P40-P42, P50-P55, P90, P91, P96-P99, P913-P915, PCM0, PCM1, PDL0-PDL7	1端子	- 4	mA
			全端子合計	- 50	mA
		P70-P79	1端子	- 4	mA
			全端子合計	- 20	mA
動作周囲温度	T _A	通常動作モード	- 40 ~ + 85		
		コード・フラッシュ・プログラミング・モード	- 40 ~ + 85		
保存温度	T _{stg}		- 40 ~ + 125		

- 注意 1. IC 製品の出力 (または入出力) 端子同士を直結したり, V_{DD} または V_{CC} や GND に直結したりしないでください。
2. 各項目のうち 1 項目でも, また一瞬でも絶対最大定格を越えると, 製品の品質を損なう恐れがあります。つまり絶対最大定格とは, 製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で, 製品をご使用ください。
- DC 特性と AC 特性に示す規格や条件が, 製品の正常動作, 品質保証の範囲です。
3. ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路では直結可能です。

備考 兼用端子の特性は, 特に指定のないかぎり, ポート端子と同じです。

3.1.2 容 量

($T_A = 25$, $V_{DD} = EV_{DD} = AV_{REF0} = V_{SS} = EV_{SS} = AV_{SS} = 0 V$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
入出力容量	C _{IO}	f _x = 1 MHz, 被測定端子以外は0 V			10	pF

3.1.3 動作条件

($T_A = -40 \sim +85$, $V_{DD} = EV_{DD}, 4.0 V$ $AV_{REF0} 5.5 V, V_{SS} = EV_{SS} = AV_{SS} = 0 V, REGC = 4.7 \mu F$)

内部システム・クロック周波数 (f _{CLK})	電源電圧 (V _{DD})	動作条件
4.0 MHz f _{xx} 32 MHz	3.5 V V _{DD} 5.5 V	すべてのブロックの動作が可能 f _{XP1} 32 MHz : 4.0 V V _{DD} 5.5 V f _{XP1} 20 MHz : 3.5 V V _{DD} < 4.0 V
	3.3 V V _{DD} < 3.5 V	次のブロックの動作が可能 - CPU - Flash (プログラミングを含む) - RAM - Port (I/Oバッファ) - Watch Timer - Watchdog Timer 2 - Interrupt Contoroller - Clock Monitor - POC - Low Voltage Detector
32 kHz f _{XT} 35 kHz (水晶振動子) 12.5 kHz f _{XT} 27.5 kHz ^注 (RC)	3.3 V V _{DD} 5.5 V	-
240 kHz (低速内蔵発振器)	3.3 V V _{DD} 5.5 V	-

注 内部システム・クロック周波数は発振周波数の 1/2 となります (RC 発振周波数は 25 ~ 55 kHz です)。

備考 f_{XP1} : 周辺クロック用プリスケアラ 1 入力周波数

3.1.4 発振回路特性

メイン・クロック発振回路特性

($T_A = -40 \sim +85$, $V_{DD} = EV_{DD} = 3.3V \sim 5.5V, 4.0V$ $AV_{REF0} = 5.5V, V_{SS} = EV_{SS} = AV_{SS} = 0V$)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位	
セラミック 発振子		発振周波数 (f_x) ^{注1}		4		16	MHz	
		発振安定時間	PCC.MCKビットを1 0へ変更後	64 ^{注2}	注3		μs	
			STOPモード解除後	64 ^{注2}	注3		μs	
			IDLE2モード解除後 ^{注5}	54 ^{注4}	注3		μs	
水晶振動子			発振周波数 (f_x) ^{注1}		4		16	MHz
			発振安定時間	PCC.MCKビットを1 0へ変更後	64 ^{注2}	注3		μs
				STOPモード解除後	64 ^{注2}	注3		μs
				IDLE2モード解除後 ^{注5}	54 ^{注4}	注3		μs

- 注 1. 発振回路の特性だけを示すものです。CPU動作クロックについては、3.1.11 AC特性を参照してください。
2. OSTSレジスタで設定可能な最小時間です。
3. OSTSレジスタの設定によって値が異なります。
4. 内蔵ROMのセットアップに必要な時間です。OSTSレジスタによって確実にセットアップ時間を確保してください。
5. IDLE2モードでは、メイン・クロック発振は停止しません。

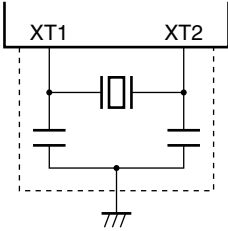
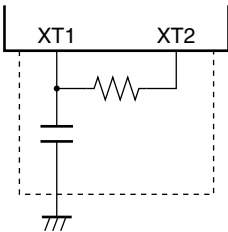
注意 1. メイン・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常にV_{SS}と同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2. メイン・クロックを停止させサブクロックで動作させているときに、再度メイン・クロックに切り替える場合には、プログラムで発振安定時間を確保したあとに切り替えてください。

サブクロック発振回路特性

($T_A = -40 \sim +85$, $V_{DD} = EV_{DD} = 3.3 V \sim 5.5 V, 4.0 V$ $AV_{REF0} = 5.5 V, V_{SS} = EV_{SS} = AV_{SS} = 0 V$)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
水晶振動子		発振周波数 ^{注1}		32	32.768	35	kHz
		発振安定時間 ^{注2}				10	s
RC発振子		発振周波数 ^{注1, 4}	$R = 390 k\Omega \pm 5 \%$ ^{注3} $C = 47 pF \pm 10 \%$ ^{注3}	25	40	55	kHz
		発振安定時間 ^{注2}				100	μs

注 1. 発振回路の特性だけを示すものです。CPU 動作クロックについては、3. 1. 11 AC 特性を参照してください。

- 2. V_{DD} が発振電圧範囲 (MIN. 3.3 V) に達してから発振が安定するまでの時間です。
- 3. 配線容量の影響を避けるため、配線は極力短くしてください。
- 4. RC 発振周波数は、40 kHz (TYP.値) です。このクロックは内部で 2 分周されます。RC 発振子の場合、サブクロック周波数 (f_{XT}) は、12.5 kHz (MIN.値) , 20 kHz (TYP.値) , 27.5 kHz (MAX.値) です。

注意 1. サブクロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- 配線は極力短くする。
 - 他の信号線と交差させない。
 - 変化する大電流が流れる線に接近させない。
 - 発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
 - 大電流が流れるグラウンド・パターンに接地しない。
 - 発振回路から信号を取り出さない。
2. サブクロック発振回路は、低消費電流にするため増幅度の低い回路になっており、ノイズによる誤動作がメイン・クロックよりも起こりやすくなっています。したがって、サブクロックを使用する場合は、配線方法について特に注意してください。

3.1.5 PLL 特性

($T_A = -40 \sim +85$, $V_{DD} = EV_{DD} = 3.3V \sim 5.5V, 4.0V$ $AV_{REF0} = 5.5V, V_{SS} = EV_{SS} = AV_{SS} = 0V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力周波数	f_x		4		16	MHz
出力周波数	f_{xx}		12		32	MHz
ロック時間	t_{PLL}	V_{DD} がMIN. 3.3Vに達したあと			800	μs

3.1.6 SSCG 特性

($T_A = -40 \sim +85$, $V_{DD} = EV_{DD} = 3.3V \sim 5.5V, 4.0V$ $AV_{REF0} = 5.5V, V_{SS} = EV_{SS} = AV_{SS} = 0V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力周波数	f_x		4		16	MHz
出力周波数	f_{xx}		12		32	MHz
ロック時間	t_{SSCG}	V_{DD} がMIN. 3.3Vに達したあと			1000	μs

注意 周波数変調率は、SFC1.SFC16-SFC14ビットの設定値により次の表に示すようになります。

周波数変調後の周波数は、出力周波数のMIN.値、MAX.値を逸脱しないようにしてください。

変調率がMAX.時に出力周波数のMAX.値を逸脱しない最大周波数（変調前周波数）を次の表に示します。

SFC1.SFC16-SFC14ビット の設定値	周波数変調率		変調前周波数
	TYP.	MAX.	
000B	±0.5%	±2.0%	31.4 MHz
001B	±1.0%	±2.5%	31.2 MHz
010B	±2.0%	±4.0%	30.7 MHz
011B	±3.0%	±6.0%	30.1 MHz
100B	±4.0%	±8.0%	29.4 MHz
101B	±5.0%	±10.0%	28.8 MHz

3.1.7 内蔵発振器特性

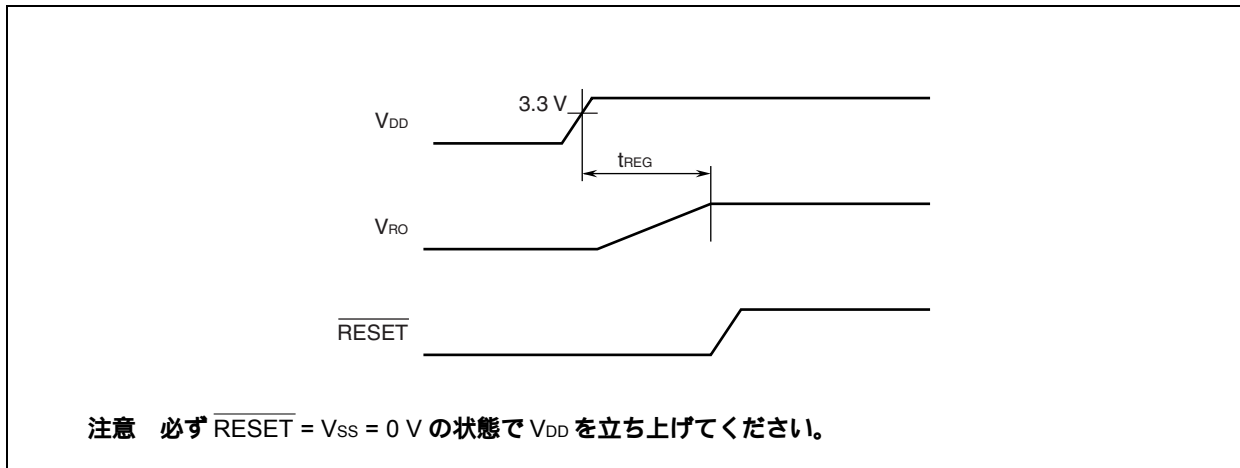
($T_A = -40 \sim +85$, $V_{DD} = EV_{DD} = 3.3V \sim 5.5V, 4.0V$ $AV_{REF0} = 5.5V, V_{SS} = EV_{SS} = AV_{SS} = 0V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
出力周波数	f_{RL}	低速内蔵発振器	204	240	276	kHz
	f_{RH}	高速内蔵発振器	7.2	8.0	8.8	MHz
発振安定時間		低速内蔵発振器		10	36	μs
		高速内蔵発振器	51	92	256	μs

3.1.8 電圧レギュレータ特性

($T_A = -40 \sim +85$, $V_{DD} = EV_{DD}$, $V_{SS} = EV_{SS} = AV_{SS} = 0V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力電圧	V_{DD}		3.3		5.5	V
出力電圧	V_{RO}			2.5		V
出力電圧安定時間	t_{REG}	<ul style="list-style-type: none"> • V_{DD}がMIN. 3.3 Vに達したあと • REGC端子に$C = 4.7 \mu F (\pm 20\%)$を接続 			1	ms



3.1.9 DC 特性

(1) 入出力レベル

($T_A = -40 \sim +85$, $V_{DD} = EV_{DD} = 3.3 V \sim 5.5 V, 4.0 V$ $AV_{REF0} = 5.5 V, V_{SS} = EV_{SS} = AV_{SS} = 0 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル入力電圧	V_{IH1}	P04, P30, P31, P34, P40, P91, P913-P915	$0.7EV_{DD}$		EV_{DD}	V	
	V_{IH2}	P00-P03, P05, P06, P32, P33, P35, P41, P42, P50-P55, P90, P96-P99, PDL0-PDL7	$0.8EV_{DD}$		EV_{DD}	V	
	V_{IH3}	PCM0, PCM1	$0.7EV_{DD}$		EV_{DD}	V	
	V_{IH4}	P70-P79	$0.7AV_{REF0}$		AV_{REF0}	V	
	V_{IH5}	RESET, FLMD0	$0.8EV_{DD}$		EV_{DD}	V	
ロウ・レベル入力電圧	V_{IL1}	P04, P30, P31, P34, P40, P91, P913-P915	EV_{SS}		$0.3EV_{DD}$	V	
	V_{IL2}	P00-P03, P05, P06, P32, P33, P35, P41, P42, P50-P55, P90, P96-P99, PDL0-PDL7	EV_{SS}		$0.4EV_{DD}$	V	
	V_{IL3}	PCM0, PCM1	EV_{SS}		$0.3EV_{DD}$	V	
	V_{IL4}	P70-P79	AV_{SS}		$0.3AV_{REF0}$	V	
	V_{IL5}	RESET, FLMD0	EV_{SS}		$0.2EV_{DD}$	V	
ハイ・レベル出力電圧 ^{注1}	V_{OH1}	P00-P06, P30-P35, P40-P42, P50-P55, P90, P91, P96-P99, P913-P915, PCM0, PCM1, PDL0-PDL7	$I_{OH} = -1.0 \text{ mA}$	$EV_{DD} - 1.0$		EV_{DD}	V
			$I_{OH} = -0.1 \text{ mA}$	$EV_{DD} - 0.5$		EV_{DD}	V
	V_{OH3}	P70-P79	$I_{OH} = -1.0 \text{ mA}$	$AV_{REF0} - 1.0$		AV_{REF0}	V
			$I_{OH} = -0.1 \text{ mA}$	$AV_{REF0} - 0.5$		AV_{REF0}	V
ロウ・レベル出力電圧 ^{注1}	V_{OL1}	P00-P06, P30-P35, P40-P42, P50-P55, P90, P91, P96-P99, P913, PCM0, PCM1, PDL0-PDL7	$I_{OL} = 1.0 \text{ mA}$	0		0.4	V
			P914, P915	$I_{OL} = 3.0 \text{ mA}$	0		0.4
	V_{OL3}	P70-P79	$I_{OL} = 1.0 \text{ mA}$	0		0.4	V
プルアップ抵抗	R_1	$V_i = 0 V$	10	30	100	kΩ	
プルダウン抵抗 ^{注2}	R_2	$V_i = V_{DD}$	10	30	100	kΩ	

注 1. I_{OH}/I_{OL} の合計の最大値は、電源 (EV_{DD}) にて 20 mA / - 20 mA です。

I_{OH}/I_{OL} の合計の最大値は、電源 (AV_{REF0}) にて 10 mA / - 10 mA です。

2. \overline{DRST} 端子として使用する場合 (コントロール・レジスタは OCDM です)。

備考 兼用端子の特性は、特に指定のないかぎり、ポート端子と同じです。

(2) 端子リーク電流

($T_A = -40 \sim +85$, $V_{DD} = EV_{DD} = 3.3V \sim 5.5V, 4.0V$ $AV_{REF0} = 5.5V, V_{SS} = EV_{SS} = AV_{SS} = 0V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力リーク電流	I _{LIH1}	V _I = V _{DD}	アナログ端子		0.2	μA
			アナログ端子以外 ^注		0.5	μA
ロウ・レベル入力リーク電流	I _{LIL1}	V _I = 0V	アナログ端子		-0.2	μA
			アナログ端子以外 ^注		-0.5	μA
ハイ・レベル出力リーク電流	I _{LOH1}	V _O = V _{DD}	アナログ端子		0.2	μA
			アナログ端子以外		0.5	μA
ロウ・レベル出力リーク電流	I _{LOL1}	V _O = 0V	アナログ端子		-0.2	μA
			アナログ端子以外		-0.5	μA

注 FLMD0 端子の入力リーク電流は次のとおりです

ハイ・レベル入力リーク電流 : 2.0 μA

ロウ・レベル入力リーク電流 : -2.0 μA

(a) 入力ヒステリシス (参考特性)

($T_A = -40 \sim +85$, $V_{DD} = EV_{DD} = 3.3V \sim 5.5V, 4.0V$ $AV_{REF0} = 5.5V, V_{SS} = EV_{SS} = AV_{SS} = 0V$)

項目	略号	条件	TYP.	単位
入力ヒステリシス	V _{HYS1}	入力スイッチング中心電圧 : 0.5 × EV _{DD} , P04, P30, P31, P34, P40, P91, P913-P915	0.267 × EV _{DD} - 0.51	V
	V _{HYS2}	入力スイッチング中心電圧 : 0.6 × EV _{DD} , P00-P03, P05, P06, P32, P33, P35, P41, P42, P50-P55, P90, P96-P99, PDL0-PDL7	0.192 × EV _{DD} - 0.31	V
	V _{HYS5}	入力スイッチング中心電圧 : 0.5 × EV _{DD} , RESET, FLMD0	0.535 × EV _{DD} - 0.9	V

注意 上記参考特性は、開発時の設計検討および製品特性を元に定めています。製品出荷時に検査を行いません。
そのため上記参考特性は、保証しておりません。

備考 兼用端子の特性は、特に指定のないかぎり、ポート端子と同じです。

(3) 電源電流

電源電流 (1/3)

($T_A = -40 \sim +85$, $V_{DD} = EV_{DD} = 3.3V \sim 5.5V, 4.0V$ $AV_{REF0} = 5.5V, V_{SS} = EV_{SS} = AV_{SS} = 0V$)

項目	略号	条 件					MIN.	TYP.	MAX.	単位
電源電流 ^{注1}	IDD1	通常動作モード ^{注2,7}	全周辺機能動作	OB_7B.PRSI ビット = 0 ($f_{XP1} = f_{XX}$)	PLL : 停止 (4 MHz f_{XX} 16 MHz)	$f_{XX} = 8$ MHz (f_{RH} , 高速内蔵発振) ^{注3}	-	13	20	mA
						$f_{XX} = 16$ MHz ($f_x = 16$ MHz)	-	21	30	mA
				PLL : 動作 (16 MHz f_{XX} 32 MHz)	$f_{XX} = 20$ MHz ($f_x = 5$ MHz)	-	27	37	mA	
					$f_{XX} = 32$ MHz ($f_x = 16$ MHz)	-	39	51	mA	
				OB_7B.PRSI ビット = 1 ($f_{XP1} = f_{XX}/2$)	PLL : 動作 (16 MHz f_{XX} 32 MHz)	$f_{XX} = 32$ MHz ($f_x = 16$ MHz)	-	35	47	mA
		全周辺機能停止	OB_7B.PRSI ビット = 0 ($f_{XP1} = f_{XX}$)	PLL : 停止 (4 MHz f_{XX} 16 MHz)	$f_{XX} = 8$ MHz (f_{RH} , 高速内蔵発振) ^{注3}	-	12	-	mA	
					$f_{XX} = 16$ MHz ($f_x = 16$ MHz)	-	19	-	mA	
				PLL : 動作 (16 MHz f_{XX} 32 MHz)	$f_{XX} = 20$ MHz ($f_x = 5$ MHz)	-	22	-	mA	
					$f_{XX} = 32$ MHz ($f_x = 16$ MHz)	-	32	-	mA	
				OB_7B.PRSI ビット = 1 ($f_{XP1} = f_{XX}/2$)	PLL : 動作 (16 MHz f_{XX} 32 MHz)	$f_{XX} = 32$ MHz ($f_x = 16$ MHz)	-	31	-	mA

電源電流 (2/3)

($T_A = -40 \sim +85$, $V_{DD} = EV_{DD} = 3.3 V \sim 5.5 V, 4.0 V$ $AV_{REF0} = 5.5 V, V_{SS} = EV_{SS} = AV_{SS} = 0 V$)

項目	略号	条 件				MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	IDD2	HALT モード ^{注7}	全周辺 機能 動作	OB_7B.PRSI ビット = 0 ($f_{XP1} = f_{XX}$)	PLL : 停止 (4 MHz f_{XX} 16 MHz)	$f_{XX} = 8$ MHz (f_{RH} , 高速内蔵 発振) ^{注3}	-	8	12	mA
						$f_{XX} = 16$ MHz ($f_X = 16$ MHz)	-	13	20	mA
				PLL : 動作 (16 MHz f_{XX} 32 MHz)	$f_{XX} = 20$ MHz ($f_X = 5$ MHz)	-	16	23	mA	
					$f_{XX} = 32$ MHz ($f_X = 16$ MHz)	-	24	34	mA	
		OB_7B.PRSI ビット = 1 ($f_{XP1} = f_{XX}/2$)	PLL : 動作 (16 MHz f_{XX} 32 MHz)	$f_{XX} = 32$ MHz ($f_X = 16$ MHz)	-	20	27	mA		
			全周辺 機能 停止	OB_7B.PRSI ビット = 0 ($f_{XP1} = f_{XX}$)	PLL : 停止 (4 MHz f_{XX} 16 MHz)	$f_{XX} = 8$ MHz (f_{RH} , 高速内蔵 発振) ^{注3}	-	5	-	mA
						$f_{XX} = 16$ MHz ($f_X = 16$ MHz)	-	9	-	mA
				PLL : 動作 (16 MHz f_{XX} 32 MHz)	$f_{XX} = 20$ MHz ($f_X = 5$ MHz)	-	12	-	mA	
	$f_{XX} = 32$ MHz ($f_X = 16$ MHz)	-	18		-	mA				
	IDD3	IDLE1 モード	周辺 機能 (TAA , UARTD) 動作	-	PLL : 停止 (4 MHz f_{XX} 16 MHz) ^{注4}	$f_{XX} = 5$ MHz ($f_X = 5$ MHz)	-	1.4	2.2	mA
						$f_{XX} = 12$ MHz ($f_X = 12$ MHz)	-	2.0	3.1	mA
						$f_{XX} = 16$ MHz ($f_X = 16$ MHz)	-	2.4	3.6	mA
						$f_{XX} = 8$ MHz (f_{RH} , 高速内蔵 発振) ^{注3}	-	1.5	2.3	mA
			周辺 機能 (TAA , UARTD) 停止	-	PLL : 停止 (4 MHz f_{XX} 16 MHz) ^{注4}	$f_{XX} = 5$ MHz ($f_X = 5$ MHz)	-	1.2	-	mA
						$f_{XX} = 12$ MHz ($f_X = 12$ MHz)	-	1.4	-	mA
						$f_{XX} = 16$ MHz ($f_X = 16$ MHz)	-	1.6	-	mA
$f_{XX} = 8$ MHz (f_{RH} , 高速内蔵 発振) ^{注3}						-	1.1	-	mA	

電源電流 (3/3)

($T_A = -40 \sim +85$, $V_{DD} = EV_{DD} = 3.3 V \sim 5.5 V, 4.0 V$ $AV_{REF0} = 5.5 V, V_{SS} = EV_{SS} = AV_{SS} = 0 V$)

項目	略号	条 件				MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	IDD4	IDLE2 モード	-	-	PLL : 停止 (4 MHz f_{XX} 16 MHz) ^{注4}	$f_{XX} = 5 \text{ MHz}$ ($f_x = 5 \text{ MHz}$)	-	0.4	0.7	mA
						$f_{XX} = 12 \text{ MHz}$ ($f_x = 12 \text{ MHz}$)	-	0.7	1.0	mA
						$f_{XX} = 16 \text{ MHz}$ ($f_x = 16 \text{ MHz}$)	-	0.8	1.2	mA
						$f_{XX} = 8 \text{ MHz}$ (f_{RH} , 高速内蔵 発振) ^{注3}	-	0.2	0.5	mA
	IDD5	サブク ロック 動作 モード	-	-	-	$f_{XT} = 32.768 \text{ kHz}$ (水晶振動子)	-	80	400	μA
						$f_{XT} = 40 \text{ kHz}$ (TYP.) (RC発振)	-	80	400	μA
						$f_{RL} = 240 \text{ kHz}$ (TYP.) (低速 内蔵発振) ^{注5}	-	220	1000	μA
	IDD6	サブ IDLE モード ^{注3, 6}	-	-	-	$f_{XT} = 32.768 \text{ kHz}$ (水晶振動子)	-	20	190	μA
						$f_{XT} = 40 \text{ kHz}$ (TYP.) (RC発振)	-	40	220	μA
						$f_{RL} = 240 \text{ kHz}$ (TYP.) (低速 内蔵発振) ^{注5}	-	25	180	μA
	IDD7	STOP モード ^{注3, 5}	-	-	-	POC機能 : 停止, 低速内蔵発振 : 停止	-	7.5	80	μA
						POC機能 : 停止, 低速内蔵発振 : 発振	-	15.5	95	μA
						POC機能 : 動作, 低速内蔵発振 : 停止	-	10.5	85	μA
						POC機能 : 動作, 低速内蔵発振 : 発振	-	18.5	100	μA

- 注1. V_{DD} , EV_{DD} の電流の合計です (全ポート停止時)。 AV_{REF0} の電流, 内蔵プルアップ抵抗を通過する電流を含むポート・バッファの電流は含みません。
2. セルフ・プログラミング・モード時およびデータ・フラッシュの書き換え時を除く。セルフ・プログラミング・モード時およびデータ・フラッシュの書き換え時は, 次の値を MAX.値に加えてください。

加算値:

(セルフ・プログラミング・モード時)

$$\text{(PLL 停止時)} : 7 - (0.33 \times f_{xx} + 0.1) \text{ [mA]}$$

$$f_{xx} = 16 \text{ MHz 時} : 7 - (0.33 \times 16 + 0.1) = 1.62 \text{ mA}$$

$$\text{(PLL 動作時)} : 7 - (0.18 \times f_{xx} + 3.0) \text{ [mA]}$$

$$f_{xx} = 32 \text{ MHz 時} : 7 - (0.18 \times 32 + 3.0) = -1.76 \text{ mA}$$

(データ・フラッシュ書き換え時)

$$\text{(PLL 停止時)} : 7 - (0.18 \times f_{xx}/4 + 3.0) \text{ [mA]}$$

$$f_{xx} = 16 \text{ MHz 時} : 7 - (0.18 \times 16/4 + 3.0) = 3.28 \text{ mA}$$

$$\text{(PLL 動作時)} : 7 - (0.18 \times f_{xx}/4 + 3.0) \text{ [mA]}$$

$$f_{xx} = 32 \text{ MHz 時} : 7 - (0.18 \times 32/4 + 3.0) = 2.56 \text{ mA}$$

3. メイン・クロック発振回路停止時。
4. 高速内蔵発振器停止時。
5. サブクロック発振回路未使用時。
6. POC 動作, 低速内蔵発振器動作, 高速内蔵発振器停止時。
7. SSCG 動作許可時は, TYP.値に +2.5 mA, MAX.値に +4 mA を加算してください。

備考 OB_7B は, オプション・バイト (007BH) です。

電源電流 (参考算出式)

($T_A = -40 \sim +85$, $V_{DD} = EV_{DD} = 3.3V \sim 5.5V, 4.0V$ $AV_{REF0} = 5.5V, V_{SS} = EV_{SS} = AV_{SS} = 0V$)

項目	略号	条 件			TYP.	MAX.	単位		
電源電流 ^{注1}	IDD1	通常動作モード ^{注2, 4}	全周辺機能動作	OB_7B.PRSI ビット = 0 ($f_{XP1} = f_{XX}$)	PLL : 停止 (4 MHz f_{XX} 16 MHz)	$0.98 \times f_{XX}$ + 5.5	$1.18 \times f_{XX}$ + 10.6	mA	
					PLL : 動作 (16 MHz f_{XX} 32 MHz)	$0.98 \times f_{XX}$ + 7.1	$1.18 \times f_{XX}$ + 13.6	mA	
				OB_7B.PRSI ビット = 1 ($f_{XP1} = f_{XX}/2$)	PLL : 動作 (16 MHz f_{XX} 32 MHz)	$0.90 \times f_{XX}$ + 6.0	$1.08 \times f_{XX}$ + 12.2	mA	
				全周辺機能停止	OB_7B.PRSI ビット = 0 ($f_{XP1} = f_{XX}$)	PLL : 停止 (4 MHz f_{XX} 16 MHz)	$0.83 \times f_{XX}$ + 5.7	-	mA
					PLL : 動作 (16 MHz f_{XX} 32 MHz)	$0.81 \times f_{XX}$ + 6.2	-	mA	
			OB_7B.PRSI ビット = 1 ($f_{XP1} = f_{XX}/2$)		PLL : 動作 (16 MHz f_{XX} 32 MHz)	$0.79 \times f_{XX}$ + 6.2	-	mA	
	IDD2	HALTモード ^{注4}	全周辺機能動作	OB_7B.PRSI ビット = 0 ($f_{XP1} = f_{XX}$)	PLL : 停止 (4 MHz f_{XX} 16 MHz)	$0.70 \times f_{XX}$ + 1.9	$1.00 \times f_{XX}$ + 4.0	mA	
					PLL : 動作 (16 MHz f_{XX} 32 MHz)	$0.67 \times f_{XX}$ + 3.0	$0.90 \times f_{XX}$ + 5.4	mA	
				OB_7B.PRSI ビット = 1 ($f_{XP1} = f_{XX}/2$)	PLL : 動作 (16 MHz f_{XX} 32 MHz)	$0.55 \times f_{XX}$ + 2.8	$0.64 \times f_{XX}$ + 7.0	mA	
				全周辺機能停止	OB_7B.PRSI ビット = 0 ($f_{XP1} = f_{XX}$)	PLL : 停止 (4 MHz f_{XX} 16 MHz)	$0.44 \times f_{XX}$ + 1.6	-	mA
					PLL : 動作 (16 MHz f_{XX} 32 MHz)	$0.46 \times f_{XX}$ + 2.8	-	mA	
			OB_7B.PRSI ビット = 1 ($f_{XP1} = f_{XX}/2$)		PLL : 動作 (16 MHz f_{XX} 32 MHz)	$0.46 \times f_{XX}$ + 1.8	-	mA	
IDD3	IDLE1モード	周辺機能 (TAA, UARTD) 動作	-	PLL : 停止 (4 MHz f_{XX} 16 MHz) ^{注3}	$0.092 \times f_{XX}$ + 0.90	$0.128 \times f_{XX}$ + 1.52	mA		
		周辺機能 (TAA, UARTD) 停止	-	PLL : 停止 (4 MHz f_{XX} 16 MHz) ^{注3}	$0.035 \times f_{XX}$ + 1.01	-	mA		
IDD4	IDLE2モード	-	-	PLL : 停止 (4 MHz f_{XX} 16 MHz) ^{注3}	$0.037 \times f_{XX}$ + 0.21	$0.049 \times f_{XX}$ + 0.43	mA		

- 注1. V_{DD} , EV_{DD} の電流の合計です (全ポート停止時)。 AV_{REF0} の電流, 内蔵プルアップ/プルダウン抵抗を通過する電流を含むポート・バッファの電流は含みません。
2. セルフ・プログラミング・モード時およびデータ・フラッシュの書き換え時を除く。
セルフ・プログラミング・モード時およびデータ・フラッシュの書き換え時は, 次の値を MAX.値に加えてください。

加算値:

(セルフ・プログラミング・モード時)

$$\text{(PLL 停止時)} : 7 - (0.33 \times f_{xx} + 0.1) \text{ [mA]}$$

$$f_{xx} = 16 \text{ MHz 時} : 7 - (0.33 \times 16 + 0.1) = 1.62 \text{ mA}$$

$$\text{(PLL 動作時)} : 7 - (0.18 \times f_{xx} + 3.0) \text{ [mA]}$$

$$f_{xx} = 32 \text{ MHz 時} : 7 - (0.18 \times 32 + 3.0) = -1.76 \text{ mA}$$

(データ・フラッシュ書き換え時)

$$\text{(PLL 停止時)} : 7 - (0.18 \times f_{xx}/4 + 3.0) \text{ [mA]}$$

$$f_{xx} = 16 \text{ MHz 時} : 7 - (0.18 \times 16/4 + 3.0) = 3.28 \text{ mA}$$

$$\text{(PLL 動作時)} : 7 - (0.18 \times f_{xx}/4 + 3.0) \text{ [mA]}$$

$$f_{xx} = 32 \text{ MHz 時} : 7 - (0.18 \times 32/4 + 3.0) = 2.56 \text{ mA}$$

3. 高速内蔵発振器停止時。
4. SSCG 動作許可時は, TYP.値に +2.5 mA, MAX.値に +4 mA を加算してください。

備考1. OB_7B は, オプション・バイト (007BH) です。

2. f_{xx} の単位は, MHz です。

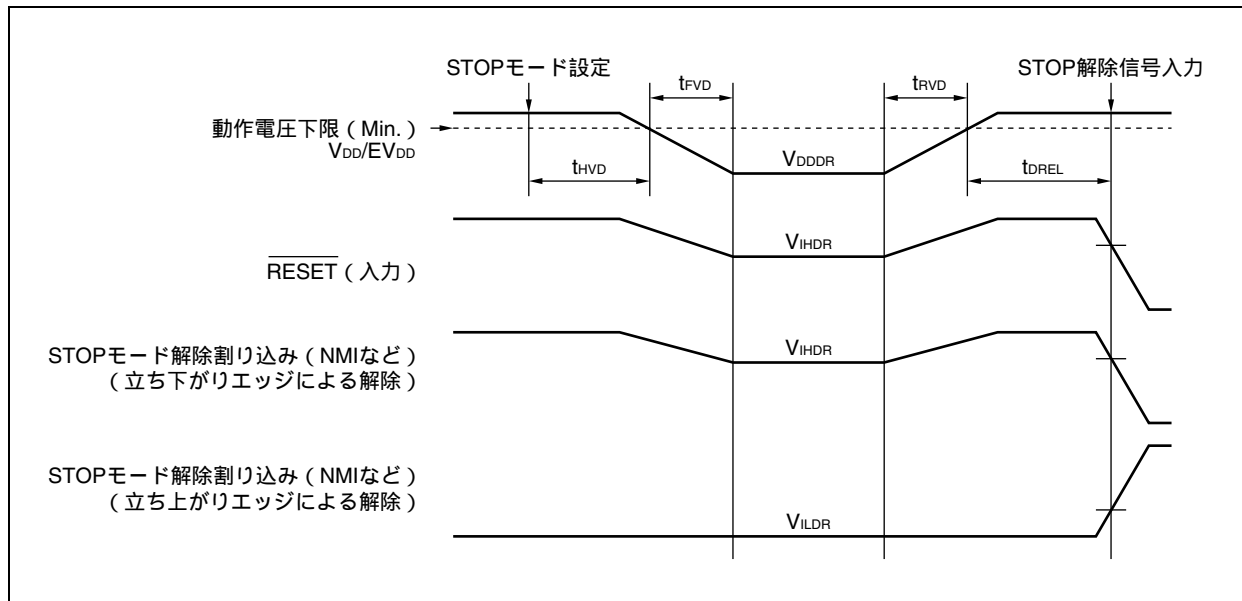
3. 1. 10 データ保持特性

STOPモード時

($T_A = -40 \sim +85$, $V_{DD} = EV_{DD} = 1.9V \sim 5.5V$, $V_{SS} = EV_{SS} = AV_{SS} = 0V$)

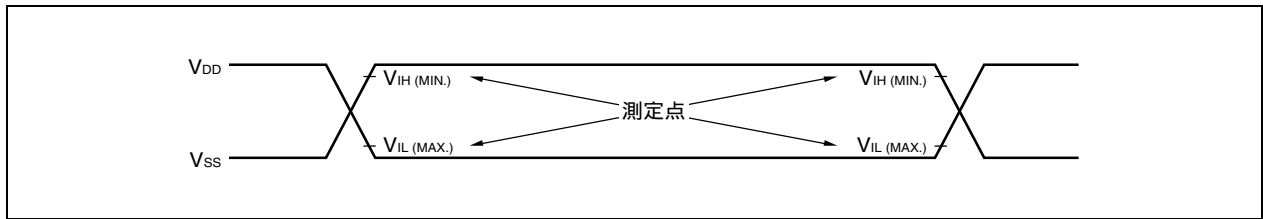
項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電圧	V_{DDDR}	STOPモード (全機能停止)	1.9		5.5	V
データ保持電流	I_{DDDR}	$V_{DDDR} = 2.0V$ (全機能停止)		6.5	70	μA
電源電圧立ち上がり時間	t_{RVD}		1			μs
電源電圧立ち下がり時間	t_{FVD}		1			μs
電源電圧保持時間	t_{HVD}	STOPモード解除後	0			ms
STOP解除信号入力時間	t_{DREL}	V_{DD} がMIN. 3.3Vに達したあと	0			μs
データ保持ハイ・レベル入力電圧	V_{IHDR}	すべての入力ポート	$0.9 V_{DDDR}$		V_{DDDR}	V
データ保持ロウ・レベル入力電圧	V_{ILDR}	すべての入力ポート	0		$0.1 V_{DDDR}$	V

注意 STOPモードへの移行, およびSTOPモードからの復帰は, 動作範囲内で行ってください。

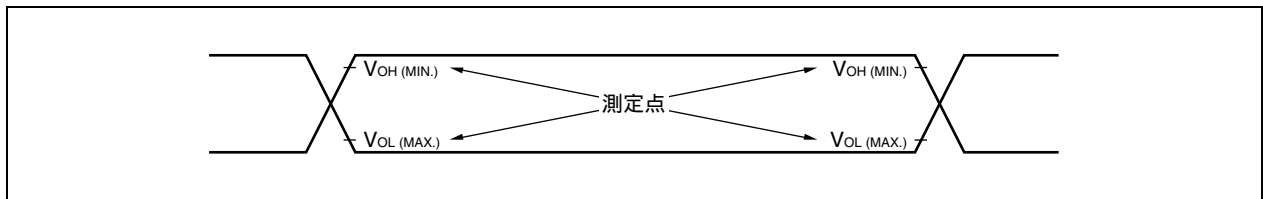


3. 1. 11 AC 特性

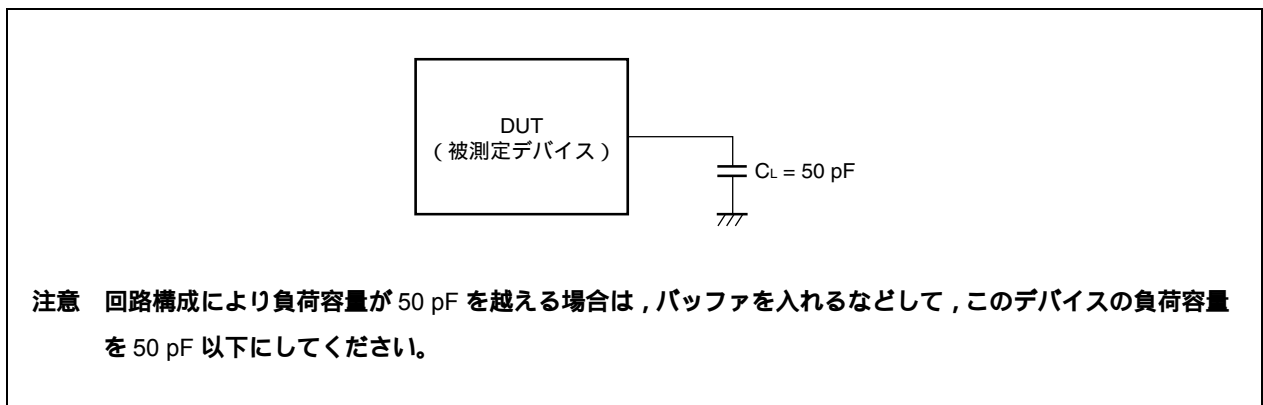
AC テスト入力測定点 (V_{DD} , AV_{REF0} , EV_{DD})



AC テスト出力測定点



負荷条件

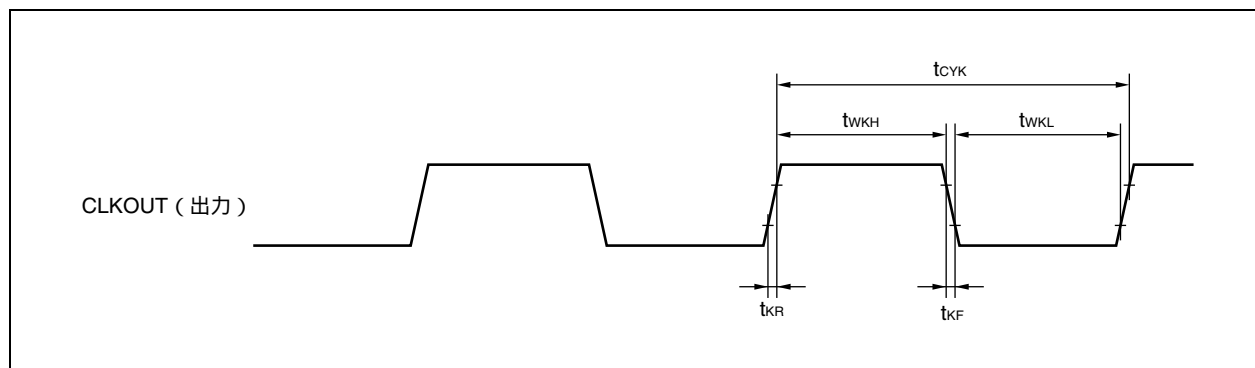


(1) CLKOUT 出力タイミング

($T_A = -40 \sim +85$, $V_{DD} = EV_{DD} = 3.5 \text{ V} \sim 5.5 \text{ V}, 4.0 \text{ V}$ $AV_{REF0} = 5.5 \text{ V}, V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}, C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
出力周期	t_{CYK}	3.5 V $V_{DD} = EV_{DD} < 4.0 \text{ V}$	50 ns	80 μs	
		4.0 V $V_{DD} = EV_{DD} = 5.5 \text{ V}$	31.25 ns	80 μs	
ハイ・レベル幅	t_{WKH}	3.5 V $V_{DD} = EV_{DD} < 4.0 \text{ V}$	$t_{CYK}/2 - 15$		ns
		4.0 V $V_{DD} = EV_{DD} = 5.5 \text{ V}$	$t_{CYK}/2 - 13$		ns
ロウ・レベル幅	t_{WKL}	3.5 V $V_{DD} = EV_{DD} < 4.0 \text{ V}$	$t_{CYK}/2 - 15$		ns
		4.0 V $V_{DD} = EV_{DD} = 5.5 \text{ V}$	$t_{CYK}/2 - 13$		ns
立ち上がり時間	t_{KR}	3.5 V $V_{DD} = EV_{DD} < 4.0 \text{ V}$		15	ns
		4.0 V $V_{DD} = EV_{DD} = 5.5 \text{ V}$		13	ns
立ち下がり時間	t_{KF}	3.5 V $V_{DD} = EV_{DD} < 4.0 \text{ V}$		15	ns
		4.0 V $V_{DD} = EV_{DD} = 5.5 \text{ V}$		13	ns

クロック・タイミング



(2) 基本動作

(a) リセット, 割り込みタイミング

($T_A = -40 \sim +85$, $V_{DD} = EV_{DD} = 3.3V \sim 5.5V, 4.0V$ $AV_{REF0} = 5.5V, V_{SS} = EV_{SS} = AV_{SS} = 0V, C_L = 50pF$)

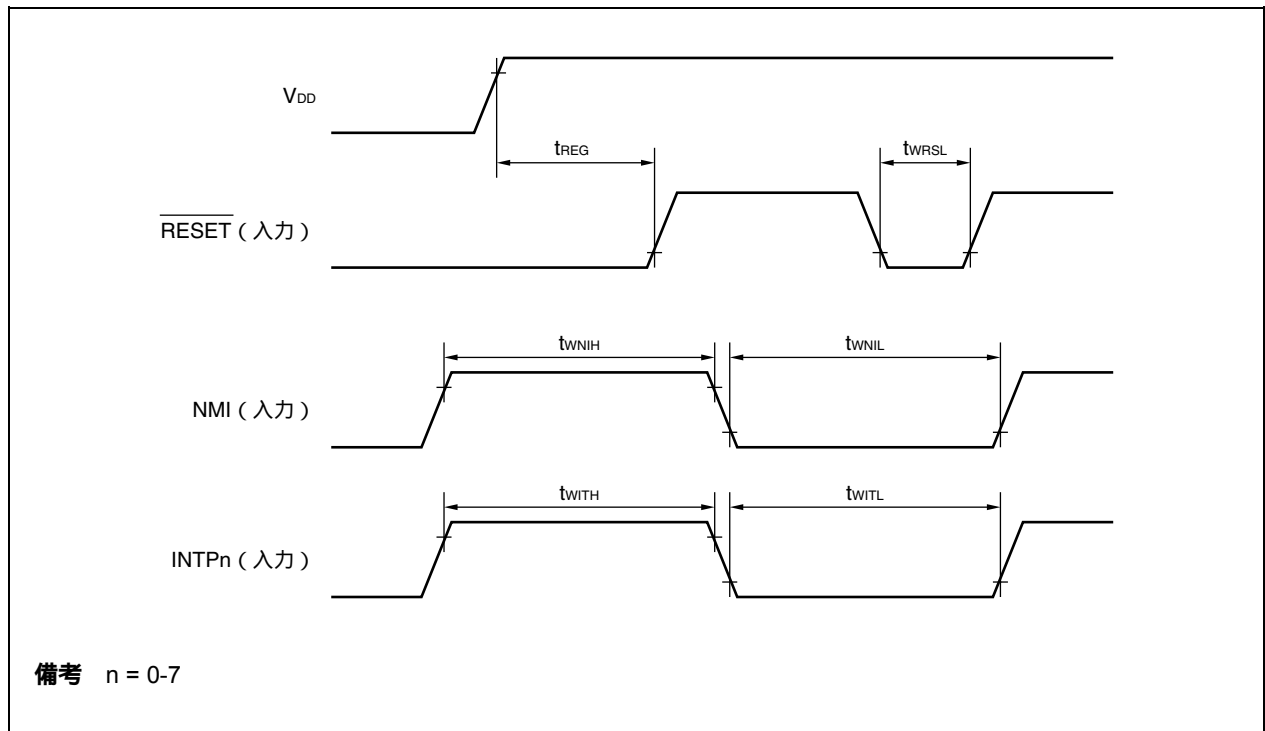
項目	略号	条件	MIN.	MAX.	単位
RESET入力ロウ・レベル幅	t _{WRSL}		250		ns
NMI入力ハイ・レベル幅	t _{WNIH}	アナログ・ノイズ除去	250		ns
NMI入力ロウ・レベル幅	t _{WNIL}	アナログ・ノイズ除去	250		ns
INTPn ^{注1} 入力ハイ・レベル幅	t _{WITH}	アナログ・ノイズ除去 (n = 0-7)	250		ns
		デジタル・ノイズ除去 (n = 3)	注2		ns
INTPn ^{注1} 入力ロウ・レベル幅	t _{WITL}	アナログ・ノイズ除去 (n = 0-7)	250		ns
		デジタル・ノイズ除去 (n = 3)	注2		ns

注 1. ADTRG 入力の値は, 兼用である INTP0 入力の値と同じです。DRST 入力の値は, 兼用である INTP2 の値と同じです。

2. $2T_{smp} + 20$ または $3T_{smp} + 20$

T_{smp} : ノイズ除去用サンプリング・クロックの周期

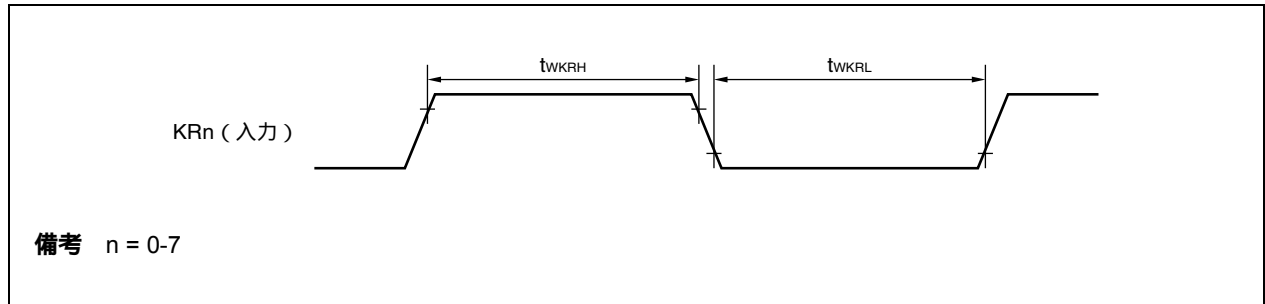
リセット/割り込み



(b) キー・リターン・タイミング

($T_A = -40 \sim +85$, $V_{DD} = EV_{DD} = 3.3 V \sim 5.5 V, 4.0 V$ $AV_{REF0} = 5.5 V, V_{SS} = EV_{SS} = AV_{SS} = 0 V, C_L = 50 pF$)

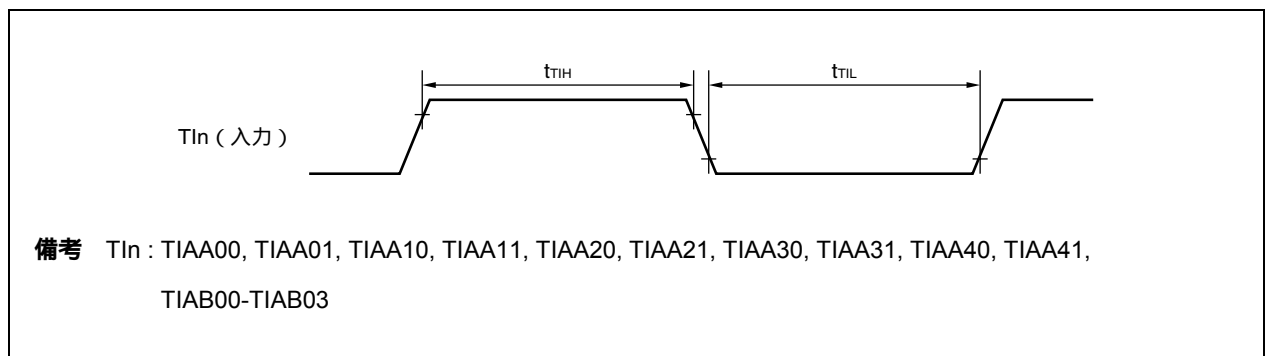
項目	略号	条件	MIN.	MAX.	単位
KRn入力ハイ・レベル幅	t _{WKRH}	アナログ・ノイズ除去 (n = 0-7)	250		ns
KRn入力ロウ・レベル幅	t _{WKRL}		250		ns



(c) タイマ入力タイミング

($T_A = -40 \sim +85$, $V_{DD} = EV_{DD} = 3.5 V \sim 5.5 V, 4.0 V$ $AV_{REF0} = 5.5 V, V_{SS} = EV_{SS} = AV_{SS} = 0 V, C_L = 50 pF$)

項目	略号	条件	MIN.	MAX.	単位
TI入力ハイ・レベル幅	t _{TIH}	TIAA00, TIAA01, TIAA10, TIAA11, TIAA20, TIAA21, TIAA30, TIAA31, TIAA40, TIAA41, TIAB00-TIAB03	250		ns
TI入力ロウ・レベル幅	t _{TIL}		250		ns
TO出力サイクル	f _{CYK}	TOAA00, TOAA01, TOAA10, TOAA11, TOAA20, TOAA21, TOAA30, TOAA31, TOAA40, TOAA41, TOAB00-TOAB03	4.0 V $V_{DD} = 5.5 V$	16	MHz
			3.5 V $V_{DD} < 4.0 V$	10	MHz



(d) CSI タイミング

マスタ・モード

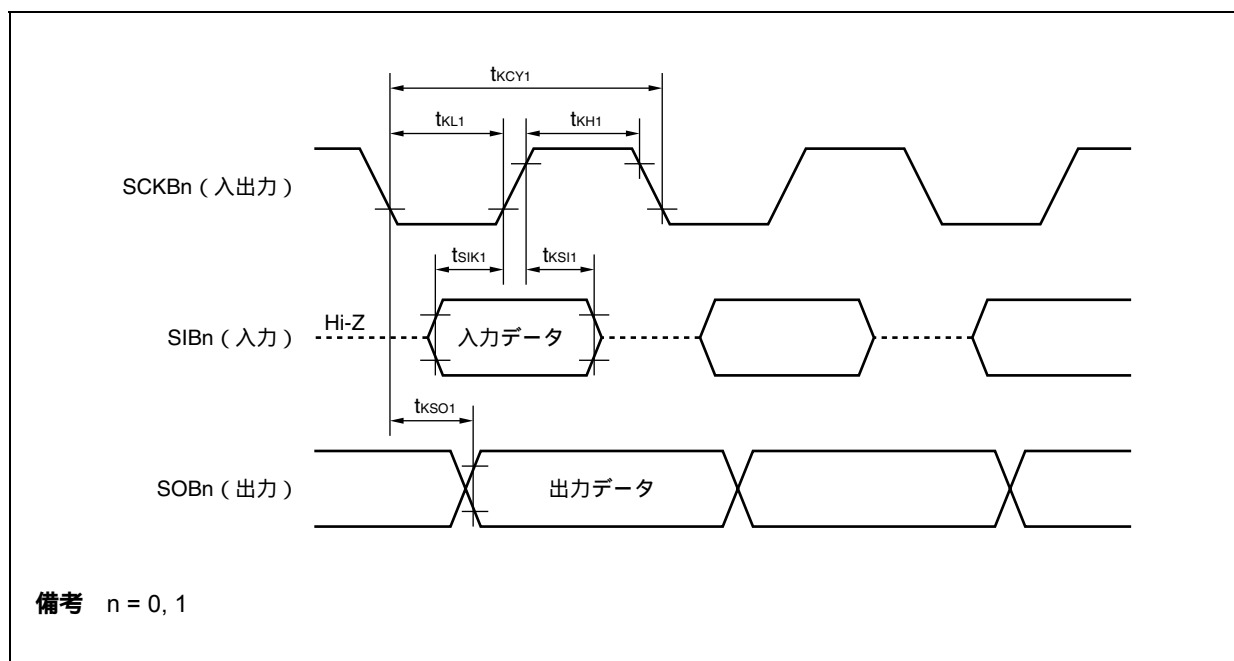
($T_A = -40 \sim +85$, $V_{DD} = EV_{DD} = 3.5 V \sim 5.5 V, 4.0 V$ $AV_{REF0} = 5.5 V, V_{SS} = EV_{SS} = AV_{SS} = 0 V, C_L = 50 pF$)

項目	略号	条件	MIN.	MAX.	単位
SCKBnサイクル・タイム	t_{KCY1}		125		ns
SCKBnハイ・レベル幅	t_{KH1}		$t_{KCY1}/2 - 15$		ns
SCKBnロウ・レベル幅	t_{KL1}		$t_{KCY1}/2 - 15$		ns
SIBn設定時間 (対SCKBn)	t_{SIK1}		30		ns
SIBn保持時間 (対SCKBn)	t_{KSI1}		25		ns
SCKBn SOBn出力遅延時間	t_{KSO1}			25	ns

スレーブ・モード

($T_A = -40 \sim +85$, $V_{DD} = EV_{DD} = 3.5 V \sim 5.5 V, 4.0 V$ $AV_{REF0} = 5.5 V, V_{SS} = EV_{SS} = AV_{SS} = 0 V, C_L = 50 pF$)

項目	略号	条件	MIN.	MAX.	単位
SCKBnサイクル・タイム	t_{KCY1}		200		ns
SCKBnハイ・レベル幅	t_{KH1}		90		ns
SCKBnロウ・レベル幅	t_{KL1}		90		ns
SIBn設定時間 (対SCKBn)	t_{SIK1}		50		ns
SIBn保持時間 (対SCKBn)	t_{KSI1}		50		ns
SCKBn SOBn出力遅延時間	t_{KSO1}			50	ns



(e) UART タイミング

($T_A = -40 \sim +85$, $V_{DD} = EV_{DD} = 3.5 V \sim 5.5 V, 4.0 V$ $AV_{REF0} = 5.5 V, V_{SS} = EV_{SS} = AV_{SS} = 0 V, C_L = 50 pF$)

項目	略号	条件	MIN.	MAX.	単位
通信レート				1.5	Mbps
ASCK0周波数				10	MHz

(f) I²C タイミング

($T_A = -40 \sim +85$, $V_{DD} = EV_{DD} = 3.5 V \sim 5.5 V, 4.0 V$ $AV_{REF0} = 5.5 V, V_{SS} = EV_{SS} = AV_{SS} = 0 V, C_L = 50 pF$)

項目	略号	標準モード		高速モード		単位
		MIN.	MAX.	MIN.	MAX.	
SCL00クロック周波数	f _{CLK}	0	100	0	400	kHz
バス・フリー・タイム (ストップ・スタート・コンディション間)	t _{BUF}	4.7	-	1.3	-	μs
ホールド時間 ^{注1}	t _{HD : STA}	4.0	-	0.6	-	μs
SCL00クロックのロウ・レベル幅	t _{LOW}	4.7	-	1.3	-	μs
SCL00クロックのハイ・レベル幅	t _{HIGH}	4.0	-	0.6	-	μs
スタート/リスタート・コンディションのセットアップ時間	t _{SU : STA}	4.7	-	0.6	-	μs
データ・ホールド 時間	CBUS互換マスタの場合 I ² Cモードの場合	t _{HD : DAT}	5.0	-	-	μs
			0 ^{注2}	-	0 ^{注2}	0.9 ^{注3}
データ・セットアップ時間	t _{SU : DAT}	250	-	100 ^{注4}	-	ns
SDA00およびSCL00信号の立ち上がり時間	t _r	-	1000	20 + 0.1Cb ^{注5}	300	ns
SDA00およびSCL00信号の立ち下がり時間	t _f	-	300	20 + 0.1Cb ^{注5}	300	ns
ストップ・コンディションのセットアップ時間	t _{SU : STO}	4.0	-	0.6	-	μs
入力フィルタによって抑制されるスパイクのパルス幅	t _{SP}	-	-	0	50	ns
各バス・ラインの容量性負荷	C _b	-	400	-	400	pF

注1. スタート・コンディション時に、最初のクロック・パルスは、ホールド時間のあとに生成されます。

2. 装置は、SCL00 の立ち下がり端の未定義領域を埋めるために (SCL00 信号の V_{IHmin} での) SDA00 信号用に最低 300 ns のホールド時間を内部的に提供する必要があります。

3. 装置が SCL00 信号のロウ・ホールド時間 (t_{LOW}) を延長しない場合は、最大データ・ホールド時間 (t_{HD : DAT}) のみ満たすことが必要です。

4. 高速モード I²C バスは、標準モード I²C バス・システム内で利用できます。この場合、次の条件を満たすようにしてください。

- ・装置が SCL00 信号のロウ状態ホールド時間を延長しない場合

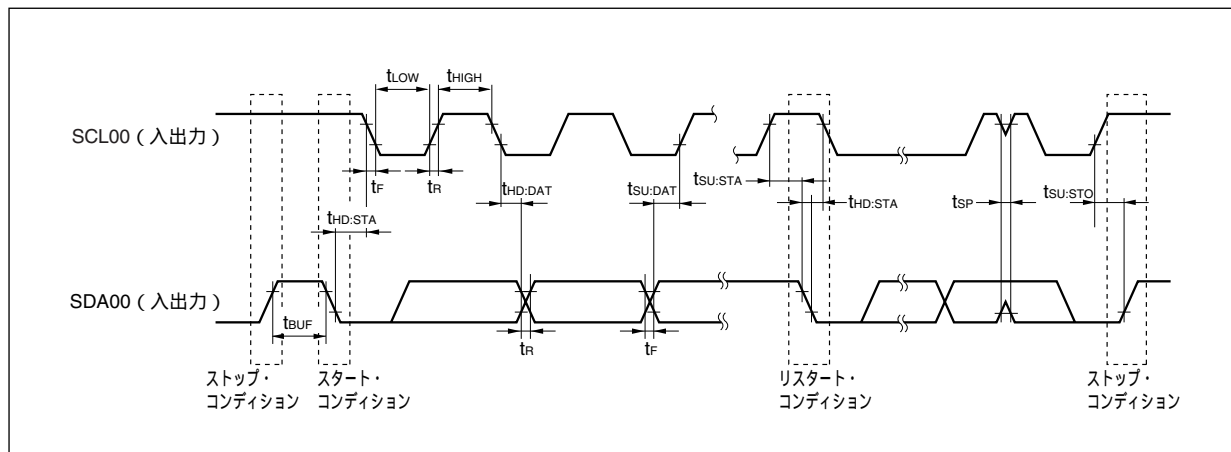
t_{SU : DAT} 250 ns

- ・装置が SCL00 信号のロウ状態ホールド時間を延長する場合

SCL00 ラインが解放される (t_{rmax} + t_{SU : DAT} = 1000 + 250 = 1250 ns : 標準モード I²C バス仕様) 前に、次のデータ・ビットを SDA00 ラインに送出してください。

5. C_b : 1 つのバス・ラインの合計キャパシタンス (単位 : pF)

I²Cバス・モード

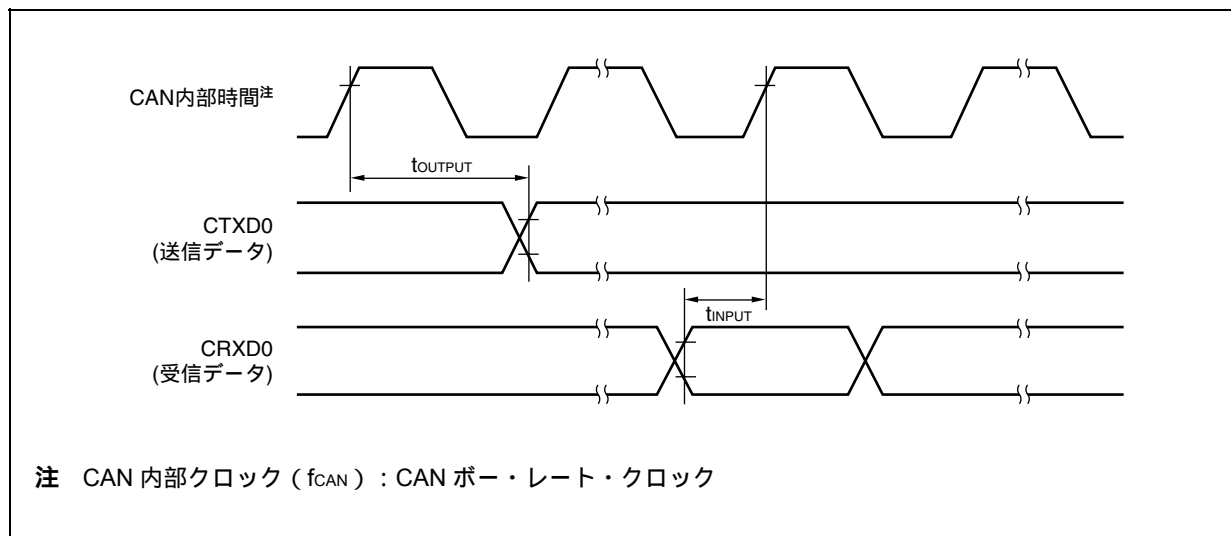


(g) CAN タイミング

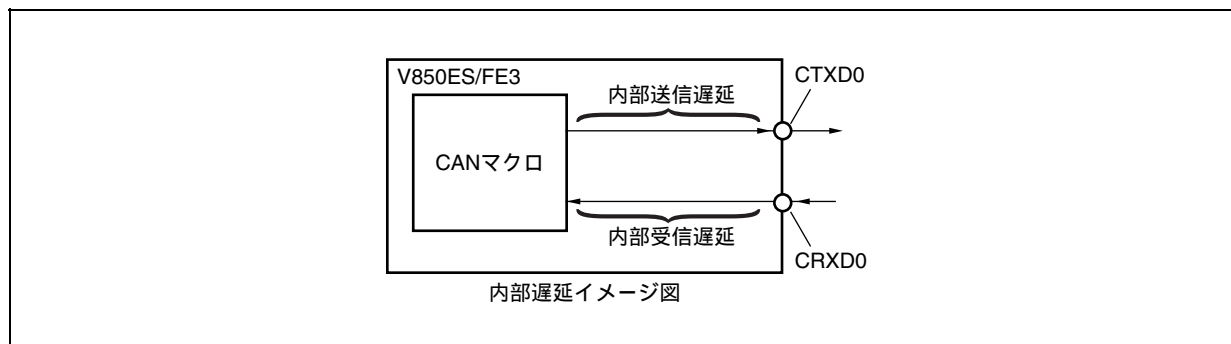
($T_A = -40 \sim +85$, $V_{DD} = EV_{DD} = 3.5V \sim 5.5V, 4.0V$ $AV_{REF0} = 5.5V, V_{SS} = EV_{SS} = AV_{SS} = 0V, C_L = 50pF$)

項目	略号	条件	MIN.	MAX.	単位
通信レート				1	Mbps
内部遅延時間 ^注				100	ns

注 内部遅延時間 (t_{NODE}) = 内部送信遅延時間 (t_{OUTPUT}) + 内部受信遅延時間 (t_{INPUT})



注 CAN 内部クロック (f_{CAN}) : CAN ボー・レート・クロック



3. 1. 12 A/D コンバータ

($T_A = -40 \sim +85$, $V_{DD} = EV_{DD} = 3.5 V \sim 5.5 V, 4.0 V$ $AV_{REF0} = 5.5 V, V_{SS} = EV_{SS} = AV_{SS} = 0 V, C_L = 50 pF$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能					10	bit
総合誤差 ^{注1}		4.0 V AV_{REF0} 5.5 V		± 0.15	± 0.3	%FSR
変換時間	t _{CONV}		3.10		16	μs
安定時間	t _{STA}	ADA0M0.ADA0PSビット = 0 1 としたあと	2			μs
パワーダウン復帰時間	t _{DPU}	STOPモード解除後の動作開始	1			μs
ゼロスケール誤差 ^{注1}	ZSE				± 0.3	%FSR
フルスケール誤差 ^{注1}	FSE				± 0.3	%FSR
積分非直線性誤差 ^{注2}	INL				± 2.5	LSB
微分非直線性誤差 ^{注2}	DNL				± 1.5	LSB
アナログ入力電圧	V _{IAN}		AV_{SS}		AV_{REF0}	V
AV _{REF0} 電流	I _{AREF0}	A/Dコンバータ使用時		4	7	mA
		A/Dコンバータ未使用時		1	10	μA
自己診断機能使用時変換結果		AV _{REF0} 変換結果	3FC		3FF	HEX
		AV _{SS} 変換結果	000		003	HEX

注 1. 量子化誤差 (± 0.05 %FSR) は含みません。フルスケール値に対する比率 (%FSR) で表します。

2. 量子化誤差 (± 0.5LSB) は含みません。

注意1. A/D変換特性にはサンプリング誤差を含みません。ノイズ除去のためにつけるバイパス・コンデンサの値や信号源インピーダンスには注意してください。特に少ないチャンネル数を連続スキャンする場合にスキャン周期が短くなり、サンプリング誤差が大きくなります。

2. ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してレイアウトしてください。また、デジタル回路の信号配線とアナログ回路の信号配線を交差させたり、近接させたりするようなレイアウトはできるだけ避けてください。アナログ・グランド (AV_{SS}) は、ボード上の安定したデジタル・グランド (GND) と一点で接続してください。
3. アナログ電源、基準電源に接続するバイパス・コンデンサは、チップ・コンデンサのように高周波特性のよいものを使用し、できるだけデバイスの近くで接続してください。
4. 各アナログ入力のA/D変換結果は、同じアナログ入力を変換したとしても同じにならない可能性があります。最大で0.6 %FSRの差になる可能性があります。
5. A/D変換中に兼用ポートの設定 (リード/ライト) を行わないでください。変換分解能が低下することがあります。

備考 FSR : Full Scale Range

LSB : Least Significant Bit

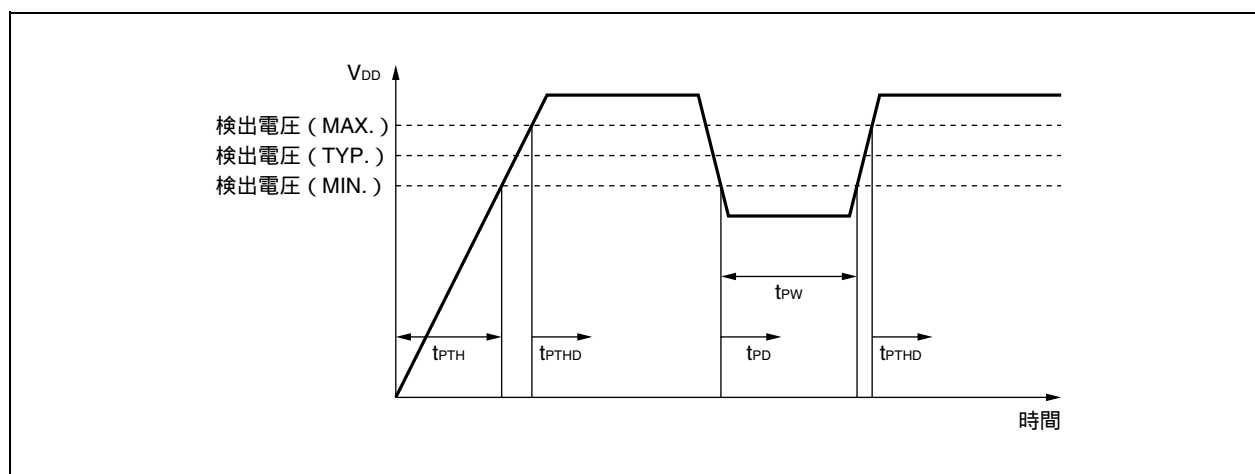
3. 1. 13 POC 回路特性

($T_A = -40 \sim +85$, $V_{DD} = EV_{DD}$, $V_{SS} = EV_{SS} = AV_{SS} = 0$ V, $C_L = 50$ pF)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V_{POCO}		3.3	3.5	3.7	V
電源立ち上げ時間	t_{PTH}	$V_{DD} = 0$ V 3.3 V	0.002			ms
応答時間 ^{注1}	t_{PTHD}	電源立ち上げ時, V_{DD} が3.7 Vに達したあと			2.0	ms
応答時間 ^{注2}	t_{PD}	電源降下時, V_{DD} が3.3 Vを下回ったあと			1.0	ms
最小 V_{DD} 幅	t_{PW}		0.2			ms

注 1. 検出電圧を検出してからリセットを解除するまでの時間。

2. 検出電圧を検出してからリセットを出力するまでの時間。



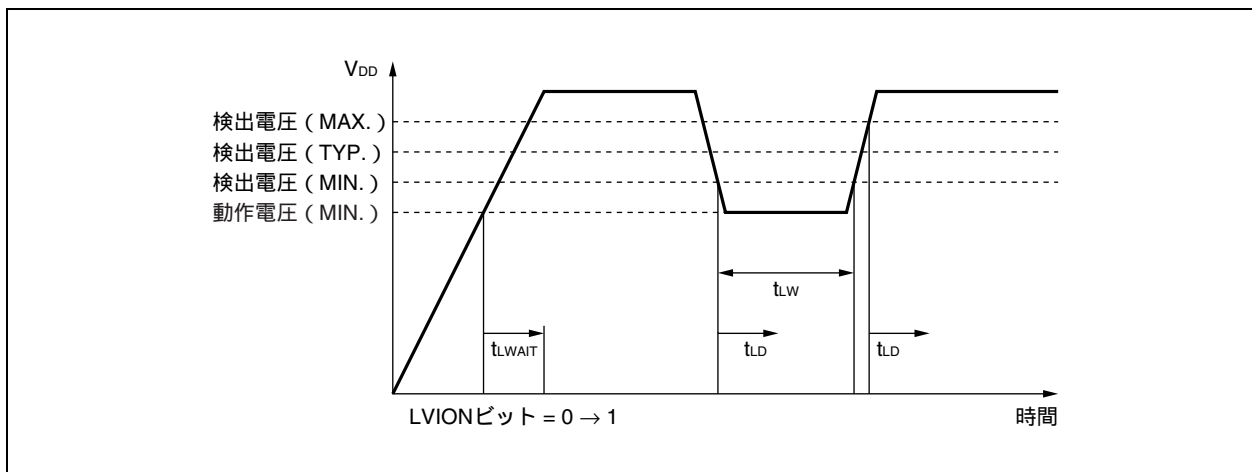
3. 1. 14 LVI 回路特性

($T_A = -40 \sim +85$, $V_{DD} = EV_{DD} = 3.3$ V ~ 5.5 V, 4.0 V $AV_{REF0} = 5.5$ V, $V_{SS} = EV_{SS} = AV_{SS} = 0$ V, $C_L = 50$ pF)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V_{LVI0}		3.8	4.0	4.2	V
	V_{LVI1}		3.5	3.7	3.9	V
応答時間 ^{注1}	t_{LD}	V_{DD} が V_{LVI0} , V_{LVI1} (MAX.) に達したあと, V_{DD} が V_{LVI0} , V_{LVI1} (MIN.) を下まわったあと		0.2	2.0	ms
最小 V_{DD} 幅	t_{LW}		0.2			ms
基準電圧安定待ち時間 ^{注2}	t_{LWAIT}	V_{DD} が3.3 Vに達したあと, LVIM.LVIONビット= 0 1となったあと		0.1	0.2	ms

注 1. 検出電圧を検出して割り込み / リセットを出力するまでの時間。

2. POC 機能を利用する場合には必要ありません。

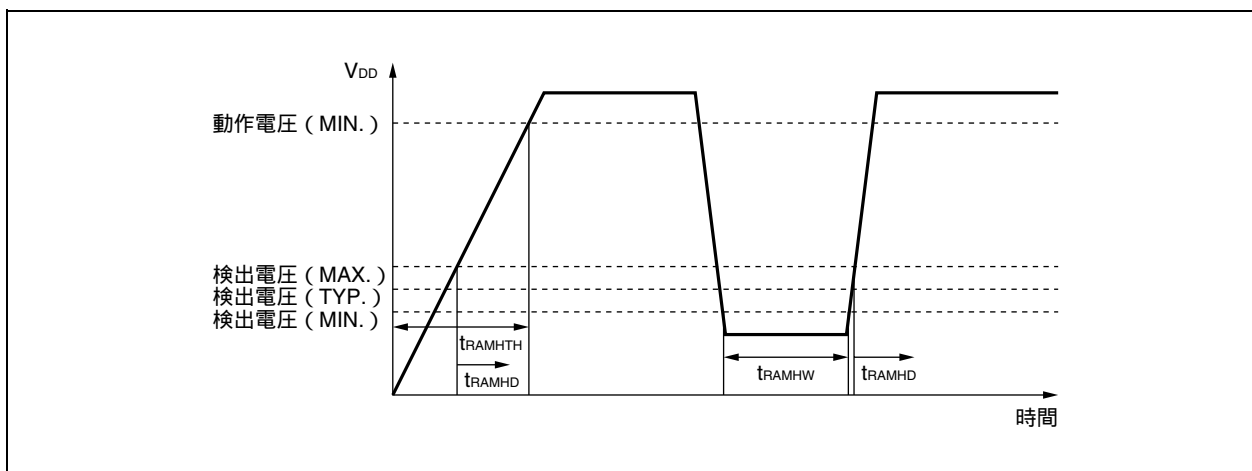


3. 1. 15 RAM 保持フラグ特性

($T_A = -40 \sim +85$, $V_{DD} = EV_{DD} = 1.9 \text{ V} \sim 5.5 \text{ V}, 4.0 \text{ V}$ $AV_{REF0} = 5.5 \text{ V}, V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}, C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V_{RAMH}		1.9	2.0	2.1	V
電源電圧立ち上がり時間	t_{RAMHTH}	$V_{DD} = 0 \text{ V} \quad 3.3 \text{ V}$	0.002		1800	ms
応答時間 ^注	t_{RAMHD}	電源電圧が検出電圧 (MAX.) に達したあと		0.2	2.0	ms
最小VDD幅	t_{RAMHW}		0.2			ms

注 検出電圧を検出して RAMS.RAMF ビットをセットするまでの時間。



3. 1. 16 フラッシュ・メモリ・プログラミング特性

(1) 基本特性

($T_A = -40 \sim +85$, $V_{DD} = EV_{DD}, 4.0V$ $AV_{REF0} 5.5V, V_{SS} = EV_{SS} = AV_{SS} = 0V, C_L = 50 pF$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
動作周波数	f _{CPU}		4		32	MHz
電源電圧	V _{DD}		3.3		5.5	V
書き換え回数	C _{WRT} ^{注1}	コード・フラッシュ, データ保持15年			1000 ^{注2}	回
		データ・フラッシュ, データ保持5年			10000 ^{注2}	回
ハイ・レベル入力電圧	V _{IH}	FLMD0	0.8EV _{DD}		EV _{DD}	V
ロウ・レベル入力電圧	V _{IL}	FLMD0	EV _{SS}		0.2EV _{DD}	V
プログラミング温度	t _{PRG}	コード・フラッシュ	-40		+85	
		データ・フラッシュ	-40		+85	

注1. 出荷品に対する初回書き込み時では、「消去 → 書き込み」の場合も、「書き込みのみ」の場合も書き換え1回となります。

例 P:書き込み E:消去

出荷品 →P→E→P→E→P:書き換え回数3回

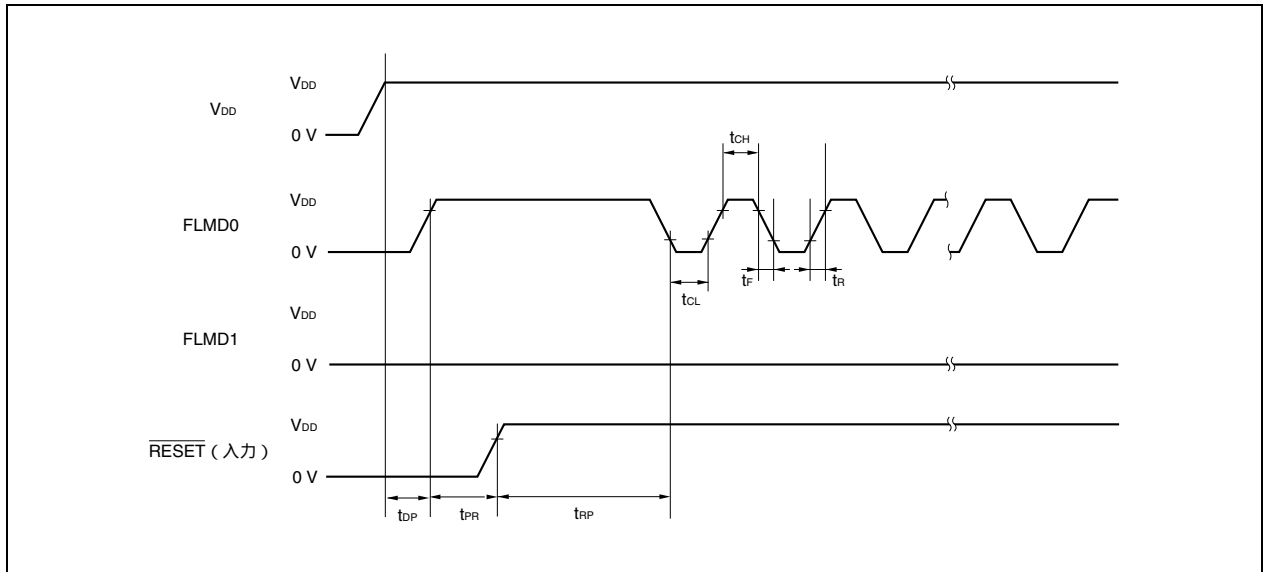
出荷品→E→P→E→P→E→P:書き換え回数3回

2. ターゲット値

(2) シリアル書き込みオペレーション特性

($T_A = -40 \sim +85$, $V_{DD} = EV_{DD}, 4.0V$ $AV_{REF0} 5.5V, V_{SS} = EV_{SS} = AV_{SS} = 0V, C_L = 50 pF$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
FLMD0, FLMD1設定時間 (対V _{DD})	t _{DP}		1			ms
リセット解除時間(対FLMD0)	t _{PR}		2			ms
FLMD0カウンタ開始時間 (対RESET)	t _{RP}		800			μs
FLMD0カウンタ・ハイ・レベル 幅/ロウ・レベル幅	t _{CH} /t _{CL}		10		100	μs
FLMD立ち上がり時間/ 立ち下り時間	t _r /t _f				50	ns



3.2 (A1) 製品についての電気的特性

3.2.1 絶対最大定格

絶対最大定格 (TA = 25) (1/2)

項目	略号	条件	定格	単位
電源電圧	V _{DD}	V _{DD} = EV _{DD}	- 0.5 ~ +6.5	V
	EV _{DD}	V _{DD} = EV _{DD}	- 0.5 ~ +6.5	V
	AV _{REF0}		- 0.5 ~ +6.5	V
	V _{SS}	V _{SS} = EV _{SS} = AV _{SS}	- 0.5 ~ +0.5	V
	AV _{SS}	V _{SS} = EV _{SS} = AV _{SS}	- 0.5 ~ +0.5	V
	EV _{SS}	V _{SS} = EV _{SS} = AV _{SS}	- 0.5 ~ +0.5	V
入力電圧	V _{I1}	P00-P06, P30-P35, P40-P42, P50-P55, P90, P91, P96-P99, P913-P915, PCM0, PCM1, PDL0-PDL7, RESET, FLMD0	- 0.5 ~ EV _{DD} + 0.5 ^注	V
	V _{I2}	X1, X2, XT1, XT2	- 0.5 ~ V _{RO} + 0.5 ^注	V
アナログ入力電圧	V _{IAN}	P70-P79	- 0.5 ~ AV _{REF0} + 0.5 ^注	V

注 それぞれの電源電圧の絶対最大定格 (MAX.値) を越えないようにしてください。

- 注意 1. IC 製品の出力 (または入出力) 端子同士を直結したり, V_{DD} または V_{CC} や GND に直結したりしないでください。
2. 各項目のうち 1 項目でも, また一瞬でも絶対最大定格を越えると, 製品の品質を損なう恐れがあります。つまり絶対最大定格とは, 製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で, 製品をご使用ください。
DC 特性と AC 特性に示す規格や条件が, 製品の正常動作, 品質保証の範囲です。
3. ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路では直結可能です。

備考 兼用端子の特性は, 特に指定のないかぎり, ポート端子と同じです。

絶対最大定格 (T_A = 25) (2/2)

項目	略号	条件	定格	単位	
ロウ・レベル出力電流	I _{OL}	P00-P06, P30-P35, P40-P42, P50-P55, P90, P91, P96-P99, P913-P915, PCM0, PCM1, PDL0-PDL7	1端子	4	mA
			全端子合計	20	mA
		P70-P79	1端子	4	mA
			全端子合計	10	mA
ハイ・レベル出力電流	I _{OH}	P00-P06, P30-P35, P40-P42, P50-P55, P90, P91, P96-P99, P913-P915, PCM0, PCM1, PDL0-PDL7	1端子	- 4	mA
			全端子合計	- 20	mA
		P70-P79	1端子	- 4	mA
			全端子合計	- 10	mA
動作周囲温度	T _A	通常動作モード	- 40 ~ + 110		
		コード・フラッシュ・プログラミング・モード	- 40 ~ + 110		
保存温度	T _{stg}		- 40 ~ + 125		

- 注意 1. IC 製品の出力(または入出力)端子同士を直結したり、V_{DD} または V_{CC} や GND に直結したりしないでください。
2. 各項目のうち 1 項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。
- DC 特性と AC 特性に示す規格や条件が、製品の正常動作、品質保証の範囲です。
3. ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路では直結可能です。

備考 兼用端子の特性は、特に指定のないかぎり、ポート端子と同じです。

3.2.2 容 量

($T_A = 25$, $V_{DD} = EV_{DD} = AV_{REF0} = V_{SS} = EV_{SS} = AV_{SS} = 0 V$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
入出力容量	C _{IO}	f _x = 1 MHz, 被測定端子以外は0 V			10	pF

3.2.3 動作条件

($T_A = -40 \sim +110$, $V_{DD} = EV_{DD}, 4.0 V$ $AV_{REF0} 5.5 V, V_{SS} = EV_{SS} = AV_{SS} = 0 V, REGC = 4.7 \mu F$)

内部システム・クロック周波数 (f _{CLK})	電源電圧 (V _{DD})	動作条件
4.0 MHz f _{xx} 32 MHz	3.5 V V _{DD} 5.5 V	すべてのブロックの動作が可能 f _{XP1} 32 MHz : 4.0 V V _{DD} 5.5 V f _{XP1} 20 MHz : 3.5 V V _{DD} < 4.0 V
	3.3 V V _{DD} < 3.5 V	次のブロックの動作が可能 - CPU - Flash (プログラミングを含む) - RAM - Port (I/Oバッファ) - Watch Timer - Watchdog Timer 2 - Interrupt Contoroller - Clock Monitor - POC - Low Voltage Detector
12.5 kHz f _{XT} 27.5 kHz ^注 (RC)	3.3 V V _{DD} 5.5 V	-
240 kHz (低速内蔵発振器)	3.3 V V _{DD} 5.5 V	-

注 内部システム・クロック周波数は発振周波数の 1/2 となります (RC 発振周波数は 25 ~ 55 kHz です)。

備考 f_{XP1} : 周辺クロック用プリスケラ 1 入力周波数

3.2.4 発振回路特性

メイン・クロック発振回路特性

($T_A = -40 \sim +110$, $V_{DD} = EV_{DD} = 3.3V \sim 5.5V, 4.0V$ $AV_{REF0} = 5.5V, V_{SS} = EV_{SS} = AV_{SS} = 0V$)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック 発振子		発振周波数 (fx) ^{注1}		4		16	MHz
		発振安定時間	PCC.MCKビットを1 0へ変更後	64 ^{注2}	注3		μs
			STOPモード解除後	64 ^{注2}	注3		μs
			IDLE2モード解除後 ^{注5}	54 ^{注4}	注3		μs
水晶振動子		発振周波数 (fx) ^{注1}		4		16	MHz
		発振安定時間	PCC.MCKビットを1 0へ変更後	64 ^{注2}	注3		μs
			STOPモード解除後	64 ^{注2}	注3		μs
			IDLE2モード解除後 ^{注5}	54 ^{注4}	注3		μs

- 注 1. 発振回路の特性だけを示すものです。CPU 動作クロックについては 3.2.11 AC 特性を参照してください。
2. OSTS レジスタで設定可能な最小時間です。
3. OSTS レジスタの設定によって値が異なります。
4. 内蔵 ROM のセットアップに必要な時間です。OSTS レジスタによって確実にセットアップ時間を確保してください。
5. IDLE2 モードでは、メイン・クロック発振は停止しません。

注意 1. メイン・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2. メイン・クロックを停止させサブクロックで動作させているときに、再度メイン・クロックに切り替える場合には、プログラムで発振安定時間を確保したあとに切り替えてください。

サブクロック発振回路特性

($T_A = -40 \sim +110$, $V_{DD} = EV_{DD} = 3.3V \sim 5.5V, 4.0V$ $AV_{REF0} = 5.5V, V_{SS} = EV_{SS} = AV_{SS} = 0V$)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
RC発振子		発振周波数 ^{注1,4}	$R = 390\text{ k}\Omega \pm 5\%$ ^{注3} $C = 47\text{ pF} \pm 10\%$ ^{注3}	25	40	55	kHz
		発振安定時間 ^{注2}				100	μs

- 注 1. 発振回路の特性だけを示すものです。CPU動作クロックについては、3.2.11 AC特性を参照してください。
2. V_{DD} が発振電圧範囲（MIN. 3.3V）に達してから発振が安定するまでの時間です。
3. 配線容量の影響を避けるため、配線は極力短くしてください。
4. RC発振周波数は、40 kHz（TYP.値）です。このクロックは内部で2分周されます。RC発振子の場合、サブクロック周波数（ f_{XT} ）は、12.5 kHz（MIN.値）、20 kHz（TYP.値）、27.5 kHz（MAX.値）です。

注意 1. サブクロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
 - ・他の信号線と交差させない。
 - ・変化する大電流が流れる線に接近させない。
 - ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
 - ・大電流が流れるグランド・パターンに接地しない。
 - ・発振回路から信号を取り出さない。
2. サブクロック発振回路は、低消費電流にするため増幅度の低い回路になっており、ノイズによる誤動作がメイン・クロックよりも起こりやすくなっています。したがって、サブクロックを使用する場合は、配線方法について特に注意してください。

3.2.5 PLL 特性

($T_A = -40 \sim +110$, $V_{DD} = EV_{DD} = 3.3V \sim 5.5V, 4.0V$ $AV_{REF0} = 5.5V, V_{SS} = EV_{SS} = AV_{SS} = 0V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力周波数	f_x		4		16	MHz
出力周波数	f_{xx}		12		32	MHz
ロック時間	t_{PLL}	V_{DD} がMIN. 3.3Vに達したあと			800	μs

3.2.6 SSCG 特性

($T_A = -40 \sim +110$, $V_{DD} = EV_{DD} = 3.3V \sim 5.5V, 4.0V$ $AV_{REF0} = 5.5V, V_{SS} = EV_{SS} = AV_{SS} = 0V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力周波数	f_x		4		16	MHz
出力周波数	f_{xx}		12		32	MHz
ロック時間	t_{SSCG}	V_{DD} がMIN. 3.3Vに達したあと			1000	μs

注意 周波数変調率は、SFC1.SFC16-SFC14ビットの設定値により次の表に示すようになります。

周波数変調後の周波数は、出力周波数のMIN.値、MAX.値を逸脱しないようにしてください。

変調率がMAX.時に出力周波数のMAX.値を逸脱しない最大周波数（変調前周波数）を次の表に示します。

SFC1.SFC16-SFC14ビット の設定値	周波数変調率		変調前周波数
	TYP.	MAX.	
000B	± 0.5 %	± 2.0 %	31.4 MHz
001B	± 1.0 %	± 2.5 %	31.2 MHz
010B	± 2.0 %	± 4.0 %	30.7 MHz
011B	± 3.0 %	± 6.0 %	30.1 MHz
100B	± 4.0 %	± 8.0 %	29.4 MHz
101B	± 5.0 %	± 10.0 %	28.8 MHz

3.2.7 内蔵発振器特性

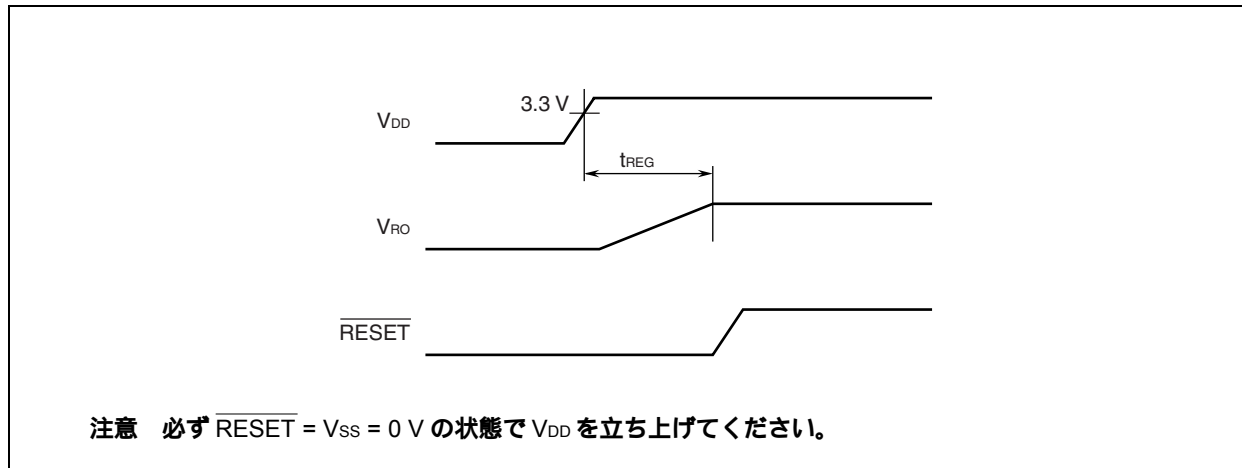
($T_A = -40 \sim +110$, $V_{DD} = EV_{DD} = 3.3V \sim 5.5V, 4.0V$ $AV_{REF0} = 5.5V, V_{SS} = EV_{SS} = AV_{SS} = 0V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
出力周波数	f_{RL}	低速内蔵発振器	204	240	276	kHz
	f_{RH}	高速内蔵発振器	7.2	8.0	8.8	MHz
発振安定時間		低速内蔵発振器		10	36	μs
		高速内蔵発振器	51	92	256	μs

3.2.8 電圧レギュレータ特性

($T_A = -40 \sim +110$, $V_{DD} = EV_{DD}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力電圧	V_{DD}		3.3		5.5	V
出力電圧	V_{RO}			2.5		V
出力電圧安定時間	t_{REG}	<ul style="list-style-type: none"> • V_{DD}がMIN. 3.3 Vに達したあと • REGC端子に$C = 4.7 \mu F (\pm 20 \%)$を接続 			1	ms



3.2.9 DC 特性

(1) 入出力レベル

($T_A = -40 \sim +110$, $V_{DD} = EV_{DD} = 3.3V \sim 5.5V, 4.0V$ $AV_{REF0} = 5.5V, V_{SS} = EV_{SS} = AV_{SS} = 0V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル入力電圧	V_{IH1}	P04, P30, P31, P34, P40, P91, P913-P915	$0.7EV_{DD}$		EV_{DD}	V	
	V_{IH2}	P00-P03, P05, P06, P32, P33, P35, P41, P42, P50-P55, P90, P96-P99, PDL0-PDL7	$0.8EV_{DD}$		EV_{DD}	V	
	V_{IH3}	PCM0, PCM1	$0.7EV_{DD}$		EV_{DD}	V	
	V_{IH4}	P70-P79	$0.7AV_{REF0}$		AV_{REF0}	V	
	V_{IH5}	RESET, FLMD0	$0.8EV_{DD}$		EV_{DD}	V	
ロウ・レベル入力電圧	V_{IL1}	P04, P30, P31, P34, P40, P91, P913-P915	EV_{SS}		$0.3EV_{DD}$	V	
	V_{IL2}	P00-P03, P05, P06, P32, P33, P35, P41, P42, P50-P55, P90, P96-P99, PDL0-PDL7	EV_{SS}		$0.4EV_{DD}$	V	
	V_{IL3}	PCM0, PCM1	EV_{SS}		$0.3EV_{DD}$	V	
	V_{IL4}	P70-P79	AV_{SS}		$0.3AV_{REF0}$	V	
	V_{IL5}	RESET, FLMD0	EV_{SS}		$0.2EV_{DD}$	V	
ハイ・レベル出力電圧 ^{注1}	V_{OH1}	P00-P06, P30-P35, P40-P42, P50-P55, P90, P91, P96-P99, P913-P915, PCM0, PCM1, PDL0-PDL7	$I_{OH} = -1.0\text{ mA}$	$EV_{DD} - 1.0$		EV_{DD}	V
			$I_{OH} = -0.1\text{ mA}$	$EV_{DD} - 0.5$		EV_{DD}	V
	V_{OH3}	P70-P79	$I_{OH} = -1.0\text{ mA}$	$AV_{REF0} - 1.0$		AV_{REF0}	V
			$I_{OH} = -0.1\text{ mA}$	$AV_{REF0} - 0.5$		AV_{REF0}	V
ロウ・レベル出力電圧 ^{注1}	V_{OL1}	P00-P06, P30-P35, P40-P42, P50-P55, P90, P91, P96-P99, P913, PCM0, PCM1, PDL0-PDL7	$I_{OL} = 1.0\text{ mA}$	0		0.4	V
			P914, P915	$I_{OL} = 3.0\text{ mA}$	0		0.4
	V_{OL3}	P70-P79	$I_{OL} = 1.0\text{ mA}$	0		0.4	V
プルアップ抵抗	R_1	$V_i = 0V$	10	30	100	kΩ	
プルダウン抵抗 ^{注2}	R_2	$V_i = V_{DD}$	10	30	100	kΩ	

注1. I_{OH}/I_{OL} の合計の最大値は、電源 (EV_{DD}) にて 20 mA / - 20 mA です。

I_{OH}/I_{OL} の合計の最大値は、電源 (AV_{REF0}) にて 10 mA / - 10 mA です。

2. \overline{DRST} 端子として使用する場合 (コントロール・レジスタは OCDM です)。

備考 兼用端子の特性は、特に指定のないかぎり、ポート端子と同じです。

(2) 端子リーク電流

($T_A = -40 \sim +110$, $V_{DD} = EV_{DD} = 3.3V \sim 5.5V, 4.0V$ $AV_{REF0} = 5.5V, V_{SS} = EV_{SS} = AV_{SS} = 0V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力リーク電流	I _{LIH1}	V _I = V _{DD}	アナログ端子		0.4	μA
			アナログ端子以外 ^注		0.8	μA
ロウ・レベル入力リーク電流	I _{LIL1}	V _I = 0V	アナログ端子		-0.4	μA
			アナログ端子以外 ^注		-0.8	μA
ハイ・レベル出力リーク電流	I _{LOH1}	V _O = V _{DD}	アナログ端子		0.4	μA
			アナログ端子以外		0.8	μA
ロウ・レベル出力リーク電流	I _{LOL1}	V _O = 0V	アナログ端子		-0.4	μA
			アナログ端子以外		-0.8	μA

注 FLMD0 端子の入力リーク電流は次のとおりです

ハイ・レベル入力リーク電流 : 4.0 μA

ロウ・レベル入力リーク電流 : -4.0 μA

(a) 入力ヒステリシス (参考特性)

($T_A = -40 \sim +110$, $V_{DD} = EV_{DD} = 3.3V \sim 5.5V, 4.0V$ $AV_{REF0} = 5.5V, V_{SS} = EV_{SS} = AV_{SS} = 0V$)

項目	略号	条件	TYP.	単位
入力ヒステリシス	V _{HYS1}	入力スイッチング中心電圧 : 0.5 × EV _{DD} , P04, P30, P31, P34, P40, P91, P913-P915	0.267 × EV _{DD} - 0.51	V
	V _{HYS2}	入力スイッチング中心電圧 : 0.6 × EV _{DD} , P00-P03, P05, P06, P32, P33, P35, P41, P42, P50-P55, P90, P96-P99, PDL0-PDL7	0.192 × EV _{DD} - 0.31	V
	V _{HYS5}	入力スイッチング中心電圧 : 0.5 × EV _{DD} , RESET, FLMD0	0.535 × EV _{DD} - 0.9	V

注意 上記参考特性は、開発時の設計検討および製品特性を元に定めています。製品出荷時に検査を行いません。
そのため上記参考特性は、保証しておりません。

備考 兼用端子の特性は、特に指定のないかぎり、ポート端子と同じです。

(3) 電源電流

電源電流 (1/3)

($T_A = -40 \sim +110$, $V_{DD} = EV_{DD} = 3.3 V \sim 5.5 V, 4.0 V$ $AV_{REF0} = 5.5 V, V_{SS} = EV_{SS} = AV_{SS} = 0 V$)

項目	略号	条 件					MIN.	TYP.	MAX.	単位
電源電流 ^{注1}	IDD1	通常動作モード ^{注2, 7}	全周辺機能動作	OB_7B.PRSI ビット = 0 ($f_{XP1} = f_{XX}$)	PLL : 停止 (4 MHz f_{XX} 16 MHz)	$f_{XX} = 8$ MHz (f_{RH} , 高速内蔵 発振) ^{注3}	-	13	20	mA
						$f_{XX} = 16$ MHz ($f_x = 16$ MHz)	-	21	30	mA
				PLL : 動作 (16 MHz f_{XX} 32 MHz)	$f_{XX} = 20$ MHz ($f_x = 5$ MHz)	-	27	37	mA	
					$f_{XX} = 32$ MHz ($f_x = 16$ MHz)	-	39	51	mA	
				OB_7B.PRSI ビット = 1 ($f_{XP1} = f_{XX}/2$)	PLL : 動作 (16 MHz f_{XX} 32 MHz)	$f_{XX} = 32$ MHz ($f_x = 16$ MHz)	-	35	47	mA
				全周辺機能停止	OB_7B.PRSI ビット = 0 ($f_{XP1} = f_{XX}$)	PLL : 停止 (4 MHz f_{XX} 16 MHz)	$f_{XX} = 8$ MHz (f_{RH} , 高速内蔵 発振) ^{注3}	-	12	-
			$f_{XX} = 16$ MHz ($f_x = 16$ MHz)			-	19	-	mA	
		PLL : 動作 (16 MHz f_{XX} 32 MHz)	$f_{XX} = 20$ MHz ($f_x = 5$ MHz)		-	22	-	mA		
			$f_{XX} = 32$ MHz ($f_x = 16$ MHz)		-	32	-	mA		
		OB_7B.PRSI ビット = 1 ($f_{XP1} = f_{XX}/2$)	PLL : 動作 (16 MHz f_{XX} 32 MHz)		$f_{XX} = 32$ MHz ($f_x = 16$ MHz)	-	31	-	mA	

電源電流 (2/3)

($T_A = -40 \sim +110$, $V_{DD} = EV_{DD} = 3.3V \sim 5.5V, 4.0V$ $AV_{REF0} = 5.5V, V_{SS} = EV_{SS} = AV_{SS} = 0V$)

項目	略号	条 件				MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	IDD2	HALT モード ^{注7}	全周辺 機能 動作	OB_7B.PRSI ビット = 0 ($f_{XP1} = f_{XX}$)	PLL : 停止 (4 MHz f_{XX} 16 MHz)	$f_{XX} = 8$ MHz (f_{RH} , 高速内蔵 発振) ^{注3}	-	8	12	mA
						$f_{XX} = 16$ MHz ($f_X = 16$ MHz)	-	13	20	mA
					PLL : 動作 (16 MHz f_{XX} 32 MHz)	$f_{XX} = 20$ MHz ($f_X = 5$ MHz)	-	16	23	mA
						$f_{XX} = 32$ MHz ($f_X = 16$ MHz)	-	24	34	mA
			OB_7B.PRSI ビット = 1 ($f_{XP1} = f_{XX}/2$)	PLL : 動作 (16 MHz f_{XX} 32 MHz)	$f_{XX} = 32$ MHz ($f_X = 16$ MHz)	-	20	27	mA	
		全周辺 機能 停止	OB_7B.PRSI ビット = 0 ($f_{XP1} = f_{XX}$)	PLL : 停止 (4 MHz f_{XX} 16 MHz)	$f_{XX} = 8$ MHz (f_{RH} , 高速内蔵 発振) ^{注3}	-	5	-	mA	
					$f_{XX} = 16$ MHz ($f_X = 16$ MHz)	-	9	-	mA	
				PLL : 動作 (16 MHz f_{XX} 32 MHz)	$f_{XX} = 20$ MHz ($f_X = 5$ MHz)	-	12	-	mA	
				$f_{XX} = 32$ MHz ($f_X = 16$ MHz)	-	18	-	mA		
		OB_7B.PRSI ビット = 1 ($f_{XP1} = f_{XX}/2$)	PLL : 動作 (16 MHz f_{XX} 32 MHz)	$f_{XX} = 32$ MHz ($f_X = 16$ MHz)	-	17	-	mA		
	IDD3	IDLE1 モード	周辺 機能 (TAA , UARTD) 動作	-	PLL : 停止 (4 MHz f_{XX} 16 MHz) ^{注4}	$f_{XX} = 5$ MHz ($f_X = 5$ MHz)	-	1.4	2.5	mA
						$f_{XX} = 12$ MHz ($f_X = 12$ MHz)	-	2.0	3.4	mA
						$f_{XX} = 16$ MHz ($f_X = 16$ MHz)	-	2.4	3.9	mA
						$f_{XX} = 8$ MHz (f_{RH} , 高速内蔵 発振) ^{注3}	-	1.5	2.6	mA
周辺 機能 (TAA , UARTD) 停止		-	PLL : 停止 (4 MHz f_{XX} 16 MHz) ^{注4}	$f_{XX} = 5$ MHz ($f_X = 5$ MHz)	-	1.2	-	mA		
				$f_{XX} = 12$ MHz ($f_X = 12$ MHz)	-	1.4	-	mA		
				$f_{XX} = 16$ MHz ($f_X = 16$ MHz)	-	1.6	-	mA		
				$f_{XX} = 8$ MHz (f_{RH} , 高速内蔵 発振) ^{注3}	-	1.1	-	mA		

電源電流 (3/3)

($T_A = -40 \sim +110$, $V_{DD} = EV_{DD} = 3.3 V \sim 5.5 V, 4.0 V$ $AV_{REF0} = 5.5 V, V_{SS} = EV_{SS} = AV_{SS} = 0 V$)

項目	略号	条 件				MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	IDD4	IDLE2 モード	-	-	PLL : 停止 (4 MHz f_{XX} 16 MHz) ^{注4}	$f_{XX} = 5 \text{ MHz}$ ($f_x = 5 \text{ MHz}$)	-	0.4	0.9	mA
						$f_{XX} = 12 \text{ MHz}$ ($f_x = 12 \text{ MHz}$)	-	0.7	1.2	mA
						$f_{XX} = 16 \text{ MHz}$ ($f_x = 16 \text{ MHz}$)	-	0.8	1.4	mA
						$f_{XX} = 8 \text{ MHz}$ (f_{RH} , 高速内蔵 発振) ^{注3}	-	0.2	0.7	mA
	IDD5	サブク ロック 動作 モード	-	-	-	$f_{XT} = 40 \text{ kHz}$ (TYP.) (RC発振)	-	80	600	μA
						$f_{RL} = 240 \text{ kHz}$ (TYP.) (低速 内蔵発振) ^{注5}	-	220	1200	μA
	IDD6	サブ IDLE モード ^{注3, 6}	-	-	-	$f_{XT} = 40 \text{ kHz}$ (TYP.) (RC発振)	-	40	420	μA
						$f_{RL} = 240 \text{ kHz}$ (TYP.) (低速 内蔵発振) ^{注5}	-	25	380	μA
	IDD7	STOP モード ^{注3, 5}	-	-	-	POC機能： 停止， 低速内蔵発振： 停止	-	7.5	280	μA
						POC機能： 停止， 低速内蔵発振： 発振	-	15.5	295	μA
						POC機能： 動作， 低速内蔵発振： 停止	-	10.5	285	μA
						POC機能： 動作， 低速内蔵発振： 発振	-	18.5	300	μA

- 注 1. V_{DD} , EV_{DD} の電流の合計です (全ポート停止時)。 AV_{REF0} の電流, 内蔵プルアップ抵抗を通過する電流を含むポート・バッファの電流は含みません。
2. セルフ・プログラミング・モード時およびデータ・フラッシュの書き換え時を除く。セルフ・プログラミング・モード時およびデータ・フラッシュの書き換え時は, 次の値を MAX. 値に加えてください。

加算値:

(セルフ・プログラミング・モード時)

$$\text{(PLL 停止時)} : 7 - (0.33 \times f_{xx} + 0.1) \text{ [mA]}$$

$$f_{xx} = 16 \text{ MHz 時} : 7 - (0.33 \times 16 + 0.1) = 1.62 \text{ mA}$$

$$\text{(PLL 動作時)} : 7 - (0.18 \times f_{xx} + 3.0) \text{ [mA]}$$

$$f_{xx} = 32 \text{ MHz 時} : 7 - (0.18 \times 32 + 3.0) = -1.76 \text{ mA}$$

(データ・フラッシュ書き換え時)

$$\text{(PLL 停止時)} : 7 - (0.18 \times f_{xx}/4 + 3.0) \text{ [mA]}$$

$$f_{xx} = 16 \text{ MHz 時} : 7 - (0.18 \times 16/4 + 3.0) = 3.28 \text{ mA}$$

$$\text{(PLL 動作時)} : 7 - (0.18 \times f_{xx}/4 + 3.0) \text{ [mA]}$$

$$f_{xx} = 32 \text{ MHz 時} : 7 - (0.18 \times 32/4 + 3.0) = 2.56 \text{ mA}$$

3. メイン・クロック発振回路停止時。
4. 高速内蔵発振器停止時。
5. サブクロック発振回路未使用時。
6. POC 動作, 低速内蔵発振器動作, 高速内蔵発振器停止時。
7. SSCG 動作許可時は, TYP. 値に +2.5 mA, MAX. 値に +4 mA を加算してください。

備考 OB_7B は, オプション・バイト (007BH) です。

電源電流 (参考算出式)

($T_A = -40 \sim +110$, $V_{DD} = EV_{DD} = 3.3 V \sim 5.5 V, 4.0 V$ $AV_{REF0} = 5.5 V, V_{SS} = EV_{SS} = AV_{SS} = 0 V$)

項目	略号	条 件			TYP.	MAX.	単位		
電源電流 ^{注1}	IDD1	通常動作モード ^{注2, 4}	全周辺機能動作	OB_7B.PRSI ビット = 0 ($f_{XP1} = f_{XX}$)	PLL : 停止 (4 MHz f_{XX} 16 MHz)	$0.98 \times f_{XX}$ + 5.5	$1.18 \times f_{XX}$ + 10.6	mA	
					PLL : 動作 (16 MHz f_{XX} 32 MHz)	$0.98 \times f_{XX}$ + 7.1	$1.18 \times f_{XX}$ + 13.6	mA	
				OB_7B.PRSI ビット = 1 ($f_{XP1} = f_{XX}/2$)	PLL : 動作 (16 MHz f_{XX} 32 MHz)	$0.90 \times f_{XX}$ + 6.0	$1.08 \times f_{XX}$ + 12.2	mA	
				全周辺機能停止	OB_7B.PRSI ビット = 0 ($f_{XP1} = f_{XX}$)	PLL : 停止 (4 MHz f_{XX} 16 MHz)	$0.83 \times f_{XX}$ + 5.7	-	mA
					PLL : 動作 (16 MHz f_{XX} 32 MHz)	$0.81 \times f_{XX}$ + 6.2	-	mA	
			OB_7B.PRSI ビット = 1 ($f_{XP1} = f_{XX}/2$)		PLL : 動作 (16 MHz f_{XX} 32 MHz)	$0.79 \times f_{XX}$ + 6.2	-	mA	
	IDD2	HALTモード ^{注4}	全周辺機能動作	OB_7B.PRSI ビット = 0 ($f_{XP1} = f_{XX}$)	PLL : 停止 (4 MHz f_{XX} 16 MHz)	$0.70 \times f_{XX}$ + 1.9	$1.00 \times f_{XX}$ + 4.0	mA	
					PLL : 動作 (16 MHz f_{XX} 32 MHz)	$0.67 \times f_{XX}$ + 3.0	$0.90 \times f_{XX}$ + 5.4	mA	
				OB_7B.PRSI ビット = 1 ($f_{XP1} = f_{XX}/2$)	PLL : 動作 (16 MHz f_{XX} 32 MHz)	$0.55 \times f_{XX}$ + 2.8	$0.64 \times f_{XX}$ + 7.0	mA	
				全周辺機能停止	OB_7B.PRSI ビット = 0 ($f_{XP1} = f_{XX}$)	PLL : 停止 (4 MHz f_{XX} 16 MHz)	$0.44 \times f_{XX}$ + 1.6	-	mA
					PLL : 動作 (16 MHz f_{XX} 32 MHz)	$0.46 \times f_{XX}$ + 2.8	-	mA	
			OB_7B.PRSI ビット = 1 ($f_{XP1} = f_{XX}/2$)		PLL : 動作 (16 MHz f_{XX} 32 MHz)	$0.46 \times f_{XX}$ + 1.8	-	mA	
IDD3	IDLE1モード	周辺機能 (TAA, UARTD) 動作	-	PLL : 停止 (4 MHz f_{XX} 16 MHz) ^{注3}	$0.092 \times f_{XX}$ + 0.90	$0.128 \times f_{XX}$ + 1.82	mA		
		周辺機能 (TAA, UARTD) 停止	-	PLL : 停止 (4 MHz f_{XX} 16 MHz) ^{注3}	$0.035 \times f_{XX}$ + 1.01	-	mA		
IDD4	IDLE2モード	-	-	PLL : 停止 (4 MHz f_{XX} 16 MHz) ^{注3}	$0.037 \times f_{XX}$ + 0.21	$0.049 \times f_{XX}$ + 0.63	mA		

- 注1. V_{DD} , EV_{DD} の電流の合計です (全ポート停止時)。 AV_{REF0} の電流, 内蔵プルアップ/プルダウン抵抗を通過する電流を含むポート・バッファの電流は含みません。
2. セルフ・プログラミング・モード時およびデータ・フラッシュの書き換え時を除く。
セルフ・プログラミング・モード時およびデータ・フラッシュの書き換え時は, 次の値を MAX.値に加えてください。

加算値:

(セルフ・プログラミング・モード時)

$$\text{(PLL 停止時)} : 7 - (0.33 \times f_{xx} + 0.1) \text{ [mA]}$$

$$f_{xx} = 16 \text{ MHz 時} : 7 - (0.33 \times 16 + 0.1) = 1.62 \text{ mA}$$

$$\text{(PLL 動作時)} : 7 - (0.18 \times f_{xx} + 3.0) \text{ [mA]}$$

$$f_{xx} = 32 \text{ MHz 時} : 7 - (0.18 \times 32 + 3.0) = -1.76 \text{ mA}$$

(データ・フラッシュ書き換え時)

$$\text{(PLL 停止時)} : 7 - (0.18 \times f_{xx}/4 + 3.0) \text{ [mA]}$$

$$f_{xx} = 16 \text{ MHz 時} : 7 - (0.18 \times 16/4 + 3.0) = 3.28 \text{ mA}$$

$$\text{(PLL 動作時)} : 7 - (0.18 \times f_{xx}/4 + 3.0) \text{ [mA]}$$

$$f_{xx} = 32 \text{ MHz 時} : 7 - (0.18 \times 32/4 + 3.0) = 2.56 \text{ mA}$$

3. 高速内蔵発振器停止時。
4. SSCG 動作許可時は, TYP.値に +2.5 mA, MAX.値に +4 mA を加算してください。

備考1. OB_7B は, オプション・バイト (007BH) です。

2. f_{xx} の単位は, MHz です。

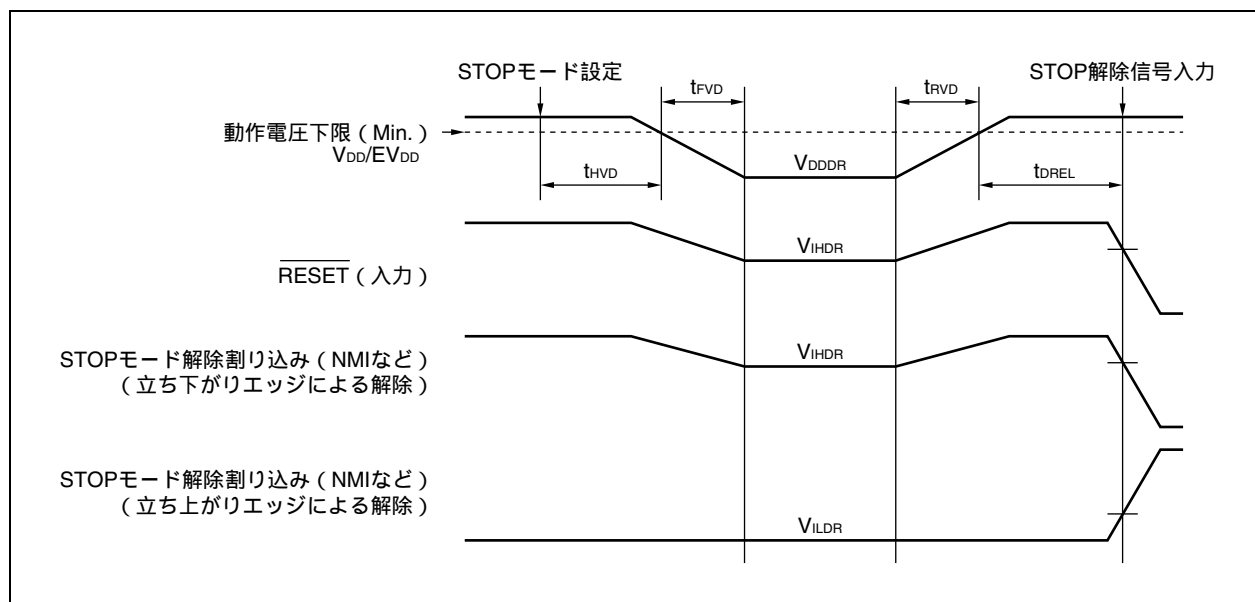
3.2.10 データ保持特性

STOPモード時

($T_A = -40 \sim +110$, $V_{DD} = EV_{DD} = 1.9V \sim 5.5V$, $V_{SS} = EV_{SS} = AV_{SS} = 0V$)

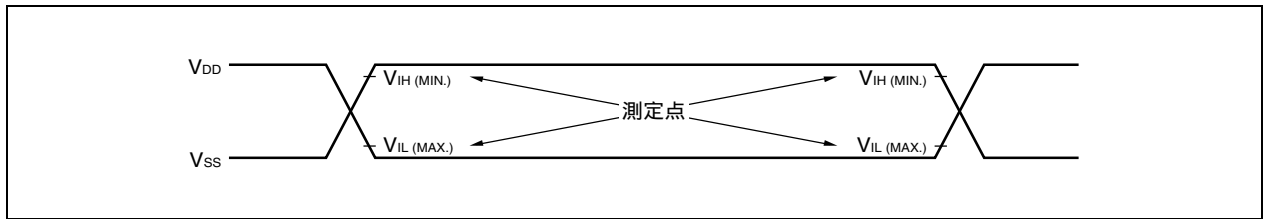
項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電圧	V_{DDDR}	STOPモード (全機能停止)	1.9		5.5	V
データ保持電流	I_{DDDR}	$V_{DDDR} = 2.0V$ (全機能停止)		6.5	70	μA
電源電圧立ち上がり時間	t_{RVD}		1			μs
電源電圧立ち下がり時間	t_{FVD}		1			μs
電源電圧保持時間	t_{HVD}	STOPモード解除後	0			ms
STOP解除信号入力時間	t_{DREL}	V_{DD} がMIN. 3.3Vに達したあと	0			μs
データ保持ハイ・レベル入力電圧	V_{IHDR}	すべての入力ポート	$0.9 V_{DDDR}$		V_{DDDR}	V
データ保持ロウ・レベル入力電圧	V_{ILDR}	すべての入力ポート	0		$0.1 V_{DDDR}$	V

注意 STOPモードへの移行, およびSTOPモードからの復帰は, 動作範囲内で行ってください。

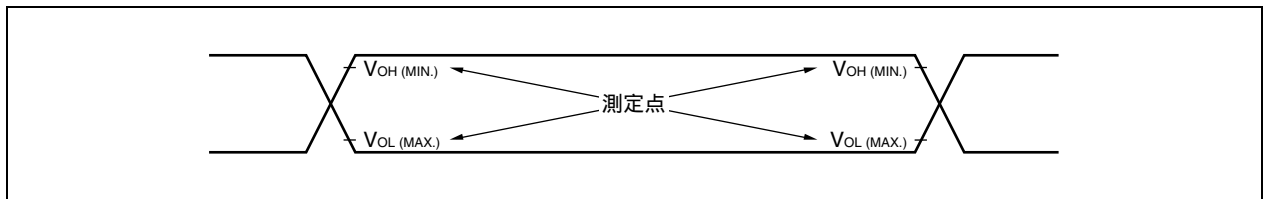


3.2.11 AC 特性

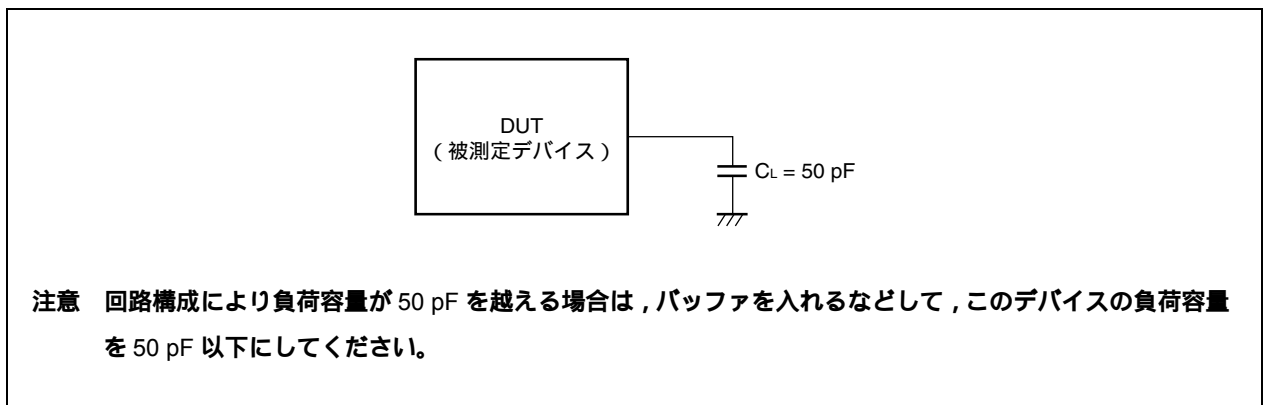
AC テスト入力測定点 (V_{DD} , AV_{REF0} , EV_{DD})



AC テスト出力測定点



負荷条件

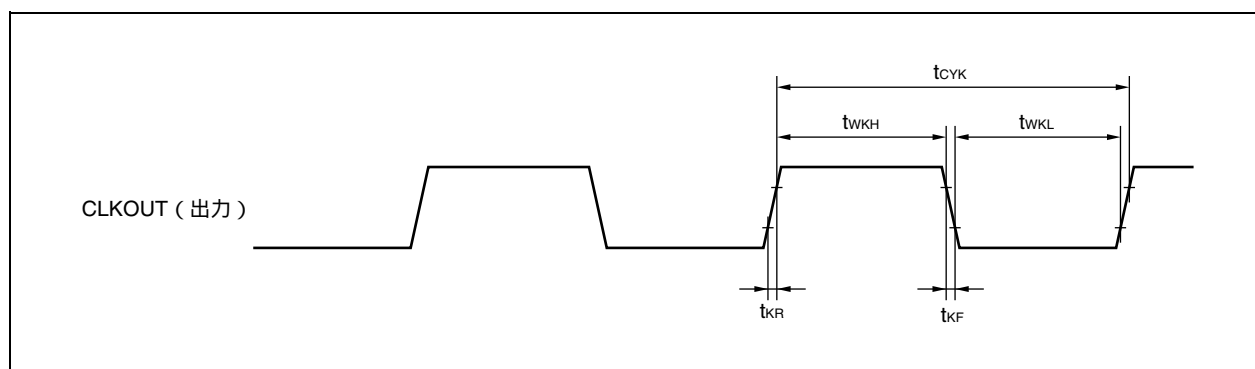


(1) CLKOUT 出力タイミング

($T_A = -40 \sim +110$, $V_{DD} = EV_{DD} = 3.5 \text{ V} \sim 5.5 \text{ V}, 4.0 \text{ V}$ $AV_{REF0} = 5.5 \text{ V}, V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}, C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
出力周期	t_{CYK}	3.5 V $V_{DD} = EV_{DD} < 4.0 \text{ V}$	50 ns	80 μs	
		4.0 V $V_{DD} = EV_{DD} = 5.5 \text{ V}$	31.25 ns	80 μs	
ハイ・レベル幅	t_{WKH}	3.5 V $V_{DD} = EV_{DD} < 4.0 \text{ V}$	$t_{CYK}/2 - 15$		ns
		4.0 V $V_{DD} = EV_{DD} = 5.5 \text{ V}$	$t_{CYK}/2 - 13$		ns
ロウ・レベル幅	t_{WKL}	3.5 V $V_{DD} = EV_{DD} < 4.0 \text{ V}$	$t_{CYK}/2 - 15$		ns
		4.0 V $V_{DD} = EV_{DD} = 5.5 \text{ V}$	$t_{CYK}/2 - 13$		ns
立ち上がり時間	t_{KR}	3.5 V $V_{DD} = EV_{DD} < 4.0 \text{ V}$		15	ns
		4.0 V $V_{DD} = EV_{DD} = 5.5 \text{ V}$		13	ns
立ち下がり時間	t_{KF}	3.5 V $V_{DD} = EV_{DD} < 4.0 \text{ V}$		15	ns
		4.0 V $V_{DD} = EV_{DD} = 5.5 \text{ V}$		13	ns

クロック・タイミング



(2) 基本動作

(a) リセット, 割り込みタイミング

($T_A = -40 \sim +110$, $V_{DD} = EV_{DD} = 3.3 \text{ V} \sim 5.5 \text{ V}, 4.0 \text{ V}$ $AV_{REF0} = 5.5 \text{ V}, V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}, C_L = 50 \text{ pF}$)

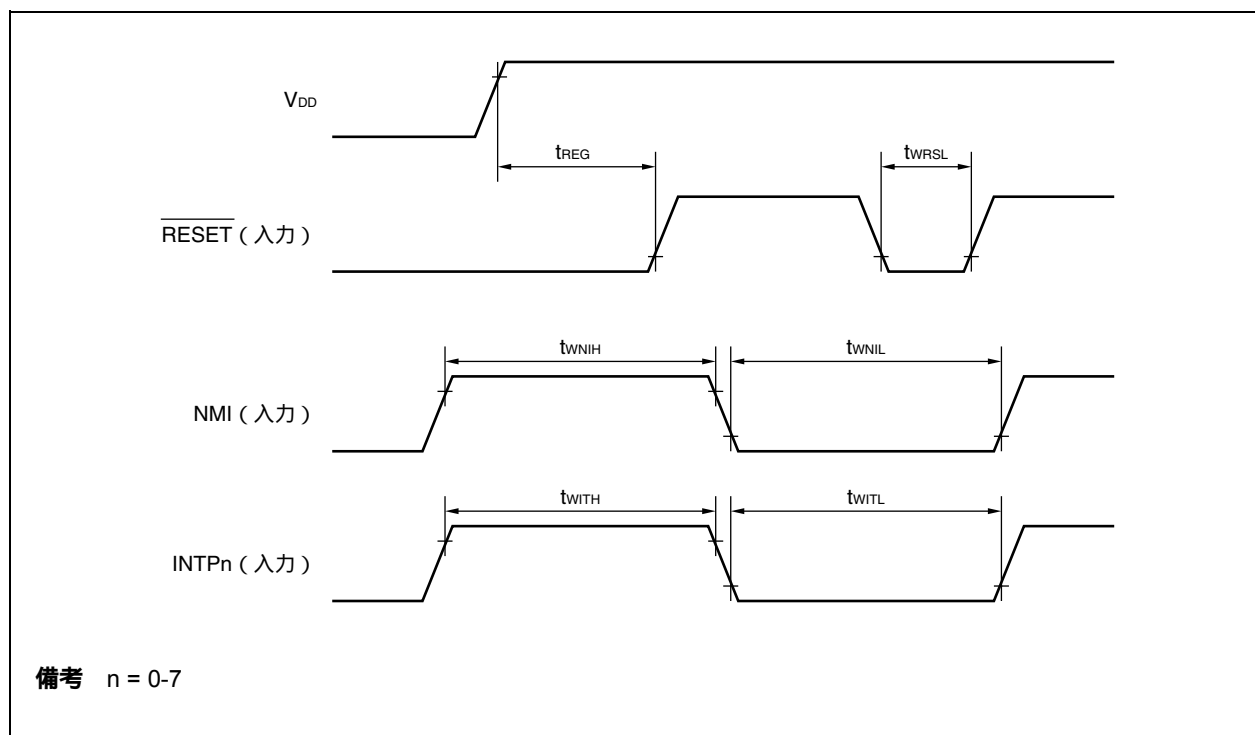
項目	略号	条件	MIN.	MAX.	単位
RESET入力ロウ・レベル幅	t _{WRSL}		250		ns
NMI入力ハイ・レベル幅	t _{WNIH}	アナログ・ノイズ除去	250		ns
NMI入力ロウ・レベル幅	t _{WNIL}	アナログ・ノイズ除去	250		ns
INTPn ^{注1} 入力ハイ・レベル幅	t _{WITH}	アナログ・ノイズ除去 (n = 0-7)	250		ns
		デジタル・ノイズ除去 (n = 3)	注2		ns
INTPn ^{注1} 入力ロウ・レベル幅	t _{WITL}	アナログ・ノイズ除去 (n = 0-7)	250		ns
		デジタル・ノイズ除去 (n = 3)	注2		ns

注 1. ADTRG 入力の値は, 兼用である INTP0 入力の値と同じです。DRST 入力の値は, 兼用である INTP2 の値と同じです。

2. $2T_{\text{samp}} + 20$ または $3T_{\text{samp}} + 20$

T_{samp} : ノイズ除去用サンプリング・クロックの周期

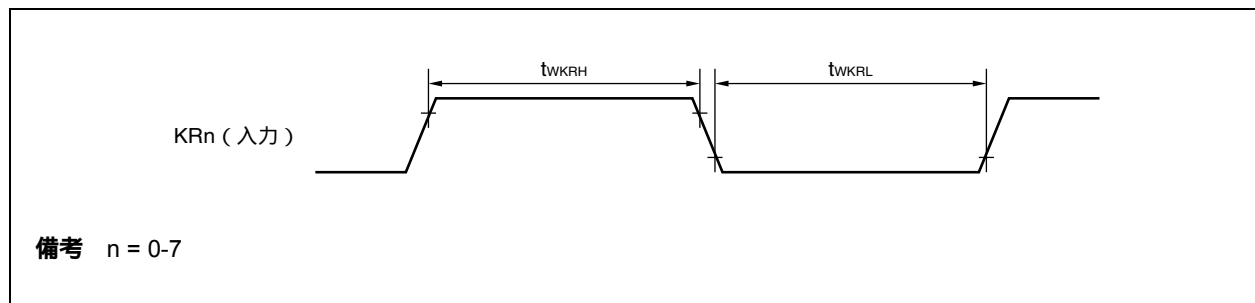
リセット/割り込み



(b) キー・リターン・タイミング

($T_A = -40 \sim +110$, $V_{DD} = EV_{DD} = 3.3 V \sim 5.5 V, 4.0 V$ $AV_{REF0} = 5.5 V, V_{SS} = EV_{SS} = AV_{SS} = 0 V, C_L = 50 pF$)

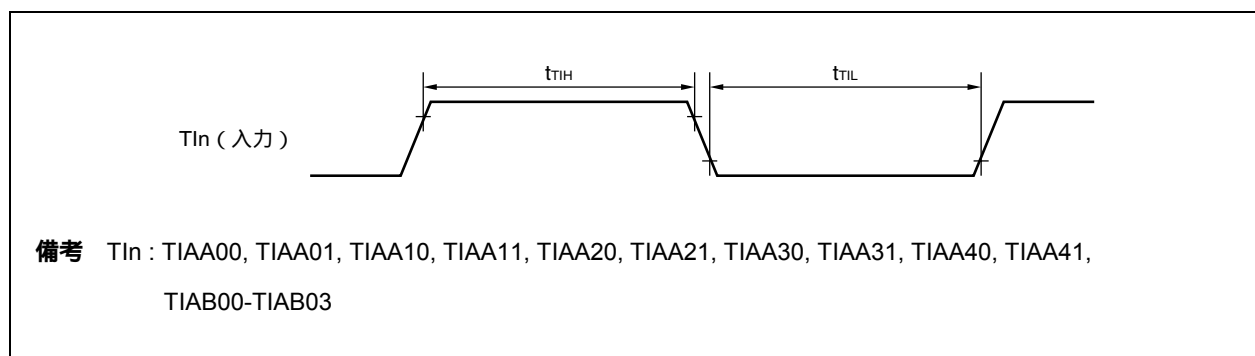
項目	略号	条件	MIN.	MAX.	単位
KRn入力ハイ・レベル幅	t _{WKRH}	アナログ・ノイズ除去 (n = 0-7)	250		ns
KRn入力ロウ・レベル幅	t _{WKRL}		250		ns



(c) タイマ入力タイミング

($T_A = -40 \sim +110$, $V_{DD} = EV_{DD} = 3.5 V \sim 5.5 V, 4.0 V$ $AV_{REF0} = 5.5 V, V_{SS} = EV_{SS} = AV_{SS} = 0 V, C_L = 50 pF$)

項目	略号	条件	MIN.	MAX.	単位
TI入力ハイ・レベル幅	t _{TIH}	TIAA00, TIAA01, TIAA10, TIAA11, TIAA20, TIAA21, TIAA30, TIAA31, TIAA40, TIAA41, TIAB00-TIAB03	250		ns
TI入力ロウ・レベル幅	t _{TIL}		250		ns
TO出力サイクル	f _{CYK}	TOAA00, TOAA01, TOAA10, TOAA11, TOAA20, TOAA21, TOAA30, TOAA31, TOAA40, TOAA41, TOAB00-TOAB03	4.0 V $V_{DD} = 5.5 V$	16	MHz
			3.5 V $V_{DD} < 4.0 V$	10	MHz



(d) CSI タイミング

マスタ・モード

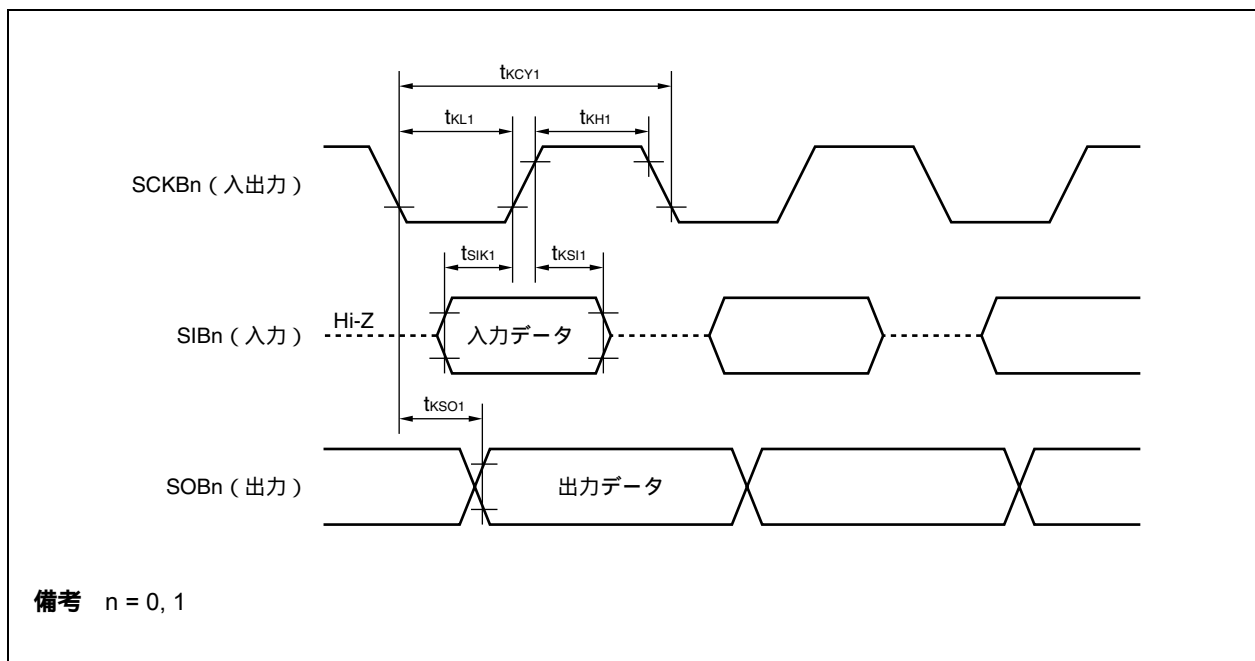
($T_A = -40 \sim +110$, $V_{DD} = EV_{DD} = 3.5 V \sim 5.5 V, 4.0 V$ $AV_{REF0} = 5.5 V, V_{SS} = EV_{SS} = AV_{SS} = 0 V, C_L = 50 pF$)

項目	略号	条件	MIN.	MAX.	単位
SCKBnサイクル・タイム	t _{KCY1}		125		ns
SCKBnハイ・レベル幅	t _{KH1}		t _{KCY1} /2 - 15		ns
SCKBnロウ・レベル幅	t _{KL1}		t _{KCY1} /2 - 15		ns
SIBn設定時間 (対SCKBn)	t _{SIK1}		30		ns
SIBn保持時間 (対SCKBn)	t _{KS1}		25		ns
SCKBn SOBn出力遅延時間	t _{KSO1}			25	ns

スレーブ・モード

($T_A = -40 \sim +110$, $V_{DD} = EV_{DD} = 3.5 V \sim 5.5 V, 4.0 V$ $AV_{REF0} = 5.5 V, V_{SS} = EV_{SS} = AV_{SS} = 0 V, C_L = 50 pF$)

項目	略号	条件	MIN.	MAX.	単位
SCKBnサイクル・タイム	t _{KCY1}		200		ns
SCKBnハイ・レベル幅	t _{KH1}		90		ns
SCKBnロウ・レベル幅	t _{KL1}		90		ns
SIBn設定時間 (対SCKBn)	t _{SIK1}		50		ns
SIBn保持時間 (対SCKBn)	t _{KS1}		50		ns
SCKBn SOBn出力遅延時間	t _{KSO1}			50	ns



(e) UART タイミング

($T_A = -40 \sim +110$, $V_{DD} = EV_{DD} = 3.5 V \sim 5.5 V, 4.0 V$ $AV_{REF0} = 5.5 V, V_{SS} = EV_{SS} = AV_{SS} = 0 V, C_L = 50 pF$)

項目	略号	条件	MIN.	MAX.	単位
通信レート				1.5	Mbps
ASCK0周波数				10	MHz

(f) I²C タイミング

($T_A = -40 \sim +110$, $V_{DD} = EV_{DD} = 3.5 V \sim 5.5 V, 4.0 V$ $AV_{REF0} = 5.5 V, V_{SS} = EV_{SS} = AV_{SS} = 0 V, C_L = 50 pF$)

項目	略号	標準モード		高速モード		単位
		MIN.	MAX.	MIN.	MAX.	
SCL00クロック周波数	f _{CLK}	0	100	0	400	kHz
バス・フリー・タイム (ストップ・スタート・コンディション間)	t _{BUF}	4.7	-	1.3	-	μs
ホールド時間 ^{注1}	t _{HD : STA}	4.0	-	0.6	-	μs
SCL00クロックのロウ・レベル幅	t _{LOW}	4.7	-	1.3	-	μs
SCL00クロックのハイ・レベル幅	t _{HIGH}	4.0	-	0.6	-	μs
スタート/リスタート・コンディションのセットアップ時間	t _{SU : STA}	4.7	-	0.6	-	μs
データ・ホールド時間	CBUS互換マスタの場合 I ² Cモードの場合	t _{HD : DAT}	5.0	-	-	μs
			0 ^{注2}	-	0 ^{注2}	0.9 ^{注3}
データ・セットアップ時間	t _{SU : DAT}	250	-	100 ^{注4}	-	ns
SDA00およびSCL00信号の立ち上がり時間	t _r	-	1000	20 + 0.1Cb ^{注5}	300	ns
SDA00およびSCL00信号の立ち下がり時間	t _f	-	300	20 + 0.1Cb ^{注5}	300	ns
ストップ・コンディションのセットアップ時間	t _{SU : STO}	4.0	-	0.6	-	μs
入力フィルタによって抑制されるスパイクのパルス幅	t _{SP}	-	-	0	50	ns
各バス・ラインの容量性負荷	C _b	-	400	-	400	pF

注 1. スタート・コンディション時に、最初のクロック・パルスは、ホールド時間のあとに生成されます。

2. 装置は、SCL00 の立ち下がり端の未定義領域を埋めるために (SCL00 信号の V_{IHmin.}での) SDA00 信号用に最低 300 ns のホールド時間を内部的に提供する必要があります。

3. 装置が SCL00 信号のロウ・ホールド時間 (t_{LOW}) を延長しない場合は、最大データ・ホールド時間 (t_{HD : DAT}) のみ満たすことが必要です。

4. 高速モード I²C バスは、標準モード I²C バス・システム内で利用できます。この場合、次の条件を満たすようにしてください。

- ・装置が SCL00 信号のロウ状態ホールド時間を延長しない場合

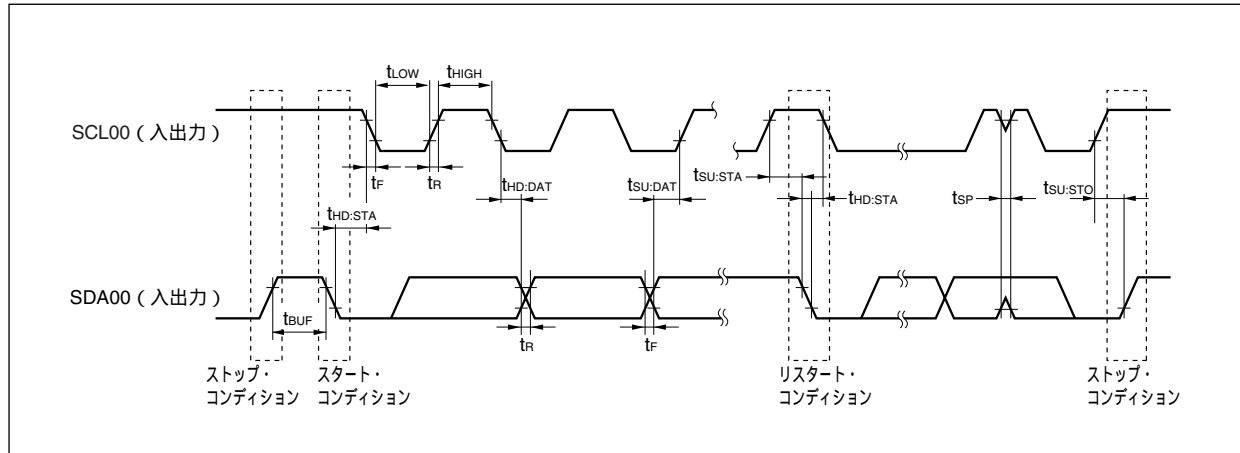
t_{SU : DAT} 250 ns

- ・装置が SCL00 信号のロウ状態ホールド時間を延長する場合

SCL00 ラインが解放される (t_{rmax.} + t_{SU : DAT} = 1000 + 250 = 1250 ns : 標準モード I²C バス仕様) 前に、次のデータ・ビットを SDA00 ラインに送出してください。

5. C_b : 1 つのバス・ラインの合計キャパシタンス (単位 : pF)

I²Cバス・モード

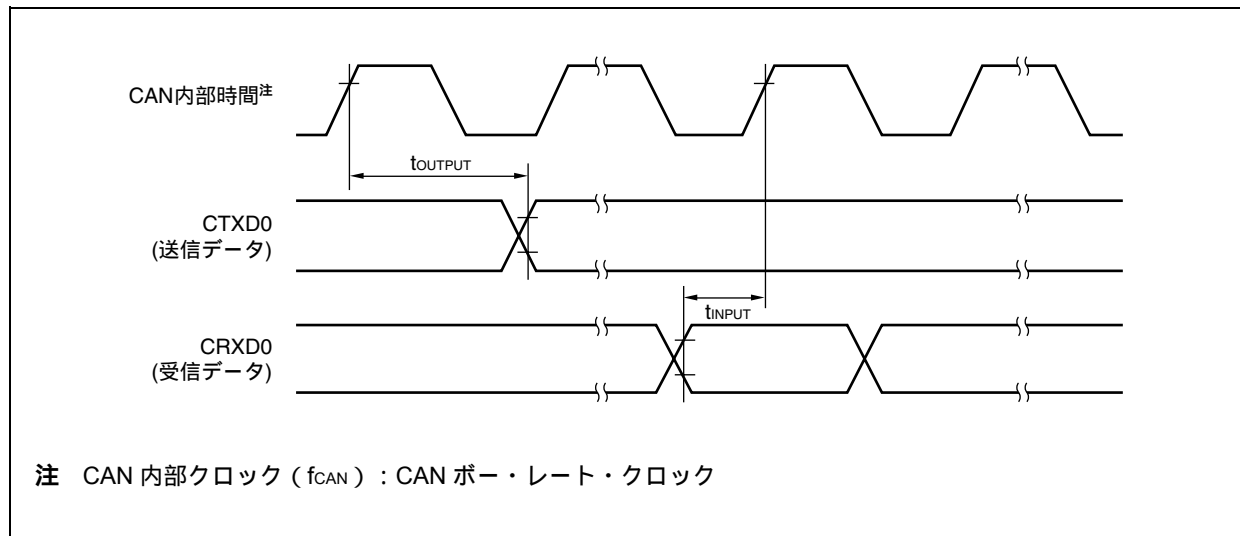


(g) CAN タイミング

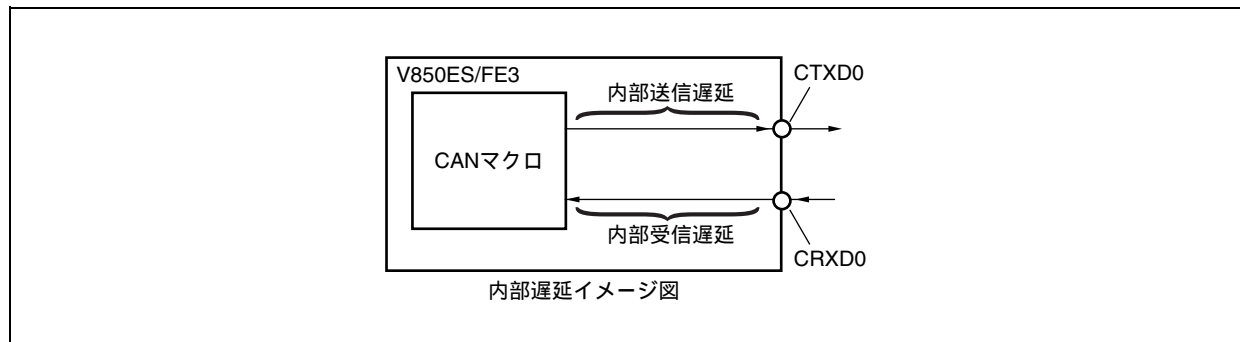
($T_A = -40 \sim +110$, $V_{DD} = EV_{DD} = 3.5V \sim 5.5V, 4.0V$ $AV_{REF0} = 5.5V, V_{SS} = EV_{SS} = AV_{SS} = 0V, C_L = 50pF$)

項目	略号	条件	MIN.	MAX.	単位
通信レート				1	Mbps
内部遅延時間 ^注				100	ns

注 内部遅延時間 (t_{NODE}) = 内部送信遅延時間 (t_{OUTPUT}) + 内部受信遅延時間 (t_{INPUT})



注 CAN 内部クロック (f_{CAN}) : CAN ボー・レート・クロック



3.2.12 A/D コンバータ

($T_A = -40 \sim +110$, $V_{DD} = EV_{DD} = 3.5V \sim 5.5V, 4.0V$ $AV_{REF0} = 5.5V, V_{SS} = EV_{SS} = AV_{SS} = 0V, C_L = 50pF$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能					10	bit
総合誤差 ^{注1}		4.0V $AV_{REF0} = 5.5V$		±0.15	±0.3	%FSR
変換時間	t _{CONV}		3.10		16	μs
安定時間	t _{STA}	ADA0M0.ADA0PSビット = 0 1 としたあと	2			μs
パワーダウン復帰時間	t _{DPU}	STOPモード解除後の動作開始	1			μs
ゼロスケール誤差 ^{注1}	ZSE				±0.3	%FSR
フルスケール誤差 ^{注1}	FSE				±0.3	%FSR
積分非直線性誤差 ^{注2}	INL				±2.5	LSB
微分非直線性誤差 ^{注2}	DNL				±1.5	LSB
アナログ入力電圧	V _{IAN}		AV _{SS}		AV _{REF0}	V
AV _{REF0} 電流	I _{AREF0}	A/Dコンバータ使用時		4	7	mA
		A/Dコンバータ未使用時		1	10	μA
自己診断機能使用時変換結果		AV _{REF0} 変換結果	3FC		3FF	HEX
		AV _{SS} 変換結果	000		003	HEX

注 1. 量子化誤差 (±0.05 %FSR) は含みません。フルスケール値に対する比率 (%FSR) で表します。

2. 量子化誤差 (±0.5LSB) は含みません。

注意1. A/D変換特性にはサンプリング誤差を含みません。ノイズ除去のためにつけるバイパス・コンデンサの値や信号源インピーダンスには注意してください。特に少ないチャンネル数を連続スキャンする場合にスキャン周期が短くなり、サンプリング誤差が大きくなります。

2. ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してレイアウトしてください。また、デジタル回路の信号配線とアナログ回路の信号配線を交差させたり、近接させたりするようなレイアウトはできるだけ避けてください。アナログ・グランド (AV_{SS}) は、ボード上の安定したデジタル・グランド (GND) と一点で接続してください。
3. アナログ電源、基準電源に接続するバイパス・コンデンサは、チップ・コンデンサのように高周波特性のよいものを使用し、できるだけデバイスの近くで接続してください。
4. 各アナログ入力のア/D変換結果は、同じアナログ入力を変換したとしても同じにならない可能性があります。最大で0.6 %FSRの差になる可能性があります。
5. A/D変換中に兼用ポートの設定 (リード/ライト) を行わないでください。変換分解能が低下することがあります。

備考 FSR : Full Scale Range

LSB : Least Significant Bit

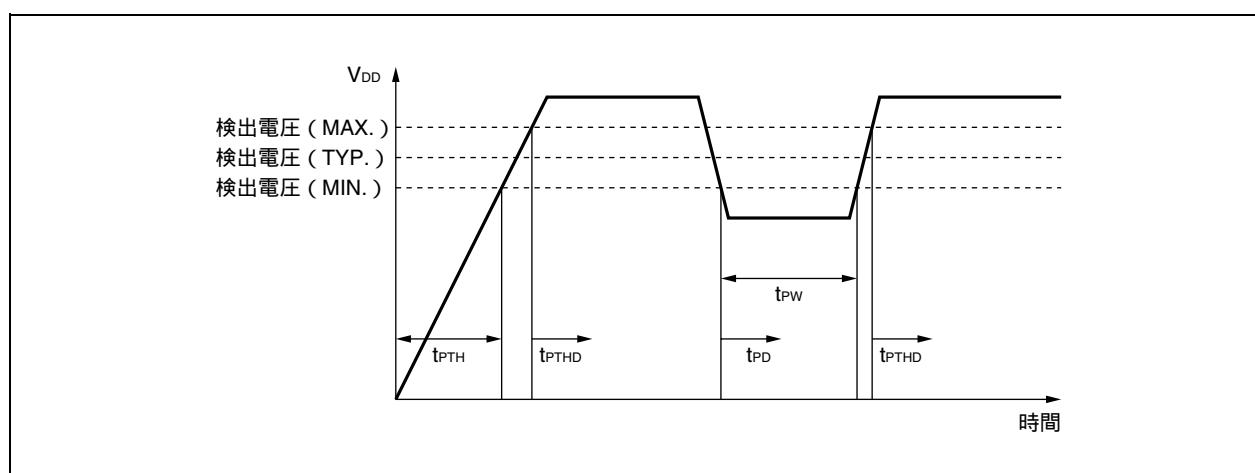
3.2.13 POC 回路特性

($T_A = -40 \sim +110$, $V_{DD} = EV_{DD}$, $V_{SS} = EV_{SS} = AV_{SS} = 0$ V, $C_L = 50$ pF)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V_{POCO}		3.3	3.5	3.7	V
電源立ち上げ時間	t_{PTH}	$V_{DD} = 0$ V 3.3 V	0.002			ms
応答時間 ^{注1}	t_{PTHD}	電源立ち上げ時, V_{DD} が3.7 Vに達したあと			2.0	ms
応答時間 ^{注2}	t_{PD}	電源降下時, V_{DD} が3.3 Vを下回ったあと			1.0	ms
最小 V_{DD} 幅	t_{PW}		0.2			ms

注1. 検出電圧を検出してからリセットを解除するまでの時間。

2. 検出電圧を検出してからリセットを出力するまでの時間。



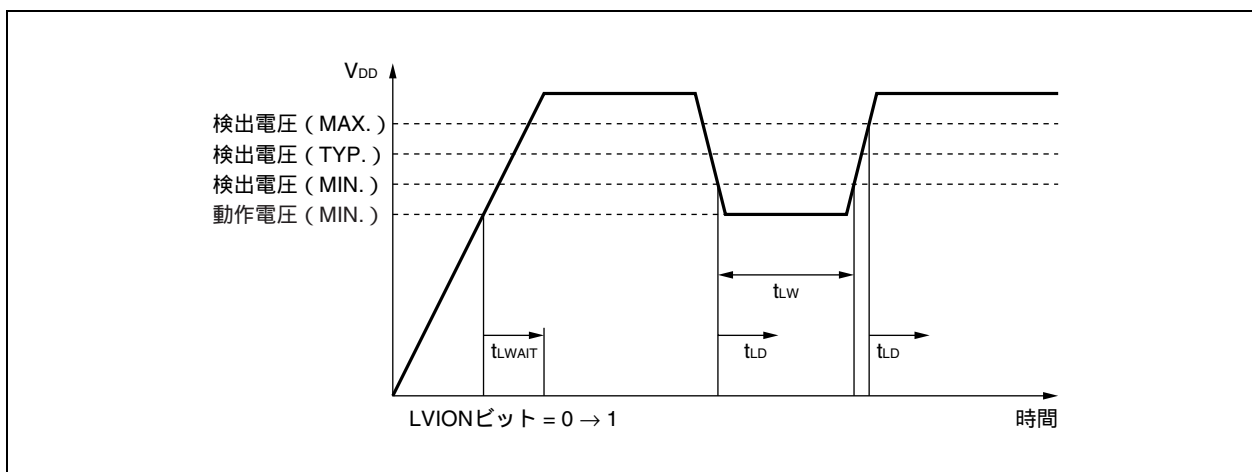
3.2.14 LVI 回路特性

($T_A = -40 \sim +110$, $V_{DD} = EV_{DD} = 3.3$ V ~ 5.5 V, 4.0 V $AV_{REF0} = 5.5$ V, $V_{SS} = EV_{SS} = AV_{SS} = 0$ V, $C_L = 50$ pF)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V_{LVI0}		3.8	4.0	4.2	V
	V_{LVI1}		3.5	3.7	3.9	V
応答時間 ^{注1}	t_{LD}	V_{DD} が V_{LVI0} , V_{LVI1} (MAX.) に達したあと, V_{DD} が V_{LVI0} , V_{LVI1} (MIN.) を下まわったあと		0.2	2.0	ms
最小 V_{DD} 幅	t_{LW}		0.2			ms
基準電圧安定待ち時間 ^{注2}	t_{LWAIT}	V_{DD} が3.3 Vに達したあと, LVIM.LVIONビット= 0 1となったあと		0.1	0.2	ms

注1. 検出電圧を検出して割り込み / リセットを出力するまでの時間。

2. POC 機能を利用する場合には必要ありません。

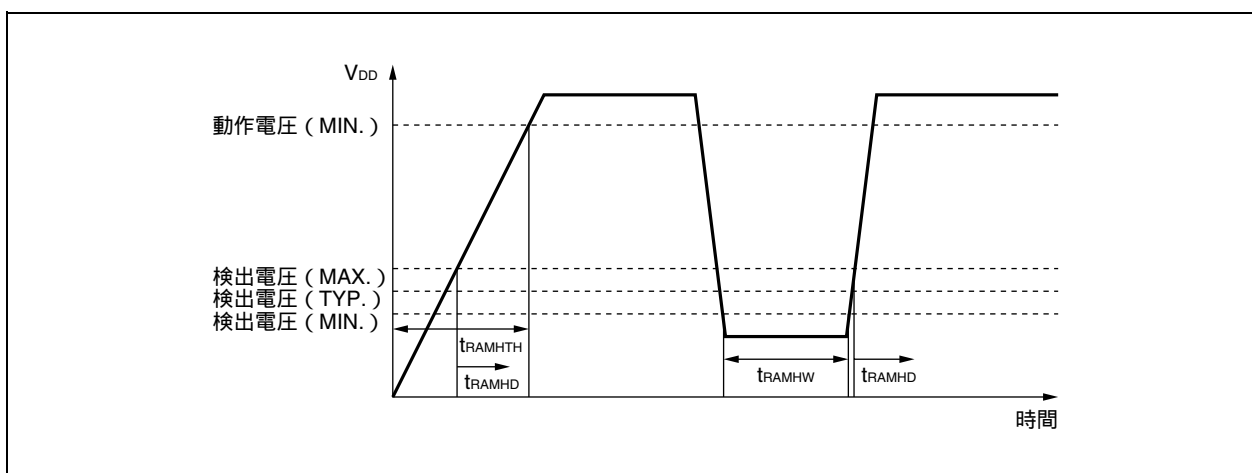


3. 2. 15 RAM 保持フラグ特性

($T_A = -40 \sim +110$, $V_{DD} = EV_{DD} = 1.9V \sim 5.5V, 4.0V$ $AV_{REF0} = 5.5V, V_{SS} = EV_{SS} = AV_{SS} = 0V, C_L = 50pF$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V_{RAMH}		1.9	2.0	2.1	V
電源電圧立ち上がり時間	t_{RAMHTH}	$V_{DD} = 0V \sim 3.3V$	0.002		1800	ms
応答時間 ^注	t_{RAMHD}	電源電圧が検出電圧 (MAX.) に達したあと		0.2	2.0	ms
最小VDD幅	t_{RAMHW}		0.2			ms

注 検出電圧を検出して RAMS.RAMF ビットをセットするまでの時間。



3.2.16 フラッシュ・メモリ・プログラミング特性

(1) 基本特性

(TA = -40 ~ +110, VDD = EVDD, 4.0V AVREF0 5.5V, VSS = EVSS = AVSS = 0 V, CL = 50 pF)

項目	略号	条件	MIN.	TYP.	MAX.	単位
動作周波数	fCPU		4		32	MHz
電源電圧	VDD		3.3		5.5	V
書き換え回数	CWRT ^{注1}	コード・フラッシュ, データ保持15年			1000 ^{注2}	回
		データ・フラッシュ, データ保持5年			10000 ^{注2}	回
ハイ・レベル入力電圧	VIH	FLMD0	0.8EVDD		EVDD	V
ロウ・レベル入力電圧	VIL	FLMD0	EVSS		0.2EVDD	V
プログラミング温度	tPRG	コード・フラッシュ	-40		+110 ^{注2}	
		データ・フラッシュ	-40		+110 ^{注2}	

注1. 出荷品に対する初回書き込み時では、「消去 → 書き込み」の場合も、「書き込みのみ」の場合も書き換え1回となります。

例 P: 書き込み E: 消去

出荷品 → P → E → P → E → P: 書き換え回数3回

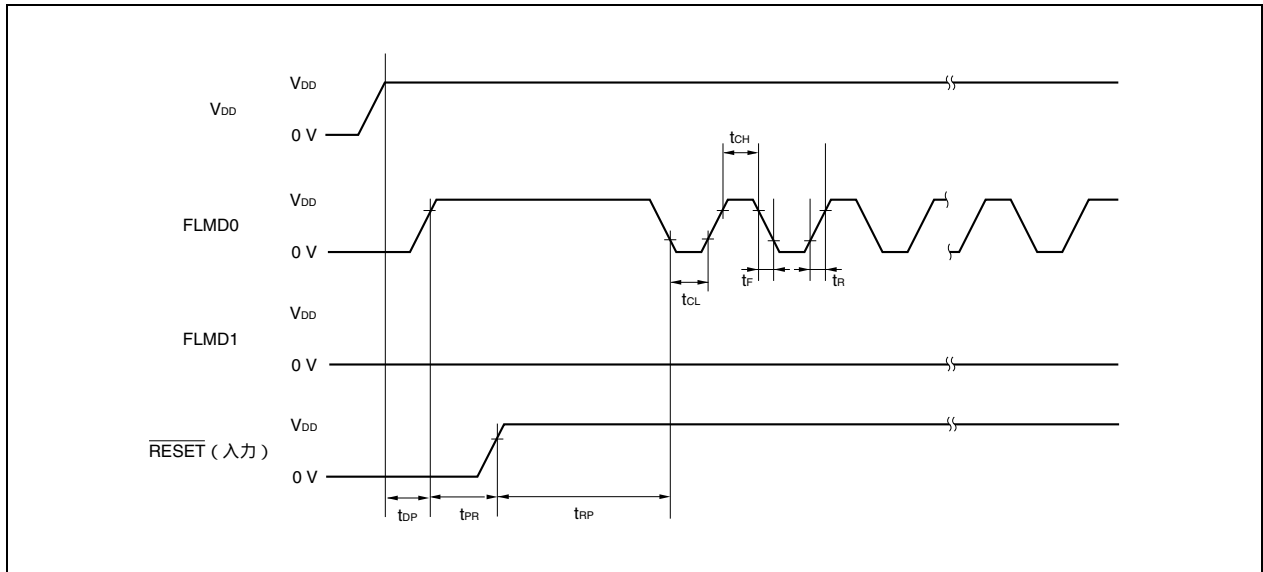
出荷品 → E → P → E → P → E → P: 書き換え回数3回

2. ターゲット値

(2) シリアル書き込みオペレーション特性

(TA = -40 ~ +110, VDD = EVDD, 4.0V AVREF0 5.5V, VSS = EVSS = AVSS = 0 V, CL = 50 pF)

項目	略号	条件	MIN.	TYP.	MAX.	単位
FLMD0, FLMD1設定時間 (対VDD)	tDP		1			ms
リセット解除時間(対FLMD0)	tPR		2			ms
FLMD0カウンタ開始時間 (対RESET)	tRP		800			μs
FLMD0カウンタ・ハイ・レベル 幅/ロウ・レベル幅	tCH/tCL		10		100	μs
FLMD立ち上がり時間/ 立ち下り時間	tr/ tf				50	ns



3.3 (A2) 製品についての電気的特性

3.3.1 絶対最大定格

絶対最大定格 (TA = 25) (1/2)

項目	略号	条件	定格	単位
電源電圧	V _{DD}	V _{DD} = EV _{DD}	- 0.5 ~ + 6.5	V
	EV _{DD}	V _{DD} = EV _{DD}	- 0.5 ~ + 6.5	V
	AV _{REF0}		- 0.5 ~ + 6.5	V
	V _{SS}	V _{SS} = EV _{SS} = AV _{SS}	- 0.5 ~ + 0.5	V
	AV _{SS}	V _{SS} = EV _{SS} = AV _{SS}	- 0.5 ~ + 0.5	V
	EV _{SS}	V _{SS} = EV _{SS} = AV _{SS}	- 0.5 ~ + 0.5	V
入力電圧	V _{I1}	P00-P06, P30-P35, P40-P42, P50-P55, P90, P91, P96-P99, P913-P915, PCM0, PCM1, PDL0-PDL7, RESET, FLMD0	- 0.5 ~ EV _{DD} + 0.5 ^注	V
	V _{I2}	X1, X2, XT1, XT2	- 0.5 ~ V _{RO} + 0.5 ^注	V
アナログ入力電圧	V _{IAN}	P70-P79	- 0.5 ~ AV _{REF0} + 0.5 ^注	V

注 それぞれの電源電圧の絶対最大定格 (MAX.値) を越えないようにしてください。

- 注意 1. IC 製品の出力 (または入出力) 端子同士を直結したり, V_{DD} または V_{CC} や GND に直結したりしないでください。
2. 各項目のうち 1 項目でも, また一瞬でも絶対最大定格を越えると, 製品の品質を損なう恐れがあります。つまり絶対最大定格とは, 製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で, 製品をご使用ください。
DC 特性と AC 特性に示す規格や条件が, 製品の正常動作, 品質保証の範囲です。
3. ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路では直結可能です。

備考 兼用端子の特性は, 特に指定のないかぎり, ポート端子と同じです。

絶対最大定格 (T_A = 25) (2/2)

項目	略号	条件	定格	単位	
ロウ・レベル出力電流	I _{OL}	P00-P06, P30-P35, P40-P42, P50-P55, P90, P91, P96-P99, P913-P915, PCM0, PCM1, PDL0-PDL7	1端子	4	mA
			全端子合計	20	mA
		P70-P79	1端子	4	mA
			全端子合計	10	mA
ハイ・レベル出力電流	I _{OH}	P00-P06, P30-P35, P40-P42, P50-P55, P90, P91, P96-P99, P913-P915, PCM0, PCM1, PDL0-PDL7	1端子	- 4	mA
			全端子合計	- 20	mA
		P70-P79	1端子	- 4	mA
			全端子合計	- 10	mA
動作周囲温度	T _A	通常動作モード	- 40 ~ + 125		
		コード・フラッシュ・プログラミング・モード	- 40 ~ + 110		
保存温度	T _{stg}		- 40 ~ + 125		

- 注意 1. IC 製品の出力(または入出力)端子同士を直結したり、V_{DD} または V_{CC} や GND に直結したりしないでください。
2. 各項目のうち 1 項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。
- DC 特性と AC 特性に示す規格や条件が、製品の正常動作、品質保証の範囲です。
3. ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路では直結可能です。

備考 兼用端子の特性は、特に指定のないかぎり、ポート端子と同じです。

3.3.2 容 量

($T_A = 25$, $V_{DD} = EV_{DD} = AV_{REF0} = V_{SS} = EV_{SS} = AV_{SS} = 0 V$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
入出力容量	C _{IO}	f _x = 1 MHz, 被測定端子以外は0 V			10	pF

3.3.3 動作条件

($T_A = -40 \sim +125$, $V_{DD} = EV_{DD}, 4.0 V$ $AV_{REF0} 5.5 V, V_{SS} = EV_{SS} = AV_{SS} = 0 V, REGC = 4.7 \mu F$)

内部システム・クロック周波数 (f _{CLK})	電源電圧 (V _{DD})	動作条件
4.0 MHz f _{XX} 24 MHz	3.5 V V _{DD} 5.5 V	すべてのブロックの動作が可能 f _{XP1} 24 MHz : 4.0 V V _{DD} 5.5 V f _{XP1} 20 MHz : 3.5 V V _{DD} < 4.0 V
	3.3 V V _{DD} < 3.5 V	次のブロックの動作が可能 - CPU - RAM - Flash (プログラミングを含む) - Port (I/Oバッファ) - Watch Timer - Watchdog Timer 2 - Interrupt Contoroller - Clock Monitor - POC - Low Voltage Detector
12.5 kHz f _{XT} 27.5 kHz ^注 (RC)	3.3 V V _{DD} 5.5 V	-
240 kHz (低速内蔵発振器)	3.3 V V _{DD} 5.5 V	-

注 内部システム・クロック周波数は発振周波数の 1/2 となります (RC 発振周波数は 25 ~ 55 kHz です)。

備考 f_{XP1} : 周辺クロック用プリスケラ 1 入力周波数

3.3.4 発振回路特性

メイン・クロック発振回路特性

($T_A = -40 \sim +125$, $V_{DD} = EV_{DD} = 3.3V \sim 5.5V, 4.0V$ $AV_{REF0} = 5.5V, V_{SS} = EV_{SS} = AV_{SS} = 0V$)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位	
セラミック 発振子		発振周波数 (fx) ^{注1}		4		16	MHz	
		発振安定時間	PCC.MCKビットを1 0へ変更後	64 ^{注2}	注3		μs	
			STOPモード解除後	64 ^{注2}	注3		μs	
			IDLE2モード解除後 ^{注5}	54 ^{注4}	注3		μs	
水晶振動子			発振周波数 (fx) ^{注1}		4		16	MHz
			発振安定時間	PCC.MCKビットを1 0へ変更後	64 ^{注2}	注3		μs
				STOPモード解除後	64 ^{注2}	注3		μs
				IDLE2モード解除後 ^{注5}	54 ^{注4}	注3		μs

- 注 1. 発振回路の特性だけを示すものです。CPU 動作クロックについては、3.3.11 AC 特性を参照してください。
2. OSTS レジスタで設定可能な最小時間です。
3. OSTS レジスタの設定によって値が異なります。
4. 内蔵 ROM のセットアップに必要な時間です。OSTS レジスタによって確実にセットアップ時間を確保してください。
5. IDLE2 モードでは、メイン・クロック発振は停止しません。

注意 1. メイン・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2. メイン・クロックを停止させサブクロックで動作させているときに、再度メイン・クロックに切り替える場合には、プログラムで発振安定時間を確保したあとに切り替えてください。

サブクロック発振回路特性

($T_A = -40 \sim +125$, $V_{DD} = EV_{DD} = 3.3V \sim 5.5V, 4.0V$ $AV_{REF0} = 5.5V, V_{SS} = EV_{SS} = AV_{SS} = 0V$)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
RC発振子		発振周波数 ^{注1,4}	$R = 390\text{ k}\Omega \pm 5\%$ ^{注3} $C = 47\text{ pF} \pm 10\%$ ^{注3}	25	40	55	kHz
		発振安定時間 ^{注2}				100	μs

- 注 1. 発振回路の特性だけを示すものです。CPU動作クロックについては、3.3.11 AC特性を参照してください。
2. V_{DD} が発振電圧範囲（MIN. 3.3V）に達してから発振が安定するまでの時間です。
3. 配線容量の影響を避けるため、配線は極力短くしてください。
4. RC発振周波数は、40kHz（TYP.値）です。このクロックは内部で2分周されます。RC発振子の場合、サブクロック周波数（ f_{XT} ）は、12.5kHz（MIN.値）、20kHz（TYP.値）、27.5kHz（MAX.値）です。

注意 1. サブクロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
 - ・他の信号線と交差させない。
 - ・変化する大電流が流れる線に接近させない。
 - ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
 - ・大電流が流れるグランド・パターンに接地しない。
 - ・発振回路から信号を取り出さない。
2. サブクロック発振回路は、低消費電流にするため増幅度の低い回路になっており、ノイズによる誤動作がメイン・クロックよりも起こりやすくなっています。したがって、サブクロックを使用する場合は、配線方法について特に注意してください。

3.3.5 PLL 特性

($T_A = -40 \sim +125$, $V_{DD} = EV_{DD} = 3.3V \sim 5.5V, 4.0V$ $AV_{REF0} = 5.5V, V_{SS} = EV_{SS} = AV_{SS} = 0V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力周波数	f_x		4		16	MHz
出力周波数	f_{xx}		12		24	MHz
ロック時間	t_{PLL}	V_{DD} がMIN. 3.3Vに達したあと			800	μs

3.3.6 SSCG 特性

($T_A = -40 \sim +125$, $V_{DD} = EV_{DD} = 3.3V \sim 5.5V, 4.0V$ $AV_{REF0} = 5.5V, V_{SS} = EV_{SS} = AV_{SS} = 0V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力周波数	f_x		4		16	MHz
出力周波数	f_{xx}		12		24	MHz
ロック時間	t_{SSCG}	V_{DD} がMIN. 3.3Vに達したあと			1000	μs

注意 周波数変調率は、SFC1.SFC16-SFC14ビットの設定値により次の表に示すようになります。

周波数変調後の周波数は、出力周波数のMIN.値、MAX.値を逸脱しないようにしてください。

変調率がMAX.時に出力周波数のMAX.値を逸脱しない最大周波数（変調前周波数）を次の表に示します。

SFC1.SFC16-SFC14ビット の設定値	周波数変調率		変調前周波数
	TYP.	MAX.	
000B	±0.5%	±2.0%	23.5 MHz
001B	±1.0%	±2.5%	23.4 MHz
010B	±2.0%	±4.0%	23.0 MHz
011B	±3.0%	±6.0%	22.6 MHz
100B	±4.0%	±8.0%	22.1 MHz
101B	±5.0%	±10.0%	21.6 MHz

3.3.7 内蔵発振器特性

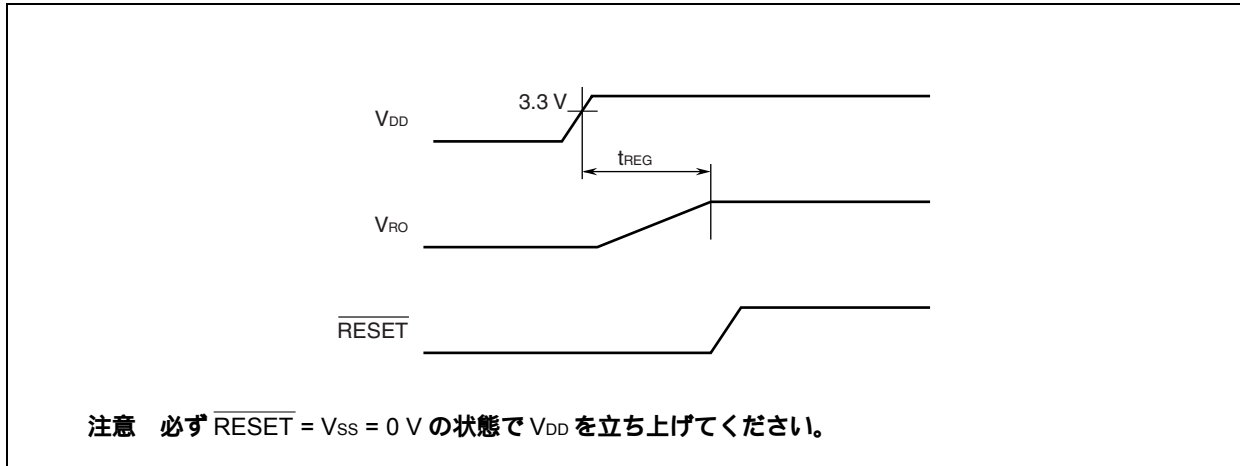
($T_A = -40 \sim +125$, $V_{DD} = EV_{DD} = 3.3V \sim 5.5V, 4.0V$ $AV_{REF0} = 5.5V, V_{SS} = EV_{SS} = AV_{SS} = 0V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
出力周波数	f_{RL}	低速内蔵発振器	204	240	276	kHz
	f_{RH}	高速内蔵発振器	7.2	8.0	8.8	MHz
発振安定時間		低速内蔵発振器		10	36	μs
		高速内蔵発振器	51	92	256	μs

3.3.8 電圧レギュレータ特性

($T_A = -40 \sim +125$, $V_{DD} = EV_{DD}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力電圧	V_{DD}		3.3		5.5	V
出力電圧	V_{RO}			2.5		V
出力電圧安定時間	t_{REG}	<ul style="list-style-type: none"> • V_{DD}がMIN. 3.3 Vに達したあと • REGC端子に$C = 4.7 \mu F (\pm 20 \%)$を接続 			1	ms



3.3.9 DC 特性

(1) 入出力レベル

($T_A = -40 \sim +125$, $V_{DD} = EV_{DD} = 3.3 V \sim 5.5 V, 4.0 V$ $AV_{REF0} = 5.5 V, V_{SS} = EV_{SS} = AV_{SS} = 0 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル入力電圧	V_{IH1}	P04, P30, P31, P34, P40, P91, P913-P915	$0.7EV_{DD}$		EV_{DD}	V	
	V_{IH2}	P00-P03, P05, P06, P32, P33, P35, P41, P42, P50-P55, P90, P96-P99, PDL0-PDL7	$0.8EV_{DD}$		EV_{DD}	V	
	V_{IH3}	PCM0, PCM1	$0.7EV_{DD}$		EV_{DD}	V	
	V_{IH4}	P70-P79	$0.7AV_{REF0}$		AV_{REF0}	V	
	V_{IH5}	RESET, FLMD0	$0.8EV_{DD}$		EV_{DD}	V	
ロウ・レベル入力電圧	V_{IL1}	P04, P30, P31, P34, P40, P91, P913-P915	EV_{SS}		$0.3EV_{DD}$	V	
	V_{IL2}	P00-P03, P05, P06, P32, P33, P35, P41, P42, P50-P55, P90, P96-P99, PDL0-PDL7	EV_{SS}		$0.4EV_{DD}$	V	
	V_{IL3}	PCM0, PCM1	EV_{SS}		$0.3EV_{DD}$	V	
	V_{IL4}	P70-P79	AV_{SS}		$0.3AV_{REF0}$	V	
	V_{IL5}	RESET, FLMD0	EV_{SS}		$0.2EV_{DD}$	V	
ハイ・レベル出力電圧 ^{注1}	V_{OH1}	P00-P06, P30-P35, P40-P42, P50-P55, P90, P91, P96-P99, P913-P915, PCM0, PCM1, PDL0-PDL7	$I_{OH} = -1.0 \text{ mA}$	$EV_{DD} - 1.0$		EV_{DD}	V
			$I_{OH} = -0.1 \text{ mA}$	$EV_{DD} - 0.5$		EV_{DD}	V
	V_{OH3}	P70-P79	$I_{OH} = -1.0 \text{ mA}$	$AV_{REF0} - 1.0$		AV_{REF0}	V
			$I_{OH} = -0.1 \text{ mA}$	$AV_{REF0} - 0.5$		AV_{REF0}	V
ロウ・レベル出力電圧 ^{注1}	V_{OL1}	P00-P06, P30-P35, P40-P42, P50-P55, P90, P91, P96-P99, P913, PCM0, PCM1, PDL0-PDL7	$I_{OL} = 1.0 \text{ mA}$	0		0.4	V
			P914, P915	$I_{OL} = 3.0 \text{ mA}$	0		0.4
	V_{OL3}	P70-P79	$I_{OL} = 1.0 \text{ mA}$	0		0.4	V
プルアップ抵抗	R_1	$V_i = 0 V$	10	30	100	kΩ	
プルダウン抵抗 ^{注2}	R_2	$V_i = V_{DD}$	10	30	100	kΩ	

注 1. I_{OH}/I_{OL} の合計の最大値は、電源 (EV_{DD}) にて 20 mA / - 20 mA です。

I_{OH}/I_{OL} の合計の最大値は、電源 (AV_{REF0}) にて 3 mA / - 3 mA です。

2. \overline{DRST} 端子として使用する場合 (コントロール・レジスタは OCDM です)。

備考 兼用端子の特性は、特に指定のないかぎり、ポート端子と同じです。

(2) 端子リーク電流

($T_A = -40 \sim +125$, $V_{DD} = EV_{DD} = 3.3V \sim 5.5V, 4.0V$ $AV_{REF0} = 5.5V, V_{SS} = EV_{SS} = AV_{SS} = 0V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力リーク電流	I _{LIH1}	V _I = V _{DD}	アナログ端子		0.5	μA
			アナログ端子以外 ^注		1.0	μA
ロウ・レベル入力リーク電流	I _{LIL1}	V _I = 0V	アナログ端子		-0.5	μA
			アナログ端子以外 ^注		-1.0	μA
ハイ・レベル出力リーク電流	I _{LOH1}	V _O = V _{DD}	アナログ端子		0.5	μA
			アナログ端子以外		1.0	μA
ロウ・レベル出力リーク電流	I _{LOL1}	V _O = 0V	アナログ端子		-0.5	μA
			アナログ端子以外		-1.0	μA

注 FLMD0 端子の入力リーク電流は次のとおりです

ハイ・レベル入力リーク電流 : 5.0 μA

ロウ・レベル入力リーク電流 : -5.0 μA

(a) 入力ヒステリシス (参考特性)

($T_A = -40 \sim +125$, $V_{DD} = EV_{DD} = 3.3V \sim 5.5V, 4.0V$ $AV_{REF0} = 5.5V, V_{SS} = EV_{SS} = AV_{SS} = 0V$)

項目	略号	条件	TYP.	単位
入力ヒステリシス	V _{HYS1}	入力スイッチング中心電圧 : 0.5 × EV _{DD} , P04, P30, P31, P34, P40, P91, P913-P915	0.267 × EV _{DD} - 0.51	V
	V _{HYS2}	入力スイッチング中心電圧 : 0.6 × EV _{DD} , P00-P03, P05, P06, P32, P33, P35, P41, P42, P50-P55, P90, P96-P99, PDL0-PDL7	0.192 × EV _{DD} - 0.31	V
	V _{HYS5}	入力スイッチング中心電圧 : 0.5 × EV _{DD} , RESET, FLMD0	0.535 × EV _{DD} - 0.9	V

注意 上記参考特性は、開発時の設計検討および製品特性を元に定めています。製品出荷時に検査を行いません。
そのため上記参考特性は、保証しておりません。

備考 兼用端子の特性は、特に指定のないかぎり、ポート端子と同じです。

(3) 電源電流

電源電流 (1/3)

($T_A = -40 \sim +125$, $V_{DD} = EV_{DD} = 3.3 \text{ V} \sim 5.5 \text{ V}, 4.0 \text{ V}$ $AV_{REF0} = 5.5 \text{ V}, V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

項目	略号	条 件					MIN.	TYP.	MAX.	単位
電源電流 ^{注1}	IDD1	通常動作モード ^{注2,7}	全周辺機能動作	OB_7B.PRSI ビット = 0 ($f_{XP1} = f_{XX}$)	PLL : 停止 (4 MHz f_{XX} 16 MHz)	$f_{XX} = 8 \text{ MHz}$ (f_{RH} , 高速内蔵 発振) ^{注3}	-	13	20	mA
						$f_{XX} = 16 \text{ MHz}$ ($f_x = 16 \text{ MHz}$)	-	21	30	mA
					PLL : 動作 (16 MHz f_{XX} 24 MHz)	$f_{XX} = 20 \text{ MHz}$ ($f_x = 5 \text{ MHz}$)	-	27	37	mA
						$f_{XX} = 24 \text{ MHz}$ ($f_x = 12 \text{ MHz}$)	-	31	42	mA
		全周辺機能停止	OB_7B.PRSI ビット = 0 ($f_{XP1} = f_{XX}$)	PLL : 停止 (4 MHz f_{XX} 16 MHz)	$f_{XX} = 8 \text{ MHz}$ (f_{RH} , 高速内蔵 発振) ^{注3}	-	12	-	mA	
					$f_{XX} = 16 \text{ MHz}$ ($f_x = 16 \text{ MHz}$)	-	19	-	mA	
				PLL : 動作 (16 MHz f_{XX} 24 MHz)	$f_{XX} = 20 \text{ MHz}$ ($f_x = 5 \text{ MHz}$)	-	22	-	mA	
					$f_{XX} = 24 \text{ MHz}$ ($f_x = 12 \text{ MHz}$)	-	26	-	mA	

電源電流 (2/3)

($T_A = -40 \sim +125$, $V_{DD} = EV_{DD} = 3.3 V \sim 5.5 V, 4.0 V$ $AV_{REF0} = 5.5 V, V_{SS} = EV_{SS} = AV_{SS} = 0 V$)

項目	略号	条 件				MIN.	TYP.	MAX.	単位			
電源電流 ^{注1}	IDD2	HALT モード ^{注7}	全周辺 機能 動作	OB_7B.PRSI ビット=0 ($f_{XP1} = f_{XX}$)	PLL : 停止 (4 MHz f_{XX} 16 MHz)	$f_{XX} = 8$ MHz (f_{RH} , 高速内蔵 発振) ^{注3}	-	8	12	mA		
						$f_{XX} = 16$ MHz ($f_X = 16$ MHz)	-	13	20	mA		
					PLL : 動作 (16 MHz f_{XX} 24 MHz)	$f_{XX} = 20$ MHz ($f_X = 5$ MHz)	-	16	23	mA		
						$f_{XX} = 24$ MHz ($f_X = 12$ MHz)	-	20	27	mA		
					全周辺 機能 停止	OB_7B.PRSI ビット=0 ($f_{XP1} = f_{XX}$)	PLL : 停止 (4 MHz f_{XX} 16 MHz)	$f_{XX} = 8$ MHz (f_{RH} , 高速内蔵 発振) ^{注3}	-	5	-	mA
								$f_{XX} = 16$ MHz ($f_X = 16$ MHz)	-	9	-	mA
	PLL : 動作 (16 MHz f_{XX} 24 MHz)			$f_{XX} = 20$ MHz ($f_X = 5$ MHz)	-	12	-	mA				
				$f_{XX} = 24$ MHz ($f_X = 12$ MHz)	-	14	-	mA				
	IDD3	IDLE1 モード	周辺 機能 (TAA , UARTD) 動作	-	PLL : 停止 (4 MHz f_{XX} 16 MHz) ^{注4}	$f_{XX} = 5$ MHz ($f_X = 5$ MHz)	-	1.4	2.8	mA		
						$f_{XX} = 12$ MHz ($f_X = 12$ MHz)	-	2.0	3.7	mA		
						$f_{XX} = 16$ MHz ($f_X = 16$ MHz)	-	2.4	4.2	mA		
						$f_{XX} = 8$ MHz (f_{RH} , 高速内蔵 発振) ^{注3}	-	1.5	2.9	mA		
周辺 機能 (TAA , UARTD) 停止			-	PLL : 停止 (4 MHz f_{XX} 16 MHz) ^{注4}	$f_{XX} = 5$ MHz ($f_X = 5$ MHz)	-	1.2	-	mA			
					$f_{XX} = 12$ MHz ($f_X = 12$ MHz)	-	1.4	-	mA			
					$f_{XX} = 16$ MHz ($f_X = 16$ MHz)	-	1.6	-	mA			
					$f_{XX} = 8$ MHz (f_{RH} , 高速内蔵 発振) ^{注3}	-	1.1	-	mA			

電源電流 (3/3)

($T_A = -40 \sim +125$, $V_{DD} = EV_{DD} = 3.3 V \sim 5.5 V, 4.0 V$ $AV_{REF0} = 5.5 V, V_{SS} = EV_{SS} = AV_{SS} = 0 V$)

項目	略号	条 件				MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	IDD4	IDLE2 モード	-	-	PLL : 停止 (4 MHz f_{XX} 16 MHz) ^{注4}	$f_{XX} = 5 \text{ MHz}$ ($f_x = 5 \text{ MHz}$)	-	0.4	1.1	mA
						$f_{XX} = 12 \text{ MHz}$ ($f_x = 12 \text{ MHz}$)	-	0.7	1.5	mA
						$f_{XX} = 16 \text{ MHz}$ ($f_x = 16 \text{ MHz}$)	-	0.8	1.7	mA
						$f_{XX} = 8 \text{ MHz}$ (f_{RH} , 高速内蔵 発振) ^{注3}	-	0.2	1.0	mA
	IDD5	サブク ロック 動作 モード	-	-	-	$f_{XT} = 40 \text{ kHz}$ (TYP.) (RC発振)	-	80	850	μA
						$f_{RL} = 240 \text{ kHz}$ (TYP.) (低速 内蔵発振) ^{注5}	-	220	1450	μA
	IDD6	サブ IDLE モード ^{注3, 6}	-	-	-	$f_{XT} = 40 \text{ kHz}$ (TYP.) (RC発振)	-	40	670	μA
						$f_{RL} = 240 \text{ kHz}$ (TYP.) (低速 内蔵発振) ^{注5}	-	25	630	μA
	IDD7	STOP モード ^{注3, 5}	-	-	-	POC機能： 停止， 低速内蔵発振： 停止	-	7.5	530	μA
						POC機能： 停止， 低速内蔵発振： 発振	-	15.5	545	μA
						POC機能： 動作， 低速内蔵発振： 停止	-	10.5	535	μA
						POC機能： 動作， 低速内蔵発振： 発振	-	18.5	550	μA

- 注1. V_{DD} , EV_{DD} の電流の合計です (全ポート停止時)。 AV_{REF0} の電流, 内蔵プルアップ抵抗を通過する電流を含むポート・バッファの電流は含みません。
2. セルフ・プログラミング・モード時およびデータ・フラッシュの書き換え時を除く。セルフ・プログラミング・モード時およびデータ・フラッシュの書き換え時は, 次の値を MAX.値に加えてください。

加算値:

(セルフ・プログラミング・モード時)

$$\text{(PLL 停止時)} : 7 - (0.33 \times f_{xx} + 0.1) \text{ [mA]}$$

$$f_{xx} = 16 \text{ MHz 時} : 7 - (0.33 \times 16 + 0.1) = 1.62 \text{ mA}$$

$$\text{(PLL 動作時)} : 7 - (0.18 \times f_{xx} + 3.0) \text{ [mA]}$$

$$f_{xx} = 24 \text{ MHz 時} : 7 - (0.18 \times 24 + 3.0) = -0.32 \text{ mA}$$

(データ・フラッシュ書き換え時)

$$\text{(PLL 停止時)} : 7 - (0.18 \times f_{xx}/4 + 3.0) \text{ [mA]}$$

$$f_{xx} = 16 \text{ MHz 時} : 7 - (0.18 \times 16/4 + 3.0) = 3.28 \text{ mA}$$

$$\text{(PLL 動作時)} : 7 - (0.18 \times f_{xx}/4 + 3.0) \text{ [mA]}$$

$$f_{xx} = 24 \text{ MHz 時} : 7 - (0.18 \times 24/4 + 3.0) = 2.92 \text{ mA}$$

3. メイン・クロック発振回路停止時。
4. 高速内蔵発振器停止時。
5. サブクロック発振回路未使用時。
6. POC 動作, 低速内蔵発振器動作, 高速内蔵発振器停止時。
7. SSCG 動作許可時は, TYP.値に +2.5 mA, MAX.値に +4 mA を加算してください。

備考 OB_7B は, オプション・バイト (007BH) です。

電源電流 (参考算出式)

($T_A = -40 \sim +125$, $V_{DD} = EV_{DD} = 3.3 \text{ V} \sim 5.5 \text{ V}$, 4.0 V $AV_{REF0} = 5.5 \text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

項目	略号	条 件			TYP.	MAX.	単位	
電源電流 ^{注1}	IDD1	通常動作モード ^{注2, 4}	全周辺機能動作	OB_7B.PRSI ビット = 0 ($f_{XP1} = f_{XX}$)	PLL : 停止 (4 MHz f_{XX} 16 MHz)	$0.98 \times f_{XX}$ + 5.5	$1.18 \times f_{XX}$ + 10.6	mA
					PLL : 動作 (16 MHz f_{XX} 24 MHz)	$0.98 \times f_{XX}$ + 7.1	$1.18 \times f_{XX}$ + 13.6	mA
		全周辺機能停止	OB_7B.PRSI ビット = 0 ($f_{XP1} = f_{XX}$)	PLL : 停止 (4 MHz f_{XX} 16 MHz)	$0.83 \times f_{XX}$ + 5.7	-	mA	
				PLL : 動作 (16 MHz f_{XX} 24 MHz)	$0.81 \times f_{XX}$ + 6.2	-	mA	
	IDD2	HALTモード ^{注4}	全周辺機能動作	OB_7B.PRSI ビット = 0 ($f_{XP1} = f_{XX}$)	PLL : 停止 (4 MHz f_{XX} 16 MHz)	$0.70 \times f_{XX}$ + 1.9	$1.00 \times f_{XX}$ + 4.0	mA
					PLL : 動作 (16 MHz f_{XX} 24 MHz)	$0.67 \times f_{XX}$ + 3.0	$0.90 \times f_{XX}$ + 5.4	mA
			全周辺機能停止	OB_7B.PRSI ビット = 0 ($f_{XP1} = f_{XX}$)	PLL : 停止 (4 MHz f_{XX} 16 MHz)	$0.44 \times f_{XX}$ + 1.6	-	mA
					PLL : 動作 (16 MHz f_{XX} 24 MHz)	$0.46 \times f_{XX}$ + 2.8	-	mA
IDD3	IDLE1モード	周辺機能 (TAA, UARTD) 動作	-	PLL : 停止 (4 MHz f_{XX} 16 MHz) ^{注3}	$0.092 \times f_{XX}$ + 0.90	$0.128 \times f_{XX}$ + 2.12	mA	
		周辺機能 (TAA, UARTD) 停止	-	PLL : 停止 (4 MHz f_{XX} 16 MHz) ^{注3}	$0.035 \times f_{XX}$ + 1.01	-	mA	
IDD4	IDLE2モード	-	-	PLL : 停止 (4 MHz f_{XX} 16 MHz) ^{注3}	$0.037 \times f_{XX}$ + 0.21	$0.049 \times f_{XX}$ + 0.88	mA	

- 注1. V_{DD} , EV_{DD} の電流の合計です (全ポート停止時)。 AV_{REF0} の電流, 内蔵プルアップ/プルダウン抵抗を通過する電流を含むポート・バッファの電流は含みません。
2. セルフ・プログラミング・モード時およびデータ・フラッシュの書き換え時を除く。
セルフ・プログラミング・モード時およびデータ・フラッシュの書き換え時は, 次の値を MAX.値に加えてください。

加算値:

(セルフ・プログラミング・モード時)

$$\text{(PLL 停止時)} : 7 - (0.33 \times f_{xx} + 0.1) \text{ [mA]}$$

$$f_{xx} = 16 \text{ MHz 時} : 7 - (0.33 \times 16 + 0.1) = 1.62 \text{ mA}$$

$$\text{(PLL 動作時)} : 7 - (0.18 \times f_{xx} + 3.0) \text{ [mA]}$$

$$f_{xx} = 24 \text{ MHz 時} : 7 - (0.18 \times 24 + 3.0) = -0.32 \text{ mA}$$

(データ・フラッシュ書き換え時)

$$\text{(PLL 停止時)} : 7 - (0.18 \times f_{xx}/4 + 3.0) \text{ [mA]}$$

$$f_{xx} = 16 \text{ MHz 時} : 7 - (0.18 \times 16/4 + 3.0) = 3.28 \text{ mA}$$

$$\text{(PLL 動作時)} : 7 - (0.18 \times f_{xx}/4 + 3.0) \text{ [mA]}$$

$$f_{xx} = 24 \text{ MHz 時} : 7 - (0.18 \times 24/4 + 3.0) = 2.92 \text{ mA}$$

3. 高速内蔵発振器停止時。
4. SSCG 動作許可時は, TYP.値に +2.5 mA, MAX.値に +4 mA を加算してください。

備考1. OB_7B は, オプション・バイト (007BH) です。

2. f_{xx} の単位は, MHz です。

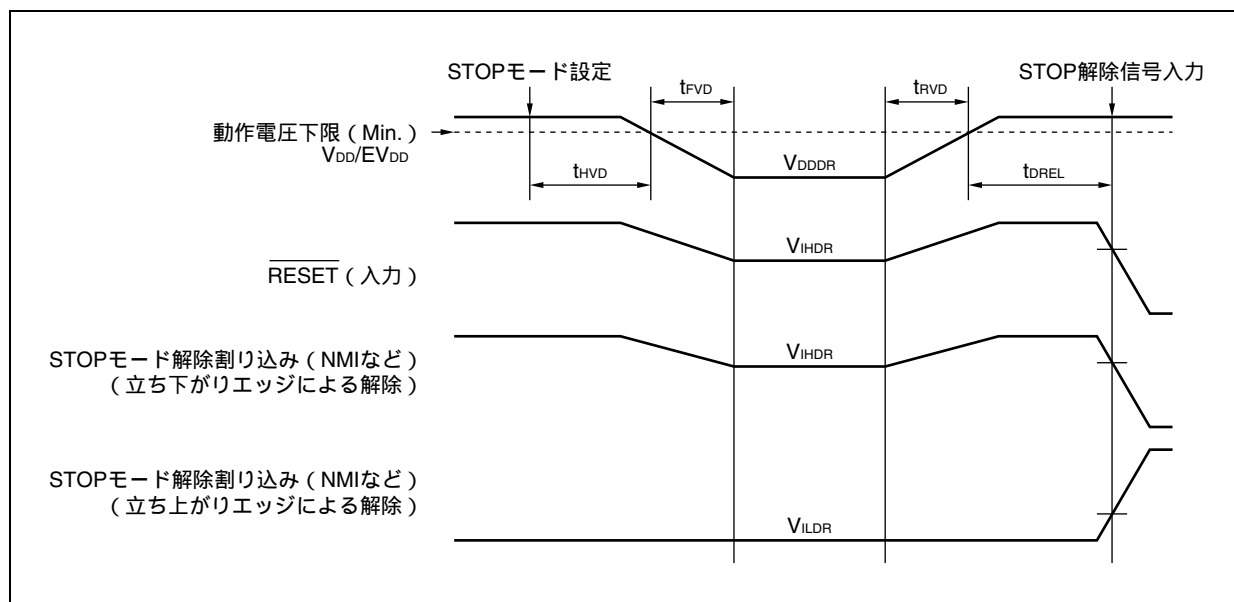
3.3.10 データ保持特性

STOPモード時

($T_A = -40 \sim +125$, $V_{DD} = EV_{DD} = 1.9 \text{ V} \sim 5.5 \text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

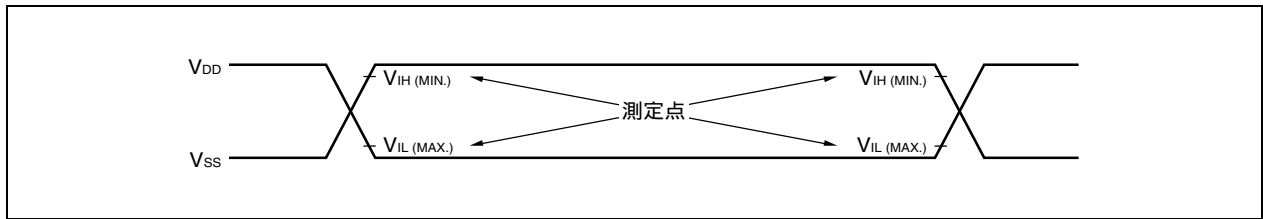
項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電圧	V_{DDDR}	STOPモード (全機能停止)	1.9		5.5	V
データ保持電流	I_{DDDR}	$V_{DDDR} = 2.0 \text{ V}$ (全機能停止)		6.5	70	μA
電源電圧立ち上がり時間	t_{RVD}		1			μs
電源電圧立ち下がり時間	t_{FVD}		1			μs
電源電圧保持時間	t_{HVD}	STOPモード解除後	0			ms
STOP解除信号入力時間	t_{DREL}	V_{DD} がMIN. 3.3 Vに達したあと	0			μs
データ保持ハイ・レベル入力電圧	V_{IHDR}	すべての入力ポート	$0.9 V_{DDDR}$		V_{DDDR}	V
データ保持ロウ・レベル入力電圧	V_{ILDR}	すべての入力ポート	0		$0.1 V_{DDDR}$	V

注意 STOPモードへの移行, およびSTOPモードからの復帰は, 動作範囲内で行ってください。

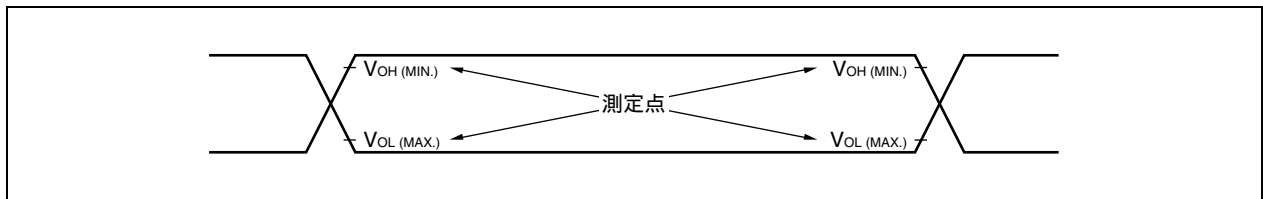


3.3.11 AC 特性

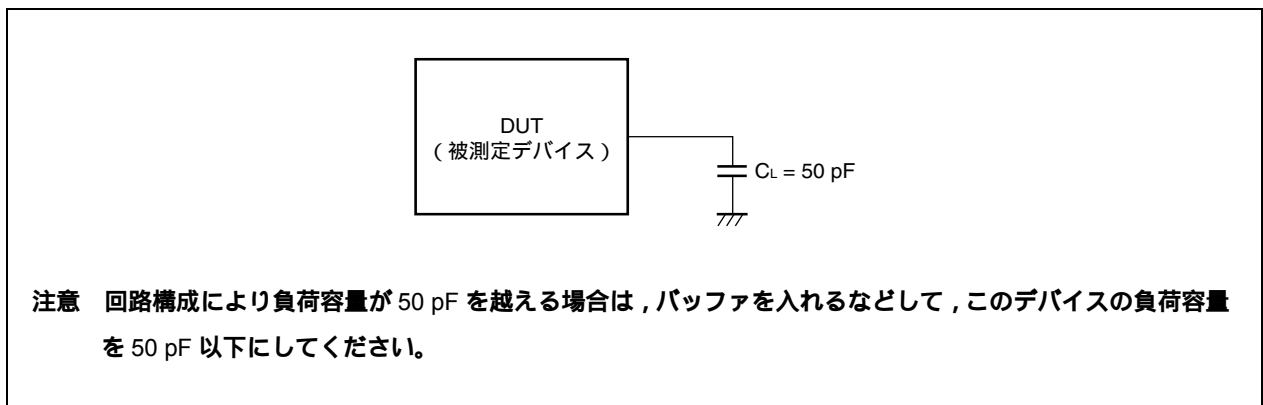
AC テスト入力測定点 (V_{DD} , AV_{REF0} , EV_{DD})



AC テスト出力測定点



負荷条件

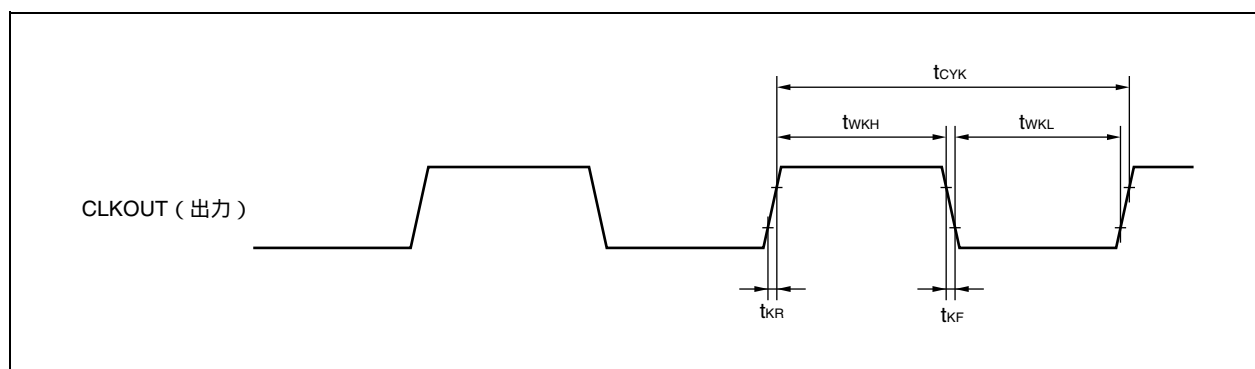


(1) CLKOUT 出力タイミング

($T_A = -40 \sim +125$, $V_{DD} = EV_{DD} = 3.5V \sim 5.5V, 4.0V$ $AV_{REF0} = 5.5V, V_{SS} = EV_{SS} = AV_{SS} = 0V, C_L = 50pF$)

項目	略号	条件	MIN.	MAX.	単位
出力周期	t_{CYK}	3.5V $V_{DD} = EV_{DD} < 4.0V$	50 ns	80 μs	
		4.0V $V_{DD} = EV_{DD} = 5.5V$	31.25 ns	80 μs	
ハイ・レベル幅	t_{WKH}	3.5V $V_{DD} = EV_{DD} < 4.0V$	$t_{CYK}/2 - 15$		ns
		4.0V $V_{DD} = EV_{DD} = 5.5V$	$t_{CYK}/2 - 13$		ns
ロウ・レベル幅	t_{WKL}	3.5V $V_{DD} = EV_{DD} < 4.0V$	$t_{CYK}/2 - 15$		ns
		4.0V $V_{DD} = EV_{DD} = 5.5V$	$t_{CYK}/2 - 13$		ns
立ち上がり時間	t_{KR}	3.5V $V_{DD} = EV_{DD} < 4.0V$		15	ns
		4.0V $V_{DD} = EV_{DD} = 5.5V$		13	ns
立ち下がり時間	t_{KF}	3.5V $V_{DD} = EV_{DD} < 4.0V$		15	ns
		4.0V $V_{DD} = EV_{DD} = 5.5V$		13	ns

クロック・タイミング



(2) 基本動作

(a) リセット, 割り込みタイミング

($T_A = -40 \sim +125$, $V_{DD} = EV_{DD} = 3.3 \text{ V} \sim 5.5 \text{ V}, 4.0 \text{ V}$ $AV_{REF0} = 5.5 \text{ V}, V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}, C_L = 50 \text{ pF}$)

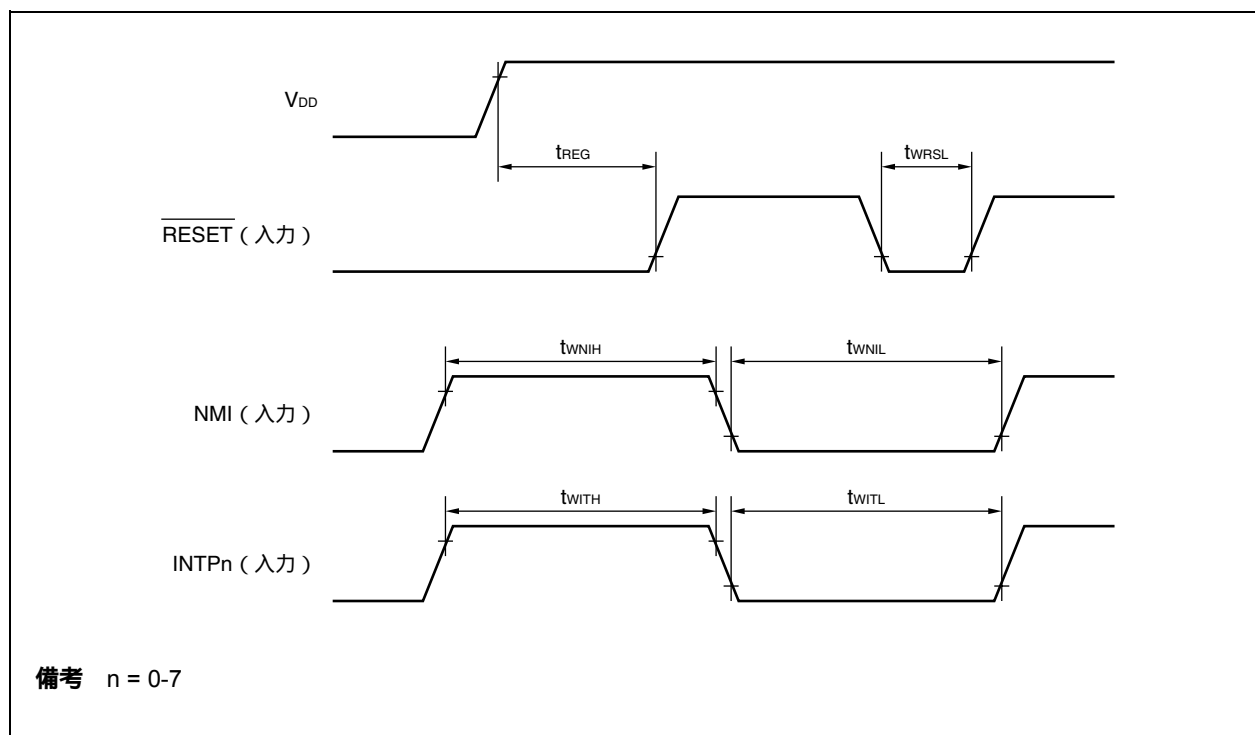
項目	略号	条件	MIN.	MAX.	単位
RESET入力ロウ・レベル幅	t _{WRSL}		250		ns
NMI入力ハイ・レベル幅	t _{WNIH}	アナログ・ノイズ除去	250		ns
NMI入力ロウ・レベル幅	t _{WNIL}	アナログ・ノイズ除去	250		ns
INTPn ^{注1} 入力ハイ・レベル幅	t _{WITH}	アナログ・ノイズ除去 (n = 0-7)	250		ns
		デジタル・ノイズ除去 (n = 3)	注2		ns
INTPn ^{注1} 入力ロウ・レベル幅	t _{WITL}	アナログ・ノイズ除去 (n = 0-7)	250		ns
		デジタル・ノイズ除去 (n = 3)	注2		ns

注 1. ADTRG 入力の値は, 兼用である INTP0 入力の値と同じです。DRST 入力の値は, 兼用である INTP2 の値と同じです。

2. $2T_{\text{samp}} + 20$ または $3T_{\text{samp}} + 20$

T_{samp} : ノイズ除去用サンプリング・クロックの周期

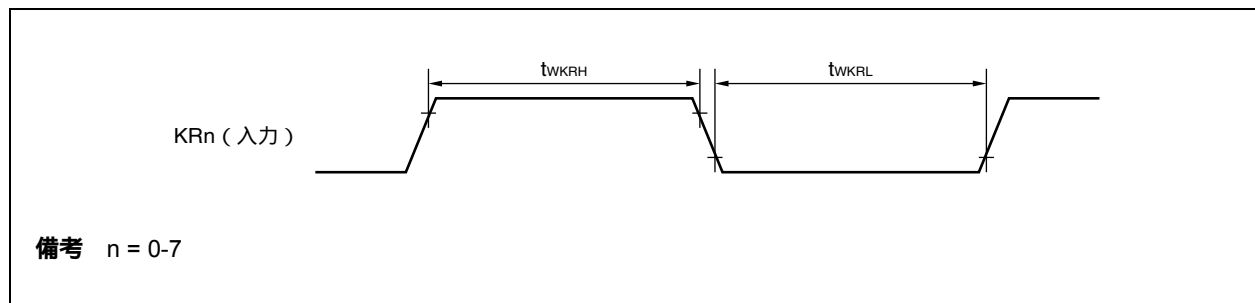
リセット/割り込み



(b) キー・リターン・タイミング

($T_A = -40 \sim +125$, $V_{DD} = EV_{DD} = 3.3 V \sim 5.5 V, 4.0 V$ $AV_{REF0} = 5.5 V, V_{SS} = EV_{SS} = AV_{SS} = 0 V, C_L = 50 pF$)

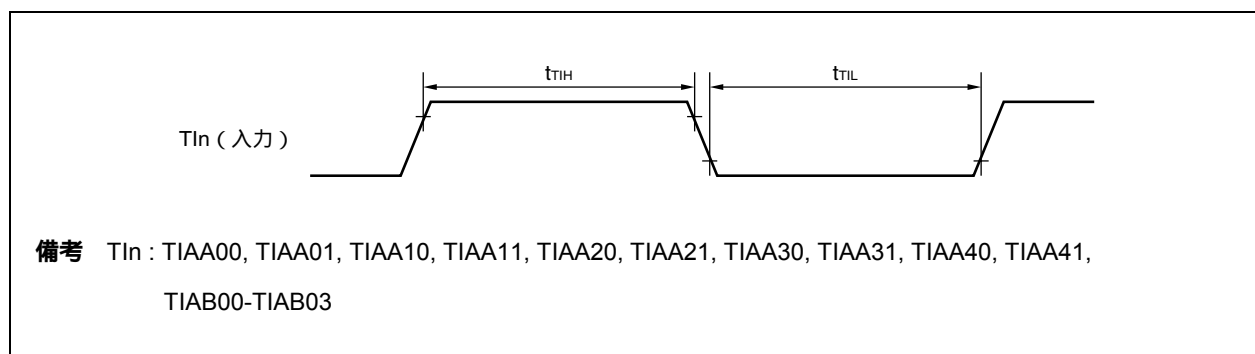
項目	略号	条件	MIN.	MAX.	単位
KRn入力ハイ・レベル幅	t _{WKRH}	アナログ・ノイズ除去 (n = 0-7)	250		ns
KRn入力ロウ・レベル幅	t _{WKRL}		250		ns



(c) タイマ入力タイミング

($T_A = -40 \sim +125$, $V_{DD} = EV_{DD} = 3.5 V \sim 5.5 V, 4.0 V$ $AV_{REF0} = 5.5 V, V_{SS} = EV_{SS} = AV_{SS} = 0 V, C_L = 50 pF$)

項目	略号	条件	MIN.	MAX.	単位
TI入力ハイ・レベル幅	t _{TIH}	TIAA00, TIAA01, TIAA10, TIAA11, TIAA20, TIAA21, TIAA30, TIAA31, TIAA40, TIAA41, TIAB00-TIAB03	250		ns
TI入力ロウ・レベル幅	t _{TIL}		250		ns
TO出力サイクル	f _{CYK}	TOAA00, TOAA01, TOAA10, TOAA11, TOAA20, TOAA21, TOAA30, TOAA31, TOAA40, TOAA41, TOAB00-TOAB03	4.0 V $V_{DD} = 5.5 V$	16	MHz
			3.5 V $V_{DD} < 4.0 V$	10	MHz



(d) CSI タイミング

マスタ・モード

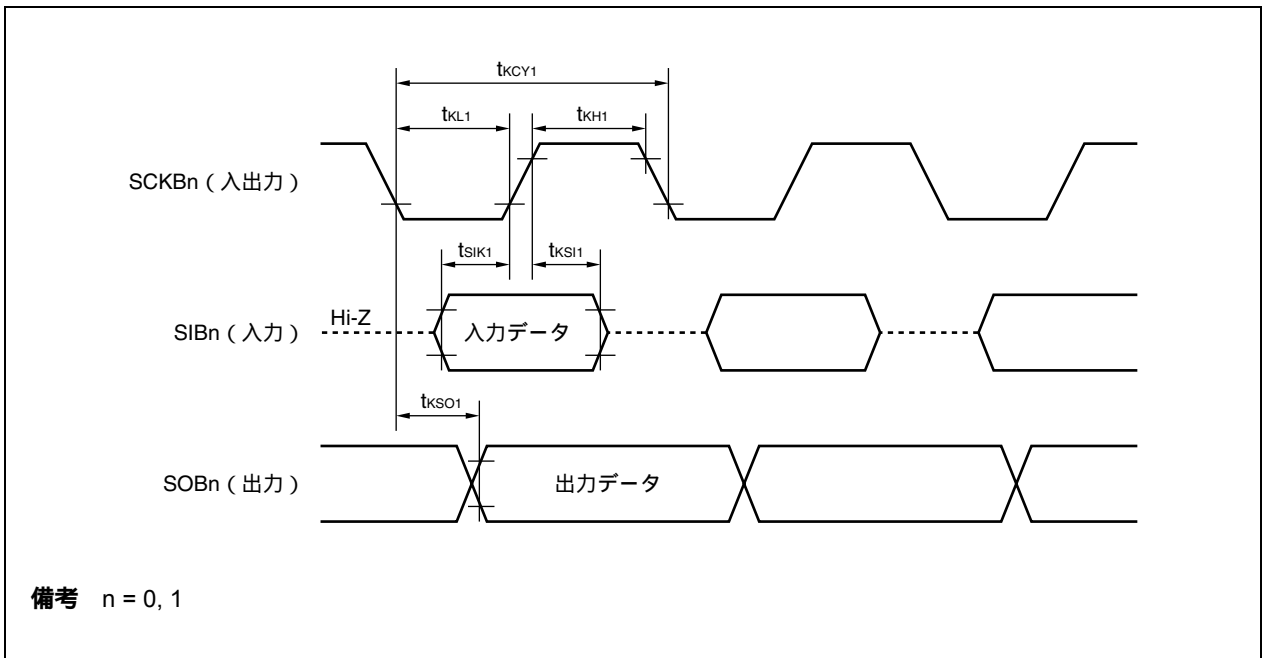
($T_A = -40 \sim +125$, $V_{DD} = EV_{DD} = 3.5 V \sim 5.5 V, 4.0 V$ $AV_{REF0} = 5.5 V, V_{SS} = EV_{SS} = AV_{SS} = 0 V, C_L = 50 pF$)

項目	略号	条件	MIN.	MAX.	単位
SCKBnサイクル・タイム	t_{KCY1}		125		ns
SCKBnハイ・レベル幅	t_{KH1}		$t_{KCY1}/2 - 15$		ns
SCKBnロウ・レベル幅	t_{KL1}		$t_{KCY1}/2 - 15$		ns
SIBn設定時間 (対SCKBn)	t_{SIK1}		30		ns
SIBn保持時間 (対SCKBn)	t_{KSI1}		25		ns
SCKBn SOBn出力遅延時間	t_{KSO1}			25	ns

スレーブ・モード

($T_A = -40 \sim +125$, $V_{DD} = EV_{DD} = 3.5 V \sim 5.5 V, 4.0 V$ $AV_{REF0} = 5.5 V, V_{SS} = EV_{SS} = AV_{SS} = 0 V, C_L = 50 pF$)

項目	略号	条件	MIN.	MAX.	単位
SCKBnサイクル・タイム	t_{KCY1}		200		ns
SCKBnハイ・レベル幅	t_{KH1}		90		ns
SCKBnロウ・レベル幅	t_{KL1}		90		ns
SIBn設定時間 (対SCKBn)	t_{SIK1}		50		ns
SIBn保持時間 (対SCKBn)	t_{KSI1}		50		ns
SCKBn SOBn出力遅延時間	t_{KSO1}			50	ns



(e) UART タイミング

($T_A = -40 \sim +125$, $V_{DD} = EV_{DD} = 3.5 V \sim 5.5 V, 4.0 V$ $AV_{REF0} = 5.5 V, V_{SS} = EV_{SS} = AV_{SS} = 0 V, C_L = 50 pF$)

項目	略号	条件	MIN.	MAX.	単位
通信レート				1.5	Mbps
ASCK0周波数				10	MHz

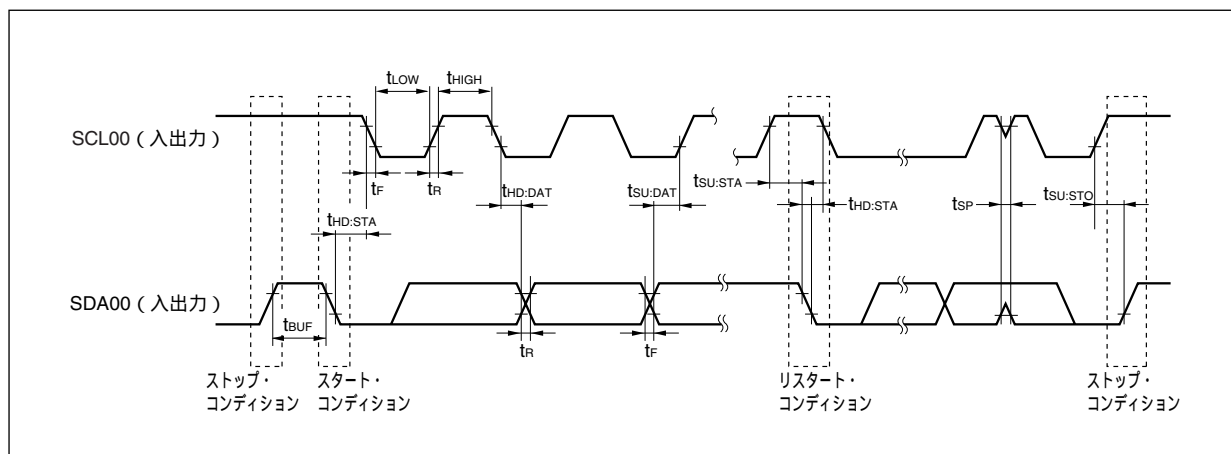
(f) I²C タイミング

($T_A = -40 \sim +125$, $V_{DD} = EV_{DD} = 3.5 V \sim 5.5 V, 4.0 V$ $AV_{REF0} = 5.5 V, V_{SS} = EV_{SS} = AV_{SS} = 0 V, C_L = 50 pF$)

項目	略号	標準モード		高速モード		単位
		MIN.	MAX.	MIN.	MAX.	
SCL00クロック周波数	f _{CLK}	0	100	0	400	kHz
バス・フリー・タイム (ストップ・スタート・コンディション間)	t _{BUF}	4.7	-	1.3	-	μs
ホールド時間 ^{注1}	t _{HD : STA}	4.0	-	0.6	-	μs
SCL00クロックのロウ・レベル幅	t _{LOW}	4.7	-	1.3	-	μs
SCL00クロックのハイ・レベル幅	t _{HIGH}	4.0	-	0.6	-	μs
スタート/リスタート・コンディションのセットアップ時間	t _{SU : STA}	4.7	-	0.6	-	μs
データ・ホールド時間	CBUS互換マスタの場合 I ² Cモードの場合	t _{HD : DAT}	5.0	-	-	μs
		0 ^{注2}	-	0 ^{注2}	0.9 ^{注3}	μs
データ・セットアップ時間	t _{SU : DAT}	250	-	100 ^{注4}	-	ns
SDA00およびSCL00信号の立ち上がり時間	t _r	-	1000	20 + 0.1Cb ^{注5}	300	ns
SDA00およびSCL00信号の立ち下がり時間	t _f	-	300	20 + 0.1Cb ^{注5}	300	ns
ストップ・コンディションのセットアップ時間	t _{SU : STO}	4.0	-	0.6	-	μs
入力フィルタによって抑制されるスパイクのパルス幅	t _{SP}	-	-	0	50	ns
各バス・ラインの容量性負荷	C _b	-	400	-	400	pF

- 注 1. スタート・コンディション時に、最初のクロック・パルスは、ホールド時間のあとに生成されます。
2. 装置は、SCL00 の立ち下がり端の未定義領域を埋めるために (SCL00 信号の V_{IHmin} での) SDA00 信号用に最低 300 ns のホールド時間を内部的に提供する必要があります。
3. 装置が SCL00 信号のロウ・ホールド時間 (t_{LOW}) を延長しない場合は、最大データ・ホールド時間 (t_{HD : DAT}) のみ満たすことが必要です。
4. モード I²C バスは、標準モード I²C バス・システム内で利用できます。この場合、次の条件を満たすようにしてください。
- ・装置が SCL00 信号のロウ状態ホールド時間を延長しない場合
t_{SU : DAT} 250 ns
 - ・装置が SCL00 信号のロウ状態ホールド時間を延長する場合
SCL00 ラインが解放される (t_{rmax} + t_{SU : DAT} = 1000 + 250 = 1250 ns : 標準モード I²C バス仕様) 前に、次のデータ・ビットを SDA00 ラインに送出してください。
5. C_b : 1 つのバス・ラインの合計キャパシタンス (単位 : pF)

I²Cバス・モード

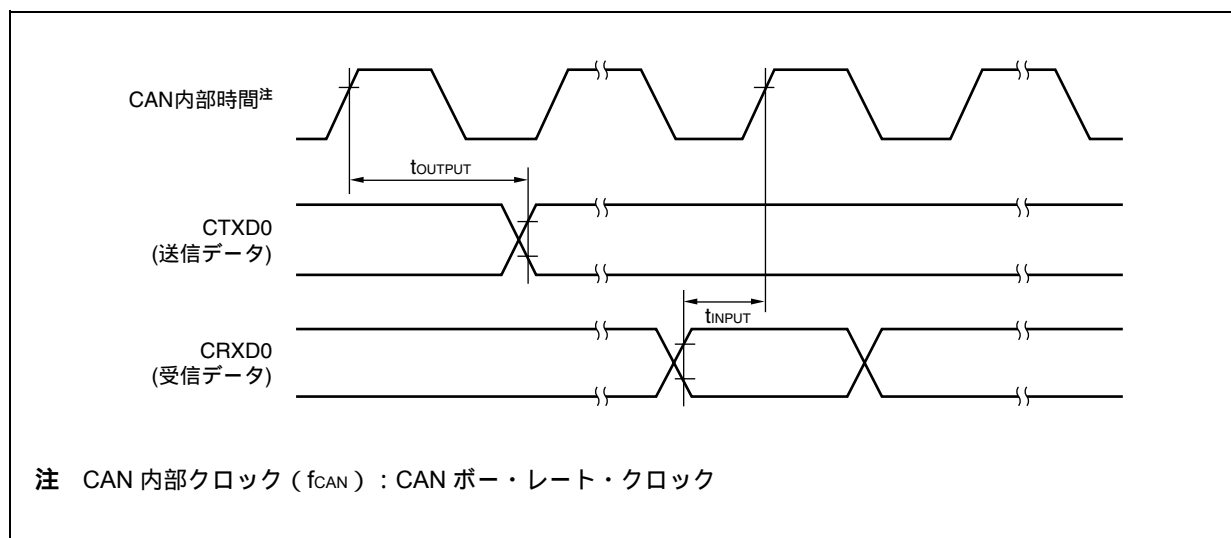


(g) CAN タイミング

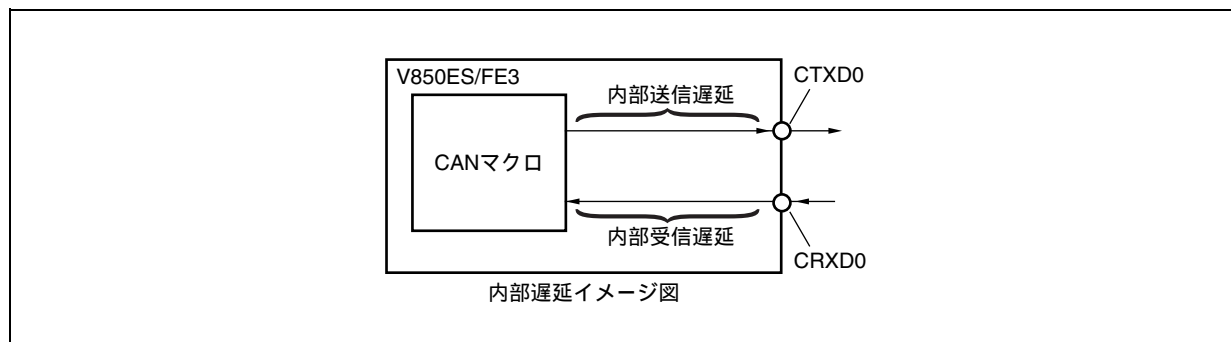
($T_A = -40 \sim +125$, $V_{DD} = EV_{DD} = 3.5V \sim 5.5V, 4.0V$ $AV_{REF0} = 5.5V, V_{SS} = EV_{SS} = AV_{SS} = 0V, C_L = 50pF$)

項目	略号	条件	MIN.	MAX.	単位
通信レート				1	Mbps
内部遅延時間 ^注				100	ns

注 内部遅延時間 (t_{NODE}) = 内部送信遅延時間 (t_{OUTPUT}) + 内部受信遅延時間 (t_{INPUT})



注 CAN 内部クロック (f_{CAN}) : CAN ボー・レート・クロック



3.3.12 A/D コンバータ

($T_A = -40 \sim +125$, $V_{DD} = EV_{DD} = 3.5V \sim 5.5V, 4.0V$ $AV_{REF0} = 5.5V, V_{SS} = EV_{SS} = AV_{SS} = 0V, C_L = 50pF$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能					10	bit
総合誤差 ^{注1}		4.0V $AV_{REF0} = 5.5V$		±0.15	±0.35	%FSR
変換時間	t _{CONV}		3.10		16	μs
安定時間	t _{STA}	ADA0M0.ADA0PSビット = 0 1 としたあと	2			μs
パワーダウン復帰時間	t _{DPU}	STOPモード解除後の動作開始	1			μs
ゼロスケール誤差 ^{注1}	ZSE				±0.35	%FSR
フルスケール誤差 ^{注1}	FSE				±0.35	%FSR
積分非直線性誤差 ^{注2}	INL				±2.5	LSB
微分非直線性誤差 ^{注2}	DNL				±1.5	LSB
アナログ入力電圧	V _{IAN}		AV_{SS}		AV_{REF0}	V
AV _{REF0} 電流	I _{AREF0}	A/Dコンバータ使用時		4	7	mA
		A/Dコンバータ未使用時		1	10	μA
自己診断機能使用時変換結果		AV _{REF0} 変換結果	3FC		3FF	HEX
		AV _{SS} 変換結果	000		003	HEX

注1. 量子化誤差 (±0.05 %FSR) は含みません。フルスケール値に対する比率 (%FSR) で表します。

2. 量子化誤差 (±0.5LSB) は含みません。

注意1. A/D変換特性にはサンプリング誤差を含みません。ノイズ除去のためにつけるバイパス・コンデンサの値や信号源インピーダンスには注意してください。特に少ないチャンネル数を連続スキャンする場合にスキャン周期が短くなり、サンプリング誤差が大きくなります。

2. ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してレイアウトしてください。また、デジタル回路の信号配線とアナログ回路の信号配線を交差させたり、近接させたりするようなレイアウトはできるだけ避けてください。アナログ・グランド (AV_{SS}) は、ボード上の安定したデジタル・グランド (GND) と一点で接続してください。
3. アナログ電源、基準電源に接続するバイパス・コンデンサは、チップ・コンデンサのように高周波特性のよいものを使用し、できるだけデバイスの近くで接続してください。
4. 各アナログ入力のア/D変換結果は、同じアナログ入力を変換したとしても同じにならない可能性があります。最大で0.6 %FSRの差になる可能性があります。
5. A/D変換中に兼用ポートの設定 (リード/ライト) を行わないでください。変換分解能が低下することがあります。

備考 FSR : Full Scale Range

LSB : Least Significant Bit

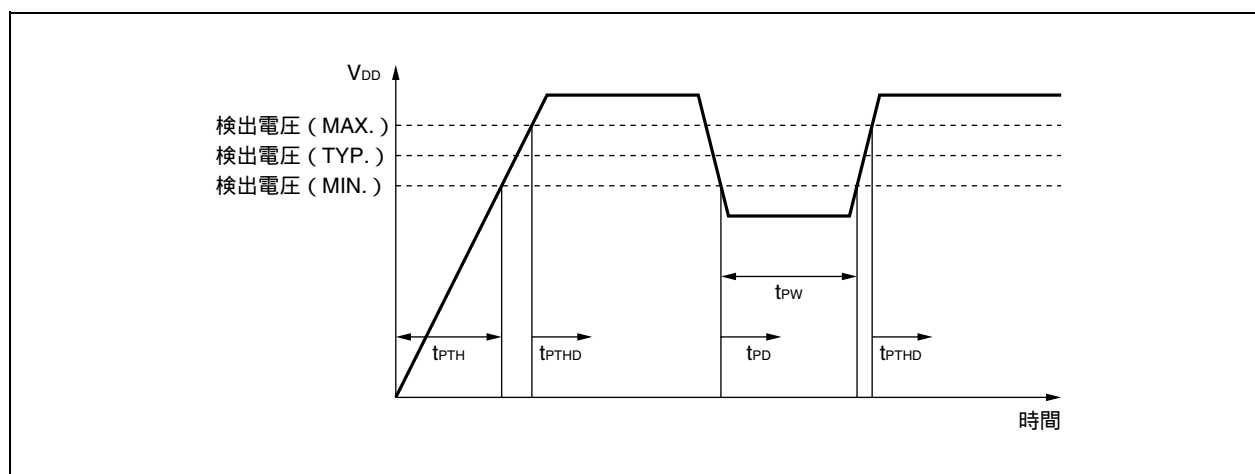
3.3.13 POC 回路特性

($T_A = -40 \sim +125$, $V_{DD} = EV_{DD}$, $V_{SS} = EV_{SS} = AV_{SS} = 0$ V, $C_L = 50$ pF)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V_{POCO}		3.3	3.5	3.7	V
電源立ち上げ時間	t_{PTH}	$V_{DD} = 0$ V 3.3 V	0.002			ms
応答時間 ^{注1}	t_{PTHD}	電源立ち上げ時, V_{DD} が3.7 Vに達したあと			2.0	ms
応答時間 ^{注2}	t_{PD}	電源降下時, V_{DD} が3.3 Vを下回ったあと			1.0	ms
最小 V_{DD} 幅	t_{PW}		0.2			ms

注1. 検出電圧を検出してからリセットを解除するまでの時間。

2. 検出電圧を検出してからリセットを出力するまでの時間。



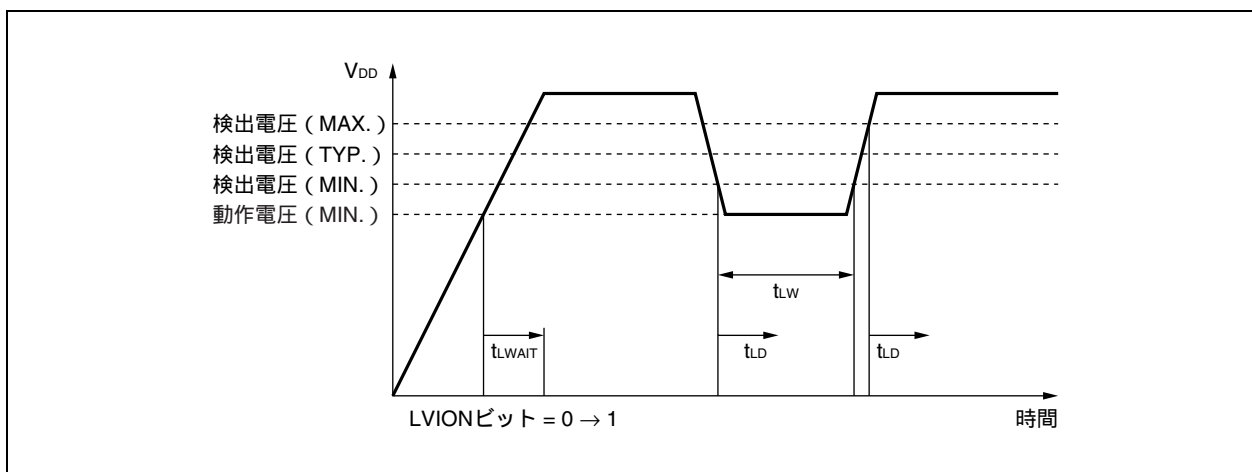
3.3.14 LVI 回路特性

($T_A = -40 \sim +125$, $V_{DD} = EV_{DD} = 3.3$ V ~ 5.5 V, 4.0 V $AV_{REF0} = 5.5$ V, $V_{SS} = EV_{SS} = AV_{SS} = 0$ V, $C_L = 50$ pF)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V_{LVI0}		3.8	4.0	4.2	V
	V_{LVI1}		3.5	3.7	3.9	V
応答時間 ^{注1}	t_{LD}	V_{DD} が V_{LVI0} , V_{LVI1} (MAX.) に達したあと, V_{DD} が V_{LVI0} , V_{LVI1} (MIN.) を下まわったあと		0.2	2.0	ms
最小 V_{DD} 幅	t_{LW}		0.2			ms
基準電圧安定待ち時間 ^{注2}	t_{LWAIT}	V_{DD} が3.3 Vに達したあと, LVIM.LVIONビット = 0 1となったあと		0.1	0.2	ms

注1. 検出電圧を検出して割り込み/リセットを出力するまでの時間。

2. POC 機能を利用する場合には必要ありません。

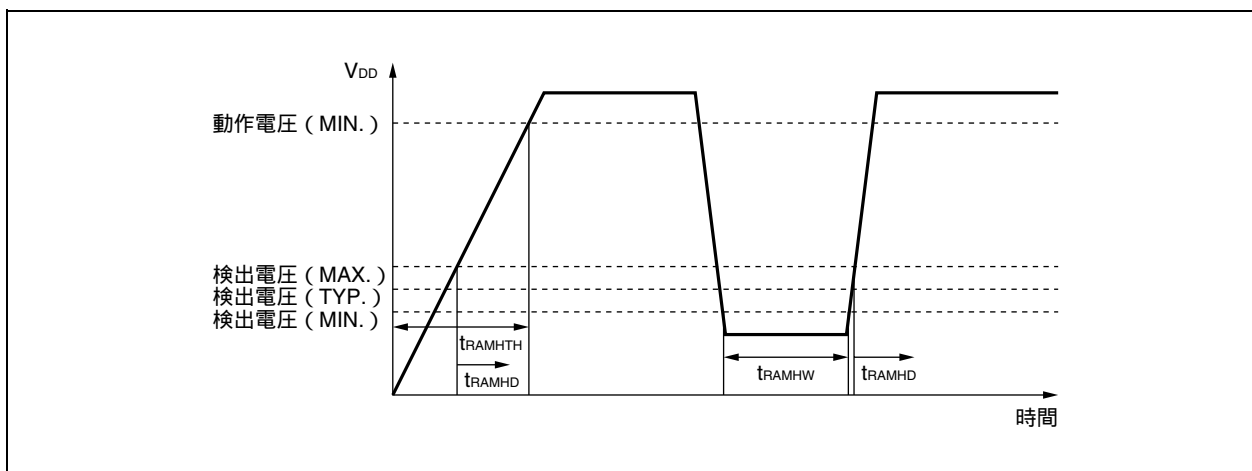


3.3.15 RAM 保持フラグ特性

($T_A = -40 \sim +125$, $V_{DD} = EV_{DD} = 1.9V \sim 5.5V, 4.0V$ $AV_{REF0} = 5.5V$, $V_{SS} = EV_{SS} = AV_{SS} = 0V$, $C_L = 50pF$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V_{RAMH}		1.9	2.0	2.1	V
電源電圧立ち上がり時間	t_{RAMHTH}	$V_{DD} = 0V \quad 3.3V$	0.002		1800	ms
応答時間 ^注	t_{RAMHD}	電源電圧が検出電圧 (MAX.) に達したあと		0.2	2.0	ms
最小VDD幅	t_{RAMHW}		0.2			ms

注 検出電圧を検出して RAMS.RAMF ビットをセットするまでの時間。



3. 3. 16 フラッシュ・メモリ・プログラミング特性

基本特性

($T_A = -40 \sim +125$, $V_{DD} = EV_{DD}, 4.0V$ $AV_{REF0} = 5.5V, V_{SS} = EV_{SS} = AV_{SS} = 0V, C_L = 50 pF$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
動作周波数	f _{CPU}		4		24	MHz
電源電圧	V _{DD}		3.3		5.5	V
書き換え回数	C _{WRT} ^{注1}	コード・フラッシュ, データ保持15年			1000 ^{注2}	回
		データ・フラッシュ, データ保持5年			10000 ^{注2}	回
ハイ・レベル入力電圧	V _{IH}	FLMD0	0.8EV _{DD}		EV _{DD}	V
ロウ・レベル入力電圧	V _{IL}	FLMD0	EV _{SS}		0.2EV _{DD}	V
プログラミング温度	t _{PRG}	コード・フラッシュ	-40		+110 ^{注2}	
		データ・フラッシュ	-40		+125 ^{注2}	

注 1. 出荷品に対する初回書き込み時では、「消去 → 書き込み」の場合も、「書き込みのみ」の場合も書き換え1回となります。

例 P : 書き込み E : 消去

出荷品 → P → E → P → E → P : 書き換え回数 3 回

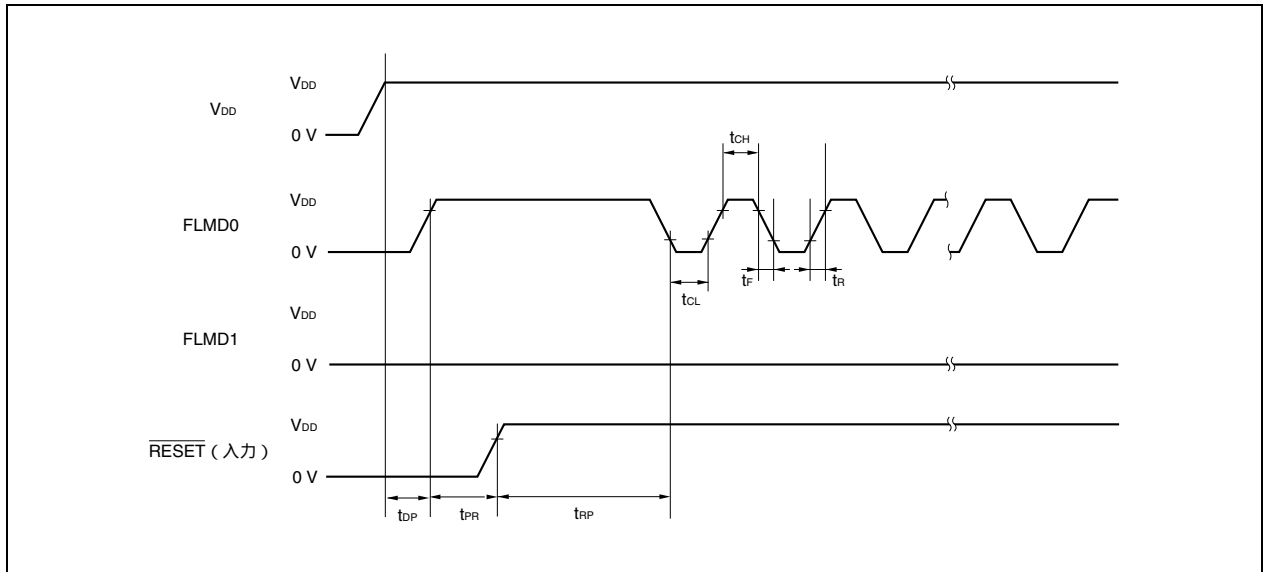
出荷品 → E → P → E → P → E → P : 書き換え回数 3 回

2. ターゲット値

シリアル書き込みオペレーション特性

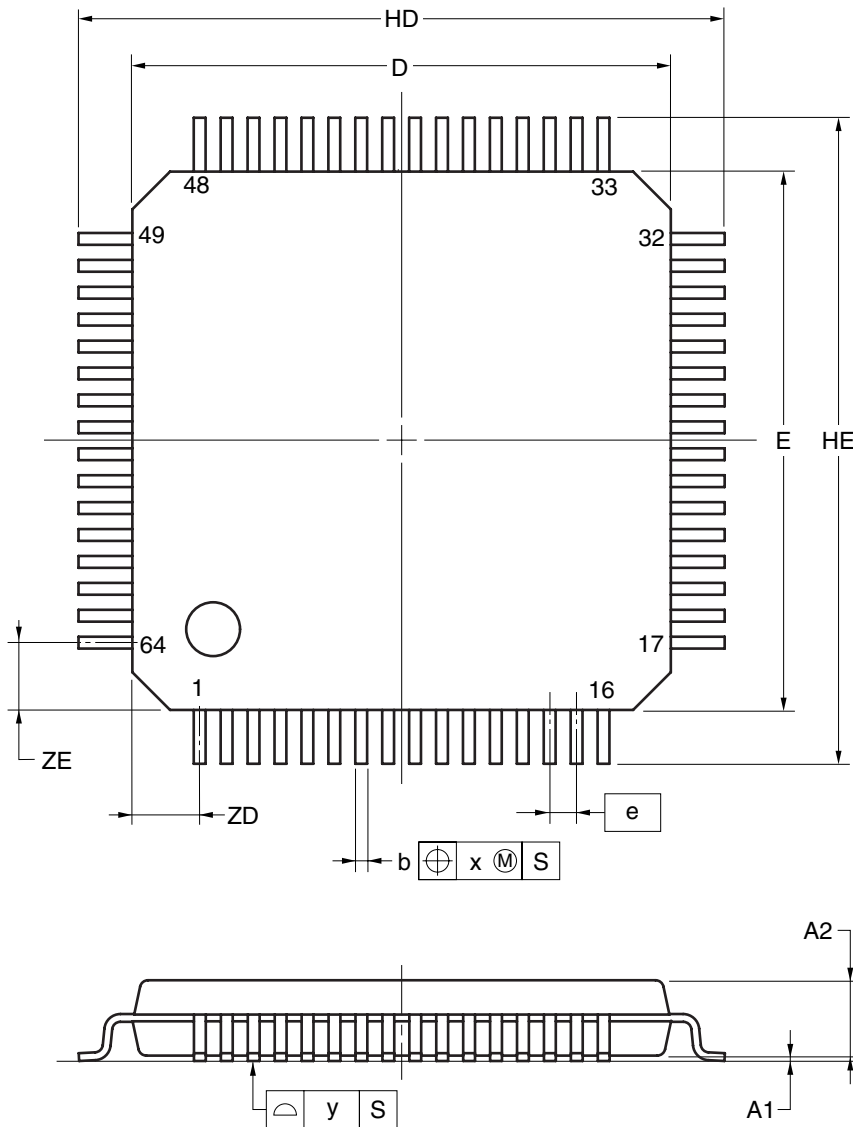
($T_A = -40 \sim +125$, $V_{DD} = EV_{DD}, 4.0V$ $AV_{REF0} = 5.5V, V_{SS} = EV_{SS} = AV_{SS} = 0V, C_L = 50 pF$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
FLMD0, FLMD1設定時間 (対V _{DD})	t _{DP}		1			ms
リセット解除時間(対FLMD0)	t _{PR}		2			ms
FLMD0カウンタ開始時間 (対RESET)	t _{RP}		800			μs
FLMD0カウンタ・ハイ・レベル 幅/ロウ・レベル幅	t _{CH} /t _{CL}		10		100	μs
FLMD立ち上がり時間/ 立ち下り時間	t _r /t _f				50	ns

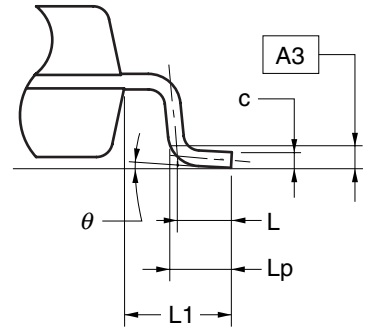


4. 外形図

64-PIN PLASTIC LQFP(FINE PITCH)(10x10)



detail of lead end



(UNIT:mm)

ITEM	DIMENSIONS
D	10.00±0.20
E	10.00±0.20
HD	12.00±0.20
HE	12.00±0.20
A	1.60 MAX.
A1	0.10±0.05
A2	1.40±0.05
A3	0.25
b	0.20 ^{+0.07} _{-0.03}
c	0.125 ^{+0.075} _{-0.025}
L	0.50
Lp	0.60±0.15
L1	1.00±0.20
θ	3° ^{+5°} _{-3°}
e	0.50
x	0.08
y	0.08
ZD	1.25
ZE	1.25

P64GB-50-GAH

NOTE

Each lead centerline is located within 0.08 mm of its true position at maximum material condition.

© NEC Electronics Corporation 2005

{メ モ}

CMOSデバイスの一般的注意事項

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力が入力ノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

注意：本製品は Silicon Storage Technology, Inc. からライセンスを受けた SuperFlash[®] を使用しています。

SuperFlashは、米国 Silicon Storage Technology, Inc. の米国、日本などの国における登録商標です。

- 本資料は、この製品の企画段階で作成していますので、予告なしに内容を変更することがあります。また本資料で扱う製品の製品化を中止することがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に掲載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。また、当社製品は耐放射線設計については行っておりません。当社製品をお客様の機器にご使用の際には、当社製品の不具合の結果として、生命、身体および財産に対する損害や社会的損害を生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

（注）

- （1）本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- （2）本事項において使用されている「当社製品」とは、（1）において定義された当社の開発、製造製品をいう。

M50710J

【発行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

—— お問い合わせ先 ——

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

【営業関係、技術関係お問い合わせ先】

半導体ホットライン

（電話：午前 9:00～12:00、午後 1:00～5:00）

電話：044-435-9494

E-mail：info@necel.com

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか、NECエレクトロニクスの販売特约店へお申し付けください。