

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

V850E/MS1

32 ビット・シングルチップ・マイクロコンピュータ

μ PD70F3102-33 は、 μ PD703102-33 の内部マスク ROM をフラッシュ・メモリに置き換えた製品です。基板に実装した状態でユーザによるプログラムの書き込み、消去が可能のため、システム開発時の評価用や多品種少量生産、早期立ち上げに有効です。

なお、外部端子用電源 3.3 V 製品の μ PD70F3102A-33 も用意しております。

詳しい機能説明などは次のユーザズ・マニュアルに記載しております。設計の際には必ずお読みください。

V850E/MS1 ユーザズ・マニュアル ハードウェア編 : U12688J

V850E/MS1, V850E/MS2 ユーザズ・マニュアル アーキテクチャ編 : U12197J

特 徴

μ PD703102-33 コンパチブル

・量産時にはマスク ROM 内蔵の μ PD703102-33 に置き換え可能

内部フラッシュ・メモリ : 128K バイト

オーダ情報

オーダ名称	パッケージ
μ PD70F3102GJ-33-8EU	144 ピン・プラスチック LQFP (ファインピッチ) (20×20)
μ PD70F3102GJ-33-8EU-A ^注	"
μ PD70F3102GJ-33-UEN ^注	"

注 開発中

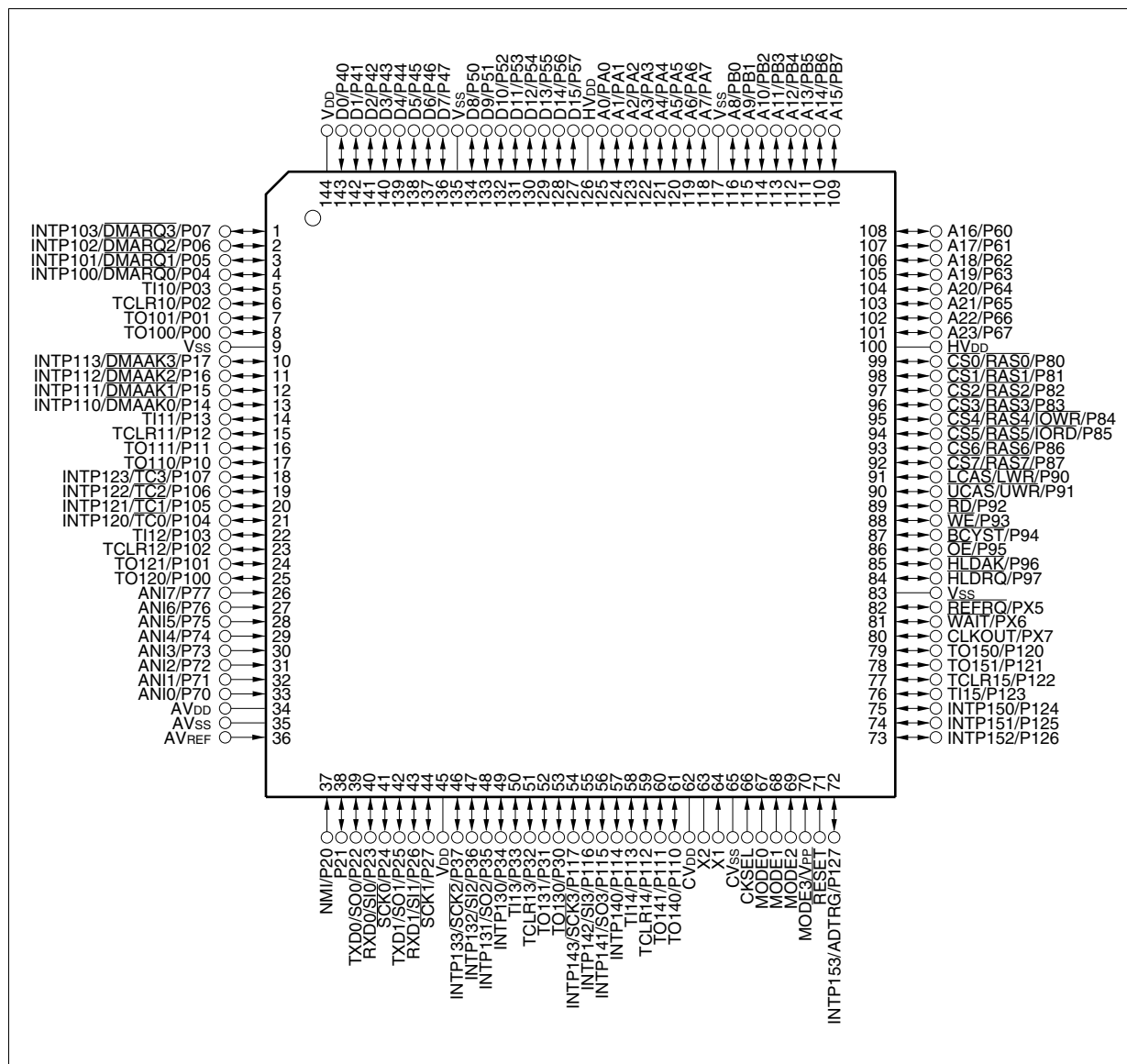
備考 オーダ名称末尾「-A」の製品は、鉛フリー製品です。

本資料の内容は、予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。

端子接続図 (Top View)

144ピン・プラスチックLQFP (ファインピッチ) (20×20)

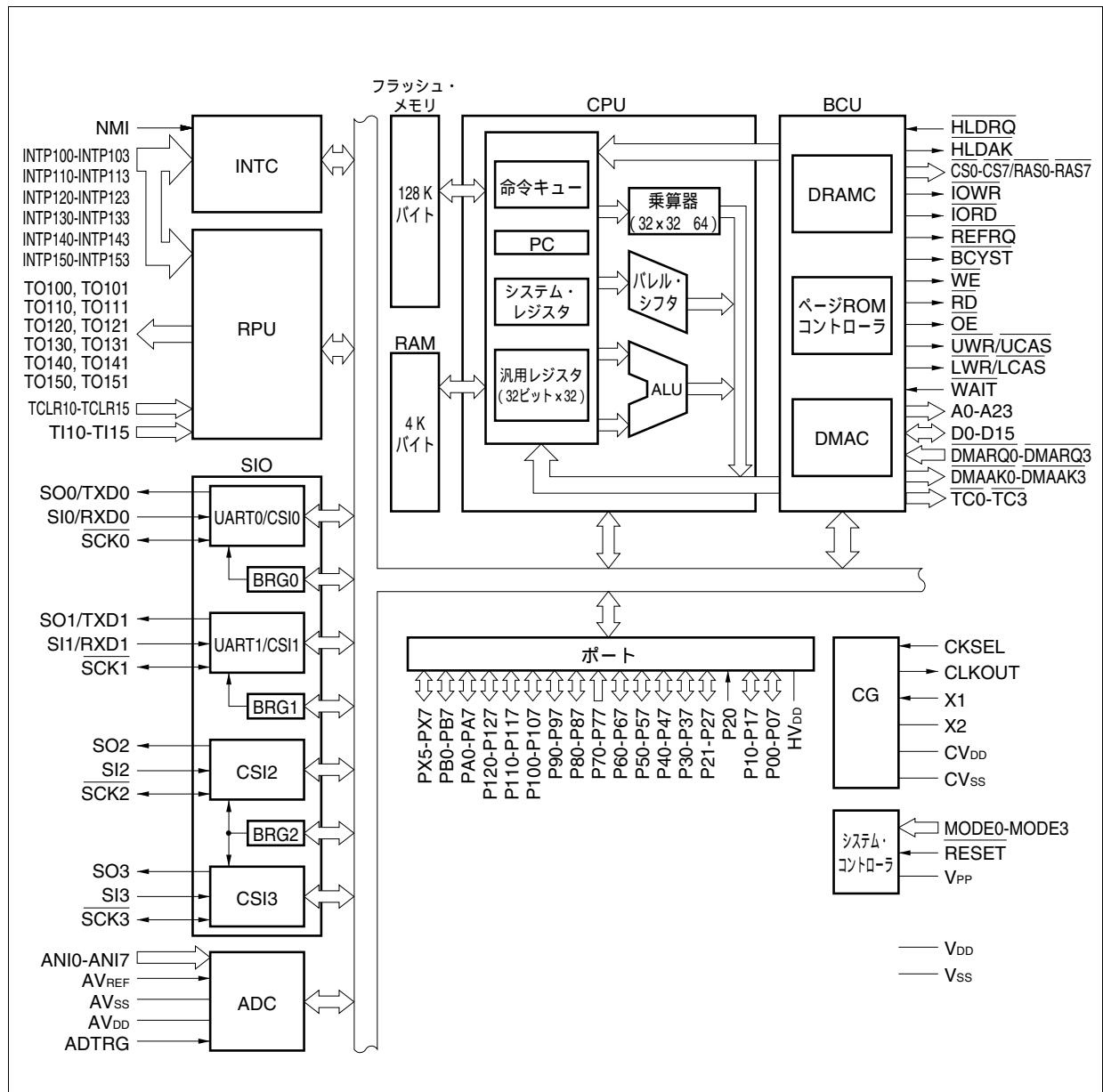
- ・ μ PD70F3102GJ-33-8EU
- ・ μ PD70F3102GJ-33-8EU-A
- ・ μ PD70F3102GJ-33-UEN



端子名称

A0-A23	: Address Bus	P60-P67	: Port6
ADTRG	: AD Trigger Input	P70-P77	: Port7
ANI0-ANI7	: Analog Input	P80-P87	: Port8
AV _{DD}	: Analog Power Supply	P90-P97	: Port9
AV _{REF}	: Analog Reference Voltage	P100-P107	: Port10
AV _{SS}	: Analog Ground	P110-P117	: Port11
$\overline{\text{BCYST}}$: Bus Cycle Start Timing	P120-P127	: Port12
CKSEL	: Clock Generator Operating Mode Select	PA0-PA7	: Port A
CLKOUT	: Clock Output	PB0-PB7	: Port B
$\overline{\text{CS0-CS7}}$: Chip Select	PX5-PX7	: Port X
CV _{DD}	: Clock Generator Power Supply	$\overline{\text{RAS0-RAS7}}$: Row Address Strobe
CV _{SS}	: Clock Generator Ground	$\overline{\text{RD}}$: Read
D0-D15	: Data Bus	$\overline{\text{REFRQ}}$: Refresh Request
$\overline{\text{DMAAK0-DMAAK3}}$: DMA Acknowledge	$\overline{\text{RESET}}$: Reset
$\overline{\text{DMARQ0-DMARQ3}}$: DMA Request	RXD0, RXD1	: Receive Data
$\overline{\text{HLDAK}}$: Hold Acknowledge	$\overline{\text{SCK0-SCK3}}$: Serial Clock
$\overline{\text{HLDRQ}}$: Hold Request	SI0-SI3	: Serial Input
HV _{DD}	: Power Supply for External Pins	SO0-SO3	: Serial Output
INTP100-INTP103,	: Interrupt Request from Peripherals	$\overline{\text{TC0-TC3}}$: Terminal Count Signal
INTP110-INTP113,		TCLR10-TCLR15	: Timer Clear
INTP120-INTP123,		TI10-TI15	: Timer Input
INTP130-INTP133,		TO100, TO101,	: Timer Output
INTP140-INTP143,		TO110, TO111,	
INTP150-INTP153		TO120, TO121,	
$\overline{\text{IORD}}$: I/O Read Strobe	TO130, TO131,	
$\overline{\text{IOWR}}$: I/O Write Strobe	TO140, TO141,	
$\overline{\text{LCAS}}$: Lower Column Address Strobe	TO150, TO151	
$\overline{\text{LWR}}$: Lower Write Strobe	TXD0, TXD1	: Transmit Data
MODE0-MODE3	: Mode	$\overline{\text{UCAS}}$: Upper Column Address Strobe
NMI	: Non-Maskable Interrupt Request	$\overline{\text{UWR}}$: Upper Write Strobe
$\overline{\text{OE}}$: Output Enable	V _{DD}	: Power Supply for Internal Unit
P00-P07	: Port0	V _{PP}	: Programming Power Supply
P10-P17	: Port1	V _{SS}	: Ground
P20-P27	: Port2	$\overline{\text{WAIT}}$: Wait
P30-P37	: Port3	$\overline{\text{WE}}$: Write Enable
P40-P47	: Port4	X1, X2	: Crystal
P50-P57	: Port5		

内部ブロック図



目 次

1. 製品間の違い ...	6
1.1 μ PD70F3102-33 と μ PD703102-33 の違い ...	6
1.2 μ PD70F3102-33 と μ PD70F3102A-33 の違い ...	6
2. 端子機能 ...	7
2.1 ポート端子 ...	7
2.2 ポート以外の端子 ...	10
2.3 各端子の入出力回路タイプと未使用時の処理 ...	13
3. フラッシュ・メモリ・プログラミング ...	16
3.1 通信方式の選択 ...	16
3.2 フラッシュ・メモリ・プログラミングの機能 ...	17
3.3 専用フラッシュ・ライタの接続 ...	17
4. 電気的特性 ...	18
4.1 通常動作モード ...	18
4.2 フラッシュ・メモリ・プログラミング・モード ...	74
5. 外形図 ...	77
6. 半田付け推奨条件 ...	79

1. 製品間の違い

1.1 μ PD70F3102-33 と μ PD703102-33 の違い

項目 \ 品名	μ PD70F3102-33	μ PD703102-33
内蔵 ROM	フラッシュ・メモリ	マスク ROM
フラッシュ・メモリ・プログラミング端子	あり (V _{PP})	なし
フラッシュ・メモリ・プログラミング・モード	あり (MODE0 = L, MODE1 = H, MODE2 = L, MODE3/V _{PP} = 7.8 V)	なし
電気的特性	消費電流などが異なります (個別のデータ・シートを参照してください)。	
その他	回路の規模やマスク・レイアウトが異なるため、ノイズ耐量、ノイズ輻射などが異なります。	

注意 1. フラッシュ・メモリ製品とマスク ROM 製品では、ノイズ耐量、ノイズ輻射などが異なります。試作から量産の過程でフラッシュ・メモリ製品からマスク ROM 製品への置き換えを検討される場合は、マスク ROM 製品の CS 品 (ES 品でなく) で十分な評価を行ってください。

2. フラッシュ・メモリ製品からマスク ROM 製品への置き換えを行う場合、内蔵 ROM の空き領域には、同一のコードを書き込んでください。

1.2 μ PD70F3102-33 と μ PD70F3102A-33 の違い

項目 \ 品名	μ PD70F3102-33	μ PD70F3102A-33
HV _{DD}	4.5 ~ 5.5 V	3.0 ~ 3.6 V
電気的特性	個別のデータ・シートを参照してください。	
パッケージ	・ 144 ピン・プラスチック LQFP (ファインピッチ) (20 × 20)	・ 157 ピン・プラスチック FBGA (14 × 14) ・ 144 ピン・プラスチック LQFP (ファインピッチ) (20 × 20)

2. 端子機能

2.1 ポート端子

(1/3)

端子名称	入出力	機 能	兼用端子
P00	入出力	ポート 0 8 ビット入出力ポート 1 ビット単位で入出力の指定が可能	TO100
P01			TO101
P02			TCLR10
P03			TI10
P04			INTP100/ $\overline{\text{DMARQ0}}$
P05			INTP101/ $\overline{\text{DMARQ1}}$
P06			INTP102/ $\overline{\text{DMARQ2}}$
P07			INTP103/ $\overline{\text{DMARQ3}}$
P10	入出力	ポート 1 8 ビット入出力ポート 1 ビット単位で入出力の指定が可能	TO110
P11			TO111
P12			TCLR11
P13			TI11
P14			INTP110/ $\overline{\text{DMAAK0}}$
P15			INTP111/ $\overline{\text{DMAAK1}}$
P16			INTP112/ $\overline{\text{DMAAK2}}$
P17			INTP113/ $\overline{\text{DMAAK3}}$
P20	入力	ポート 2 P20 は入力専用ポート 有効エッジが入力されると NMI 入力として動作します。また、P2 レジスタのビット 0 で NMI 入力の状態を示します。 P21-P27 は 7 ビット入出力ポート 1 ビット単位で入出力の指定が可能	NMI
P21	入出力		-
P22			TXD0/SO0
P23			RXD0/SI0
P24			$\overline{\text{SCK0}}$
P25			TXD1/SO1
P26			RXD1/SI1
P27			$\overline{\text{SCK1}}$
P30	入出力	ポート 3 8 ビット入出力ポート 1 ビット単位で入出力の指定が可能	TO130
P31			TO131
P32			TCLR13
P33			TI13
P34			INTP130
P35			INTP131/SO2
P36			INTP132/SI2
P37			INTP133/ $\overline{\text{SCK2}}$
P40-P47	入出力	ポート 4 8 ビット入出力ポート 1 ビット単位で入出力の指定が可能	D0-D7
P50-P57	入出力	ポート 5 8 ビット入出力ポート 1 ビット単位で入出力の指定が可能	D8-D15

(2/3)

端子名称	入出力	機 能	兼用端子
P60-P67	入出力	ポート 6 8 ビット入出力ポート 1 ビット単位で入出力の指定が可能	A16-A23
P70-P77	入力	ポート 7 8 ビット入力専用ポート	ANI0-ANI7
P80	入出力	ポート 8 8 ビット入出力ポート 1 ビット単位で入出力の指定が可能	$\overline{CS0}/RAS0$
P81			$\overline{CS1}/RAS1$
P82			$\overline{CS2}/RAS2$
P83			$\overline{CS3}/RAS3$
P84			$\overline{CS4}/RAS4/IOWR$
P85			$\overline{CS5}/RAS5/IORD$
P86			$\overline{CS6}/RAS6$
P87			$\overline{CS7}/RAS7$
P90	入出力	ポート 9 8 ビット入出力ポート 1 ビット単位で入出力の指定が可能	LCAS/LWR
P91			UCAS/UWR
P92			\overline{RD}
P93			WE
P94			BCYST
P95			\overline{OE}
P96			HLDAR
P97			HLDARQ
P100	入出力	ポート 10 8 ビット入出力ポート 1 ビット単位で入出力の指定が可能	TO120
P101			TO121
P102			TCLR12
P103			TI12
P104			INTP120/ $\overline{TC0}$
P105			INTP121/ $\overline{TC1}$
P106			INTP122/ $\overline{TC2}$
P107			INTP123/ $\overline{TC3}$
P110	入出力	ポート 11 8 ビット入出力ポート 1 ビット単位で入出力の指定が可能	TO140
P111			TO141
P112			TCLR14
P113			TI14
P114			INTP140
P115			INTP141/SO3
P116			INTP142/SI3
P117			INTP143/ $\overline{SCK3}$

(3/3)

端子名称	入出力	機 能	兼用端子
P120	入出力	ポート 12 8 ビット入出力ポート 1 ビット単位で入出力の指定が可能	TO150
P121			TO151
P122			TCLR15
P123			TI15
P124			INTP150
P125			INTP151
P126			INTP152
P127			INTP153/ADTRG
PA0	入出力	ポート A 8 ビット入出力ポート 1 ビット単位で入出力の指定が可能	A0
PA1			A1
PA2			A2
PA3			A3
PA4			A4
PA5			A5
PA6			A6
PA7			A7
PB0	入出力	ポート B 8 ビット入出力ポート 1 ビット単位で入出力の指定が可能	A8
PB1			A9
PB2			A10
PB3			A11
PB4			A12
PB5			A13
PB6			A14
PB7			A15
PX5	入出力	ポート X 3 ビット入出力ポート 1 ビット単位で入出力の指定が可能	REFRQ
PX6			WAIT
PX7			CLKOUT

2.2 ポート以外の端子

(1/3)

端子名称	入出力	機 能	兼用端子
TO100	出力	タイマ 10-15 のパルス信号出力	P00
TO101			P01
TO110			P10
TO111			P11
TO120			P100
TO121			P101
TO130			P30
TO131			P31
TO140			P110
TO141			P111
TO150			P120
TO151			P121
TCLR10			入力
TCLR11	P12		
TCLR12	P102		
TCLR13	P32		
TCLR14	P112		
TCLR15	P122		
TI10	入力	タイマ 10-15 の外部カウント・クロック入力	P03
TI11			P13
TI12			P103
TI13			P33
TI14			P113
TI15			P123
INTP100	入力	外部マスカブル割り込み要求入力兼 タイマ 10 の外部キャプチャ・トリガ入力	P04/ $\overline{\text{DMARQ0}}$
INTP101			P05/ $\overline{\text{DMARQ1}}$
INTP102			P06/ $\overline{\text{DMARQ2}}$
INTP103			P07/ $\overline{\text{DMARQ3}}$
INTP110	入力	外部マスカブル割り込み要求入力兼 タイマ 11 の外部キャプチャ・トリガ入力	P14/ $\overline{\text{DMAAK0}}$
INTP111			P15/ $\overline{\text{DMAAK1}}$
INTP112			P16/ $\overline{\text{DMAAK2}}$
INTP113			P17/ $\overline{\text{DMAAK3}}$
INTP120	入力	外部マスカブル割り込み要求入力兼 タイマ 12 の外部キャプチャ・トリガ入力	P104/ $\overline{\text{TC0}}$
INTP121			P105/ $\overline{\text{TC1}}$
INTP122			P106/ $\overline{\text{TC2}}$
INTP123			P107/ $\overline{\text{TC3}}$
INTP130	入力	外部マスカブル割り込み要求入力兼 タイマ 13 の外部キャプチャ・トリガ入力	P34
INTP131			P35/SO2
INTP132			P36/SI2
INTP133			P37/ $\overline{\text{SCK2}}$

(2/3)

端子名称	入出力	機 能	兼用端子
INTP140	入力	外部マスカブル割り込み要求入力兼 タイマ 14 の外部キャプチャ・トリガ入力	P114
INTP141			P115/SO3
INTP142			P116/SI3
INTP143			P117/SCK3
INTP150	入力	外部マスカブル割り込み要求入力兼 タイマ 15 の外部キャプチャ・トリガ入力	P124
INTP151			P125
INTP152			P126
INTP153			P127/ADTRG
SO0	出力	CSI0-CI3 のシリアル送信データ出力 (3 線式)	P22/TXD0
SO1			P25/TXD1
SO2			P35/INTP131
SO3			P115/INTP141
SI0	入力	CSI0-CI3 のシリアル受信データ入力 (3 線式)	P23/RXD0
SI1			P26/RXD1
SI2			P36/INTP132
SI3			P116/INTP142
SCK0	入出力	CSI0-CI3 のシリアル・クロック入出力 (3 線式)	P24
SCK1			P27
SCK2			P37/INTP133
SCK3			P117/INTP143
TXD0	出力	UART0, UART1 のシリアル送信データ出力	P22/SO0
TXD1			P25/SO1
RXD0	入力	UART0, UART1 のシリアル受信データ入力	P23/SI0
RXD1			P26/SI1
D0-D7	入出力	外部メモリに対する 16 ビット・データ・バス	P40-P47
D8-D15			P50-P57
A0-A7	出力	外部メモリに対する 24 ビット・アドレス・バス	PA0-PA7
A8-A15			PB0-PB7
A16-A23			P60-P67
LWR	出力	外部データ・バスの下位バイト・ライト・イネーブル信号出力	P90/LCAS
UWR	出力	外部データ・バスの上位バイト・ライト・イネーブル信号出力	P91/UWR
RD	出力	外部データ・バスのリード・ストロブ信号出力	P92
WE	出力	DRAM に対するライト・イネーブル信号出力	P93
OE	出力	DRAM に対するアウトプット・イネーブル信号出力	P95
LCAS	出力	DRAM の下位データに対するカラム・アドレス・ストロブ信号出力	P90/LWR
UCAS	出力	DRAM の上位データに対するカラム・アドレス・ストロブ信号出力	P91/UWR
RAS0-RAS3	出力	DRAM に対する ROW・アドレス・ストロブ信号出力	P80/CS0-P83/CS3
RAS4			P84/CS4/IOWR
RAS5			P85/CS5/IORD
RAS6			P86/CS6
RAS7			P87/CS7
BCYST	出力	バス・サイクルの開始を示すストロブ信号出力	P94

(3/3)

端子名称	入出力	機 能	兼用端子
CS0-CS3	出力	チップ・セレクト信号出力	P80/RAS0 -P83/RAS3
$\overline{CS4}$			P84/RAS4/IOWR
CS5			P85/RAS5/IORD
CS6			P86/RAS6
CS7			P87/RAS7
WAIT	入力	バス・サイクルにウエイトを挿入する制御信号入力	PX6
REFRQ	出力	DRAM に対するリフレッシュ要求信号出力	PX5
IOWR	出力	DMA ライト・ストロブ信号出力	P84/RAS4/CS4
IORD	出力	DMA リード・ストロブ信号出力	P85/RAS5/CS5
$\overline{DMARQ0}$ - $\overline{DMARQ3}$	入力	DMA 要求信号入力	P04/INTP100-P07/ INTP103
$\overline{DMAAK0}$ - $\overline{DMAAK3}$	出力	DMA アクノリッジ信号出力	P14/INTP110-P17/ INTP113
TC0-TC3	出力	DMA 終了 (ターミナル・カウント) 信号出力	P104/INTP120-P1 07/INTP123
HLDAR	出力	バス・ホールド・アクノリッジ出力	P96
HLDRQ	入力	バス・ホールド要求入力	P97
ANI0-ANI7	入力	A/D コンバータへのアナログ入力	P70-P77
NMI	入力	ノンマスカブル割り込み要求入力	P20
CLKOUT	出力	システム・クロック出力	PX7
CKSEL	入力	クロック・ジェネレータの動作モードを指定する入力	-
MODE0-MO DE2	入力	動作モードを指定	-
MODE3			V _{PP}
RESET	入力	システム・リセット入力	-
X1	入力	システム・クロック用発振子接続。外部からクロックを供給する場合は X1 に 入力します。	-
X2	-		-
ADTRG	入力	A/D コンバータ外部トリガ入力	P127/INTP153
AVREF	入力	A/D コンバータ用基準電圧入力	-
AVDD	-	A/D コンバータ用正電源供給	-
AVSS	-	A/D コンバータ用グランド電位	-
CVDD	-	専用クロック・ジェネレータ用正電源供給	-
CVSS	-	専用クロック・ジェネレータ用グランド電位	-
VDD	-	正電源供給 (内部ユニット用電源)	-
HVDD	-	正電源供給 (外部端子用電源)	-
VSS	-	グランド電位	-
VPP	-	プログラム書き込み/ベリファイ時の高電圧印加端子	MODE3

2.3 各端子の入出力回路タイプと未使用時の処理

各端子の入出力回路タイプと未使用時の処理方法（推奨接続方法）を表2-1に、また各タイプの回路図を一部簡略化した形式を用いて図2-1に示します。

なお、抵抗を介してV_{DD}またはV_{SS}に接続する場合、1-10kの抵抗を使用することをお勧めします。

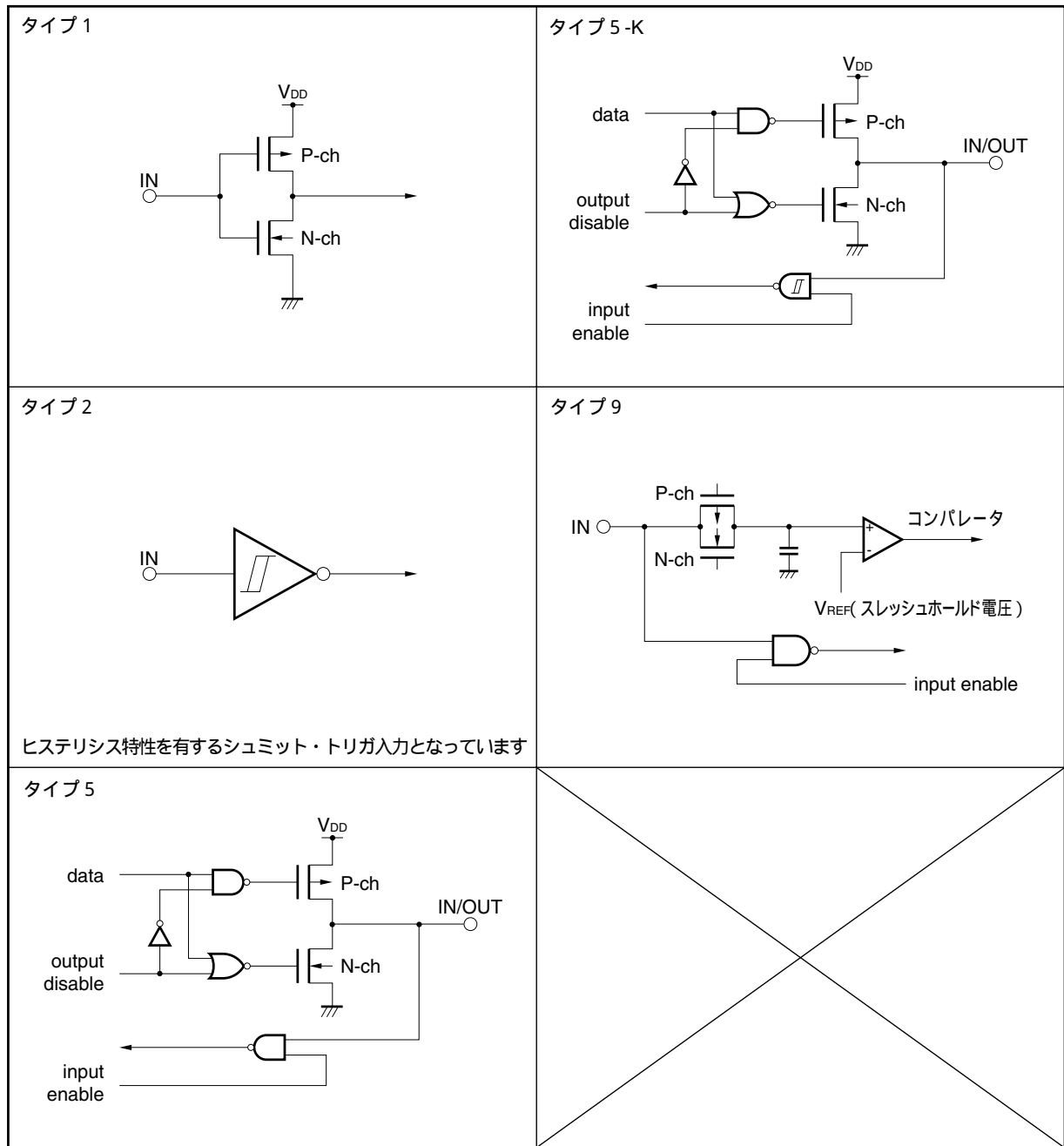
表2-1 各端子の入出力回路タイプと未使用時の処理（1/2）

端 子	入出力回路タイプ	推奨接続方法
P00/TO100, P01/TO101	5	入力状態：個別に抵抗を介してHV _{DD} またはV _{SS} に接続してください。 出力状態：オープンにしてください。
P02/TCLR10, P03/TI10	5-K	
P04/INTP100/ \overline{D} MARQ0 -P07/INTP103/ \overline{D} MARQ3		
P10/TO110, P11/TO111	5	
P12/TCLR11, P13/TI11	5-K	
P14/INTP110/ \overline{D} MAAK0 -P17/INTP113/ \overline{D} MAAK3		
P20/NMI	2	V _{SS} に直接接続してください。
P21	5	入力状態：個別に抵抗を介してHV _{DD} またはV _{SS} に接続してください。 出力状態：オープンにしてください。
P22/TXD0/SO0		
P23/RXD0/SI0	5-K	
P24/ $\overline{SCK0}$		
P25/TXD1/SO1	5	
P26/RXD1/SI1	5-K	
P27/ $\overline{SCK1}$		
P30/TO130, P31/TO131	5	
P32/TCLR13, P33/TI13	5-K	
P34/INTP130		
P35/INTP131/SO2		
P36/INTP132/SI2		
P37/INTP133/ $\overline{SCK2}$		
P40/D0-P47/D7	5	
P50/D8-P57/D15		
P60/A16-P67/A23		
P70/ANI0-P77/ANI7	9	V _{SS} に直接接続してください。
P80/ $\overline{CS0}$ / $\overline{RAS0}$ -P83/ $\overline{CS3}$ / $\overline{RAS3}$	5	入力状態：個別に抵抗を介してHV _{DD} またはV _{SS} に接続してください。 出力状態：オープンにしてください。
P84/ $\overline{CS4}$ / $\overline{RAS4}$ / \overline{IOWR} , P85/ $\overline{CS5}$ / $\overline{RAS5}$ / \overline{IORD}		
P86/ $\overline{CS6}$ / $\overline{RAS6}$, P87/ $\overline{CS7}$ / $\overline{RAS7}$		
P90/ \overline{LCAS} / \overline{LWR}		
P91/ \overline{UCAS} / \overline{UWR}		
P92/ \overline{RD}		
P93/ \overline{WE}		
P94/ \overline{BCYST}		
P95/ \overline{OE}		
P96/ \overline{HLDAK}		
P97/ \overline{HLDRQ}		

表2 - 1 各端子の入出力回路タイプと未使用時の処理 (2/2)

端 子	入出力回路タイプ	推奨接続方法
P100/TO120, P101/TO121	5	入力状態：個別に抵抗を介して HV _{DD} または V _{SS} に接続してください。 出力状態：オープンにしてください。
P102/TCLR12, P103/TI12	5-K	
P104/INTP120/ $\overline{TC0}$ -P107/INTP123/ $\overline{TC3}$		
P110/TO140, P111/TO141	5	
P112/TCLR14, P113/TI14	5-K	
P114/INTP140		
P115/INTP141/SO3		
P116/INTP142/SI3		
P117/INTP143/ $\overline{SCK3}$		
P120/TO150, P121/TO151	5	
P122/TCLR15, P123/TI15	5-K	
P124/INTP150-P126/INTP152		
P127/INTP153/ADTRG		
PA0/A0-PA7/A7	5	
PB0/A8-PB7/A15		
PX5/REFR \overline{Q}		
PX6/ \overline{WAIT}		
PX7/CLKOUT		
CKSEL	1	-
RESET	2	
MODE0-MODE2		
MODE3/V _{PP}		
AV _{REF} , AV _{SS}	-	V _{SS} に直接接続してください。
AV _{DD}	-	HV _{DD} に直接接続してください。

図2 - 1 端子の入出力回路



注意 回路図中のV_{DD}はHV_{DD}に置き換えて参照してください。

3. フラッシュ・メモリ・プログラミング

フラッシュ・メモリにプログラムを書き込む方法には、次の2つがあります。

(1) オンボード・プログラミング

ターゲット・ボードにμPD70F3102-33 を実装後、専用フラッシュ・ライタを使用してフラッシュ・メモリにプログラムを書き込みます。なお、ターゲット・ボード上に、専用フラッシュ・ライタと通信するためのコネクタ等を実装してください。

(2) オフボード・プログラミング

μPD70F3102-33 をターゲット・ボードに実装する前に、専用アダプタを使用してフラッシュ・メモリにプログラムを書き込みます。

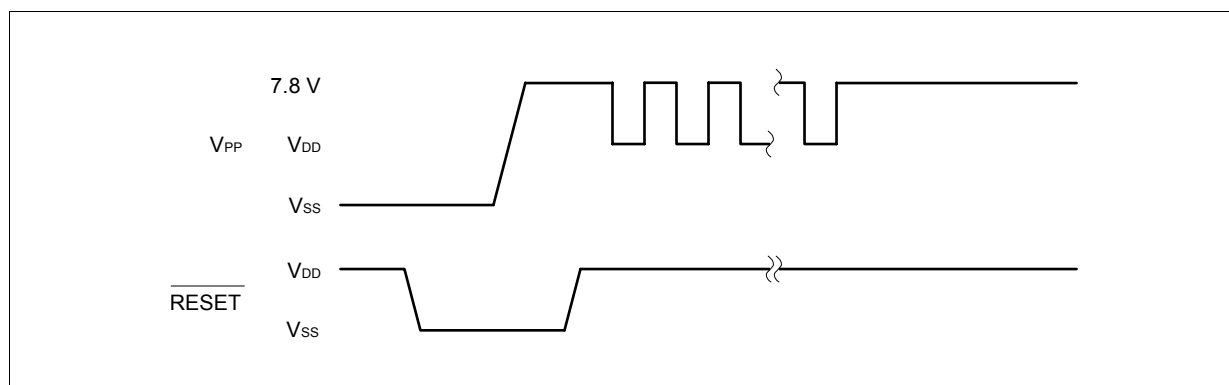
3.1 通信方式の選択

フラッシュ・メモリへの書き込みは、専用フラッシュ・ライタを使用し、シリアル通信で行います。表3-1に示す通信方式から選択して書き込みを行います。この通信方式の選択は、図3-1に示すようなフォーマットを用います。表3-1に示すV_{PP}パルス数で、それぞれの通信方式が選択されます。

表3-1 通信方式一覧

通信方式	使用端子	V _{PP} パルス数
CSI0	SO0 (シリアル・データ出力) SI0 (シリアル・データ入力) SCK0 (シリアル・クロック入力)	0
UART0	TXD0 (シリアル・データ出力) RXD0 (シリアル・データ入力)	8

図3-1 通信方式選択フォーマット



3.2 フラッシュ・メモリ・プログラミングの機能

選択された通信方式による各種コマンド/データ送受信により、フラッシュ・メモリの書き込みなどの動作を行います。主な機能を表3-2に示します。

表3-2 フラッシュ・メモリ・プログラミングの主な機能

機能	説明
一括消去	全メモリの内容を消去します。
一括ブランク・チェック	全メモリの消去状態を確認します。
データ・ライト	書き込み開始アドレスおよび書き込みデータ数(バイト数)をもとに、フラッシュ・メモリに書き込みを行います。
一括ベリファイ	全メモリの内容と入力したデータを比較します。

3.3 専用フラッシュ・ライタの接続

専用フラッシュ・ライタとμ PD70F3102-33の接続は、通信方式によって異なります。それぞれの場合の接続図を図3-2、3-3に示します。

図3-2 CSI0方式での専用フラッシュ・ライタの接続

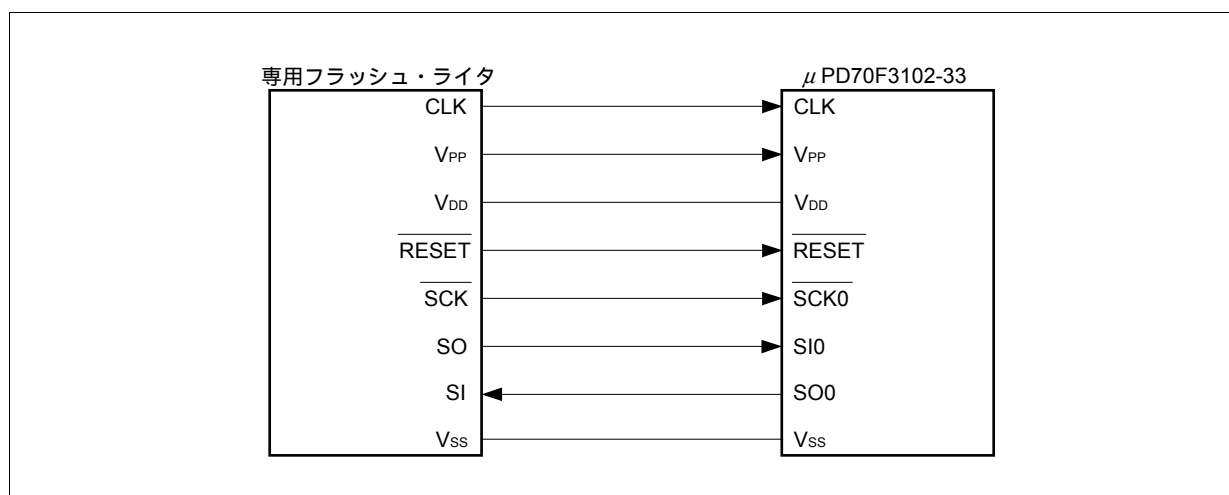
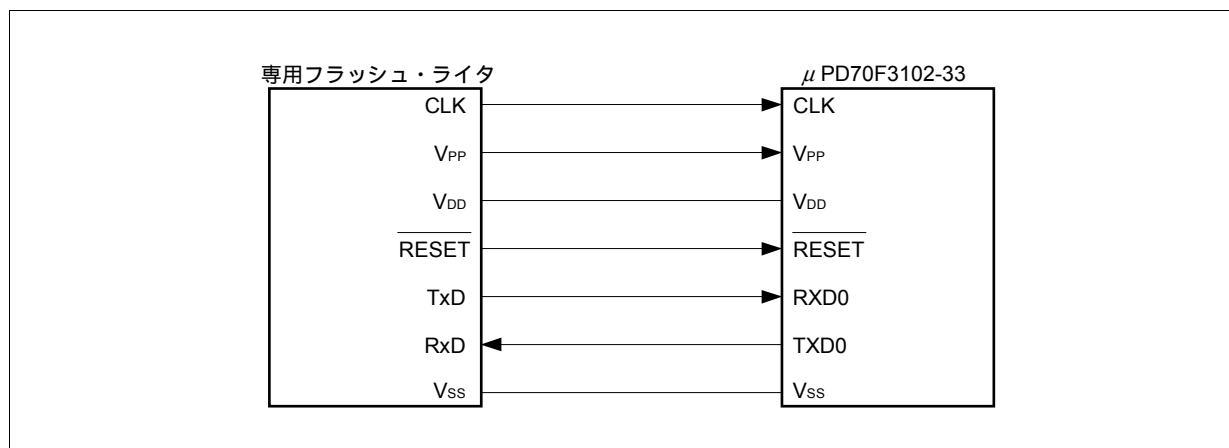


図3-3 UART0方式での専用フラッシュ・ライタの接続



4. 電気的特性

4.1 通常動作モード

絶対最大定格 (TA = 25 °C)

項目	略号	条件	定格	単位	
電源電圧	V _{DD}	V _{DD} 端子	- 0.5 ~ + 4.6	V	
	HV _{DD}	HV _{DD} 端子, HV _{DD} V _{DD}	- 0.5 ~ + 7.0	V	
	CV _{DD}	CV _{DD} 端子	- 0.5 ~ + 4.6	V	
	CV _{SS}	CV _{SS} 端子	- 0.5 ~ + 0.5	V	
	AV _{DD}	AV _{DD} 端子	- 0.5 ~ HV _{DD} + 0.5 ^注	V	
	AV _{SS}	AV _{SS} 端子	- 0.5 ~ + 0.5	V	
入力電圧	V _I	X1 端子, MODE3/V _{PP} 端子を除く	- 0.5 ~ HV _{DD} + 0.5 ^注	V	
		MODE3/V _{PP} 端子	- 0.5 ~ V _{DD} + 0.5 ^注	V	
		フラッシュ・メモリ・プログラミング・モード時の MODE3/V _{PP} 端子	- 0.5 ~ + 11.0	V	
クロック入力電圧	V _K	X1, V _{DD} = 3.0 ~ 3.6 V	- 0.5 ~ V _{DD} + 1.0 ^注	V	
ロウ・レベル出力電流	I _{OL}	1 端子	4.0	mA	
		全端子合計	100	mA	
ハイ・レベル出力電流	I _{OH}	1 端子	- 4.0	mA	
		全端子合計	- 100	mA	
出力電圧	V _O	HV _{DD} = 5.0 V ± 10 %	- 0.5 ~ HV _{DD} + 0.5 ^注	V	
アナログ入力電圧	V _{IAN}	P70/ANI0-P77/ ANI7 端子	AV _{DD} > HV _{DD}	- 0.5 ~ HV _{DD} + 0.5 ^注	V
			HV _{DD} AV _{DD}	- 0.5 ~ AV _{DD} + 0.5 ^注	V
A/D コンバータ基準入力電圧	AV _{REF}	AV _{DD} > HV _{DD}	- 0.5 ~ HV _{DD} + 0.5 ^注	V	
		HV _{DD} AV _{DD}	- 0.5 ~ AV _{DD} + 0.5 ^注	V	
動作周囲温度	T _A		- 40 ~ + 85		
保存温度	T _{stg}		- 65 ~ + 125		

注 それぞれの電源電圧の絶対最大定格 (MAX. 値) を越えないようにしてください。

注意 1. IC 製品の出力 (または入出力) 端子同士を直結したり, V_{DD} または V_{CC} や GND に直結したりしないでください。ただし, オープン・ドレイン端子やオープン・コレクタ端子同士は直結できます。また, ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路でも直結可能です。

2. 各項目のうち 1 項目でも, また一瞬でも絶対最大定格を越えると, 製品の品質を損なう恐れがあります。つまり絶対最大定格とは, 製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づかない状態で, 製品をご使用ください。

DC 特性と AC 特性に示す規格や条件が, 製品の正常動作, 品質保証の範囲です。

容量 ($T_A = 25$, $V_{DD} = HV_{DD} = CV_{DD} = V_{SS} = 0 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	C_i	$f_c = 1\text{MHz}$ 被測定ピン以外は 0 V			15	pF
入出力容量	C_{io}				15	pF
出力容量	C_o				15	pF

動作条件

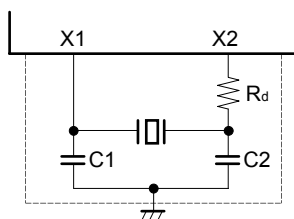
動作モード	内部動作クロック周波数 (f_x)	動作周囲温度 (T_A)	電源電圧 (V_{DD} , HV_{DD})
ダイレクト・モード	2 ~ 33 MHz	- 40 ~ + 85	$V_{DD} = 3.0 \sim 3.6 V$, $HV_{DD} = 5.0 V \pm 10 \%$
PLL モード ^{注1}	20 ~ 33 MHz ^{注2}	- 40 ~ + 85	$V_{DD} = 3.0 \sim 3.6 V$, $HV_{DD} = 5.0 V \pm 10 \%$

- 注 1. PLL モード時の内部動作クロック周波数は、5 逡倍での動作時の値です。CKC レジスタの CKDIVn ($n = 0, 1$) ビットの設定により 1 逡倍、1/2 逡倍で使用した場合、20MHz 以下の周波数でも動作可能です。
2. PLL モード時に使用する入力クロック周波数は、4.0 ~ 6.6 MHz にしてください。

推奨発振回路

(a) セラミック発振子 (TA = -40 ~ +85)

(i) 村田製作所 (TA = -40 ~ +85)



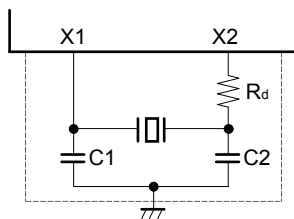
タイプ	品名	発振周波数 f _{xx} (MHz)	推奨回路定数			発振電圧範囲		発振安定時間 (MAX.) T _{ost} (ms)
			C1 (pF)	C2 (pF)	R _d (k)	MIN. (V)	MAX. (V)	
表面実装	CSAC4.00MGC040	4.0	100	100	0	3.0	3.6	0.5
	CSTCC4.00MG0H6	4.0	内蔵	内蔵	0	3.0	3.6	0.3
	CSAC5.00MGC040	5.0	100	100	0	3.0	3.6	0.4
	CSTCC5.00MG0H6	5.0	内蔵	内蔵	0	3.0	3.6	0.2
	CSAC6.60MT	6.6	30	30	0	3.0	3.6	0.2
	CSTCC6.60MG0H6	6.6	内蔵	内蔵	0	3.0	3.6	0.1
	CSAC8.00MT	8.0	30	30	0	3.0	3.6	0.2
	CSTCC8.00MG0H6	8.0	内蔵	内蔵	0	3.0	3.6	0.3
リード	CSA4.00MG040	4.0	100	100	0	3.0	3.6	0.5
	CST4.00MGW040	4.0	内蔵	内蔵	0	3.0	3.6	0.5
	CSA5.00MG040	5.0	100	100	0	3.0	3.6	0.5
	CST5.00MGW040	5.0	内蔵	内蔵	0	3.0	3.6	0.5
	CSA6.60MTZ	6.6	30	30	0	3.0	3.6	0.1
	CST6.60MTW	6.6	内蔵	内蔵	0	3.0	3.6	0.1
	CSA8.00MTZ	8.0	30	30	0	3.0	3.6	0.1
	CST8.00MTW	8.0	内蔵	内蔵	0	3.0	3.6	0.1

注意 1. 発振回路は X1, X2 端子にできるかぎり近づけてください。

2. 破線の範囲にほかの信号線を通さないでください。

3. μ PD70F3102-33 と発振子のマッチングについては, 十分に評価してください。

(ii) TDK (TA = -40 ~ +85)



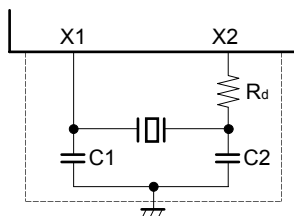
メーカー	品名	発振周波数 f _{xx} (MHz)	推奨回路定数			発振電圧範囲		発振安定時間 (MAX.) T _{OST} (ms)
			C1 (pF)	C2 (pF)	R _d (k)	MIN. (V)	MAX. (V)	
TDK	CCR4.0MC3	4.0	内蔵	内蔵	0	3.0	3.6	0.17
	CCR5.0MC3	5.0	内蔵	内蔵	0	3.0	3.6	0.15
	CCR8.0MC5	8.0	内蔵	内蔵	0	3.0	3.6	0.11

注意 1. 発振回路は X1, X2 端子にできるかぎり近づけてください。

2. 破線の範囲にほかの信号線を通さないでください。

3. μPD70F3102-33 と発振子のマッチングについては、十分に評価してください。

(iii) 京セラ (TA = -20 ~ +80)



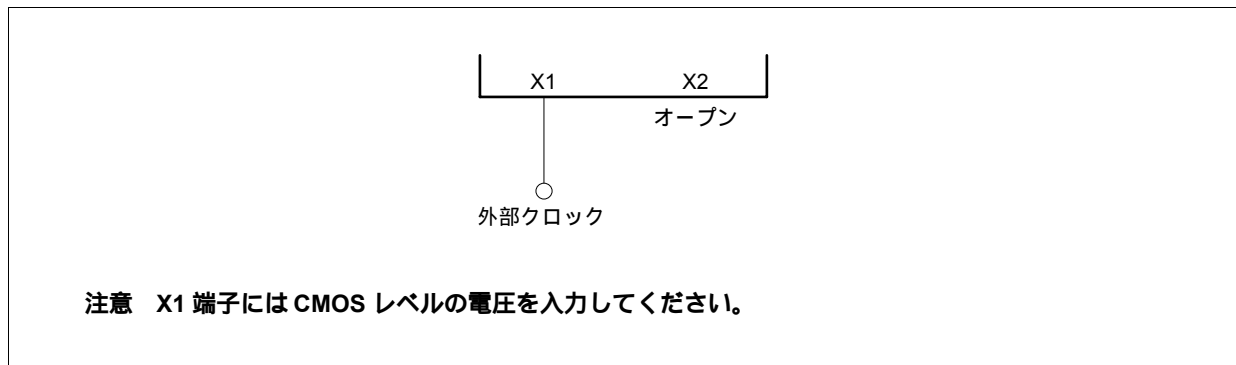
メーカー	品名	発振周波数 f _{xx} (MHz)	推奨回路定数			発振電圧範囲		発振安定時間 (MAX.) T _{OST} (ms)
			C1 (pF)	C2 (pF)	R _d (k)	MIN. (V)	MAX. (V)	
京セラ	PBRC5.00BR-A	5.0	内蔵	内蔵	0	3.0	3.6	0.06
	PBRC6.00BR-A	6.0	内蔵	内蔵	0	3.0	3.6	0.06
	PBRC6.60BR-A	6.6	内蔵	内蔵	0	3.0	3.6	0.06

注意 1. 発振回路は X1, X2 端子にできるかぎり近づけてください。

2. 破線の範囲にほかの信号線を通さないでください。

3. μPD70F3102-33 と発振子のマッチングについては、十分に評価してください。

(b) 外部クロック入力 ($T_A = -40 \sim +85$)



電源投入 / 遮断時の注意事項

μ PD70F3102-33 は、内部ユニット用電源端子 (V_{DD}) と外部端子用電源端子 (HV_{DD}) の 2 電源端子の構成になっています。

動作保証範囲は、 $V_{DD} = CV_{DD} = 3.0 \sim 3.6$ V, $HV_{DD} = 5.0$ V \pm 10 % の範囲です。この範囲以外では、ポートの入出力状態が不定になる場合があります。

DC 特性 (TA = -40 ~ +85 , VDD = CVDD = 3.0 ~ 3.6 V , HVDD = 5.0 V ± 10 % , VSS = 0 V) (1/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	VIH	注1を除く	2.2		HVDD + 0.3	V
		注1	0.8 HVDD		HVDD + 0.3	V
ロウ・レベル入力電圧	VIL	注1, 注2を除く	-0.5		+0.8	V
		注1	-0.5		0.2 HVDD	V
ハイ・レベル・クロック入力電圧	VXH	X1 端子 ダイレクト・モード	0.8 VDD		VDD + 0.3	V
		PLL モード	0.8 VDD		VDD + 0.3	V
ロウ・レベル・クロック入力電圧	VXL	X1 端子 ダイレクト・モード	-0.3		0.15 VDD	V
		PLL モード	-0.3		0.15 VDD	V
シュミット・トリガ入力スレッショ ールド電圧	HVT+	注1, 立ち上がり		3.0		V
	HVT-	注1, 立ち下がり		2.0		V
シュミット・トリガ入力ヒステリシス 幅	HVT+ - HVT-	注1	0.5			V
ハイ・レベル出力電圧	VOH	I _{OH} = -2.5 mA	0.7 HVDD			V
		I _{OH} = -100 μA	HVDD - 0.4			V
ロウ・レベル出力電圧	VOL	I _{OL} = 2.5 mA			0.45	V
ハイ・レベル入力リーク電流	ILIH	VI = HVDD, 注2を除く			10	μA
ロウ・レベル入力リーク電流	ILIL	VI = 0 V, 注2を除く			-10	μA
ハイ・レベル出力リーク電流	ILOH	VO = HVDD			10	μA
ロウ・レベル出力リーク電流	ILOL	VO = 0 V			-10	μA

注1. P04/INTP100/DMARQ0-P07/INTP103/DMARQ3, P14/INTP110/DMAAK0-P17/INTP113/DMAAK3, P34/INTP130, P35/INTP131/SO2, P36/INTP132/SI2, P37/INTP133/SCK2, P104/INTP120/TC0-P107/INTP123/TC3, P114/INTP140, P115/INTP141/SO3, P116/INTP142/SI3, P117/INTP143/SCK3, P124/INTP150-P126/INTP152, P127/INTP153/ADTRG, P02/TCLR10, P12/TCLR11, P32/TCLR13, P102/TCLR12, P112/TCLR14, P122/TCLR15, P03/TI10, P13/TI11, P33/TI13, P103/TI12, P113/TI14, P123/TI15, P20/NMI, P23/RXD0/SI0, P24/SCK0, P26/RXD1/SI1, P27/SCK1, MODE0-MODE2, RESET

2. P70/ANI0-P77/ANI7 端子をアナログ入力として使用する場合。

備考 TYP.値は, TA = 25 , VDD = CVDD = 3.3 V , HVDD = 5.0 V 時の参考値です。

DC 特性 ($T_A = -40 \sim +85$, $V_{DD} = CV_{DD} = 3.0 \sim 3.6 V$, $HV_{DD} = 5.0 V \pm 10 \%$, $V_{SS} = 0 V$) (2/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位		
電源電流	通常時	I _{DD1}	V _{DD} + CV _{DD}		2.0 × f _x	4.5 × f _x	mA	
			HV _{DD}		1.8 × f _x	3.0 × f _x	mA	
	HALT 時	I _{DD2}	V _{DD} + CV _{DD}		1.4 × f _x	3.0 × f _x	mA	
			HV _{DD}		0.8 × f _x	1.5 × f _x	mA	
	IDLE 時	I _{DD3}	V _{DD} + CV _{DD}		3.0	10	mA	
			HV _{DD}		0.5	1.0	mA	
	STOP 時	I _{DD4}	V _{DD} + CV _{DD}	-40 < T _A < +40		20	50	μA
				+40 < T _A < +85			600	μA
HV _{DD}					10	20	μA	

備考 1. TYP.値は、 $T_A = 25$, $V_{DD} = CV_{DD} = 3.3 V$, $HV_{DD} = 5.0 V$ 時の参考値です。

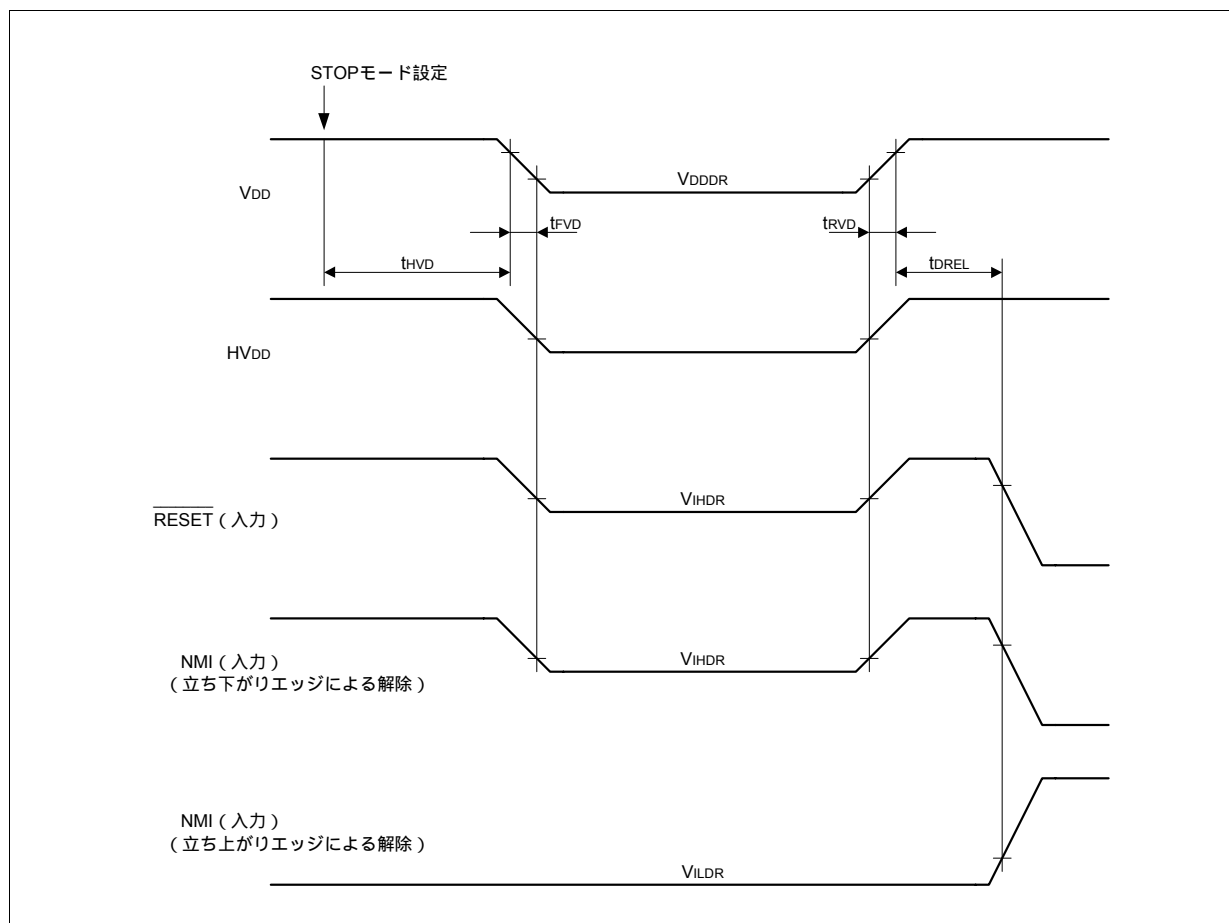
- 2. ダイレクト・モード : f_x = 2-33 MHz
PLL モード : f_x = 20-33 MHz
- 3. f_xの単位は MHz です。

データ保持特性 (TA = -40 ~ +85)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電圧	V _{DDDR}	STOPモード, V _{DD} = V _{DDDR}	1.5		3.6	V
	HV _{DDDR}	STOPモード, HV _{DD} = HV _{DDDR}	V _{DDDR}		5.5	V
データ保持電流	I _{DDDR}	V _{DD} = V _{DDDR}	-40 < T _A < +40	20	50	μA
			+40 < T _A < +85		600	μA
電源電圧立ち上がり時間	t _{rVD}		200			μs
電源電圧立ち下がり時間	t _{fVD}		200			μs
電源電圧保持時間 (対STOPモード設定)	t _{hVD}		0			ms
STOP解除信号入力時間	t _{dREL}		0			ns
データ保持ハイ・レベル入力電圧	V _{IHDR}	注	0.8 HV _{DDDR}		HV _{DDDR}	V
データ保持ロウ・レベル入力電圧	V _{ILDR}	注	0		0.2 HV _{DDDR}	V

注 P04/INTP100/DMARQ0-P07/INTP103/DMARQ3, P14/INTP110/DMAAK0-P17/INTP113/DMAAK3,
 P34/INTP130, P35/INTP131/SO2, P36/INTP132/SI2, P37/INTP133/SCK2,
 P104/INTP120/TC0-P107/INTP123/TC3, P114/INTP140, P115/INTP141/SO3, P116/INTP142/SI3,
 P117/INTP143/SCK3, P124/INTP150-P126/INTP152, P127/INTP153/ADTRG, P02/TCLR10, P12/TCLR11,
 P32/TCLR13, P102/TCLR12, P112/TCLR14, P122/TCLR15, P03/TI10, P13/TI11, P33/TI13, P103/TI12,
 P113/TI14, P123/TI15, P20/NMI, P23/RXD0/SI0, P24/SCK0, P26/RXD1/SI1, P27/SCK1, MODE0-MODE2,
 RESET

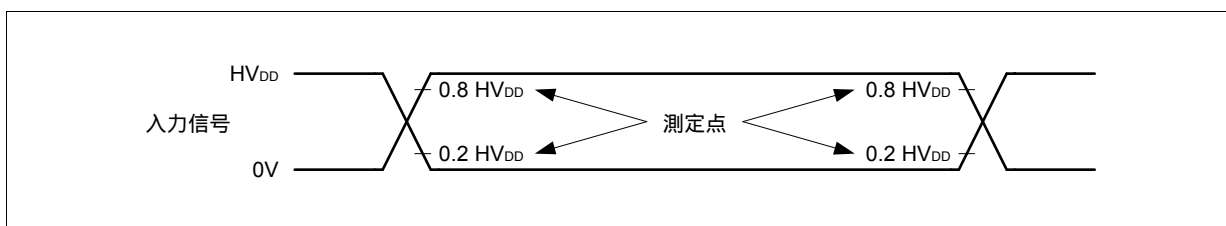
備考 TYP.値は, TA = 25 の参考値です。



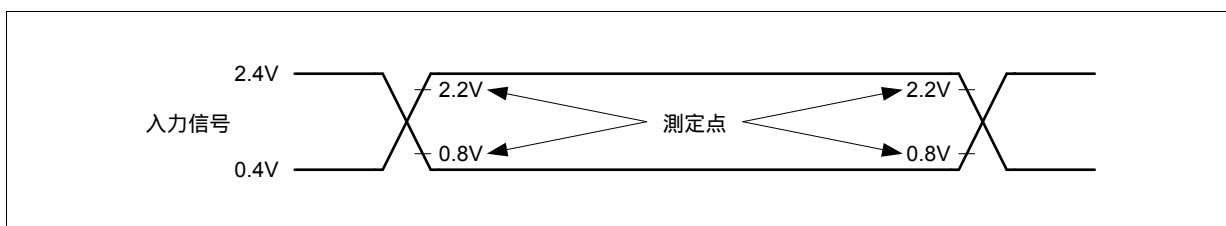
AC 特性 ($T_A = -40 \sim +85$, $V_{DD} = CV_{DD} = 3.0 \sim 3.6 V$, $HV_{DD} = 5.0 V \pm 10\%$, $V_{SS} = 0 V$, 出力端子の負荷容量 : $C_L = 50 pF$)

AC テスト入力測定点

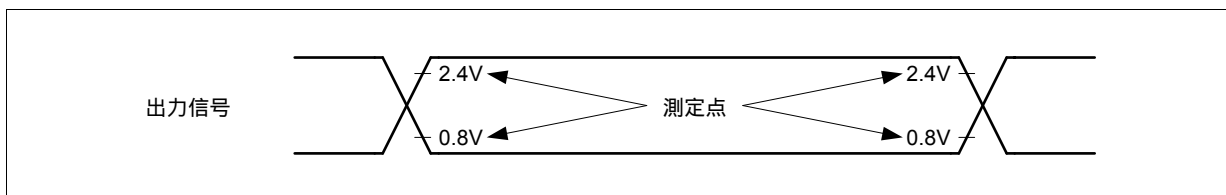
- (a) P04/INTP100/ $\overline{DMARQ0}$ -P07/INTP103/ $\overline{DMARQ3}$, P14/INTP110/ $\overline{DMAAK0}$ -P17/INTP113/ $\overline{DMAAK3}$,
 P34/INTP130, P35/INTP131/SO2, P36/INTP132/SI2, P37/INTP133/ $\overline{SCK2}$,
 P104/INTP120/ $\overline{TC0}$ -P107/INTP123/ $\overline{TC3}$, P114/INTP140, P115/INTP141/SO3, P116/INTP142/SI3,
 P117/INTP143/ $\overline{SCK3}$, P124/INTP150-P126/INTP152, P127/INTP153/ADTRG, P02/TCLR10, P12/TCLR11,
 P32/TCLR13, P102/TCLR12, P112/TCLR14, P122/TCLR15, P03/TI10, P13/TI11, P33/TI13, P103/TI12,
 P113/TI14, P123/TI15, P20/NMI, P23/RXD0/SI0, P24/ $\overline{SCK0}$, P26/RXD1/SI1, P27/ $\overline{SCK1}$, MODE0-MODE2,
 \overline{RESET}



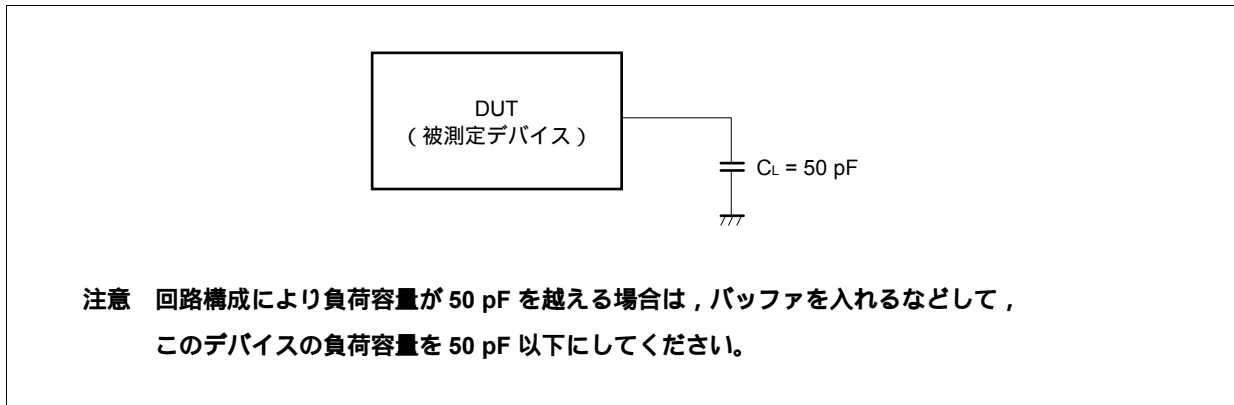
(b) 上記 (a) 以外



AC テスト出力測定点



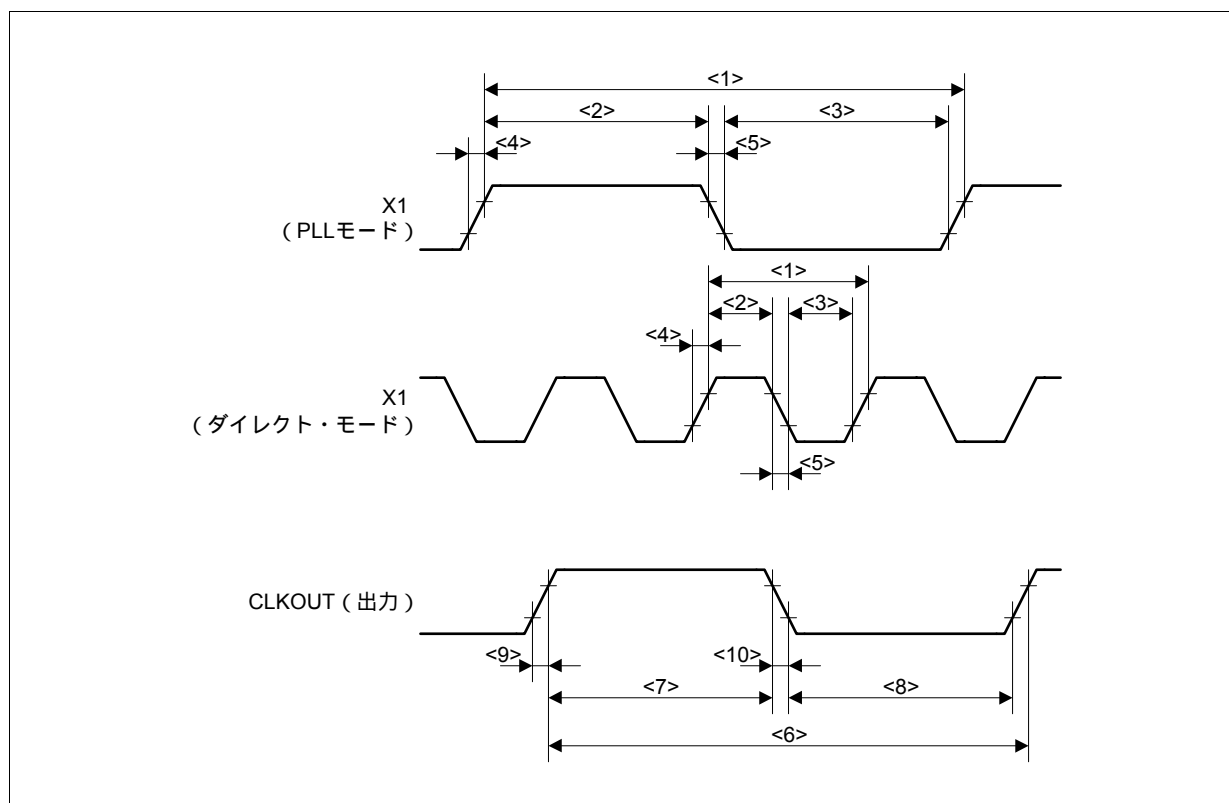
負荷条件



(1) クロック・タイミング

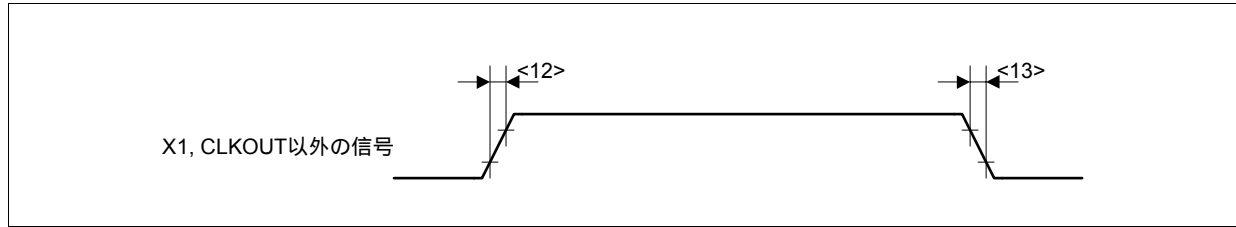
項目	略号	条件	MIN.	MAX.	単位	
X1 入力周期	<1>	t _{CYX}	ダイレクト・モード時	15	250	ns
			PLL モード時	150	250	ns
X1 入力ハイ・レベル幅	<2>	t _{WXH}	ダイレクト・モード時	5		ns
			PLL モード時	50		ns
X1 入力ロウ・レベル幅	<3>	t _{WXL}	ダイレクト・モード時	5		ns
			PLL モード時	50		ns
X1 入力立ち上がり時間	<4>	t _{xR}	ダイレクト・モード時		4	ns
			PLL モード時		10	ns
X1 入力立ち下がり時間	<5>	t _{xF}	ダイレクト・モード時		4	ns
			PLL モード時		10	ns
CLKOUT 出力周期	<6>	t _{CYK}	30	100	ns	
CLKOUT ハイ・レベル幅	<7>	t _{WKH}	0.5T - 7		ns	
CLKOUT ロウ・レベル幅	<8>	t _{WKL}	0.5T - 4		ns	
CLKOUT 立ち上がり時間	<9>	t _{KR}		5	ns	
CLKOUT 立ち下がり時間	<10>	t _{KF}		5	ns	

備考 T = t_{CYK}



(2) 出力波形 (X1, CLKOUT 以外)

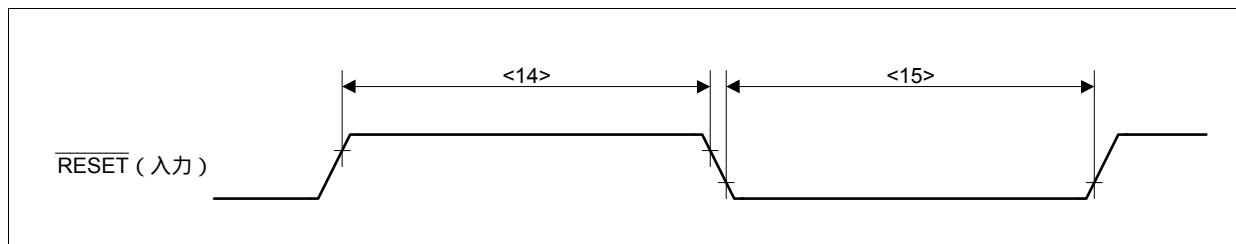
項目	略号		条件	MIN.	MAX.	単位
出力立ち上がり時間	<12>	t _{OR}			10	ns
出力立ち下がり時間	<13>	t _{OF}			10	ns



(3) リセット・タイミング

項目	略号		条件	MIN.	MAX.	単位
RESET端子ハイ・レベル幅	<14>	t _{WRSH}		500		ns
RESET端子ロウ・レベル幅	<15>	t _{WRSL}	電源オン時, STOPモード解除時	500 + T _{OS}		ns
			電源オン時, STOPモード解除時を除く	500		ns

備考 T_{OS}: 発振安定時間



(4) SRAM, 外部 ROM, 外部 I/O アクセス・タイミング

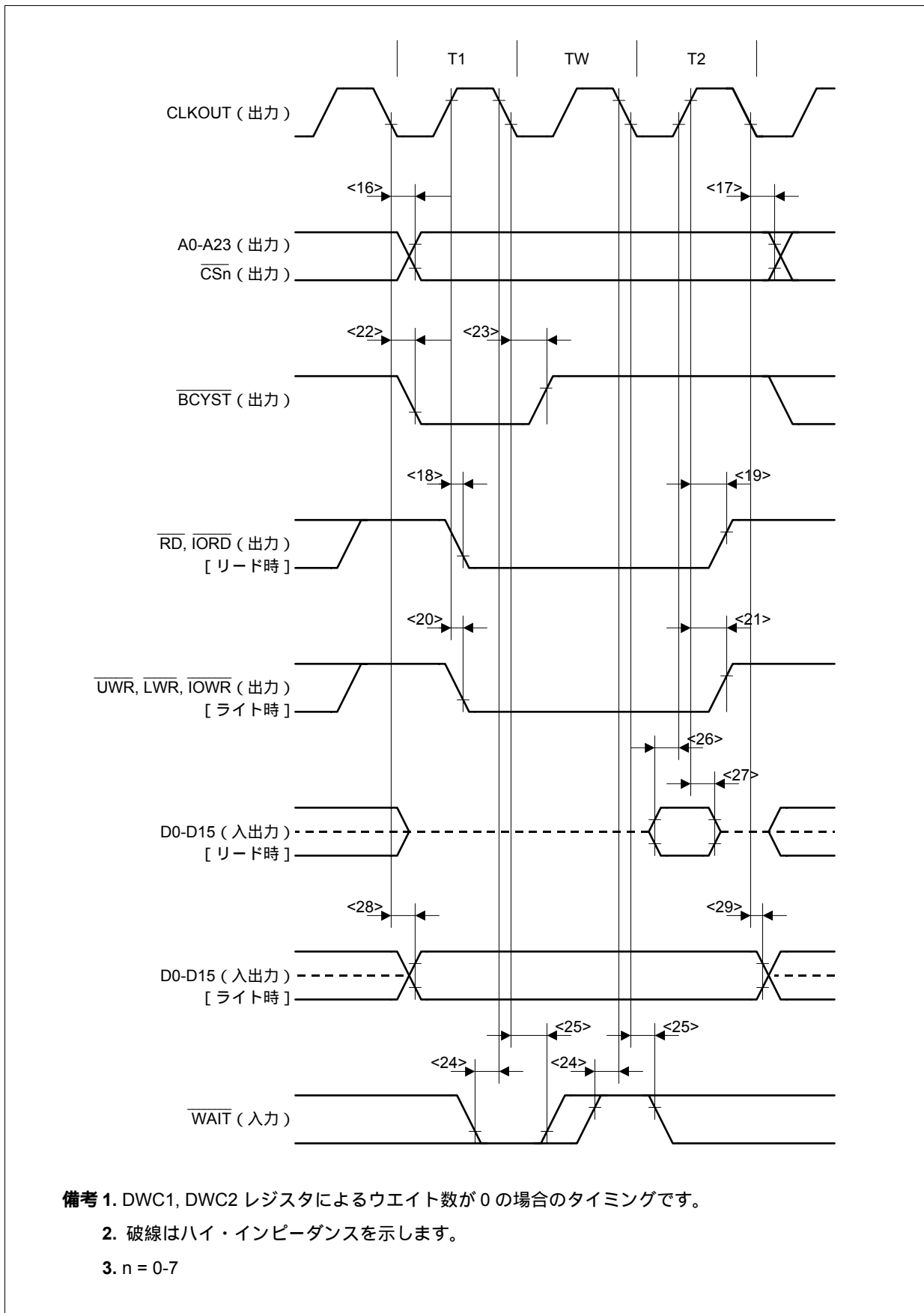
(a) アクセス・タイミング (SRAM, 外部 ROM, 外部 I/O) (1/2)

項目	略号	条件	MIN.	MAX.	単位
アドレス, \overline{CSn} 出力遅延時間 (対 CLKOUT)	<16> t_{DKA}		2	10	ns
アドレス, \overline{CSn} 出力保持時間 (対 CLKOUT)	<17> t_{HKA}		2	10	ns
\overline{RD} , \overline{IORD} 遅延時間 (対 CLKOUT)	<18> t_{DKRDL}		2	14	ns
\overline{RD} , \overline{IORD} 遅延時間 (対 CLKOUT)	<19> t_{HKRDH}		2	14	ns
\overline{UWR} , \overline{LWR} , \overline{IOWR} 遅延時間 (対 CLKOUT)	<20> t_{DKWRL}		2	10	ns
\overline{UWR} , \overline{LWR} , \overline{IOWR} 遅延時間 (対 CLKOUT)	<21> t_{HKWRH}		2	10	ns
\overline{BCYST} 遅延時間 (対 CLKOUT)	<22> t_{DKBSL}		2	10	ns
\overline{BCYST} 遅延時間 (対 CLKOUT)	<23> t_{HKBSH}		2	10	ns
WAIT設定時間 (対 CLKOUT)	<24> t_{SWK}		15		ns
WAIT保持時間 (対 CLKOUT)	<25> t_{HKW}		2		ns
データ入力設定時間 (対 CLKOUT)	<26> t_{SKID}		18		ns
データ入力保持時間 (対 CLKOUT)	<27> t_{HKID}		2		ns
データ出力遅延時間 (対 CLKOUT)	<28> t_{DKOD}		2	10	ns
データ出力保持時間 (対 CLKOUT)	<29> t_{HKOD}		2	10	ns

備考 1. データ入力保持時間 t_{HKID} , t_{HRDID} は, 少なくともどちらか1つを守ってください。

2. n = 0-7

(a) アクセス・タイミング (SRAM, 外部 ROM, 外部 I/O) (2/2)



備考 1. DWC1, DWC2 レジスタによるウエイト数が 0 の場合のタイミングです。

2. 破線はハイ・インピーダンスを示します。

3. n = 0-7

(b) リード・タイミング (SRAM, 外部 ROM, 外部 I/O) (1/2)

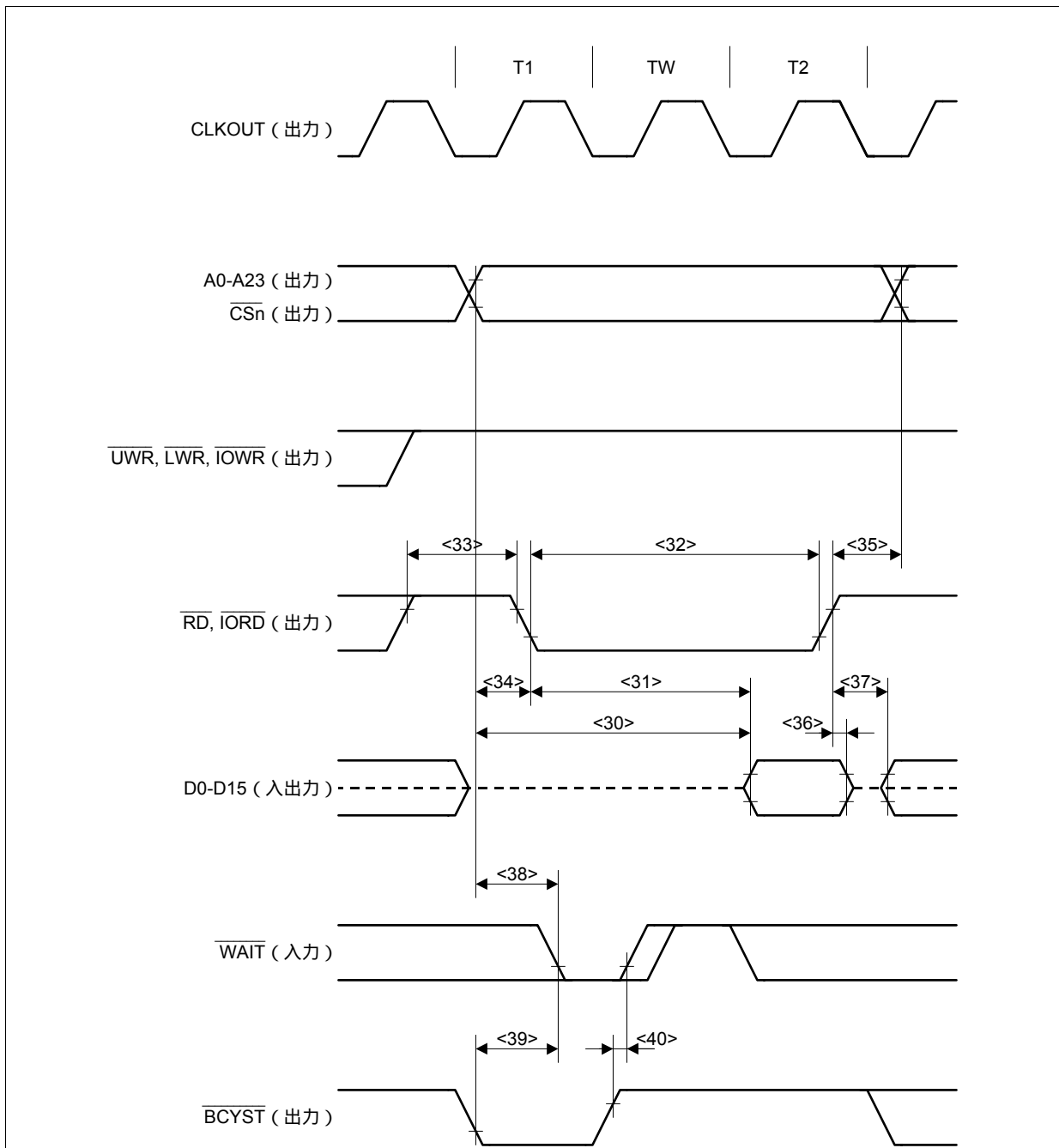
項 目	略 号	条 件	MIN.	MAX.	単 位
データ入力設定時間 (対アドレス)	<30> t _{SAID}			(1.5 + w _D + w) T - 28	ns
データ入力設定時間 (対RD)	<31> t _{SRDID}			(1 + w _D + w) T - 32	ns
RD, $\overline{\text{IORD}}$ ロウ・レベル幅	<32> t _{WRDL}		(1 + w _D + w) T - 10		ns
RD, $\overline{\text{IORD}}$ ハイ・レベル幅	<33> t _{WRDH}		T - 10		ns
アドレス, $\overline{\text{CSn}}$ RD, $\overline{\text{IORD}}$ 遅延時間	<34> t _{DARD}		0.5T - 10		ns
RD, $\overline{\text{IORD}}$ アドレス遅延時間	<35> t _{DRDA}		(0.5 + i) T - 10		ns
データ入力保持時間 (対RD, $\overline{\text{IORD}}$)	<36> t _{HRDID}		0		ns
RD, $\overline{\text{IORD}}$ データ出力遅延時間	<37> t _{DRDOD}		(0.5 + i) T - 10		ns
WAIT設定時間 (対アドレス)	<38> t _{SAW}	注		T - 25	ns
WAIT設定時間 (対 $\overline{\text{BCYST}}$)	<39> t _{SBSW}	注		T - 25	ns
WAIT保持時間 (対 $\overline{\text{BCYST}}$)	<40> t _{HBSW}	注	0		ns

注 DWC1, DWC2 レジスタによるウェイト数が0のときの, 最初の $\overline{\text{WAIT}}$ サンプリング時。

備考 1. T = t_{cyk}

2. w : $\overline{\text{WAIT}}$ によるウェイト数
3. w_D : DWC1, DWC2 レジスタによるウェイト数
4. i : リード・サイクル後にライト・サイクルが続くときに挿入されるアイドル・ステート数
5. データ入力保持時間 t_{HKID}, t_{HRDID} は, 少なくともどちらか1つを守ってください。
6. n = 0-7

(b) リード・タイミング (SRAM, 外部 ROM, 外部 I/O) (2/2)



備考 1. DWC1, DWC2 レジスタによるウェイト数が 0 の場合のタイミングです。

2. 破線はハイ・インピーダンスを示します。

3. $n = 0-7$

(c) ライト・タイミング (SRAM, 外部 ROM, 外部 I/O) (1/2)

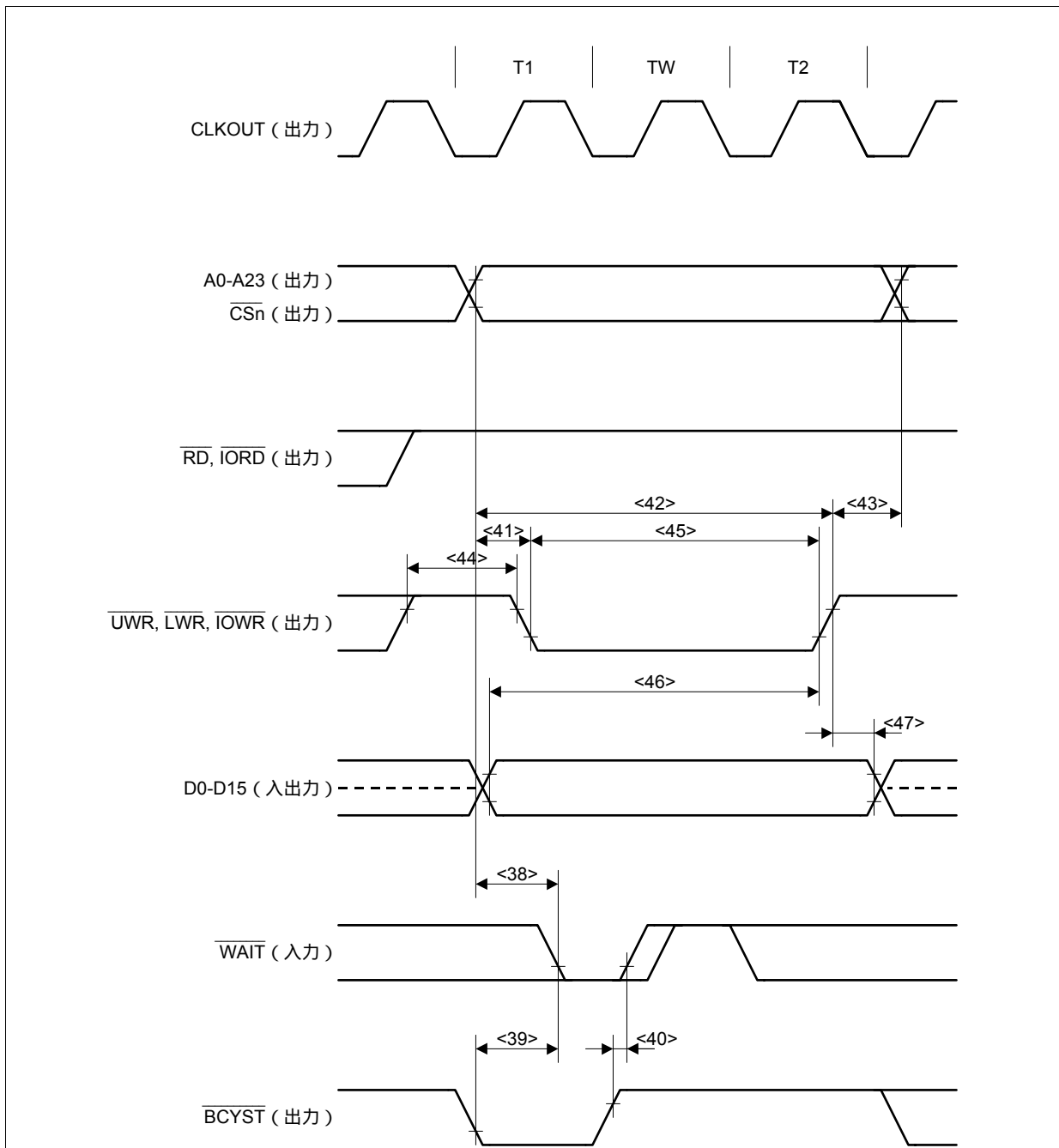
項目	略号	条件	MIN.	MAX.	単位
WAIT設定時間 (対アドレス)	<38> t _{SAW}	注		T - 25	ns
WAIT設定時間 (対BCYST)	<39> t _{SBSW}	注		T - 25	ns
WAIT保持時間 (対BCYST)	<40> t _{HBSW}	注	0		ns
アドレス, \overline{CSn} UWR, LWR, \overline{IOWR} 遅延時間	<41> t _{DAWR}		0.5T - 10		ns
アドレス設定時間 (対UWR, LWR, \overline{IOWR})	<42> t _{SAWR}		(1.5 + w _D + w) T - 10		ns
UWR, LWR, \overline{IOWR} アドレス遅延時間	<43> t _{DWRA}		0.5T - 10		ns
UWR, LWR, \overline{IOWR} ハイ・レベル幅	<44> t _{WWRH}		T - 10		ns
UWR, LWR, \overline{IOWR} ロウ・レベル幅	<45> t _{WWRL}		(1 + w _D + w) T - 10		ns
データ出力設定時間 (対UWR, LWR, \overline{IOWR})	<46> t _{SODWR}		(1.5 + w _D + w) T - 10		ns
データ出力保持時間 (対UWR, LWR, \overline{IOWR})	<47> t _{HWROD}		0.5T - 10		ns

注 DWC1, DWC2 レジスタによるウェイト数が0のときの, 最初のWAITサンプリング時。

備考 1. T = t_{cyk}

2. w : \overline{WAIT} によるウェイト数
3. w_D : DWC1, DWC2 レジスタによるウェイト数
4. n = 0-7

(c) ライト・タイミング (SRAM, 外部 ROM, 外部 I/O) (2/2)



備考 1. DWC1, DWC2 レジスタによるウエイト数が 0 の場合のタイミングです。

2. 破線はハイ・インピーダンスを示します。

3. n = 0-7

(d) DMA フライバイ転送タイミング (SRAM 外部 I/O 転送) (1/2)

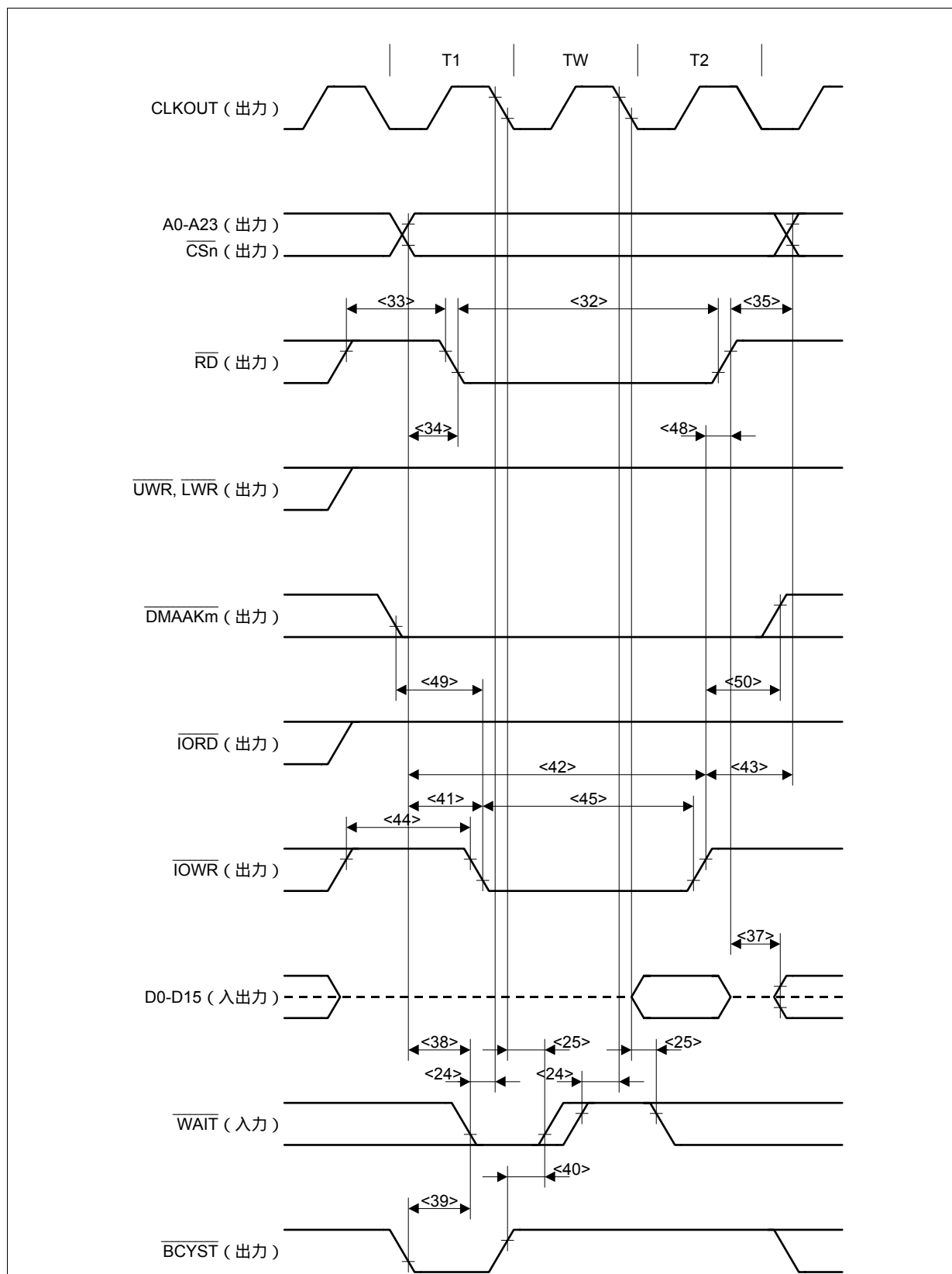
項目	略号	条件	MIN.	MAX.	単位
WAIT設定時間 (対 CLKOUT)	<24> t _{SWK}		15		ns
WAIT保持時間 (対 CLKOUT)	<25> t _{HKW}		2		ns
R \overline{D} ロウ・レベル幅	<32> t _{WRDL}		$(1 + W_D + W_F + W) T - 10$		ns
R \overline{D} ハイ・レベル幅	<33> t _{WRDH}		$T - 10$		ns
アドレス, \overline{CS}_n R \overline{D} 遅延時間	<34> t _{DARD}		$0.5T - 10$		ns
R \overline{D} アドレス遅延時間	<35> t _{DRDA}		$(0.5 + i) T - 10$		ns
R \overline{D} データ出力遅延時間	<37> t _{DRDOD}		$(0.5 + i) T - 10$		ns
WAIT設定時間 (対アドレス)	<38> t _{SAW}	注		$T - 25$	ns
WAIT設定時間 (対BCYST)	<39> t _{SBSW}	注		$T - 25$	ns
WAIT保持時間 (対BCYST)	<40> t _{HBSW}	注	0		ns
アドレス \overline{IOWR} 遅延時間	<41> t _{DAWR}		$0.5T - 10$		ns
アドレス設定時間 (対 \overline{IOWR})	<42> t _{SAWR}		$(1.5 + W_D + W) T - 10$		ns
\overline{IOWR} アドレス遅延時間	<43> t _{DWRA}		$0.5T - 10$		ns
\overline{IOWR} ハイ・レベル幅	<44> t _{WWRH}		$T - 10$		ns
\overline{IOWR} ロウ・レベル幅	<45> t _{WWRL}		$(1 + W_D + W) T - 10$		ns
\overline{IOWR} R \overline{D} 遅延時間	<48> t _{DWRRD}	W _F = 0	0		ns
		W _F = 1	$T - 10$		ns
DMAAK \overline{m} \overline{IOWR} 遅延時間	<49> t _{DDAWR}		$0.5T - 10$		ns
\overline{IOWR} DMAAK \overline{m} 遅延時間	<50> t _{DWRDA}		$(0.5 + W_F) T - 10$		ns

注 DWC1, DWC2 レジスタによるウェイト数が0のときの,最初のWAITサンプリング時。

備考 1. $T = t_{CYK}$

2. w : \overline{WAIT} によるウェイト数
3. W_D : DWC1, DWC2 レジスタによるウェイト数
4. W_F : DMA フライバイ転送時のソース側アクセスに挿入されるウェイト数
5. i : リード・サイクル後にライト・サイクルが続くときに挿入されるアイドル・ステート数
6. $n = 0-7, m = 0-3$

(d) DMA フライバイ転送タイミング (SRAM 外部 I/O 転送) (2/2)



備考 1. DWC1, DWC2 レジスタによるウェイト数が 0, wf = 0 の場合のタイミングです。

2. 破線はハイ・インピーダンスを示します。

3. n = 0-7, m = 0-3

(e) DMA フライバイ転送タイミング (外部 I/O SRAM 転送) (1/2)

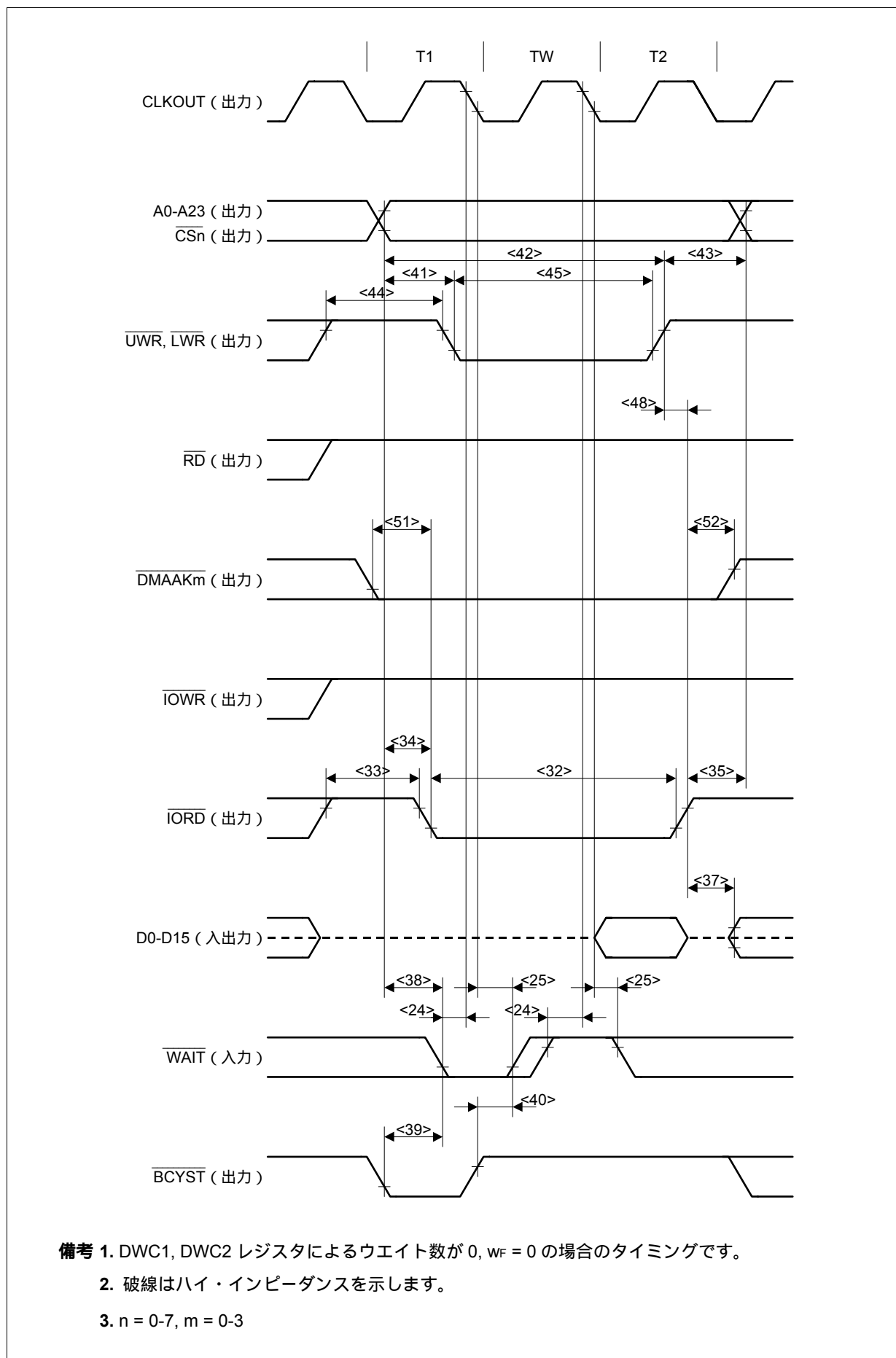
項目	略号	条件	MIN.	MAX.	単位
WAIT設定時間 (対CLKOUT)	<24> t _{SWK}		15		ns
WAIT保持時間 (対CLKOUT)	<25> t _{HKW}		2		ns
T _{ORD} ロウ・レベル幅	<32> t _{WRDL}		$(1 + w_D + w_F + w) T - 10$		ns
T _{ORD} ハイ・レベル幅	<33> t _{WRDH}		$T - 10$		ns
アドレス, \overline{CS}_n T _{ORD} 遅延時間	<34> t _{DARD}		$0.5T - 10$		ns
T _{ORD} アドレス遅延時間	<35> t _{DRDA}		$(0.5 + i) T - 10$		ns
T _{ORD} データ出力遅延時間	<37> t _{DRDOD}		$(0.5 + i) T - 10$		ns
WAIT設定時間 (対アドレス)	<38> t _{SAW}	注		$T - 25$	ns
WAIT設定時間 (対 \overline{BCYST})	<39> t _{SBSW}	注		$T - 25$	ns
WAIT保持時間 (対 \overline{BCYST})	<40> t _{HBSW}	注	0		ns
アドレス U _{WR} , L _{WR} 遅延時間	<41> t _{DAWR}		$0.5T - 10$		ns
アドレス設定時間 (対U _{WR} , L _{WR})	<42> t _{SAWR}		$(1.5 + w_D + w) T - 10$		ns
U _{WR} , L _{WR} アドレス遅延時間	<43> t _{DWRA}		$0.5T - 10$		ns
U _{WR} , L _{WR} ハイ・レベル幅	<44> t _{WWRH}		$T - 10$		ns
U _{WR} , L _{WR} ロウ・レベル幅	<45> t _{WWRL}		$(1 + w_D + w) T - 10$		ns
U _{WR} , L _{WR} T _{ORD} 遅延時間	<48> t _{DWRRD}	W _F = 0	0		ns
		W _F = 1	$T - 10$		ns
DMAAK _m T _{ORD} 遅延時間	<51> t _{DDARD}		$0.5T - 10$		ns
T _{ORD} DMAAK _m 遅延時間	<52> t _{DRDDA}		$0.5T - 10$		ns

注 DWC1, DWC2 レジスタによるウェイト数が0のときの, 最初のWAITサンプリング時。

備考 1. $T = t_{CYK}$

2. w : \overline{WAIT} によるウェイト数
3. w_D : DWC1, DWC2 レジスタによるウェイト数
4. w_F : DMA フライバイ転送時のソース側アクセスに挿入されるウェイト数
5. i : リード・サイクル後にライト・サイクルが続くときに挿入されるアイドル・ステート数
6. $n = 0-7, m = 0-3$

(e) DMA フライバイ転送タイミング (外部 I/O SRAM 転送) (2/2)



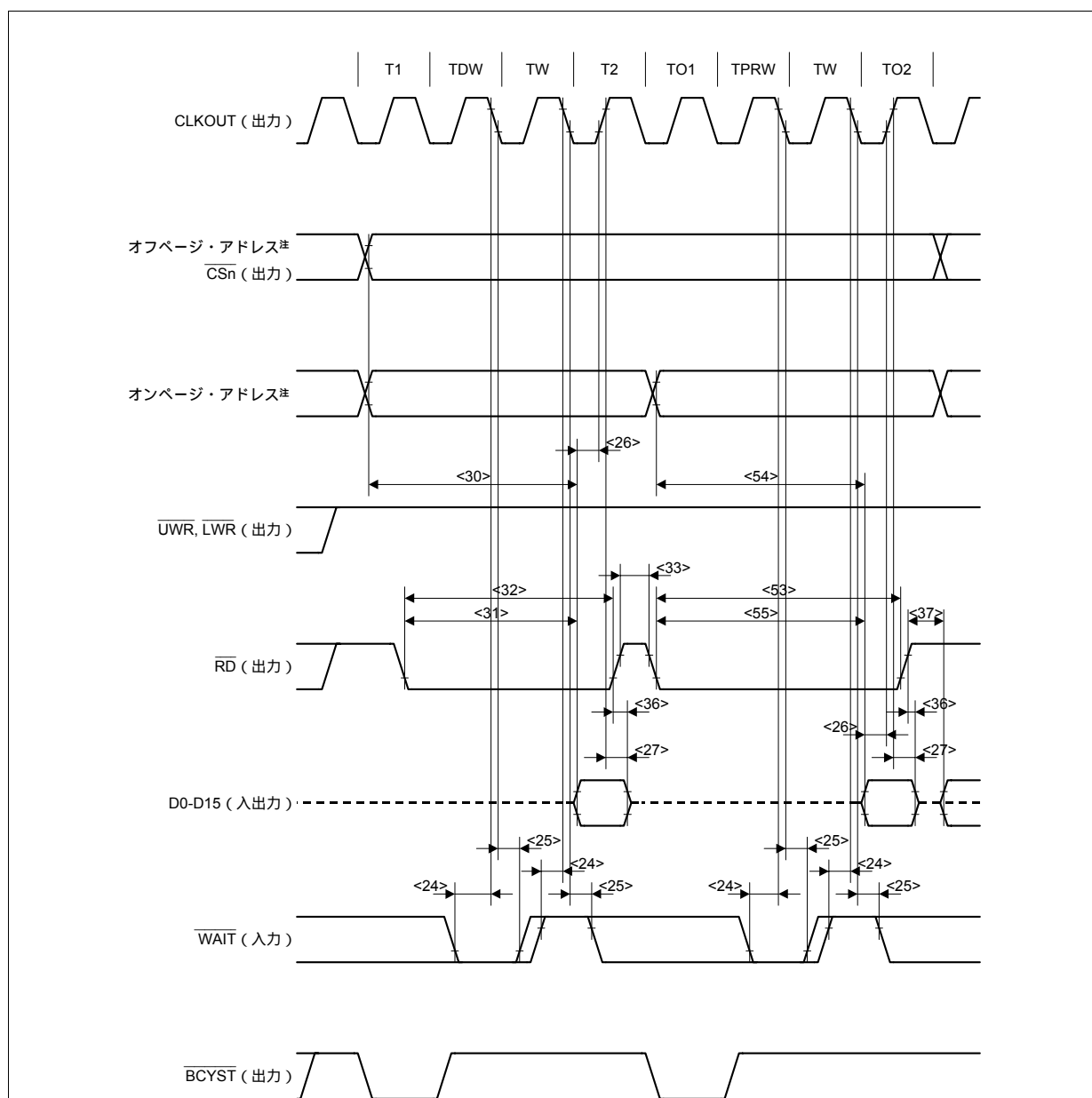
(5) ページROM アクセス・タイミング (1/2)

項目	略号	条件	MIN.	MAX.	単位
WAIT設定時間 (対CLKOUT)	<24> t _{SWK}		15		ns
WAIT保持時間 (対CLKOUT)	<25> t _{HKW}		2		ns
データ入力設定時間 (対CLKOUT)	<26> t _{SKID}		18		ns
データ入力保持時間 (対CLKOUT)	<27> t _{HKID}		2		ns
オフページ・データ入力設定時間 (対アドレス)	<30> t _{SAID}			(1.5 + w _D + w) T - 28	ns
オフページ・データ入力設定時間 (対RD)	<31> t _{SRDID}			(1 + w _D + w) T - 32	ns
オフページRDロウ・レベル幅	<32> t _{WRDL}		(1 + w _D + w) T - 10		ns
RDハイ・レベル幅	<33> t _{WRDH}		0.5T - 10		ns
データ入力保持時間 (対RD)	<36> t _{HRDID}		0		ns
RD データ出力遅延時間	<37> t _{DRDOD}		(0.5 + i) T - 10		ns
オンページRDロウ・レベル幅	<53> t _{WORDL}		(1.5 + w _{PR} + w) T - 10		ns
オンページ・データ入力設定時間 (対アドレス)	<54> t _{SOAID}			(1.5 + w _{PR} + w) T - 28	ns
オンページ・データ入力設定時間 (対RD)	<55> t _{SORDID}			(1.5 + w _{PR} + w) T - 32	ns

備考 1. T = t_{cyk}

2. w : $\overline{\text{WAIT}}$ によるウェイト数
3. w_D : DWC1, DWC2 レジスタによるウェイト数
4. w_{PR} : PRC レジスタによるウェイト数
5. i : リード・サイクル後にライト・サイクルが続くときに挿入されるアイドル・ステート数
6. データ入力保持時間 t_{HKID}, t_{HRDID} は, 少なくともどちらか1つを守ってください。

(5) ページROM アクセス・タイミング (2/2)



注 オンページ・アドレス, オフページ・アドレスは, 次のとおりです。

PRCレジスタ			オンページ・アドレス	オフページ・アドレス
MA5	MA4	MA3		
0	0	0	A0, A1	A2-A23
0	0	1	A0-A2	A3-A23
0	1	1	A0-A3	A4-A23
1	1	1	A0-A4	A5-A23

備考 1. 次の場合のタイミングです。

DWC1, DWC2 レジスタによるウエイト数 (TDW) : 1

PRC レジスタによるウエイト数 (TPRW) : 1

2. 破線はハイ・インピーダンスを示します。

3. n = 0-7

(6) DRAM アクセス・タイミング

(a) リード・タイミング (高速ページ DRAM アクセス, 通常アクセス: オフページ) (1/3)

項目	略号	条件	MIN.	MAX.	単位
WAIT設定時間 (対 CLKOUT)	<24> t _{SWK}		15		ns
WAIT保持時間 (対 CLKOUT)	<25> t _{HKW}		2		ns
データ入力設定時間 (対 CLKOUT)	<26> t _{SKID}		18		ns
データ入力保持時間 (対 CLKOUT)	<27> t _{HKID}		2		ns
\overline{OE} データ出力遅延時間	<37> t _{DRDOD}		$(0.5 + i) T - 10$		ns
ロウ・アドレス設定時間	<56> t _{ASR}		$(0.5 + W_{RP}) T - 10$		ns
ロウ・アドレス保持時間	<57> t _{RAH}		$(0.5 + W_{RH}) T - 10$		ns
カラム・アドレス設定時間	<58> t _{ASC}		$0.5T - 10$		ns
カラム・アドレス保持時間	<59> t _{CAH}		$(1.5 + W_{DA} + W) T - 10$		ns
リード/ライト・サイクル時間	<60> t _{RC}		$(3 + W_{RP} + W_{RH} + W_{DA} + W) T - 10$		ns
\overline{RAS} プリチャージ時間	<61> t _{RP}		$(0.5 + W_{RP}) T - 10$		ns
\overline{RAS} パルス時間	<62> t _{RAS}		$(2.5 + W_{RH} + W_{DA} + W) T - 10$		ns
RAS保持時間	<63> t _{RSH}		$(1.5 + W_{DA} + W) T - 10$		ns
RASに対するカラム・アドレス・リード時間	<64> t _{RAL}		$(2 + W_{DA} + W) T - 10$		ns
\overline{CAS} パルス幅	<65> t _{CAS}		$(1 + W_{DA} + W) T - 10$		ns
\overline{CAS} -RASプリチャージ時間	<66> t _{CRP}		$(1 + W_{RP}) T - 10$		ns
\overline{CAS} 保持時間	<67> t _{CSH}		$(2 + W_{RH} + W_{DA} + W) T - 10$		ns
\overline{WE} 設定時間	<68> t _{RCS}		$(2 + W_{RP} + W_{RH}) T - 10$		ns
\overline{WE} 保持時間 (対 \overline{RAS})	<69> t _{RRH}		$0.5T - 10$		ns
\overline{WE} 保持時間 (対 \overline{CAS})	<70> t _{RCH}		$T - 10$		ns
\overline{CAS} プリチャージ時間	<71> t _{CPN}		$(2 + W_{RP} + W_{RH}) T - 10$		ns
出カインエーブル・アクセス時間	<72> t _{OEA}			$(2 + W_{RP} + W_{RH} + W_{DA} + W) T - 28$	ns
RASアクセス時間	<73> t _{RAC}			$(2 + W_{RH} + W_{DA} + W) T - 28$	ns
カラム・アドレスからのアクセス時間	<74> t _{AA}			$(1.5 + W_{DA} + W) T - 28$	ns
\overline{CAS} アクセス時間	<75> t _{CAC}			$(1 + W_{DA} + W) T - 28$	ns

備考 1. $T = t_{CYK}$

2. w : \overline{WAIT} によるウェイト数
3. W_{RP} : DRCn レジスタの RPCxx ビットによるウェイト数 ($n = 0-3, xx = 00-03, 10-13$)
4. W_{RH} : DRCn レジスタの RHCxx ビットによるウェイト数 ($n = 0-3, xx = 00-03, 10-13$)
5. W_{DA} : DRCn レジスタの DACxx ビットによるウェイト数 ($n = 0-3, xx = 00-03, 10-13$)
6. i : リード・サイクル後にライト・サイクルが続くときに挿入されるアイドル・ステート数

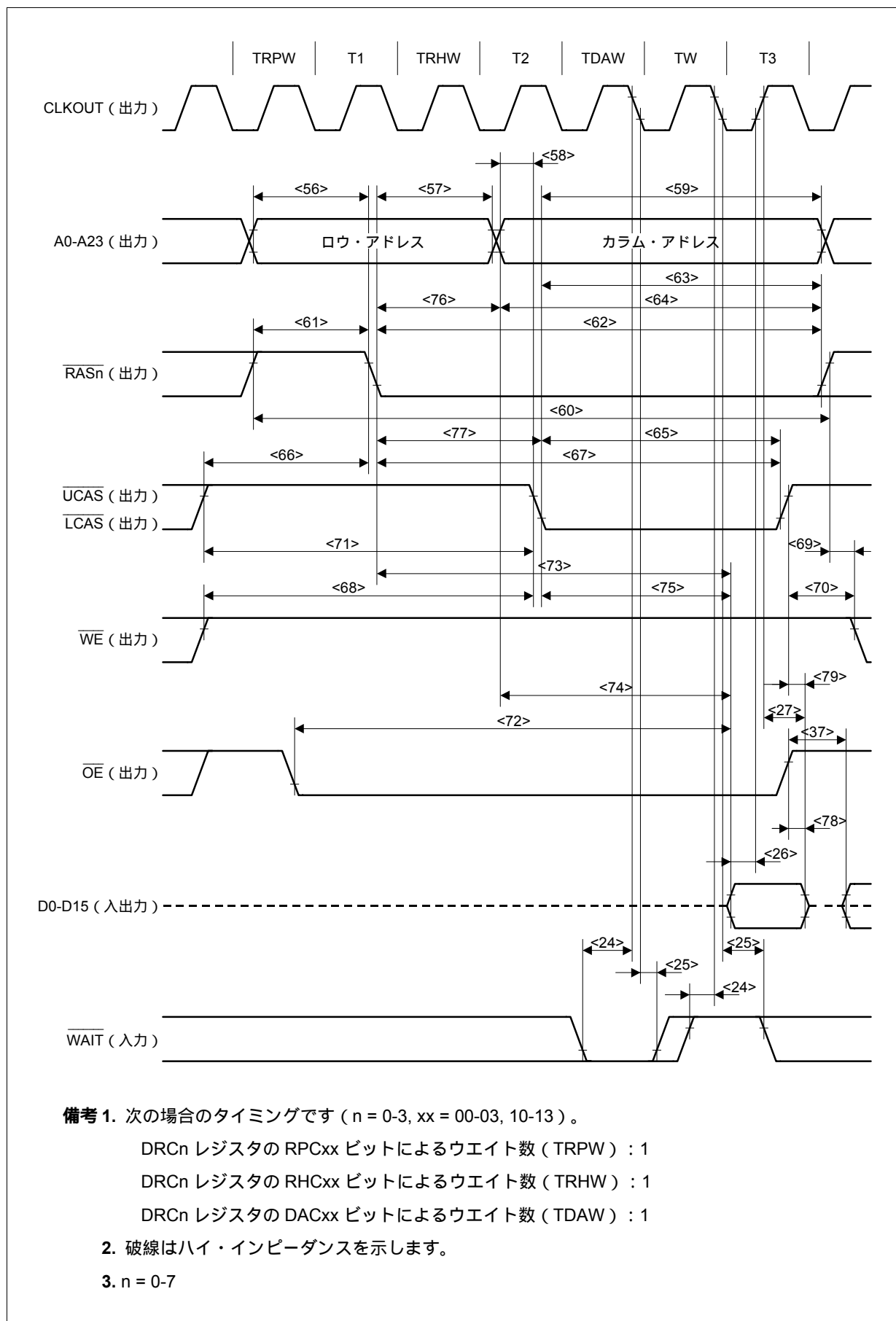
(a) リード・タイミング (高速ページ DRAM アクセス, 通常アクセス: オフページ) (2/3)

項目	略号	条件	MIN.	MAX.	単位
RASカラム・アドレス遅延時間	<76> t _{RAD}		$(0.5 + W_{RH}) T - 10$		ns
RAS-CAS遅延時間	<77> t _{RCD}		$(1 + W_{RH}) T - 10$		ns
出力バッファ・ターン・オフ遅延時間 (対 \overline{OE})	<78> t _{OEZ}		0		ns
出力バッファ・ターン・オフ遅延時間 (対 \overline{CAS})	<79> t _{OFF}		0		ns

備考 1. T = t_{CYK}

2. W_{RH} : DRC_n レジスタの RHC_{xx} ビットによるウェイト数 (n = 0-3, xx = 00-03, 10-13)

(a) リード・タイミング (高速ページ DRAM アクセス, 通常アクセス: オフページ) (3/3)



備考 1. 次の場合のタイミングです (n = 0-3, xx = 00-03, 10-13)。

DRCn レジスタの RPCxx ビットによるウエイト数 (TRPW) : 1

DRCn レジスタの RHCxx ビットによるウエイト数 (TRHW) : 1

DRCn レジスタの DACxx ビットによるウエイト数 (TDAW) : 1

2. 破線はハイ・インピーダンスを示します。

3. n = 0-7

〔メモ〕

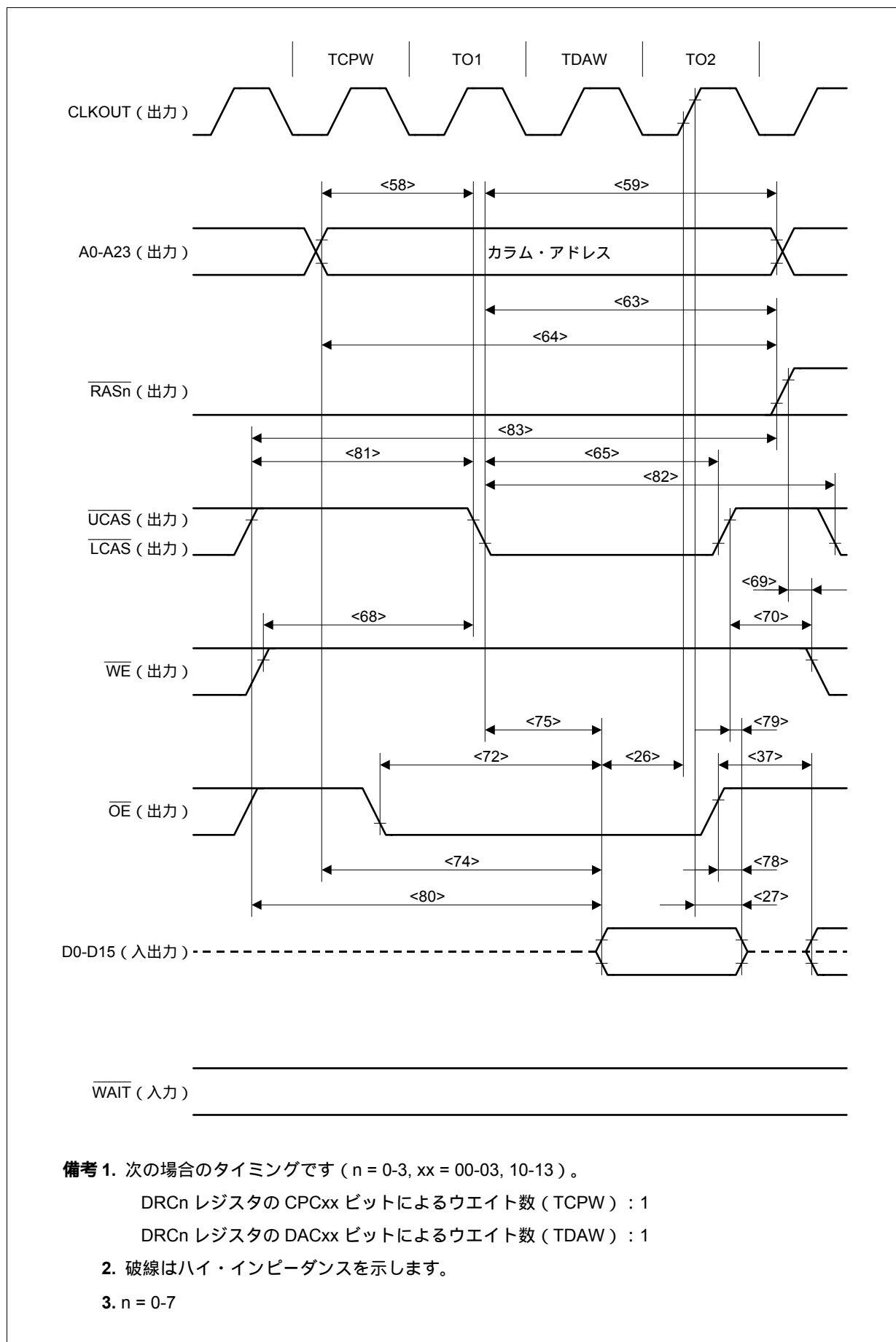
(b) リード・タイミング (高速ページ DRAM アクセス : オンページ) (1/2)

項目	略号	条件	MIN.	MAX.	単位
データ入力設定時間 (対 CLKOUT)	<26> tSKID		18		ns
データ入力保持時間 (対 CLKOUT)	<27> tHKID		2		ns
\overline{OE} データ出力遅延時間	<37> tDRDOD		$(0.5 + i) T - 10$		ns
カラム・アドレス設定時間	<58> tASC		$(0.5 + WCP) T - 10$		ns
カラム・アドレス保持時間	<59> tCAH		$(1.5 + WDA) T - 10$		ns
\overline{RAS} 保持時間	<63> tRSH		$(1.5 + WDA) T - 10$		ns
\overline{RAS} に対するカラム・アドレス・リード時間	<64> tRAL		$(2 + WCP + WDA) T - 10$		ns
\overline{CAS} パルス幅	<65> tCAS		$(1 + WDA) T - 10$		ns
\overline{WE} 設定時間 (対 \overline{CAS})	<68> tRCS		$(1 + WCP) T - 10$		ns
\overline{WE} 保持時間 (対 \overline{RAS})	<69> tRRH		$0.5T - 10$		ns
\overline{WE} 保持時間 (対 \overline{CAS})	<70> tRCH		$T - 10$		ns
出カインエーブル・アクセス時間	<72> tOEA			$(1 + WCP + WDA) T - 28$	ns
カラム・アドレスからのアクセス時間	<74> tAA			$(1.5 + WCP + WDA) T - 28$	ns
\overline{CAS} アクセス時間	<75> tCAC			$(1 + WDA) T - 28$	ns
出力バッファ・ターン・オフ遅延時間 (対 \overline{OE})	<78> tOEZ		0		ns
出力バッファ・ターン・オフ遅延時間 (対 \overline{CAS})	<79> toFF		0		ns
\overline{CAS} プリチャージからのアクセス時間	<80> tACP			$(2 + WCP + WDA) T - 28$	ns
\overline{CAS} プリチャージ時間	<81> tCP		$(1 + WCP) T - 10$		ns
高速ページ・モード・サイクル時間	<82> tPC		$(2 + WCP + WDA) T - 10$		ns
\overline{CAS} プリチャージに対する \overline{RAS} 保持時間	<83> tRHCP		$(2.5 + WCP + WDA) T - 10$		ns

備考 1. $T = t_{CYK}$

2. WCP : DRCn レジスタの CPCxx ビットによるウエイト数 (n = 0-3, xx = 00-03, 10-13)
3. WDA : DRCn レジスタの DACxx ビットによるウエイト数 (n = 0-3, xx = 00-03, 10-13)
4. i : リード・サイクル後にライト・サイクルが続くときに挿入されるアイドル・ステート数

(b) リード・タイミング (高速ページ DRAM アクセス : オンページ) (2/2)



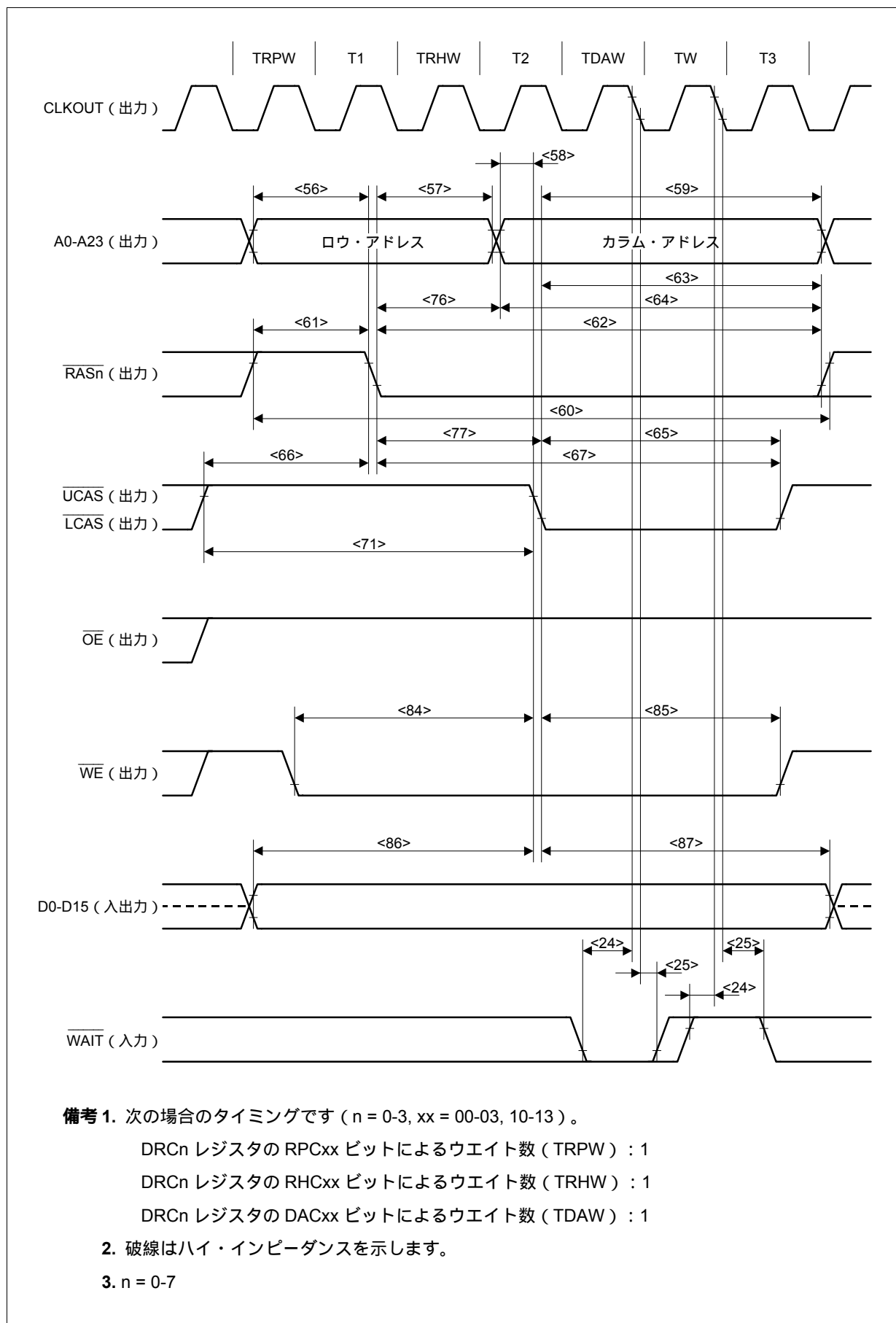
(c) ライト・タイミング (高速ページ DRAM アクセス, 通常アクセス: オフページ) (1/2)

項目	略号	条件	MIN.	MAX.	単位
WAIT設定時間 (対 CLKOUT)	<24> t _{SWK}		15		ns
WAIT保持時間 (対 CLKOUT)	<25> t _{HKW}		2		ns
ロウ・アドレス設定時間	<56> t _{ASR}		(0.5 + W _{RP}) T - 10		ns
ロウ・アドレス保持時間	<57> t _{RAH}		(0.5 + W _{RH}) T - 10		ns
カラム・アドレス設定時間	<58> t _{ASC}		0.5T - 10		ns
カラム・アドレス保持時間	<59> t _{CAH}		(1.5 + W _{DA} + W) T - 10		ns
リード/ライト・サイクル時間	<60> t _{RC}		(3 + W _{RP} + W _{RH} + W _{DA} + W) T - 10		ns
RASプリチャージ時間	<61> t _{RP}		(0.5 + W _{RP}) T - 10		ns
RASパルス時間	<62> t _{RAS}		(2.5 + W _{RH} + W _{DA} + W) T - 10		ns
RAS保持時間	<63> t _{RSH}		(1.5 + W _{DA} + W) T - 10		ns
カラム・アドレス・リード時間 (対 RAS)	<64> t _{RAL}		(2 + W _{DA} + W) T - 10		ns
CASパルス幅	<65> t _{CAS}		(1 + W _{DA} + W) T - 10		ns
CAS-RASプリチャージ時間	<66> t _{CRP}		(1 + W _{RH}) T - 10		ns
CAS保持時間	<67> t _{CSH}		(2 + W _{RH} + W _{DA} + W) T - 10		ns
CASプリチャージ時間	<71> t _{CPN}		(2 + W _{RP} + W _{RH}) T - 10		ns
RASカラム・アドレス遅延時間	<76> t _{RAD}		(0.5 + W _{RH}) T - 10		ns
RAS-CAS遅延時間	<77> t _{RCD}		(1 + W _{RH}) T - 10		ns
WE設定時間 (対 CAS)	<84> t _{WCS}		(1 + W _{RP} + W _{RH}) T - 10		ns
WE保持時間 (対 CAS)	<85> t _{WCH}		(1 + W _{DA} + W) T - 10		ns
データ設定時間 (対 CAS)	<86> t _{DS}		(1.5 + W _{RP} + W _{RH}) T - 10		ns
データ保持時間 (対 CAS)	<87> t _{DH}		(1.5 + W _{DA} + W) T - 10		ns

備考 1. T = t_{cyk}

2. w : WAITによるウエイト数
3. W_{RP} : DRCn レジスタの RPCxx ビットによるウエイト数 (n = 0-3, xx = 00-03, 10-13)
4. W_{RH} : DRCn レジスタの RHCxx ビットによるウエイト数 (n = 0-3, xx = 00-03, 10-13)
5. W_{DA} : DRCn レジスタの DACxx ビットによるウエイト数 (n = 0-3, xx = 00-03, 10-13)

(c) ライト・タイミング (高速ページ DRAM アクセス, 通常アクセス : オフページ) (2/2)



備考 1. 次の場合のタイミングです (n = 0-3, xx = 00-03, 10-13)。

DRCn レジスタの RPCxx ビットによるウエイト数 (TRPW) : 1

DRCn レジスタの RHCxx ビットによるウエイト数 (TRHW) : 1

DRCn レジスタの DACxx ビットによるウエイト数 (TDAW) : 1

2. 破線はハイ・インピーダンスを示します。

3. n = 0-7

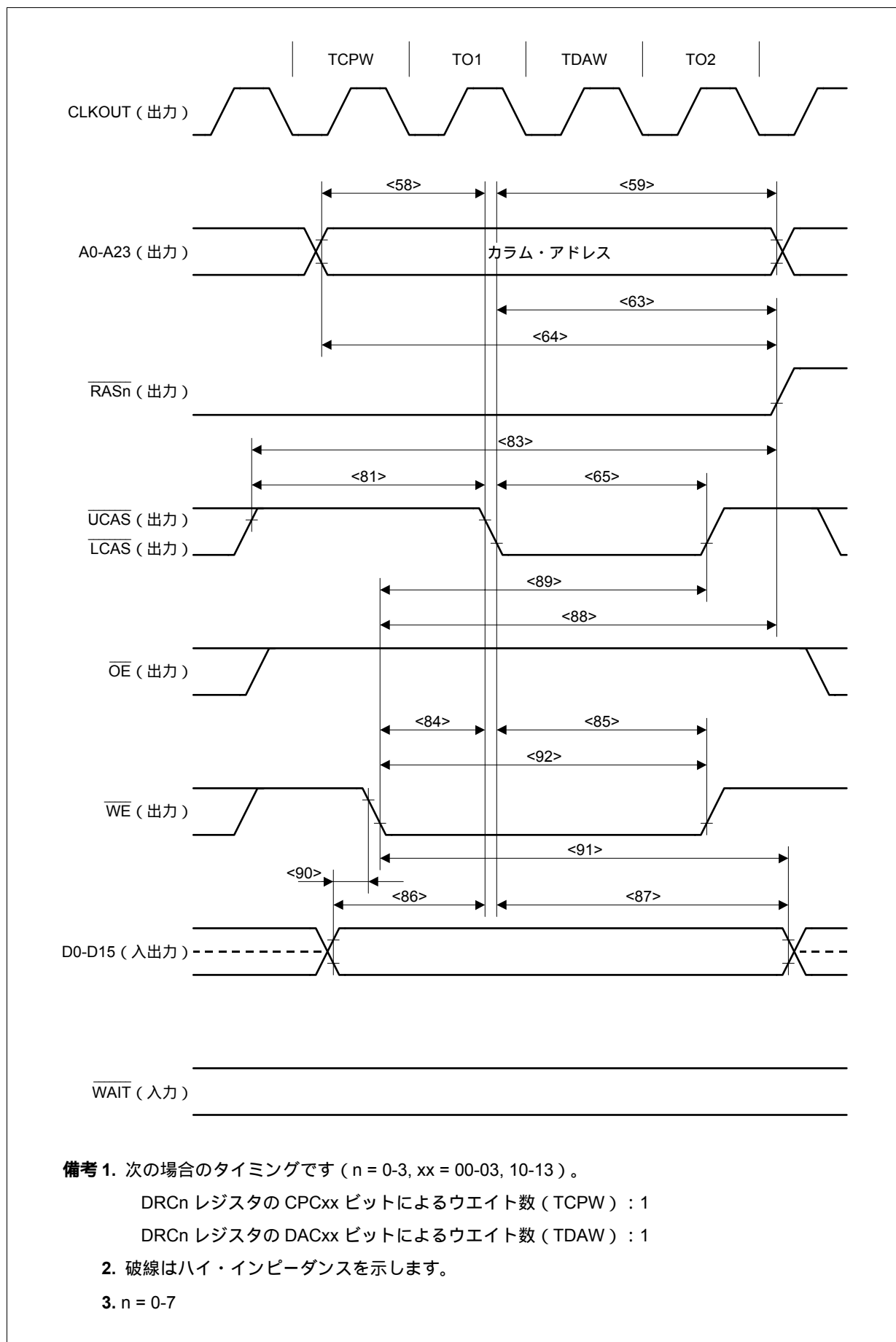
(d) ライト・タイミング (高速ページ DRAM アクセス : オンページ) (1/2)

項目	略号	条件	MIN.	MAX.	単位
カラム・アドレス設定時間	<58> t _{ASC}		(0.5 + WCP) T - 10		ns
カラム・アドレス保持時間	<59> t _{CAH}		(1.5 + WDA) T - 10		ns
RAS保持時間	<63> t _{RSH}		(1.5 + WDA) T - 10		ns
カラム・アドレス・リード時間 (対RAS)	<64> t _{RAL}		(2 + WCP + WDA) T - 10		ns
CASパルス幅	<65> t _{CAS}		(1 + WDA) T - 10		ns
CASプリチャージ時間	<81> t _{CP}		(1 + WCP) T - 10		ns
CASプリチャージに対するRAS保持時間	<83> t _{RHCP}		(2.5 + WCP + WDA) T - 10		ns
WE設定時間 (対CAS)	<84> t _{WCS}	WCP = 1	WCP T - 10		ns
WE保持時間 (対CAS)	<85> t _{WCH}		(1 + WDA) T - 10		ns
データ設定時間 (対CAS)	<86> t _{DS}		(0.5 + WCP) T - 10		ns
データ保持時間 (対CAS)	<87> t _{DH}		(1.5 + WDA) T - 10		ns
WEリード時間 (対RAS)	<88> t _{RWL}	WCP = 0	(1.5 + WDA) T - 10		ns
WEリード時間 (対CAS)	<89> t _{CWL}	WCP = 0	(1 + WDA) T - 10		ns
データ設定時間 (対WE)	<90> t _{DSWE}	WCP = 0	0.5T - 10		ns
データ保持時間 (対WE)	<91> t _{DHWE}	WCP = 0	(1.5 + WDA) T - 10		ns
WEパルス幅	<92> t _{WP}	WCP = 0	(1 + WDA) T - 10		ns

備考 1. T = t_{cyk}

2. WCP : DRCn レジスタの CPCxx ビットによるウエイト数 (n = 0-3, xx = 00-03, 10-13)
3. WDA : DRCn レジスタの DACxx ビットによるウエイト数 (n = 0-3, xx = 00-03, 10-13)

(d) ライト・タイミング (高速ページ DRAM アクセス : オンページ) (2/2)



(e) リード・タイミング (EDO DRAM) (1/3)

項目	略号	条件	MIN.	MAX.	単位
データ入力設定時間 (対 CLKOUT)	<26> t _{SKID}		18		ns
データ入力保持時間 (対 CLKOUT)	<27> t _{HKID}		2		ns
\overline{OE} データ出力遅延時間	<37> t _{DRDOD}		$(0.5 + i) T - 10$		ns
ロウ・アドレス設定時間	<56> t _{ASR}		$(0.5 + W_{RP}) T - 10$		ns
ロウ・アドレス保持時間	<57> t _{RAH}		$(0.5 + W_{RH}) T - 10$		ns
カラム・アドレス設定時間	<58> t _{ASC}		$0.5T - 10$		ns
カラム・アドレス保持時間	<59> t _{CAH}		$(0.5 + W_{DA}) T - 10$		ns
\overline{RAS} プリチャージ時間	<61> t _{RP}		$(0.5 + W_{RP}) T - 10$		ns
カラム・アドレス・リード時間 (対 \overline{RAS})	<64> t _{RAL}		$(2 + W_{CP} + W_{DA}) T - 10$		ns
\overline{CAS} - \overline{RAS} プリチャージ時間	<66> t _{CRP}		$(1 + W_{RP}) T - 10$		ns
\overline{CAS} 保持時間	<67> t _{CSH}		$(1.5 + W_{RH} + W_{DA}) T - 10$		ns
\overline{WE} 設定時間 (対 \overline{CAS})	<68> t _{RCS}		$(2 + W_{RP} + W_{RH}) T - 10$		ns
\overline{WE} 保持時間 (対 \overline{RAS})	<69> t _{RRH}		$0.5T - 10$		ns
\overline{WE} 保持時間 (対 \overline{CAS})	<70> t _{RCH}		$1.5T - 10$		ns
\overline{RAS} アクセス時間	<73> t _{RAC}			$(2 + W_{RH} + W_{DA}) T - 28$	ns
カラム・アドレスからのアクセス時間	<74> t _{AA}			$(1.5 + W_{DA}) T - 28$	ns
\overline{CAS} アクセス時間	<75> t _{CAC}			$(1 + W_{DA}) T - 28$	ns
\overline{RAS} カラム・アドレス遅延時間	<76> t _{RAD}		$(0.5 + W_{RH}) T - 10$		ns
\overline{RAS} - \overline{CAS} 遅延時間	<77> t _{RCD}		$(1 + W_{RH}) T - 10$		ns
出力バッファ・ターン・オフ遅延時間 (対 \overline{OE})	<78> t _{OEZ}		0		ns
\overline{CAS} プリチャージに対するアクセス 時間	<80> t _{ACP}			$(1.5 + W_{CP} + W_{DA}) T - 28$	ns
\overline{CAS} プリチャージ時間	<81> t _{CP}		$(0.5 + W_{CP}) T - 10$		ns
\overline{CAS} プリチャージに対する \overline{RAS} 保持 時間	<83> t _{RHCP}		$(2 + W_{CP} + W_{DA}) T - 10$		ns
リード・サイクル時間	<93> t _{HPC}		$(1 + W_{DA} + W_{CP}) T - 10$		ns
\overline{RAS} パルス幅	<94> t _{RASP}		$(2.5 + W_{RH} + W_{DA}) T - 10$		ns
\overline{CAS} パルス幅	<95> t _{HCAS}		$(0.5 + W_{DA}) T - 10$		ns
\overline{OE} \overline{CAS} 保持時間	オフページ	<96> t _{och1}	$(2 + W_{RH} + W_{DA}) T - 10$		ns
	オンページ	<97> t _{och2}	$(0.5 + W_{DA}) T - 10$		ns
データ入力保持時間 (対 \overline{CAS})	<98> t _{DHC}		0		ns

備考 1. T = t_{cyk}

2. W_{RP} : DRCn レジスタの RPCxx ビットによるウエイト数 (n = 0-3, xx = 00-03, 10-13)
3. W_{RH} : DRCn レジスタの RHCxx ビットによるウエイト数 (n = 0-3, xx = 00-03, 10-13)
4. W_{DA} : DRCn レジスタの DACxx ビットによるウエイト数 (n = 0-3, xx = 00-03, 10-13)
5. W_{CP} : DRCn レジスタの CPCxx ビットによるウエイト数 (n = 0-3, xx = 00-03, 10-13)
6. i : リード・サイクル後にライト・サイクルが続くときに挿入されるアイドル・ステート数

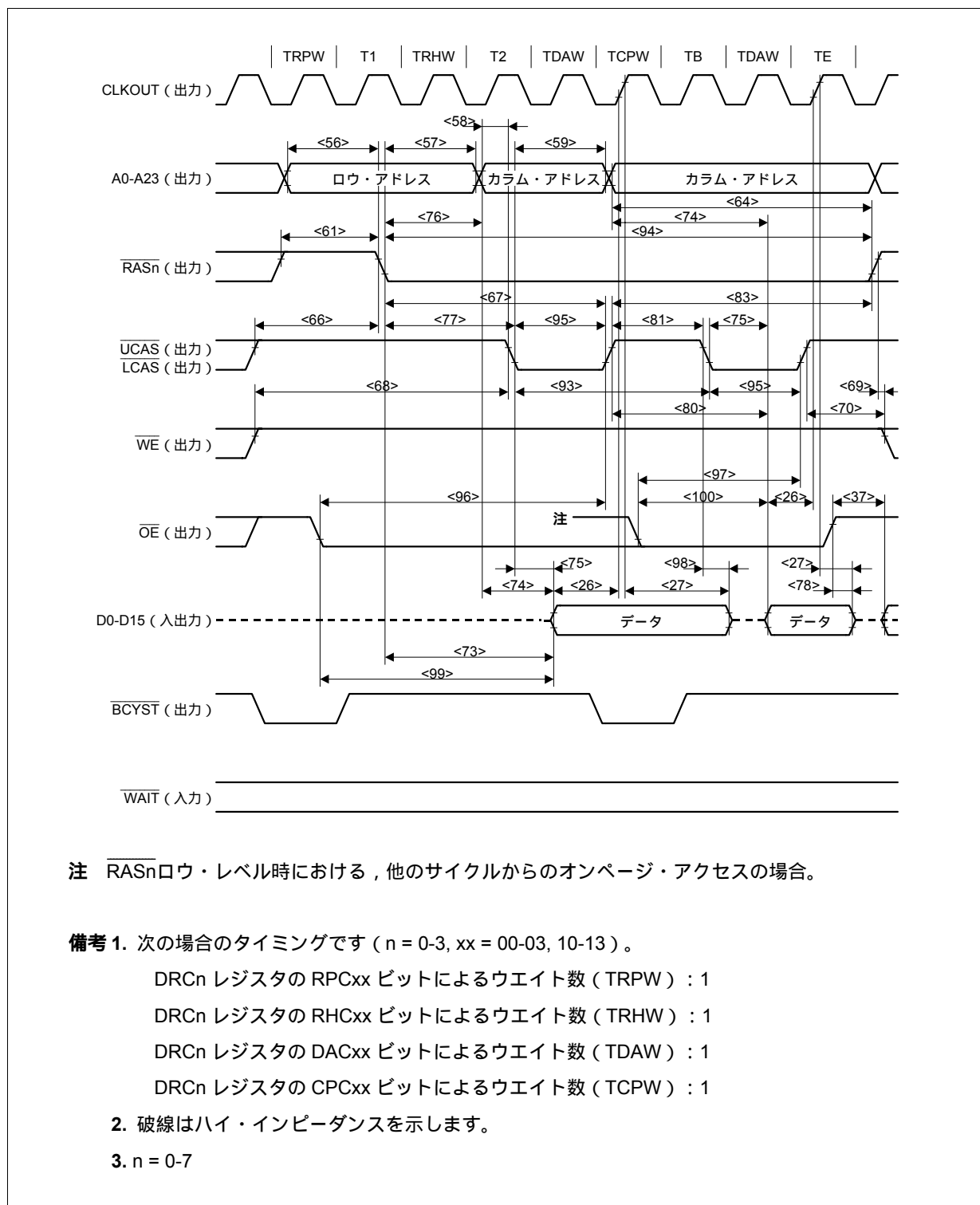
(e) リード・タイミング (EDO DRAM) (2/3)

項 目		略 号		条 件	MIN.	MAX.	単 位
出力イネーブル・アクセス時間	オフページ	<99>	t _{OE1}			$(2 + WRP + WRH + WDA)T - 28$	ns
	オンページ	<100>	t _{OE2}			$(1 + WCP + WDA)T - 28$	ns

備考 1. T = t_{CYK}

2. WRP : DRCn レジスタの RPCxx ビットによるウエイト数 (n = 0-3, xx = 00-03, 10-13)
3. WRH : DRCn レジスタの RHCxx ビットによるウエイト数 (n = 0-3, xx = 00-03, 10-13)
4. WDA : DRCn レジスタの DACxx ビットによるウエイト数 (n = 0-3, xx = 00-03, 10-13)
5. WCP : DRCn レジスタの CPCxx ビットによるウエイト数 (n = 0-3, xx = 00-03, 10-13)

(e) リード・タイミング (EDO DRAM) (3/3)



注 RASnロウ・レベル時における，他のサイクルからのオンページ・アクセスの場合。

備考 1. 次の場合のタイミングです (n = 0-3, xx = 00-03, 10-13)。

DRCn レジスタの RPCxx ビットによるウエイト数 (TRPW) : 1

DRCn レジスタの RHCxx ビットによるウエイト数 (TRHW) : 1

DRCn レジスタの DACxx ビットによるウエイト数 (TDAW) : 1

DRCn レジスタの CPCxx ビットによるウエイト数 (TCPW) : 1

2. 破線はハイ・インピーダンスを示します。

3. n = 0-7

〔メモ〕

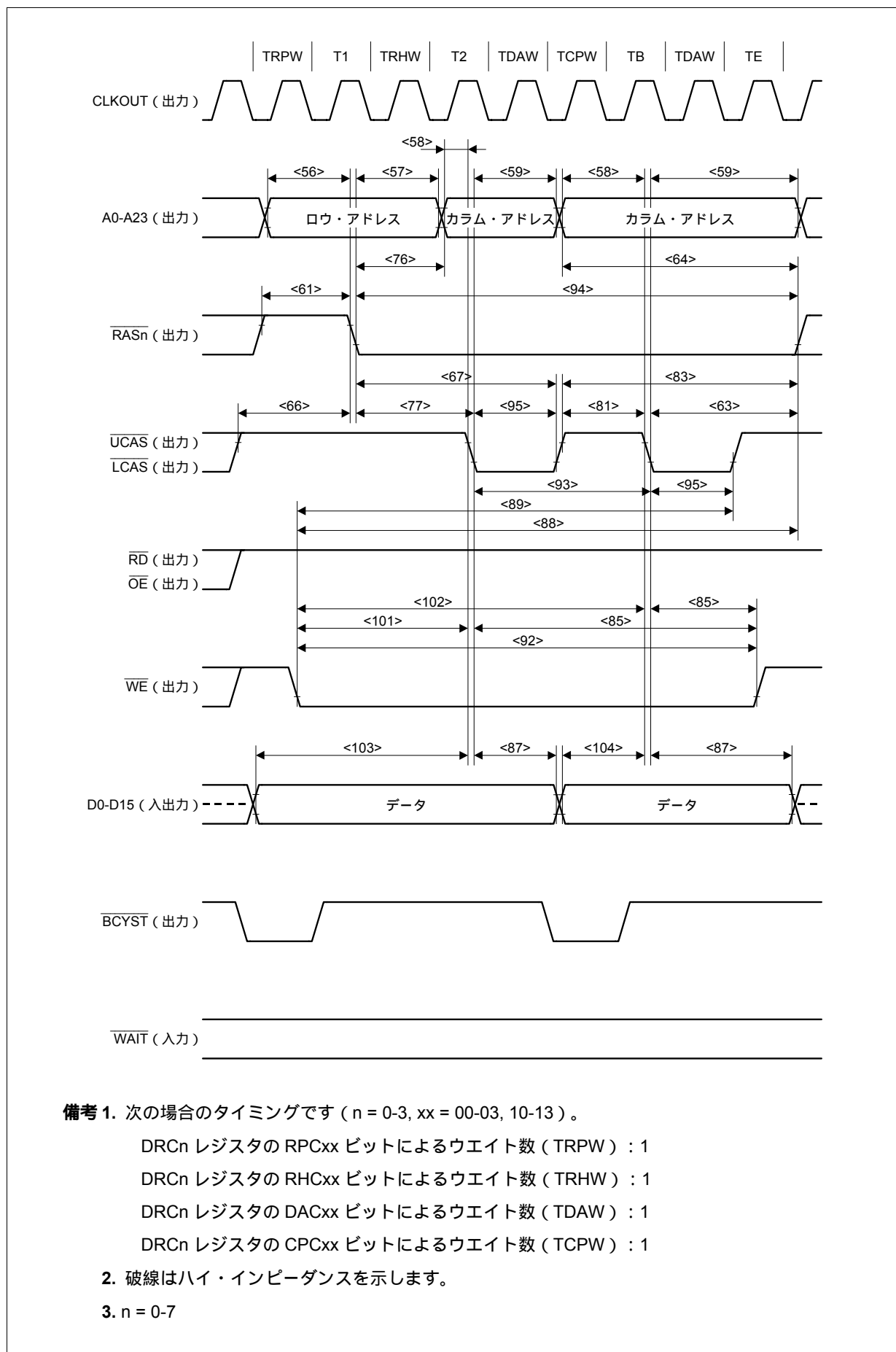
(f) ライト・タイミング (EDO DRAM) (1/2)

項目	略号	条件	MIN.	MAX.	単位
ロウ・アドレス設定時間	<56> t _{ASR}		(0.5 + W _{RP}) T - 10		ns
ロウ・アドレス保持時間	<57> t _{RAH}		(0.5 + W _{RH}) T - 10		ns
カラム・アドレス設定時間	<58> t _{ASC}		0.5T - 10		ns
カラム・アドレス保持時間	<59> t _{CAH}		(0.5 + W _{DA}) T - 10		ns
RAS _̄ プリチャージ時間	<61> t _{RP}		(0.5 + W _{RP}) T - 10		ns
RAS _̄ 保持時間	<63> t _{RSH}		(1.5 + W _{DA}) T - 10		ns
カラム・アドレス・リード時間 (対RAS _̄)	<64> t _{RAL}		(2 + W _{CP} + W _{DA}) T - 10		ns
CAS _̄ -RAS _̄ プリチャージ時間	<66> t _{CRP}		(1 + W _{RP}) T - 10		ns
CAS _̄ 保持時間	<67> t _{CSH}		(1.5 + W _{RH} + W _{DA}) T - 10		ns
RAS _̄ カラム・アドレス遅延時間	<76> t _{RAD}		(0.5 + W _{RH}) T - 10		ns
RAS _̄ -CAS _̄ 遅延時間	<77> t _{RCD}		(1 + W _{RH}) T - 10		ns
CAS _̄ プリチャージ時間	<81> t _{CP}		(0.5 + W _{CP}) T - 10		ns
CAS _̄ プリチャージに対するRAS _̄ 保持時間	<83> t _{RHCP}		(2 + W _{CP} + W _{DA}) T - 10		ns
WE _̄ 保持時間 (対CAS _̄)	<85> t _{WCH}		(1 + W _{DA}) T - 10		ns
データ保持時間 (対CAS _̄)	<87> t _{DH}		(0.5 + W _{DA}) T - 10		ns
WE _̄ リード時間 (対RAS _̄)	オンページ <88> t _{RWL}	W _{CP} = 0	(1.5 + W _{DA}) T - 10		ns
WE _̄ リード時間 (対CAS _̄)	オンページ <89> t _{CWL}	W _{CP} = 0	(0.5 + W _{DA}) T - 10		ns
WE _̄ パルス幅	オンページ <92> t _{WP}	W _{CP} = 0	(1 + W _{DA}) T - 10		ns
ライト・サイクル時間	<93> t _{HPC}		(1 + W _{DA} + W _{CP}) T - 10		ns
RAS _̄ パルス幅	<94> t _{RASP}		(2.5 + W _{RH} + W _{DA}) T - 10		ns
CAS _̄ パルス幅	<95> t _{HCAS}		(0.5 + W _{DA}) T - 10		ns
WE _̄ 設定時間 (対CAS _̄)	オフページ <101> t _{WCS1}		(1 + W _{RP} + W _{RH}) T - 10		ns
	オンページ <102> t _{WCS2}	W _{CP} = 1	W _{CP} T - 10		ns
データ設定時間 (対CAS _̄)	オフページ <103> t _{DS1}		(1.5 + W _{RP} + W _{RH}) T - 10		ns
	オンページ <104> t _{DS2}		(0.5 + W _{CP}) T - 10		ns

備考 1. T = t_{cyk}

2. W_{RP} : DRC_n レジスタの RPC_{xx} ビットによるウエイト数 (n = 0-3, xx = 00-03, 10-13)
3. W_{RH} : DRC_n レジスタの RHC_{xx} ビットによるウエイト数 (n = 0-3, xx = 00-03, 10-13)
4. W_{DA} : DRC_n レジスタの DAC_{xx} ビットによるウエイト数 (n = 0-3, xx = 00-03, 10-13)
5. W_{CP} : DRC_n レジスタの CPC_{xx} ビットによるウエイト数 (n = 0-3, xx = 00-03, 10-13)

(f) ライト・タイミング (EDO DRAM) (2/2)



備考 1. 次の場合のタイミングです (n = 0-3, xx = 00-03, 10-13)。

DRCn レジスタの RPCxx ビットによるウエイト数 (TRPW) : 1

DRCn レジスタの RHCxx ビットによるウエイト数 (TRHW) : 1

DRCn レジスタの DACxx ビットによるウエイト数 (TDAW) : 1

DRCn レジスタの CPCxx ビットによるウエイト数 (TCPW) : 1

2. 破線はハイ・インピーダンスを示します。

3. n = 0-7

(g) DMA フライバイ転送タイミング (DRAM (EDO, 高速ページ) 外部 I/O 転送) (1/3)

項目	略号	条件	MIN.	MAX.	単位
WAIT設定時間 (対 CLKOUT)	<24>	t _{SWK}	15		ns
WAIT保持時間 (対 CLKOUT)	<25>	t _{HKW}	2		ns
\overline{OE} データ出力遅延時間	<37>	t _{DRDOD}	$(0.5 + i) T - 10$		ns
アドレス \overline{IOWR} 遅延時間	<41>	t _{DAWR}	$(0.5 + WRP) T - 10$		ns
アドレス設定時間 (対 \overline{IOWR})	<42>	t _{SAWR}	$(2 + WRP + WRH + WDA + w) T - 10$		ns
\overline{IOWR} アドレス遅延時間	<43>	t _{DWRA}	$0.5T - 10$		ns
\overline{IOWR} RD 遅延時間	<48>	WF = 0	0		ns
		WF = 1	$T - 10$		
\overline{IOWR} ロウ・レベル幅	<50>	t _{WWRL}	$(2 + WRH + WDA + w) T - 10$		ns
ロウ・アドレス設定時間	<56>	t _{ASR}	$(0.5 + WRP) T - 10$		ns
ロウ・アドレス保持時間	<57>	t _{RAH}	$(0.5 + WRH) T - 10$		ns
カラム・アドレス設定時間	<58>	t _{ASC}	$0.5T - 10$		ns
カラム・アドレス保持時間	<59>	t _{CAH}	$(1.5 + WDA + WF + w) T - 10$		ns
リード/ライト・サイクル時間	<60>	t _{RC}	$(3 + WRP + WRH + WDA + WF + w) T - 10$		ns
RASプリチャージ時間	<61>	t _{RP}	$(0.5 + WRP) T - 10$		ns
RAS保持時間	<63>	t _{RSH}	$(1.5 + WDA + WF + w) T - 10$		ns
\overline{RAS} に対するカラム・アドレス・リード時間	<64>	t _{RAL}	$(2 + W_{CP} + W_{DA} + W_{F} + w) T - 10$		ns
\overline{CAS} パルス幅	<65>	t _{CAS}	$(1 + W_{DA} + W_{F} + w) T - 10$		ns
\overline{CAS} - \overline{RAS} プリチャージ時間	<66>	t _{CRP}	$(1 + WRP) T - 10$		ns
\overline{CAS} 保持時間	<67>	t _{CSH}	$(2 + WRH + WDA + WF + w) T - 10$		ns
\overline{WE} 設定時間 (対 \overline{CAS})	<68>	t _{RCS}	$(2 + WRP + WRH) T - 10$		ns
\overline{WE} 保持時間 (対 \overline{RAS})	<69>	t _{RRH}	$0.5T - 10$		ns
\overline{WE} 保持時間 (対 \overline{CAS})	<70>	t _{RCH}	$1.5T - 10$		ns
\overline{CAS} プリチャージ時間	<71>	t _{CPN}	$(2 + WRP + WRH) T - 10$		ns
\overline{RAS} カラム・アドレス遅延時間	<76>	t _{RAD}	$(0.5 + WRH) T - 10$		ns
\overline{RAS} - \overline{CAS} 遅延時間	<77>	t _{RCD}	$(1 + WRH) T - 10$		ns

備考 1. T = t_{cyk}

2. w : \overline{WAIT} によるウェイト数
3. WRP : DRCn レジスタのRPCxx ビットによるウェイト数 (n = 0-3, xx = 00-03, 10-13)
4. WRH : DRCn レジスタのRHCxx ビットによるウェイト数 (n = 0-3, xx = 00-03, 10-13)
5. WDA : DRCn レジスタのDACxx ビットによるウェイト数 (n = 0-3, xx = 00-03, 10-13)
6. WCP : DRCn レジスタのCPCxx ビットによるウェイト数 (n = 0-3, xx = 00-03, 10-13)
7. WF : DMA フライバイ転送時のソース側アクセスに挿入されるウェイト数
8. i : リード・サイクル後にライト・サイクルが続くときに挿入されるアイドル・ステート数

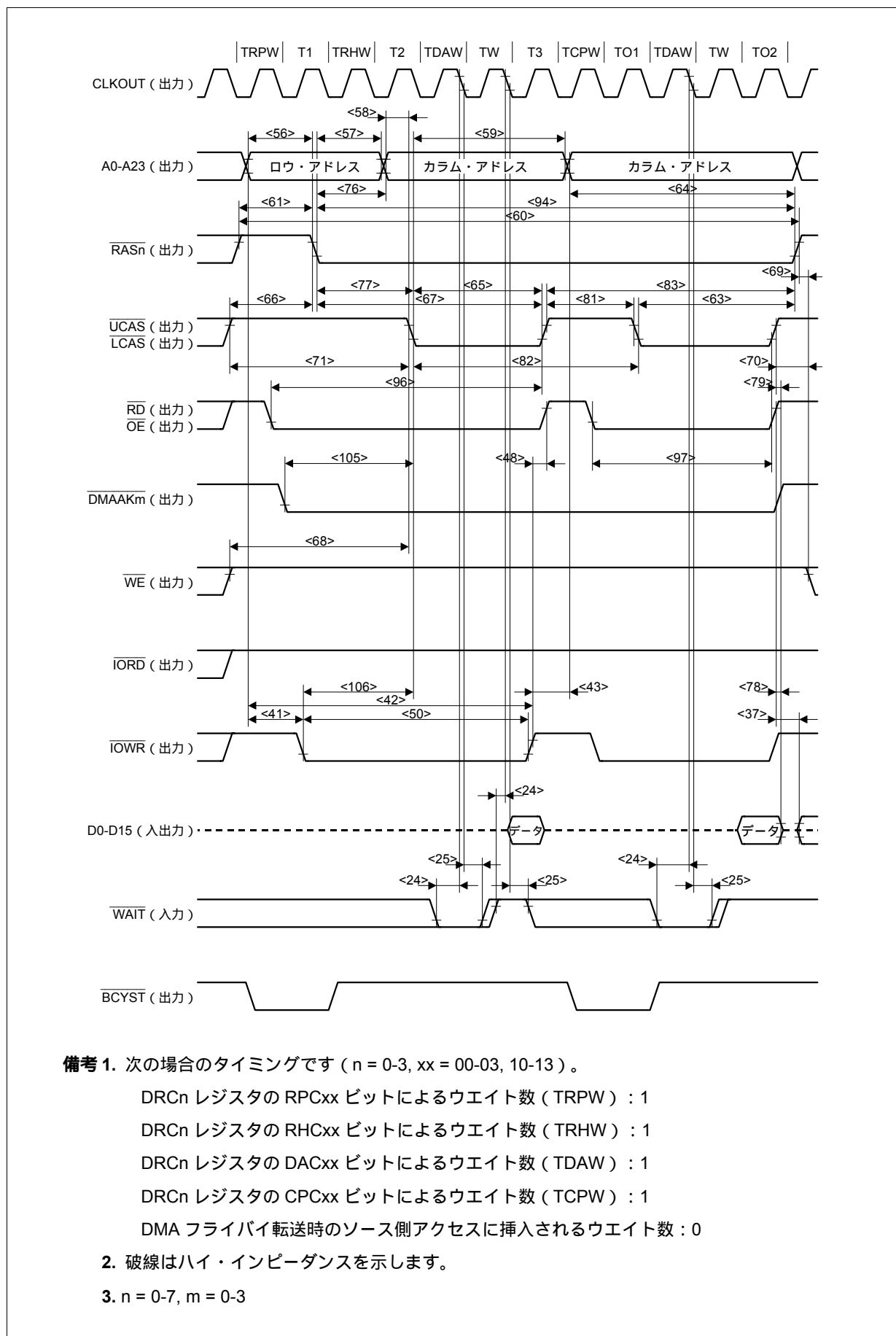
(g) DMA フライバイ転送タイミング (DRAM (EDO, 高速ページ) 外部 I/O 転送) (2/3)

項 目	略 号	条 件	MIN.	MAX.	単 位
出力バッファ・ターン・オフ遅延時間 (対 \overline{OE})	<78> t_{OEZ}		0		ns
出力バッファ・ターン・オフ遅延時間 (対 \overline{CAS})	<79> t_{OFF}		0		ns
\overline{CAS} プリチャージ時間	<81> t_{CP}		$(0.5 + W_{CP}) T - 10$		ns
高速ページ・モード・サイクル時間	<82> t_{PC}		$(2 + W_{CP} + W_{DA} + W_{F} + w) T - 10$		ns
\overline{CAS} プリチャージに対する \overline{RAS} 保持時間	<83> t_{RHCP}		$(2.5 + W_{CP} + W_{DA} + W_{F} + w) T - 10$		ns
\overline{RAS} パルス幅	<94> t_{RASP}		$(2.5 + W_{RH} + W_{DA} + W_{F} + w) T - 10$		ns
\overline{OE} \overline{CAS} 保持時間 (対 \overline{CAS})	オフページ	<96> t_{OCH1}	$(2.5 + W_{RP} + W_{RH} + W_{DA} + W_{F} + w) T - 10$		ns
	オンページ	<97> t_{OCH2}	$(1.5 + W_{CP} + W_{DA} + W_{F} + w) T - 10$		ns
\overline{DMAAKm} \overline{CAS} 遅延時間	<105> t_{DDACS}		$(1.5 + W_{RH}) T - 10$		ns
\overline{IOWR} \overline{CAS} 遅延時間	<106> t_{DRDCS}		$(1 + W_{RH}) T - 10$		ns

備考 1. $T = t_{CYK}$

2. w : \overline{WAIT} によるウェイト数
3. W_{CP} : DRCn レジスタの CPCxx ビットによるウェイト数 ($n = 0-3, xx = 00-03, 10-13$)
4. W_{DA} : DRCn レジスタの DACxx ビットによるウェイト数 ($n = 0-3, xx = 00-03, 10-13$)
5. W_{RH} : DRCn レジスタの RHCxx ビットによるウェイト数 ($n = 0-3, xx = 00-03, 10-13$)
6. W_{RP} : DRCn レジスタの RPCxx ビットによるウェイト数 ($n = 0-3, xx = 00-03, 10-13$)
7. W_{F} : DMA フライバイ転送時のソース側アクセスに挿入されるウェイト数
8. $m = 0-3$

(g) DMA フライバイ転送タイミング (DRAM (EDO, 高速ページ) 外部 I/O 転送) (3/3)



(h) DMA フライバイ転送タイミング (外部 I/O DRAM (EDO, 高速ページ) 転送) (1/3)

項目	略号	条件	MIN.	MAX.	単位
WAIT設定時間 (対 CLKOUT)	<24>	t _{SWK}	15		ns
WAIT保持時間 (対 CLKOUT)	<25>	t _{HKW}	2		ns
$\overline{\text{IORD}}$ ロウ・レベル幅	<32>	t _{WRDL}	$(2 + \text{WRH} + \text{WDA} + \text{WF} + \text{W}) T - 10$		ns
$\overline{\text{IORD}}$ ハイ・レベル幅	<33>	t _{WRDH}	$T - 10$		ns
アドレス $\overline{\text{IORD}}$ 遅延時間	<34>	t _{DARD}	$0.5T - 10$		ns
$\overline{\text{IORD}}$ アドレス遅延時間	<35>	t _{DRDA}	$(0.5 + i) T - 10$		ns
ロウ・アドレス設定時間	<56>	t _{ASR}	$(0.5 + \text{WRP}) T - 10$		ns
ロウ・アドレス保持時間	<57>	t _{RAH}	$(0.5 + \text{WRH}) T - 10$		ns
カラム・アドレス設定時間	<58>	t _{ASC}	$0.5T - 10$		ns
カラム・アドレス保持時間	<59>	t _{CAH}	$(1.5 + \text{WDA} + \text{WF}) T - 10$		ns
リード/ライト・サイクル時間	<60>	t _{RC}	$(3 + \text{WRP} + \text{WRH} + \text{WDA} + \text{WF} + \text{W}) T - 10$		ns
$\overline{\text{RAS}}$ プリチャージ時間	<61>	t _{RP}	$(0.5 + \text{WRP}) T - 10$		ns
$\overline{\text{RAS}}$ 保持時間	<63>	t _{RSH}	$(1.5 + \text{WDA} + \text{WF}) T - 10$		ns
$\overline{\text{RAS}}$ に対するカラム・アドレス・リード時間	<64>	t _{RAL}	$(2 + \text{WCP} + \text{WDA} + \text{WF} + \text{W}) T - 10$		ns
$\overline{\text{CAS}}$ パルス幅	<65>	t _{CAS}	$(1 + \text{WDA} + \text{WF}) T - 10$		ns
$\overline{\text{CAS}}$ - $\overline{\text{RAS}}$ プリチャージ時間	<66>	t _{CRP}	$(1 + \text{WRP}) T - 10$		ns
$\overline{\text{CAS}}$ 保持時間	<67>	t _{CSH}	$(2 + \text{WRH} + \text{WDA} + \text{WF} + \text{W}) T - 10$		ns
$\overline{\text{CAS}}$ プリチャージ時間	<71>	t _{CPN}	$(2 + \text{WRP} + \text{WRH} + \text{W}) T - 10$		ns
$\overline{\text{RAS}}$ カラム・アドレス遅延時間	<76>	t _{RAD}	$(0.5 + \text{WRH}) T - 10$		ns
$\overline{\text{RAS}}$ - $\overline{\text{CAS}}$ 遅延時間	<77>	t _{RCD}	$(1 + \text{WRH} + \text{W}) T - 10$		ns
$\overline{\text{CAS}}$ プリチャージ時間	<81>	t _{CP}	$(0.5 + \text{WCP} + \text{W}) T - 10$		ns
高速ページ・モード・サイクル時間	<82>	t _{PC}	$(2 + \text{WCP} + \text{WDA} + \text{WF} + \text{W}) T - 10$		ns
$\overline{\text{CAS}}$ プリチャージに対する $\overline{\text{RAS}}$ 保持時間	<83>	t _{RHCP}	$(2.5 + \text{WCP} + \text{WDA} + \text{W}) T - 10$		ns
$\overline{\text{WE}}$ 保持時間 (対 $\overline{\text{CAS}}$)	<85>	t _{WCH}	$(1 + \text{WDA}) T - 10$		ns
$\overline{\text{WE}}$ リード時間 (対 $\overline{\text{RAS}}$)	<88>	t _{RWL}	$\text{WCP} = 0$ $(1.5 + \text{WDA} + \text{W}) T - 10$		ns
$\overline{\text{WE}}$ リード時間 (対 $\overline{\text{CAS}}$)	<89>	t _{CWL}	$\text{WCP} = 0$ $(1 + \text{WDA} + \text{W}) T - 10$		ns
$\overline{\text{WE}}$ パルス幅	<92>	t _{WP}	$\text{WCP} = 0$ $(1 + \text{WDA} + \text{W}) T - 10$		ns
$\overline{\text{RAS}}$ パルス幅	<94>	t _{RASP}	$(2.5 + \text{WRH} + \text{WDA} + \text{WF} + \text{W}) T - 10$		ns
$\overline{\text{WE}}$ 設定時間 (対 $\overline{\text{CAS}}$)	オフページ	<101>	t _{WCS1}	$\text{WCP} = 0$ $(1 + \text{WRH} + \text{WRP} + \text{W}) T - 10$	ns
	オンページ	<102>	t _{WCS2}	$\text{WCP} = 1$ $\text{WCP}T - 10$	ns

備考 1. T = t_{cyk}

- w : $\overline{\text{WAIT}}$ によるウェイト数
- WRH : DRCn レジスタの RHCxx ビットによるウェイト数 (n = 0-3, xx = 00-03, 10-13)
- WDA : DRCn レジスタの DACxx ビットによるウェイト数 (n = 0-3, xx = 00-03, 10-13)
- WRP : DRCn レジスタの RPCxx ビットによるウェイト数 (n = 0-3, xx = 00-03, 10-13)
- WCP : DRCn レジスタの CPCxx ビットによるウェイト数 (n = 0-3, xx = 00-03, 10-13)
- WF : DMA フライバイ転送時のソース側アクセスに挿入されるウェイト数
- i : リード・サイクル後にライト・サイクルが続くときに挿入されるアイドル・ステート数

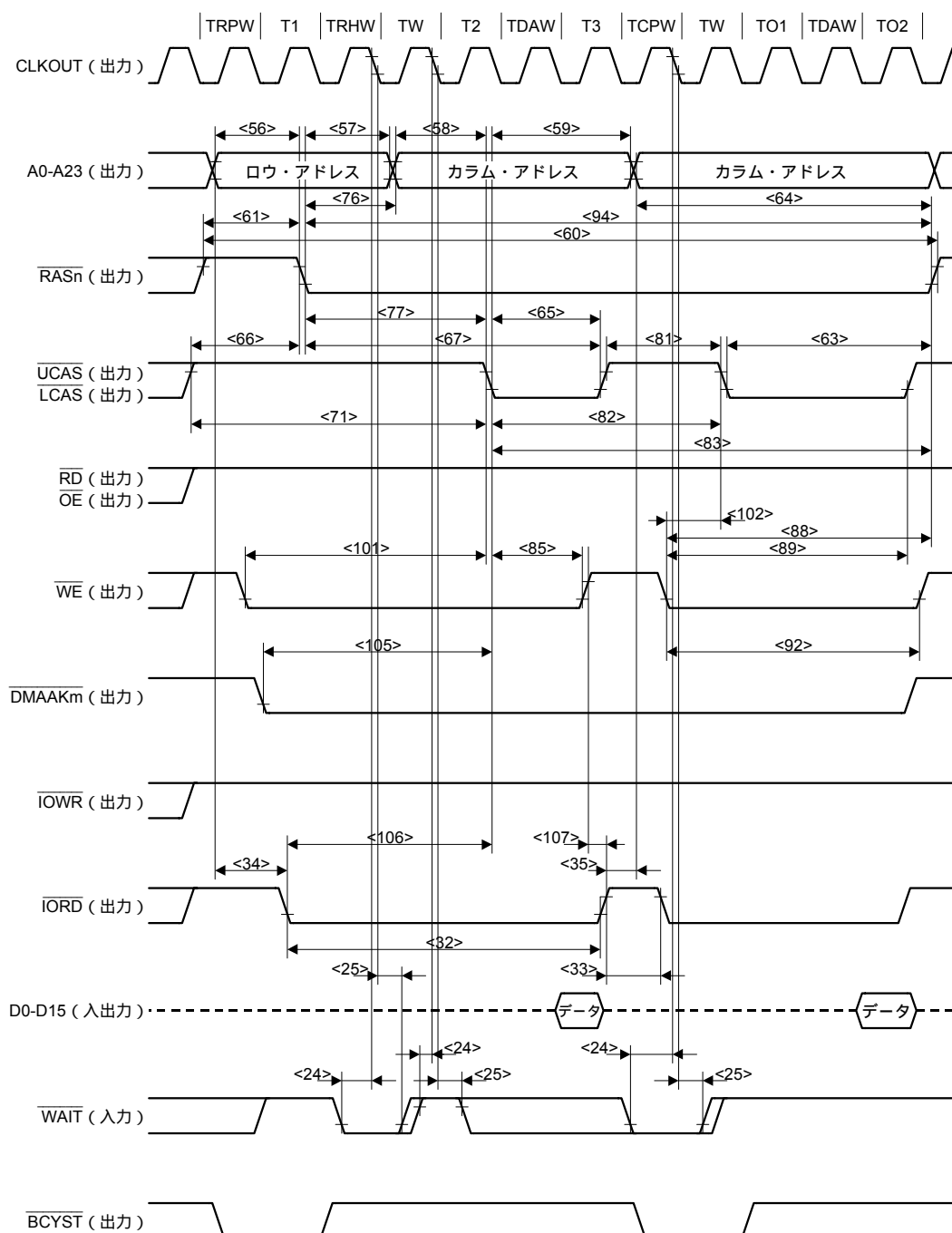
(h) DMA フライバイ転送タイミング (外部 I/O DRAM (EDO, 高速ページ) 転送) (2/3)

項 目	略 号	条 件	MIN.	MAX.	単 位
$\overline{\text{DMAAK}}_m$ $\overline{\text{CAS}}$ 遅延時間	<105>	t_{DDACS}	$(1.5 + W_{\text{RH}} + w) T - 10$		ns
$\overline{\text{IORD}}$ $\overline{\text{CAS}}$ 遅延時間	<106>	t_{DRDCS}	$(1 + W_{\text{RH}} + w) T - 10$		ns
$\overline{\text{WE}}$ $\overline{\text{IORD}}$ 遅延時間	<107>	t_{DWERD}	WF = 0	0	ns
			WF = 1	T - 10	ns

備考 1. T = t_{cyk}

2. w : $\overline{\text{WAIT}}$ によるウェイト数
3. W_{RH} : DRC_n レジスタの RHC_{xx} ビットによるウェイト数 (n = 0-3, xx = 00-03, 10-13)
4. W_F : DMA フライバイ転送時のソース側アクセスに挿入されるウェイト数
5. m = 0-3

(h) DMA フライバイ転送タイミング (外部 I/O DRAM (EDO, 高速ページ) 転送) (3/3)



備考 1. 次の場合のタイミングです (n = 0-3, xx = 00-03, 10-13)。

- DRCn レジスタの RPCxx ビットによるウエイト数 (TRPW) : 1
- DRCn レジスタの RHCxx ビットによるウエイト数 (TRHW) : 1
- DRCn レジスタの DACxx ビットによるウエイト数 (TDAW) : 1
- DRCn レジスタの CPCxx ビットによるウエイト数 (TCPW) : 1
- DMA フライバイ転送時のソース側アクセスに挿入されるウエイト数 : 0

2. 破線はハイ・インピーダンスを示します。

3. n = 0-7, m = 0-3

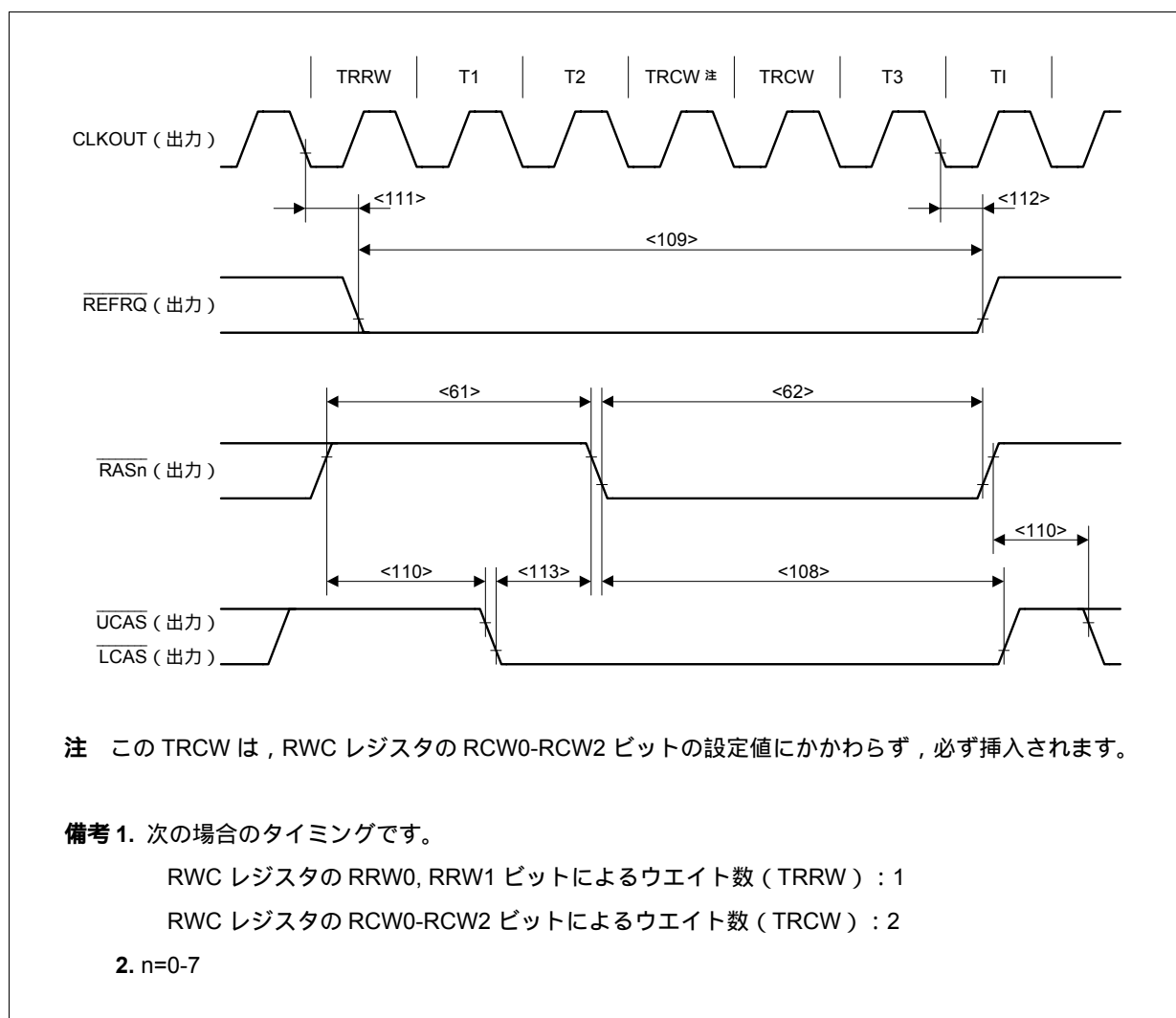
(i) CBR リフレッシュ・タイミング

項目	略号	条件	MIN.	MAX.	単位
RASプリチャージ時間	<61>	t _{RP}	$(1.5 + W_{RRW}) T - 10$		ns
RASパルス幅	<62>	t _{RAS}	$(1.5 + W_{RCW}^{\#}) T - 10$		ns
CAS保持時間	<108>	t _{CHR}	$(1.5 + W_{RCW}^{\#}) T - 10$		ns
REFRQパルス幅	<109>	t _{WRFL}	$(3 + W_{RRW} + W_{RCW}^{\#}) T - 10$		ns
RASプリチャージCAS保持時間	<110>	t _{RPC}	$(0.5 + W_{RRW}) T - 10$		ns
REFRQアクティブ遅延時間 (対 CLKOUT)	<111>	t _{DKRF}	2	10	ns
REFRQインアクティブ遅延時間 (対 CLKOUT)	<112>	t _{HKRF}	2	10	ns
CAS設定時間	<113>	t _{CSR}	T - 10		ns

注 WRCW は、RWC レジスタの RCW0-RCW2 ビットの設定にかかわらず、デフォルトで最低 1 クロック挿入されます。

備考 1. T = t_{cyk}

2. W_{RRW} : RWC レジスタの RRW0, RRW1 ビットによるウエイト数
3. W_{RCW} : RWC レジスタの RCW0-RCW2 ビットによるウエイト数



注 この TRCW は、RWC レジスタの RCW0-RCW2 ビットの設定値にかかわらず、必ず挿入されます。

備考 1. 次の場合のタイミングです。

- RWC レジスタの RRW0, RRW1 ビットによるウエイト数 (TRRW) : 1
- RWC レジスタの RCW0-RCW2 ビットによるウエイト数 (TRCW) : 2

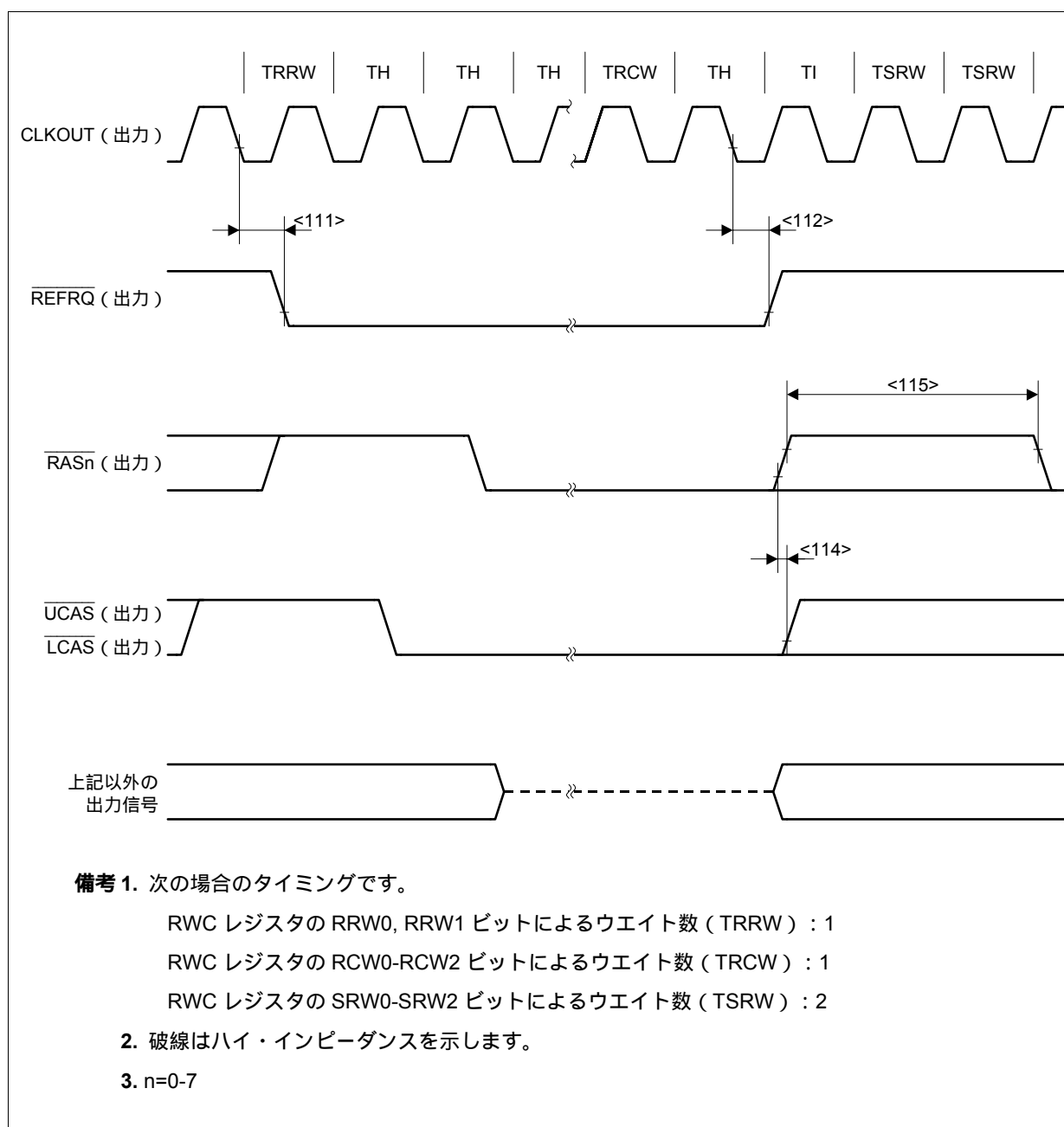
2. n=0-7

(j) CBRセルフ・リフレッシュ・タイミング

項目	略号	条件	MIN.	MAX.	単位
REFRQアクティブ遅延時間 (対CLKOUT)	<111> t _{DKRF}		2	10	ns
REFRQインアクティブ遅延時間 (対CLKOUT)	<112> t _{HKRF}		2	10	ns
CAS保持時間	<114> t _{CHS}		- 5		ns
RASプリチャージ時間	<115> t _{RPS}		(1 + 2W _{SRW}) T - 10		ns

備考 1. T = t_{cyk}

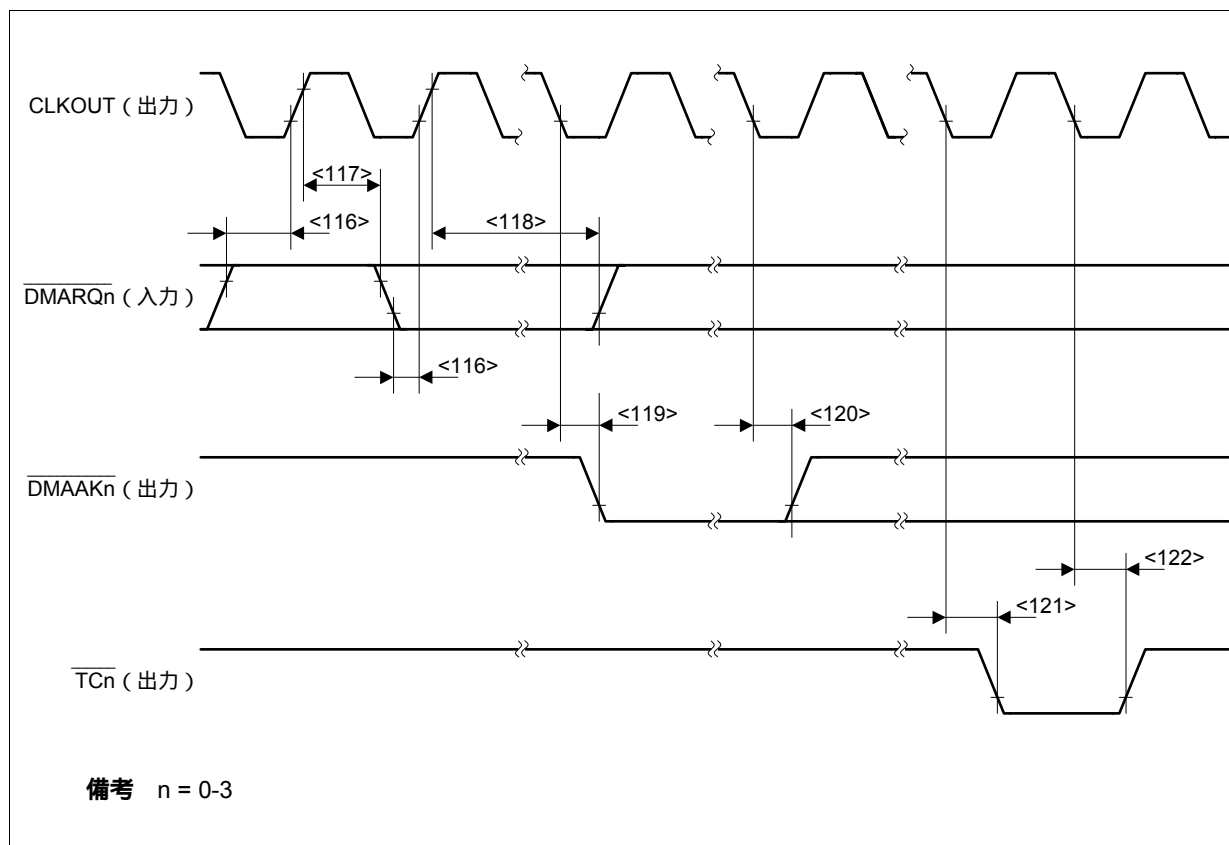
2. W_{SRW} : RWCレジスタのSRW0-SRW2ビットによるウエイト数



(7) DMAC タイミング

項目	略号	条件	MIN.	MAX.	単位
DMARQ \bar{n} 設定時間 (対 CLKOUT)	<116>	t _{SDRK}	15		ns
DMARQ \bar{n} 保持時間 (対 CLKOUT)	<117>	t _{HKDR1}	2		ns
	<118>	t _{HKDR2}	DMAAK \bar{n} まで		ns
DMAAK \bar{n} 出力遅延時間 (対 CLKOUT)	<119>	t _{DKDA}	2	10	ns
DMAAK \bar{n} 出力保持時間 (対 CLKOUT)	<120>	t _{HKDA}	2	10	ns
T $\bar{C}n$ 出力遅延時間 (対 CLKOUT)	<121>	t _{DKTC}	2	10	ns
T $\bar{C}n$ 出力保持時間 (対 CLKOUT)	<122>	t _{HKTC}	2	10	ns

備考 n = 0-3



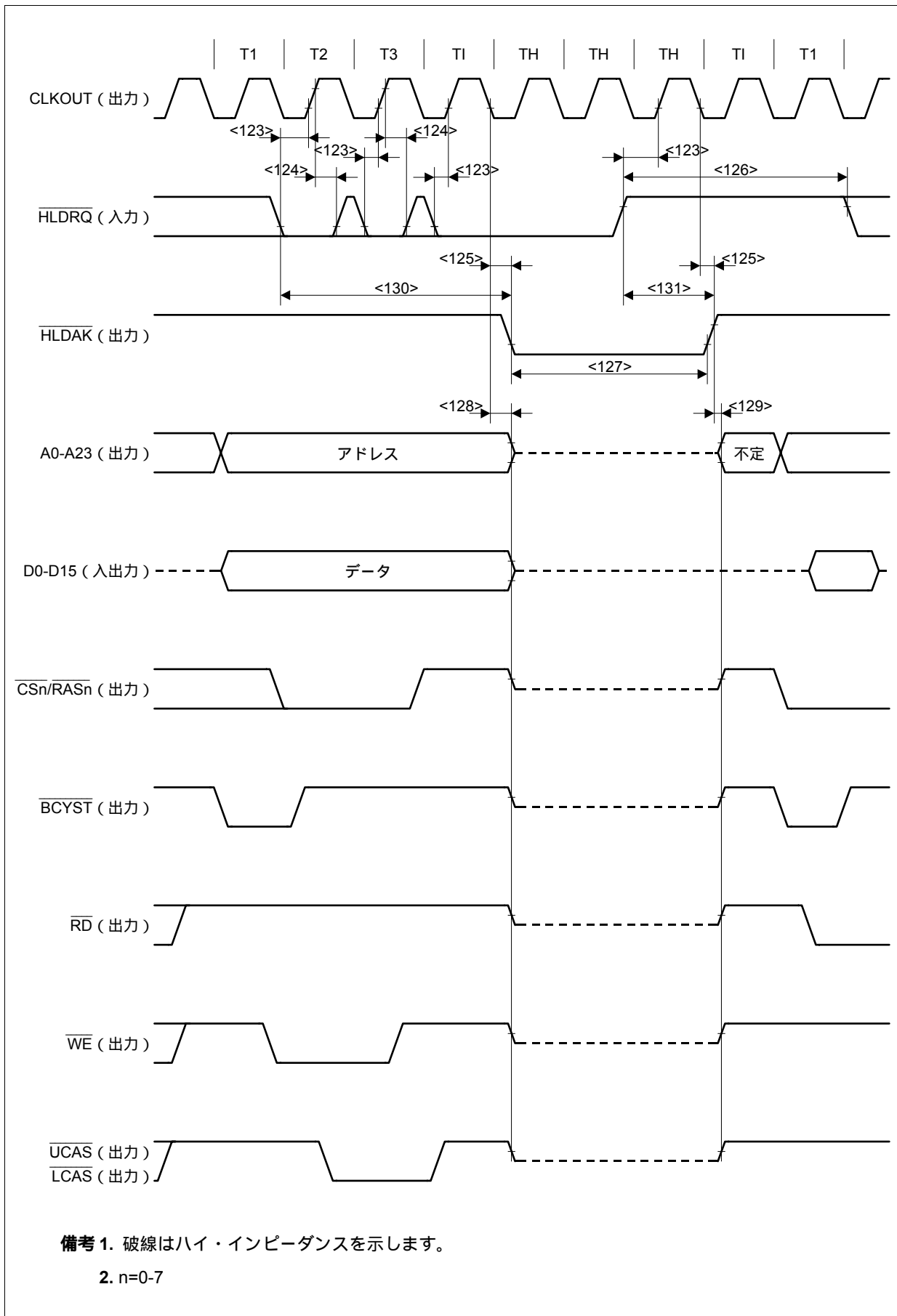
〔メモ〕

(8) バス・ホールド・タイミング (1/2)

項目	略号	条件	MIN.	MAX.	単位
HLD \overline{RQ} 設定時間 (対 CLKOUT)	<123> t _{SHRK}		15		ns
HLD \overline{RQ} 保持時間 (対 CLKOUT)	<124> t _{HKHR}		2		ns
CLKOUT HLDAK遅延時間	<125> t _{DKHA}		2	10	ns
HLD \overline{RQ} ハイ・レベル幅	<126> t _{WHQH}		T + 17		ns
HLDAKロウ・レベル幅	<127> t _{WHAL}		T - 8		ns
CLKOUT バス・フロート遅延時間	<128> t _{DKCF}			10	ns
HLDAK バス出力遅延時間	<129> t _{DHAC}		0		ns
HLD \overline{RQ} HLDAK 遅延時間	<130> t _{DHQHA1}		2.5T		ns
HLD \overline{RQ} HLDAK 遅延時間	<131> t _{DHQHA2}		0.5T	1.5T	ns

備考 T = t_{cyk}

(8) バス・ホールド・タイミング (2/2)

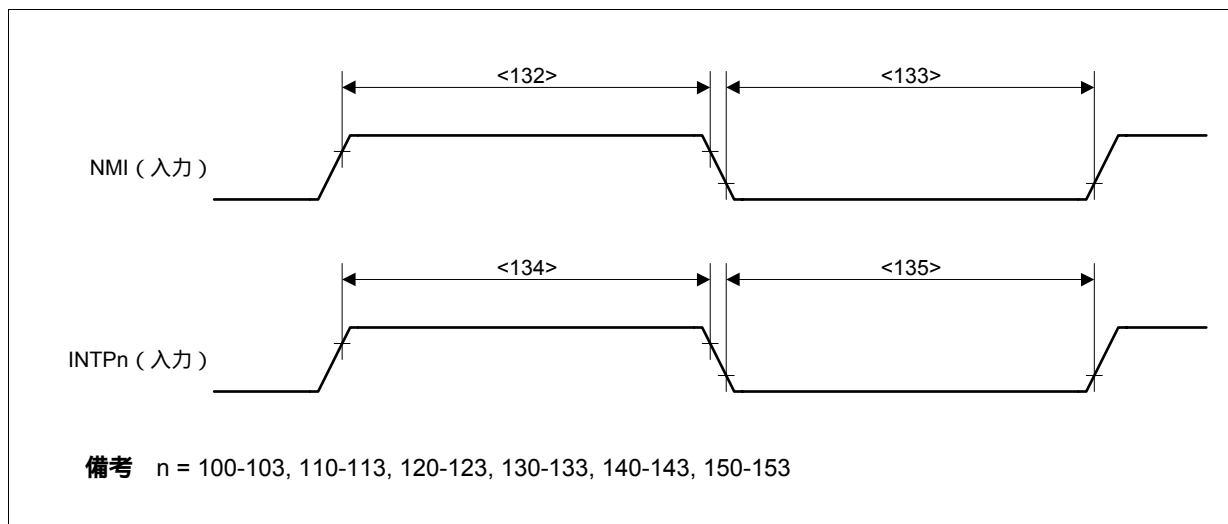


(9) 割り込みタイミング

項目	略号	条件	MIN.	MAX.	単位
NMI ハイ・レベル幅	<132> t_{WNIH}		500		ns
NMI ロウ・レベル幅	<133> t_{WNIL}		500		ns
INTPn ハイ・レベル幅	<134> t_{WITH}		$4T + 10$		ns
INTPn ロウ・レベル幅	<135> t_{WTIL}		$4T + 10$		ns

備考 1. n = 100-103, 110-113, 120-123, 130-133, 140-143, 150-153

2. T = t_{cyk}

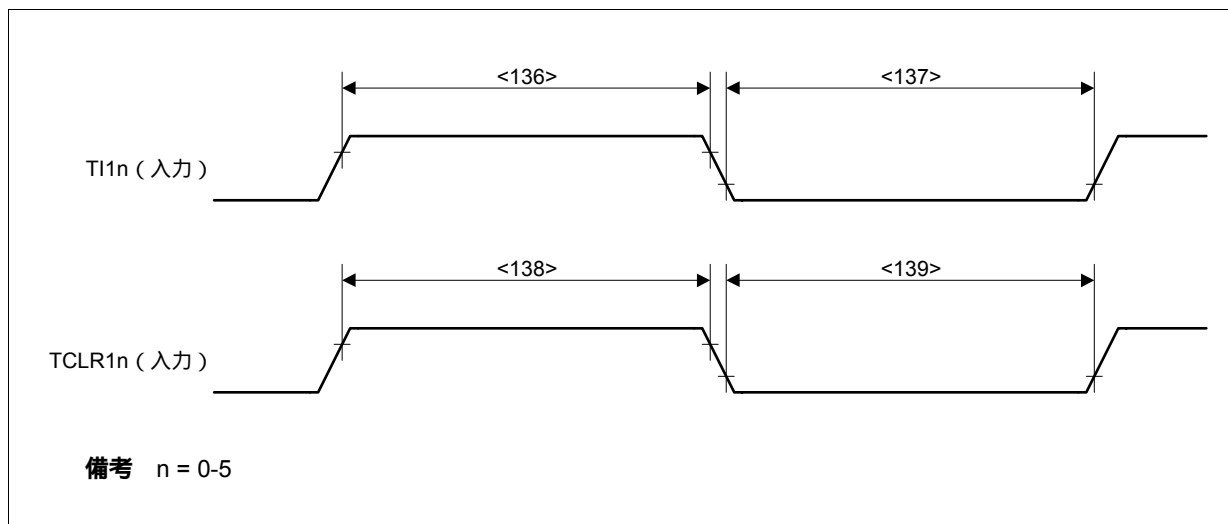


(10) RPU タイミング

項目	略号	条件	MIN.	MAX.	単位
Tl1n ハイ・レベル幅	<136> t_{WTIH}		$3T + 18$		ns
Tl1n ロウ・レベル幅	<137> t_{WTIL}		$3T + 18$		ns
TCLR1n ハイ・レベル幅	<138> t_{WTCH}		$3T + 18$		ns
TCLR1n ロウ・レベル幅	<139> t_{WTCL}		$3T + 18$		ns

備考 1. n = 0-5

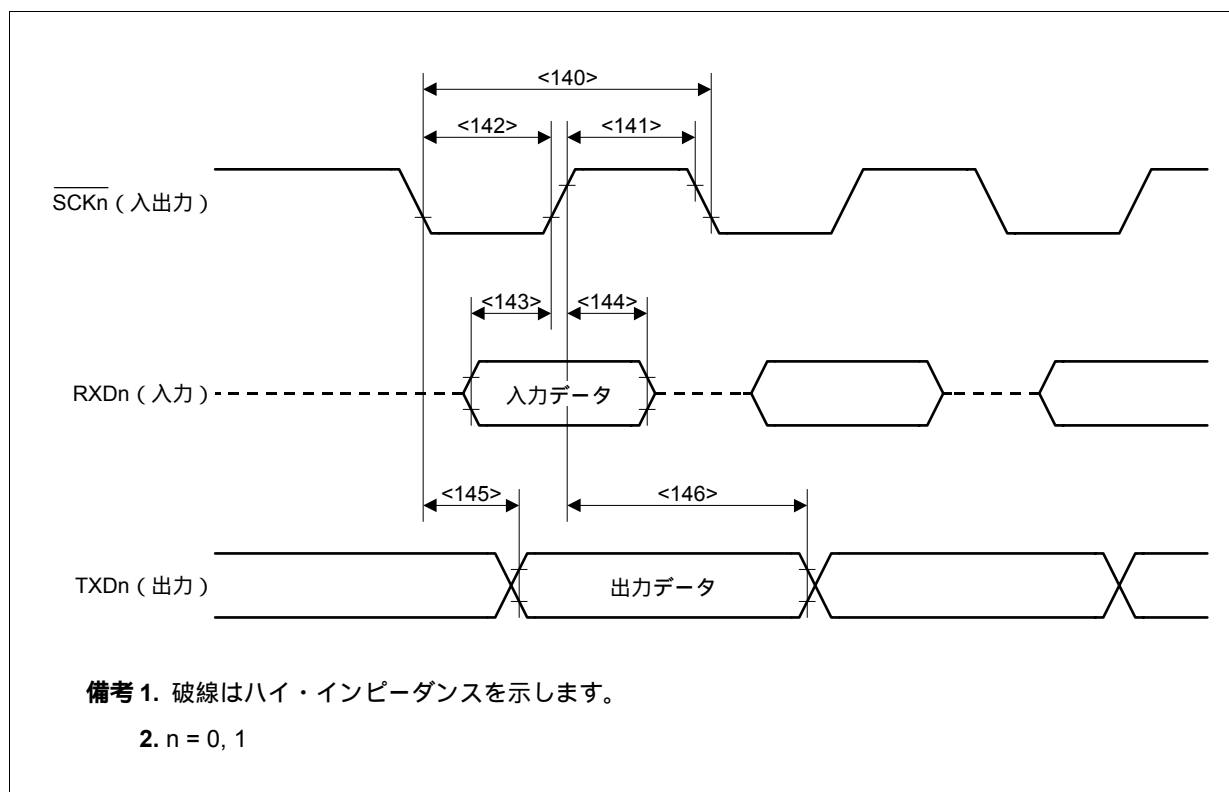
2. T = t_{cyk}



(11) UART0, UART1 タイミング (クロック同期, マスタ・モードのみ)

項目	略号	条件	MIN.	MAX.	単位
SCKn周期	<140> t_{CYSK0}	出力	250		ns
SCKnハイ・レベル幅	<141> t_{WSK0H}	出力	$0.5t_{CYSK0} - 20$		ns
SCKnロウ・レベル幅	<142> t_{WSK0L}	出力	$0.5t_{CYSK0} - 20$		ns
RxDn 設定時間 (対SCKn)	<143> t_{SRXSK}		30		ns
RxDn 保持時間 (対SCKn)	<144> t_{HSKRX}		0		ns
TxDn 出力遅延時間 (対SCKn)	<145> t_{DSKTX}			20	ns
TxDn 出力保持時間 (対SCKn)	<146> t_{HSKTX}		$0.5t_{CYSK0} - 5$		ns

備考 n = 0, 1



(12) CSI0-CSI3 タイミング

(a) マスタ・モード

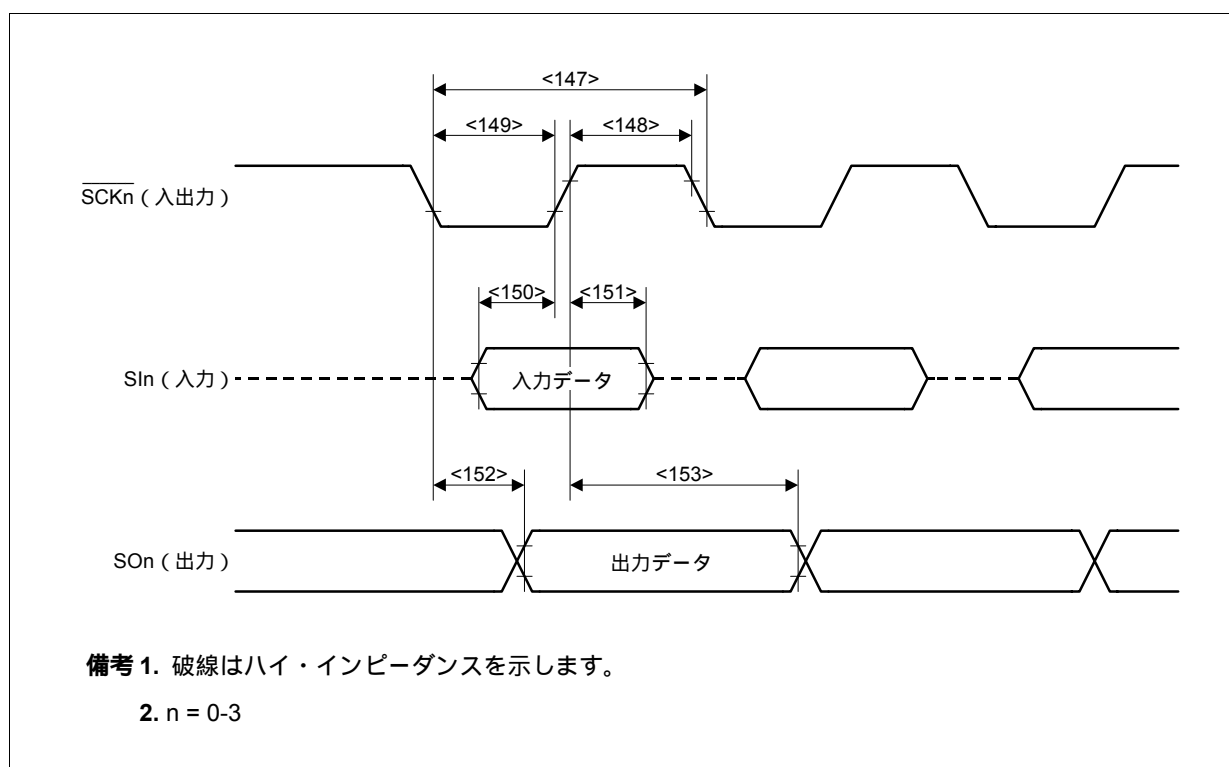
項目	略号	条件	MIN.	MAX.	単位
\overline{SCKn} 周期	<147> t_{CYSK1}	出力	100		ns
\overline{SCKn} ハイ・レベル幅	<148> t_{WSK1H}	出力	$0.5t_{CYSK1} - 20$		ns
\overline{SCKn} ロウ・レベル幅	<149> t_{WSK1L}	出力	$0.5t_{CYSK1} - 20$		ns
SIn 設定時間 (対 \overline{SCKn})	<150> t_{SSISK}		30		ns
SIn 保持時間 (対 \overline{SCKn})	<151> t_{HSKSI}		0		ns
SOn 出力遅延時間 (対 \overline{SCKn})	<152> t_{DSKSO}			20	ns
SOn 出力保持時間 (対 \overline{SCKn})	<153> t_{HSKSO}		$0.5t_{CYSK1} - 5$		ns

備考 n = 0-3

(b) スレーブ・モード

項目	略号	条件	MIN.	MAX.	単位
\overline{SCKn} 周期	<147> t_{CYSK1}	入力	100		ns
\overline{SCKn} ハイ・レベル幅	<148> t_{WSK1H}	入力	30		ns
\overline{SCKn} ロウ・レベル幅	<149> t_{WSK1L}	入力	30		ns
SIn 設定時間 (対 \overline{SCKn})	<150> t_{SSISK}		10		ns
SIn 保持時間 (対 \overline{SCKn})	<151> t_{HSKSI}		10		ns
SOn 出力遅延時間 (対 \overline{SCKn})	<152> t_{DSKSO}			30	ns
SOn 出力保持時間 (対 \overline{SCKn})	<153> t_{HSKSO}		t_{WSK1H}		ns

備考 n = 0-3



A/D コンバータ特性 (TA = -40 ~ +85 , VDD = CVDD = 3.0 ~ 3.6 V, HVDD = 5.0 V ± 10 %, VSS = 0 V,
HVDD - 0.5 V AVDD HVDD)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	-		10			bit
総合誤差	-				± 4	LSB
量子化誤差	-				± 1/2	LSB
変換時間	tCONV		5		10	μs
サンプリング時間	tSAMP		変換クロック ^注 /6			ns
ゼロスケール誤差	-				± 4	LSB
スケール誤差	-				± 4	LSB
直線性誤差	-				± 3	LSB
アナログ入力電圧	VIAN		- 0.3		AVREF + 0.3	V
アナログ入力抵抗	RAN			2		M
AVREF 入力電圧	AVREF	AVREF = AVDD	4.5		5.5	V
AVREF 入力電流	AIREF				2.0	mA
AVDD 電流	AIDD				6	mA

注 変換クロックは、ADM1 レジスタで設定したクロック数です。

4.2 フラッシュ・メモリ・プログラミング・モード

★ 基本特性 (TA = -40 ~ +85 (書き換え時以外), HVDD = AVDD = 4.5 ~ 5.5 V, VDD = 3.0 ~ 3.6 V, Vss = AVss = 0 V) (1/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
動作周波数	fx		20		33	MHz
VPP 電源電圧	VPP1	フラッシュ・メモリ・プログラミング時	7.5	7.8	8.1	V
	VPLL	VPP ロウ・レベル検出	0.8 VDD		1.2 VDD	V
	VPPM	VPP, VDD レベル検出	0.65 VDD	VDD	VDD + 0.3	V
	VPPH	VPP 高電圧レベル検出	7.5	7.8	8.1	V
HVDD 電源電流	IDD	VPP = VPP1			50	mA
VPP 電源電流	Ipp	VPP = 8.1 V			150	mA
ステップ消去時間	tER	K, P 規格 ^{注1} (ステップ消去 = 5 s 推奨)		5		s
		K, P 以外の規格 ^{注1} (ステップ消去 = 0.2 s 推奨)		0.2		s
総消去時間	tERA	K, P 規格 ^{注1} ステップ消去時間 = 5 s 時 注2			60	s
		K, P 以外の規格 ^{注1} ステップ消去時間 = 0.2 s 時 注2			20	s
ライトバック時間	tWB	注3	0.99	1	1.01	ms
1 ライトバック・コマンドあたり ライトバック回数	CWB	ライトバック時間 = 1 ms 時 注4			300	回/ライトバック・コマンド
消去-ライトバック回数	CERWB				16	回
ステップ書き込み時間	tWT	注5	18	20	22	μs
1 ワードあたり総書き込み時間	tWTW	ステップ書き込み時間 = 20 μs 設定 (1 ワード = 4 バイト) 注6	20		200	μs/ワード

注1. 規格は、ロット番号の左から 5 桁目のアルファベットで示しています。

2. 消去前のプリライトおよび消去ベリファイ時間 (ライトバック時間) は含まれません。
3. ライトバック時間の推奨設定値 = 1 ms です。
4. ライトバック・コマンドの発行により、ライトバックは 1 回実行されます。よって、リトライ回数設定値はこの値からコマンド発行回数をマイナスした値にしてください。
5. ステップ書き込み時間の推奨設定値 = 20 μs です。
6. 実際の 1 ワードあたりの書き込み時間は 100 μs が加算されます。書き込み中および書き込み後の内部ベリファイ時間は含まれません。

注意 | 規格は ES 品のみで使用されます。そのため | 規格は書き換え回数の保証をしておりません。

備考 PG-FP3 使用時は、パラメータ・ファイルのダウンロードによって書き込み / 消去に必要な時間パラメータが自動設定されます。特に指示のない場合は設定値の変更は行わないでください。

★ 基本特性 (TA = -40 ~ +85 (書き換え時以外), HVDD = AVDD = 4.5 ~ 5.5 V, VDD = 3.0 ~ 3.6 V, VSS = AVSS = 0 V) (2/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
書き換え回数	CERWR	K 規格 ^{注1}	5			回
		P 規格 ^{注1}	10			回
		K, P 以外の規格 ^{注1} 消去 1 回 + 消去後の書き込み 1 回 = 書き換え 1 回とする 注 2	20			回
書き込み時の温度	TPRG	K, P 規格 ^{注1}	10		40	
		K, P 以外の規格 ^{注1}	10		85	

注 1. 規格は、ロット番号の左から 5 桁目のアルファベットで示しています。

2. 出荷品に対する初回書き込み時、「消去 書き込み」の場合も「書き込みのみ」の場合も、書き換え 1 回となります。

例 (P : 書き込み E : 消去)

出荷品 ----- P E P E P : 書き換え回数 3 回

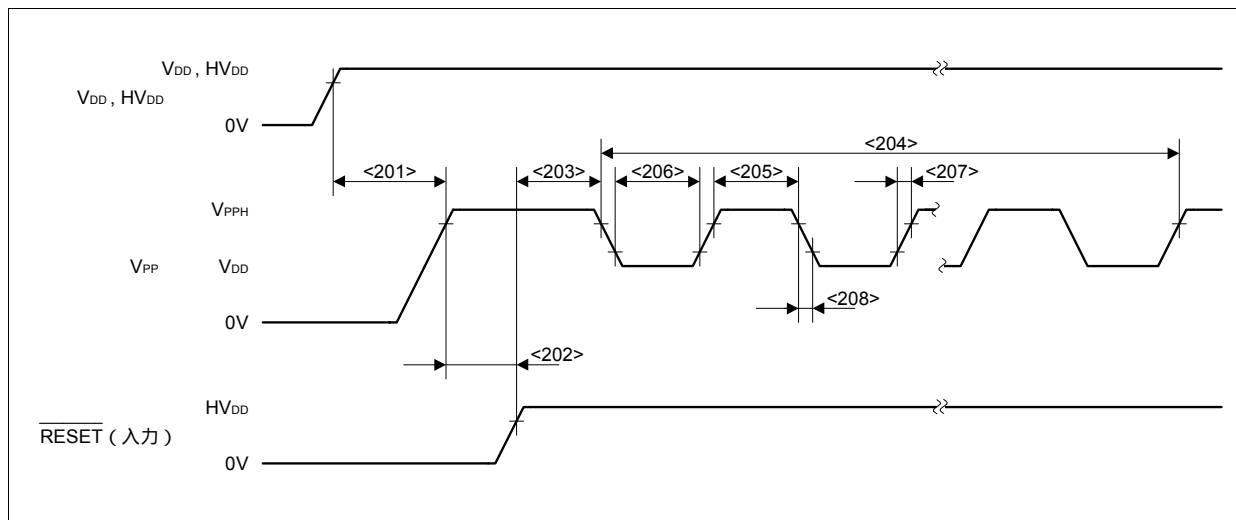
出荷品 E P E P E P : 書き換え回数 3 回

注意 | 規格は ES 品のみで使用されます。そのため | 規格は書き換え回数の保証をしておりません。

備考 PG-FP3 使用時は、パラメータ・ファイルのダウンロードによって書き込み / 消去に必要な時間パラメータが自動設定されます。特に指示のない場合は設定値の変更は行わないでください。

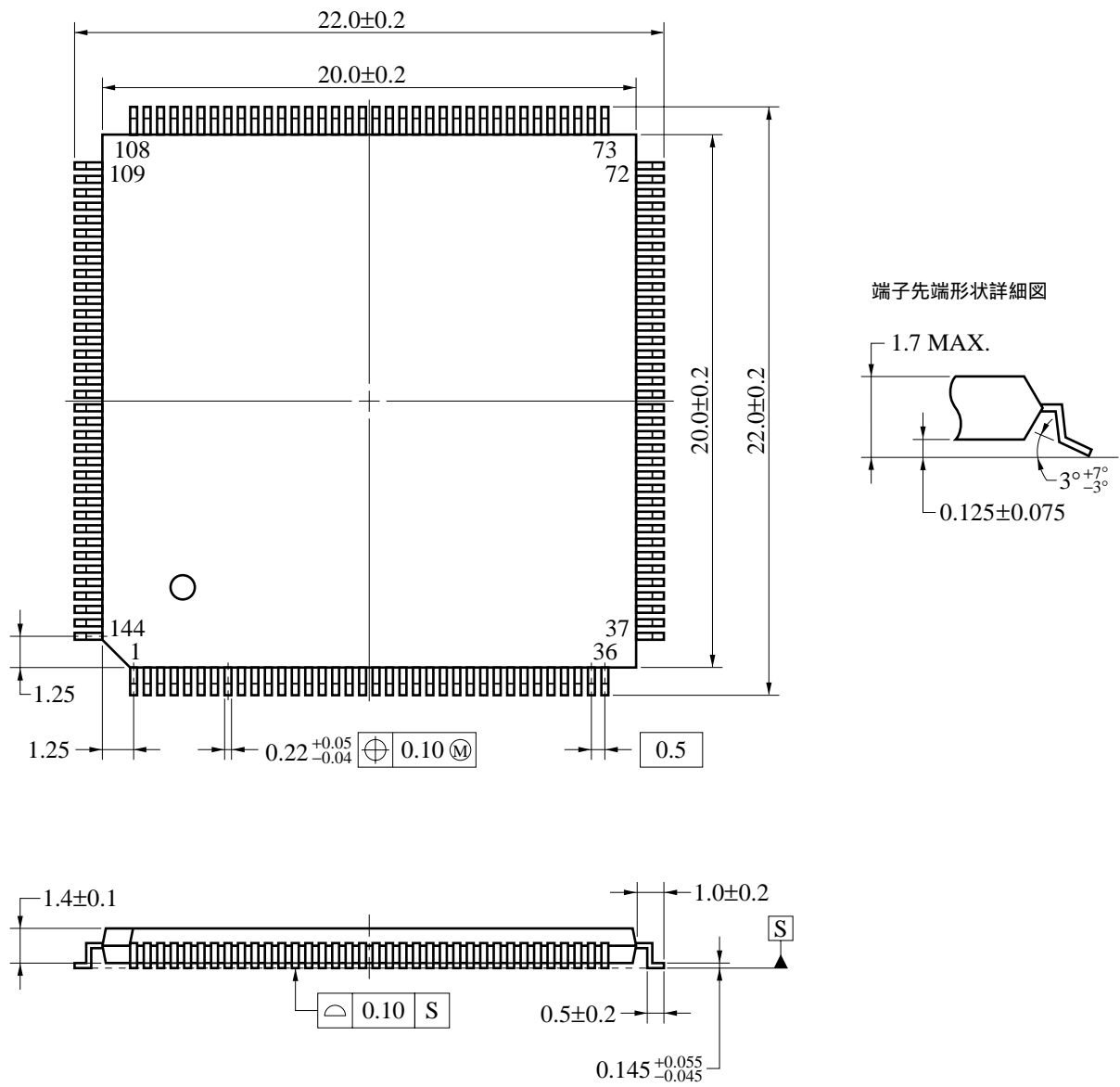
シリアル書き込みオペレーション特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
V _{DD} -V _{PP} セット時間	<201>	t _{DRPSR}	200			ns
V _{PP} - $\overline{\text{RESET}}$ セット時間	<202>	t _{PSRRF}	1			μs
$\overline{\text{RESET}}$ -V _{PP} カウント開始時間	<203>	t _{RFOF}	V _{PP} = 7.8 V 5T + 500			μs
カウント実行時間	<204>	t _{COUNT}			10	ms
V _{PP} カウンタ・ハイ・レベル幅	<205>	t _{CH}	1			μs
V _{PP} カウンタ・ロウ・レベル幅	<206>	t _{CL}	1			μs
V _{PP} カウンタ立ち上がり時間	<207>	t _R			3	μs
V _{PP} カウンタ立ち下がり時間	<208>	t _F			3	μs



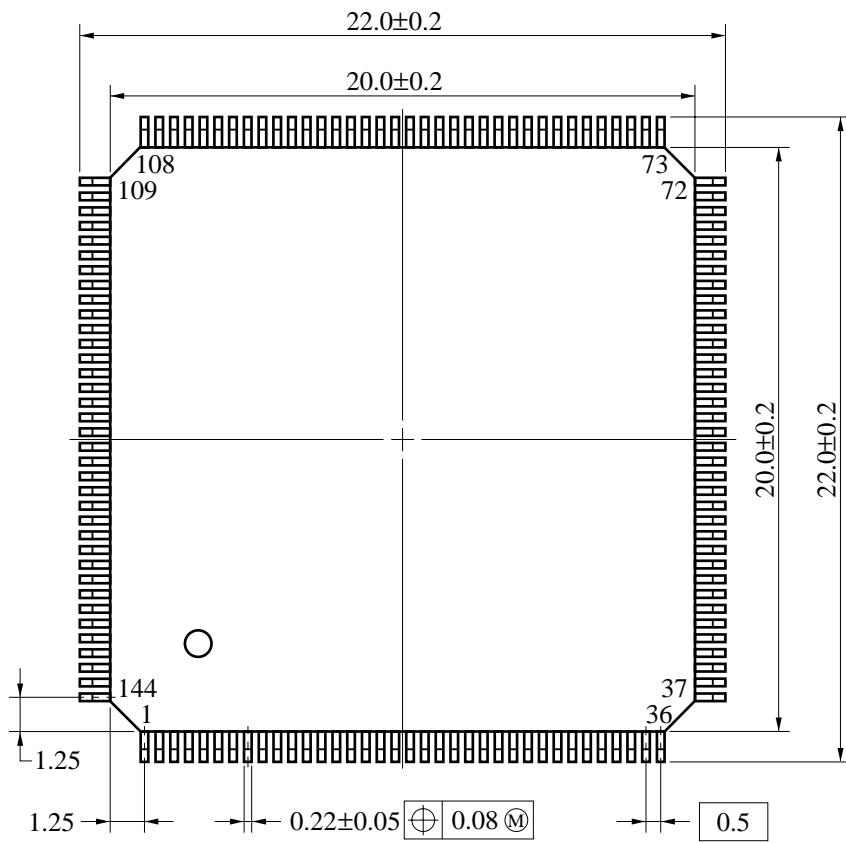
5. 外形図

144ピン・プラスチック LQFP (ファインピッチ)(20x20) 外形図 (単位 : mm)

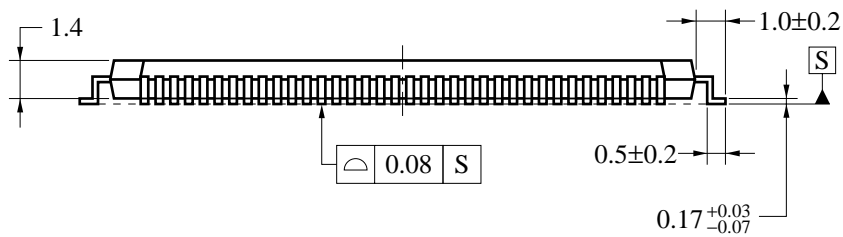
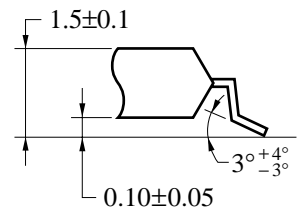


S144GJ-50-8EU-3

144ピン・プラスチック LQFP (ファインピッチ)(20x20) 外形図 (単位: mm)



端子先端形状詳細図



S144GJ-50-UEN

6. 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」(<http://www.necel.com/pkg/ja/jissou/index.html>)

表6 - 1 表面実装タイプの半田付け条件

μ PD70F3102GJ-33-8EU : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

μ PD70F3102GJ-33-UEN : "

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃，時間：30秒以内(210℃以上)，回数：2回以内 制限日数：3日間* (以降は125℃プリバーク10時間必要) <留意事項> 耐熱トレイ以外(マガジン, テーピング, 非耐熱トレイ)は、包装状態でのベーキングができません。	IR35-103-2
VPS	パッケージ・ピーク温度：215℃，時間：25~40秒以内(200℃以上)，回数：2回以内 制限日数：3日間* (以降は125℃プリバーク10時間必要) <留意事項> 耐熱トレイ以外(マガジン, テーピング, 非耐熱トレイ)は、包装状態でのベーキングができません。	VP15-103-2
端子部分加熱	端子温度：300℃以下，時間：3秒以内(デバイスの一辺当たり)	-

注 ドライパック開封後の保管日数で、保管条件は25℃，65%RH以下。

★ 注意 半田付け方式の併用はお避けください(ただし、端子部分加熱は除く)。

★ 備考1. 推奨条件以外の半田付け方式および半田付け条件については、当社販売員にお問い合わせください。

★ 2. μ PD70F3102GJ-33-8EU-Aの半田付け条件については、未定です。

★ 3. オータ名称末尾「-A」の製品は、鉛フリー製品です。

CMOSデバイスの一般的注意事項

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力ノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

関連資料 μ PD70F3102A-33 データ・シート (U13845J)

μ PD703100-33, 703100-40, 703101-33, 703102-33 データ・シート (U13995J)

μ PD703100A-33, 703100A-40, 703101A-33, 703102A-33 データ・シート (U14168J)

参考資料 電気的特性の考え方 マイコン編 (U15170J)

**関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。
あらかじめご了承ください。**

- 本資料に記載されている内容は2005年7月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命、身体および財産に対する損害の危険を最小限度にするために、冗長設計、延焼対策設計、誤動作防止設計等安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

- (1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- (2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

M8E 02.11

【発行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

—— お問い合わせ先 ——

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

【営業関係、技術関係お問い合わせ先】

半導体ホットライン

(電話：午前 9:00～12:00、午後 1:00～5:00)

電話：044-435-9494

E-mail：info@necel.com

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか、NECエレクトロニクスの販売特约店へお申し付けください。