

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

V820™

周辺機能内蔵組み込み制御用32ビット・マイクロプロセッサ

μ PD70742 (別名称V820) は、組み込み制御向け高性能32ビット・マイクロプロセッサV810™をプロセッサ・コアに使用し、DMAコントローラ、割り込みコントローラ、タイマ、シリアル・コントローラ、リフレッシュ機能、チップ・セレクト機能などの周辺機能を内蔵した32ビットRISCマイクロプロセッサです。

V820は、高いリアルタイム応答性、高速な整数演算命令、ビット・ストリング命令、浮動小数点演算命令を持ち、ファクシミリ、デジタルPPC、画像処理機器、リアルタイム機器などにきわめて高いコスト・パフォーマンスを実現できます。

詳しい機能説明などは次のユーザーズ・マニュアルに記載しております。設計の際は必ずお読みください。

・V820 ユーザーズ・マニュアル：U11708J

特 徴

組み込み制御向け高性能32ビット・マイクロプロセッサV810をプロセッサ・コアに使用

1Kバイトのキャッシュ・メモリ内蔵

1クロック・ピッチのパイプライン構造

16ビットの固定長命令体系 (一部を除く)

32ビット・アドレス/データ分離型バス

32ビット汎用レジスタ：32本

4Gバイトのリニア・アドレス空間

レジスタ/フラグ・ハザードに対するインタロックをハードウェアで対処

各種応用分野に適した命令群

・浮動小数点演算命令 (IEEE754データ・フォーマット準拠)

・ビット・ストリング命令

ダイナミック・バス・サイジング機能 (16ビット)

16ビット・バス固定機能

16ビット・バス・システムを構築可能

16レベルの高速割り込み応答機能

周辺機能を内蔵

クロック・シンセサイザ

バス・インタフェースのサポート

割り込みコントローラ

タイマ/カウンタ (μ PD71054相当)

シリアル・コントローラ (μ PD71051相当 $\times 2$)

32ビットDMAコントローラ (4チャンネル)

各ユニットに対するクロック制御機能

内部スタティック動作によりクロック停止可能

・低消費電力化に対応

メモリ、I/O領域を分割してウエイト設定 /

CS生成可能 (各4分割)

リフレッシュ・タイマ、バス・アービトレーション機能

オーダ情報

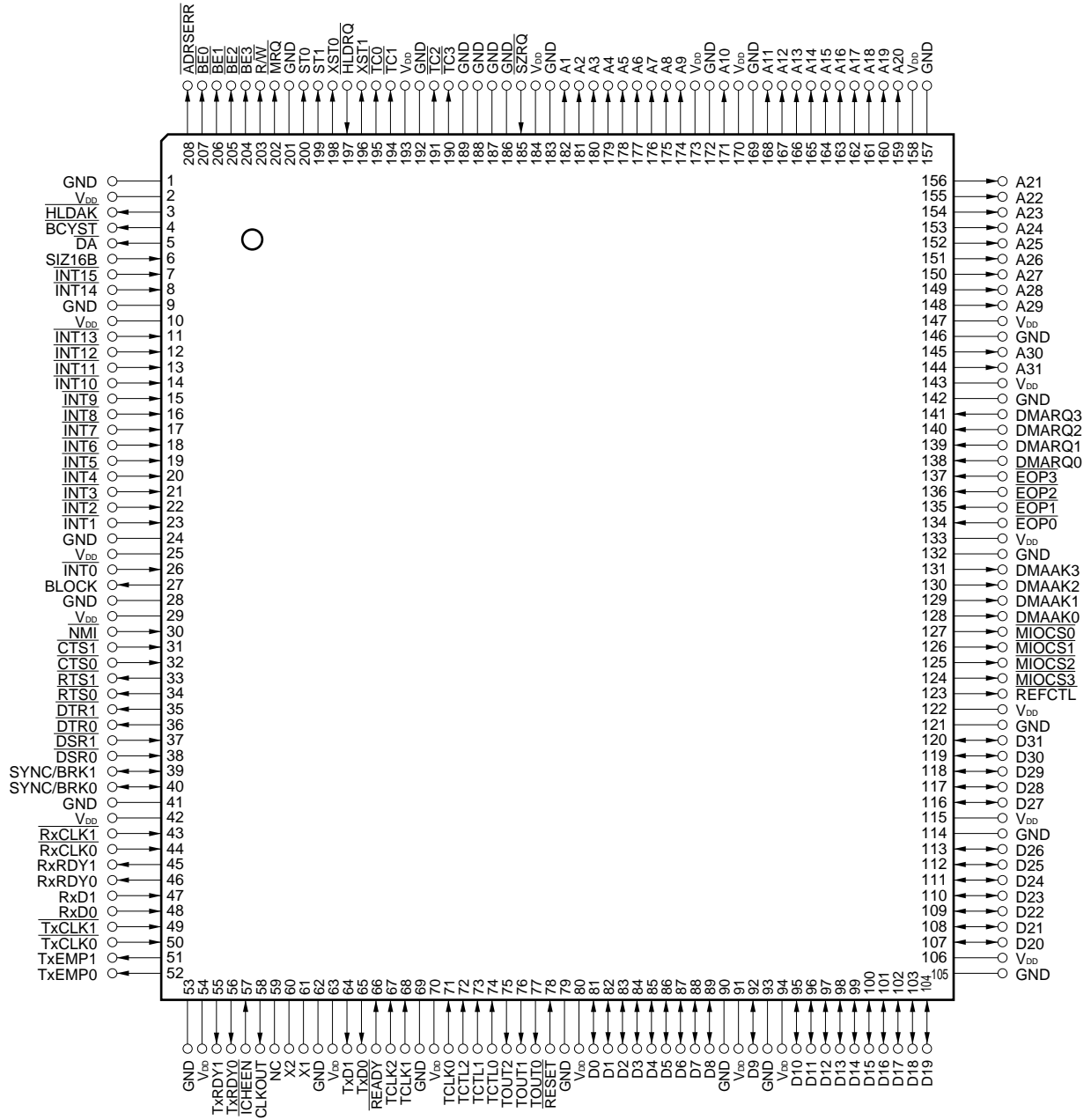
オーダ名称	パッケージ	最大動作周波数 (MHz)
μ PD70742GD - 25 - LML	208ピン・プラスチックQFR (ファインピッチ χ 28 mm)	25

本資料の内容は、後日変更する場合があります。

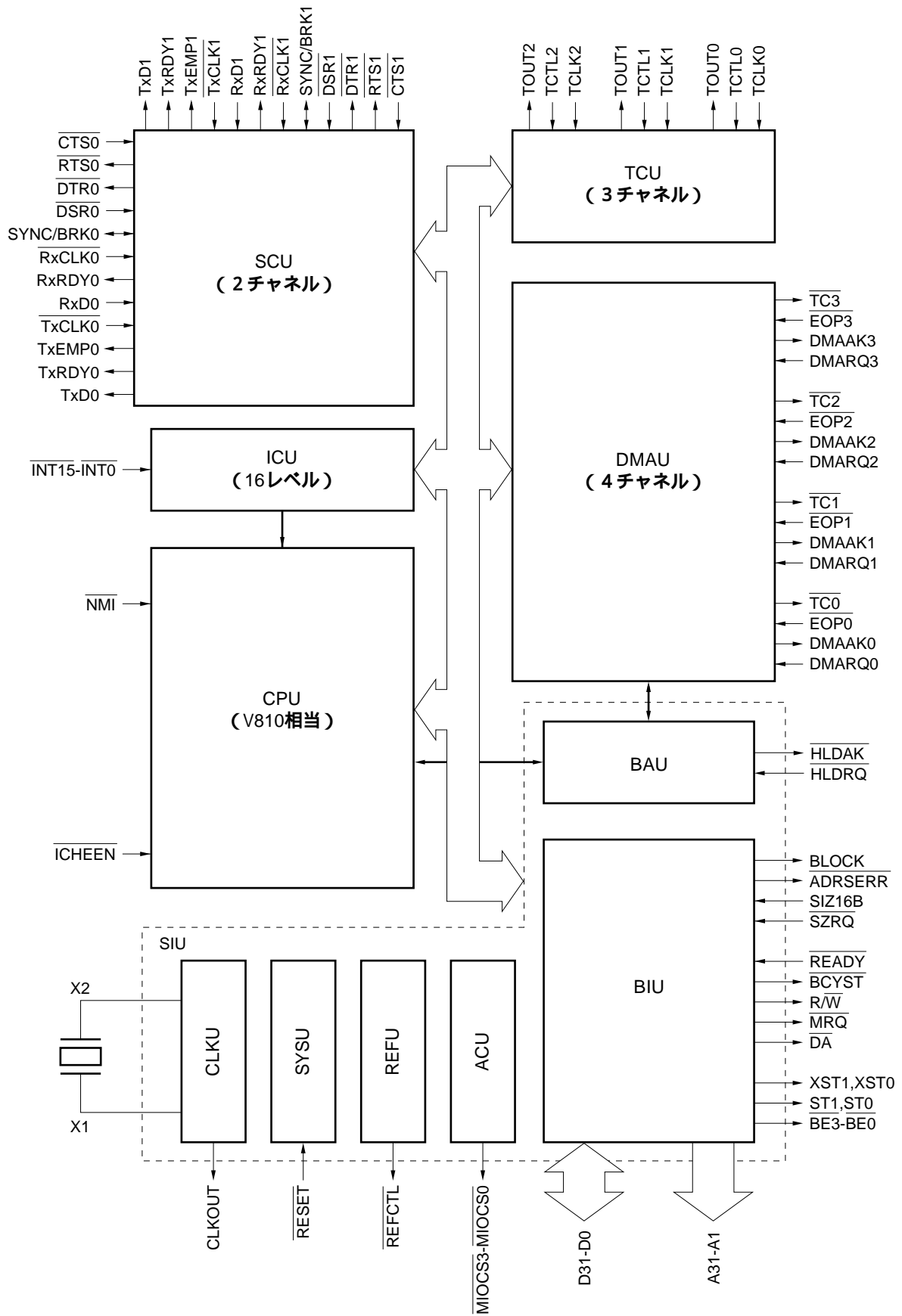
端子接続図

・208ピン・プラスチックQFP（ファインピッチ）（ 28 mm ）（ Top View ）

μPD70742GD-25-LML



内部ブロック図



目 次

- 1 . 端子機能一覧 ... 5
- 2 . CPU ... 8
- 3 . SIU (システム・インテグレーション・ユニット) ... 9
- 4 . ICU (割り込みコントロール・ユニット) ... 10
- 5 . TCU (タイマ/カウンタ・ユニット) ... 10
- 6 . SCU (シリアル・コントロール・ユニット) ... 11
- 7 . DMAU (DMAコントロール・ユニット) ... 12
- 8 . 電気的特性 ... 13
- 9 . 外形図 ... 32
- 10 . 半田付け推奨条件 ... 33

1. 端子機能一覧

(1 / 3)

端子名	入出力	機能	動作時のバス・ホールド状態	リセット時のバス・ホールド状態	リセット時のバス・アイドル状態
A31 - A1 (Address Bus)	3 ステート 出力	アドレス・バスです。	Hi - Z	Hi - Z	H ^注
D31 - D0 (Data Bus)	3 ステート 入出力	双方向のデータ・バスです。	Hi - Z	Hi - Z	Hi - Z
$\overline{\text{BE3}} - \overline{\text{BE0}}$ (Byte Enable)	3 ステート 出力	データ・アクセス時の有効データ・バスを示します。	Hi - Z	Hi - Z	H
ST1, ST0 (Status)	3 ステート 出力	バス・サイクルの種類を示します。	Hi - Z	Hi - Z	H
XST1, XST0 (Extended Status)	3 ステート 出力	周辺に対するバス・サイクルの種類を示します。	Hi - Z	Hi - Z	L
$\overline{\text{DA}}$ (Data Access)	3 ステート 出力	バス・サイクルにおけるストロブ信号です。	Hi - Z	Hi - Z	H
$\overline{\text{MRQ}}$ (Memory Request)	3 ステート 出力	メモリ・アクセスを示します。	Hi - Z	Hi - Z	H
$\overline{\text{R/W}}$ (Read/Write)	3 ステート 出力	リード・アクセスとライト・アクセスの区別を します。	Hi - Z	Hi - Z	H
$\overline{\text{BCYST}}$ (Bus Cycle Start)	3 ステート 出力	バス・サイクルの開始を示します。	Hi - Z	Hi - Z	H
$\overline{\text{READY}}$ (Ready)	入力	バス・サイクルを延長します。	-	-	-
$\overline{\text{HLDRQ}}$ (Hold Request)	入力	バスの使用权を要求します。	-	-	-
$\overline{\text{HLDAK}}$ (Hold Acknowledge)	出力	$\overline{\text{HLDRQ}}$ に対する応答です。	L	L	H
$\overline{\text{SZRQ}}$ (Bus Sizing Request)	入力	バス・サイジングを要求します。	-	-	-
SIZ16B (Bus Size 16 Bit)	入力	外部データ・バス幅を16ビットに固定します。	-	-	-
BLOCK (Bus Lock)	出力	バスの使用を禁止するための信号を出力します。	L	L	L
$\overline{\text{ADRSERR}}$ (Address Error)	出力	データのアラインメントが不正であることを示し ます。	変化せず	H	H
$\overline{\text{ICHEEN}}$ (Instruction Cache Enable)	入力	命令キャッシュを動作させます。	-	-	-

注 A1端子は、16ビット・バス固定モードのときは“H”，それ以外のときは“L”です。

(2 / 3)

端子名	入出力	機能	動作時の バス・ホー ルド状態	リセット時 のバス・ホ ールド状態	リセット時 のバス・ア イドル状態
REFCTL (Refresh Control)	出力	リフレッシュ制御信号です。	H	H	H
MIOCS3 - MIOCS0 (Memory I/O Chip Select)	出力	メモリ, I/Oデバイスのチップ・セレクト信号です。	H	H	H
RESET (Reset)	入力	内部状態をリセットします。	-	-	-
X1, X2 (Crystal)	入力	クリスタル / 外部クロックを接続します。外部クロックを接続する場合, X2にはX1の逆位相の信号を入力してください。	-	-	-
CLKOUT (System Clock Out)	出力	内部で生成したシステム・クロックを出力します。	注	注	注
INT15 - INT0 (Interrupt)	入力	割り込みコントロール・ユニットに対する割り込み要求です。	-	-	-
NMI (Non-maskable Interrupt)	入力	CPUに対するノンマスカブルの割り込み要求です。	-	-	-
TOUT2 - TOUT0 (Timer Output)	出力	タイマ / カウンタの出力信号です。	-	-	-
TCTL2 - TCTL0 (Timer Control)	入力	タイマ / カウンタの動作を制御します。	-	-	-
TCLK2 - TCLK0 (Timer Clock)	入力	タイマ / カウンタのカウント・レートを決めるクロック入力です。	-	-	-
TxD1, TxD0 (Transmit Data)	出力	シリアル送信データの出力信号です。	-	L	L
TxRDY1, TxRDY0 (Transmitter Ready)	出力	シリアル・コントロール・ユニットに対する送信データの書き込みが可能であることを示します。	-	H	H
TxEMP1, TxEMP0 (Transmitter Buffer Ready)	出力	2段の送信データ・バッファが空きであることを示します。	-	H	H
TxCLK1, TxCLK0 (Transmitter Clock)	入力	送信レートを決定するための基準クロックです。	-	-	-
RxD1, RxD0 (Receive Data)	入力	シリアル受信データの入力信号です。	-	-	-
RxRDY1, RxRDY0 (Receiver Ready)	出力	シリアル・コントロール・ユニットから受信データが読み出し可能となったことを示します。	-	L	L
RxCLK1, RxCLK0 (Receiver Clock)	入力	受信レートを決定するための基準クロックです。	-	-	-

注 常にクロックを出力します。

(3 / 3)

端子名	入出力	機能	動作時の バス・ホー ルド状態	リセット時 のバス・ホ ールド状態	リセット時 のバス・ア イドル状態
SYNC/BRK1, SYNC/BRK0 (Synchronization/Break)	入出力	SYNCは同期モードにおいて同期検出に使用します。 BRKは調歩同期モードにおいてブ레이크状態の検出に使用します。	-	L	L
$\overline{\text{DSR}}1, \overline{\text{DSR}}0$ (Data Set Ready)	入力	通信ステータスの入力信号です。	-	-	-
$\overline{\text{DTR}}1, \overline{\text{DTR}}0$ (Data Terminal Ready)	出力	通信ステータスの出力信号です。	-	H	H
$\overline{\text{RTS}}1, \overline{\text{RTS}}0$ (Request To Send)	出力	通信ステータスの出力信号です。	-	H	H
$\overline{\text{CTS}}1, \overline{\text{CTS}}0$ (Clear To Send)	入力	送信制御用の入力信号です。	-	-	-
DMARQ3 - DMARQ0 (DMA Request)	入力	DMAサービスを要求します。	-	-	-
DMAAK3 - DMAAK0 (DMA Acknowledge)	出力	DMAサービス要求が許可されたことを示します。	-	L	L
$\overline{\text{EOP}}3 - \overline{\text{EOP}}0$ (End Of Process)	入力	外部よりのDMAサービスの終了を指示します。	-	-	-
$\overline{\text{TC}}3 - \overline{\text{TC}}0$ (Terminal Count)	出力	DMAサービスの終了を指示します。	-	H	H
V _{DD} (Power Supply)	-	+ 5 V電源です。	-	-	-
GND (Ground)	-	グランド電位 (0 V)。	-	-	-

2 . CPU

CPUは、組み込み制御向けマイクロプロセッサV810と同等の機能を持ち、ビット・ストリング命令、浮動小数点演算命令、高いリアルタイム応答性を備えています。

特 徴

高性能32ビットRISCマイクロプロセッサ

- ・ 1 Kバイトのキャッシュ・メモリ内蔵
 - ・ 1クロック・ピッチのパイプライン構造
 - ・ 16ビットの固定長命令体系（一部を除く）
 - ・ 32ビット・アドレス / データ分離型バス
 - ・ 32ビット汎用レジスタ：32本
 - ・ 4 Gバイトのリニア・アドレス空間
 - ・ レジスタ / フラグ・ハザードに対するインタロックをハードウェアで対処
- 各種応用分野に適した命令群
- ・ 浮動小数点演算命令（IEEE754データ・フォーマット準拠）
 - ・ ビット・ストリング命令

高速割り込み応答

クロック停止によるスタンバイ動作

ディバグ・サポート機能

3. SIU (システム・インテグレーション・ユニット)

SIUは、6つのサブユニットで構成され、システムのスタートアップ、イニシャライズ、コンフィギュレーション、内部クロックの生成、バス制御、メモリ制御を行います。

(1) システム・コントロール・ユニット (SYSU)

システム・コントロール・ユニットは、SCUの入力クロックを選択する機能を持っています。

(2) クロック・コントロール・ユニット (CLKU)

クロック・コントロール・ユニットは、V820が使用するシステム・クロックの生成および各ユニットへの供給の制御を行います。

(3) バス・インタフェース・ユニット (BIU)

バス・インタフェース・ユニットは、データ・バス、アドレス・バス、制御バスの端子制御を行います。これらのバスは、CPUとDMAUの2つのユニットで使用されます。

V810のバス・インタフェースをベースとし、アドレス、データともに32ビットの分離型バス・インタフェースを提供します。

CPUのデータ・バス・アクセスに対しては、16ビット幅と32ビット幅のデータ・アクセスに動的に対応できるダイナミック・バス・サイジング機能やデータ・バスを16ビット幅に固定する機能をサポートしています。DMAUについては、データ・バスを16ビット幅に固定する機能だけをサポートしています。

(4) バス・アービトレーション・ユニット (BAU)

バス・アービトレーション・ユニットは、CPU、DMAUおよび外部バス・マスタからのバス・ホールド要求時に、バスの使用权を調停します。

(5) リフレッシュ・サポート・ユニット (REFU)

リフレッシュ・サポート・ユニットは、DRAMのリフレッシュをサポートする機能を持っています。

リフレッシュ・タイミングを生成するインターバル・タイマ機能と、リフレッシュ・サイクルの実行のためのバス使用权の要求機能、DRAMコントロール回路へのリフレッシュ制御信号の生成機能を持っています。リフレッシュ期間中は、CPUやDMAUはバス使用权を外部のリフレッシュ制御回路に明け渡します (バス・ホールド状態)。リフレッシュ周期とリフレッシュ期間はソフトウェアで設定します。

(6) アクセス・コントロール・ユニット (ACU)

アクセス・コントロール・ユニットは、チップ・セレクト信号の生成と、アクセス・バス・サイクルへのウェイト・ステートの挿入を制御するプログラマブル・ウェイト・コントロール機能を内蔵しています。

サポートするアクセス空間は4空間で、ベース・アドレスとアドレス・マスクにより、それぞれ独立して設定可能です。また、各空間の大きさは、メモリ領域の場合、16 Mバイトから4 Gバイトまで、I/O領域の場合、256 バイトから64 Kバイトまで 2^n 単位で任意に設定できます。

4 . ICU (割り込みコントロール・ユニット)

ICUは、16本までの割り込み要求 (マスカブル割り込み) の調停、CPUに対する割り込み要求の生成を行います。

特 徴

- 16本の割り込み要求入力
- 割り込み要求マスク機能
- エッジ・トリガ、レベル・トリガ選択可能

5 . TCU (タイマ / カウンタ・ユニット)

TCUは、3つのカウンタを持ち、タイマ、イベント・カウンタ、レート・ジェネレータなどに使用できます。機能的にはμPD71054と同等です。

特 徴

- 16ビット・カウンタ × 3
- プログラマブルな6つのカウント・モード
- バイナリ・カウント、BCDカウントの2種類のカウントが可能
- マルチプル・ラッチ・コマンド
- カウント・レート：0 (DC) - 10 MHz

6 . SCU (シリアル・コントロール・ユニット)

SCUは、2チャンネルの同期 / 非同期 (調歩同期) 式シリアル通信機能を持ちます。各チャンネルともμPD71051と同等の機能を持ちます。

特 徴

同期 / 調歩同期モード

同期モード

同期キャラクタ数... 1 , 2

内部 / 外部同期検出

自動同期キャラクタ挿入

調歩同期モード

クロック・レート : ボー・レート × 1 , 16 , 64

送信ストップ・ビット : 1ビット , 1.5ビット , 2ビット

ブ레이크送信

自動ブ레이크検出

誤スタート・ビット検出

ボー・レート : 0 (DC) - 300 Kビット / 秒

全二重ダブル・バッファ方式トランスミッタ・レシーバ

パリティ付加 / チェック

エラー検出 : パリティ , オーバラン , フレーミング

5 - 8ビット・キャラクタ

7. DMAU (DMAコントロール・ユニット)

V820は、4本の独立したチャンネルを持つ32ビットDMAコントローラを内蔵しています。

DMA転送は、転送データをDMAU内部にバッファリングしてDMA転送を行う2サイクル転送と、転送データをDMAU内部にバッファリングしないフライバイ転送の2種類をサポートしています。

また、転送データのパック/アンパックを行うファネリング機能を持っており、データ幅の異なるI/Oデバイスとメモリ間のDMA転送をサポートしています。

特 徴

- 4本の独立したDMAチャンネル
- 4本の32ビット・アドレス・レジスタ
- 4本の32ビット・カウント・レジスタ
- 2クロック・バス・サイクル
- 3種類の転送モード
 - シングル転送モード
 - ダイヤモンド転送モード
 - ブロック転送モード
- 3種類の転送タイプ
 - フライバイI/O - メモリ転送
 - 2サイクルI/O - メモリ転送
 - メモリ - メモリ転送
- データ・ファネリング機能
- チャンネルごとのDMA要求マスク機能
- オート・イニシャライズ機能
- 転送終了時のTC出力
- EOP入力によるDMAサービスの強制終了

8. 電気的特性

絶対最大定格 (TA = 25)

項目	略号	条件	定格	単位
電源電圧	V _{DD}		- 0.5 ~ + 7.0	V
入力電圧	V _I	V _{DD} = 5 V ± 10 %	- 0.5 ~ V _{DD} + 0.3	V
クロック入力電圧	V _K	V _{DD} = 5 V ± 10 %	- 0.5 ~ V _{DD} + 0.3	V
出力電圧	V _O	V _{DD} = 5 V ± 10 %	- 0.5 ~ V _{DD} + 0.3	V
動作周囲温度	T _A		- 10 ~ + 70	
保存温度	T _{stg}		- 65 ~ + 150	

注意1. IC製品の出力(または入出力)端子同士を直結したり, V_{DD}またはV_{CC}やGNDに直結したりしないでください。
ただし, オープン・ドレイン端子やオープン・コレクタ端子同士は直結できます。また, ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路でも直結可能です。

2. 各項目のうち1項目でも, また一瞬でも絶対最大定格を越えると, 製品の品質を損なう恐れがあります。
つまり絶対最大定格とは, 製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づかない状態で製品をご使用ください。

DC特性とAC特性に示す規格や条件が, 製品の正常動作, 品質保証の範囲です。

DC特性 (TA = - 10 ~ + 70 , V_{DD} = 5 V ± 10 %)

項目	略号	条件	MIN.	MAX.	単位
高レベル・クロック入力電圧	V _{KH}		4.0	V _{DD} + 0.3	V
低レベル・クロック入力電圧	V _{KL}		- 0.5	+ 0.6	V
高レベル入力電圧	V _{IH}		2.2	V _{DD} + 0.3	V
低レベル入力電圧	V _{IL}		- 0.5	+ 0.8	V
高レベル出力電圧	V _{OH}	I _{OH} = - 400 μA	2.4		V
低レベル出力電圧	V _{OL}	I _{OL} = 3.2 mA		0.45	V
高レベル入力リーク電流	I _{LIH}	V _I = V _{DD}		10	μA
低レベル入力リーク電流	I _{LIL}	V _I = 0 V		- 10	μA
高レベル出力リーク電流	I _{LOH}	V _O = V _{DD}		10	μA
低レベル出力リーク電流	I _{LOL}	V _O = 0 V		- 10	μA
電源電流	I _{DD}	f = 25 MHz		360	mA

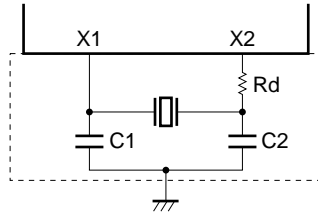
備考 動作時の電源電流は, 動作クロック周波数にほぼ比例します。

容量 (TA = 25 , V_{DD} = 5 V ± 10 %)

項目	略号	条件	MIN.	MAX.	単位
入力容量	C _i	f _c = 1 MHz		15	pF
入出力容量	C _{io}			15	pF

推奨発振回路

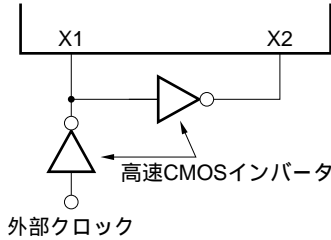
(a) セラミック発振子接続 ($T_A = -10 \sim +70$, $V_{DD} = 5V \pm 10\%$)



メーカー	発振周波数 f_{xx} [MHz]	品 名	推奨定数		
			C1 [pF]	C2 [pF]	Rd [Ω]
村田製作所	32	CSA32.00MXZ040	3	3	33
	40	CSA40.00MXZ040	3	3	33
	50	CSA50.00MXZ040	0	3	33

- 注意 1 . 発振回路はX1, X2端子にできるかぎり近づけてください。
- 2 . 破線の範囲にほかの信号線を通さないでください。
- 3 . μPD70742と発振子のマッチングについては、十分な評価を行ってください。

(b) 外部クロック入力



- 注意 1 . 高速CMOSインバータは、X1, X2端子にできるかぎり近づけてください。
- 2 . μPD70742と高速CMOSインバータのマッチングについては、十分な評価を行ってください。

AC特性 (TA = -10 ~ +70 , VDD = 5V ± 10%)

クロック

項目	略号	条件	MIN.	MAX.	単位
クロック周期	t _{CYX}		20		ns
クロック・パルス・ハイ・レベル幅	t _{XKH}		7		ns
クロック・パルス・ロウ・レベル幅	t _{XKL}		7		ns
クロック立ち上がり時間	t _{XKR}			3	ns
クロック立ち下がり時間	t _{XKF}			3	ns
★ CLKOUT遅延時間 (対外部クロック)	t _{DXK}		5	20	ns
CLKOUT周期	t _{CYK}		40		ns
CLKOUTハイ・レベル幅	t _{KKH}		0.5t _{CYK} - 5		ns
CLKOUTロウ・レベル幅	t _{KKL}		0.5t _{CYK} - 5		ns
CLKOUT立ち上がり時間	t _{KR}			5	ns
CLKOUT立ち下がり時間	t _{KF}			5	ns

リセット

項目	略号	条件	MIN.	MAX.	単位
RESET設定時間 (対CLKOUT , アクティブ)	t _{SRKF}		15		ns
RESET設定時間 (対CLKOUT , インアクティブ)	t _{SRKR}		15		ns
RESET保持時間 (対CLKOUT)	t _{HKR}		15		ns
RESETパルス・ロウ・レベル幅 (CLKOUT安定後, 対CLKOUT)	t _{WRL}		20t _{CYKR}		ns
CLKOUT周期 (RESET時)	t _{CYKR}		40	1000	ns
CLKOUTパルス・ハイ・レベル幅	t _{KKHR}		0.5t _{CYKR} - 5		ns
CLKOUTパルス・ロウ・レベル幅	t _{KCLR}		0.5t _{CYKR} - 5		ns

メモリ, I/Oアクセス

項 目	略 号	条 件	MIN.	MAX.	単 位
★ アドレス等出力遅延時間 (対CLKOUT)	tDKA		2	19	ns
★ アドレス等出力保持時間 (対CLKOUT)	tHKA		2	19	ns
★ MIOCSn出力遅延時間(対CLKOUT)	tDKMS		2	19	ns
★ MIOCSn出力保持時間(対CLKOUT)	tHKMS		2	19	ns
★ BCYST出力遅延時間(対CLKOUT)	tDKBC		2	19	ns
★ BCYST出力保持時間(対CLKOUT)	tHKBC		2	19	ns
★ DA出力遅延時間 (対CLKOUT)	tDKDA		2	19	ns
★ DA出力保持時間 (対CLKOUT)	tHKDA		2	19	ns
READY設定時間 (対CLKOUT)	tSRYK		6		ns
READY保持時間 (対CLKOUT)	tHKRY		6		ns
データ設定時間 (対CLKOUT)	tSDK		6		ns
データ保持時間 (対CLKOUT)	tHKD		6		ns
★ データ出力遅延時間 (fromアクティブ, 対CLKOUT)	tDKDT		2	19	ns
★ データ出力保持時間 (toアクティブ, 対CLKOUT)	tHKDT		2	19	ns
データ出力遅延時間 (fromフロート, 対CLKOUT)	tLZKDT		2	20	ns
データ出力保持時間 (toフロート, 対CLKOUT)	tHZKDT		2	20	ns

ダイナミック・バス・サイジング

項 目	略 号	条 件	MIN.	MAX.	単 位
SZRQ設定時間 (対CLKOUT)	tSSZK		6		ns
SZRQ保持時間 (対CLKOUT)	tHKSZ		6		ns

割り込み

項 目	略 号	条 件	MIN.	MAX.	単 位
NMI設定時間 (対CLKOUT)	tSNK		6		ns
NMI保持時間 (対CLKOUT)	tHKN		6		ns
レベル・モードINTn設定時間 (対CLKOUT)	tSILK		6		ns
レベル・モードINTn保持時間 (対CLKOUT)	tHKIL		6		ns
エッジ・モードINTn設定時間 (対CLKOUT)	tSIEK		9		ns
エッジ・モードINTnパルス幅	tCYIE		20		ns

バス・ホールド

項目	略号	条件	MIN.	MAX.	単位
H $\overline{\text{LDRQ}}$ 設定時間 (対CLKOUT)	t _{SHQK}		6		ns
H $\overline{\text{LDRQ}}$ 保持時間 (対CLKOUT)	t _{HKHQ}		6		ns
★ H $\overline{\text{LDAK}}$ 出力遅延時間 (対CLKOUT)	t _{DKHA}		2	19	ns
★ H $\overline{\text{LDAK}}$ 出力保持時間 (対CLKOUT)	t _{HKHA}		2	19	ns
アドレス等遅延時間 (fromアクティブ, 対CLKOUT)	t _{HZKA}		2	20	ns
アドレス等遅延時間 (fromフロート, 対CLKOUT)	t _{LZKA}		2	20	ns
データ遅延時間 (fromアクティブ, 対CLKOUT)	t _{HZKD}		2	20	ns
データ遅延時間 (fromフロート, 対CLKOUT)	t _{LZKD}		2	20	ns
★ MIOCSn出力遅延時間 (対CLKOUT)	t _{DKMS}		2	19	ns
★ MIOCSn出力保持時間 (対CLKOUT)	t _{HKMS}		2	19	ns
D $\overline{\text{A}}$ 出力遅延時間 (fromアクティブ, 対CLKOUT)	t _{HZKDA}		2	20	ns
D $\overline{\text{A}}$ 出力遅延時間 (fromフロート, 対CLKOUT)	t _{LZKDA}		2	20	ns

リフレッシュ

項目	略号	条件	MIN.	MAX.	単位
★ REFCTL出力遅延時間	t _{DKRE}		2	19	ns
★ REFCTL出力保持時間	t _{HKRE}		2	19	ns
データ遅延時間 (fromアクティブ, 対CLKOUT)	t _{HZKD}		2	20	ns
データ遅延時間 (fromフロート, 対CLKOUT)	t _{LZKD}		2	20	ns
★ MIOCSn出力遅延時間 (対CLKOUT)	t _{DKMS}		2	19	ns
★ MIOCSn出力保持時間 (対CLKOUT)	t _{HKMS}		2	19	ns
★ BCYST出力遅延時間 (対CLKOUT)	t _{DKBC}		2	19	ns
★ BCYST出力保持時間 (対CLKOUT)	t _{HKBC}		2	19	ns
★ D $\overline{\text{A}}$ 出力遅延時間 (対CLKOUT)	t _{DKDA}		2	19	ns
★ D $\overline{\text{A}}$ 出力保持時間 (対CLKOUT)	t _{HKDA}		2	19	ns

TCU

項 目	略 号	条 件	MIN.	MAX.	単 位
TCLKn周期	t _{cyTK}		100		ns
TCLKnハイ・レベル幅	t _{TKKH}		30		ns
TCLKnロウ・レベル幅	t _{TKKL}		45		ns
TCLKn 立ち上がり時間	t _{TKR}			15	ns
TCLKn 立ち下がり時間	t _{TKF}			15	ns
TCTLnハイ・レベル幅	t _{GGH}		50		ns
TCTLnロウ・レベル幅	t _{GGL}		50		ns
TOUT出力遅延時間 (対TCTLn)	t _{dGTO}			100	ns
TCTLn保持時間	t _{HTKG}		50		ns
TCTLn設定時間	t _{SGTK}		50		ns
TOUT出力遅延時間 (対TCLKn)	t _{dTKTO}			100	ns

SCU

★ シリアル転送

項 目	略 号	条 件	MIN.	MAX.	単 位
TxDn遅延時間 (対TxCLKn)	t _{dTKTD}			0.5	μs
トランスミッタ入力クロック・ パルス・ハイ・レベル幅	1 × BR	t _{TKKH}	15t _{cyTK}		ns
	16 × , 64 × BR		3 t _{cyTK}		ns
トランスミッタ入力クロック・ パルス・ロウ・レベル幅	1 × BR	t _{TKKL}	12t _{cyTK}		ns
	16 × , 64 × BR		1 t _{cyTK}		ns
トランスミッタ入力 クロック周波数	1 × BR	f _{TK} 注		300	kHz
	16 × BR			1920	kHz
	64 × BR			1920	kHz
レシーバ入力クロック・ パルス・ハイ・レベル幅	1 × BR	t _{TKRKH}	15t _{cyTK}		ns
	16 × , 64 × BR		3 t _{cyTK}		ns
レシーバ入力クロック・ パルス・ロウ・レベル幅	1 × BR	t _{TKRKL}	12t _{cyTK}		ns
	16 × , 64 × BR		1 t _{cyTK}		ns
レシーバ入力クロック 周波数	1 × BR	f _{RK} 注		300	kHz
	16 × BR			1920	kHz
	64 × BR			1920	kHz

注 TxCLKとRxCLKの周波数には次のような制限があります。

- 1 × BR : f_{TK} , f_{RK} 1/30t_{cyTK}
- 16 × , 64 × BR : f_{TK} , f_{RK} 1/4.5t_{cyTK}

- ★ 注意 1 . システム・クロックはリセット期間中、入力されていなければなりません。
- ★ 2 . ステータスの更新には、影響を与える事象が発生してから最大28 t_{cyTK}の遅延があります。
- ★ 3 . SCUとCPUのインタフェースに使用されるクロック (SCUCLK) の周波数は最大12.5 MHzです。

備考 BR : Baud Rate

★ フラグ

項 目	略 号	条 件	MIN.	MAX.	単 位
TxRDYn遅延時間 (TxRDY)	tDTXR			8 tCYK	ns
TxEMPn遅延時間	tDTXEP			20tCYK	ns
RxRDYn遅延時間 (RxRDY)	tDRXR			26tCYK	ns

備考 ステータスの更新には影響を与える事象が発生してから最大28tCYKの遅延があります。

★ RxDnとSYNCn

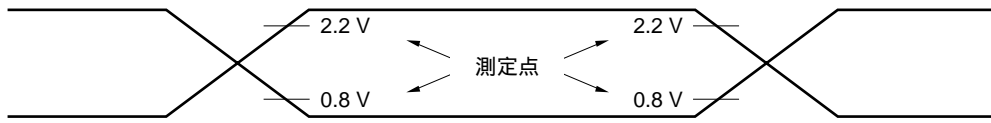
項 目	略 号	条 件	MIN.	MAX.	単 位
SYNCn出力遅延時間 (内部同期)	tDRKSY			26tCYK	ns
SYNCn入力設定時間 (外部同期)	tSSYRK		18tCYK		ns

DMAU

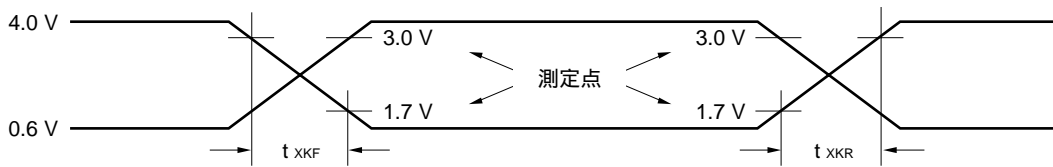
項 目	略 号	条 件	MIN.	MAX.	単 位
DMARQn設定時間 (対CLKOUT)	tSDQK		6		ns
DMARQn保持時間 (対CLKOUT)	tHKDQ		6		ns
★ DMAAKn出力遅延時間 (対CLKOUT)	tDKDAK		2	19	ns
★ DMAAKn出力保持時間 (対CLKOUT)	tHKDAK		2	19	ns
★ \overline{TCn} 出力遅延時間 (対CLKOUT)	tDKTC		2	19	ns
★ \overline{TCn} 出力保持時間 (対CLKOUT)	tHKTC		2	19	ns
\overline{EOPn} 設定時間 (対CLKOUT)	tSEK		6		ns
\overline{EOPn} 保持時間 (対CLKOUT)	tHKE		6		ns

AC特性

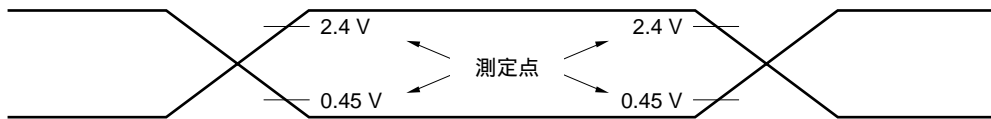
ACテスト入力波形 (X1, X2を除く)



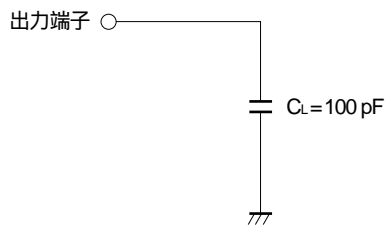
ACテスト入力波形 (X1 : 外部クロック接続時)



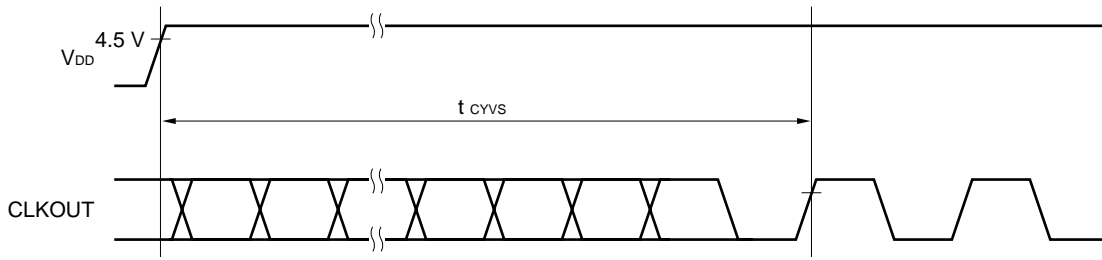
ACテスト出力波形



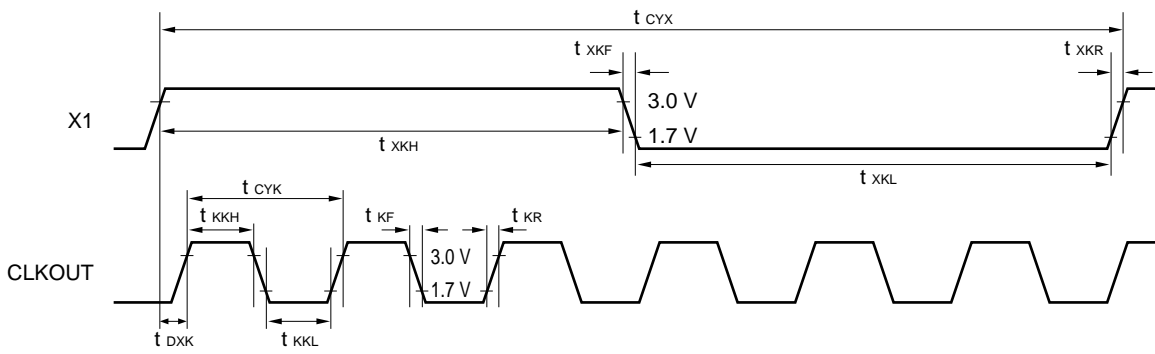
テスト負荷



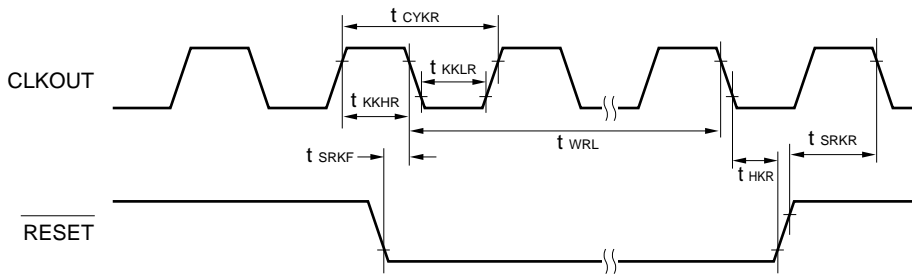
CLKOUT安定時間



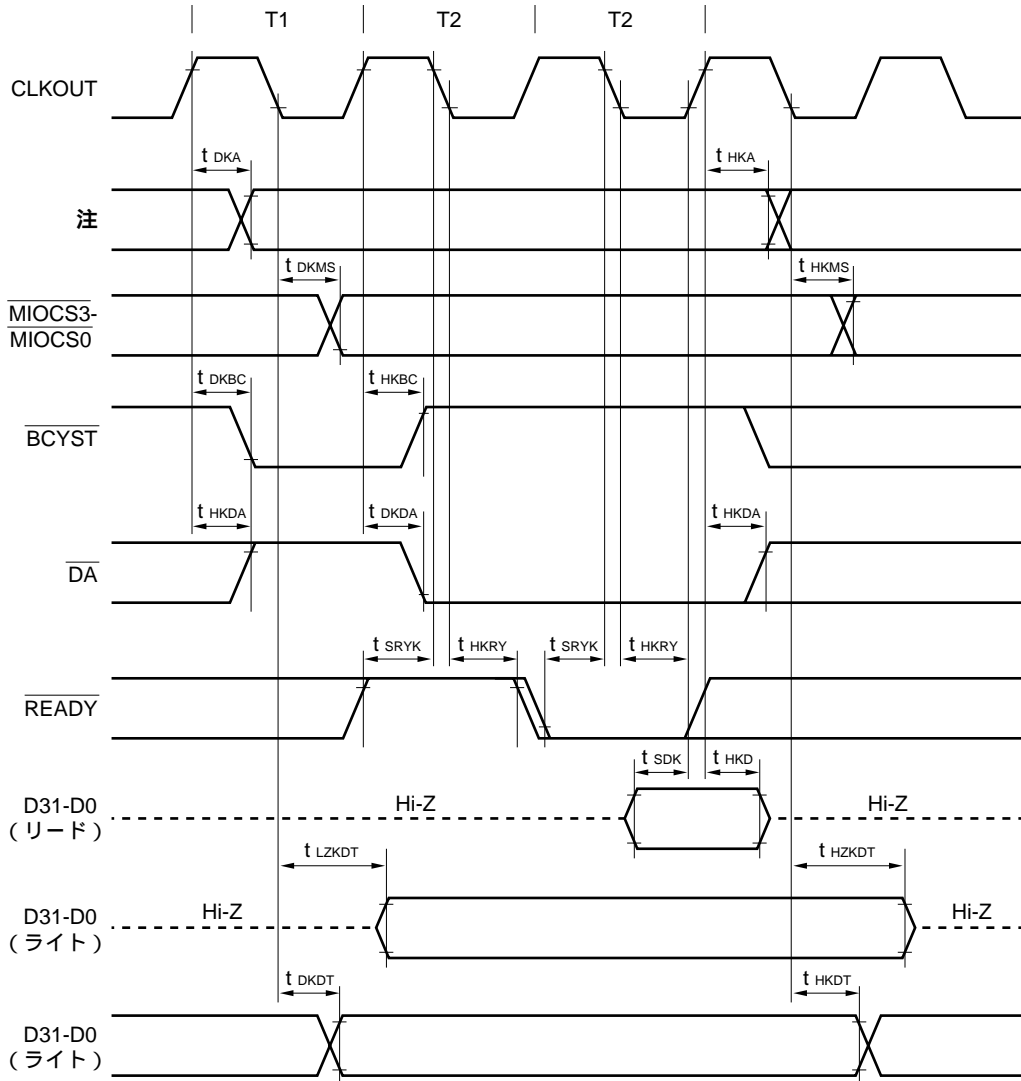
クロック・タイミング



リセット・タイミング

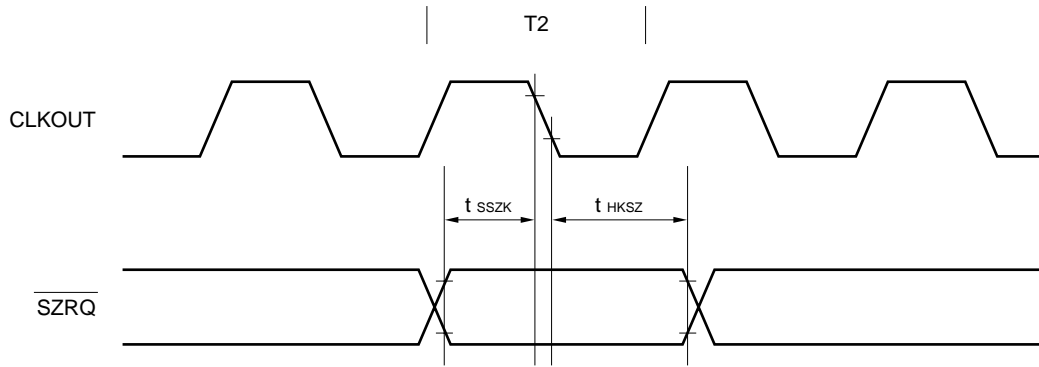


メモリ, I/Oアクセス・タイミング

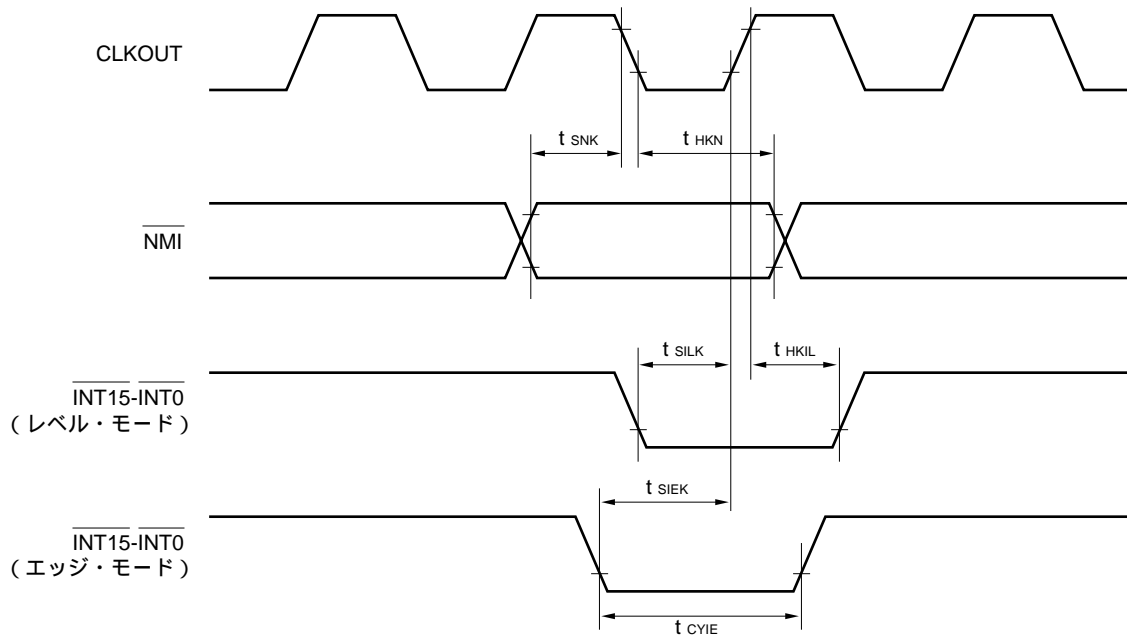


注 A31 - A1, $\overline{BE3} - \overline{BE0}$, $\overline{R/W}$, \overline{MRQ} , ST1, ST0, XST1, XST0, BLOCK, $\overline{ADRSERR}$

ダイナミック・バス・サイジング・タイミング

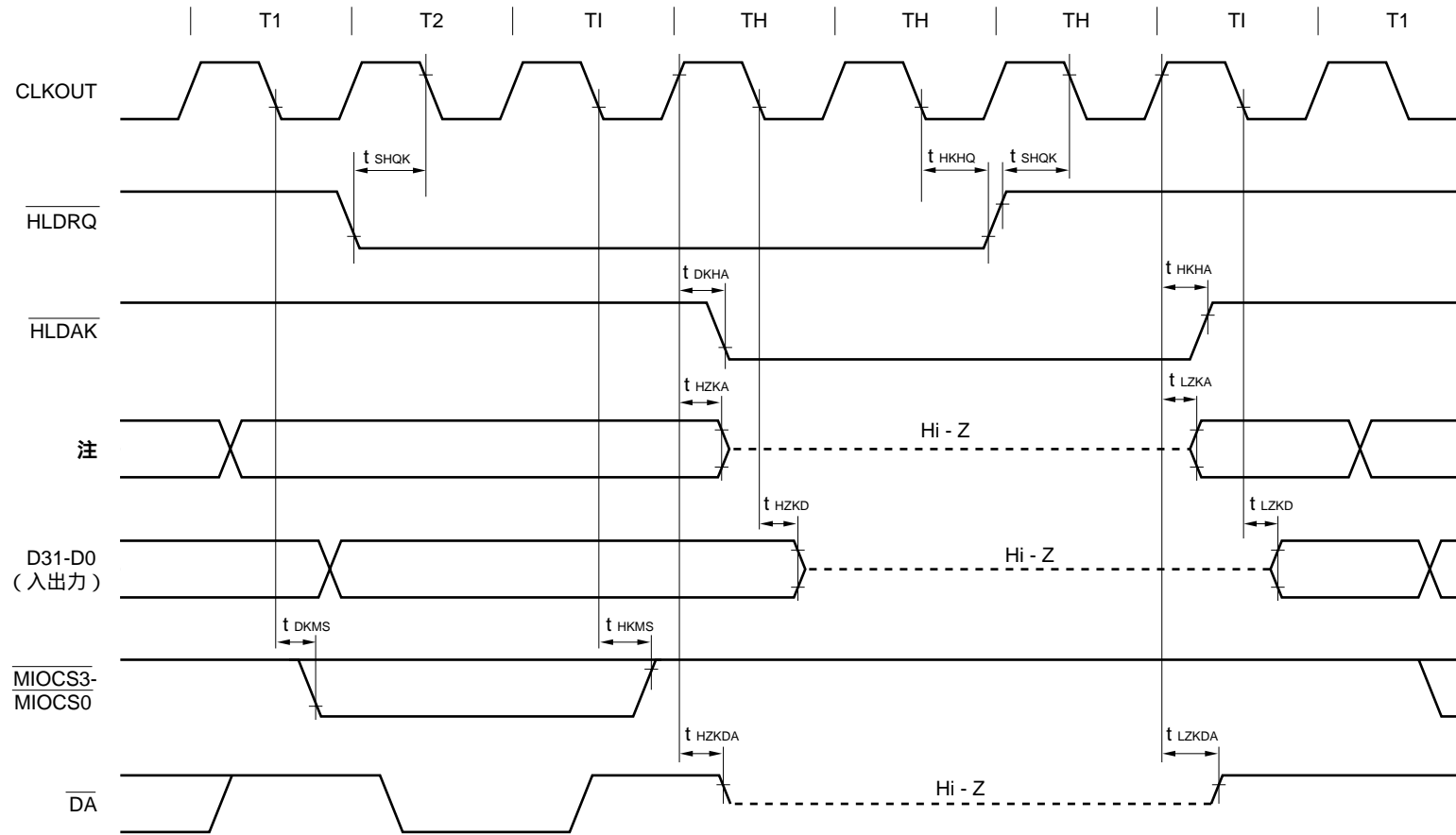


割り込みタイミング



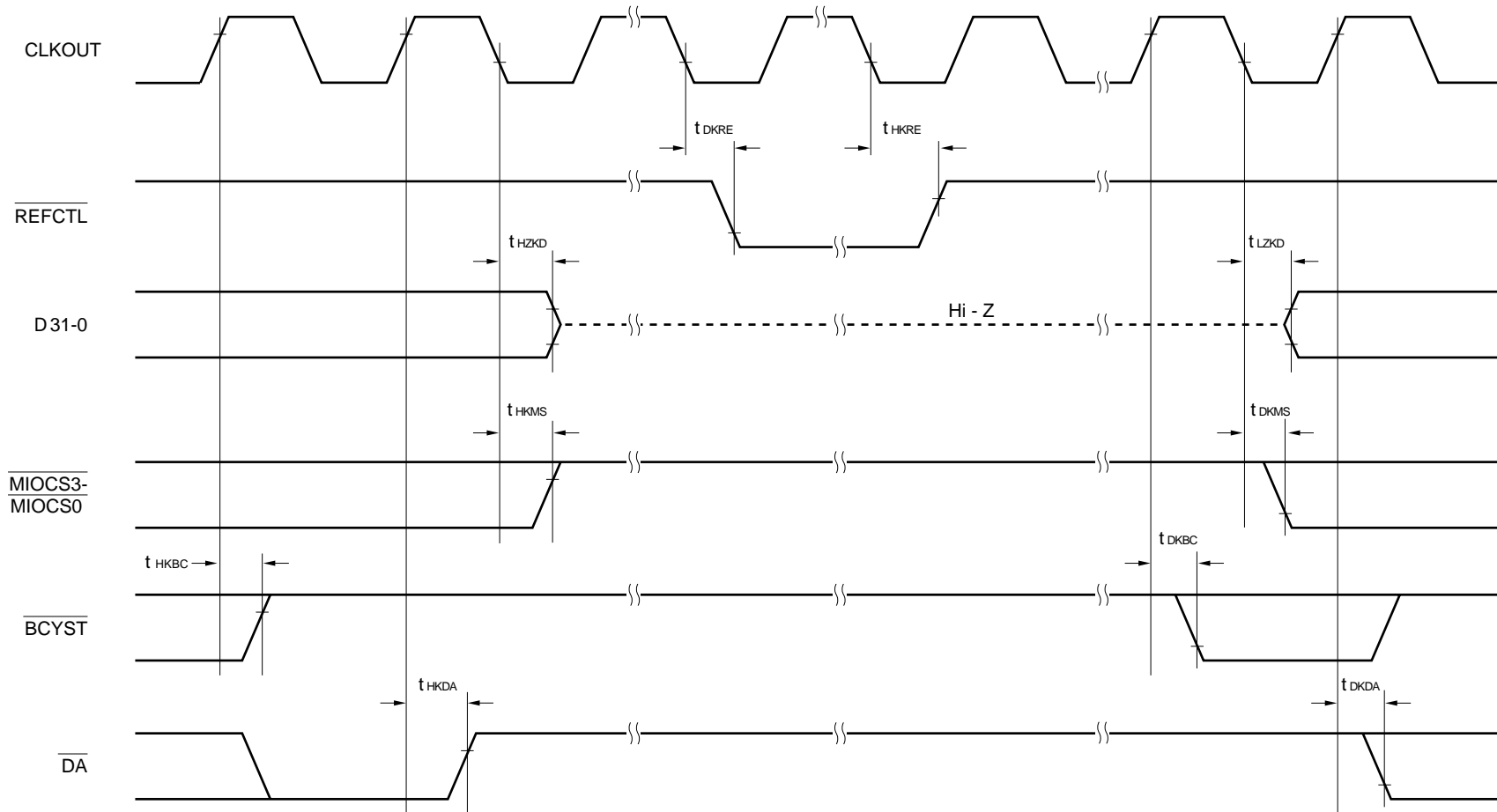
保守/廃止

バス・ホールド・タイミング



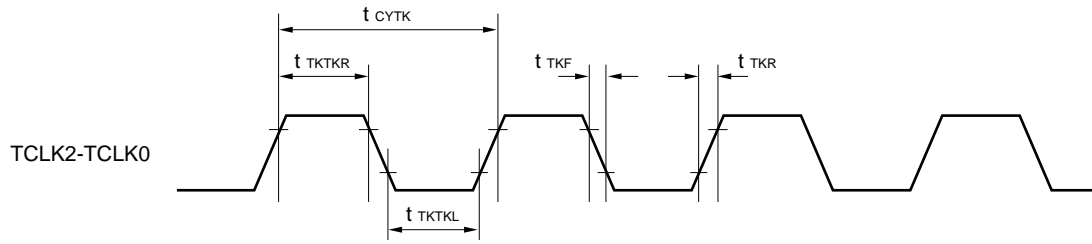
注 A31 - A1, $\overline{BE3} - \overline{BE0}$, R/\overline{W} , \overline{MRQ} , ST1, ST0, XST1, XST0, \overline{BCYST}

リフレッシュ・タイミング

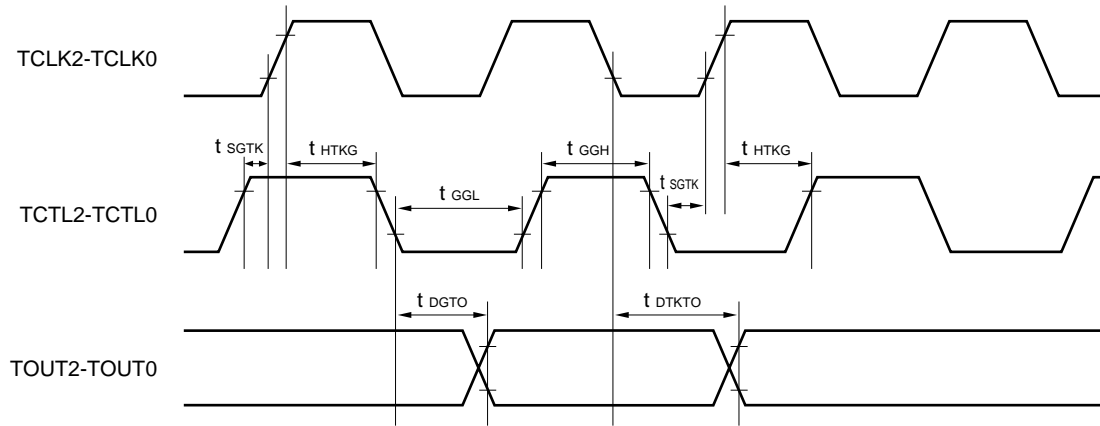


TCUタイミング

TCUクロック (TCLKn)

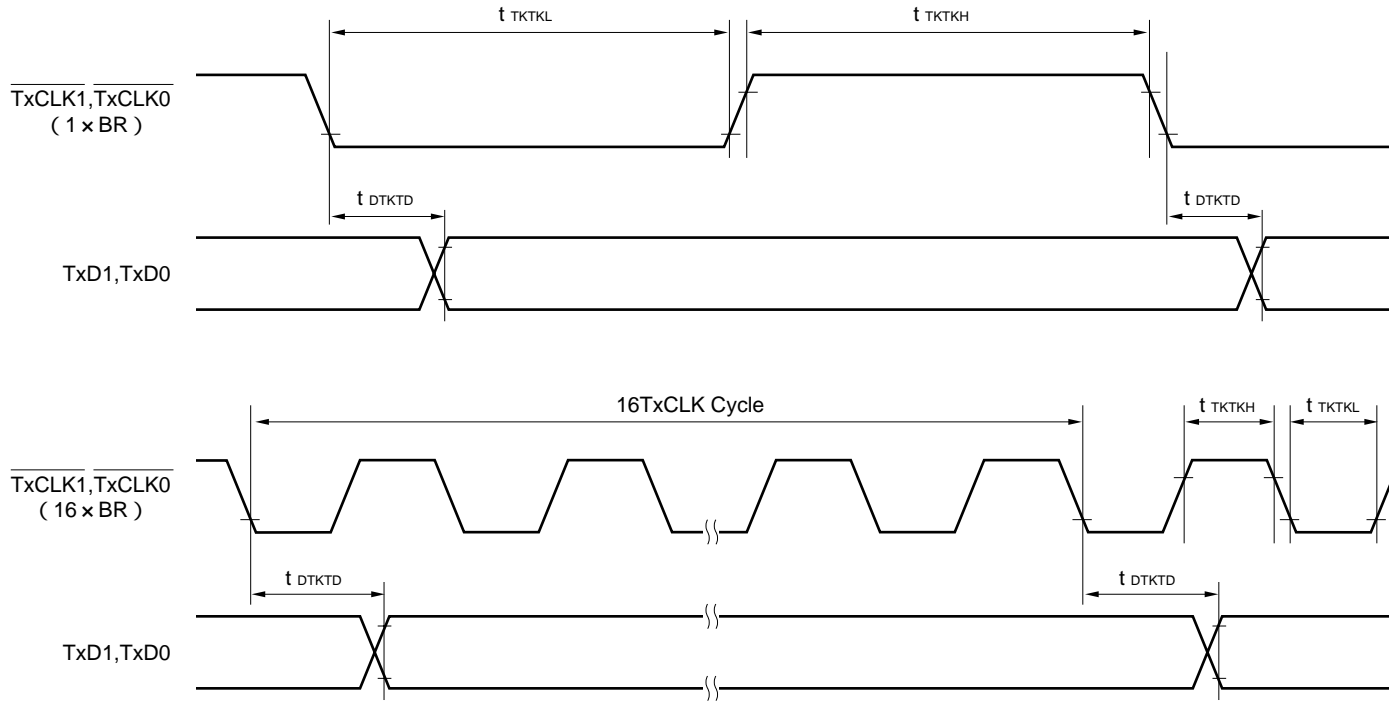


TCU入出力

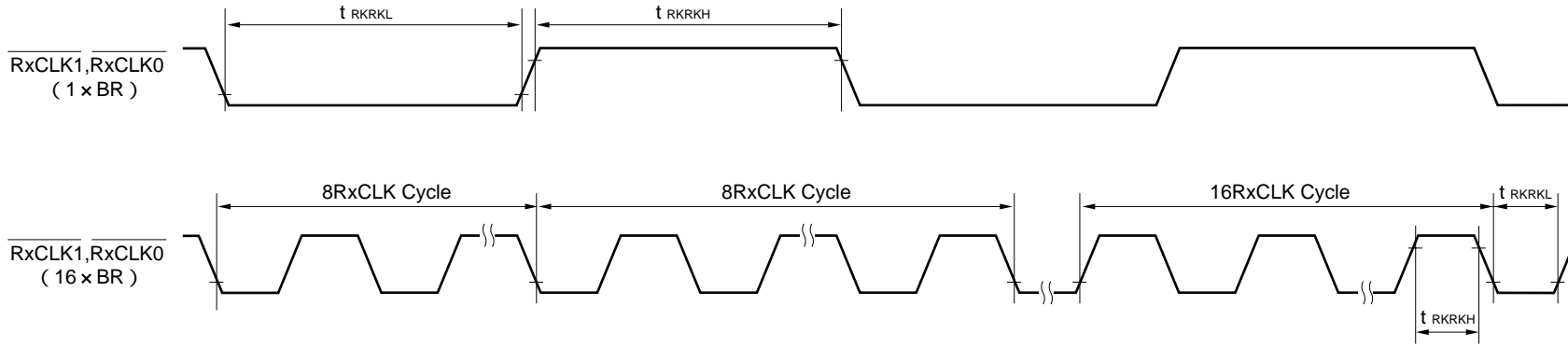


SCUタイミング

トランスミッタ・クロックとTxDn

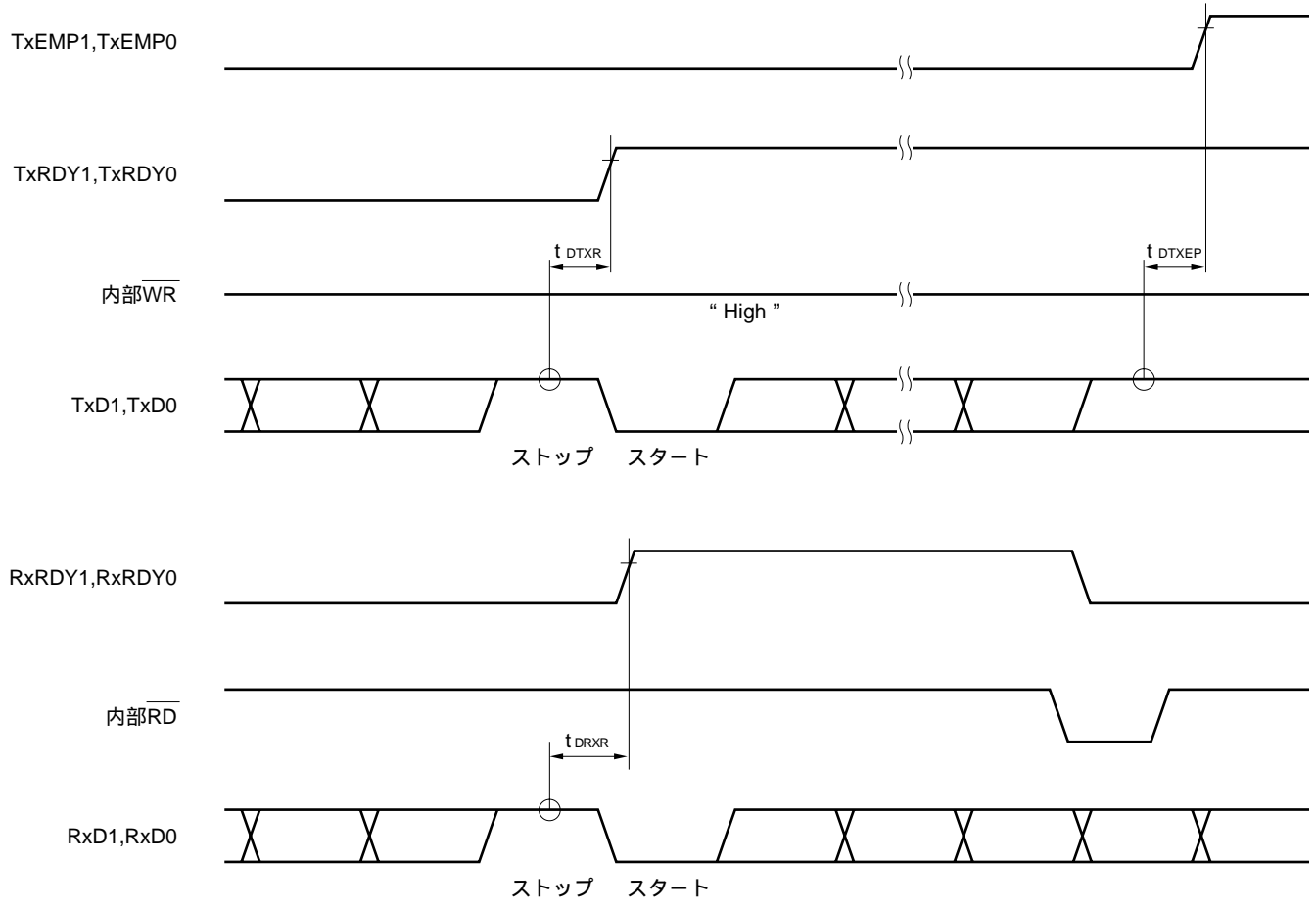


★ レシーバ・クロックとRxDn

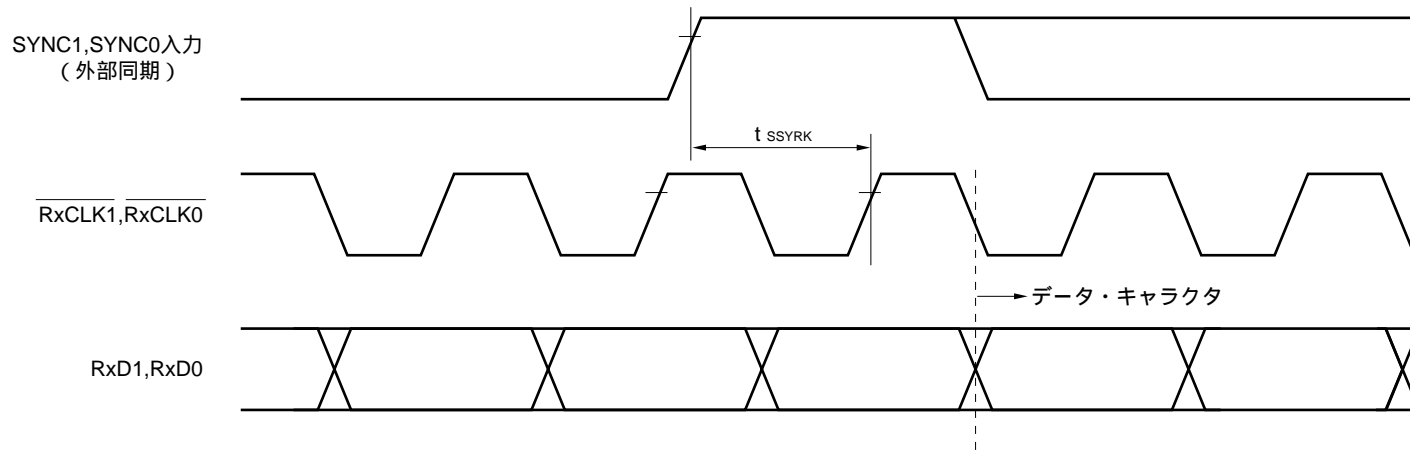
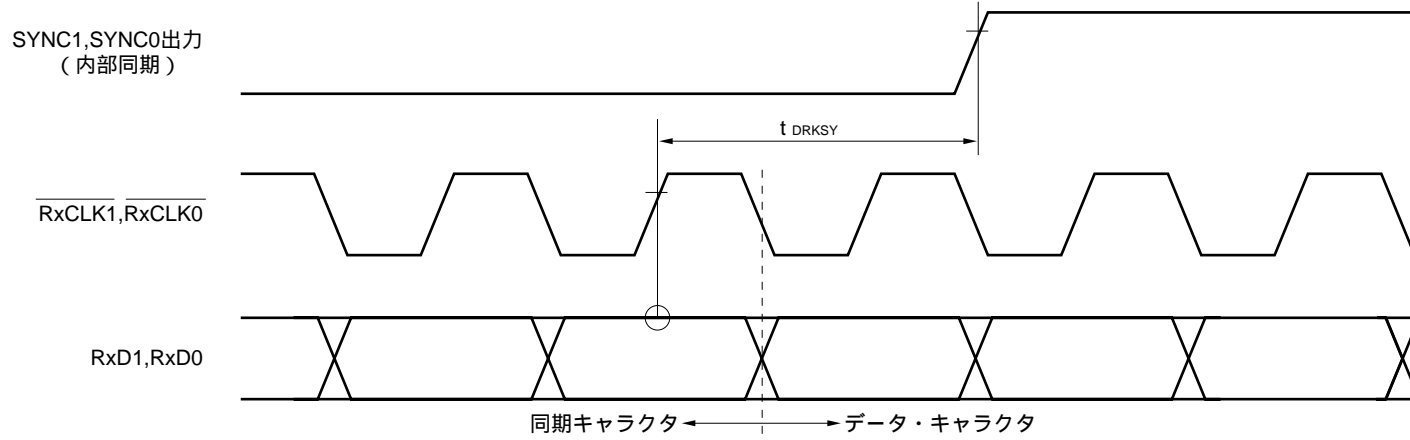


保守/廃止

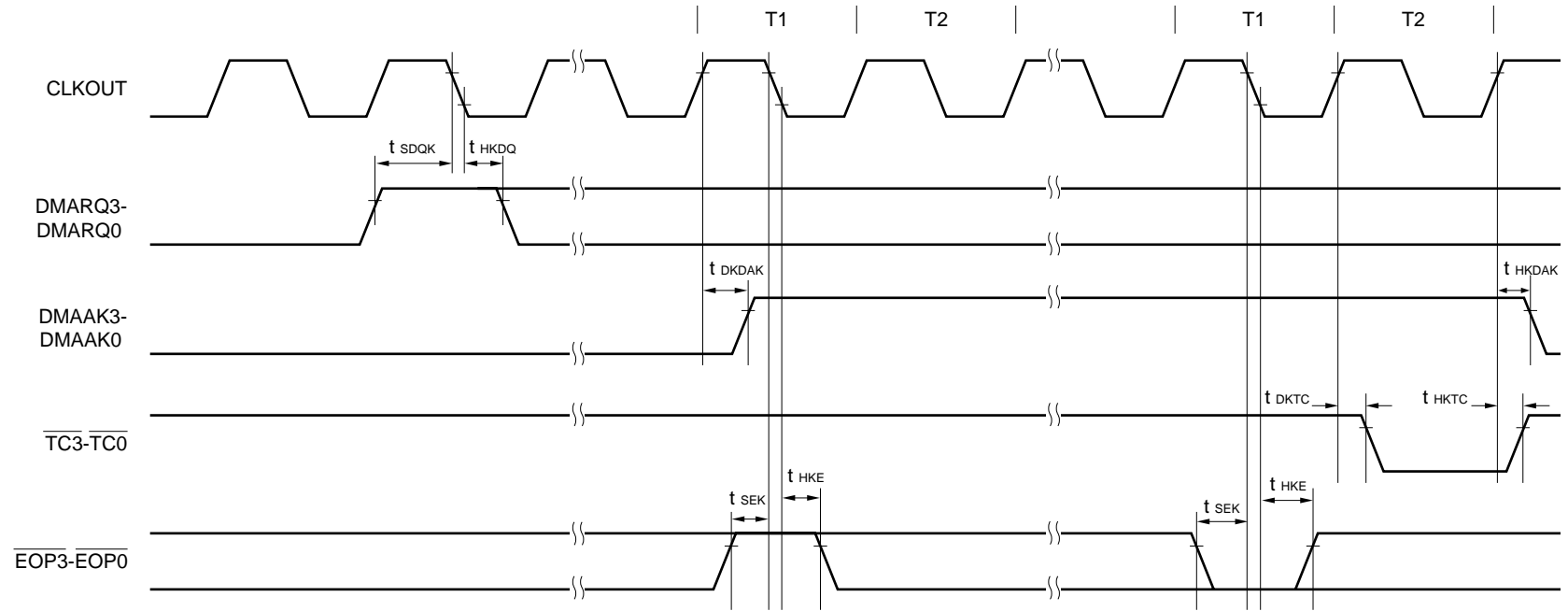
フラグのタイミング



RxDnとSYNCnのタイミング

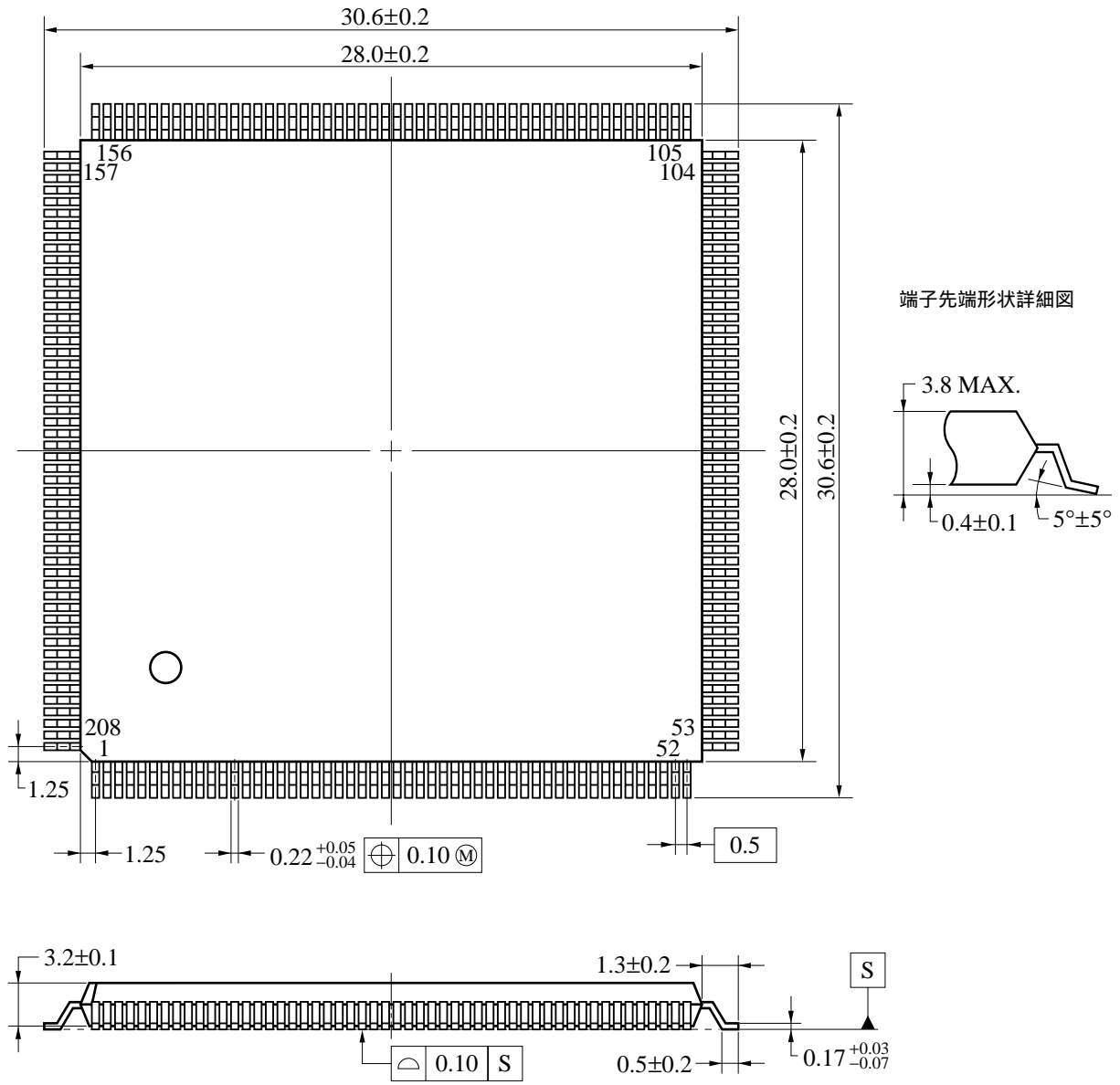


DMAUタイミング



★ 9. 外形図

208ピン・プラスチック QFP (ファインピッチ) (28x28) 外形図 (単位: mm)



P208GD-50-LML, MML, SML-4

10. 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の詳細は、インフォメーション資料「**半導体デバイス実装マニュアル**」(C10535J)を参照してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

表10 - 1 半田付け条件

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃，時間：30秒以内（210℃以上），回数：3回以内， 制限日数 ^注 ：3日間（以降は125℃プリベーク20時間必要） 留意事項 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR35-203-3
VPS	パッケージ・ピーク温度：215℃，時間：40秒以内（200℃以上），回数：3回以内， 制限日数 ^注 ：3日間（以降は125℃プリベーク20時間必要） 留意事項 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	VP15-203-3
端子部分加熱	端子温度：300℃以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライパック開封後の保管日数で，保管条件は25℃，65%RH以下。

注意 半田付け方式の併用は避けください（ただし端子部分加熱は除く）。

{ × ㇿ }

CMOSデバイスの一般的注意事項**静電気対策（MOS全般）**

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

V810, V820は日本電気株式会社の商標です。

文書による当社の承諾なしに本資料の転載複製を禁じます。
 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的所有権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。

当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。

当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災 / 防犯装置、各種安全装置、生命維持を直接の目的としない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート / データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

この製品は耐放射線設計をしておりません。

M4 94.11

— お問い合わせ先 —

【技術的なお問い合わせ先】

NEC半導体テクニカルホットライン（インフォメーションセンター）

電話 : 044-548-8899
 FAX : 044-548-7900
 E-mail : s-info@saed.tmg.nec.co.jp

【営業関係お問い合わせ先】

半導体第一販売事業部	〒108-8001	東京都港区芝5-7-1	(日本電気本社ビル)	(03)3454-1111	
半導体第二販売事業部					
半導体第三販売事業部					
中部支社 半導体第一販売部	〒460-8525	愛知県名古屋市中区錦1-17-1	(日本電気中部ビル)	(052)222-2170	
中部支社 半導体第二販売部				(052)222-2190	
関西支社 半導体第一販売部	〒540-8551	大阪府大阪市中央区城見1-4-24	(日本電気関西ビル)	(06) 945-3178	
関西支社 半導体第二販売部				(06) 945-3200	
関西支社 半導体第三販売部				(06) 945-3208	
北海道支社 札幌	(011)231-0161	宇都宮支店 宇都宮	(028)621-2281	北陸支社 金沢	(076)232-7303
東北支社 仙台	(022)267-8740	小山支店 小山	(0285)24-5011	富山支店 富山	(0764)31-8461
岩手支店 盛岡	(019)651-4344	甲府支店 甲府	(0552)24-4141	福井支店 福井	(0776)22-1866
郡山支店 郡山	(0249)23-5511	長野支店 松本	(0263)35-1662	京都支社 京都	(075)344-7824
いわき支店 いわき	(0246)21-5511	静岡支店 静岡	(054)254-4794	神戸支社 神戸	(078)333-3854
長岡支店 長岡	(0258)36-2155	立川支店 立川	(042)526-5981,6167	中国支社 広島	(082)242-5504
水戸支店 水戸	(029)226-1717	埼玉支店 大宮	(048)649-1415	鳥取支店 鳥取	(0857)27-5311
土浦支店 土浦	(0298)23-6161	千葉支店 千葉	(043)238-8116	岡山支店 岡山	(086)225-4455
群馬支店 高崎	(027)326-1255	神奈川支店 横浜	(045)682-4524	松山支店 松山	(089)945-4149
太田支店 太田	(0276)46-4011	三重支店 津	(059)225-7341	九州支社 福岡	(092)261-2806