

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

V821™

## 32/16ビット・マイクロプロセッサ

μPD70741（別名称V821）は、組み込み制御向け高性能32ビット・マイクロプロセッサμPD70732（別名称V810™）をプロセッサ・コアに使用して、DRAM/ROMコントローラ、2チャンネルのDMAコントローラ、リアルタイム・パルス・ユニット、シリアル・インタフェース、割り込みコントローラなどの周辺機器を内蔵した32/16ビットRISCマイクロプロセッサです。

V821は、高いリアルタイム応答性、高速な整数演算命令、ビット・ストリング操作命令、浮動小数点演算命令を持ち、プリンタ、ファクシミリをはじめとするOA機器、ナビゲーションなどの画像処理機器、または携帯型機器などへの応用が、きわめて高いコスト・パフォーマンスで実現できます。

詳しい機能説明などは次のマニュアルに記載しております。設計の際には必ずお読みください。

- ・V821 ユーザーズ・マニュアル ハードウェア編：U10077J
- ・V810ファミリ™ ユーザーズ・マニュアル アーキテクチャ編：U10082J

## 特 徴

32ビット・マイクロプロセッサV810をCPUコアに使用

- ・アドレス/データ分離型バス
- アドレス・バス：24ビット
- データ・バス：16ビット

- ・1Kバイトの命令キャッシュ・メモリ内蔵
- ・1クロック・ピッチのパイプライン
- ・内部4Gバイトのリニア・アドレス空間
- ・汎用レジスタ：32ビット×32本

各種応用分野に適した命令群

- ・浮動小数点演算命令、ビット・ストリング操作命令

割り込みコントローラ

- ・ノンマスクابل：外部1本
- ・マスクابل：外部8本、内部11要因
- ・4つのグループごとに優先順位を指定可能

ウェイト・コントロール・ユニット

- ・メモリ、I/O空間あわせて4ブロックのCS制御可能
- ・各ブロックのリニア・アドレス空間：16Mバイト

メモリ・アクセス制御機能

- ・DRAM高速ページ・モード対応
- ・Page-ROMページ・モード対応
- DMAコントローラ(DMAC)：2チャンネル
- ・最大転送回数：65536回
- ・2種類の転送タイプ(フライバイ(1サイクル), 2サイクル)
- ・3種類の転送モード(シングル, シングルステップ, ブロック)

シリアル・インタフェース：2チャンネル

- ・非同期式シリアル・インタフェース(UART)：1チャンネル
- ・同期式シリアル・インタフェース(CSI)：1チャンネル
- リアルタイム・パルス・ユニット

- ・16ビット・タイマ/イベント・カウンタ：1チャンネル

- ・16ビット・インターバル・タイマ：1チャンネル

ウォッチドッグ・タイマ機能

クロック・ジェネレータ機能

スタンバイ機能(HALT, IDLE, STOPモード)

本資料の内容は、予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。

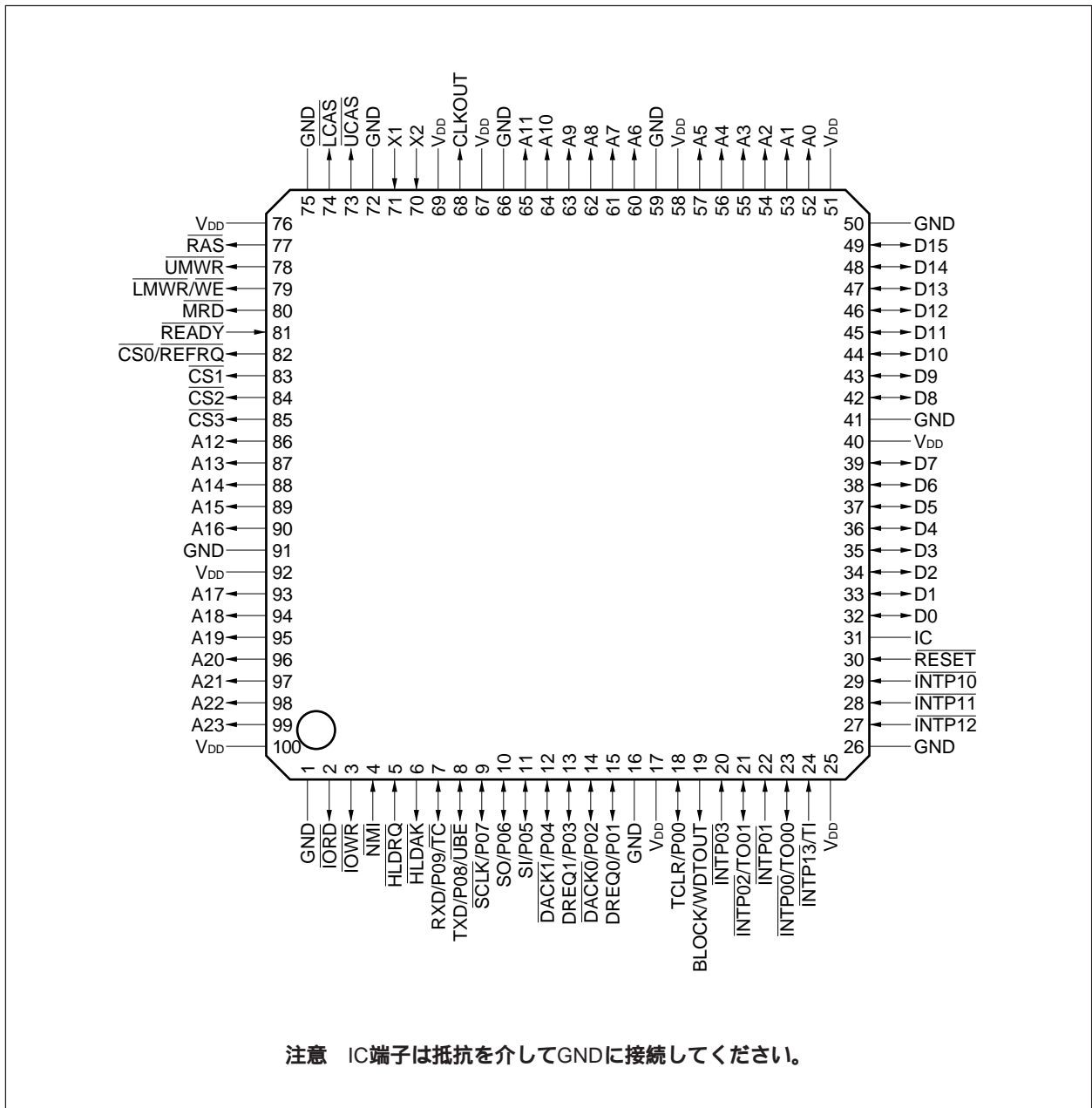
★ オーダ情報

オーダ名称	パッケージ
μPD70741GC-25-8EU	100ピン・プラスチックLQFP (ファインピッチ) ( 14 mm ) ( 樹脂厚1.40 mm )

★ 端子接続図 (Top View)

100ピン・プラスチックLQFP (ファインピッチ) ( 14 mm )

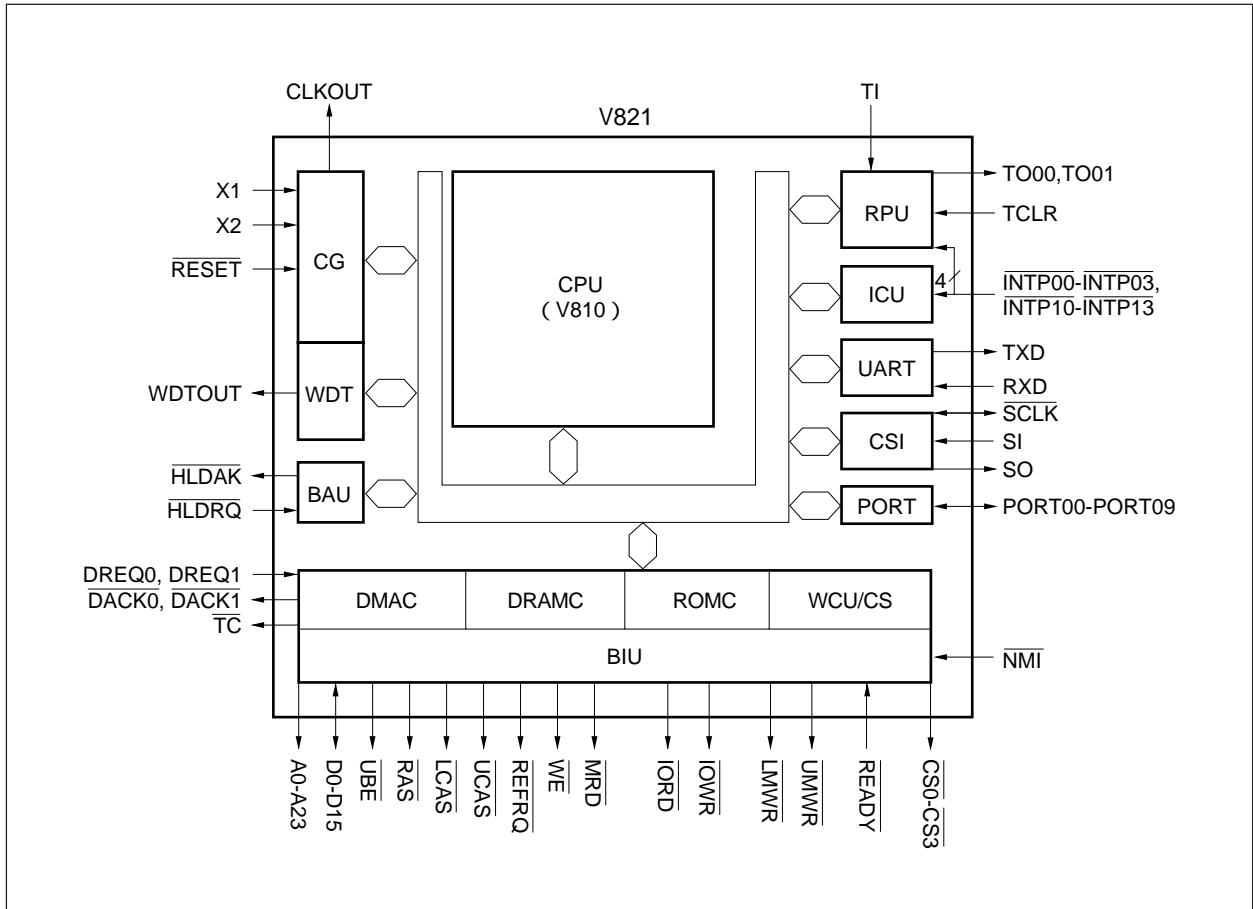
μPD70741GC-25-8EU



## 端子名称

A0-A23	: Address Bus
BLOCK	: Bus Lock
CLKOUT	: System Clock Out
$\overline{\text{CS0-CS3}}$	: Chip Select
D0-D15	: Data Bus
$\overline{\text{DACK0, DACK1}}$	: DMA Acknowledge
$\overline{\text{DREQ0, DREQ1}}$	: DMA Request
$\overline{\text{HLDACK}}$	: Hold Acknowledge
$\overline{\text{HLDRQ}}$	: Hold Request
$\overline{\text{INTP00-INTP03, INTP10-INTP13}}$	: Interrupt Request
$\overline{\text{IORD}}$	: I/O Read
$\overline{\text{IOWR}}$	: I/O Write
$\overline{\text{LCAS}}$	: Lower Column Address Strobe
$\overline{\text{LMWR}}$	: Lower Memory Write
$\overline{\text{MRD}}$	: Memory Read
$\overline{\text{NMI}}$	: Non-maskable Interrupt Request
P00-P09	: Port
$\overline{\text{RAS}}$	: Row Address Strobe
$\overline{\text{READY}}$	: Ready
$\overline{\text{REFRQ}}$	: Refresh Request
$\overline{\text{RESET}}$	: Reset
$\overline{\text{RXD}}$	: Receive Data
$\overline{\text{SCLK}}$	: Serial Clock
SI	: Serial Input
SO	: Serial Output
$\overline{\text{TC}}$	: Terminal Count
TCLR	: Timer Clear
TI	: Timer Input
TO00, TO01	: Timer Output
$\overline{\text{TXD}}$	: Transmit Data
$\overline{\text{UBE}}$	: Upper Byte Enable
$\overline{\text{UCAS}}$	: Upper Column Address Strobe
$\overline{\text{UMWR}}$	: Upper Memory Write
$\overline{\text{WDTOUT}}$	: Watchdog Timer Output
$\overline{\text{WE}}$	: Write Enable
X1, X2	: Crystal Oscillator

★ 内部ブロック図



## 目 次

1 . 端子機能一覧	...	8	
1.1	ポート端子	...	8
1.2	ポート以外の端子	...	8
1.3	端子の入出力回路と未使用端子の処理	...	10
2 . 内部ユニット	...	12	
2.1	バス・インタフェース・ユニット (BIU)	...	12
2.2	ウエイト・コントロール・ユニット (WCU)	...	12
2.3	DRAMコントローラ (DRAMC)	...	12
2.4	ROMコントローラ (ROMC)	...	12
2.5	割り込みコントローラ	...	12
2.6	DMAコントローラ (DMAC)	...	12
2.7	シリアル・インタフェース (UART/CSI)	...	12
2.8	リアルタイム・パルス・ユニット (RPU)	...	12
2.9	ウォッチドッグ・タイマ (WDT)	...	13
2.10	クロック・ジェネレータ (CG)	...	13
2.11	バス・アービトレーション・ユニット (BAU)	...	13
2.12	ポ ー ト	...	13
3 . CPU機能	...	14	
3.1	特 徴	...	14
3.2	アドレス空間	...	14
3.2.1	メモリ・マップ	...	15
3.2.2	I/Oマップ	...	16
3.3	CPUレジスタ・セット	...	17
3.3.1	プログラム・レジスタ・セット	...	18
3.3.2	システム・レジスタ・セット	...	19
3.4	内蔵周辺I/Oレジスタ	...	20
3.5	データ・タイプ	...	23
3.5.1	サポートするデータ・タイプ	...	23
3.5.2	データのアラインメント	...	25
3.6	キャッシュ	...	26
4 . 割り込み/例外処理機能	...	27	
4.1	特 徴	...	27
5 . ウエイト制御機能	...	30	
5.1	特 徴	...	30

- 6 . メモリ・アクセス制御機能 ... 32
  - 6.1 DRAMコントローラ (DRAMC) ... 32
    - 6.1.1 特 徴 ... 32
    - 6.1.2 アドレス・マルチプレクス機能 ... 32
    - 6.1.3 リフレッシュ機能 ... 33
    - 6.1.4 セルフ・リフレッシュ機能 ... 33
  - 6.2 ROMコントローラ (ROMC) ... 33
    - 6.2.1 on-page/off-pageの判断 ... 33
  
- 7 . DMA機能 (DMAコントローラ) ... 35
  - 7.1 特 徴 ... 35
  
- 8 . シリアル・インタフェース機能 ... 37
  - 8.1 特 徴 ... 37
  - 8.2 アシクロナス・シリアル・インタフェース (UART) ... 37
    - 8.2.1 特 徴 ... 37
  - 8.3 クロック同期式シリアル・インタフェース (CSI) ... 39
    - 8.3.1 特 徴 ... 39
  - 8.4 ボー・レート・ジェネレータ (BRG) ... 40
    - 8.4.1 構成と機能 ... 40
  
- 9 . タイマ/カウンタ機能 (リアルタイム・パルス・ユニット) ... 41
  - 9.1 特 徴 ... 41
  
- 10 . ウォッチドッグ・タイマ機能 ... 43
  - 10.1 特 徴 ... 43
  - 10.2 動 作 ... 44
  
- 11 . ポート機能 ... 45
  - 11.1 特 徴 ... 45
  
- 12 . クロック発生機能 ... 46
  - 12.1 特 徴 ... 46
  
- 13 . スタンバイ機能 ... 47
  - 13.1 特 徴 ... 47
  - 13.2 スタンバイ・モード ... 47
  
- 14 . リセット機能 ... 49
  - 14.1 特 徴 ... 49
  - 14.2 端子機能 ... 49



- 15. 命令セット ... 50
  - 15.1 命令フォーマット ... 50
  - 15.2 命令モニック（アルファベット順） ... 52
  
- 16. 電気的特性 ... 61
  
- 17. 外形図 ... 105
  
- 18. 半田付け推奨条件 ... 106

1. 端子機能一覧

1.1 ポート端子

端子名称	入出力	機 能	兼用端子
P00	入出力	ポート0 10ビット入出力ポート 1ビット単位で入/出力の設定が可能	TCLR
P01			DREQ0
P02			$\overline{\text{DACK0}}$
P03			DREQ1
P04			$\overline{\text{DACK1}}$
P05			SI
P06			SO
P07			SCLK
P08			TXD/ $\overline{\text{UBE}}$
P09			RXD/ $\overline{\text{TC}}$

備考 リセット解除後，各ポート端子は入力ポートとなります。

1.2 ポート以外の端子

( 1/2 )

端子名称	入出力	機 能	兼用端子
A0-A23	3ステート出力	アドレス・バス信号	-
D0-D15	3ステート入出力	双方向のデータ・バス信号	-
$\overline{\text{READY}}$	入力	バス・サイクルの終結許可信号	-
$\overline{\text{HLDRQ}}$	入力	バス使用権要求信号	-
$\overline{\text{HLDK}}$	出力	バス使用許可信号	-
BLOCK	出力	バス使用禁止信号	WDTOUT
$\overline{\text{MRD}}$	3ステート出力	メモリに対するリード・ストロープ信号	-
$\overline{\text{LMWR}}$	3ステート出力	メモリの下位データに対するライト・ストロープ信号	$\overline{\text{WE}}$
$\overline{\text{UMWR}}$	3ステート出力	メモリの上位データに対するライト・ストロープ信号	-
$\overline{\text{IORD}}$	3ステート出力	I/Oデータに対するリード・ストロープ信号	-
$\overline{\text{IOWR}}$	3ステート出力	I/Oデータに対するライト・ストロープ信号	-
$\overline{\text{UBE}}$	3ステート出力	データ・バス上位バイト・イネーブル信号	TXD/P08
$\overline{\text{RESET}}$	入力	システム・リセット入力	-
X1, X2	入力	クリスタル接続 / 外部クロック入力	-

(2/2)

端子名称	入出力	機能	兼用端子
CLKOUT	出力	システム・クロック出力	-
$\overline{CS0}$	3ステート出力	チップ・セレクト信号	$\overline{REFRQ}$
$\overline{CS1}$			-
$\overline{CS2}$			-
$\overline{CS3}$			-
$\overline{INTP00}$	入力	割り込み要求入力	TO00
$\overline{INTP01}$			-
$\overline{INTP02}$			TO01
$\overline{INTP03}$			-
$\overline{INTP10}$			-
$\overline{INTP11}$			-
$\overline{INTP12}$			-
$\overline{INTP13}$			TI
$\overline{NMI}$			入力
$\overline{REFRQ}$	3ステート出力	DRAMに対するリフレッシュ要求信号	$\overline{CS0}$
$\overline{RAS}$	3ステート出力	DRAMに対するロウ・アドレス・ストロープ信号	-
$\overline{LCAS}$	3ステート出力	DRAMの下位データに対するカラム・アドレス・ストロープ信号	-
$\overline{UCAS}$	3ステート出力	DRAMの上位データに対するカラム・アドレス・ストロープ信号	-
$\overline{WE}$	3ステート出力	DRAMに対するライト・ストロープ信号	$\overline{LMWR}$
DREQ0	入力	DMA要求信号 (チャンネル0)	P01
DREQ1	入力	DMA要求信号 (チャンネル1)	P03
$\overline{DACK0}$	出力	DMA許可信号 (チャンネル0)	P02
$\overline{DACK1}$	出力	DMA許可信号 (チャンネル1)	P04
$\overline{TC}$	出力	DMA終了信号	RXD/P09
TO00	出力	RPUのパルス出力	$\overline{INTP00}$
TO01			$\overline{INTP02}$
TCLR	入力	タイマ0への外部クリア, スタート信号入力	P00
TI	入力	タイマ0への外部カウント・クロック入力	$\overline{INTP13}$
TXD	出力	UARTのシリアル・データ出力	$\overline{UBE}/P08$
RXD	入力	UARTのシリアル・データ入力	$\overline{TC}/P09$
$\overline{SCLK}$	入出力	CSIのシリアル・クロック入出力	P07
SO	出力	CSIのシリアル・データ出力	P06
SI	入力	CSIのシリアル・データ入力	P05
WDTOUT	出力	WDTのオーバフロー信号	BLOCK
IC	-	内部接続 (抵抗を介してGNDに接続してください)	-
V <sub>DD</sub>	-	正電源供給	-
GND	-	グランド電位	-

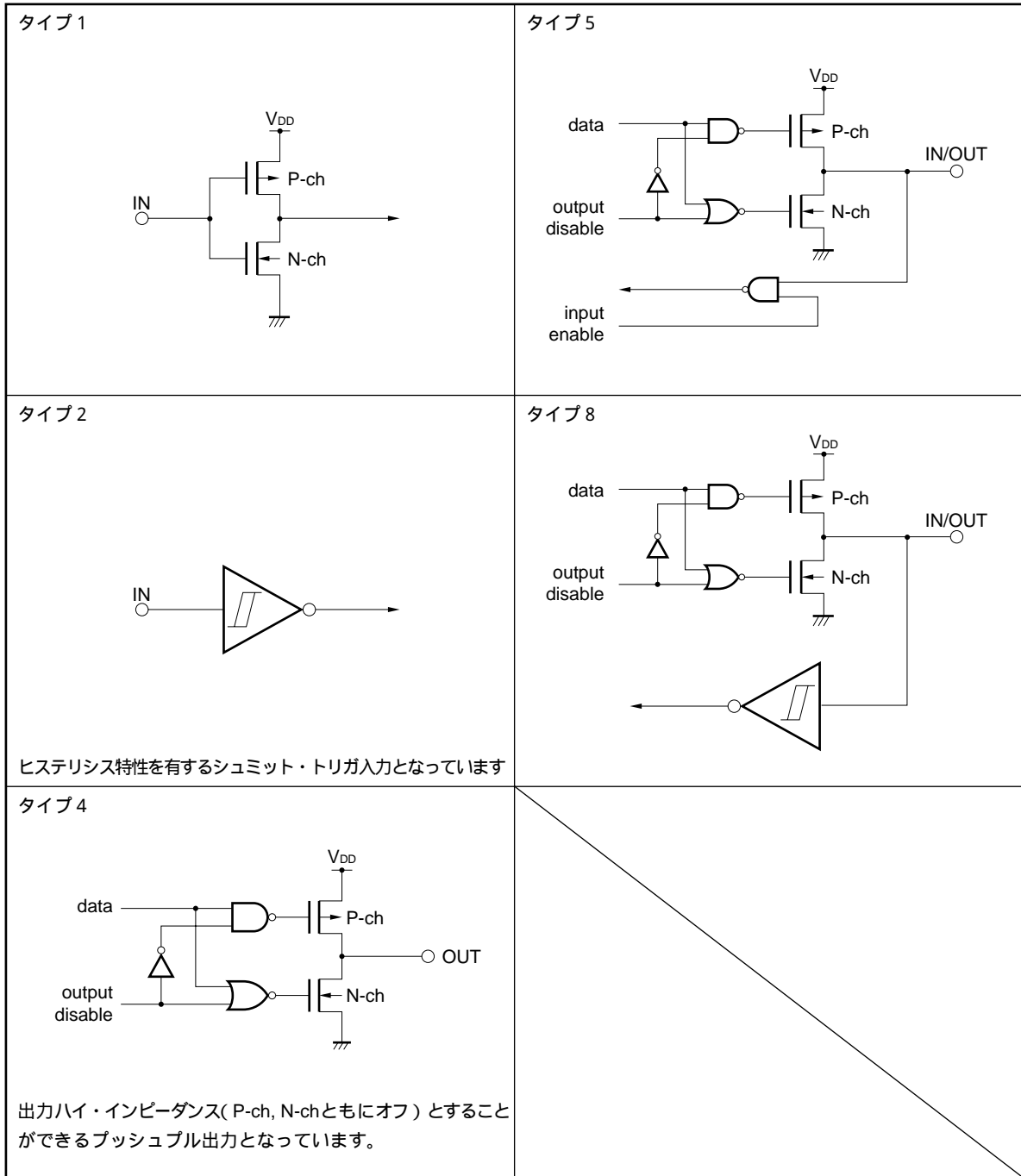
1.3 端子の入出力回路と未使用端子の処理

表 1 - 1 は、各端子の入出力回路タイプと未使用時の処理方法を示します。また、図 1 - 1 は各タイプの回路です。

表 1 - 1 端子の入出力回路タイプと未使用時の推奨接続方法

端 子	入出力回路タイプ	推奨接続方法		
P00/TCLR	5	入力状態：個別に抵抗を介してV <sub>DD</sub> またはGNDに接続してください。 出力状態：オープンにしてください。		
P01/DREQ0				
P02/DACK0				
P03/DREQ1				
P04/DACK1				
P05/SI				
P06/SO				
P07/SCLK				
P08/TXD/UBE				
P09/RXD/TC				
D0-D15	5	オープンにしてください。		
A0-A7, A16-A18				
A8-A15, A19-A23	4	オープンにしてください。		
READY	1	抵抗を介してGNDに接続してください。		
HLD <sub>RQ</sub>		抵抗を介してV <sub>DD</sub> に接続してください。		
HLD <sub>AK</sub>	4	オープンにしてください。		
BLOCK/WDTOUT				
MRD				
LMWR/WE				
UMWR				
IORD				
IOWR				
CLKOUT				
CS0/REFRQ				
CS1-CS3				
INTP00/TO00			8	抵抗を介してV <sub>DD</sub> に接続してください。
INTP01			2	抵抗を介してV <sub>DD</sub> に接続してください。
INTP02/TO01			8	抵抗を介してV <sub>DD</sub> に接続してください。
INTP03	2	抵抗を介してV <sub>DD</sub> に接続してください。		
INTP10-INTP12				
INTP13/TI				
NMI				
RESET				
RAS			4	オープンにしてください。
LCAS				
UCAS				
X2	-			
IC	-	抵抗を介してGNDに接続してください。		

図 1 - 1 端子の入出力回路



## 2. 内部ユニット

### 2.1 バス・インタフェース・ユニット (BIU)

アドレス・バス, データ・バス, コントロール・バスの端子制御を行います。CPU, DMACで起動されたバス・サイクルは, WCU, DRAMC, ROMCなどを介して制御されます。

### 2.2 ウェイト・コントロール・ユニット (WCU)

4本のチップ・セレクト信号 ( $\overline{CS0}$ - $\overline{CS3}$ ) に対応する4個のブロックを管理します。

チップ・セレクト信号の生成, ウェイトの制御, およびバス・サイクルの種類を選択を行います。

### 2.3 DRAMコントローラ (DRAMC)

$\overline{RAS}$ ,  $\overline{UCAS}$ ,  $\overline{LCAS}$  信号の生成 (2CAS制御) とDRAMへのアクセス制御を行います。

DRAMの高速ページ・モードに対応しており, DRAMへのアクセスには, 通常アクセス (off-page) と高速ページ・アクセス (on-page) の2種類のサイクルがあります。

### 2.4 ROMコントローラ (ROMC)

ページ・アクセス機能付きROMへのアクセスに対応します。

直前のバス・サイクルとのアドレス比較を行い, 通常アクセス (off-page) / ページ・アクセス (on-page) のウェイト制御を行います。8-64バイトのページ幅に対応できます。

### 2.5 割り込みコントローラ

内蔵周辺ハードウェアおよび, 外部からのマスカブル割り込み要求 ( $\overline{INTP00}$ - $\overline{INTP03}$ ,  $\overline{INTP10}$ - $\overline{INTP13}$ ) を処理します。これらの割り込み要求は, 4つのグループ単位ごとに優先順位を指定することができ, 割り込み要因に対し多重処理制御を行うことができます。

### 2.6 DMAコントローラ (DMAC)

CPUの代わりにメモリ, I/O間でのデータの転送を行います。

アドレス・モードには, フライバイ (1サイクル) 転送, 2サイクル転送があります。バス・モードには, シングル転送, シングルステップ転送, ブロック転送の3種類があります。

### 2.7 シリアル・インタフェース (UART/CSI)

V821には, シリアル・インタフェースとして, アシクロナス・シリアル・インタフェース (UART) とクロック同期式シリアル・インタフェース (CSI) を各1チャンネル備えています。

UARTは, TXD, RXD端子によりデータ転送を行います。

CSIは, SO, SI,  $\overline{SCLK}$  端子によりデータ転送を行います。

シリアル・クロック・ソースは, ボー・レート・ジェネレータ出力とシステム・クロックから選択できます。

### 2.8 リアルタイム・パルス・ユニット (RPU)

16ビットのタイマ/イベント・カウンタと, 16ビットのインターバル・タイマを内蔵し, パルス間隔や周波数の計算, プログラマブルなパルスの出力が可能です。

### 2.9 ウォッチドッグ・タイマ (WDT)

プログラムの暴走，システムの異常などを検出するための8ビットのウォッチドッグ・タイマを内蔵しています。ウォッチドッグ・タイマのオーバフローにより，WDTOUT端子がアクティブになります。

### 2.10 クロック・ジェネレータ (CG)

X1，X2端子に接続された発振子の5倍（内蔵PLL使用時）または，1/2倍（内蔵PLL未使用時）の周波数をCPUの動作クロックとして供給します。また，発振子を接続する代わりに外部クロックを入力することもできます。

### 2.11 バス・アービトレーション・ユニット (BAU)

各バス・マスタ（CPU，DRAMC，DMAC，外部バス・マスタ）間でバス使用権の調停を行います。

バス使用権は，各バス・サイクルおよびアイドル・ステートにおいて切り替えることができます。

### 2.12 ポート

ポート0に合計10本の入出力ポートを備えています。ポート端子とコントロール端子の機能を選択して使用することができます。

### 3 . CPU機能

CPUは、組み込み制御向けマイクロプロセッサV810と同等の機能を持ち、ビット・ストリング命令、浮動小数点演算命令、高いリアルタイム応答性を備えています。

#### 3.1 特 徴

CPUの特徴を次に示します。

高性能32ビットRISCマイクロプロセッサ

- ・ 1 Kバイトのキャッシュ・メモリ内蔵
- ・ 1 クロック・ピッチのパイプライン構造
- ・ 16ビットのデータ・バス
- ・ 32ビット汎用レジスタ：32本
- ・ 4 Gバイトのリニア・アドレス空間

各種応用分野に適した命令群

- ・ 浮動小数点演算命令（IEEE754データ・フォーマット準拠）
- ・ ビット・ストリング命令

高速割り込み応答

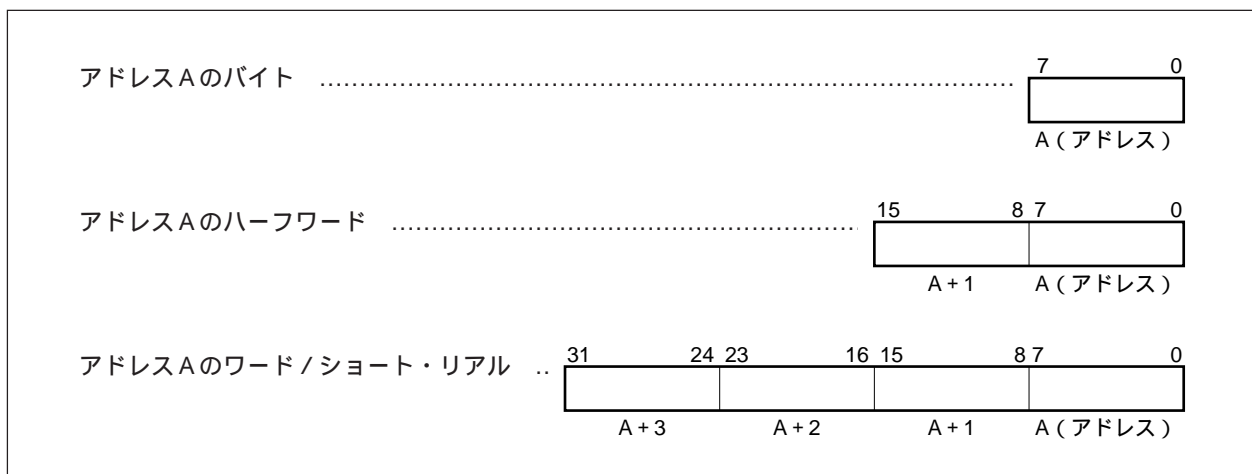
ディバグ・サポート機能

#### 3.2 アドレス空間

V821は内部4 Gバイトのメモリ空間とI/O空間をサポートしています。V821からメモリ、I/Oに対して24ビット・アドレスが出力されますので、アドレス番地は0 から $2^{24} - 1$ となります。

各バイト・データはビット番号0をLSB（Least Significant Bit）、ビット番号7をMSB（Most Significant Bit）と定義されています。また、複数バイト構成のデータでは特に注意しないかぎり、下位側アドレスのバイト・データがLSBとなり、上位側アドレスのバイト・データがMSBと定義されています。

V821では、2 バイト構成のデータをハーフワード、4 バイト構成のデータをワードと呼びます。このデータ・シートでは、複数バイト構成のメモリ・データおよび、I/Oデータを表現する場合、次のように、右側を下位側アドレス、左側を上位側アドレスとして表現します。





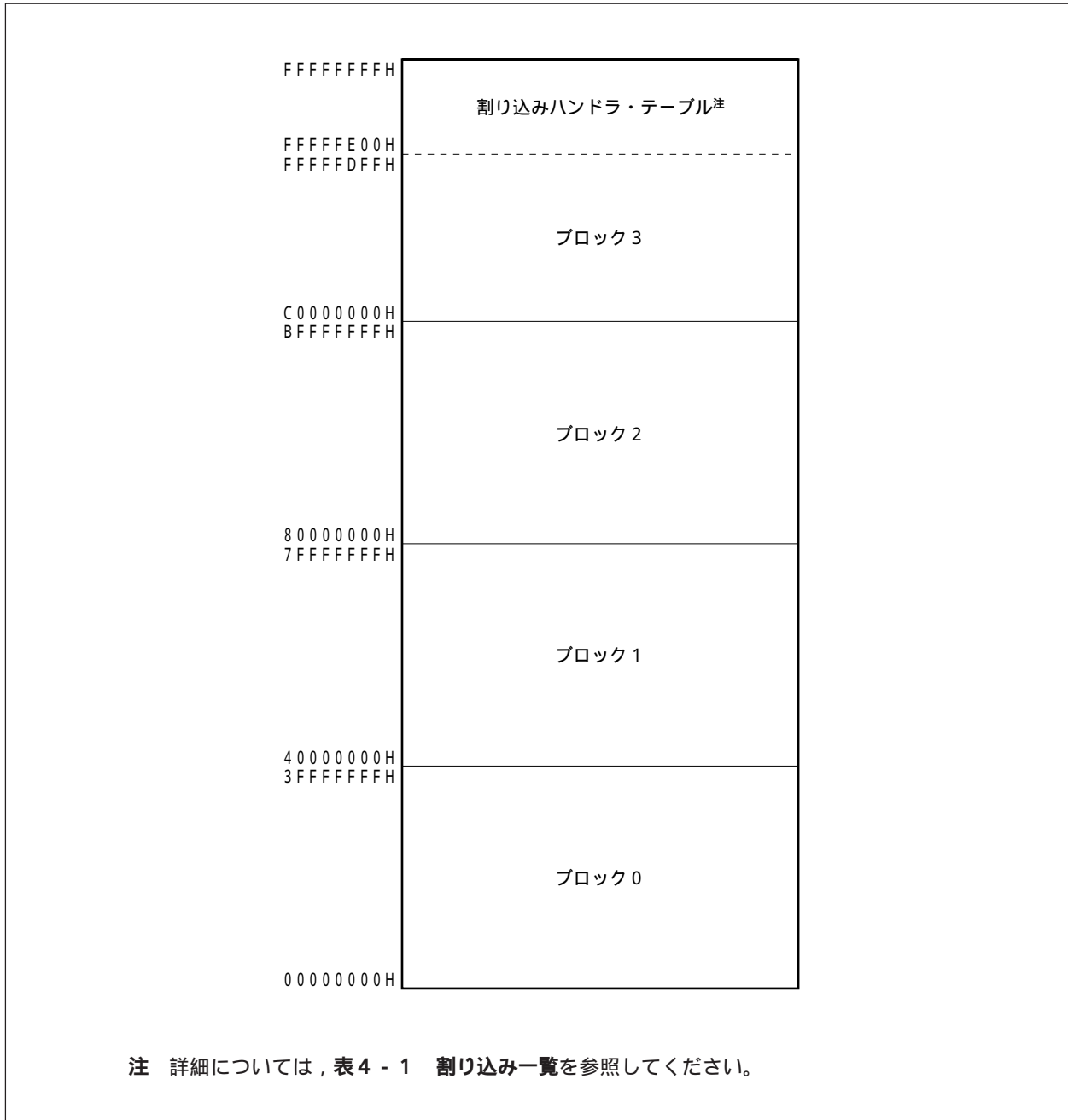
3.2.1 メモリ・マップ

V821のメモリ・マップを図3 - 1に示します。

内部4 Gバイトのメモリ空間は、それぞれ1 Gバイトのブロックに分割されます。

各ブロックのリニア・アドレス空間は16 Mバイトになります (32ビット・アドレスのうち、下位24ビットを出力)。

図3 - 1 メモリ・マップ



3.2.2 I/Oマップ

V821のI/Oマップを図3 - 2に示します。

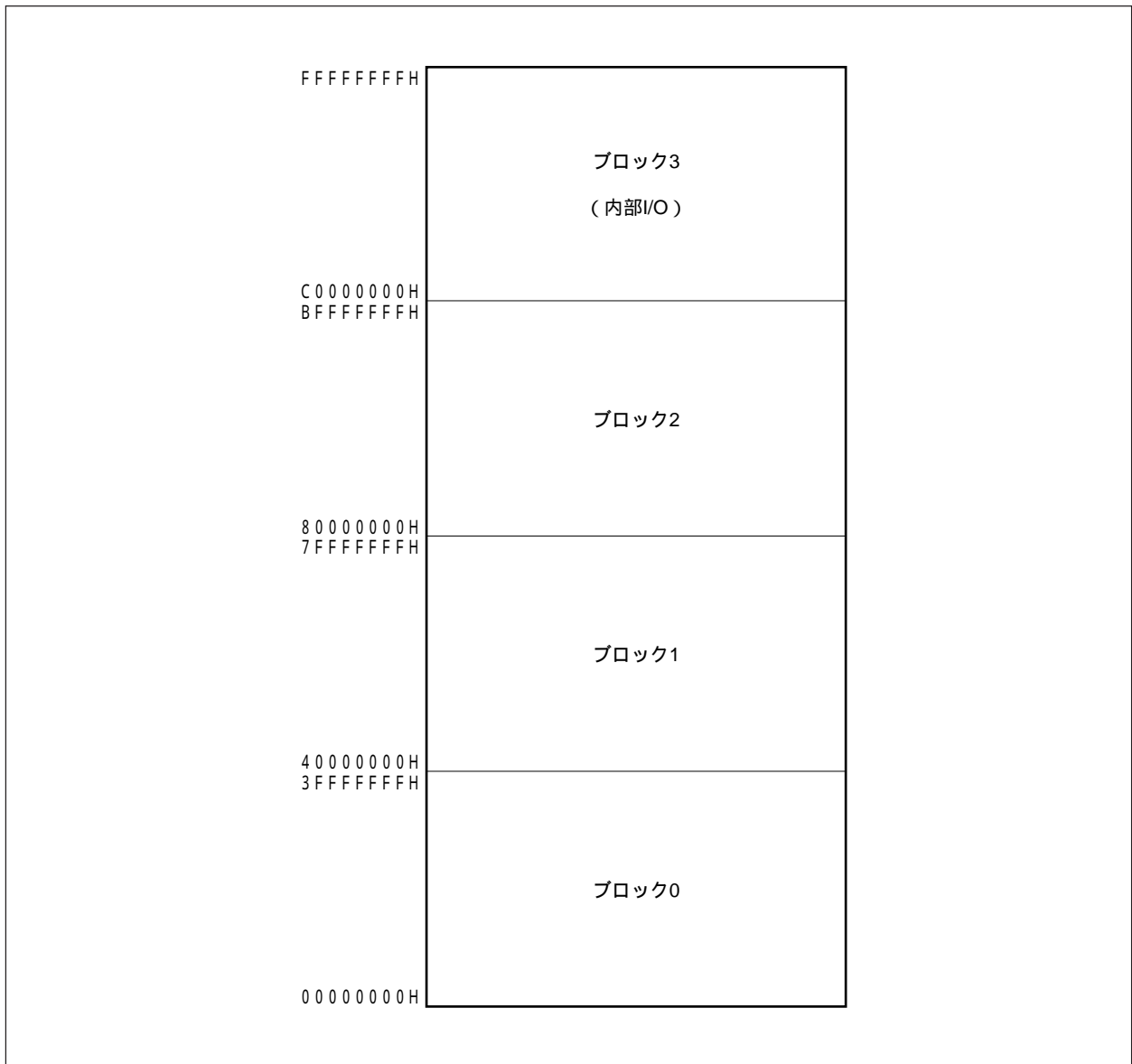
内部4 Gバイトのメモリ空間は、それぞれ1 Gバイトのブロックに分割されます。

各ブロックのリニア・アドレス空間は、16 Mバイトになります（32ビット・アドレスのうち、下位24ビットを出力）。

V821は、I/OアドレスのC0000000H-FFFFFFFFH番地（I/Oブロック3）を内部I/O空間として予約し、各ユニットはこの内部I/O空間にマッピングされています。

内部I/O空間の構成については、3.4 内蔵周辺I/Oレジスタを参照してください。

図3 - 2 I/Oマップ



3.3 CPUレジスタ・セット

V821のレジスタは、汎用のプログラム・レジスタ・セットと、専用のシステム・レジスタ・セットの2種類に分類できます。すべてのレジスタは、32ビット幅となっています。

プログラム・レジスタ・セット

31	0
r0	Zero Register
r1	Reserved for Address Generation
r2	Handler Stack Pointer ( hp )
r3	Stack Pointer ( sp )
r4	Global Pointer ( gp )
r5	Text Pointer ( tp )
r6	
r7	
r8	
r9	
r10	
r11	
r12	
r13	
r14	
r15	
r16	
r17	
r18	
r19	
r20	
r21	
r22	
r23	
r24	
r25	
r26	String Destination Bit Offset
r27	String Source Bit Offset
r28	String Length
r29	String Destination
r30	String Source
r31	Link Pointer ( lp )

システム・レジスタ・セット

31	0
EIPC	Exception/Interrupt PC
EIPSW	Exception/Interrupt PSW
31	0
FEPC	Fatal Error PC
FEPSW	Fatal Error PSW
31	0
ECR	Exception Cause Register
31	0
PSW	Program Status Word
31	0
PIR	Processor ID Register
31	0
TKCW	Task Control Word
31	0
CHCW	Cache Control Word
31	0
ADTRE	Address Trap Register

31	0
PC	Program Counter

### 3.3.1 プログラム・レジスタ・セット

プログラム・レジスタには、汎用レジスタとプログラム・カウンタがあります。

#### (1) 汎用レジスタ

汎用レジスタとして、r0-r31の32本が用意されています。これらのレジスタは、どれでもデータ変数またはアドレス変数として利用できます。

ただし、r0, r26-r30は命令により暗黙的に使用しますので、これらのレジスタを使用する際には注意が必要です。また、r1-r5, r31はアセンブラとCコンパイラが暗黙的に使用しますので、これらのレジスタを使用する際には、レジスタの内容を破壊しないように退避してから使用し、使用後に元に戻す必要があります。

表3 - 1 プログラム・レジスタ一覧

名 称	用 途	動 作
r0	ゼロ・レジスタ	常にゼロを保持
r1	アセンブラ予約レジスタ	32ビット・イミューディエト作成用のワーキング・レジスタとして使用
r2	ハンドラ・スタック・ポインタ	ハンドラ用のスタック・ポインタとして使用
r3	スタック・ポインタ	関数コール時のスタック・フレーム生成時に使用
r4	グローバル・ポインタ	データ領域のグローバル変数をアクセスするときに使用
r5	テキスト・ポインタ	テキスト領域の先頭を指すレジスタ
r6-r25	-	アドレス / データ変数用レジスタ
r26	ストリング・デスティネーション開始ビット・オフセット	ビット・ストリング命令実行時に使用
r27	ストリング・ソース開始ビット・オフセット	
r28	ストリング・レンクス・レジスタ	
r29	ストリング・デスティネーション開始アドレス・レジスタ	
r30	ストリング開始アドレス・レジスタ	
r31	リンク・ポインタ	JAL命令により戻り先アドレスを格納

#### (2) プログラム・カウンタ

プログラム実行中の命令アドレスを保持しています。プログラム・カウンタ (PC) のビット0は0に固定されており、奇数番地への分岐を行うことはできません。リセット時には、FFFFFF0Hに初期化されます。

## 3.3.2 システム・レジスタ・セット

システム・レジスタは、CPUの状態制御、割り込み情報保持などを行います。

表3 - 2 システム・レジスタ番号

番号	レジスタ名称	用途	動作
0	EIPC	例外 / 割り込み時 状態退避レジスタ	例外または割り込みが発生した場合に、PCとPSWを退避するレジスタです。このレジスタは、1組しかないため多重割り込みを許す場合は、プログラムでこのレジスタを退避する必要があります。
1	EIPSW		
2	FEPC	NMI / 二重例外時 状態退避レジスタ	NMIまたは二重例外が発生した場合に、PCとPSWを退避するレジスタです。
3	FEPSW		
4	ECR	例外要因レジスタ	例外、マスクブル割り込み、NMIが発生した場合に、その要因を保持するレジスタです。このレジスタは、上位16ビットを“FECC”と呼びNMI/二重例外の例外コードがセットされます。下位16ビットは“EICC”と呼び例外/割り込みの例外コードがセットされます。
5	PSW	プログラム・ステータス・ワード	プログラム・ステータス・ワードは、プログラムの状態（命令実行結果）やCPUの状態を示すフラグの集合です。
6	PIR	プロセッサIDレジスタ	CPUタイプ番号を識別するためのレジスタです。
7	TKCW	タスク・コントロール・ワード	浮動小数点演算の制御を行うレジスタです。
8-23	予約		
24	CHCW	キャッシュ・コントロール・ワード	内蔵の命令キャッシュを制御するためのレジスタです。
25	ADTRE	アドレス・トラップ・レジスタ	PCとのアドレスの一致を検出してアドレス・トラップを発生させるためのアドレスを保持するレジスタです。
26-31	予約		

これらのシステム・レジスタへのリード/ライトは、システム・レジスタ・ロード/ストア命令（LDSR、STSR命令）で上述のシステム・レジスタ番号を指定することにより行います。

### 3.4 内蔵周辺I/Oレジスタ

内蔵周辺I/Oレジスタは、C0000000H-FFFFFFFFHの1 Gバイト空間のうち、C0000000H-C00000FFHの256バイトの領域に割り付けられています。C0000100H番地以降は、この256バイトのイメージが256バイトごとに発生します。

アドレスの最下位ビットはデコードしません。したがって、奇数アドレス(2n+1)のレジスタにバイト・アクセスした場合は、偶数アドレス(2n)のレジスタがアクセスされます。

8ビットのI/Oレジスタに対して16ビット・アクセスを行った場合、ライト時は上位8ビットが無視され、リード時は上位8ビットが不定になります。

表3 - 3に内蔵周辺I/Oレジスタの一覧を示します。

表3-3 内蔵周辺I/Oレジスタ一覧(1/2)

アドレス	機能レジスタ名称	略号	操作可能ビット		初期値
			8ビット	16ビット	
C0000010	ポート・モード・コントロール・レジスタ0	PMC0			0000H
C0000012	ポート・モード・レジスタ0	PM0			03FFH
C0000014	ポート・レジスタ0	P0			不定
C0000020	バス・サイクル・タイプ・コントロール・レジスタ	BCTC			01H
C0000022	プログラマブル・ウエイト・コントロール・レジスタ0	PWC0			77H
C0000024	プログラマブル・ウエイト・コントロール・レジスタ1	PWC1			77H
C0000026	プログラマブル・ウエイト・コントロール・レジスタ2	PWC2			77H
C0000028	DRAMコンフィギュレーション・レジスタ	DRC			81H
C000002A	リフレッシュ・コントロール・レジスタ	RFC			80H
C000002C	Page-ROMコンフィギュレーション・レジスタ	PRC			80H
C0000040	DMAソース・アドレス・レジスタ0H	DSA0H			不定
C0000042	DMAソース・アドレス・レジスタ0L	DSA0L			不定
C0000044	DMAデスティネーション・アドレス・レジスタ0H	DDA0H			不定
C0000046	DMAデスティネーション・アドレス・レジスタ0L	DDA0L			不定
C0000048	DMAソース・アドレス・レジスタ1H	DSA1H			不定
C000004A	DMAソース・アドレス・レジスタ1L	DSA1L			不定
C000004C	DMAデスティネーション・アドレス・レジスタ1H	DDA1H			不定
C000004E	DMAデスティネーション・アドレス・レジスタ1L	DDA1L			不定
C0000050	DMAバイト・カウント・レジスタ0	DBC0			不定
C0000052	DMAバイト・カウント・レジスタ1	DBC1			不定
C0000054	DMAチャンネル・コントロール・レジスタ0	DCHC0			0000H
C0000056	DMAチャンネル・コントロール・レジスタ1	DCHC1			0000H
C0000060	タイマ・ユニット・モード・レジスタ0	TUM0			0A00H
C0000062	タイマ・コントロール・レジスタ0	TMC0			00H
C0000064	タイマ・コントロール・レジスタ1	TMC1			00H
C0000066	タイマ出力コントロール・レジスタ0	TOC0			03H
C0000068	タイマ・オーバフロー・ステータス・レジスタ	TOVS			00H
C0000070	タイマ・レジスタ0	TM0			0000H
C0000072	キャプチャ/コンペア・レジスタ00	CC00			不定
C0000074	キャプチャ/コンペア・レジスタ01	CC01			不定
C0000076	キャプチャ/コンペア・レジスタ02	CC02			不定
C0000078	キャプチャ/コンペア・レジスタ03	CC03			不定
C000007C	タイマ・レジスタ1	TM1			0000H
C000007E	コンペア・レジスタ1	CM1			不定
C0000080	アシンクロナス・シリアル・インタフェース・モード・レジスタ	ASIM			00H
C0000082	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ	ASIS			00H

表3 - 3 内蔵周辺I/Oレジスタ一覧(2/2)

アドレス	機能レジスタ名称	略号	操作可能ビット		初期値
			8ビット	16ビット	
C0000084	受信バッファ	RXB			不定
C0000086	受信バッファL	RXBL			不定
C0000088	送信シフト・レジスタ	TXS			不定
C000008A	送信シフト・レジスタL	TXSL			不定
C0000090	クロック・シリアル・インタフェース・モード・レジスタ	CSIM			00H
C0000092	シリアルI/Oシフト・レジスタ	SIO			不定
C00000A0	ポー・レート・ジェネレータ・レジスタ	BRG			不定
C00000A2	ポー・レート・ジェネレータ・プリスケラ・モード・レジスタ	BPRM			00H
C00000B0	割り込みグループ優先順位レジスタ	IGP			E4H
C00000B2	割り込みクリア・レジスタ	ICR			0000H
C00000B4	割り込み要求レジスタ	IRR			0000H
C00000B6	割り込み要求マスク・レジスタ	IMR			FFFFH
C00000B8	ICUモード・レジスタ	IMOD			AAAAH
C00000C0	WDTモード・レジスタ	WDTM			00H
C00000D0	スタンバイ・コントロール・レジスタ	STBC			00H
C00000E0	クロック・コントロール・レジスタ	CGC			03H



### 3.5 データ・タイプ

#### 3.5.1 サポートするデータ・タイプ

V821のサポートするデータ・タイプを次に示します。

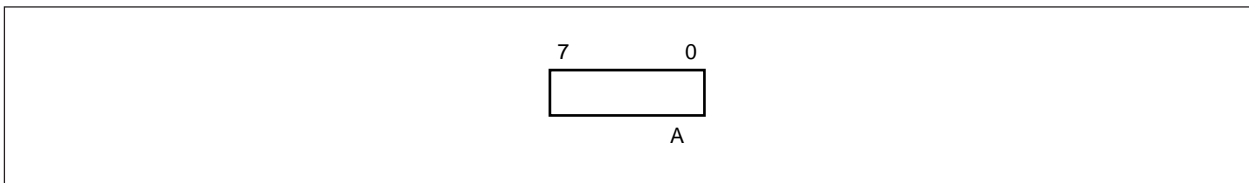
- ・ 整数 (8, 16, 32ビット)
- ・ 符号なし整数 (8, 16, 32ビット)
- ・ ビット・ストリング
- ・ 単精度浮動小数点データ (32ビット)

#### (1) データ・タイプとアドレッシング

V821のデータのアドレッシングは、リトル・エンディアンです。固定長のデータがメモリにある場合の形式を次に示します。

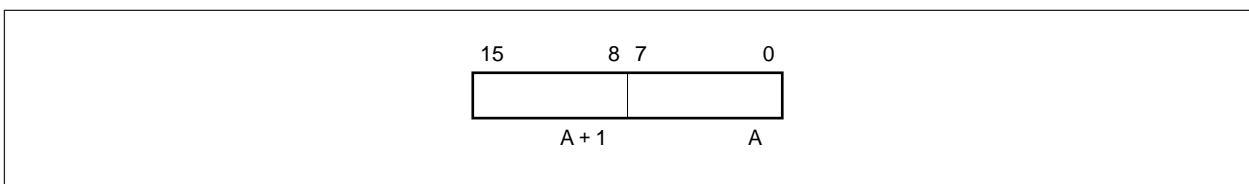
##### (a) バイト (BYTE)

バイトは、任意のバイト境界から始まる、連続した8ビットのデータです。各ビットには0から7までの番号が付けられており、LSB (Least Significant Bit) はビット0, MSB (Most Significant Bit) はビット7に対応します。バイトはそのアドレスAで指定されます。



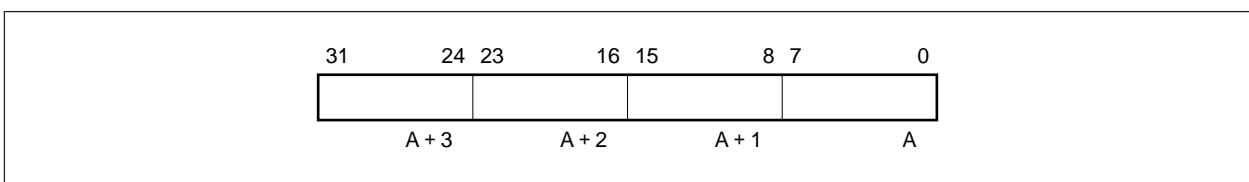
##### (b) ハーフワード (HALFWORD)

ハーフワードは、任意のハーフワード境界から始まる、連続した2バイト (16ビット) のデータです。各ビットには0から15までの番号が付けられており、LSB (Least Significant Bit) はビット0, MSB (Most Significant Bit) はビット15に対応します。ハーフワードはそのアドレスA (下位1ビットは0) で指定され、2つのバイトA, A+1を占めます。



##### (c) ワード (WORD) / ショート・リアル (SHORT REAL)

ワード/ショート・リアルは、任意のワード境界から始まる、連続した4バイト (32ビット) のデータです。各ビットには0から31までの番号が付けられており、LSB (Least Significant Bit) はビット0, MSB (Most Significant Bit) はビット31に対応します。ワード/ショート・リアルは、そのアドレスA (下位2ビットは0) で指定され、4つのバイトA, A+1, A+2, A+3を占めます。



**(2) 整数**

V821では、整数は2つの補数による2進数表現で表し、8ビット、16ビット、32ビットの3通りの長さを持っています。整数の位取りはその長さにかかわらず、ビット0を最下位ビットとし、ビット番号が増えるに従って位取りを高くします。

データ長	範囲
バイト 8 bit	- 128 ~ + 127
ハーフワード 16 bit	- 32768 ~ + 32767
ワード 32 bit	- 2147483648 ~ + 2147483647

**(3) 符号なし整数**

前項の整数が、正負両方の値をとるデータであるのに対して、符号なし整数は、負でない整数を意味します。整数同様、符号なし整数も2進数表現で表し、8ビット、16ビット、32ビットの3通りの長さを持っています。符号なし整数の位取りは、整数同様、その長さにかかわらず、ビット0を最下位ビットとし、ビット番号が増えるに従って位取りを高くします。ただし、符号ビットは存在しません。

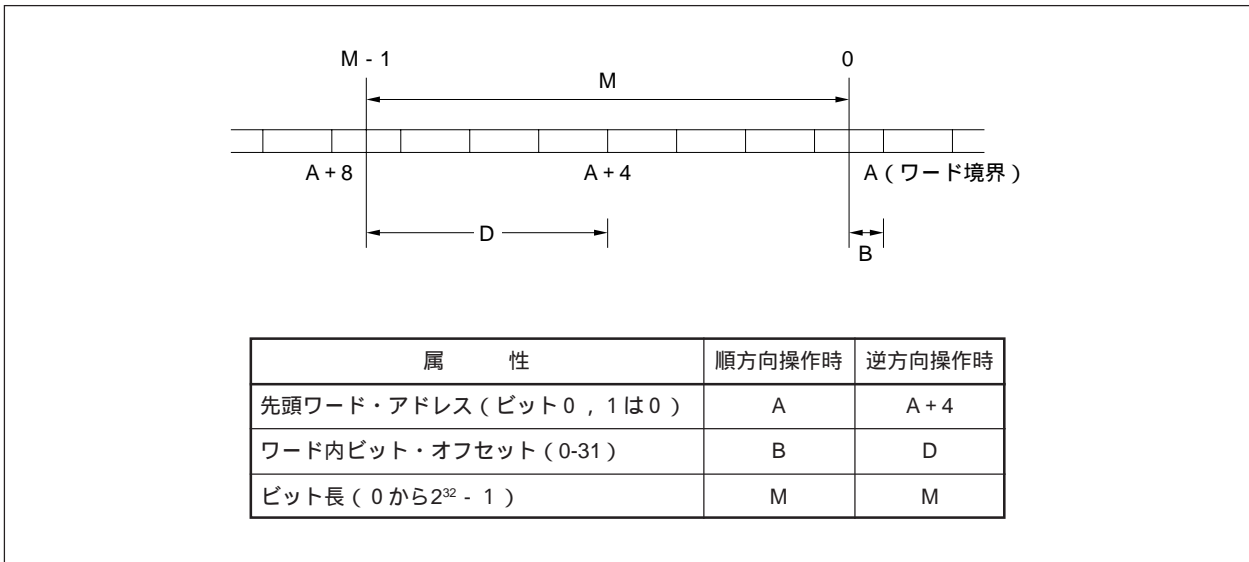
データ長	範囲
バイト 8 bit	0 ~ 255
ハーフワード 16 bit	0 ~ 65535
ワード 32 bit	0 ~ 4294967295

**(4) ビット・ストリング**

ビット・ストリングは、0から $2^{32} - 1$ までの任意のビット長を取り得るようなビット可変長のデータ・タイプです。ビット・ストリング・データは、次の3つの属性によって指定されます。

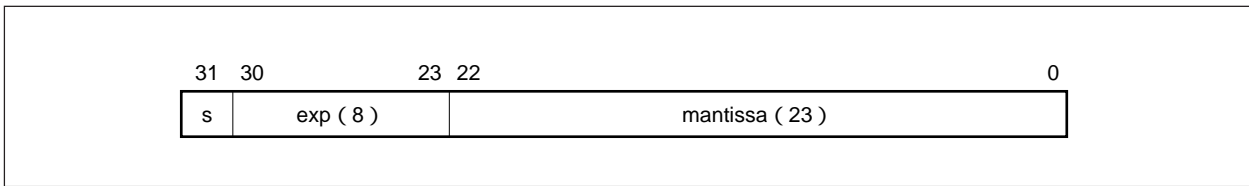
- ・ストリング・データの先頭ワード・アドレスA (下位2ビットは0)
- ・ストリング・データのワード内ビット・オフセットB (0 ~ 31)
- ・ストリング・データのビット長M (0 ~  $2^{32} - 1$ )

ビット・ストリング・データでは、その向きに対して、アドレスの大きくなる方向のことを順方向 (upward)、アドレスの小さくなる方向のことを逆方向 (downward) と呼びます。



(5) 単精度浮動小数点データ

32ビットのデータ・タイプで、表現形式はIEEEのシングル・フォーマットに準拠しています。1ビットの仮数符号ビットと8ビットの指数部 (バイアス値 - 127からのオフセット表現)、23ビットの仮数部 (整数部分を省略した2進表現) からなります。



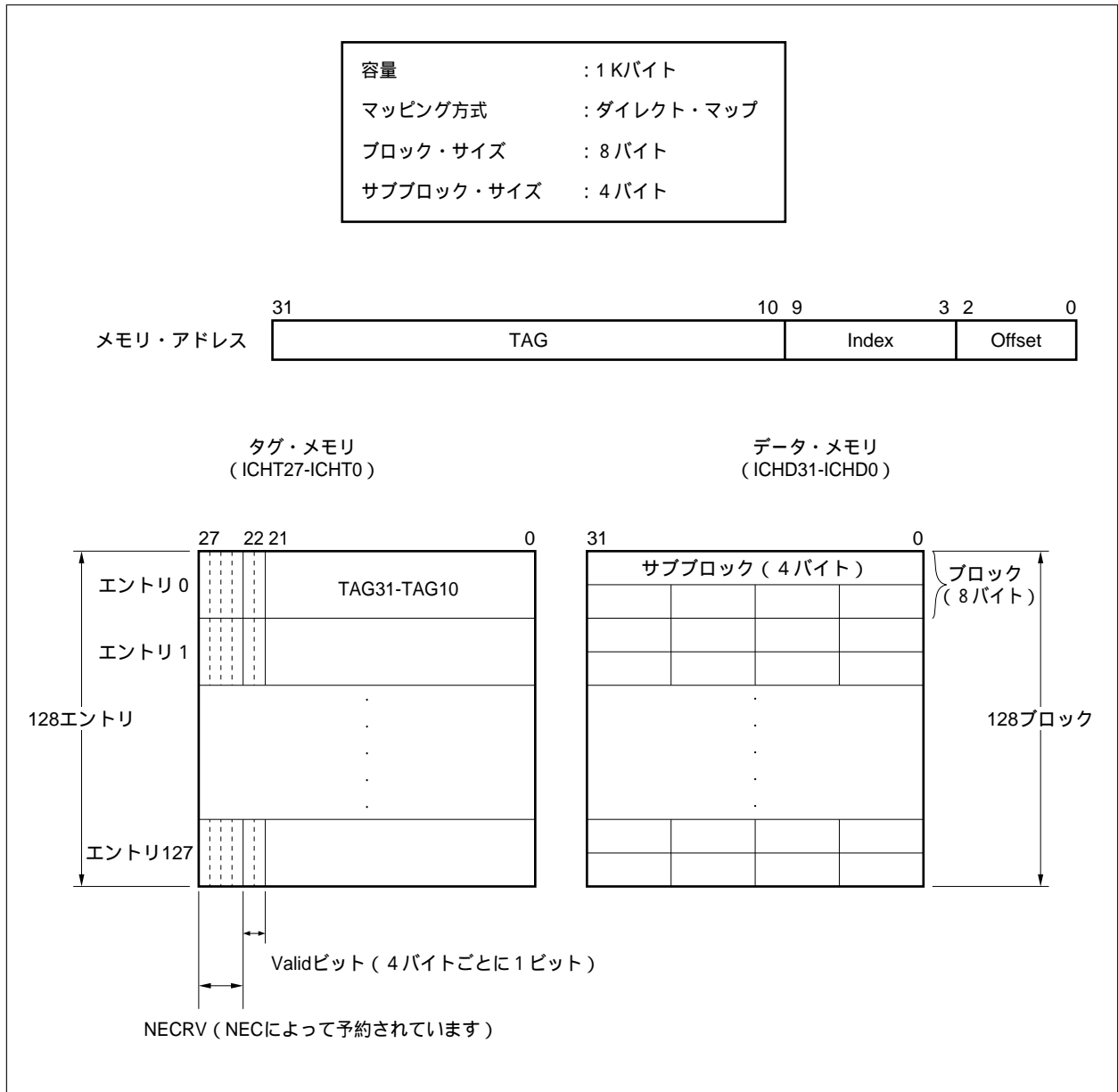
3.5.2 データのアラインメント

V821では、ワード・データはワード境界 (アドレスの下位2ビットが0)、ハーフワード・データはハーフワード境界 (アドレスの下位1ビットが0) にアラインしなければなりません。アラインされていない場合は、アドレスの下位 (ワード・データの場合は下位2ビット、ハーフワード・データの場合は下位1ビット) を自動的に0にマスクしてアクセスを行います。

### 3.6 キャッシュ

V821が内蔵する命令キャッシュの構成を図3-3に示します。

図3-3 キャッシュの構成



## 4. 割り込み / 例外処理機能

V821は、割り込み処理用に専用の割り込みコントローラ（ICU）を内蔵し、合計16要因の割り込み要求を処理できる強力な割り込み機能を実現しています。

なお、割り込みをプログラムの実行とは別に独立して発生する事象とし、例外をプログラムの実行に依存して発生する事象とします。一般に、例外は割り込みより優先的に処理されます。

V821では、内蔵している周辺ハードウェアおよび外部からの各種割り込み要求を処理できます。さらに、命令による例外処理の起動（TRAP命令）や、例外事象の発生（アドレス・トラップ、不正命令コードなど）による例外処理の起動が可能です。

### 4.1 特 徴

#### 割り込み

ノンマスクابل割り込み 1 要因

マスクابل割り込み 15 要因

4つのグループでのプログラマブル優先順位制御

優先順位に従った割り込み多重処理制御

個々のマスクابل割り込み要求に対するマスク指定

外部割り込み要求の有効エッジ指定

ノンマスクابل割り込み端子（ $\overline{\text{NMI}}$ ）には、アナログ・ディレイ（60-300 ns）によるノイズ除去回路を内蔵

#### 例外

ソフトウェア例外 32 要因

例外トラップ 10 要因

これらの割り込み / 例外要因を表 4 - 1 に示します。

表 4 - 1 割り込み一覧 (1/2)

種類	分類	グループ	グループ 内優先 順位	割り込み / 例外要因			例外 コード	ハンドラ・ アドレス	復帰PC <sup>注1</sup>
				名称	発生要因	発生ユニット			
リセット	割り込み	-	-	RESET	リセット入力	-	FFF0H	FFFFFFF0H	不定
ノンマスク ブル	割り込み	-	-	NMI	$\overline{\text{NMI}}$ 入力	-	FFD0H	FFFFFFD0H	next PC <sup>注2</sup>
ソフトウ エア例外	例外	-	-	TRAP 1nH	trap命令	-	FFBnH	FFFFFFB0H	next PC
		-	-	TRAP 0nH	trap命令	-	FFAnH	FFFFFFA0H	next PC
例外 トラップ	例外	-	-	DP-EX	二重例外	-	<b>注3</b>	FFFFFFD0H	current PC
		-	-	AD-TR	アドレス・トラップ	-	FFC0H	FFFFFFC0H	
		-	-	I-OPC	不正命令コード	-	FF90H	FFFFFF90H	
		-	-	DIV0	ゼロ除算	-	FF80H	FFFFFF80H	
		-	-	FIZ	浮動小数点無効演算	-	FF70H	FFFFFF60H	
		-	-	FZD	浮動小数点ゼロ除算	-	FF68H	FFFFFF60H	
		-	-	FOV	浮動小数点オーバ フロー	-	FF64H	FFFFFF60H	
		-	-	FUD	浮動小数点アンダ フロー <sup>注4</sup>	-	FF62H	FFFFFF60H	
		-	-	FPR	浮動小数点精度落 ち <sup>注4</sup>	-	FF61H	FFFFFF60H	
		-	-	FRO	浮動小数点予約済 みオペランド	-	FF60H	FFFFFF60H	

備考 n = 0H-FH

注 1 . 割り込み/例外処理起動時にEIPCまたはFEPCにセーブされるPC値のことです。

2 . 割り込みで命令実行を中断する命令 ( DIV/DIVU命令 , 浮動小数点演算命令 , ビット・ストリング命令 ) の実行中は , 復帰PC = current PCです。

3 . 1 回目に発生した例外コードはECRの下位16ビットに格納され , 2 回目に発生した例外コードは上位16ビットに格納されます。

4 . V821では , 浮動小数点アンダフロー例外と浮動小数点精度落ち例外は発生しません。

表 4 - 1 割り込み一覧 (2/2)

種類	分類	グループ	グループ 内優先 順位	割り込み / 例外要因			例外 コード	ハンドラ・ アドレス	復帰PC <sup>注1</sup>
				名称	発生要因	発生ユニット			
マスカブル	割り込み	GR3	3	RESERVED	予約	-	FEF0H	FFFFFFEF0H	next PC <sup>注2</sup>
			2	INTOV0	タイマ0 オーバーフロー	RPU	FEE0H	FFFFFFE0H	
			1	INTSER	UART受信エラー	UART	FED0H	FFFFFFED0H	
			0	INTP13	INTP13端子入力	外部	FEC0H	FFFFFFEC0H	
		GR2	3	INTSR	UART受信終了	UART	FEB0H	FFFFFFEB0H	
			2	INTST	UART送信終了	UART	FEA0H	FFFFFFEA0H	
			1	INTCSI	CSI送受信終了	CSI	FE90H	FFFFFFE90H	
			0	INTP12	INTP12端子入力	外部	FE80H	FFFFFFE80H	
		GR1	3	INTDMA	DMA転送終了	DMAC	FE70H	FFFFFFE70H	
			2	INTP00/ INTCC00	INTP00端子入力 / CC00の一致	外部 / RPU	FE60H	FFFFFFE60H	
			1	INTP01/ INTCC01	INTP01端子入力 / CC01の一致	外部 / RPU	FE50H	FFFFFFE50H	
			0	INTP11	INTP11端子入力	外部	FE40H	FFFFFFE40H	
		GR0	3	INTCM1	CM1の一致	RPU	FE30H	FFFFFFE30H	
			2	INTP02/ INTCC02	INTP02端子入力 / CC02の一致	外部 / RPU	FE20H	FFFFFFE20H	
			1	INTP03/ INTCC03	INTP03端子入力 / CC03の一致	外部 / RPU	FE10H	FFFFFFE10H	
			0	INTP10	INTP10端子入力	外部	FE00H	FFFFFFE00H	

注 1 . 割り込み/例外処理起動時にEIPCまたはFEPCにセーブされるPC値のことです。

2 . 割り込みで命令実行を中断する命令 ( DIV/DIVU命令 , 浮動小数点演算命令 , ビット・ストリング命令 ) の実行中は , 復帰PC = current PCです。

注意 マスカブル割り込みの例外コードとハンドラ・アドレスは , デフォルト優先順位での値です。

5. ウェイト制御機能

ウェイト・コントロール・ユニット (WCU) は、4本のチップ・セレクト信号に対応した4つのブロックを管理し、チップ・セレクト信号の生成、ウェイト制御およびバス・サイクルの種類を選択を行います。

5.1 特 徴

I/O, メモリ空間合わせて4ブロック制御可能

各ブロックのリニア・アドレス空間: 16 Mバイト

ウェイト制御

- ・ブロックごとに0-7ウェイト自動挿入
- ・ $\overline{\text{READY}}$ 端子によるウェイト挿入

バス・サイクルの選択機能

- ・Page-ROMサイクル選択可能 (アドレス・ブロック3)
- ・DRAMサイクル選択可能 (アドレス・ブロック0)

図5-1 メモリ, I/Oマップ

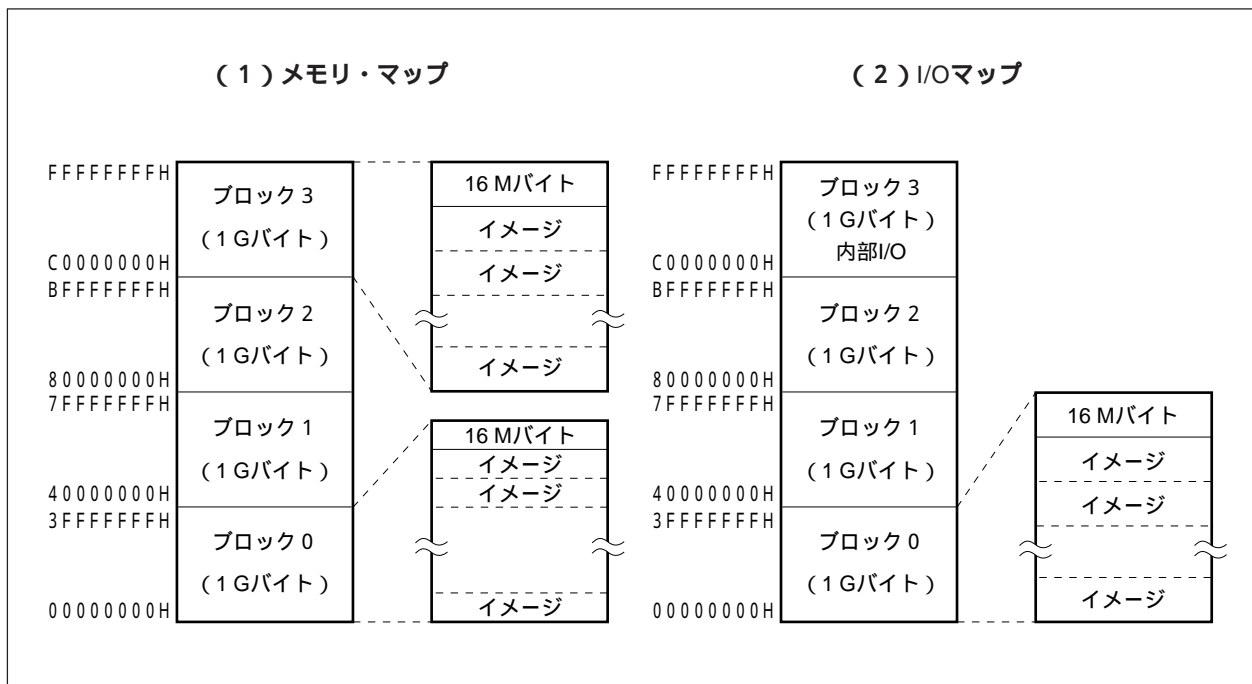




表5 - 1 ウェイト機能が有効なバス・サイクル

バス・サイクル		プログラマブル・ウェイト機能	READY 端子によるウェイト
SRAM (ROM) サイクル (ブロック 0-3)		0-7 ウェイト	
DRAM サイクル (ブロック 0)	off-page	2 または 3 ウェイト	
	on-page	0 または 1 ウェイト	×
Page-ROM サイクル (ブロック 3)	off-page	0-7 ウェイト	×
	on-page	0 または 1 ウェイト	×
外部I/O サイクル (ブロック 0-2)		0-7 ウェイト	
内部I/O サイクル (ブロック 3)		1 または 2 ウェイト	×
CBR リフレッシュ・サイクル		固定 (3 ウェイト)	
CBR セルフ・リフレッシュ・サイクル		-	×
フライバイDMA転送			
SRAM (ROM) サイクル (ブロック 0-3)		0-7 ウェイト	
DRAM サイクル (ブロック 0)	off-page	2-7 ウェイト	
	on-page	0-7 ウェイト	×
Page-ROM サイクル (ブロック 3)	off-page	0-7 ウェイト	×
	on-page	0-7 ウェイト	×
ホールド・アクノリッジ・サイクル		固定 (0 ウェイト)	×
マシン・フォールト・サイクル (I/O ブロック 0 ライト)		0-7 ウェイト	

備考 : 有効  
 × : 無効

6. メモリ・アクセス制御機能

6.1 DRAMコントローラ (DRAMC)

DRAMコントローラ (DRAMC) は、 $\overline{\text{REFRQ}}$ ,  $\overline{\text{RAS}}$ ,  $\overline{\text{LCAS}}$ ,  $\overline{\text{UCAS}}$  信号の生成とDRAMへのアクセス制御を行います。DRAMへは、DRAMのロウ・アドレス、カラム・アドレスをマルチプレクスしてアドレス端子から出力してアクセスします。

接続するDRAMは、 $\times 4$  ビット以上で高速ページ・モードを備えていることを前提とします。DRAMアクセス・サイクルには、on-page ( 2 , 3 クロック ) , off-page ( 4 , 5 クロック ) の2種類があります。

リフレッシュは $\overline{\text{CAS}}$ ビフォー $\overline{\text{RAS}}$ 方式で、リフレッシュ周期を任意に設定できます。またIDLE, STOPモード時には、CBRセルフ・リフレッシュを行います。

6.1.1 特 徴

- $\overline{\text{REFRQ}}$ ,  $\overline{\text{RAS}}$ ,  $\overline{\text{LCAS}}$ ,  $\overline{\text{UCAS}}$  信号の生成
- DRAM高速ページ・モード対応
- アドレス・マルチプレクス機能：8 , 9 , 10 , 11 ビット
- CBRリフレッシュ , CBRセルフ・リフレッシュ機能

6.1.2 アドレス・マルチプレクス機能

DRAMコンフィギュレーション・レジスタ (DRC) のDAWビットの値により、DRAMサイクルでのロウ・アドレス、カラム・アドレス出力は、図6 - 1のようにアドレスがマルチプレクスします。図6 - 1で、a0-a23はCPUから出力されたアドレスを、A0-A23はV821のアドレス端子を示しています。たとえばDAW = 11のときは、アドレス端子 (A1-A11) から、ロウ・アドレスとしてa12-a22が、カラム・アドレスとしてa1-a11が出力されることを表しています。

表6 - 1に接続可能なDRAMとアドレス・マルチプレクス幅との関係を示します。接続するDRAMにより、DRAM空間は128 K-8 Mバイトです。

図6 - 1 ロウ・アドレス , カラム・アドレスの出力

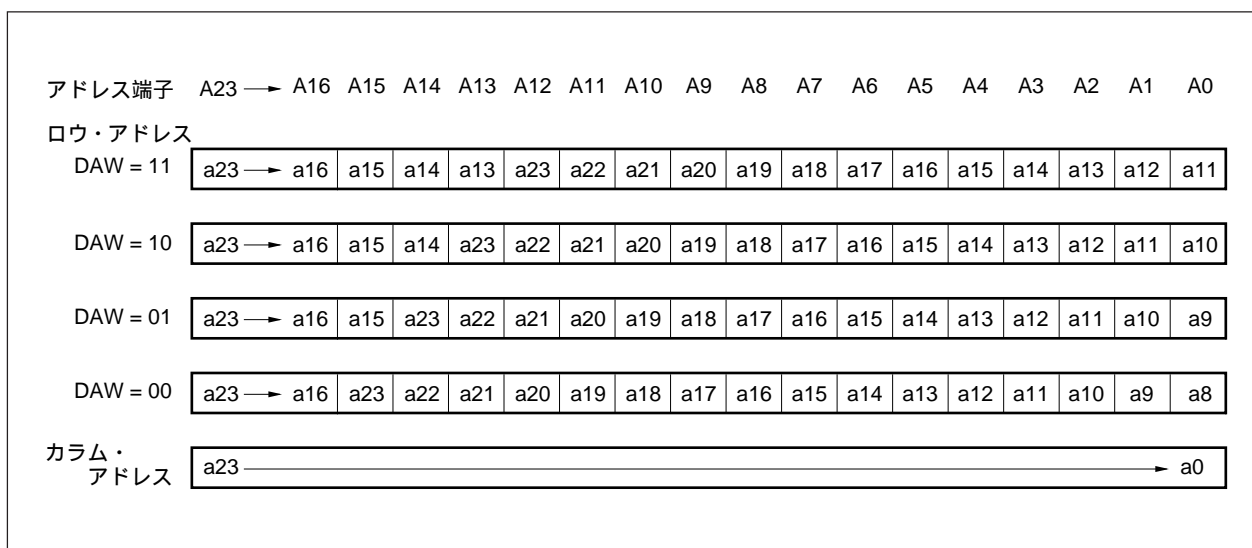


表 6 - 1 DRAMとアドレス・マルチプレクス幅の例

アドレス・マルチプレクス幅	DRAMの容量 (ビット) と構成				DRAM空間 (バイト)
	256 K	1 M	4 M	16 M	
8ビット	64 K × 4	-	-	-	128 K
9ビット	-	256 K × 4	256 K × 16	-	512 K
	-	-	512 K × 8	-	1 M
10ビット	-	-	1 M × 4	1 M × 16	2 M
	-	-	-	2 M × 8	4 M
11ビット	-	-	-	4 M × 4	8 M

### 6.1.3 リフレッシュ機能

DRAMCは、外部DRAMのリフレッシュ動作に必要な分散型のCBRリフレッシュ・サイクルを自動発生することができます。リフレッシュの許可 / 禁止とリフレッシュ間隔は、リフレッシュ・コントロール・レジスタ (RFC) により設定します。

DRAMCは、ほかのバス・マスタがバスを占有している間は、強制的にバスを獲得することはできません。この場合、DRAMCからのリフレッシュ要求に対しBAUは $\overline{\text{HLDAK}}$ 端子をインアクティブにしてリフレッシュ要求の発生を知らせませんが、さらにこの状態で $\overline{\text{HLDRQ}}$ 端子をインアクティブにすることにより、リフレッシュ・サイクルが起動されます。

### 6.1.4 セルフ・リフレッシュ機能

DRAMCは、IDLE, STOPモード時にCBRセルフ・リフレッシュ・サイクルを発生します。セルフ・リフレッシュ・サイクルは、スタンバイ・コントロール・レジスタ (STBC) のSMDビットをIDLEまたはSTOPモードに設定して、HALT命令を実行すると起動します。

DRAMがセルフ・リフレッシュ動作に入るためには、DRAMの $\overline{\text{RAS}}$ パルス幅の規格 (100 μs以上) を満足させる必要があります。

セルフ・リフレッシュの解除は、 $\overline{\text{RESET}}$  端子または $\overline{\text{NMI}}$  端子で行います。 $\overline{\text{RESET}}$  入力による解除は、通常のリセット処理と同じです。

## 6.2 ROMコントローラ (ROMC)

ページ・アクセス機能付きROM (Page-ROM) へのアクセスに対応します。

直前のバス・サイクルとのアドレス比較を行い、通常アクセス (off-page) / ページ・アクセス (on-page) のウエイト制御を行います。8-64バイトのページ幅に対応できます。

Page-ROMサイクルは、アドレス・ブロック 3 に対応しています。

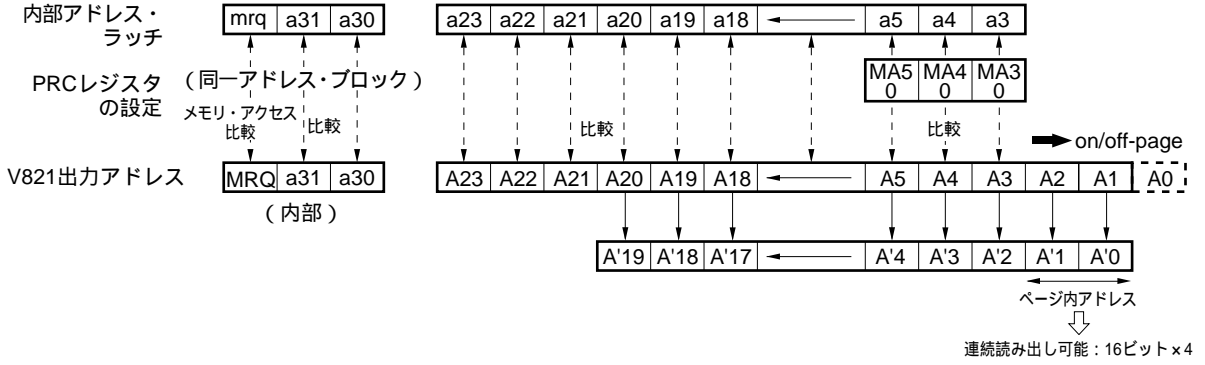
### 6.2.1 on-page/off-pageの判断

Page-ROMサイクルのon-page/off-pageは、前回のサイクルのアドレスをラッチし現在のサイクルのアドレスと比較することにより判断します。

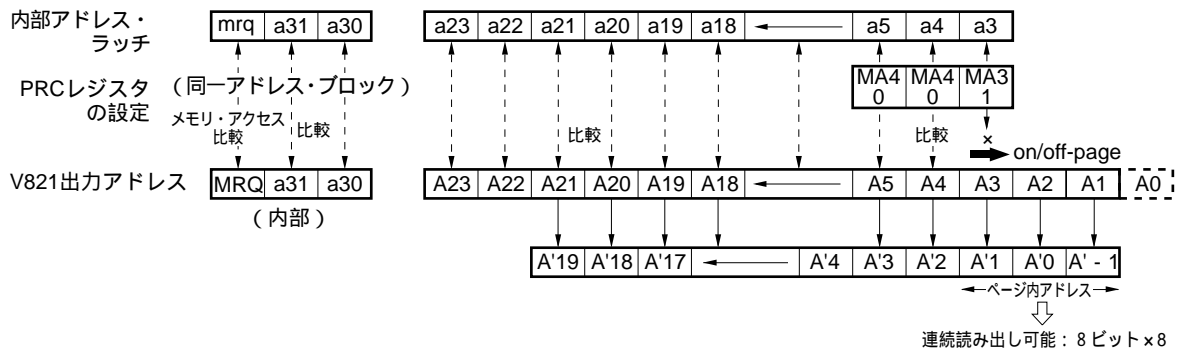
Page-ROMコンフィギュレーション・レジスタ (PRC) により、接続するPage-ROMの構成、連続する読み出し可能なビット数に応じて、アドレス (A3-A5) のうちマスクする (比較しない) アドレスを設定します。

図6-2 ページ・アクセス機能付きROM接続時のon-page/off-page判断

(1) 16 MビットROM (1 M × 16) の場合



(2) 16 MビットROM (2 M × 8) の場合



## 7. DMA機能 (DMAコントローラ)

V821は、DMA転送を実行制御するDMA (Direct Memory Access) コントローラを備えています。

DMAC (DMAコントローラ) は、内蔵周辺ハードウェア (シリアル・インタフェース, タイマ), 外部DREQ端子, またはソフトウェア・トリガによるDMA要求に基づいて、メモリ-I/O間またはメモリ-メモリ間でデータを転送します。

### 7.1 特 徴

2組の独立なDMAチャンネル

転送単位: 8ビット/16ビット

最大転送回数: 65536 ( $2^{16}$ ) 回

2種類の転送タイプ

- ・フライバイ (1サイクル) 転送
- ・2サイクル転送

3種類の転送モード

- ・シングル転送モード
- ・シングルステップ転送モード
- ・ブロック転送モード

転送要求

- ・外部DREQ端子 (2本)
- ・内蔵周辺ハードウェア (シリアル・インタフェース, タイマ) からの要求
- ・ソフトウェアによる要求

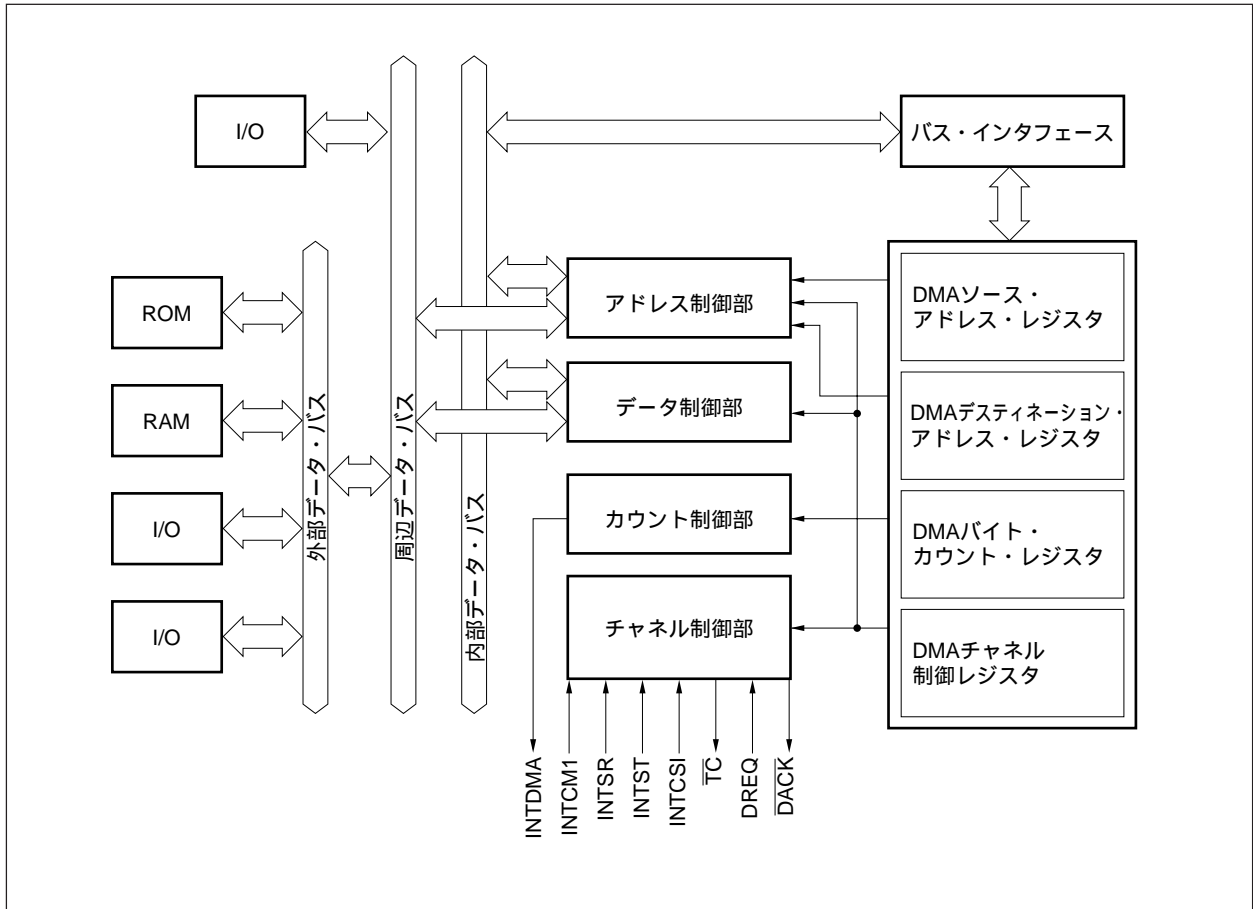
転送対象

- ・メモリ I/O
- ・メモリ メモリ

プログラマブル・ウエイト機能

DMA転送終了出力信号 ( $\overline{TC}$ )

図7 - 1 DMACブロック図



## 8. シリアル・インタフェース機能

### 8.1 特 徴

V821は、シリアル・インタフェース機能として、計2チャンネルの送受信チャンネルを備えます。

インタフェース形態としては次の2種類があり、それぞれ1チャンネルずつ備えます。この2つは独立に動作します。

(1) アシンクロナス・シリアル・インタフェース (UART)

(2) クロック同期式シリアル・インタフェース (CSI)

UARTは、スタート・ビットに続く1バイトのシリアル・データを送受信する方式をとり、全二重通信ができます。

CSIは、シリアル・クロック ( $\overline{\text{SCLK}}$ ) とシリアル入力 (SI)、シリアル出力 (SO) の3本の信号線によるデータ転送を行います (3線式シリアルI/O)。

### 8.2 アシンクロナス・シリアル・インタフェース (UART)

#### 8.2.1 特 徴

転送速度 110 bps - 38400 bps (BRG使用, = 25 MHz時)

最大781 Kbps ( /2 使用, = 25 MHz時)

全二重通信

2端子構成 TXD 送信データの出力端子

RXD 受信データの入力端子

受信エラー検出機能

- ・パリティ・エラー
- ・フレーミング・エラー
- ・オーバラン・エラー

割り込み要因3種

- ・受信エラー割り込み (INTSER)
- ・受信完了割り込み (INTSR)
- ・送信完了割り込み (INTST)

送受信データのキャラクタ長はASIMレジスタで指定

キャラクタ長: 7, 8ビット

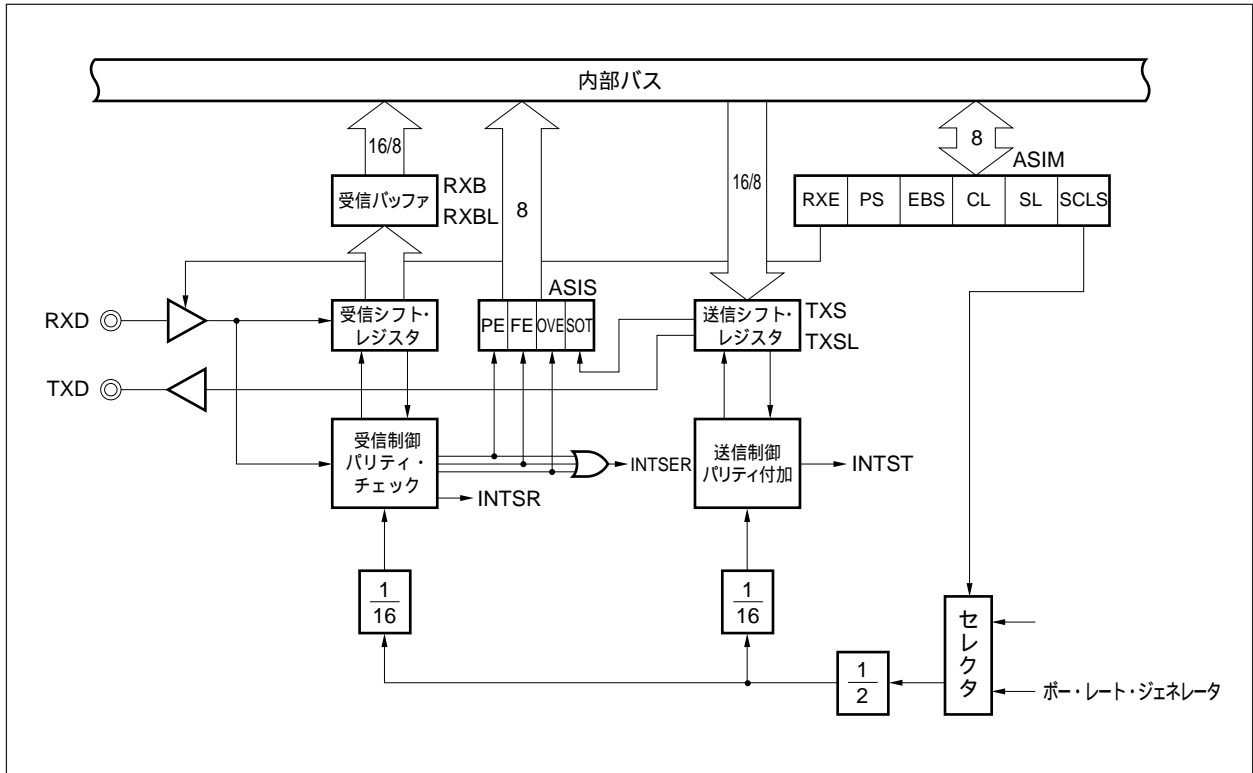
9ビット (拡張ビット付加時)

パリティ機能: 奇数, 偶数, 0, なし

送信ストップ・ビット: 1, 2ビット

ポー・レート・ジェネレータ内蔵

図8-1 アシクロナス・シリアル・インタフェースのブロック図





8.3 クロック同期式シリアル・インタフェース (CSI)

8.3.1 特 徴

高速転送 最大6.25 Mbps ( /2 使用時, = 25 MHz動作時)

半二重通信

キャラクタ長: 8ビット

データのMSB先頭/LSB先頭を切り替え可能

外部シリアル・クロック入力/内部シリアル・クロック出力選択

3線式 SO :シリアル・データ出力

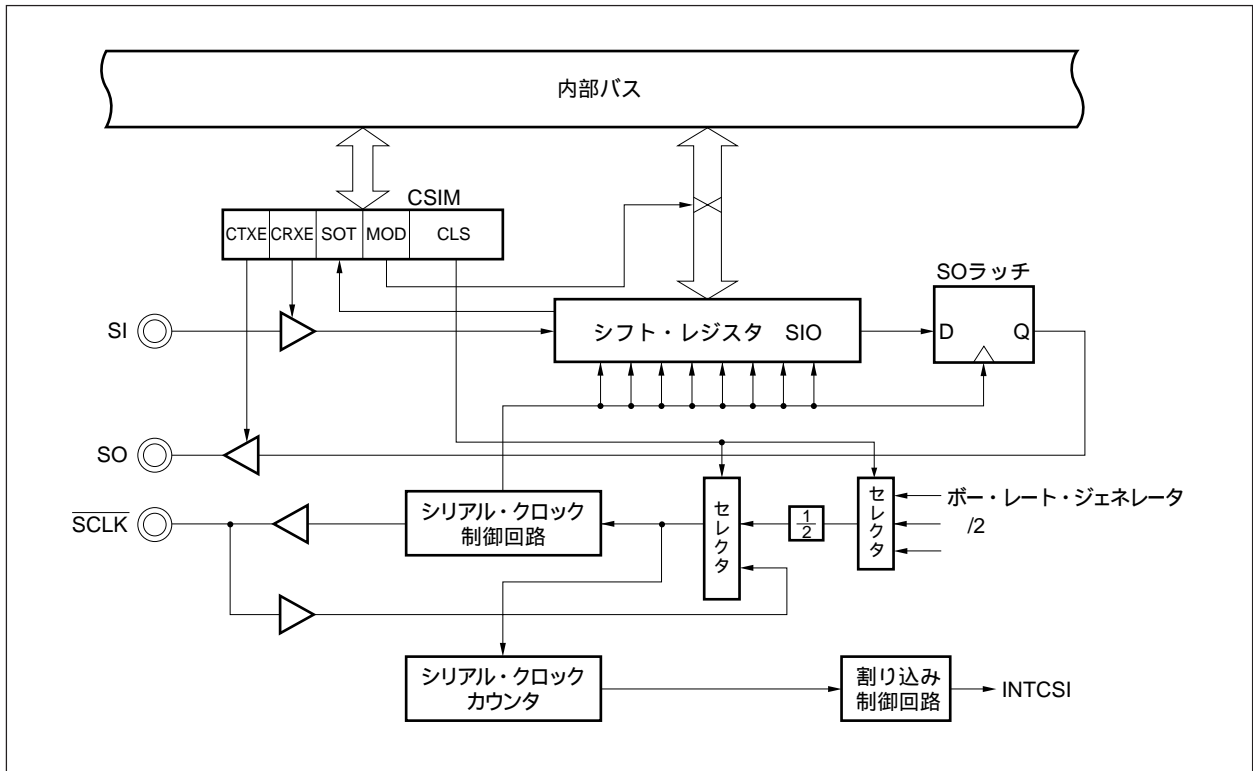
SI :シリアル・データ入力

SCLK :シリアル・クロック入出力端子

割り込みソース1種

- ・割り込み要求信号 (INTCSI)

図8-2 クロック同期式シリアル・インタフェースのブロック図



8.4 ポー・レート・ジェネレータ (BRG)

8.4.1 構成と機能

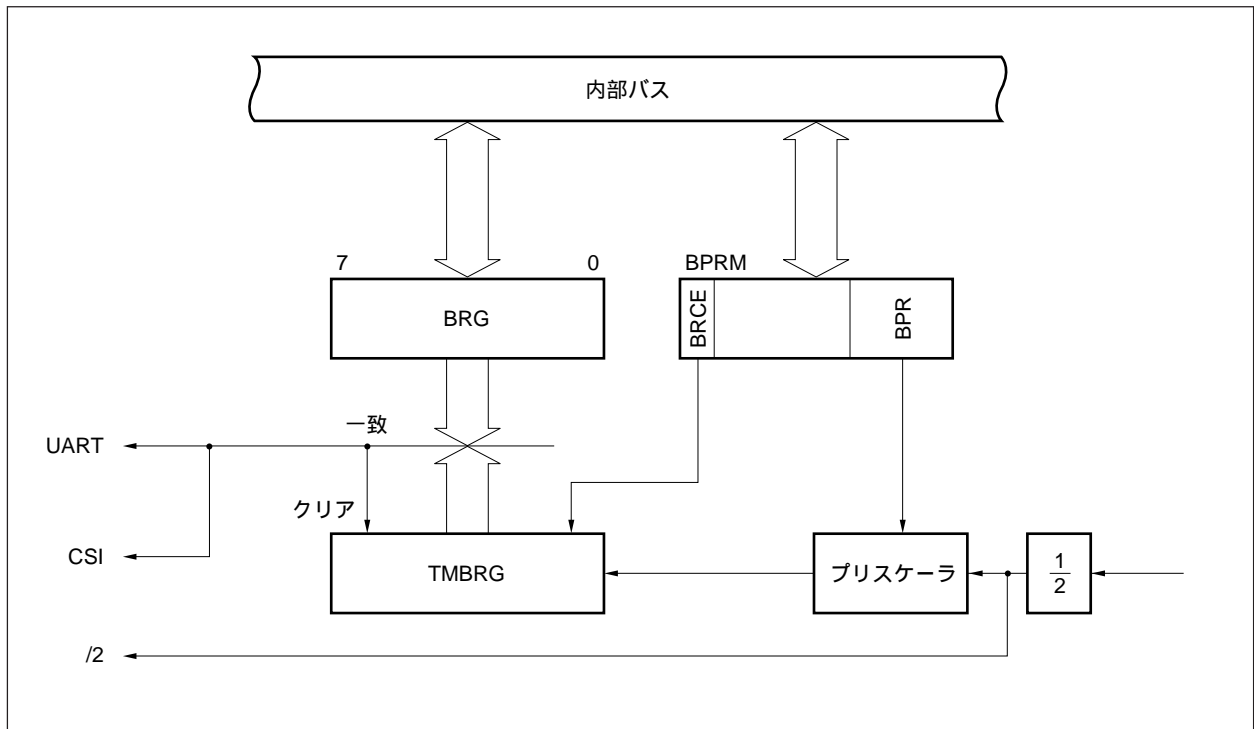
シリアル・インタフェースでは、シリアル・クロックを、ポー・レート・ジェネレータ出力または 系 (システム・クロック) から選択したものをポー・レートとして用いることができます。

シリアル・クロック・ソースは、UARTの場合はASIMレジスタのSCLSビット、CSIの場合はCSIMレジスタのCLSビットで指定します。

ポー・レート・ジェネレータ出力を指定した場合は、クロック・ソースとしてポー・レート・ジェネレータが選択されます。

1チャンネル当たりの送受信のシリアル・クロックは1つで共用されるため、送受信のポー・レートは同一となります。

図 8 - 3 ブロック構成図



9. タイマ/カウンタ機能 (リアルタイム・パルス・ユニット)

リアルタイム・パルス・ユニットは、パルス間隔や周波数の計測およびプログラマブルなパルスの出力を行うユニットです。16ビット計測が可能です。また、インターバル・パルスやワンショット・パルスなどの多彩な形状のパルスを発生させることができます。

9.1 特徴

タイマ0 (TM0)

- ・16ビット・タイマ/イベント・カウンタ
- ・カウント・クロックのソース：2種 (システム・クロックの分周を選択, 外部パルス入力)
- ・キャプチャ/コンペア共用レジスタ：4本
- ・カウント・クリア端子：TCLR
- ・割り込み要因：5種
- ・外部パルス出力：2本

タイマ1 (TM1)

- ・16ビット・インターバル・タイマ
- ・カウント・クロックは、システム・クロックの分周から選択
- ・コンペア・レジスタ：1本
- ・割り込み要因：1種

図9-1 タイマ0 (16ビット・タイマ/イベント・カウンタ)

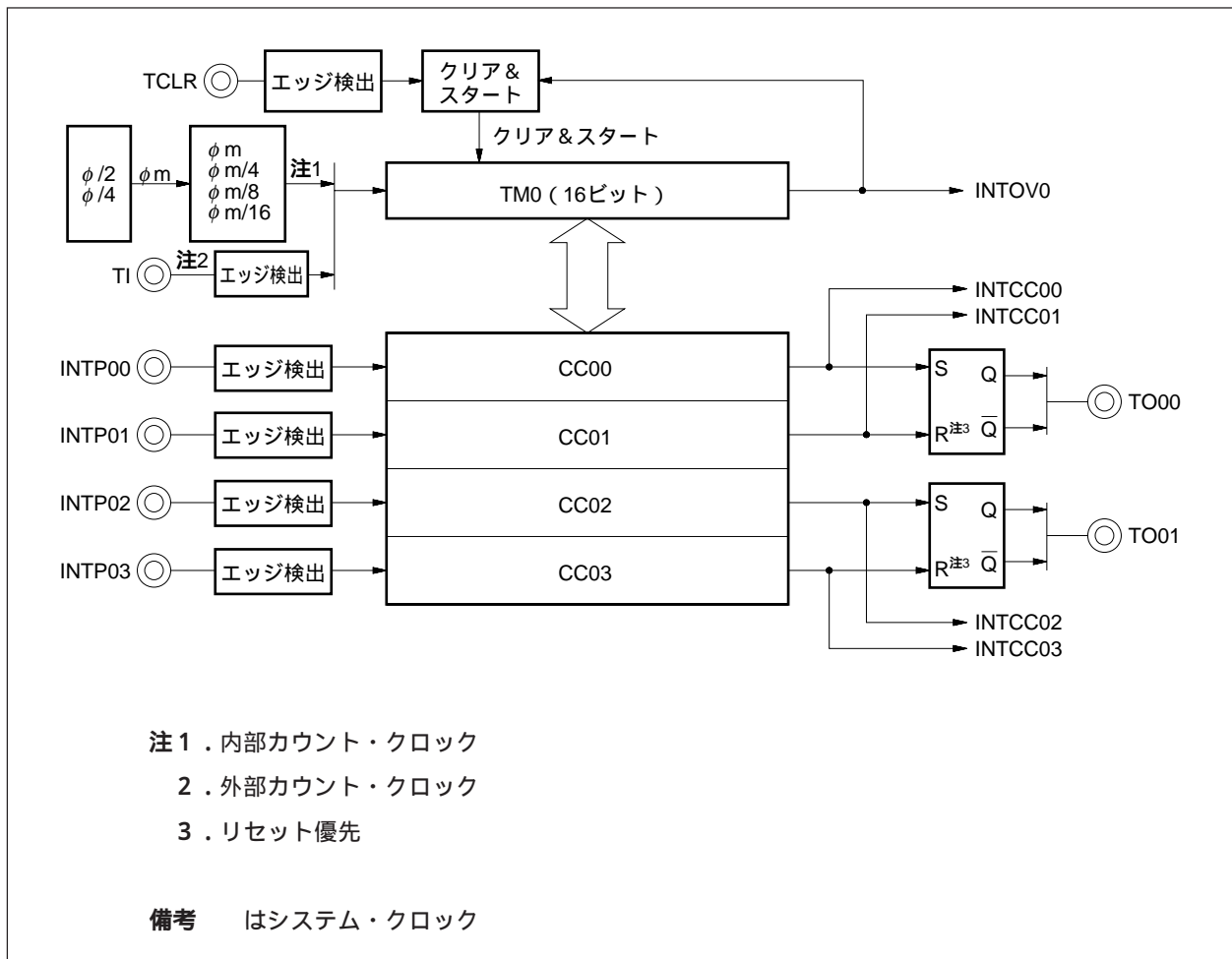
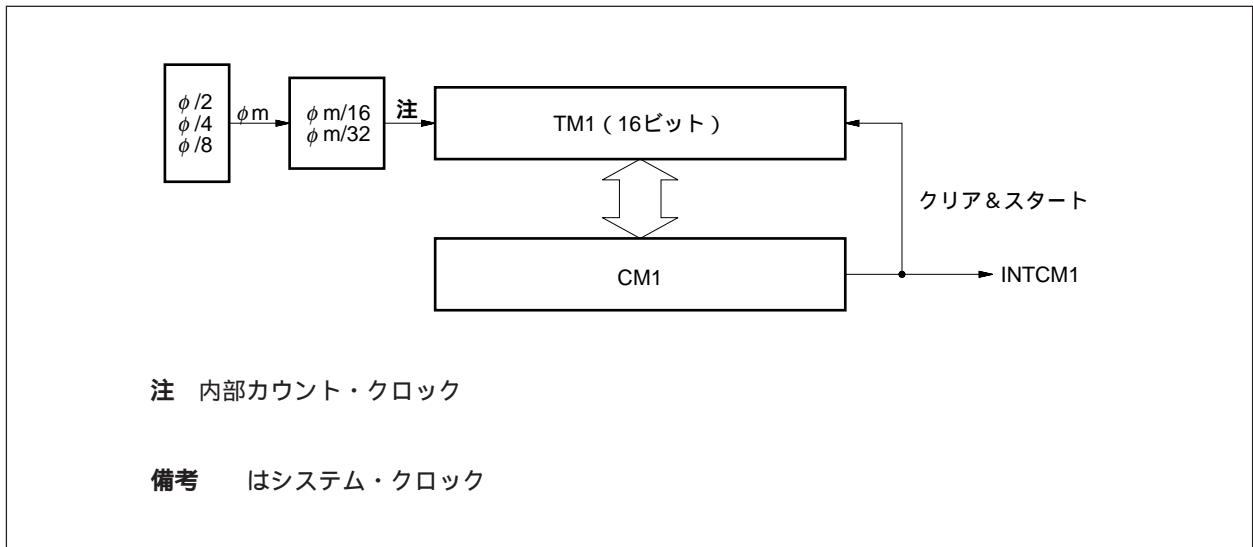


図9 - 2 タイマ1 (16ビット・インターバル・タイマ)



10. ウォッチドッグ・タイマ機能

ウォッチドッグ・タイマ機能は、プログラムの暴走やデッドロックを防ぐための機能です。

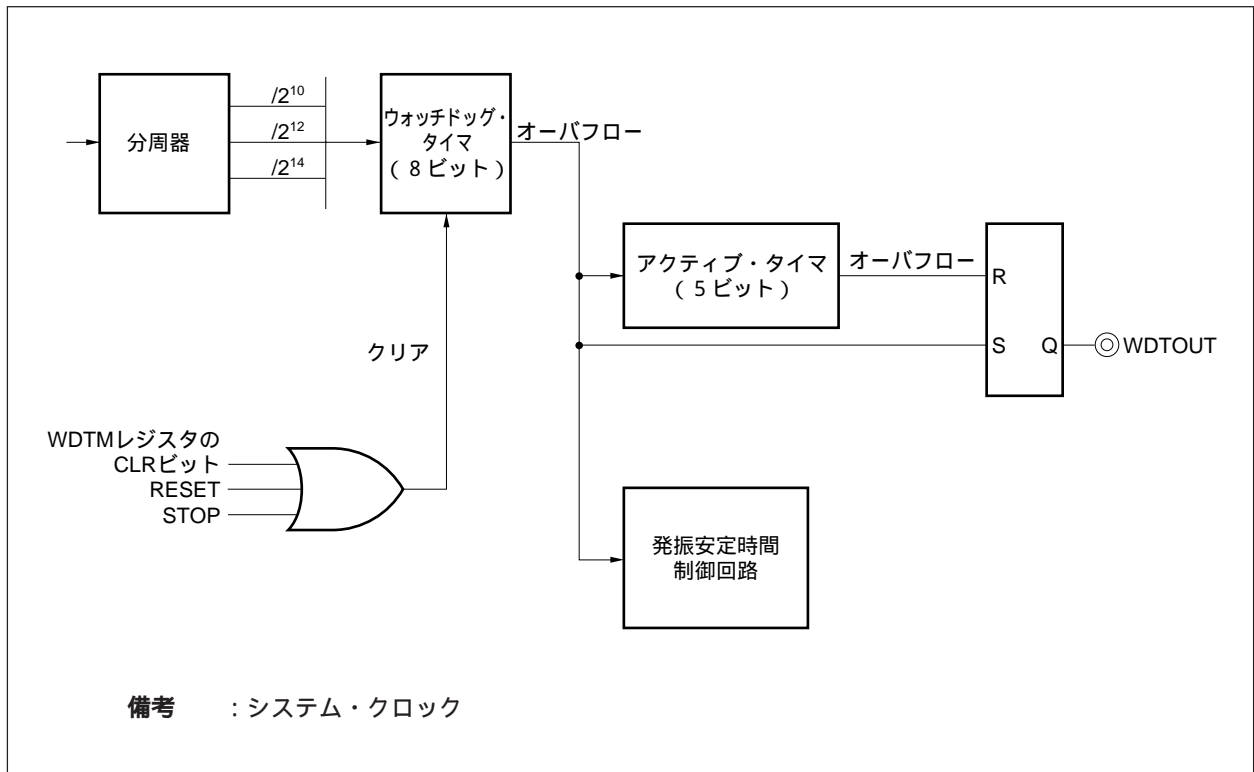
10.1 特 徴

3種のオーバーフロー時間を設定可能

10.5 ms, 41.9 ms, 167.8 ms (システム・クロック = 25 MHz時)

ウォッチドッグ・タイマ・オーバーフロー出力 (WDTOUT)

図10 - 1 ウォッチドッグ・タイマの構成図



### (1) ウォッチドッグ・タイマ

ウォッチドッグ・タイマは、システム・クロックの発振安定時間確保用のタイマを兼ねています。システム・リセットまたはSTOPモードに入ると、カウント値はクリアされ00Hになります。

ウォッチドッグ・タイマは、スタンバイ・モードにおいて次のように動作します。

#### (a) STOPモード

カウント動作を停止します。

STOPモードが解除されるとカウント値はクリアされます。

ウォッチドッグ・タイマは00Hからカウントを開始し、オーバフローを発生させます。オーバフロー信号は発振安定時間制御回路に供給され、システム・クロックの供給を開始します。このときWDTOUT端子はアクティブになりません。STOPモードが $\overline{\text{NMI}}$ 端子によって解除された場合は、さらにカウントを継続します。

#### (b) IDLEモード

カウント動作を停止します。カウント値は保持します。

IDLEモードが解除されると、ウォッチドッグ・タイマは保持したカウント値からカウントを再開します。

#### (c) HALTモード

カウント動作を継続します。

### (2) アクティブ・タイマ

ウォッチドッグ・タイマのオーバフロー時に出力されるWDTOUT信号を、32クロック期間アクティブに保つためのタイマです。

WDTOUT端子と $\overline{\text{RESET}}$ 端子を外部回路で接続することにより、ウォッチドッグ・タイマのオーバフローでシステム・リセットをかけることができます。

## 10.2 動作

ウォッチドッグ・タイマは、プログラムまたはシステムが正常に動作していることを、WDTOUT端子がアクティブにならないことで示しています。

ウォッチドッグ・タイマを使用する場合は、必ずプログラム実行の一定間隔またはサブルーチンの先頭などでウォッチドッグ・タイマをクリア(カウント開始)するように、WDTMレジスタで設定してください。指定した時間内にウォッチドッグ・タイマがクリアされずにオーバフローすると、WDTOUT端子がアクティブになりプログラムの異常を知らせます。また、WDTオーバフロー・フラグ(OV)をセットします。OVフラグは、WDTカウンタをクリアすることによりクリアされます。

ウォッチドッグ・タイマのオーバフローを割り込み要因として使用したい場合は、WDTOUT端子を外部割り込み要求端子( $\overline{\text{INTPn}}$ ,  $\overline{\text{NMI}}$ )に外部回路で接続してください。

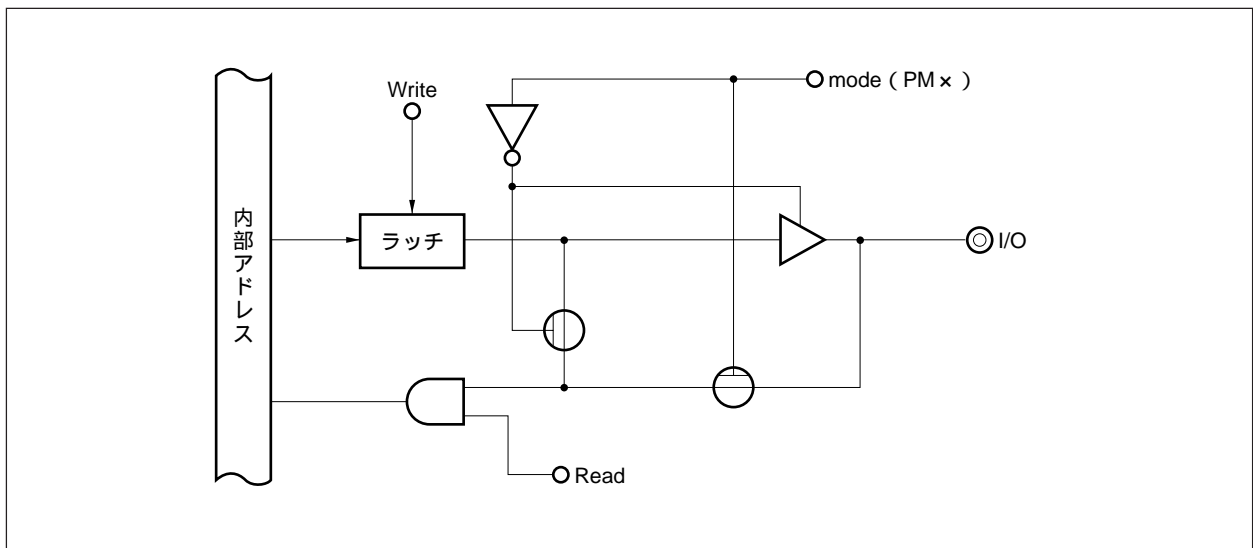
11. ポート機能

V821の端子は、ポート端子とコントロール端子が兼用となっています。各端子の詳細については、1. 端子機能一覧を参照してください。

11.1 特 徴

入出力ポート (P00-P09) : 10本

図11 - 1 構 成



12. クロック発生機能

クロック・ジェネレータは、CPUをはじめとする内蔵の各ハードウェア・ユニットに供給される内部システム・クロック を発生、制御します。

12.1 特 徴

PLL ( Phase locked loop ) シンセサイザによる逡倍機能 ( 5 逡倍 )

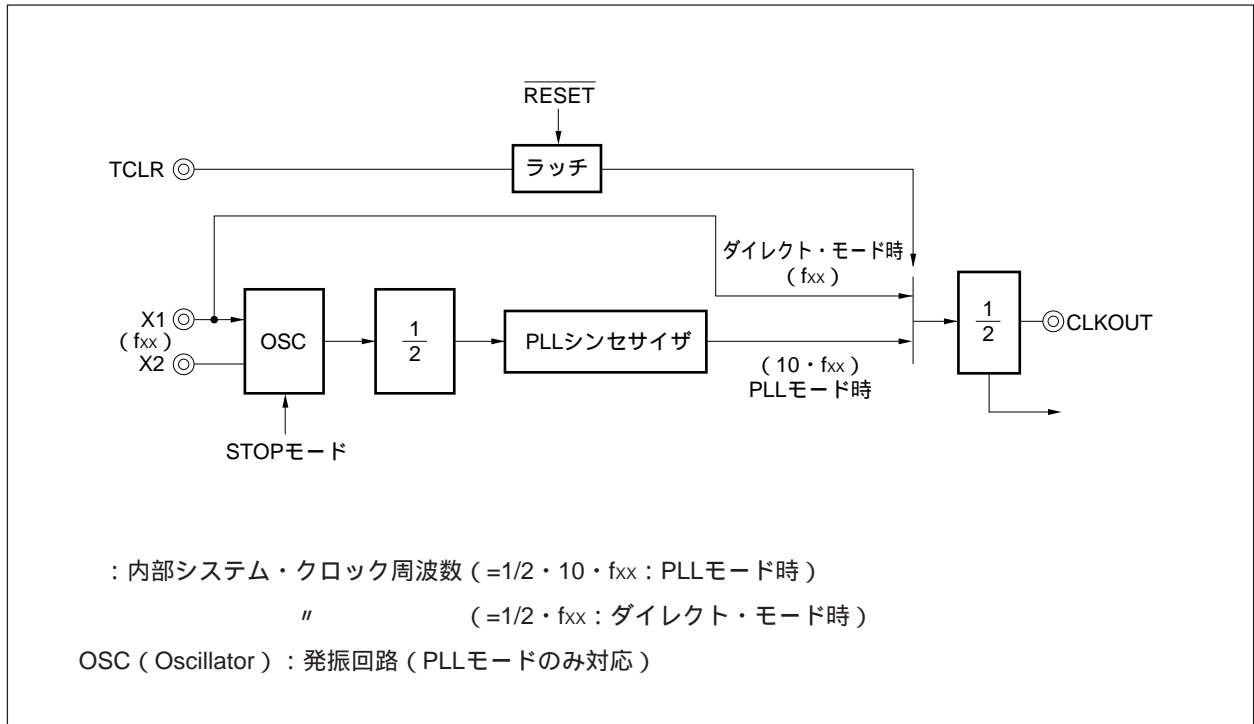
クロック・ソース

- ・発振子接続による発振 :  $f_{xx} = \text{---} / 5$  ( PLLモード )
- ・外部クロック :  $f_{xx} = \text{---} / 5$  ( PLLモード )
- ・外部クロック :  $f_{xx} = 2 \times \text{---}$  ( ダイレクト・モード )

クロック出力制御

★

図12 - 1 構 成





## 13. スタンバイ機能

V821には、低消費電力化を図るスタンバイ機能として、動作クロックを制御する3つのモードがあります。

HALT命令により各モードに移行します。モードの切り替えはスタンバイ・コントロール・レジスタの設定により行います。

### 13.1 特徴

HALTモード (CPU動作クロックのみ停止)

IDLEモード (CPU, 周辺動作クロックを停止, クロック・ジェネレータは動作継続)

STOPモード (システム全体が停止, クロック・ジェネレータも停止)

### 13.2 スタンバイ・モード

V821のスタンバイ・モードには、以下のものがあります。

#### (1) HALTモード

クロック・ジェネレータ (発振回路およびPLLシンセサイザ) は動作を継続しますが、CPUの動作クロックが停止するモードです。その他の内蔵周辺機能へのクロック供給は継続され、動作を継続します。通常動作モードとの組み合わせによる間欠動作により、システムのトータルの消費電力を低下させることができます。

#### (2) IDLEモード

クロック・ジェネレータ (発振回路およびPLLシンセサイザ) は動作を継続したままで、内部システム・クロックの供給を停止させることにより、システム全体を停止させるモードです。

IDLEモードからの解除時に、発振回路の発振安定時間などを確保する必要がないため、高速に通常動作に移行することができます。

IDLEモードは、クロックの安定時間と消費電流に関して、STOPとHALTモードの中間に位置するモードで、低消費電流モードを利用し、かつ解除時のクロック安定時間を削除したい用途に利用します。

#### (3) STOPモード

クロック・ジェネレータ (発振回路およびPLLシンセサイザ) を停止させ、システム全体が停止するモードです。リーク電流だけの超低消費電力状態になります。

##### (a) PLLモード

発振回路が停止すると同時にPLLシンセサイザのクロック出力が停止します。STOPモードの解除後は、システム・クロックが安定するまでの間、発振回路の発振安定時間を確保する必要があります。また、プログラムによってはPLLのロックアップ時間が必要な場合があります。

##### (b) ダイレクト・モード

ダイレクト・モード時は、ロックアップ時間を確保する必要はありません。

通常、HALT、IDLE、STOPの各モードにおけるクロック・ジェネレータの動作を表14-1に示します。

各モードを組み合わせ、用途により切り替えて使用することにより、効果的な低消費電力システムを実現することができます。

表13 - 1 スタンバイ制御によるクロック・ジェネレータの動作

クロックソース		スタンバイ・モード	発振回路 (OSC)	PLL シンセサイザ	周辺I/Oへの クロック供給	CPUへの クロック供給
PLLモード	発振子による発振	通常				
		HALT				×
		IDLE			×	×
		STOP	×	×	×	×
	外部クロック	通常	×			
		HALT	×			×
		IDLE	×		×	×
		STOP	×	×	×	×
ダイレクト・ モード	通常	×	×			
	HALT	×	×		×	
	IDLE	×	×	×	×	
	STOP	×	×	×	×	

備考 : 動作

× : 停止

表13 - 2 HALT/IDLE/STOPモード時の動作状態

機 能	HALTモード	IDLEモード	STOPモード
クロック・ジェネレータ	動作		停止
内部システム・クロック	動作	停止	
CPU	停止		
I/Oライン	保持		
周辺機能	動作	停止	
内部データ	CPUのレジスタなど内部のデータはすべて保持		
A0-A23, $\overline{UBE}$	PC出力 <sup>注</sup>		PC出力
D0-D15	ハイ・インピーダンス		
$\overline{CS0}$ - $\overline{CS3}$	1 <sup>注</sup>		1
$\overline{IORD}$ , $\overline{IOWR}$			
$\overline{MWR}$ / $\overline{LMWR}$ , $\overline{UMWR}$			
$\overline{REFRQ}$ , $\overline{RAS}$ , $\overline{LCAS}$ , $\overline{UCAS}$	1(CBRリフレッシュ時以外) <sup>注</sup>	CBRセルフ・リフレッシュ <sup>注</sup>	CBRセルフ・リフレッシュ
$\overline{HLDRQ}$	動作 <sup>注</sup>		停止
$\overline{CLKOUT}$	クロック出力(クロック出力禁止でないとき)		1

注  $\overline{HLDAK} = 0$  のときはハイ・インピーダンス

## 14. リセット機能

$\overline{\text{RESET}}$  端子にロウ・レベルが入力されるとシステム・リセットがかかり、オンチップの各ハードウェアは初期状態にイニシャライズされます。

$\overline{\text{RESET}}$  端子がロウ・レベルからハイ・レベルになると、リセット状態が解除され、CPUはプログラムの実行を開始します。各種レジスタの内容は、プログラムの中で必要に応じてイニシャライズしてください。

### 14.1 特 徴

リセット端子にアナログ・ディレイ (60-300 ns) によるノイズ除去回路を内蔵

### 14.2 端子機能

システム・リセット期間中の端子出力の状態を表14 - 1 に示します。この状態は、リセット期間中保持されます。

$\overline{\text{RESET}}$  端子を30クロック以上ロウ・レベルに保持したあと $\overline{\text{HLDRQ}}$ 信号がインアクティブであれば、命令フェッチのためのメモリ・リード・サイクルを起動します。

なお、リセット期間中 ( $\overline{\text{RESET}}$  端子のロウ・レベルを保持している期間) でも、 $\overline{\text{HLDRQ}}$ 信号をアクティブにすることにより、バス・ホールド状態に遷移することができます。リセット期間中のバス・ホールド状態における端子状態は、バス・ホールド状態での端子状態に準じます。

パワーオン・リセット時には、 $\overline{\text{HLDRQ}}$ 信号をインアクティブにしてください。

リセットによりハイ・インピーダンスになる端子については、プルアップまたはプルダウン抵抗を付ける必要があります。これらの処理が行われない場合、端子がハイ・インピーダンスになるとメモリを破壊する可能性があります。

また、リセット期間中でもCLKOUT端子からのクロック出力は行われます。

表14 - 1 リセット期間中の出力端子の状態

端子	動作状態	端子	動作状態	
A0-A23	不定	$\overline{\text{HLDAK}}$	ハイ・レベル	
D0-D15	ハイ・インピーダンス	$\overline{\text{MRD}}$	ハイ・レベル	
P00/TCLR		$\overline{\text{LMWR/WE}}$		
P01/DREQ0		$\overline{\text{UMWR}}$		
P02/ $\overline{\text{DACK0}}$		$\overline{\text{IORD}}$		
P03/DREQ1		$\overline{\text{IOWR}}$		
P04/ $\overline{\text{DACK1}}$		CS1-CS3		
P05/SI		$\overline{\text{RAS}}$		
P06/SO		$\overline{\text{LCAS}}$		
P07/ $\overline{\text{SCLK}}$		$\overline{\text{UCAS}}$		
P08/TXD/ $\overline{\text{UBE}}$		$\overline{\text{CS0/REFRQ}}$		
P09/RXD/ $\overline{\text{TC}}$		BLOCK/WDTOUT		ロウ・レベル

## 15. 命令セット

### 15.1 命令フォーマット

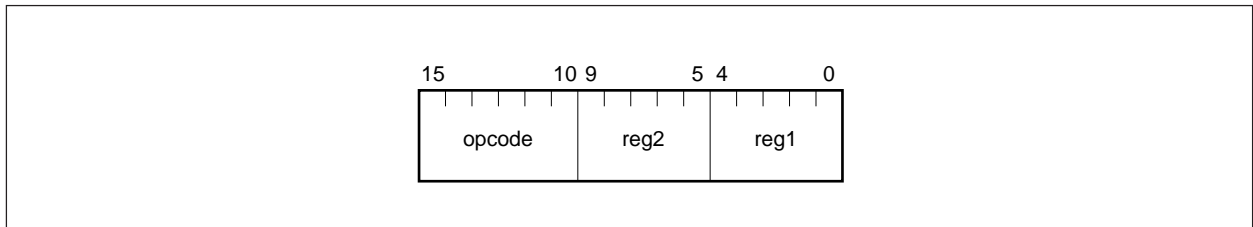
V821の命令は16ビット・フォーマット、32ビット・フォーマットの2種類です。16ビット命令には2項演算、制御、条件分岐などがあり、32ビット命令にはロード/ストア、I/O操作、16ビット・イミューディエトを扱う命令、ジャンプ・アンド・リンク、拡張命令系などがあります。

なお、一部の命令では未使用フィールドが発生しますが、それらは将来の拡張用なので、0に固定してください。実際に命令がメモリに格納される時は、次のように配置されます。

- ・各命令形式の下位部分（ビット0を含む） 下位アドレス側
- ・各命令形式の上位部分（ビット15またはビット31を含む） 上位アドレス側

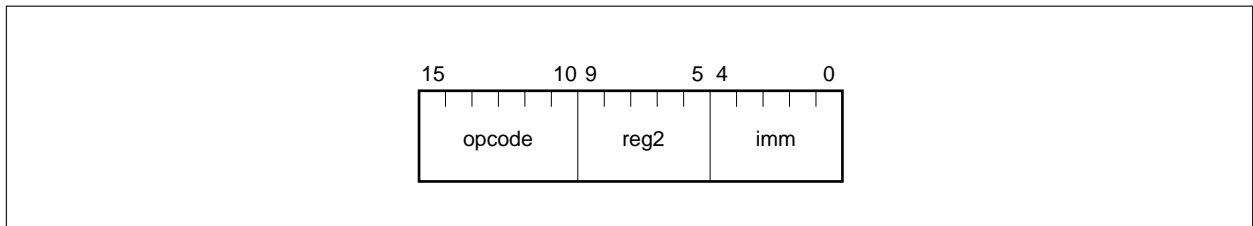
#### (1) reg-reg命令形式 (Format I)

6ビットのオペコード・フィールドとオペランド指定に2つの汎用レジスタ指定フィールドを持つ命令形式。16ビット命令。



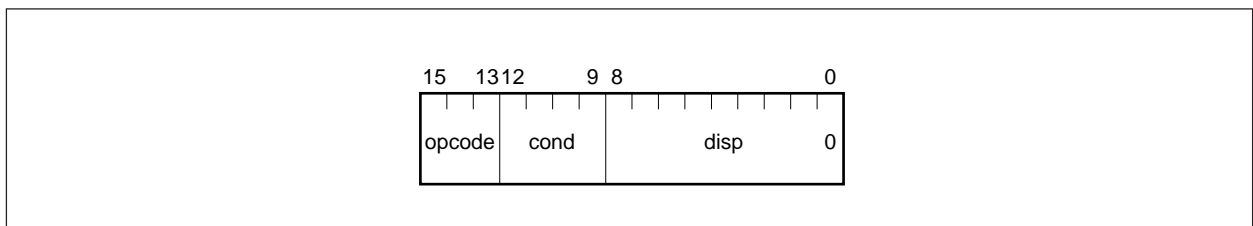
#### (2) imm-reg命令形式 (Format II)

6ビットのオペコード・フィールドと5ビットのイミューディエト・フィールド、1つの汎用レジスタ指定フィールドを持つ命令形式。16ビット命令。



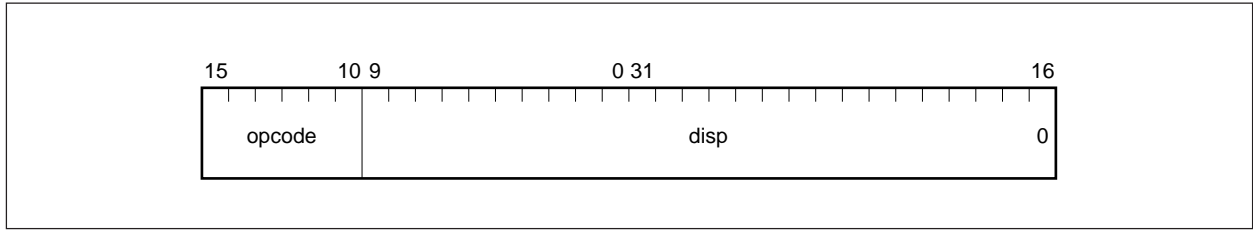
#### (3) 条件分岐命令形式 (Format )

3ビットのオペコード・フィールドと4ビットの条件コード、9ビットの分岐ディスプレースメント・フィールド（ただし最下位ビットは0）を持つ命令形式。16ビット命令。



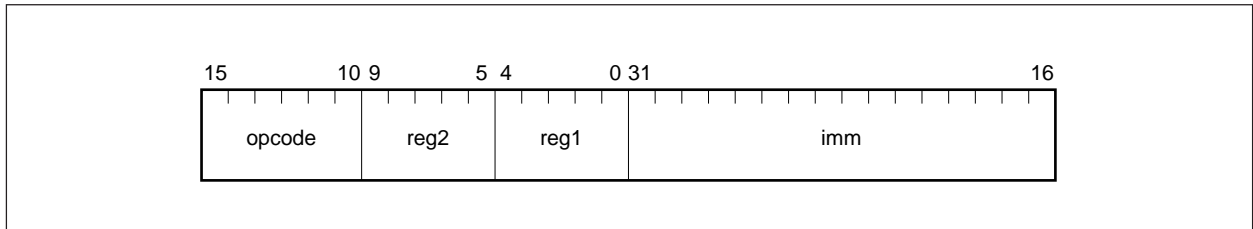
(4) 中距離ジャンプ命令形式 (Format IV)

6ビットのオペコード・フィールドと26ビットのディスプレイメント(ただし最下位ビットは0)を持つ中距離の分岐系命令形式。32ビット命令。



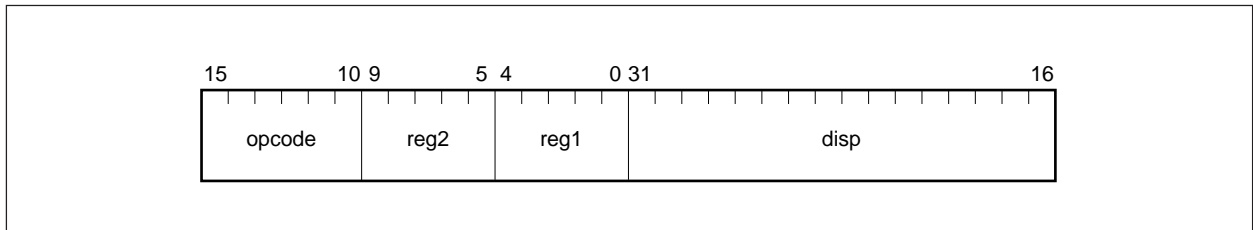
(5) 3オペランド命令形式 (Format V)

6ビットのオペコード・フィールドと2つの汎用レジスタ指定フィールド, 16ビット・イミディエト・フィールドを持つ命令形式。32ビット命令。



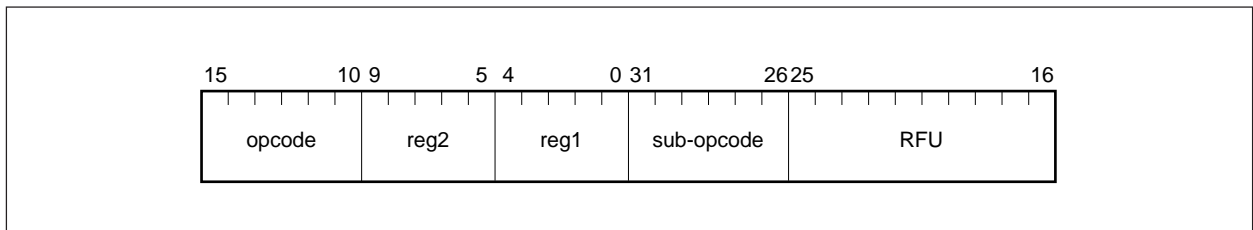
(6) ロード/ストア命令形式 (Format VI)

6ビットのオペコード・フィールドと2つの汎用レジスタ指定フィールド, 16ビット・ディスプレイメントを持つ命令形式。32ビット命令。



(7) 拡張命令形式 (Format VII)

6ビットのオペコード・フィールドと2つの汎用レジスタ指定フィールド, 6ビットのサブオペコードを持つ命令形式。32ビット命令。



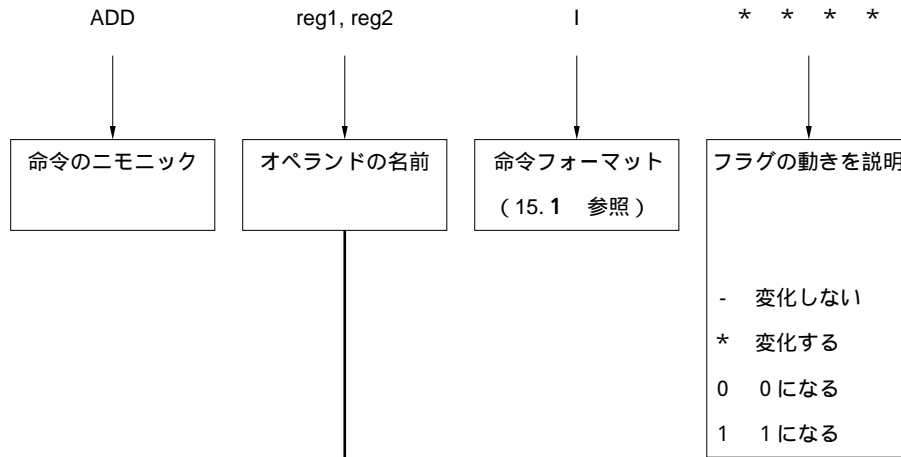
15.2 命令二モニク（アルファベット順）

次に，命令二モニクの一覧を示します。

命令二モニクは，アルファベット順に命令が並べられており，辞書感覚で命令を見つけることができます。

命令二モニク	オペランド	フォーマット	CY OV S Z	命令機能
--------	-------	--------	-----------	------

凡 例



名 前	意 味
reg1	汎用レジスタ（ソース・レジスタとして使用する。）
reg2	汎用レジスタ（おもにデスティネーション・レジスタとして使用する。一部ソース・レジスタとしても使用する。）
imm5	5ビット・イミューディエト
imm16	16ビット・イミューディエト
disp9	9ビット・ディスプレイースメント
disp16	16ビット・ディスプレイースメント
disp26	26ビット・ディスプレイースメント
regID	システム・レジスタ番号
vector adr	トラップ・ベクタに対応するトラップ・ハンドラ・アドレス

表15 - 1 命令ニモニク (アルファベット順) (1/8)

命 令	オペランド	フォーマット	CY	OV	S	Z	命 令 機 能
ニモニク							
ADD	reg1, reg2		*	*	*	*	加算。reg2のワード・データにreg1のワード・データを加算し、その結果をreg2に格納します。
ADD	imm5, reg2		*	*	*	*	加算。reg2のワード・データに5ビット・イミディエトをワード長まで符号拡張した値を加算し、その結果をreg2に格納します。
ADDF.S	reg1, reg2	VII	*	0	*	*	浮動小数点加算。reg2の単精度浮動小数点データに、reg1の単精度浮動小数点データを加算し、その結果をフラグに反映するとともに、reg2に格納します。
ADDI	imm16, reg1, reg2		*	*	*	*	加算。reg1のワード・データに16ビット・イミディエトをワード長まで符号拡張した値を加算し、その結果をreg2に格納します。
AND	reg1, reg2		-	0	*	*	論理積。reg2のワード・データとreg1のワード・データの論理積をとり、その結果をreg2に格納します。
ANDBSU	-		-	-	-	-	ビット・ストリングの論理積付き転送。ソース・ビット・ストリングとデスティネーション・ビット・ストリングとの論理積をとり、デスティネーション・ビット・ストリングに転送します。
ANDI	imm16, reg1, reg2		-	0	0	*	論理積。reg1のワード・データと16ビット・イミディエトをワード長までゼロ拡張した値の論理積をとり、その結果をreg2に格納します。
ANDNBSU	-		-	-	-	-	ビット・ストリングの片否定論理積付き転送。ソース・ビット・ストリングの論理否定をとったものとデスティネーション・ビット・ストリングとの論理積をとり、デスティネーション・ビット・ストリングに転送します。
BC	disp9		-	-	-	-	条件分岐 (if Carry)。PC相対分岐。
BE	disp9		-	-	-	-	条件分岐 (if Equal)。PC相対分岐。
BGE	disp9		-	-	-	-	条件分岐 (if Greater than or Equal)。PC相対分岐。
BGT	disp9		-	-	-	-	条件分岐 (if Greater than)。PC相対分岐。
BH	disp9		-	-	-	-	条件分岐 (if Higher)。PC相対分岐。
BL	disp9		-	-	-	-	条件分岐 (if Lower)。PC相対分岐。
BLE	disp9		-	-	-	-	条件分岐 (if Less than or Equal)。PC相対分岐。
BLT	disp9		-	-	-	-	条件分岐 (if Less than)。PC相対分岐。
BN	disp9		-	-	-	-	条件分岐 (if Negative)。PC相対分岐。
BNC	disp9		-	-	-	-	条件分岐 (if Not Carry)。PC相対分岐。
BNE	disp9		-	-	-	-	条件分岐 (if Not Equal)。PC相対分岐。
BNH	disp9		-	-	-	-	条件分岐 (if Not Higher)。PC相対分岐。
BNL	disp9		-	-	-	-	条件分岐 (if Not Lower)。PC相対分岐。
BNV	disp9		-	-	-	-	条件分岐 (if Not Overflow)。PC相対分岐。
BNZ	disp9		-	-	-	-	条件分岐 (if Not Zero)。PC相対分岐。

表15 - 1 命令ニモニク (アルファベット順) (2/8)

命 令	オペランド	フォーマット	CY	OV	S	Z	命 令 機 能
ニモニク							
BP	disp9		-	-	-	-	条件分岐 (if Positive)。PC相対分岐。
BR	disp9		-	-	-	-	無条件分岐。PC相対分岐。
BV	disp9		-	-	-	-	条件分岐 (if Overflow)。PC相対分岐。
BZ	disp9		-	-	-	-	条件分岐 (if Zero)。PC相対分岐
CAXI	disp16 [ reg1 ], reg2	VI	*	*	*	*	マルチプロセッサ構成のシステムにおけるプロセッサ間同期命令。
CMP	reg1, reg2		*	*	*	*	比較。reg2のワード・データとreg1のワード・データを比較し、結果を条件フラグに示します。比較はreg2のワード・データからreg1の内容を減算することで行います。
CMP	imm5, reg2		*	*	*	*	比較。reg2のワード・データと5ビット・イミディエトをワード長まで符号拡張した値を比較し、結果を条件フラグに示します。比較はreg2のワード・データからワード長まで符号拡張した5ビット・イミディエトを減算することで行います。
CMPF.S	reg1, reg2	VII	*	0	*	*	浮動小数点比較。reg1, reg2の単精度浮動小数点データを比較し、結果をフラグに示します。比較はreg2の浮動小数点データからreg1の浮動小数点データを減算することで行います。
CVT.SW	reg1, reg2	VII	-	0	*	*	浮動小数点データの整数への型変換。reg1の単精度浮動小数点データを整数データに変換し、その結果をフラグに反映するとともに、その結果をreg2に格納します。
CVT.WS	reg1, reg2	VII	*	0	*	*	整数の浮動小数点データへの型変換。reg1の整数データを単精度浮動小数点データに変換し、その結果をフラグに反映するとともに、その結果をreg2に格納します。
DIV	reg1, reg2		-	*	*	*	符号付き除算。reg2のワード・データをreg1のワード・データで除算 (符号付き) し、その商をreg2に、剰余をr30にそれぞれ格納します。除算は、剰余の符号が被除数の符号と一致するように行われます。
DIVF.S	reg1, reg2	VII	*	0	*	*	浮動小数点除算。reg2の単精度浮動小数点データをreg1の単精度浮動小数点データで除算し、その結果をフラグに反映するとともに、reg2に格納します。
DIVU	reg1, reg2		-	0	*	*	符号なし除算。reg2のワード・データをreg1のワード・データとともに符号なしデータとして除算し、その商をreg2に、剰余をr30にそれぞれ格納します。除算は、剰余の符号が被除数の符号と一致するように行われます。
HALT	-		-	-	-	-	プロセッサ停止。



表15 - 1 命令ニモニク (アルファベット順) (3/8)

命 令 ニモニク	オペランド	フォーマット	CY	OV	S	Z	命 令 機 能
IN.B	disp16 [ reg1 ], reg2	VI	-	-	-	-	<u>ポート入力</u> 。reg1のデータとワード長まで符号拡張した16ビット・ディスプレースメントを加算して32ビット符号なしポート・アドレスを生成します。生成したポート・アドレスからバイト・データを読み込み、ワード長までゼロ拡張しreg2に格納します。
IN.H	disp16 [ reg1 ], reg2	VI	-	-	-	-	<u>ポート入力</u> 。reg1のデータとワード長まで符号拡張した16ビット・ディスプレースメントを加算して32ビット符号なしポート・アドレスを生成します。生成したポート・アドレスからハーフワード・データを読み込み、ワード長までゼロ拡張しreg2に格納します。32ビット符号なしポート・アドレスのビット0は0にマスクされます。
IN.W	disp16 [ reg1 ], reg2	VI	-	-	-	-	<u>ポート入力</u> 。reg1のデータとワード長まで符号拡張した16ビット・ディスプレースメントを加算して32ビット符号なしポート・アドレスを生成します。生成したポート・アドレスからワード・データを読み込み、reg2に格納します。32ビット符号なしポート・アドレスのビット0, 1は0にマスクされます。
JAL	disp26		-	-	-	-	<u>ジャンプ・アンド・リンク</u> 。現在のPCに4を加算した値をr31に退避し、PCとワード長まで符号拡張した26ビット・ディスプレースメントを加算した値をPCに設定し、制御を移します。26ビット・ディスプレースメントのビット0は0にマスクされます。
JMP	[ reg1 ]		-	-	-	-	<u>レジスタ間接無条件分岐</u> 。reg1で指定されるアドレスに制御を移します。アドレスのビット0は0にマスクされます。
JR	disp26		-	-	-	-	<u>無条件分岐</u> 。現在のPCにワード長まで符号拡張した26ビット・ディスプレースメントを加算し、その値に制御を移します。26ビット・ディスプレースメントのビット0は0にマスクされます。
LD.B	disp16 [ reg1 ], reg2	VI	-	-	-	-	<u>バイト・ロード</u> 。reg1のデータと、ワード長まで符号拡張した16ビット・ディスプレースメントを加算して32ビット符号なしアドレスを生成します。生成したアドレスからバイト・データを読み出し、ワード長まで符号拡張し、reg2に格納します。

表15 - 1 命令ニモニク（アルファベット順）（4/8）

命 令 ニモニク	オペランド	フォーマット	CY	OV	S	Z	命 令 機 能
LD.H	disp16 [ reg1 ], reg2	VI	-	-	-	-	<u>ハーフワード・ロード</u> 。reg1のデータと、ワード長まで符号拡張した16ビット・ディスプレイメントを加算して32ビット符号なしアドレスを生成します。生成したアドレスからハーフワード・データを読み出し、ワード長まで符号拡張し、reg2に格納します。32ビット符号なしアドレスのビット0は0にマスクされます。
LD.W	disp16 [ reg1 ], reg2	VI	-	-	-	-	<u>ワード・ロード</u> 。reg1のデータと、ワード長まで符号拡張した16ビット・ディスプレイメントを加算して32ビット符号なしアドレスを生成します。生成したアドレスからワード・データを読み出し、reg2に格納します。32ビット符号なしアドレスのビット0, 1は0にマスクされます。
LDSR	reg2, regID		*	*	*	*	<u>システム・レジスタへのロード</u> 。reg2のワード・データをシステム・レジスタ番号 (regID) で指定されるシステム・レジスタに設定します。
MOV	reg1, reg2		-	-	-	-	<u>データの転送</u> 。reg1のワード・データを、reg2にコピーし転送します。
MOV	imm5, reg2		-	-	-	-	<u>データの転送</u> 。5ビット・イミディエトをワード長まで符号拡張した値を、reg2にコピーし転送します。
MOVBSU	-		-	-	-	-	<u>ビット・ストリングの転送</u> 。ソース・ビット・ストリングをデスティネーション・ビット・ストリングに転送します。
MOVEA	imm16, reg1, reg2		-	-	-	-	<u>加算</u> 。reg1のワード・データに16ビット・イミディエトをワード長まで符号拡張した値を加算し、その結果をreg2に格納します。
MOVHI	imm16, reg1, reg2		-	-	-	-	<u>加算</u> 。reg1のワード・データに、上位16ビット (16ビット・イミディエト) と下位16ビット (0) を合わせたワード・データを加算し、その結果をreg2に格納します。
MUL	reg1, reg2		-	*	*	*	<u>符号付き乗算</u> 。reg2のワード・データにreg1のワード・データを乗算 (符号付き) し、その結果 (ダブル・ワード長) の上位32ビットをr30に、下位32ビットをreg2にそれぞれ格納します。
MULF.S	reg1, reg2	VII	*	0	*	*	<u>浮動小数点乗算</u> 。reg2の単精度浮動小数点データに、reg1の単精度浮動小数点データを乗算し、その結果をフラグに反映するとともに、reg2に格納します。

表15 - 1 命令ニモニク (アルファベット順) (5/8)

命 令	オペランド	フォーマット	CY	OV	S	Z	命 令 機 能
ニモニク							
MULU	reg1, reg2		-	*	*	*	符号なし乗算。reg2のワード・データにreg1のワード・データを符号なしデータとして乗算し、その結果 (ダブル・ワード長) の上位32ビットをr30に、下位32ビットをreg2にそれぞれ格納します。
NOP	-		-	-	-	-	ノー・オペレーション。
NOT	reg1, reg2		-	0	*	*	論理否定。reg1のワード・データの論理否定 (1の補数) をとり、その結果をreg2に格納します。
NOTBSU	-		-	-	-	-	ビット・ストリングの論理否定付き転送。ソース・ビット・ストリングの論理否定をとり (1と0を反転する)、デスティネーション・ビット・ストリングに転送します。
OR	reg1, reg2		-	0	*	*	論理和。reg2のワード・データとreg1のワード・データの論理和をとり、その結果をreg2に格納します。
ORBSU	-		-	-	-	-	ビット・ストリングの論理和付き転送。ソース・ビット・ストリングと、デスティネーション・ビット・ストリングの論理和をとり、デスティネーション・ビット・ストリングに転送します。
ORI	imm16, reg1, reg2		-	0	*	*	論理和。reg1のワード・データと16ビット・イミディエトをワード長までゼロ拡張した値の論理和をとり、その結果をreg2に格納します。
ORNBSU	-		-	-	-	-	ビット・ストリングの片否定論理和付き転送。ソース・ビット・ストリングの論理否定をとったものと、デスティネーション・ビット・ストリングの論理和をとり、デスティネーション・ビット・ストリングに転送します。
OUT.B	reg2, disp16 [ reg1 ]	VI	-	-	-	-	ポート出力。reg1のデータと、ワード長まで符号拡張した16ビットを加算し、32ビット符号なしポート・アドレスを生成します。汎用レジスタreg2の下位1バイトのデータを生成したポート・アドレスに出力します。
OUT.H	reg2, disp16 [ reg1 ]	VI	-	-	-	-	ポート出力。reg1のデータと、ワード長まで符号拡張した16ビット・ディスプレイメントを加算し、32ビット符号なしポート・アドレスを生成します。汎用レジスタreg2の下位2バイトのデータを生成したポート・アドレスに出力します。32ビット符号なしポート・アドレスのビット0は0にマスクされます。

表15 - 1 命令ニモニク (アルファベット順) (6/8)

命 令	オペランド	フォーマット	CY	OV	S	Z	命 令 機 能
ニモニク							
OUT.W	reg2, disp16 [ reg1 ]	VI	-	-	-	-	<u>ポート出力</u> 。reg1のデータと、ワード長まで符号拡張した16ビット・ディスプレイメントを加算し、32ビット符号なしポート・アドレスを生成します。汎用レジスタreg2のワード・データを生成したポート・アドレスに出力します。32ビット符号なしポート・アドレスのビット0, 1は0にマスクされます。
RETI	-		*	*	*	*	<u>トラップまたは割り込みルーチンから戻る</u> 。システム・レジスタから、復帰PCとPSWを取り出し、トラップまたは割り込みルーチンから復帰する命令です。
SAR	reg1, reg2		*	0	*	*	<u>算術右シフト</u> 。reg2のワード・データをreg1の下位5ビットで示されるシフト数分、算術右シフト (MSBの値を順にMSBにコピーする) し、reg2に書き込みます。
SAR	imm5, reg2		*	0	*	*	<u>算術右シフト</u> 。reg2のワード・データを5ビット・イミディエトをワード長までゼロ拡張した値で示されるシフト数分、算術シフトし、reg2に書き込みます。
SCH0BSU	-		-	-	-	*	<u>ビット・ストリングの0サーチ</u> 。ソース・ビット・スト
SCH0BSD	-		-	-	-	*	リングをサーチし、最初に見つかった0の1ビット先のビット・アドレスをr30, r27に格納し、r29に検出までにスキップしたビット数、r28に検出までにスキップしたビット数を引いた値をそれぞれ設定します。
SCH1BSU	-		-	-	-	-	<u>ビット・ストリングの1サーチ</u> 。ソース・ビット・スト
SCH1BSD	-		-	-	-	-	リングをサーチし、最初に見つかった1の1ビット先のビット・アドレスをr30, r27に格納し、r29に検出までにスキップしたビット数、r28に検出までにスキップしたビット数を引いた値をそれぞれ設定します。
SETF	imm5, reg2		-	-	-	-	<u>フラグ条件の設定</u> 。5ビット・イミディエトの下位4ビットの示す条件が、条件フラグと一致した場合にはreg2に1を、そうでない場合は0を格納します。
SHL	reg1, reg2		*	0	*	*	<u>論理左シフト</u> 。reg2のワード・データを、reg1の下位5ビットで示されるシフト数分、論理左シフト (LSB側に0を送り込む) し、reg2に書き込みます。
SHL	imm5, reg2		*	0	*	*	<u>論理左シフト</u> 。reg2のワード・データを、5ビット・イミディエトをワード長までゼロ拡張した値で示されるシフト数分、論理左シフトし、reg2に書き込みます。
SHR	reg1, reg2		*	0	*	*	<u>論理右シフト</u> 。reg2のワード・データを、reg1の下位5ビットで示されるシフト数分、論理右シフト (MSB側に0を送り込む) し、reg2に書き込みます。

表15 - 1 命令ニモニク (アルファベット順) (7/8)

命 令 ニモニク	オペランド	フォーマット	CY	OV	S	Z	命 令 機 能
SHR	imm5, reg2		*	0	*	*	論理右シフト。reg2のワード・データを、5ビット・イミーディエトをワード長までゼロ拡張した値で示されるシフト数分、論理右シフトし、reg2に書き込みます。
ST.B	reg2, disp16 [ reg1 ]	VI	-	-	-	-	バイト・ストア。reg1のデータと、ワード長まで符号拡張した16ビット・ディスプレースメントを加算し、32ビット符号なしアドレスを生成します。reg2の下位1バイトのデータを生成したアドレスに格納します。
ST.H	reg2, disp16 [ reg1 ]	VI	-	-	-	-	ハーフワード・ストア。reg1のデータと、ワード長まで符号拡張した16ビット・ディスプレースメントを加算し、32ビット符号なしアドレスを生成します。reg2の下位2バイトのデータを生成したアドレスに格納します。32ビット符号なしアドレスのビット0は0にマスクされます。
ST.W	reg2, disp16 [ reg1 ]	VI	-	-	-	-	ワード・ストア。reg1のデータと、ワード長まで符号拡張した16ビット・ディスプレースメントを加算し、32ビット符号なしアドレスを生成します。reg2のワード・データを生成したアドレスに格納します。32ビット符号なしアドレスのビット0、ビット1は0にマスクされます。
STSR	regID, reg2		-	-	-	-	システム・レジスタの内容のストア。システム・レジスタ番号 (regID) で指定されるシステム・レジスタの内容をreg2に設定します。
SUB	reg1, reg2		*	*	*	*	減算。reg2のワード・データからreg1のワード・データを減算し、その結果をreg2に格納します。
SUBF.S	reg1, reg2	VII	*	0	*	*	浮動小数点減算。reg2の単精度浮動小数点データから、reg1の単精度浮動小数点データを減算し、その結果をフラグに反映するとともに、reg2に格納します。
TRAP	vector		-	-	-	-	ソフトウェア・トラップ。復帰PC, PSWをシステム・レジスタに退避し (PSWのEPフラグが1の場合はFEPC, FEPSWに、EPフラグが0の場合はEIPC, EIPSWに退避する)、例外コードをECRに設定し (PSWのEPフラグが1の場合はFECC, FEPSWに、EPフラグが0の場合はEICCに設定する)、PSWのフラグを設定し (PSWのEPフラグが1の場合はNP, IDフラグをセット、AEフラグをクリア、EPフラグが0の場合はEP, IDフラグをセット、AEフラグをクリアする)、vectorで指定されるトラップ・ベクタ (0-31) に対応するトラップ・ハンドラのアドレスにジャンプし、例外処理を開始します。

表15 - 1 命令ニモニク (アルファベット順) (8/8)

命 令 ニモニク	オペランド	フォーマット	CY	OV	S	Z	命 令 機 能
TRNC.SW	reg1, reg2	VII	-	0	*	*	浮動小数点データから整数への変換。reg1の単精度浮動小数点データを整数データに変換し、その結果をフラグに反映するとともに、reg2に格納します。
XOR	reg1, reg2		-	0	*	*	排他的論理和。reg2のワード・データとreg1のワード・データの排他的論理和をとり、その結果をreg2に格納します。
XORBSU	-		-	-	-	-	ビット・ストリングの排他的論理和付き転送。ソース・ビット・ストリングとデスティネーション・ビット・ストリングの排他的論理和をとり、デスティネーション・ビット・ストリングに転送します。
XORI	imm16, reg1, reg2		-	0	*	*	排他的論理和。reg1のワード・データと16ビット・イミューディオをワード長までゼロ拡張した値の排他的論理和をとり、その結果をreg2に格納します。
XORNBSU	-		-	-	-	-	ビット・ストリングの片否定排他的論理和付き転送。ソース・ビット・ストリングの論理否定をとったものと、デスティネーション・ビット・ストリングの排他的論理和をとり、デスティネーション・ビット・ストリングに転送します。

16. 電気的特性

絶対最大定格 (TA = 25 )

項目	略号	条件	定格	単位
電源電圧	V <sub>DD</sub>		- 0.5 ~ +7.0	V
入力電圧	V <sub>I</sub>	V <sub>DD</sub> = +5.0 V ± 10 %	- 0.5 ~ V <sub>DD</sub> + 0.3	V
クロック入力電圧	V <sub>K</sub>	V <sub>DD</sub> = +5.0 V ± 10 %	- 0.5 ~ V <sub>DD</sub> + 0.3	V
出力電圧	V <sub>O</sub>	V <sub>DD</sub> = +5.0 V ± 10 %	- 0.5 ~ V <sub>DD</sub> + 0.3	V
動作周囲温度	T <sub>A</sub>		- 40 ~ +85	
保存温度	T <sub>stg</sub>		- 65 ~ +150	

注意 1. IC製品の出力（または入出力）端子同士を直結したり、V<sub>DD</sub>またはV<sub>CC</sub>やGNDに直結したりしないでください。  
 ただし、オープン・ドレイン端子やオープン・コレクタ端子同士は直結できます。また、ハイ・インピーダンスとなる端子で、出力の衝突を避けるタイミング設計した外部回路でも直結可能です。

2. 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり、絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づかない状態で、製品をご使用ください。

DC特性とAC特性に示す規格や条件が、製品の正常動作、品質保証の範囲です。

DC特性 (TA = - 40 ~ +85 , V<sub>DD</sub> = +5.0 V ± 10 %)

項目	略号	条件	MIN.	TYP.	MAX.	単位
低レベル・クロック入力電圧	V <sub>KL</sub>		- 0.5		+ 0.6	V
高レベル・クロック入力電圧	V <sub>KH</sub>		4.0		V <sub>DD</sub> + 0.3	V
低レベル入力電圧	V <sub>IL1</sub>	RESET, NMI, INT <sub>Pn</sub> 以外	- 0.5		+ 0.8	V
	V <sub>IL2</sub>	RESET, NMI, INT <sub>Pn</sub>	- 0.5		+ 0.2 V <sub>DD</sub>	V
高レベル入力電圧	V <sub>IH1</sub>	RESET, NMI, INT <sub>Pn</sub> 以外	2.2		V <sub>DD</sub> + 0.3	V
	V <sub>IH2</sub>	RESET, NMI, INT <sub>Pn</sub>	0.8 V <sub>DD</sub>		V <sub>DD</sub> + 0.3	V
シュミット・トリガ入力ヒステリシス幅	V <sub>SH</sub>	RESET, NMI, INT <sub>Pn</sub>	0.5			V
低レベル出力電圧	V <sub>OL</sub>	I <sub>OL</sub> = 2.5 mA			0.45	V
高レベル出力電圧	V <sub>OH</sub>	I <sub>OH</sub> = - 2.5 mA	0.7 V <sub>DD</sub>			V
		I <sub>OH</sub> = - 100 μA	V <sub>DD</sub> - 0.4			V
低レベル入力リーク電流	I <sub>LIL</sub>	V <sub>IN</sub> = 0 V			- 10	μA
高レベル入力リーク電流	I <sub>LIH</sub>	V <sub>IN</sub> = V <sub>DD</sub>			10	μA
低レベル出力リーク電流	I <sub>LOL</sub>	V <sub>O</sub> = 0 V			- 10	μA
高レベル出力リーク電流	I <sub>LOH</sub>	V <sub>O</sub> = V <sub>DD</sub>			10	μA
電源電流	I <sub>DD</sub>	動作時 (f = 25 MHz)		100	150	mA
		HALT時 (f = 25 MHz)		18	45	mA
		IDLE時 (f = 25 MHz)		4	35	mA
		STOP時		5	20	μA

容量 (TA = 25 , VDD = +5.0 V ± 10 %)

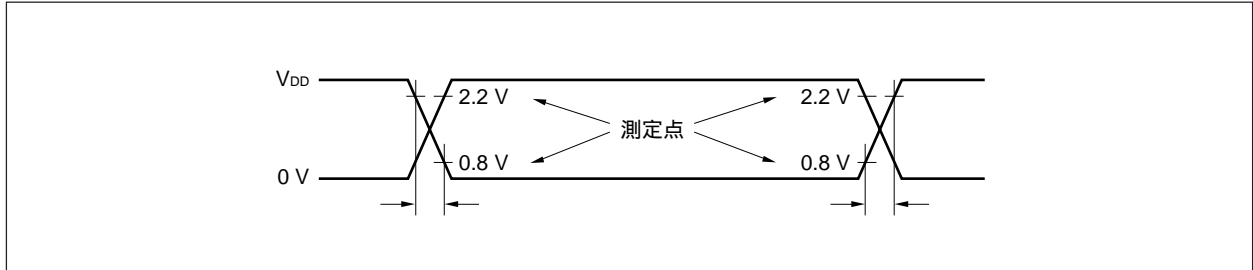
項 目	略 号	条 件	MIN.	MAX.	单 位
入力容量	C <sub>i</sub>	f <sub>c</sub> = 1MHz		15	pF
入出力容量	C <sub>io</sub>			15	pF



AC特性 (TA = -40 ~ +85 , VDD = +5.0 V ± 10 %)

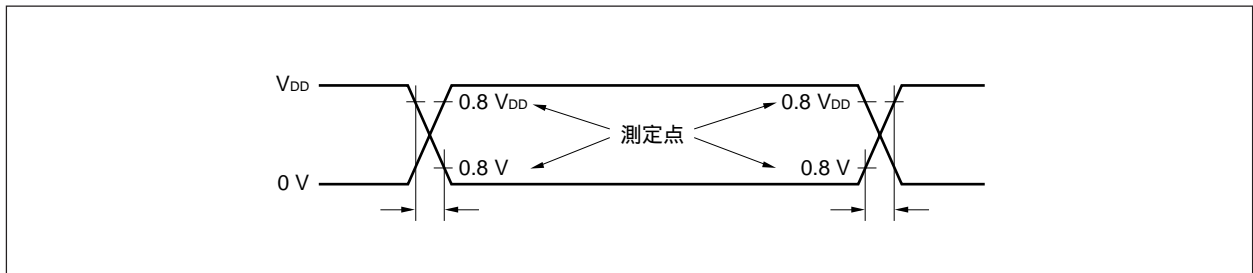
ACテスト入力波形 (RESET, NMI, INTPn以外)

項目	略号	条件	MIN.	MAX.	単位
入力立ち上がり時間	t <sub>R</sub>			7	ns
入力立ち下がり時間	t <sub>F</sub>			7	ns

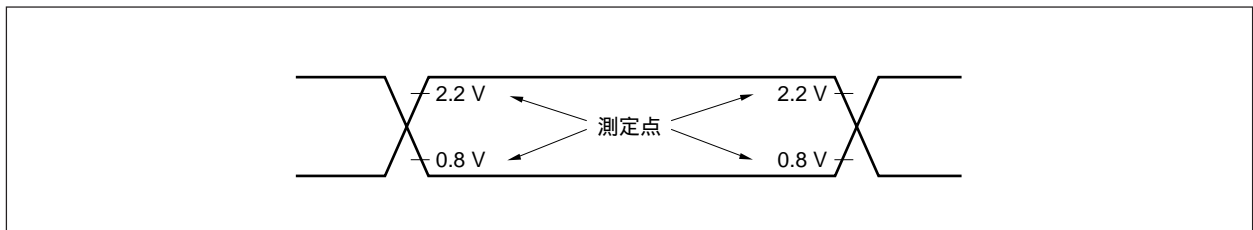


ACテスト入力波形 (RESET, NMI, INTPn)

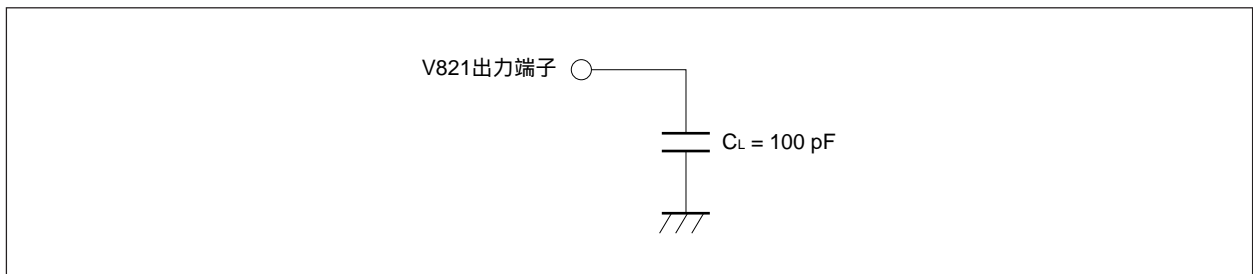
項目	略号	条件	MIN.	MAX.	単位
シュミット・トリガ入力立ち上がり時間	t <sub>RS</sub>			10	ns
シュミット・トリガ入力立ち下がり時間	t <sub>FS</sub>			10	ns



ACテスト出力波形

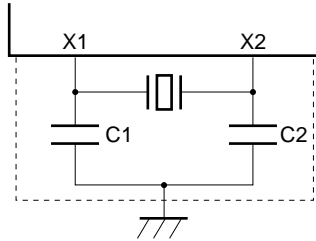


負荷条件



推奨発振回路

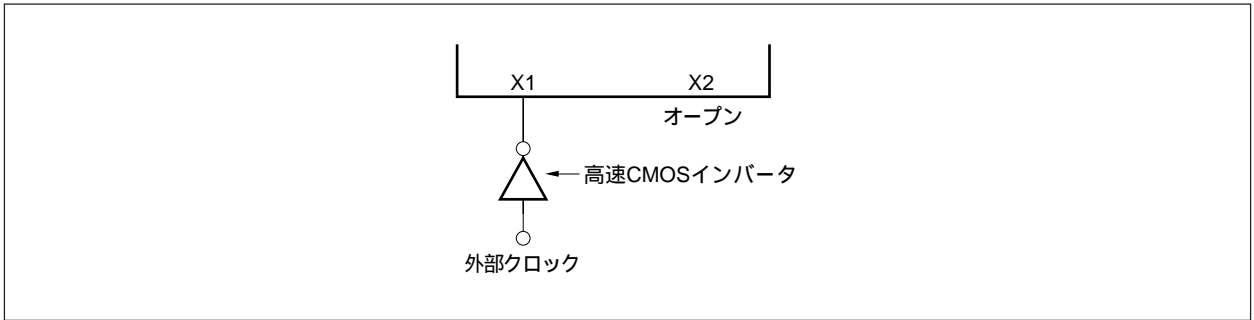
( a ) セラミック発振子接続 ( 村田製作所 :  $T_A = -20 \sim +80$  , TDK :  $T_A = -40 \sim +85$  )



- 注意 1 . 発振回路はX1, X2端子にできるかぎり近づけてください。
- 2 . 破線の範囲にほかの信号線を通さないでください。
- 3 . μPD70741と発振子のマッチングについては,十分に評価してください。

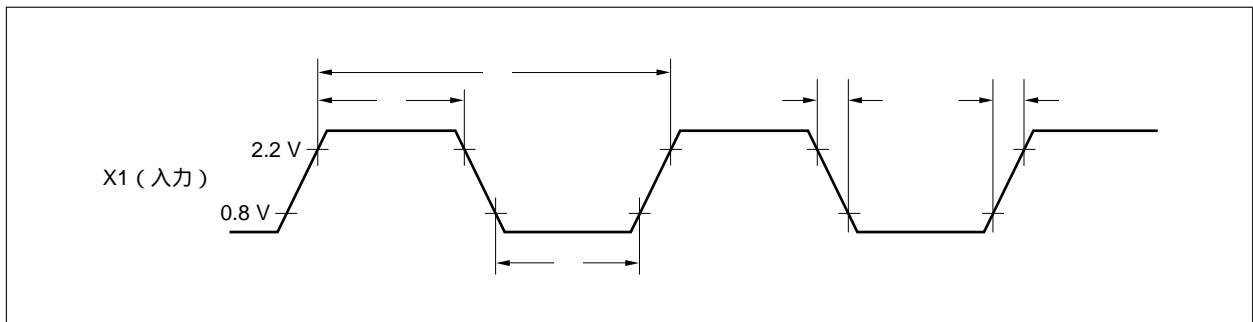
メーカー	品名	発振周波数 $f_{xx}$ ( MHz )	推奨回路定数		発振電圧範囲		発振安定時間 ( MAX. ) $T_{OST}$ ( ms )
			C1 ( pF )	C2 ( pF )	MIN. ( V )	MAX. ( V )	
村田製作所	CSA5.00MG	5.00	30	30	4.5	5.5	0.102
	CST5.00MGW	5.00	内蔵	内蔵	4.5	5.5	0.102
	CSA4.00MG	4.00	30	30	4.5	5.5	0.1
	CST4.00MGW	4.00	内蔵	内蔵	4.5	5.5	0.1
	CSA3.20MG	3.20	30	30	2.7	3.3	0.102
					4.5	5.5	0.102
	CST3.20MGW	3.20	内蔵	内蔵	2.7	3.3	0.102
					4.5	5.5	0.102
	CSA2.00MG040	2.00	100	100	2.7	3.3	0.498
4.5					5.5	0.498	
CST2.00MG040	2.00	内蔵	内蔵	2.7	3.3	0.498	
				4.5	5.5	0.498	
TDK	CCR5.0MC3	5.00	内蔵	内蔵	4.5	5.5	0.28
	FCR5.0MC5	5.00	内蔵	内蔵	4.5	5.5	0.22
	CCR4.0MC3	4.00	内蔵	内蔵	4.5	5.5	0.3
	FCR4.0MC5	4.00	内蔵	内蔵	4.5	5.5	0.22
	CCR3.2MC3	3.20	内蔵	内蔵	2.7	5.5	0.38
	CCR2.0MC33	2.00	内蔵	内蔵	2.7	5.5	0.36

(b) 外部クロック入力



(1) クロック入力タイミング

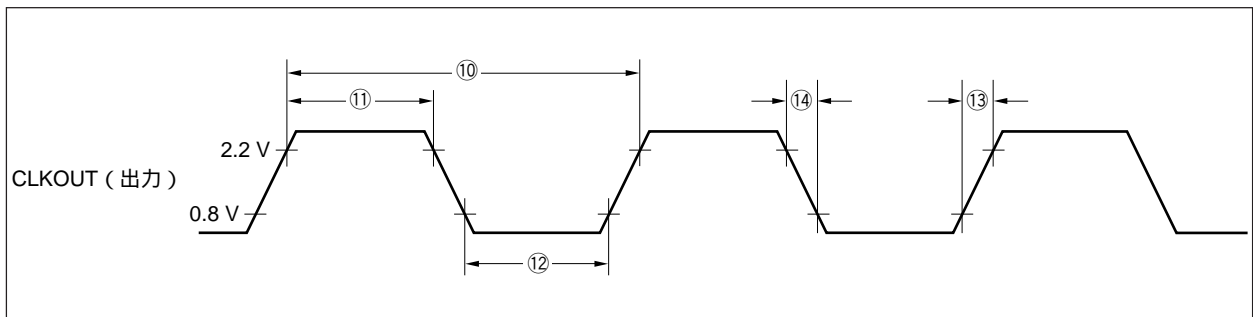
項目	略号	条件	MIN.	MAX.	単位
外部クロック周期	t <sub>CYX</sub>	ダイレクト・モード	20		ns
		PLLモード	200	500	ns
外部クロック・ハイ・レベル幅	t <sub>XKH</sub>	ダイレクト・モード	7		ns
		PLLモード	85		ns
外部クロック・ロウ・レベル幅	t <sub>XKL</sub>	ダイレクト・モード	7		ns
		PLLモード	85		ns
外部クロック立ち上がり時間	t <sub>XKR</sub>	ダイレクト・モード		3	ns
		PLLモード		15	ns
外部クロック立ち下がり時間	t <sub>XKF</sub>	ダイレクト・モード		3	ns
		PLLモード		15	ns



(2) CLKOUT出力タイミング

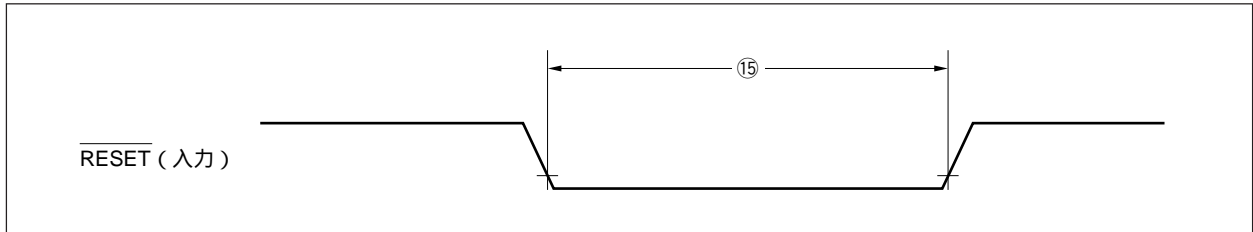
項目	略号	条件	MIN.	MAX.	単位
CLKOUT周期	⑩ t <sub>CYK</sub>		40	100	ns
CLKOUTハイ・レベル幅	⑪ t <sub>KKH</sub>		0.5 T - 3		ns
CLKOUTロウ・レベル幅	⑫ t <sub>KKL</sub>		0.5 T - 3		ns
CLKOUT立ち上がり時間 (0.8 V - 2.2 V)	⑬ t <sub>KR</sub>			5	ns
CLKOUT立ち下がり時間 (2.2 V - 0.8 V)	⑭ t <sub>KF</sub>			5	ns

備考 T : t<sub>CYK</sub>



(3) リセット入力タイミング

項目	略号	条件	MIN.	MAX.	単位
リセット入力幅	⑮ t <sub>WRL</sub>	パワーオン・リセット時	10		ms
		STOP解除	10		ms
		システム・リセット時	30		t <sub>cyk</sub>

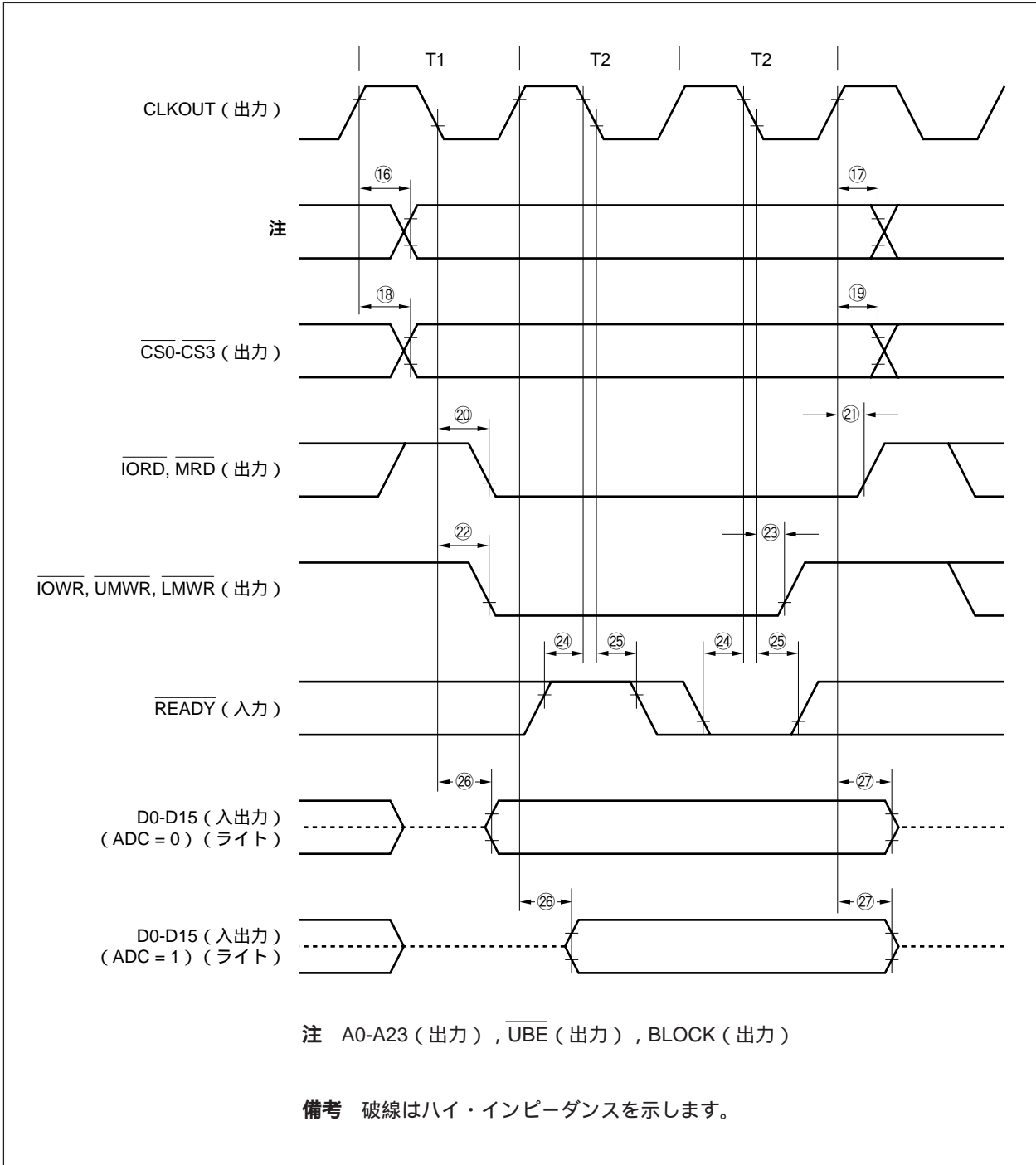


## (4) SRAM, ROM, I/Oアクセス・タイミング

## (a) アクセス・タイミング (1/2)

項目	略号	条件	MIN.	MAX.	単位
アドレス等出力遅延時間 (対CLKOUT)	⑩ tDKA		2	15	ns
アドレス等出力保持時間 (対CLKOUT)	⑪ tHKA		2	15	ns
$\overline{\text{CSn}}$ 出力遅延時間 (対CLKOUT)	⑫ tDKCS		2	15	ns
$\overline{\text{CSn}}$ 出力保持時間 (対CLKOUT)	⑬ tHKCS		2	15	ns
$\overline{\text{RD}}$ 出力遅延時間 (対CLKOUT)	⑭ tDKRD		2	15	ns
$\overline{\text{RD}}$ 出力保持時間 (対CLKOUT)	⑮ tHKRD		2	15	ns
$\overline{\text{WR}}$ 等出力遅延時間 (対CLKOUT)	⑯ tDKWR		1	12	ns
$\overline{\text{WR}}$ 等出力保持時間 (対CLKOUT)	⑰ tHKWR		1	12	ns
READY設定時間 (対CLKOUT)	⑱ tSRYK		6		ns
READY保持時間 (対CLKOUT)	⑲ tHKRY		6		ns
データ出力遅延時間 (fromフロート, 対CLKOUT)	⑳ tLZKDT		2	15	ns
データ出力保持時間 (toフロート, 対CLKOUT)	㉑ tHZKDT		2	15	ns

(a) アクセス・タイミング (2/2)



(b) リード・タイミング (1/2)

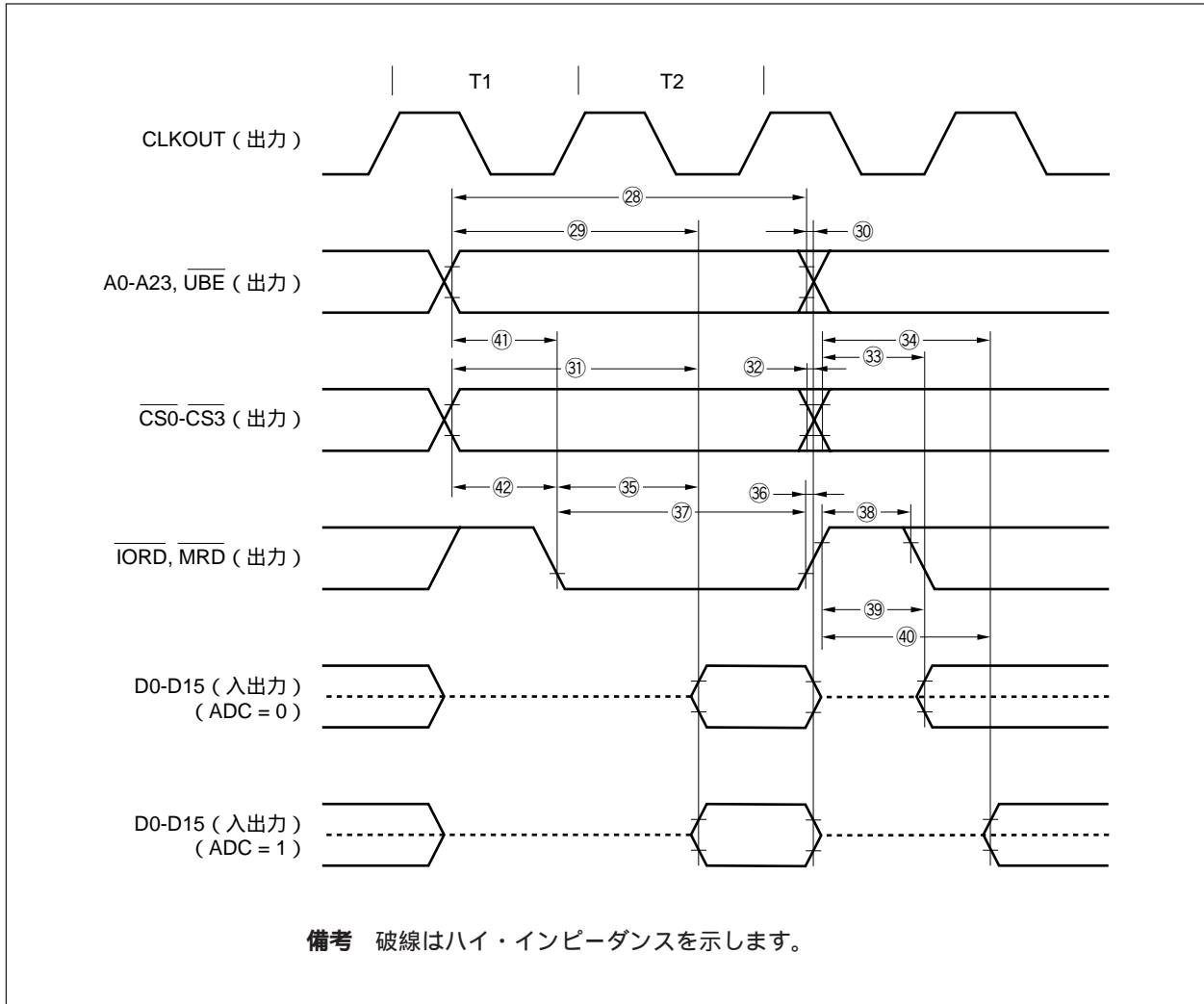
項 目	略 号	条 件	MIN.	MAX.	単位
リード・サイクル時間	⑳ trc		$(n+2)T - 10$		ns
アドレス・アクセス時間	㉑ tAA			$(n+2)T - 25$	ns
アドレス データ入力保持時間	㉒ tADH		0		ns
$\overline{CSn}$ アクセス時間	㉓ tCSA			$(n+2)T - 25$	ns
$\overline{CSn}$ データ入力保持時間	㉔ tCDH		0		ns
$\overline{CSn}$ ライト・データ出力時間 (ADC = 0)	㉕ tDCD0		$0.5T - 10$		ns
$\overline{CSn}$ ライト・データ出力時間 (ADC = 1)	㉖ tDCD1		$1T - 10$		ns
$\overline{RD}$ アクセス時間	㉗ trDA			$(n+1.5)T - 25$	ns
$\overline{RD}$ データ入力保持時間	㉘ trDH		0		ns
$\overline{RD}$ パルス幅	㉙ trDP		$(n+1.5)T - 7$		ns
$\overline{RD}$ ハイ・レベル幅	㉚ trDRDH		$0.5T - 10$		ns
$\overline{RD}$ ライト・データ出力時間 (ADC = 0)	㉛ tDRD0		$0.5T - 10$		ns
$\overline{RD}$ ライト・データ出力時間 (ADC = 1)	㉜ tDRD1		$1T - 10$		ns
$\overline{RD}$ 前アドレス有効時間	㉝ tARS		$0.5T - 7$		ns
$\overline{RD}$ 前 $\overline{CSn}$ 有効時間	㉞ tCRS		$0.5T - 7$		ns

備考 T : tcyk

n : ウェイト・ステート数



(b) リード・タイミング (2/2)



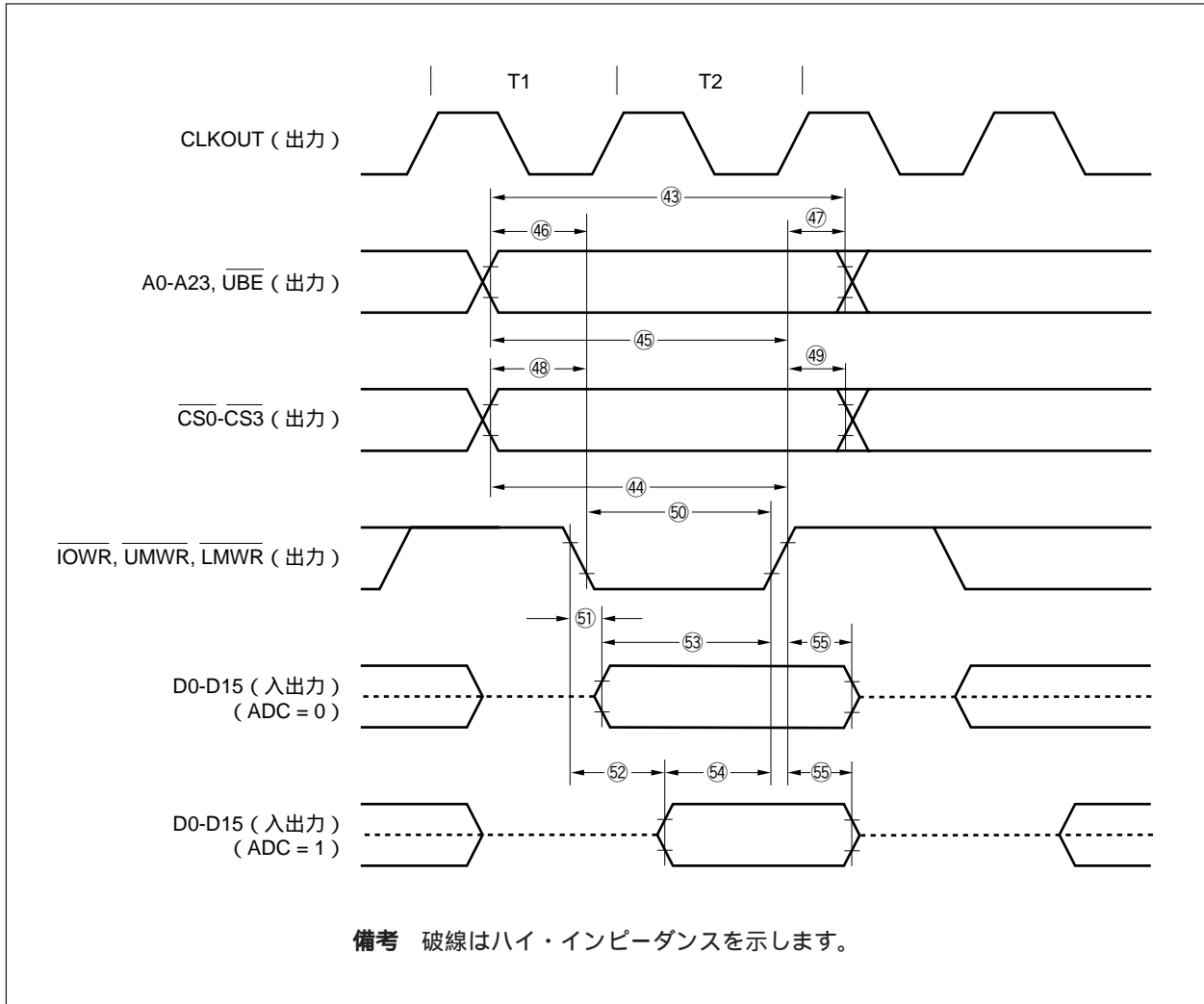
## (c) ライト・タイミング (1/2)

項 目	略 号	条 件	MIN.	MAX.	単 位
ライト・サイクル時間	④3	t <sub>wc</sub>	(n+2)T - 10		ns
$\overline{CSn}$ セットアップ時間 (対 $\overline{WR}$ )	④4	t <sub>cw</sub>	(n+1.5)T - 10		ns
アドレス・セットアップ時間 (対 $\overline{WR}$ )	④5	t <sub>aw</sub>	(n+1.5)T - 10		ns
$\overline{WR}$ 前アドレス有効時間	④6	t <sub>aws</sub>	0.5T - 7		ns
$\overline{WR}$ 後アドレス有効時間	④7	t <sub>awh</sub>	0.5T - 10		ns
$\overline{WR}$ 前 $\overline{CSn}$ 有効時間	④8	t <sub>cws</sub>	0.5T - 7		ns
$\overline{WR}$ 後 $\overline{CSn}$ 有効時間	④9	t <sub>cwh</sub>	0.5T - 10		ns
$\overline{WR}$ パルス幅	⑤0	t <sub>wrp</sub>	(n+1)T - 7		ns
$\overline{WR}$ データ出力遅延時間 (ADC = 0)	⑤1	t <sub>wds0</sub>	- 10		ns
$\overline{WR}$ データ出力遅延時間 (ADC = 1)	⑤2	t <sub>wds1</sub>	0.5T - 10		ns
$\overline{WR}$ 前データ出力有効時間 (ADC = 0)	⑤3	t <sub>dws0</sub>	(n+1)T - 7		ns
$\overline{WR}$ 前データ出力有効時間 (ADC = 1)	⑤4	t <sub>dws1</sub>	(n+0.5)T - 7		ns
$\overline{WR}$ 後データ出力有効時間	⑤5	t <sub>dwh</sub>	0.5T - 10		ns

備考 T : t<sub>cyk</sub>

n : ウェイト・ステート数

(c) ライト・タイミング (2/2)



(5) DRAMアクセス・タイミング (DRAMを直結する場合)

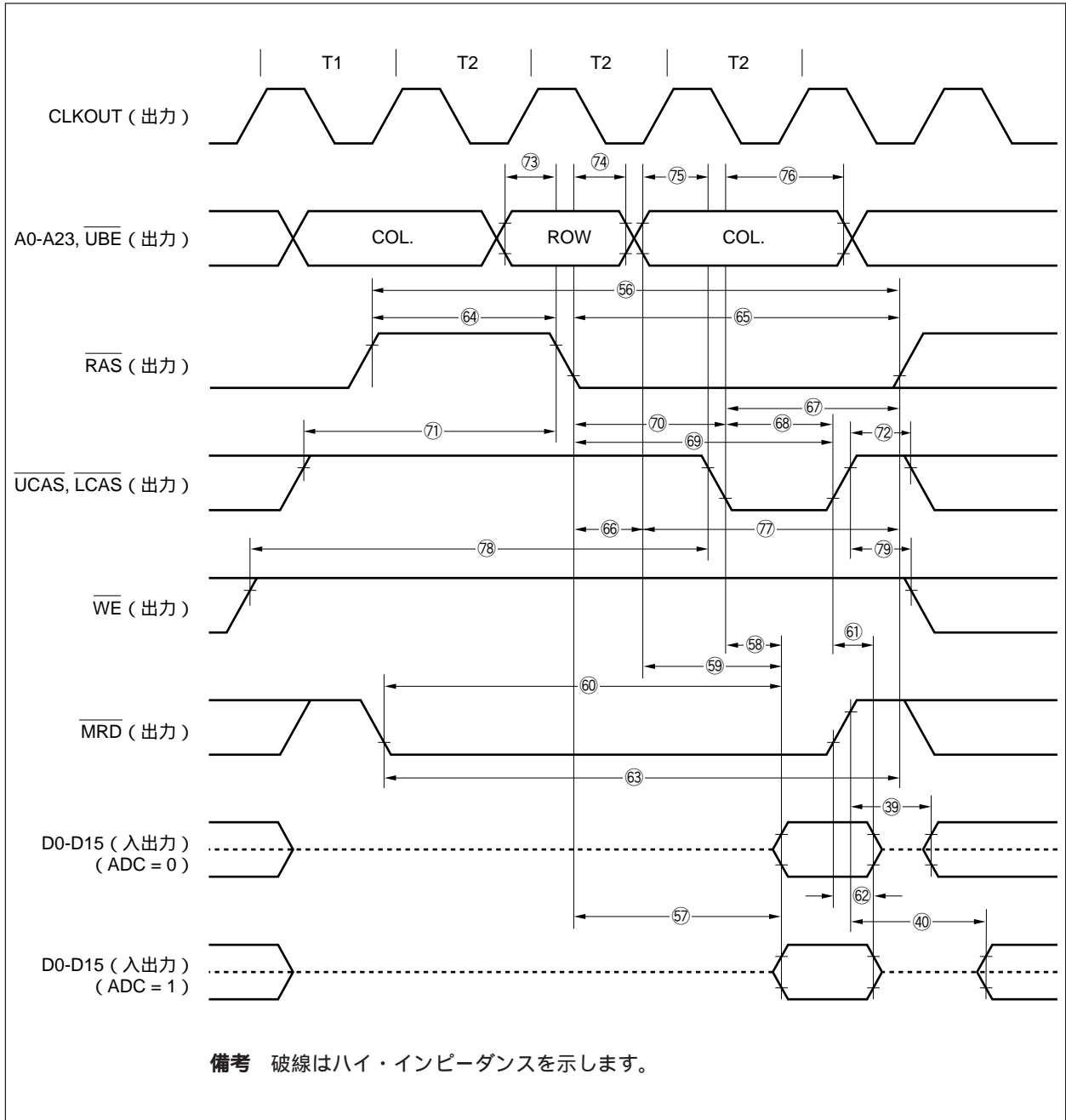
(a) リード・タイミング (通常アクセス: off-page) (1/2)

項目	略号	条件	MIN.	MAX.	単位
$\overline{RD}$ ライト・データ出力時間 (ADC = 0)	③9 tDRD0		0.5T - 10		ns
$\overline{RD}$ ライト・データ出力時間 (ADC = 1)	④0 tDRD1		1T - 10		ns
リード/ライト・サイクル時間	⑤6 trc		(w + 4) T - 10		ns
RASアクセス時間	⑤7 trAC			(w + 2) T - 20	ns
CASアクセス時間	⑤8 tcAC			(w + 1) T - 20	ns
カラム・アドレスからのアクセス時間	⑤9 tAA			(w + 1) T - 3	ns
出力イネーブル・アクセス時間	⑥0 toEA			1.5T - 20	ns
出力バッファ・ターン・オフ遅延時間 (対 $\overline{CAS}$ )	⑥1 toFF		0		ns
出力バッファ・ターン・オフ遅延時間 (対 $\overline{MRD}$ )	⑥2 toEZ		0		ns
$\overline{RD}$ セットアップ時間 (対RAS)	⑥3 toES		1.5T		ns
RASプリチャージ時間	⑥4 trP		1.5T - 10		ns
RASパルス幅	⑥5 trAS		(w + 2.5) T - 20		ns
RASカラム・アドレス遅延時間	⑥6 trAD		0.5T - 3	0.5T + 7	ns
$\overline{RAS}$ ホールド幅 (リード時)	⑥7 trSH		(w + 1.5) T - 20		ns
$\overline{CAS}$ パルス幅 (リード時)	⑥8 tcAS		(w + 1) T - 15		ns
$\overline{CAS}$ ホールド幅	⑥9 tcSH		(w + 2) T - 15		ns
RAS-CAS遅延時間 (リード時)	⑦0 trCD		1T - 15		ns
RAS-CASプリチャージ時間	⑦1 trCP		1.5T		ns
$\overline{CAS}$ プリチャージ時間	⑦2 tcp		0.5T - 10		ns
ロウ・アドレス・セットアップ時間	⑦3 tASR		0.5T - 15		ns
ロウ・アドレス・ホールド時間	⑦4 trAH		0.5T - 7		ns
カラム・アドレス・セットアップ時間 (リード時)	⑦5 tASC		0.5T - 15		ns
カラム・アドレス・ホールド時間 (リード時)	⑦6 tCAH		(w + 1) T - 15		ns
$\overline{RAS}$ に対するカラム・アドレス・リード時間	⑦7 trAL		(w + 1.5) T		ns
リード・コマンド・セットアップ時間	⑦8 trCS		0.5T		ns
リード・コマンド・ホールド時間	⑦9 trCH		0.5T - 15		ns

備考 T : tcyk

w : ウェイト・ステート数 - 2

( a ) リード・タイミング ( 通常アクセス : off-page ) ( 2/2 )



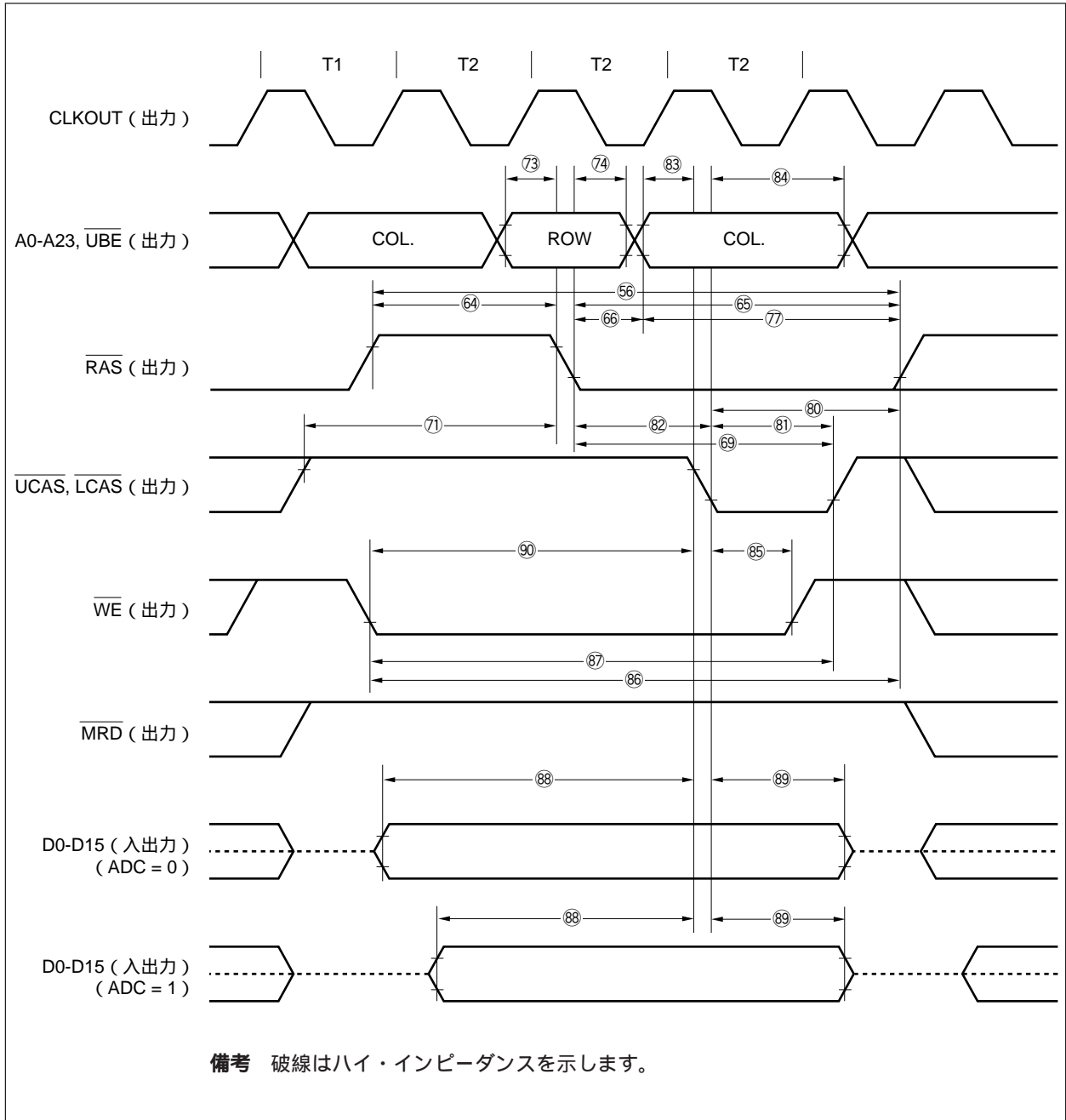
## (b) ライト・タイミング (通常アクセス : off-page) (1/2)

項 目	略 号	条 件	MIN.	MAX.	単位
リード/ライト・サイクル時間	⑤⑥	t <sub>RC</sub>	(w + 4) T - 10		ns
RASプリチャージ時間	⑥④	t <sub>RP</sub>	1.5T - 10		ns
RASパルス幅	⑥⑤	t <sub>RAS</sub>	(w + 2.5) T - 20		ns
RASカラム・アドレス遅延時間	⑥⑥	t <sub>RAD</sub>	0.5T - 3	0.5T + 7	ns
CASホールド幅	⑥⑨	t <sub>CSH</sub>	(w + 2) T - 15		ns
RAS-CASプリチャージ時間	⑦①	t <sub>CRP</sub>	1.5T		ns
ロウ・アドレス・セットアップ時間	⑦③	t <sub>ASR</sub>	0.5T - 15		ns
ロウ・アドレス・ホールド時間	⑦④	t <sub>RAH</sub>	0.5T - 7		ns
RASに対するカラム・アドレス・リード時間	⑦⑦	t <sub>RAL</sub>	(w + 1.5) T		ns
RASホールド幅 (ライト時)	⑧①	t <sub>RSH</sub>	1.5T - 20		ns
CASパルス幅 (ライト時)	⑧①	t <sub>CAS</sub>	1T - 15		ns
RAS-CAS遅延時間 (ライト時)	⑧②	t <sub>RCD</sub>	(w + 1) T - 15		ns
カラム・アドレス・セットアップ時間 (ライト時)	⑧③	t <sub>ASC</sub>	(w + 0.5) T - 15		ns
カラム・アドレス・ホールド時間 (ライト時)	⑧④	t <sub>CAH</sub>	1T - 15		ns
ライト・コマンド・ホールド時間	⑧⑤	t <sub>WCH</sub>	0.5T - 10		ns
RASに対するライト・コマンド・リード時間	⑧⑥	t <sub>RWL</sub>	1.5T		ns
CASに対するライト・コマンド・リード時間	⑧⑦	t <sub>CWL</sub>	1T		ns
データ・セットアップ時間 (対CAS)	⑧⑧	t <sub>DS</sub>	0.5T - 15		ns
データ・ホールド時間 (対CAS)	⑧⑨	t <sub>DH</sub>	1T - 20	1T + 10	ns
ライト・コマンド・セットアップ時間	⑨①	t <sub>WCS</sub>	0.5T - 15		ns

備考 T : t<sub>CYK</sub>

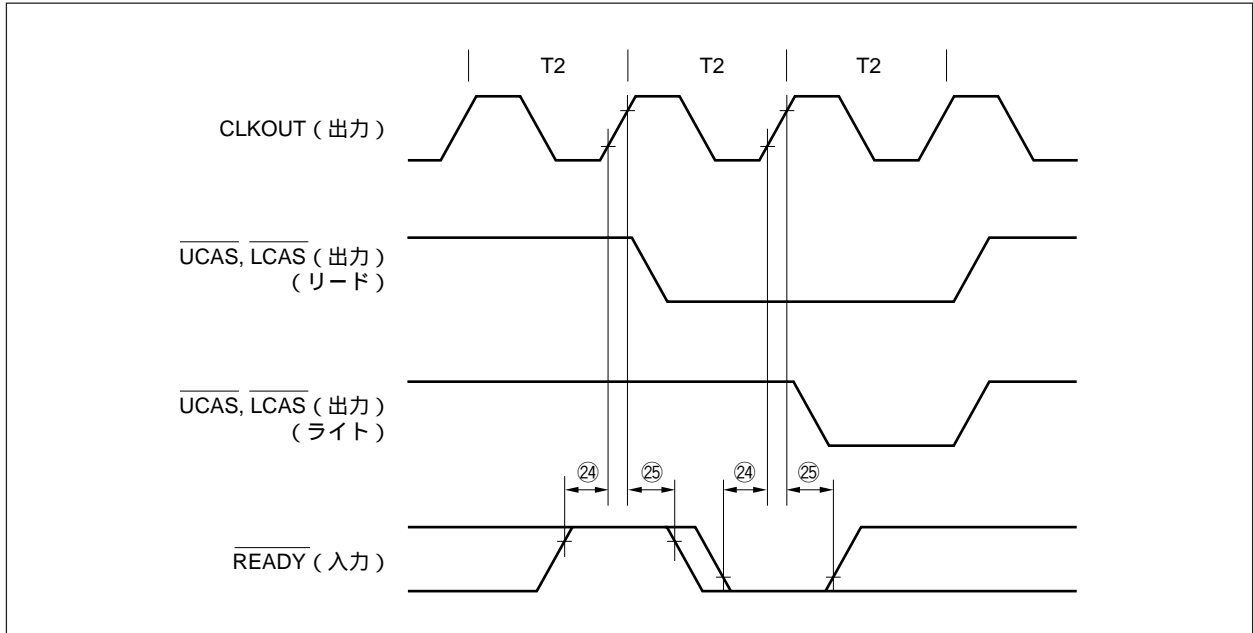
w : ウェイト・ステート数 - 2

(b) ライト・タイミング (通常アクセス : off-page) (2/2)



(c) READY入力タイミング (通常アクセス)

項目	略号	条件	MIN.	MAX.	単位
<u>READY</u> 設定時間 (対CLKOUT)	②④	t <sub>SRYK</sub>	6		ns
<u>READY</u> 保持時間 (対CLKOUT)	②⑤	t <sub>HKRY</sub>	6		ns





(× ㇀)

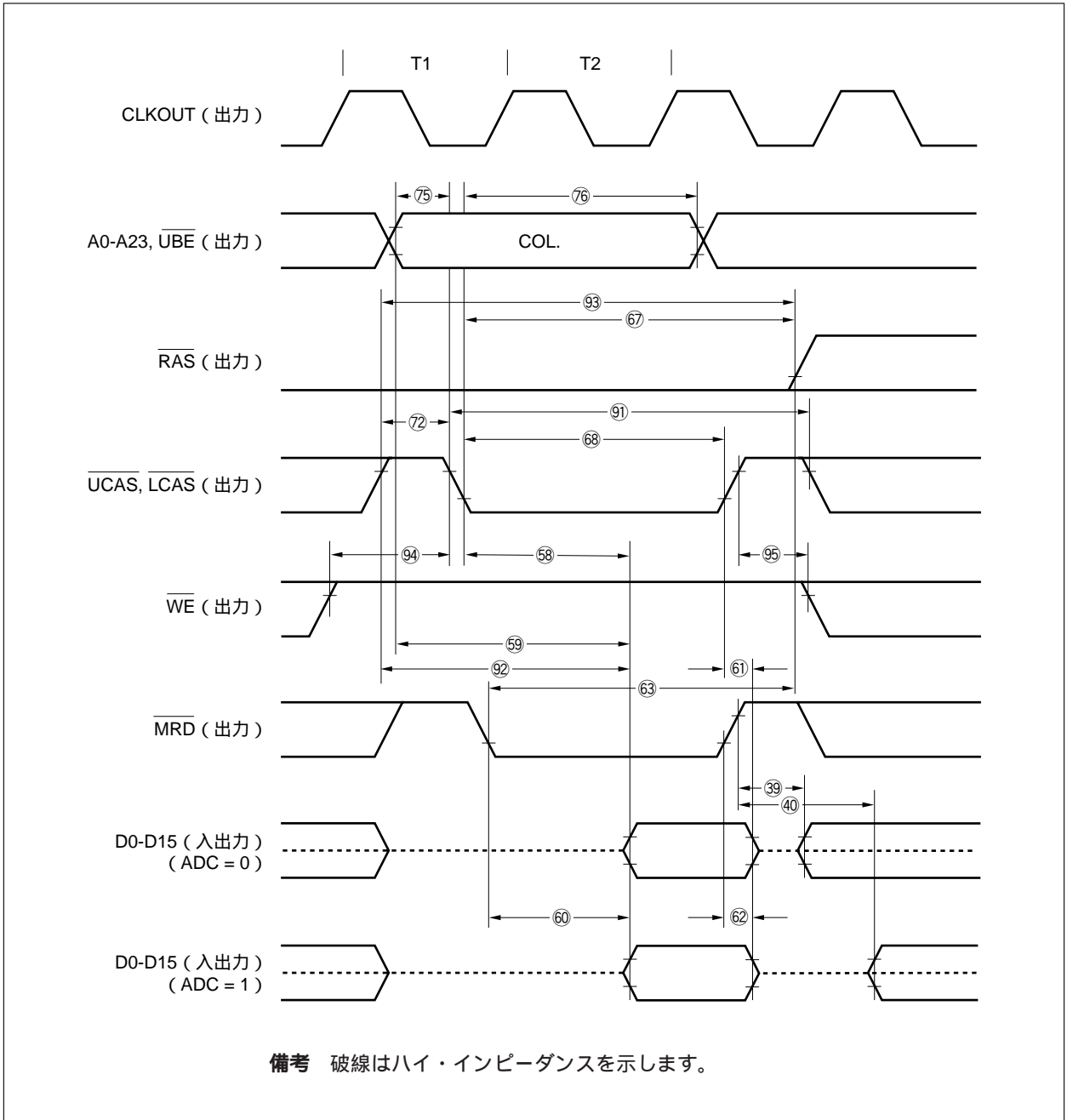
## (d) リード・タイミング (高速ページ・アクセス : on-page) (1/2)

項 目	略 号	条 件	MIN.	MAX.	単位
$\overline{RD}$ ライト・データ出力時間 (ADC = 0)	③⑨	tDRD0	0.5T - 10		ns
$\overline{RD}$ ライト・データ出力時間 (ADC = 1)	④⑩	tDRD1	1T - 10		ns
$\overline{CAS}$ アクセス時間	⑤⑧	tCAC		(w + 1) T - 20	ns
カラム・アドレスからのアクセス時間	⑤⑨	tAA		(w + 1) T - 3	ns
出力イネーブル・アクセス時間	⑥⑩	tOEA		1.5T - 20	ns
出力バッファ・ターン・オフ遅延時間 (対 $\overline{CAS}$ )	⑥⑪	tOFF	0		ns
出力バッファ・ターン・オフ遅延時間 (対 $\overline{MRD}$ )	⑥⑫	tOEZ	0		ns
$\overline{RD}$ セットアップ時間 (対 $\overline{RAS}$ )	⑥⑬	tOES	1.5T		ns
$\overline{RAS}$ ホールド幅 (リード時)	⑥⑭	tRSH	(w + 1.5) T - 20		ns
$\overline{CAS}$ パルス幅 (リード時)	⑥⑮	tCAS	(w + 1) T - 15		ns
$\overline{CAS}$ プリチャージ時間	⑦⑫	tCP	0.5T - 10		ns
カラム・アドレス・セットアップ時間 (リード時)	⑦⑬	tASC	0.5T - 15		ns
カラム・アドレス・ホールド時間 (リード時)	⑦⑭	tCAH	(w + 1) T - 15		ns
高速ページ・モード・サイクル時間	⑨①	tPC	1.5T - 10		ns
$\overline{CAS}$ プリチャージからのアクセス時間	⑨②	tACP		2T - 20	ns
$\overline{CAS}$ プリチャージに対する $\overline{RAS}$ ホールド時間	⑨③	tRHCP	2T		ns
リード・コマンド・セットアップ時間	⑨④	tRCS	0.5T		ns
リード・コマンド・ホールド時間	⑨⑤	tRCH	0.5T - 15		ns

備考 T : tcyk

w : 0

(d) リード・タイミング (高速ページ・アクセス: on-page) (2/2)



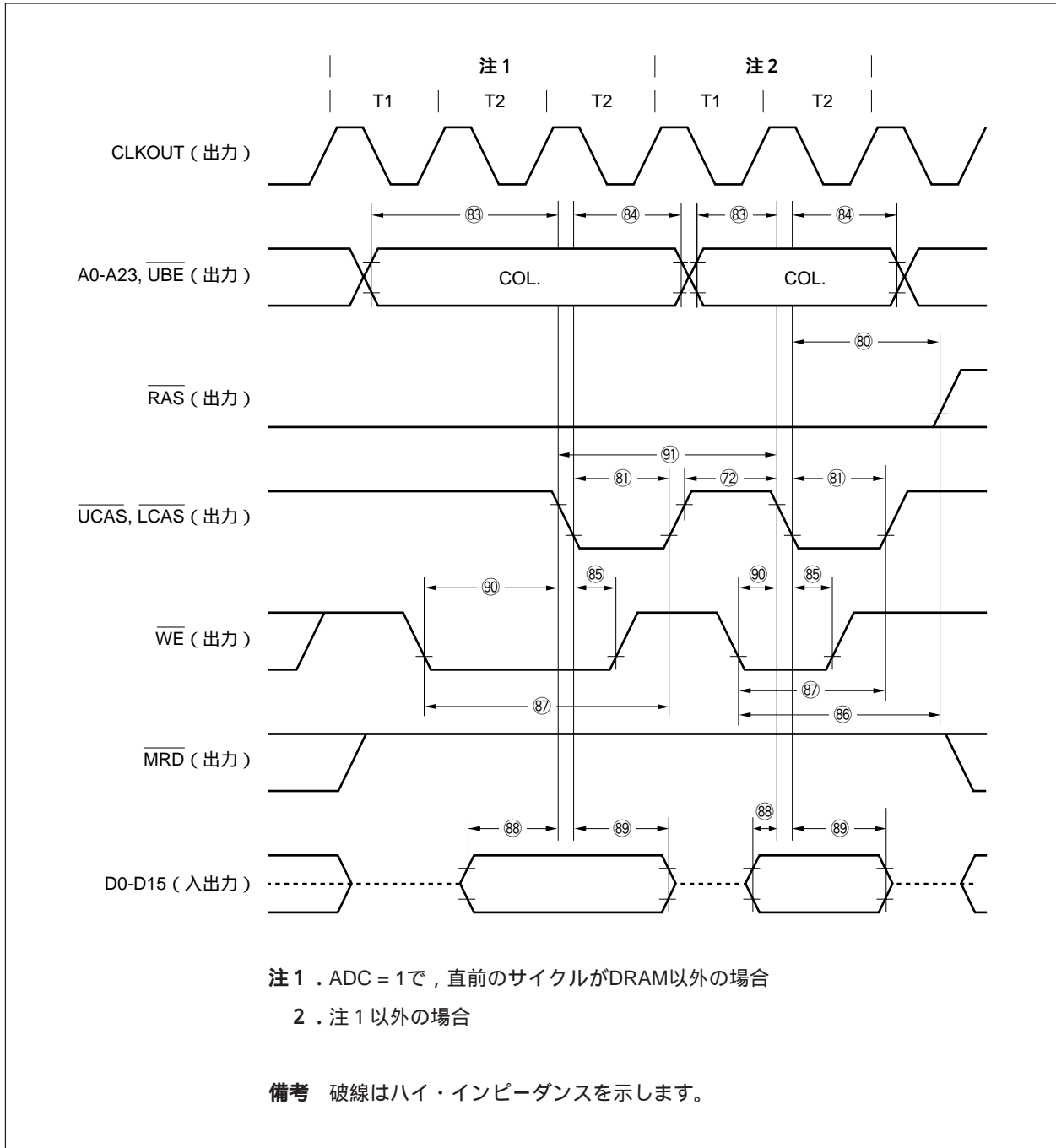
## (e) ライト・タイミング (高速ページ・アクセス: on-page) (1/2)

項 目	略 号	条 件	MIN.	MAX.	単 位
CASプリチャージ時間	⑦②	tCP	0.5T - 10		ns
RASホールド幅 (ライト時)	⑧①	tRSH	1.5T - 20		ns
CASパルス幅 (ライト時)	⑧①	tCAS	1T - 15		ns
カラム・アドレス・セットアップ時間 (ライト時)	⑧③	tASC	(w + 0.5) T - 15		ns
カラム・アドレス・ホールド時間 (ライト時)	⑧④	tCAH	1T - 15		ns
ライト・コマンド・ホールド時間	⑧⑤	tWCH	0.5T - 10		ns
RASに対するライト・コマンド・リード時間	⑧⑥	tRWL	1.5T		ns
CASに対するライト・コマンド・リード時間	⑧⑦	tcWL	1T		ns
データ・セットアップ時間 (対CAS)	⑧⑧	tDS	0.5T - 15		ns
データ・ホールド時間 (対CAS)	⑧⑨	tDH	1T - 20	1T + 10	ns
ライト・コマンド・セットアップ時間	⑨①	tWCS	0.5T - 15		ns
高速ページ・モード・サイクル時間	⑨①	tPC	1.5T - 10		ns

備考 T : tCYK

w : 0

(e) ライト・タイミング (高速ページ・アクセス: on-page) (2/2)

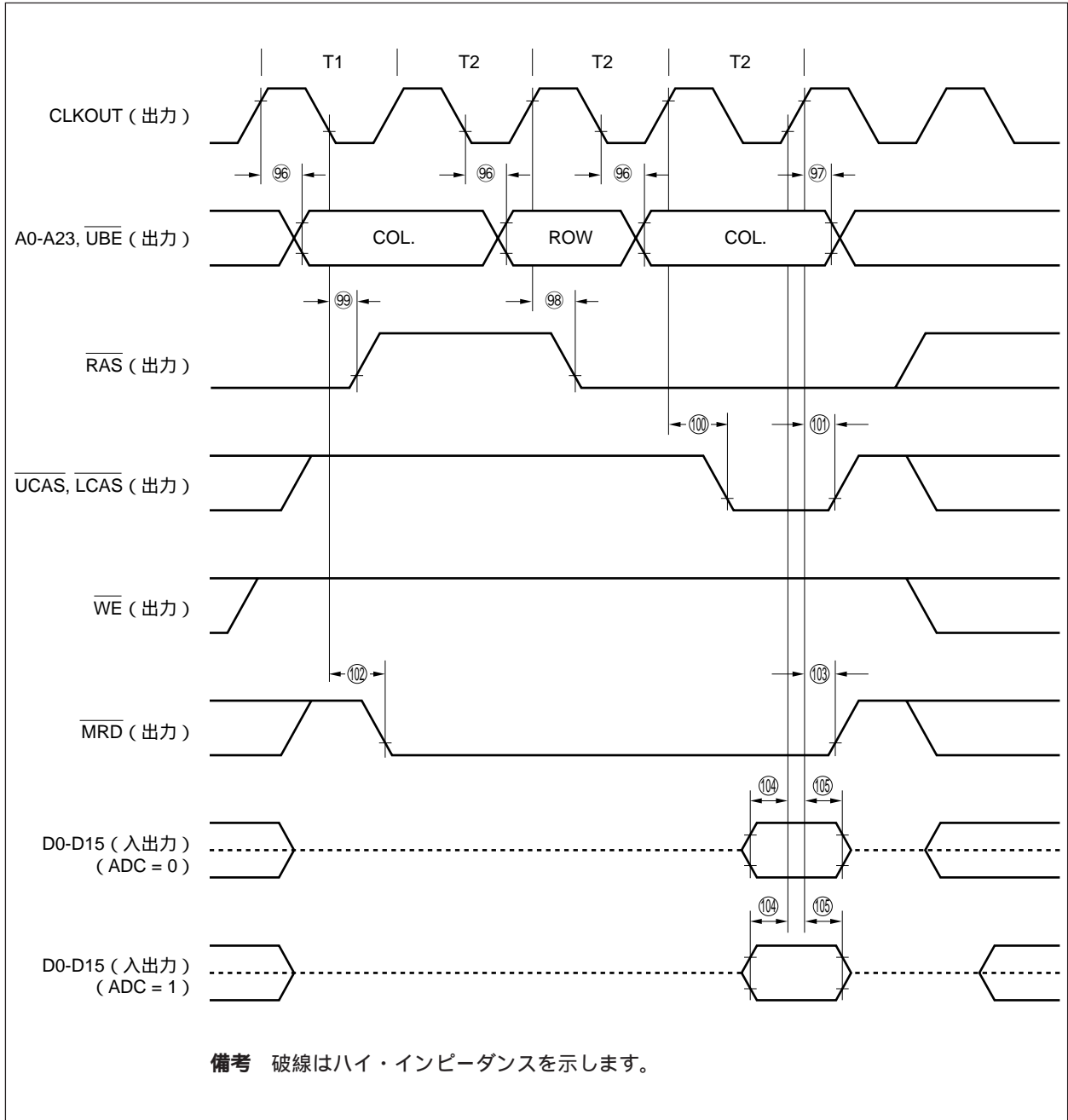


## (6) DRAMアクセス・タイミング(ゲートアレイ等でコントロール回路を作成する場合)

## (a) リード・タイミング(通常アクセス: off-page) (1/2)

項目	略号	条件	MIN.	MAX.	単位
アドレス等出力遅延時間(対CLKOUT)	⑨6 tDKA		2	15	ns
アドレス等出力保持時間(対CLKOUT)	⑨7 tHKA		2	15	ns
RAS出力遅延時間(対CLKOUT)	⑨8 tDKRAS		1	12	ns
RAS出力保持時間(対CLKOUT)	⑨9 tHKRAS		1	12	ns
CAS出力遅延時間(対CLKOUT)	100 tDKCAS		1	12	ns
CAS出力保持時間(対CLKOUT)	101 tHKCAS		1	12	ns
MRD出力遅延時間(対CLKOUT)	102 tDKRD		2	15	ns
MRD出力保持時間(対CLKOUT)	103 tHKRD		2	15	ns
データ入力セットアップ時間(対CLKOUT)	104 tSDK		6		ns
データ入力保持時間(対CLKOUT)	105 tHKD		6		ns

( a ) リード・タイミング ( 通常アクセス : off-page ) ( 2/2 )

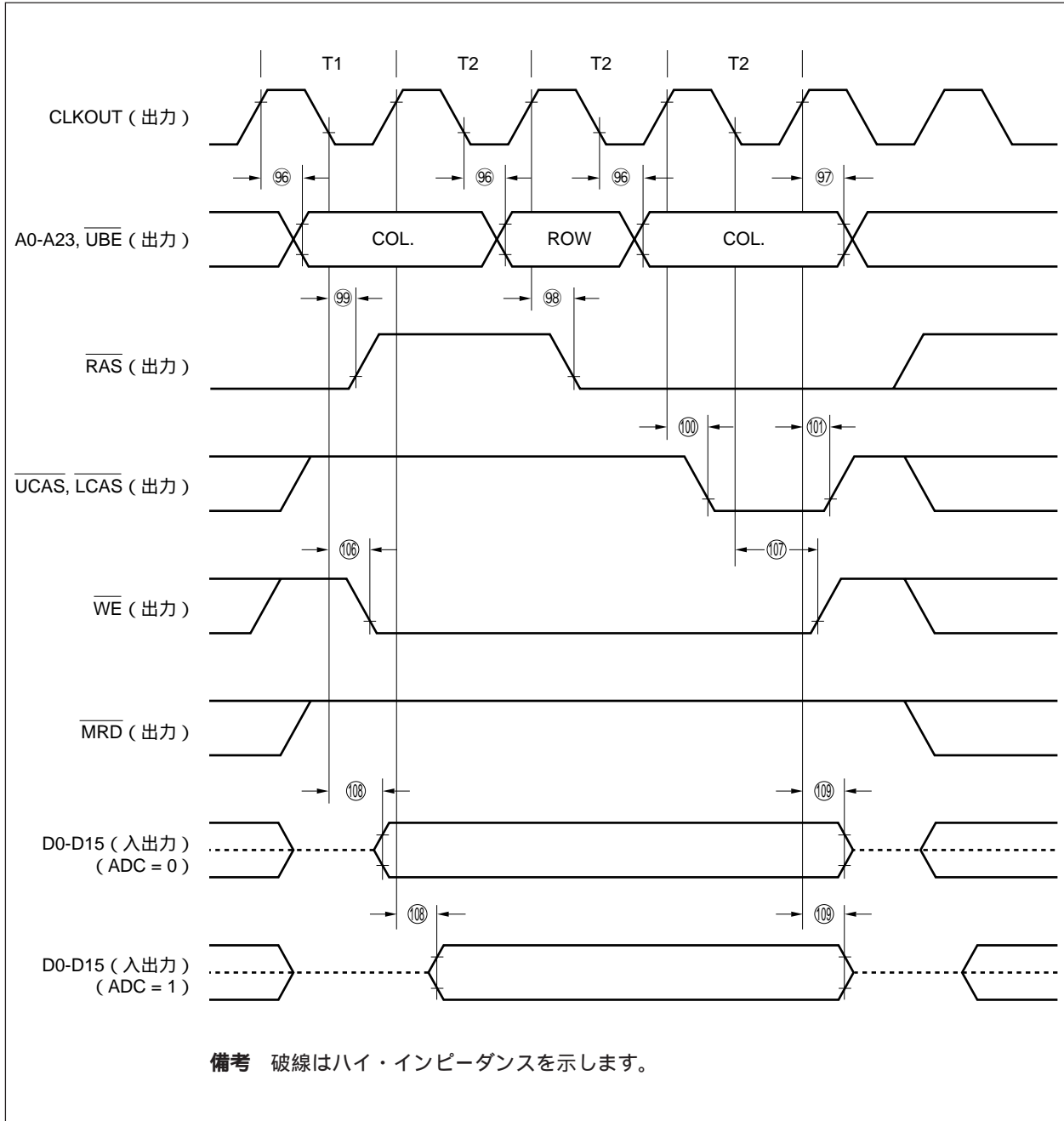


## (b) ライト・タイミング (通常アクセス : off-page) (1/2)

項 目	略 号	条 件	MIN.	MAX.	単位
アドレス等出力遅延時間 (対CLKOUT )	96 tDKA		2	15	ns
アドレス等出力保持時間 (対CLKOUT )	97 tHKA		2	15	ns
RAS出力遅延時間 (対CLKOUT )	98 tDKRAS		1	12	ns
RAS出力保持時間 (対CLKOUT )	99 tHKRAS		1	12	ns
CAS出力遅延時間 (対CLKOUT )	100 tDKCAS		1	12	ns
CAS出力保持時間 (対CLKOUT )	101 tHKCAS		1	12	ns
WE出力遅延時間 (対CLKOUT )	106 tDKWE		1	12	ns
WE出力保持時間 (対CLKOUT )	107 tHKWE		1	12	ns
データ・アクティブ遅延時間 (fromフロート, 対CLKOUT)	108 tLZKDT		2	15	ns
データ・インアクティブ保持時間 (toフロート, 対CLKOUT )	109 tHZKDT		2	15	ns

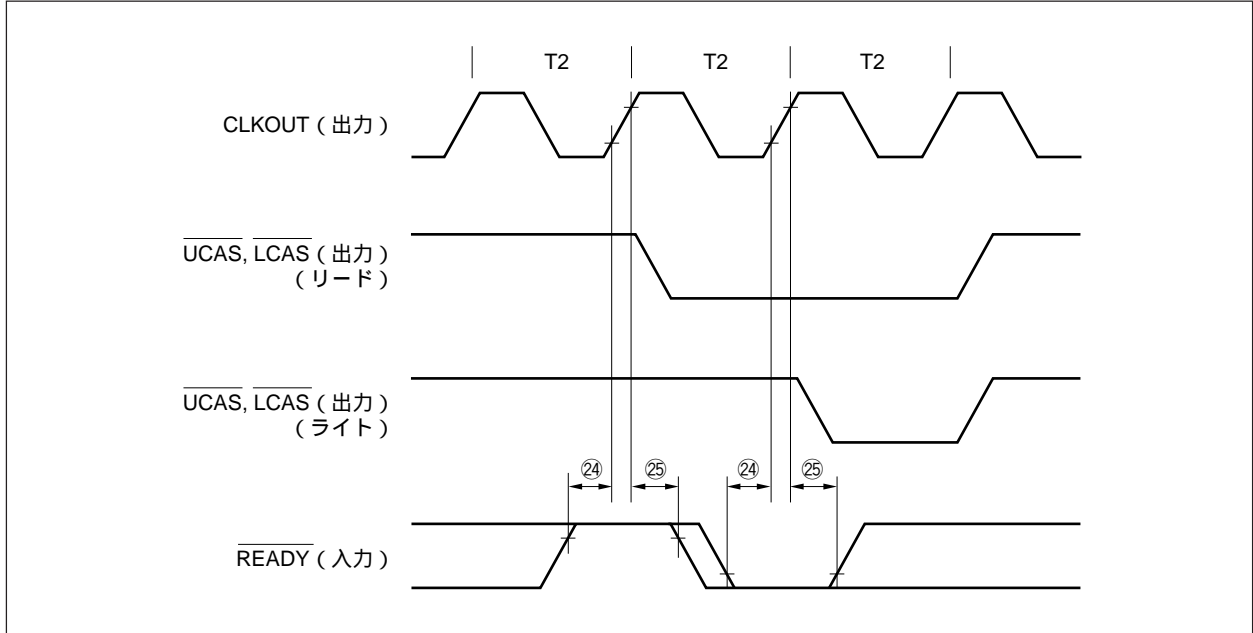


(b) ライト・タイミング (通常アクセス : off-page) (2/2)



(c)  $\overline{\text{READY}}$ 入力タイミング (通常アクセス)

項目	略号	条件	MIN.	MAX.	単位
$\overline{\text{READY}}$ 設定時間 (対CLKOUT)	②4	$t_{\text{SRYK}}$	6		ns
$\overline{\text{READY}}$ 保持時間 (対CLKOUT)	②5	$t_{\text{HKRY}}$	6		ns

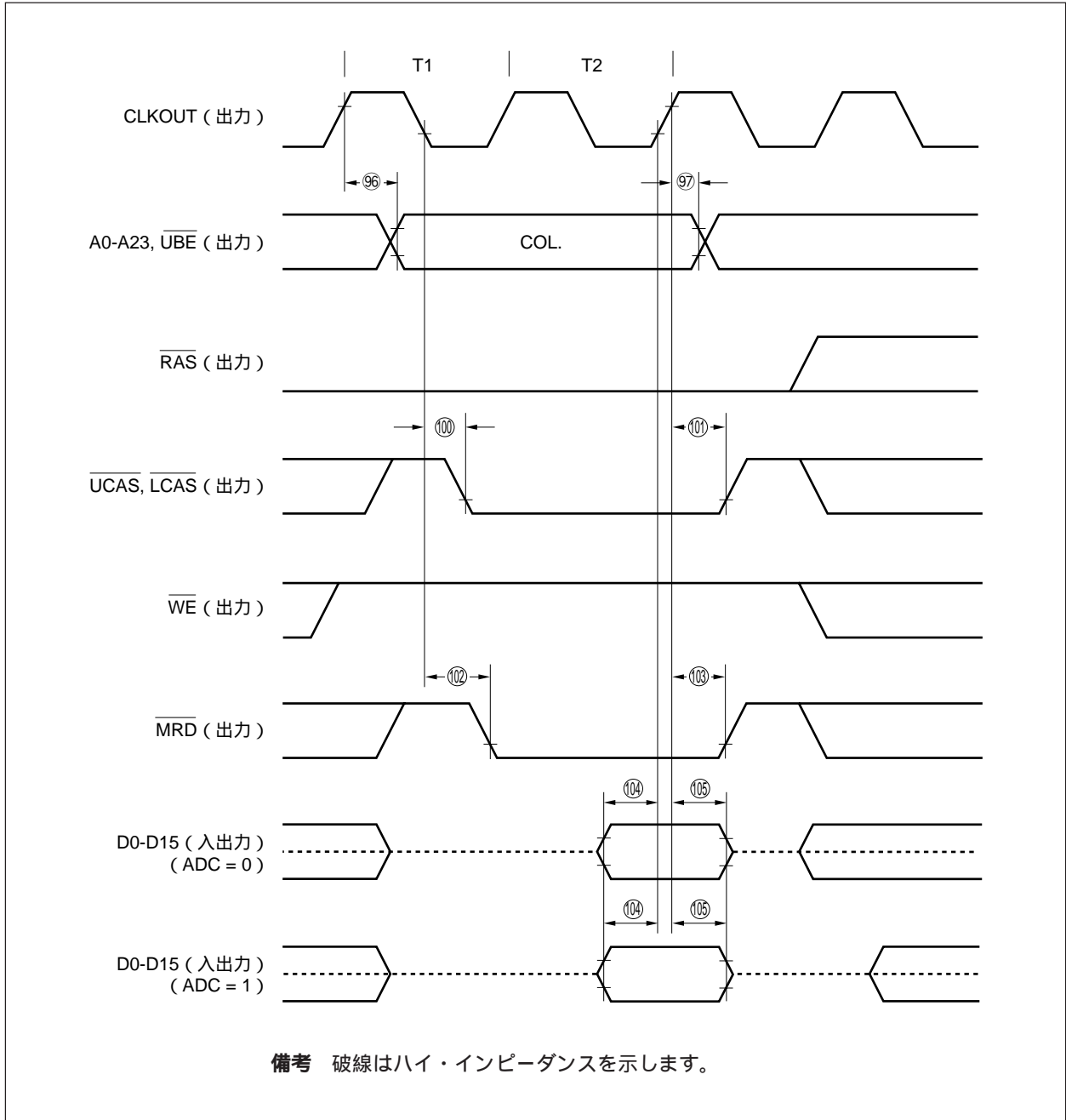


[X E]

## (d) リード・タイミング (高速ページ・アクセス : on-page) (1/2)

項 目	略 号	条 件	MIN.	MAX.	単 位
アドレス等出力遅延時間 (対CLKOUT)	96 tDKA		2	15	ns
アドレス等出力保持時間 (対CLKOUT)	97 tHKA		2	15	ns
CAS出力遅延時間 (対CLKOUT)	100 tDKCAS		1	12	ns
CAS出力保持時間 (対CLKOUT)	101 tHKCAS		1	12	ns
MRD出力遅延時間 (対CLKOUT)	102 tDKRD		2	15	ns
MRD出力保持時間 (対CLKOUT)	103 tHKRD		2	15	ns
データ入力セットアップ時間 (対CLKOUT)	104 tSDK		6		ns
データ入力保持時間 (対CLKOUT)	105 tHKD		6		ns

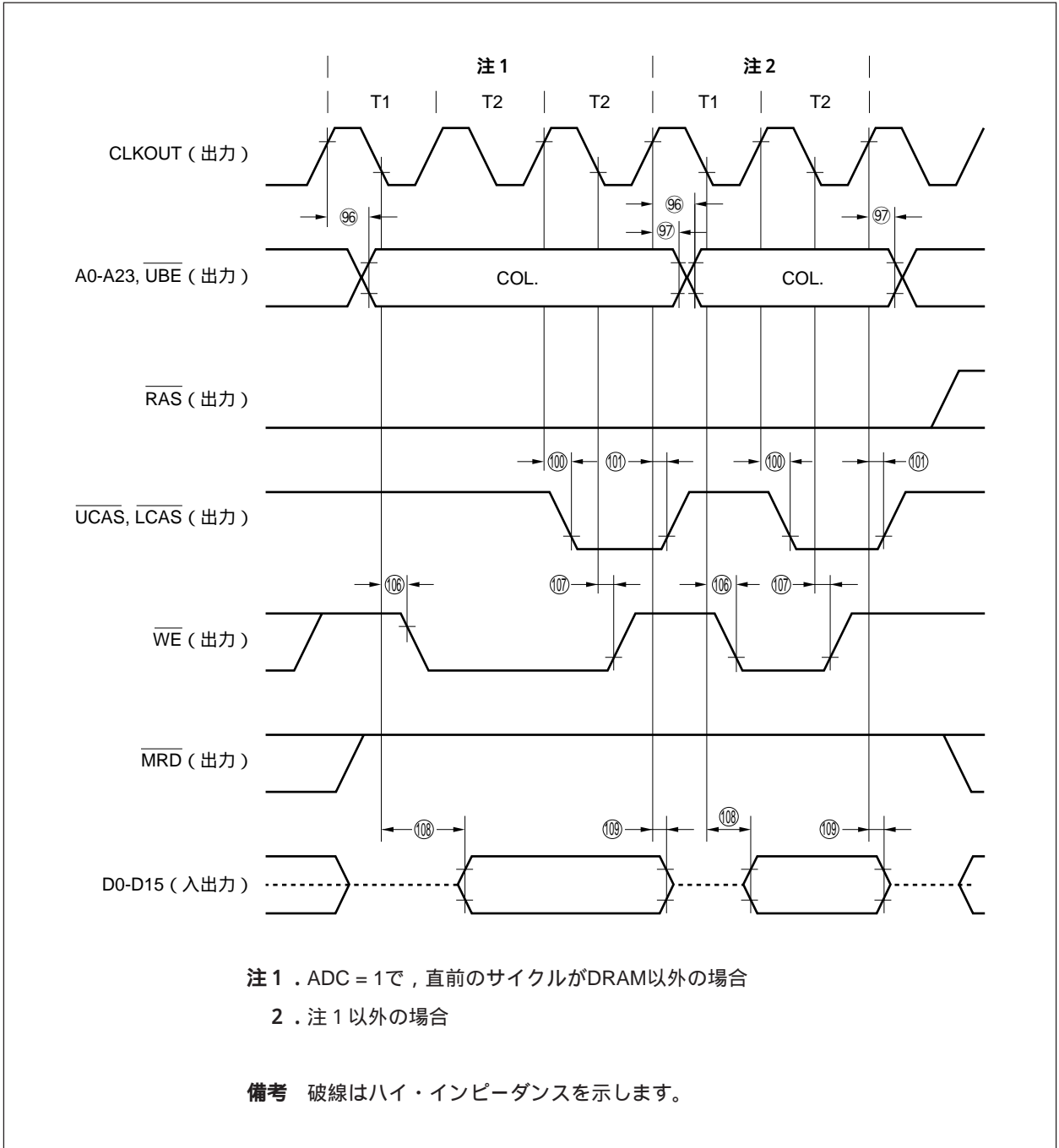
(d) リード・タイミング (高速ページ・アクセス: on-page) (2/2)



( e ) ライト・タイミング ( 高速ページ・アクセス : on-page ) ( 1/2 )

項 目	略 号	条 件	MIN.	MAX.	単 位
アドレス等出力遅延時間 ( 対CLKOUT )	96 tDKA		2	15	ns
アドレス等出力保持時間 ( 対CLKOUT )	97 tHKA		2	15	ns
CAS出力遅延時間 ( 対CLKOUT )	100 tDKCAS		1	12	ns
CAS出力保持時間 ( 対CLKOUT )	101 tHKCAS		1	12	ns
WE出力遅延時間 ( 対CLKOUT )	106 tDKWE		1	12	ns
WE出力保持時間 ( 対CLKOUT )	107 tHKWE		1	12	ns
データ・アクティブ遅延時間 ( fromフロート, 対CLKOUT )	108 tLZKDT		2	15	ns
データ・インアクティブ保持時間 ( toフロート, 対CLKOUT )	109 tHZKDT		2	15	ns

(e) ライト・タイミング (高速ページ・アクセス: on-page) (2/2)

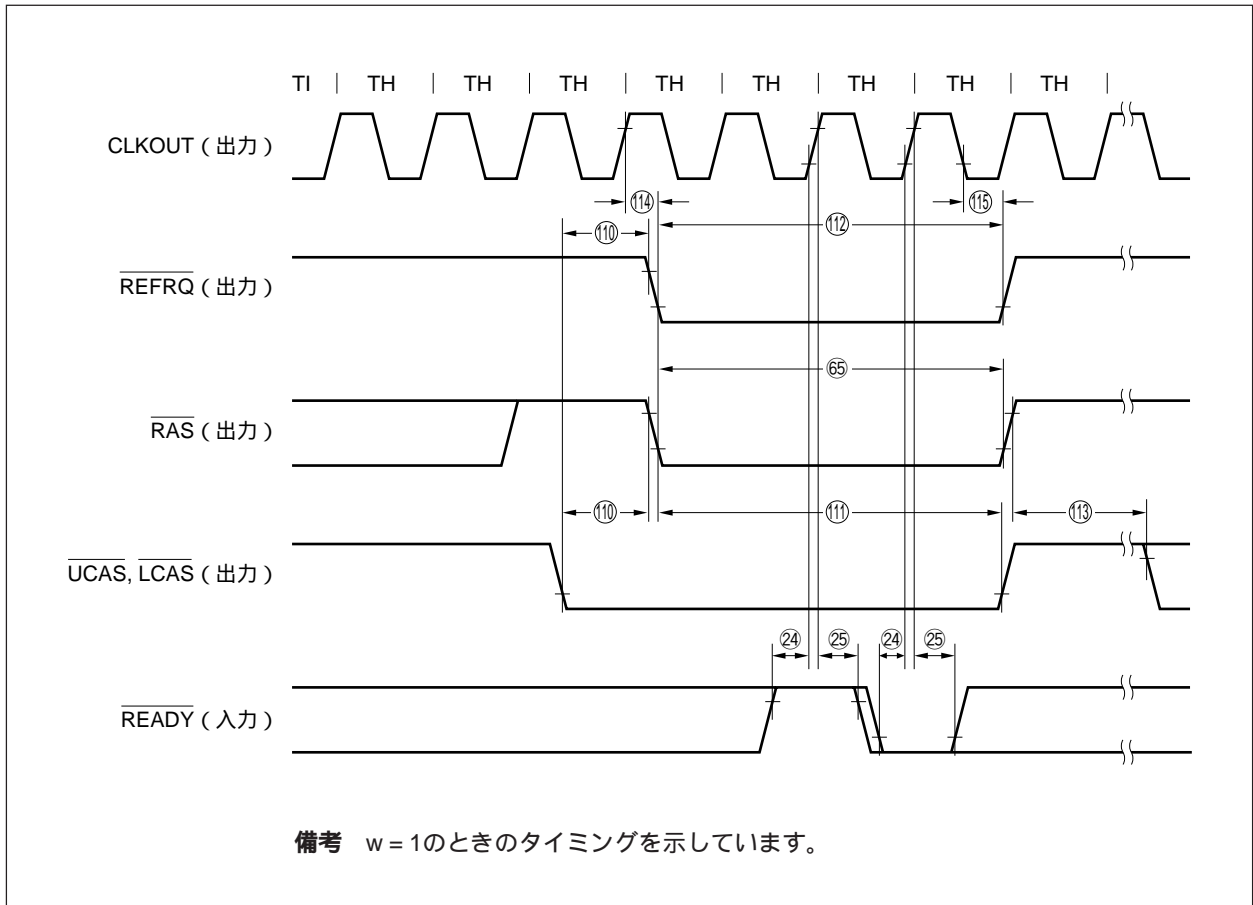


(7) DRAM, CBRリフレッシュ・タイミング

項目	略号	条件	MIN.	MAX.	単位
READY設定時間 (対CLKOUT)	24	t <sub>SRYK</sub>	6		ns
READY保持時間 (対CLKOUT)	25	t <sub>HKRY</sub>	6		ns
RASパルス幅	65	t <sub>RAS</sub>	(w + 2.5) T - 20		ns
CASセットアップ時間	110	t <sub>CSR</sub>	1T - 20		ns
CASホールド時間	111	t <sub>CHR</sub>	(w + 2.5) T - 20		ns
リフレッシュ・パルス幅	112	t <sub>REF</sub>	(w + 2.5) T - 20		ns
RASプリチャージ - CASホールド時間	113	t <sub>RPC</sub>	4.5T - 20		ns
REFRQアクティブ遅延時間 (対CLKOUT)	114	t <sub>DKREF</sub>	1	12	ns
REFRQインアクティブ遅延時間 (対CLKOUT)	115	t <sub>HKREF</sub>	1	12	ns

備考 T : t<sub>cyk</sub>

w : CBRリフレッシュ・ウエイト・ステート数

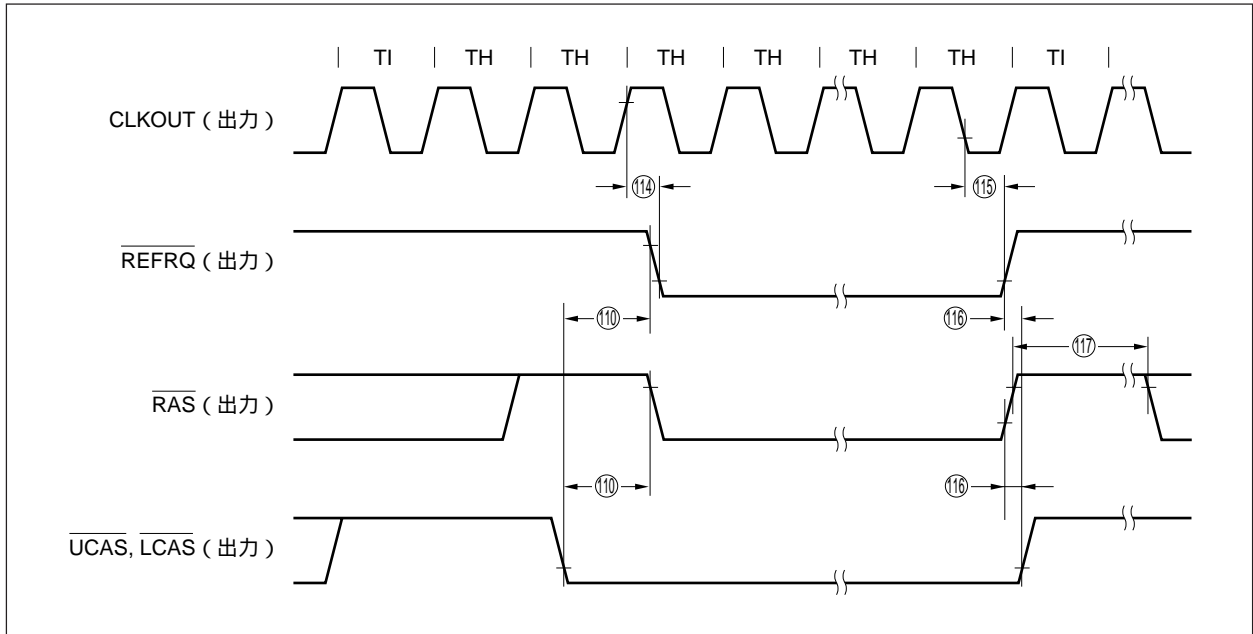




(8) DRAM, CBRセルフ・リフレッシュ・タイミング

項目	略号	条件	MIN.	MAX.	単位
CASセットアップ時間	110	tCSR	1T - 20		ns
REFRQアクティブ遅延時間(対CLKOUT)	114	tDKREF	1	12	ns
REFRQインアクティブ遅延時間(対CLKOUT)	115	tHKREF	1	12	ns
CASホールド時間	116	tCHS	- 10		ns
RASプリチャージ時間	117	trPS	4.5T - 20		ns

備考 T : tCYK



## (9) Page-ROMアクセス・タイミング (1/2)

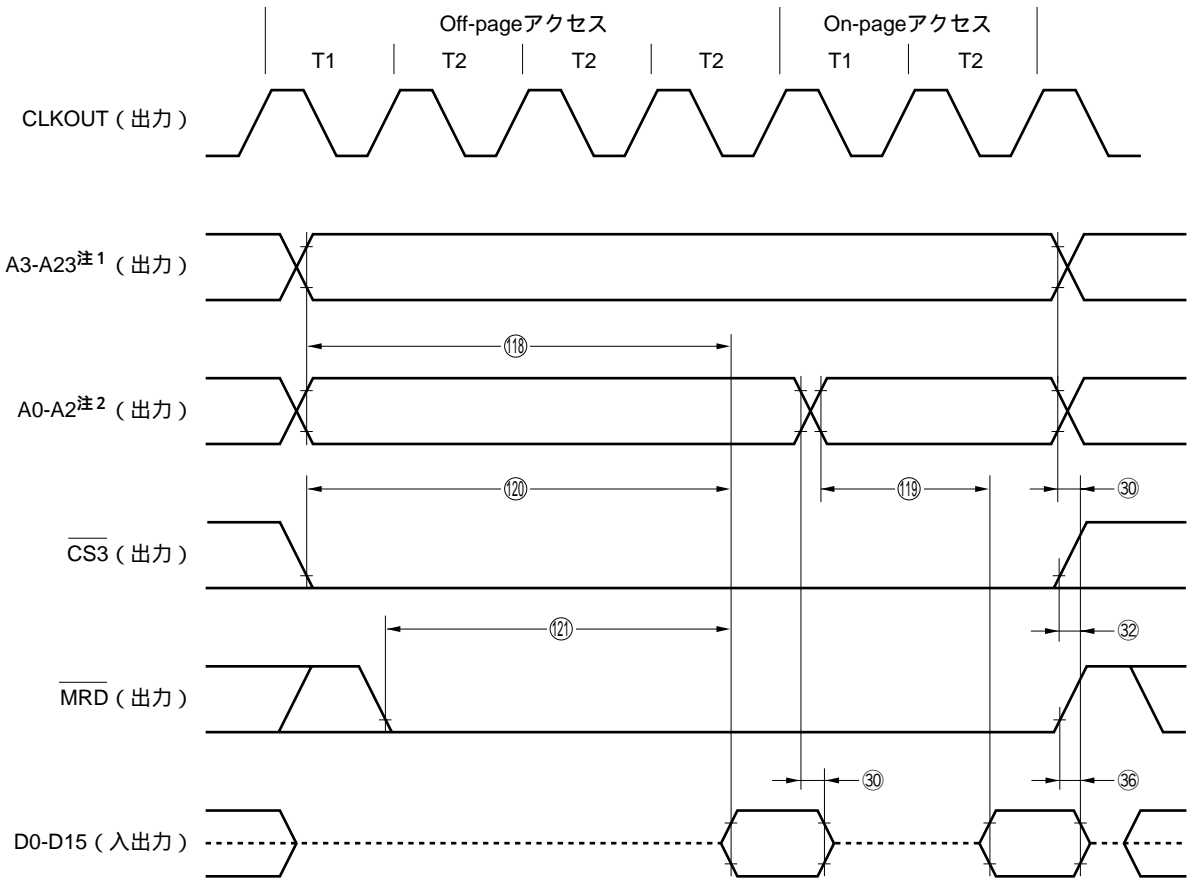
項 目	略 号	条 件	MIN.	MAX.	単位
アドレス データ入力保持時間	③⑩ t <sub>ADH</sub>		0		ns
$\overline{CSn}$ データ入力保持時間	③⑫ t <sub>CDH</sub>		0		ns
$\overline{RD}$ データ入力保持時間	③⑬ t <sub>RDH</sub>		0		ns
Off-pageアドレス・アクセス時間	118 t <sub>OFPA</sub>			(n <sub>OFF</sub> + 2) T - 25	ns
On-pageアドレス・アクセス時間	119 t <sub>ONPA</sub>			(n <sub>ON</sub> + 2) T - 25	ns
Off-page $\overline{CSn}$ アクセス時間	120 t <sub>OFCS</sub>			(n <sub>OFF</sub> + 2) T - 25	ns
Off-page $\overline{RD}$ アクセス時間	121 t <sub>OFRD</sub>			(n <sub>OFF</sub> + 1.5) T - 25	ns

備考 T : t<sub>CYK</sub>

n<sub>OFF</sub> : Off-pageアクセス・ウエイト・ステート数 (n<sub>OFF</sub> = 0-7)

n<sub>ON</sub> : On-pageアクセス・ウエイト・ステート数 (n<sub>ON</sub> = 0, 1)

(9) Page-ROMアクセス・タイミング (2/2)



注1 . Page-ROMコンフィギュレーション・レジスタ (PRC) のMA5-MA3ビットの設定によって異なります。

MA5	MA4	MA3	アドレス
0	0	0	A3-A23
0	0	1	A4-A23
0	1	1	A5-A23
1	1	1	A6-A23

注2 . Page-ROMコンフィギュレーション・レジスタ (PRC) のMA5-MA3ビットの設定によって異なります。

MA5	MA4	MA3	アドレス
0	0	0	A0-A2
0	0	1	A0-A3
0	1	1	A0-A4
1	1	1	A0-A5

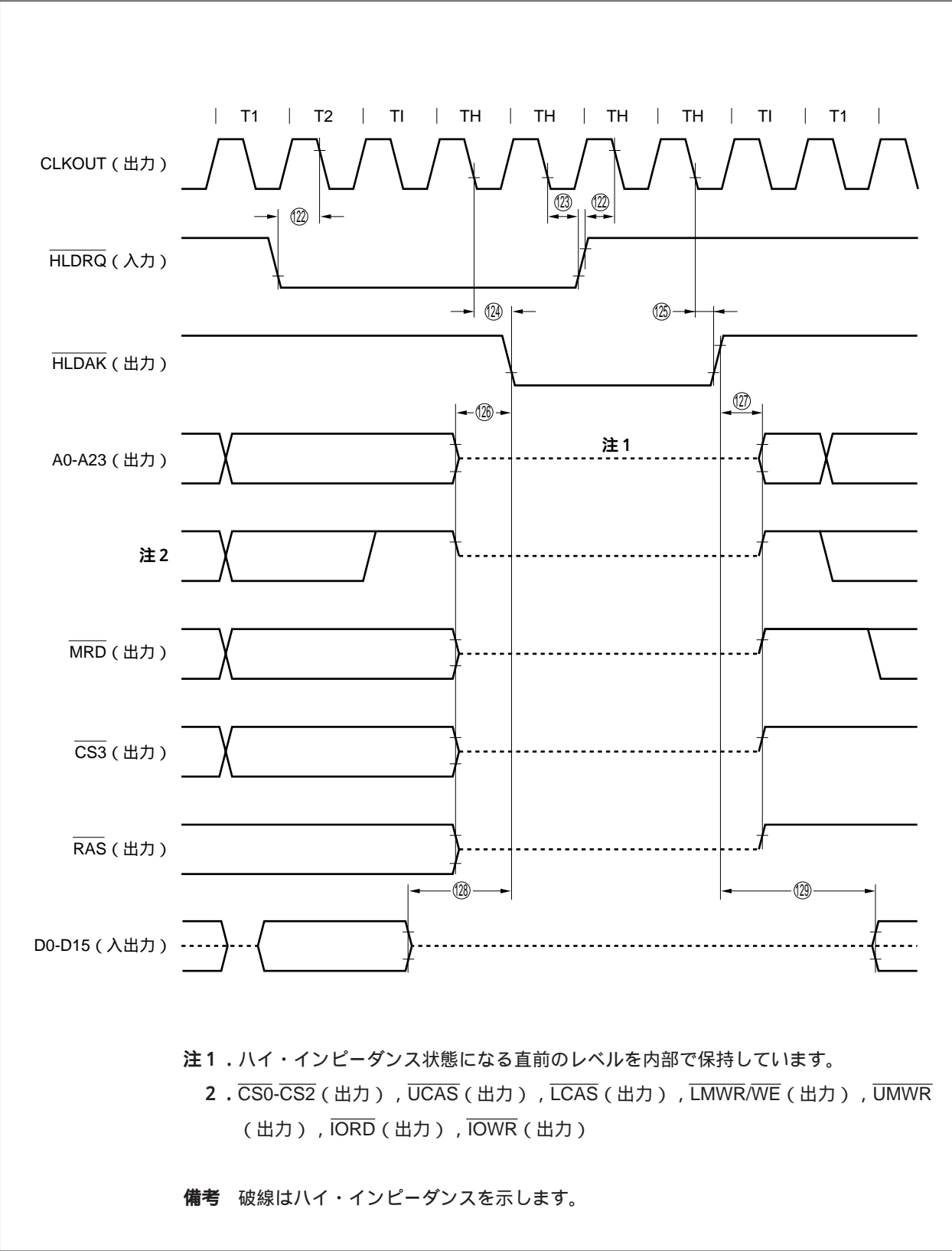
備考 破線はハイ・インピーダンスを示します。

(10) バス・ホールド・タイミング (1/2)

項 目	略 号	条 件	MIN.	MAX.	単位
HLD $\overline{RQ}$ 設定時間 (対CLKOUT )	122	tSHQK	6		ns
HLD $\overline{RQ}$ 保持時間 (対CLKOUT )	123	tHKHQ	6		ns
HLD $\overline{AK}$ 出力遅延時間 (対CLKOUT )	124	tDKHA	2	15	ns
HLD $\overline{AK}$ 出力保持時間 (対CLKOUT )	125	tHKHA	2	15	ns
アドレス等フロート HLD $\overline{AK}$ 遅延時間	126	tDAHA	0.5T - 10		ns
HLD $\overline{AK}$ アドレス等出力遅延時間	127	tDHAA	0.5T - 10		ns
データ・フロート HLD $\overline{AK}$ 遅延時間	128	tDDHA	1.5T - 15		ns
HLD $\overline{AK}$ データ出力遅延時間	129	tDHAD	2T - 15		ns

備考 T : tCYK

(10) バス・ホールド・タイミング (2/2)



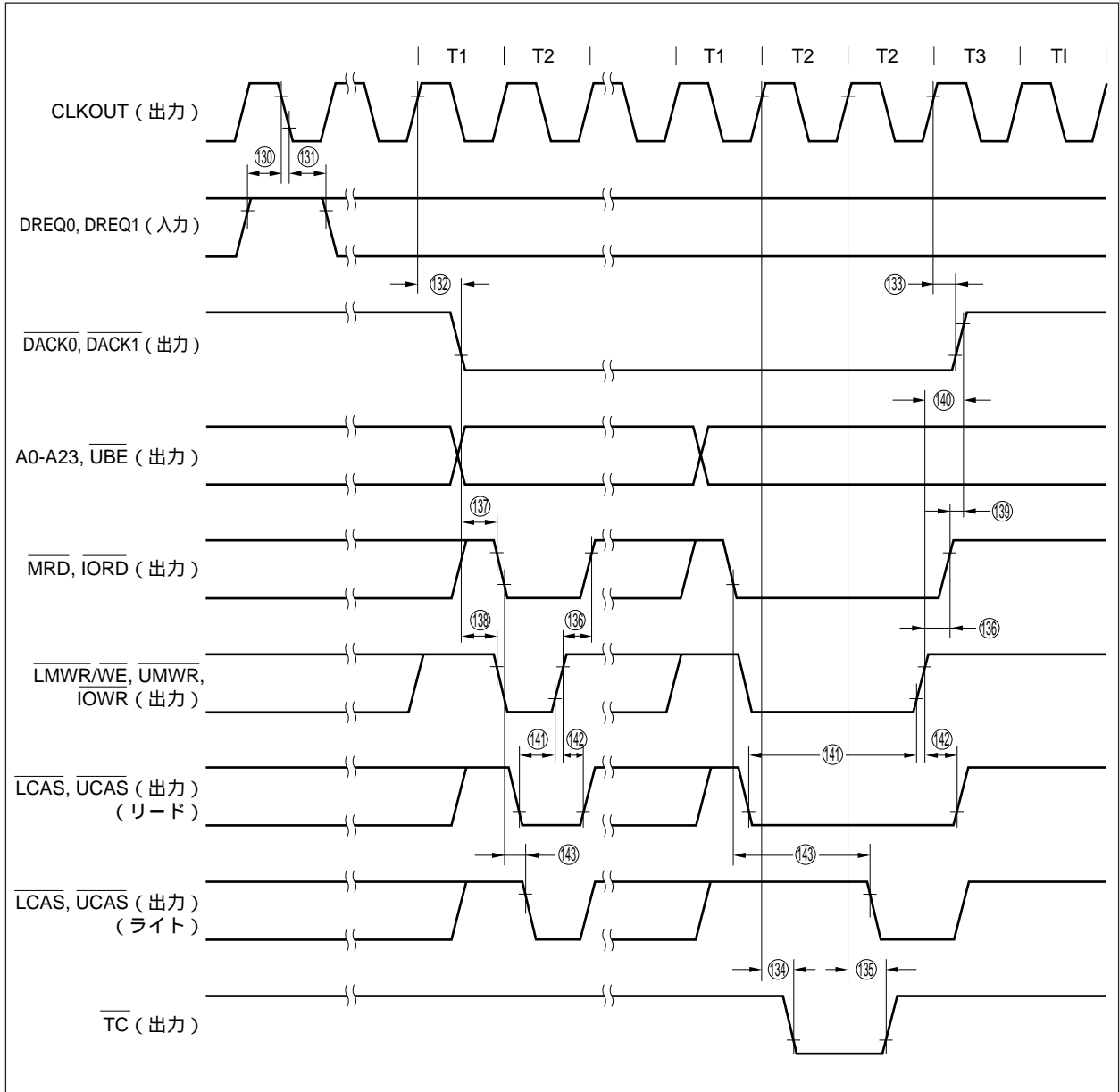
(11) DMACタイミング (1/2)

項目	略号	条件	MIN.	MAX.	単位
DREQn設定時間 (対CLKOUT )	130	tSDQK	6		ns
DREQn保持時間 (対CLKOUT )	131	tHKDQ	6		ns
DACKn出力遅延時間 (対CLKOUT )	132	tDKDAK	2	15	ns
DACKn出力保持時間 (対CLKOUT )	133	tHKDAK	2	15	ns
$\overline{TC}$ 出力遅延時間 (対CLKOUT )	134	tDKTC	2	15	ns
$\overline{TC}$ 出力保持時間 (対CLKOUT )	135	tHKTC	2	15	ns
$\overline{WR}$ $\overline{RD}$ 遅延時間	136	tDWRD	0.5T - 10		ns
DACK $\overline{RD}$ 遅延時間	137	tDAKRD	0.5T - 10		ns
DACK $\overline{WR}$ 遅延時間	138	tDAKWR	0.5T - 10		ns
$\overline{RD}$ $\overline{DACK}$ 遅延時間	139	tRDDAK	- 4		ns
$\overline{WR}$ $\overline{DACK}$ 遅延時間	140	tWRDAK	0.5T - 10		ns
CAS $\overline{IOWR}$ 遅延時間 (DRAMリード)	141	tCASWR	(n + 1) T - 10		ns
$\overline{IOWR}$ $\overline{CAS}$ 遅延時間 (DRAMリード)	142	tWRCAS	0.5T - 10		ns
$\overline{IORD}$ $\overline{CAS}$ 遅延時間 (DRAMライト)	143	tRDCAS	(n + 0.5) T - 10		ns

備考 T : tcyk

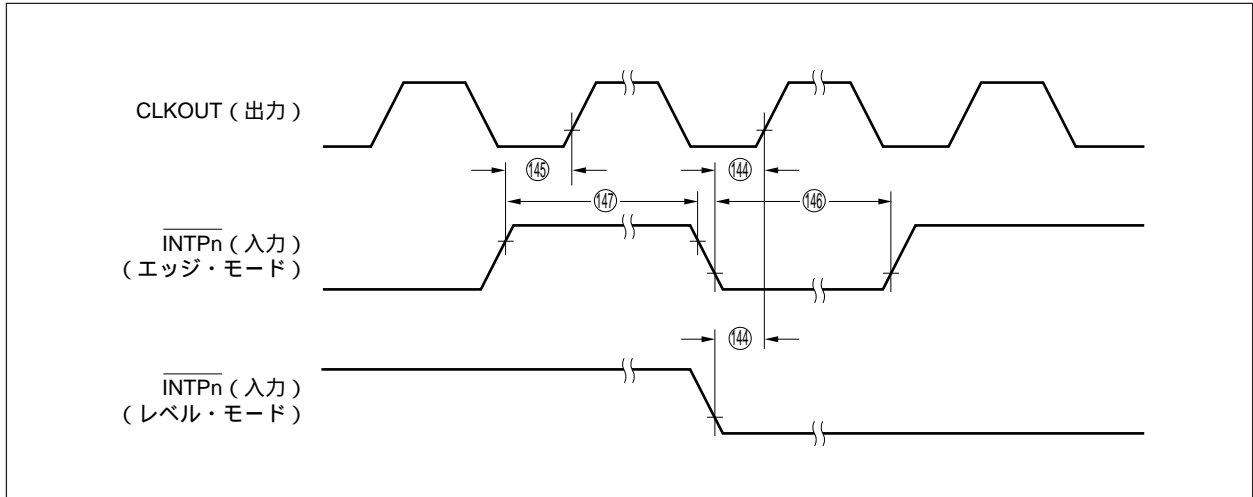
n : DMAウエイト・ステート数

(11) DMACタイミング (2/2)



(12)  $\overline{\text{INTPn}}$ 入力セットアップ時間, ホールド時間

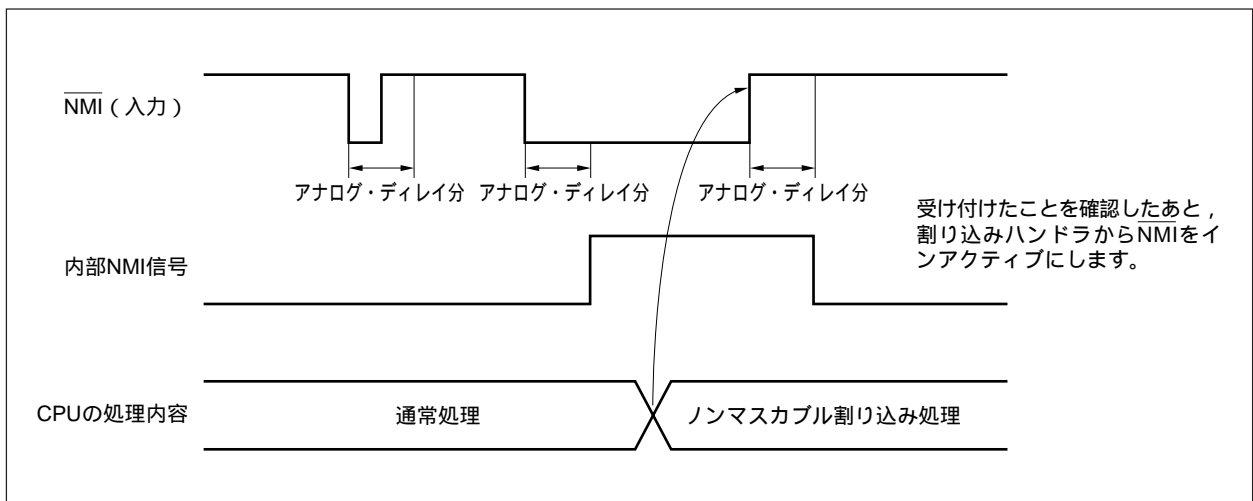
項目	略号	条件	MIN.	MAX.	単位
$\overline{\text{INTPn}}$ 入力ロウ・セットアップ時間	144	tsILK	9		ns
$\overline{\text{INTPn}}$ 入力ハイ・セットアップ時間	145	tsIHK	9		ns
$\overline{\text{INTPn}}$ 入力ロウ・パルス幅	146	tcYL	2		tcyK
$\overline{\text{INTPn}}$ 入力ハイ・レベル幅	147	tcYH	2		tcyK



(13)  $\overline{\text{NMI}}$ 入力

$\overline{\text{NMI}}$ には、アナログ・ディレイ (60-300 ns) によるノイズ除去回路を内蔵しているため、入力セットアップ時間および入力ホールド時間は規定しません。

また、 $\overline{\text{NMI}}$ 入力はレベル入力のため、ハンドラに分岐して受け付けられたことを確認するまで入力を保持する必要があります。

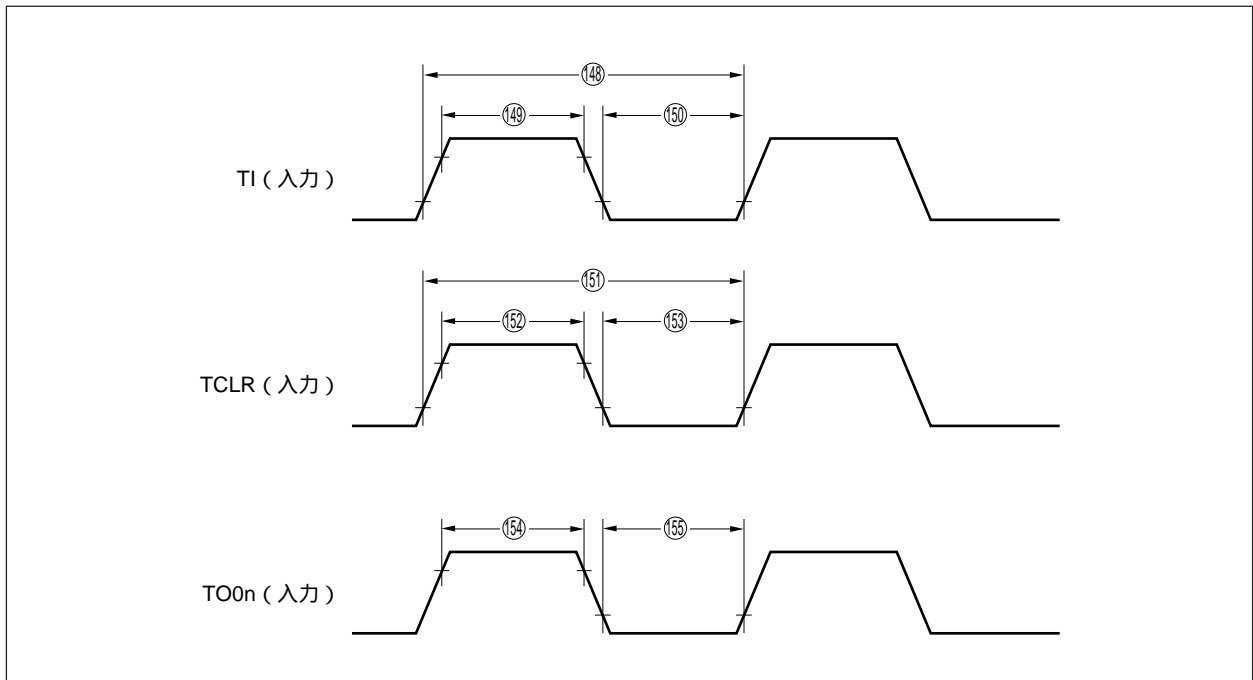




(14) RPUブロック・タイミング

項目	略号	条件	MIN.	MAX.	単位
タイマ・クロック・サイクル時間	148	t <sub>TCYK</sub>	4		t <sub>cyk</sub>
タイマ・クロック・ハイ・レベル幅	149	t <sub>TKH</sub>	2		t <sub>cyk</sub>
タイマ・クロック・ロウ・レベル幅	150	t <sub>TKL</sub>	2		t <sub>cyk</sub>
タイマ・クリア・サイクル時間	151	t <sub>TCLR</sub>	4		t <sub>cyk</sub>
タイマ・クリア・ハイ・レベル幅	152	t <sub>TCLR<sub>H</sub></sub>	2		t <sub>cyk</sub>
タイマ・クリア・ロウ・レベル幅	153	t <sub>TCLR<sub>L</sub></sub>	2		t <sub>cyk</sub>
タイマ・アウト・ハイ・レベル幅	154	t <sub>WTOH</sub>	2T - 7		ns
タイマ・アウト・ロウ・レベル幅	155	t <sub>WTOL</sub>	2T - 7		ns

備考 T : t<sub>cyk</sub>



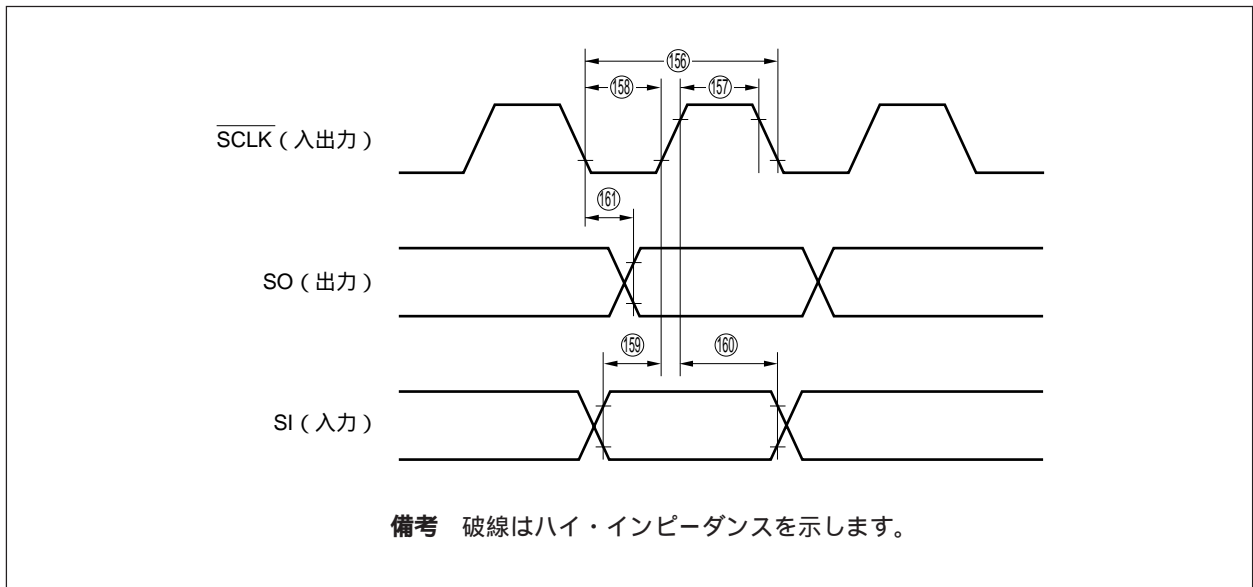
(15) CSIタイミング

(a) マスタ・モード

項目	略号	条件	MIN.	MAX.	単位
シリアル・クロック・サイクル時間	156 tcysk		4		tcyk
シリアル・クロック・ハイ・レベル幅	157 tskh		30		ns
シリアル・クロック・ロウ・レベル幅	158 tskl		30		ns
SI設定時間 (対SCLK)	159 tssisk		20		ns
SI保持時間 (対SCLK)	160 tHskSI		20		ns
SO出力遅延時間 (対SCLK)	161 tDSKSO			30	ns

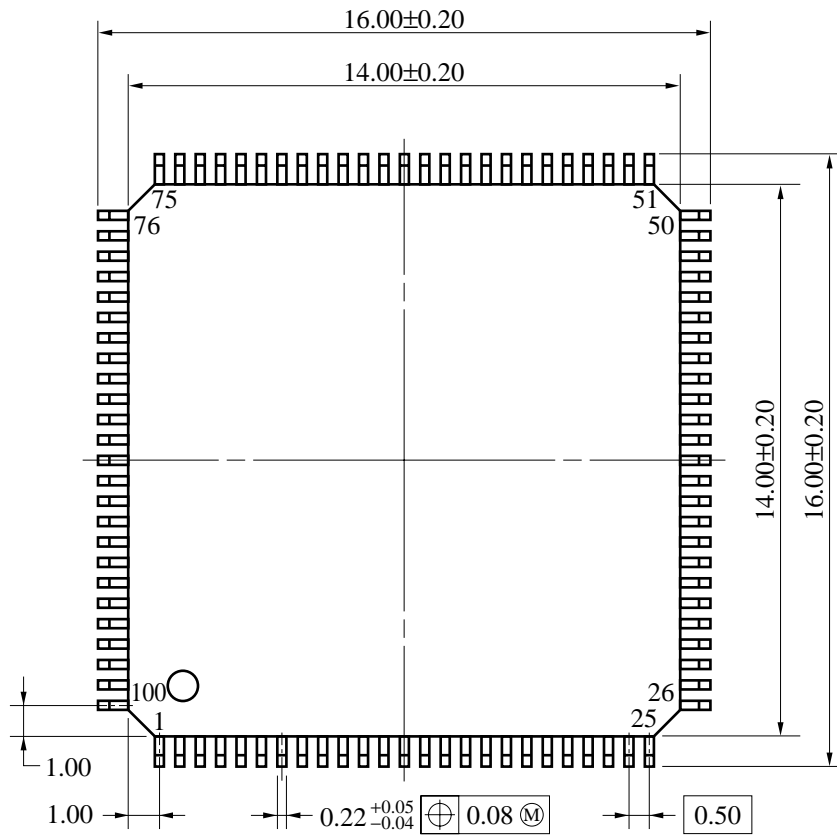
(b) スレーブ・モード

項目	略号	条件	MIN.	MAX.	単位
シリアル・クロック・サイクル時間	156 tcysk		4		tcyk
シリアル・クロック・ハイ・レベル幅	157 tskh		30		ns
シリアル・クロック・ロウ・レベル幅	158 tskl		30		ns
SI設定時間 (対SCLK)	159 tssisk		20		ns
SI保持時間 (対SCLK)	160 tHskSI		20		ns
SO出力遅延時間 (対SCLK)	161 tDSKSO			30	ns

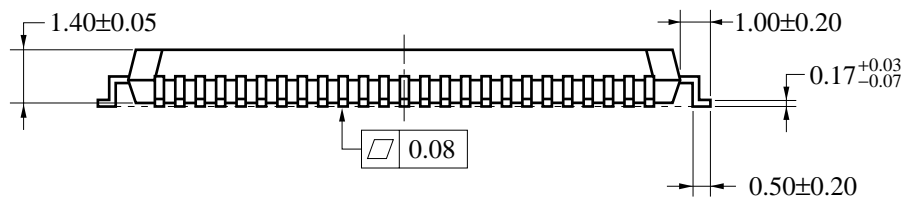
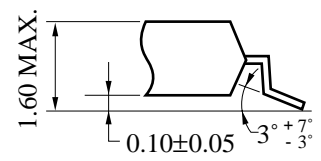


★ 17. 外形図

100ピン・プラスチック LQFP (ファインピッチ)(14×14) 外形図 (単位: mm)



端子先端形状詳細図



S100GC-50-8EU

18. 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の詳細は、インフォメーション資料「**半導体デバイス実装マニュアル**」(C10535J)を参照してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

★ 表18 - 1 表面実装タイプの半田付け条件

μPD70741GC-25-8EU : 100ピン・プラスチックLQFP (ファインピッチ) ( 14 mm ) (樹脂厚1.40 mm)

半田付け方式	半 田 付 け 条 件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 ，時間：30秒以内（210 以上），回数：2回以内， 制限日数：7日間 <sup>注</sup> （以降は125 プリベーク10時間必要）  留意事項 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR35-107-2
VPS	パッケージ・ピーク温度：215 ，時間：40秒以内（200 以上），回数：2回以内， 制限日数：7日間 <sup>注</sup> （以降は125 プリベーク10時間必要）  留意事項 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	VP15-107-2
端子部分加熱	端子温度：300 以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライパック開封後の保管日数で，保管条件は25 ，65 %RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱方式は除く）。

## CMOSデバイスの一般的注意事項

**静電気対策（MOS全般）**

**注意** MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

**未使用入力の処理（CMOS特有）**

**注意** CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してV<sub>DD</sub>またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

**初期化以前の状態（MOS全般）**

**注意** 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

参考資料 電気的特性の考え方 マイコン編 IEI-601

関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

V810, V821, V810ファミリは、日本電気株式会社の商標です。

- 本資料の内容は予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。
- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
- 本資料に記載された回路、ソフトウェア、及びこれらに付随する情報は、半導体製品の動作例、応用例を説明するためのものです。従って、これら回路・ソフトウェア・情報をお客様の機器に使用される場合には、お客様の責任において機器設計をしてください。これらの使用に起因するお客様もしくは第三者の損害に対して、当社は一切その責を負いません。
- 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意ください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災/防犯装置、各種安全装置、生命維持を直接の目的としない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート/データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

M7 98.8

## お問い合わせ先

### 【技術的なお問い合わせ先】

NEC半導体テクニカルホットライン  
(電話：午前 9:00 ~ 12:00, 午後 1:00 ~ 5:00)

電話 : 044-435-9494  
FAX : 044-435-9608  
E-mail : s-info@saed.tmg.nec.co.jp

### 【営業関係お問い合わせ先】

#### 第一販売事業部

東京 (03)3798-6106, 6107, 6108  
名古屋 (052)222-2375  
大阪 (06)6945-3178, 3200, 3208, 3212  
仙台 (022)267-8740  
郡山 (024)923-5591  
千葉 (043)238-8116

#### 第二販売事業部

東京 (03)3798-6110, 6111, 6112  
立川 (042)526-5981, 6167  
松本 (0263)35-1662  
静岡 (054)254-4794  
金沢 (076)232-7303  
松山 (089)945-4149

#### 第三販売事業部

東京 (03)3798-6151, 6155, 6586, 1622, 1623, 6156  
水戸 (029)226-1702  
広島 (082)242-5504  
高崎 (027)326-1303  
鳥取 (0857)27-5313  
太田 (0276)46-4014  
名古屋 (052)222-2170, 2190  
福岡 (092)261-2806

### 【資料の請求先】

上記営業関係お問い合わせ先またはNEC特約店へお申しつけください。

### 【インターネット電子デバイス・ニュース】

NECエレクトロニクスデバイスの情報がインターネットでご覧になれます。

URL(アドレス)

<http://www.ic.nec.co.jp/>