

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

V832™

32ビット・マイクロプロセッサ

μ PD705102（別名称V832）は、組み込み制御向け高性能32ビット・マイクロプロセッサV830™をプロセッサ・コアに使用し、SDRAM/ROMコントローラ、4チャンネルDMAコントローラ、リアルタイム・パルス・ユニット、シリアル・インタフェース、割り込みコントローラ、パワー・マネジメントなどの周辺機能を内蔵した32ビットRISCマイクロプロセッサです。

V832は、高い割り込み応答性、最適化されたパイプライン構造に加え、マルチメディア機能を実現するために積和演算命令、連結シフト命令、高速分岐命令などを持ち、インターネット/イントラネット機器、カー・ナビゲーション、デジタル・スチル・カメラ、カラーFAXなどのマルチメディア機器分野できわめて高いパフォーマンスを実現できます。

詳しい機能説明などは次のマニュアルに記載しております。設計の際には必ずお読みください。

V832 ユーザーズ・マニュアル ハードウェア編 : U13577J

V830ファミリ™ ユーザーズ・マニュアル アーキテクチャ編 : U12496J

特 徴

- CPU機能
 - ・ V830命令互換
 - ・ 命令キャッシュ : 4 Kバイト
 - ・ 命令RAM : 4 Kバイト
 - ・ データ・キャッシュ : 4 Kバイト
 - ・ データRAM : 4 Kバイト
 - ・ 最小命令実行サイクル数 : 1 サイクル
 - ・ 汎用レジスタ : 32ビット×32本
 - ・ メモリ空間, I/O空間 : 各 4 Gバイト
- 割り込み/例外処理機能
 - ・ ノンマスカブル : 外部入力 1 本
 - ・ マスカブル : 外部入力 8 本 (4 本は内部と兼用)
内部要因11種類
- バス制御機能
- ウェイト制御機能
- メモリ・アクセス制御機能
- DMAコントローラ内蔵 : 4 チャンネル
- シリアル・インタフェース機能
 - ・ 非同期式シリアル・インタフェース (UART) : 1 チャンネル
 - ・ 同期式シリアル・インタフェース (CSI) : 1 チャンネル
 - ・ 専用ボー・レート・ジェネレータ (BRG) : 1 チャンネル
- タイマ/カウンタ機能
 - ・ 16ビット・タイマ/イベント・カウンタ : 1 チャンネル
 - ・ 16ビット・インターバル・タイマ : 1 チャンネル
- ポート機能 : 21本 (入出力)
- クロック発生機能 : PLLクロック・シンセサイザ (6 , 8 倍機能)
- スタンバイ機能 (HALTモード, STOPモード, パワー・マネジメント・モード)
- デバッグ機能
 - ・ デバッグ専用同期式シリアル・インタフェース : 1 チャンネル
 - ・ トレース専用インタフェース : 1 チャンネル

本資料の内容は、予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。

オーダ情報

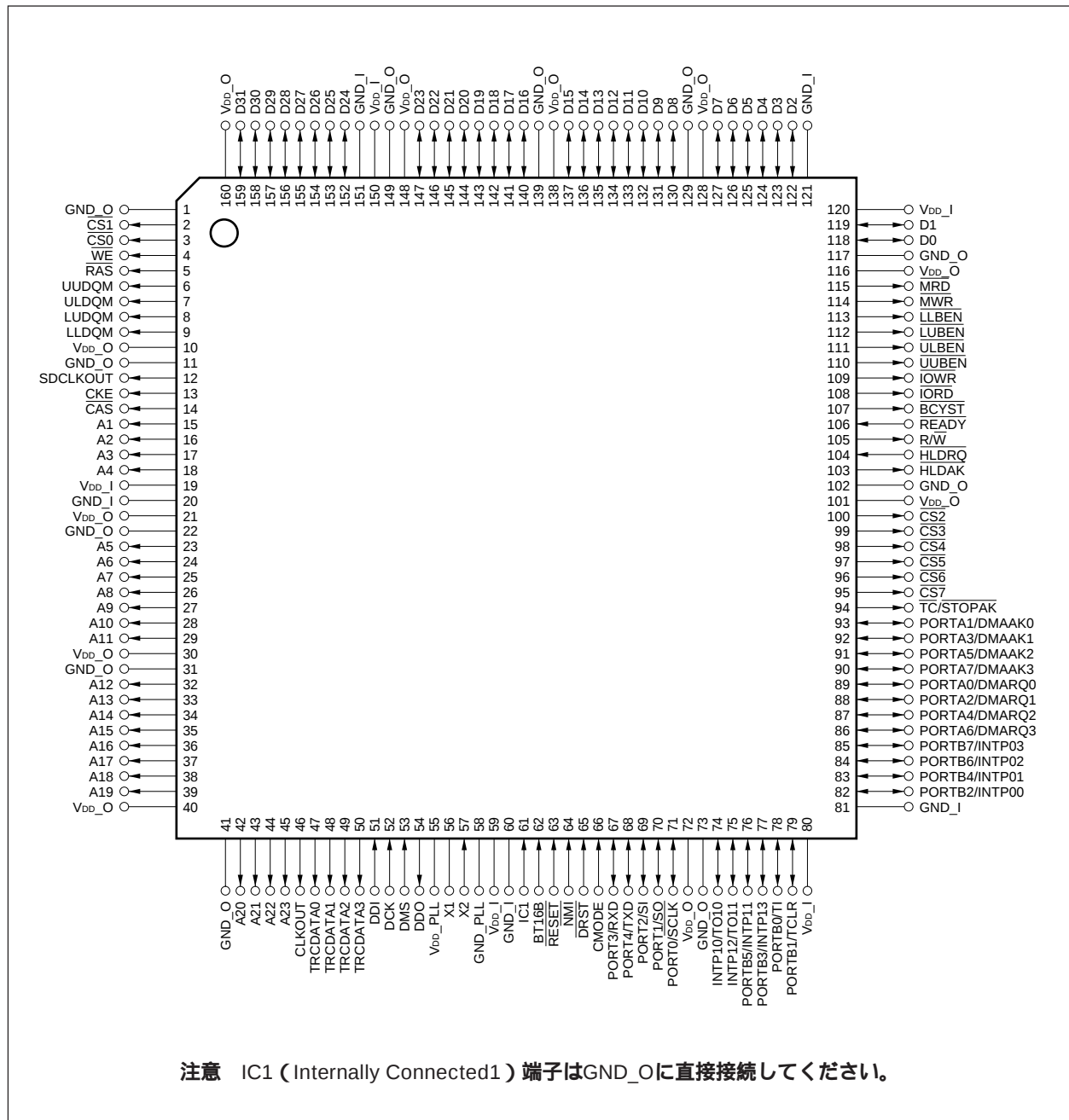
オーダ名称	パッケージ
μ PD705102GM-143-8ED	160ピン・プラスチックLQFP（ファインピッチ）（24×24）
μ PD705102GM-133-8ED	〃

端子接続図（Top View）

・160ピン・プラスチックLQFP（ファインピッチ）（24×24）

μ PD705102GM-143-8ED

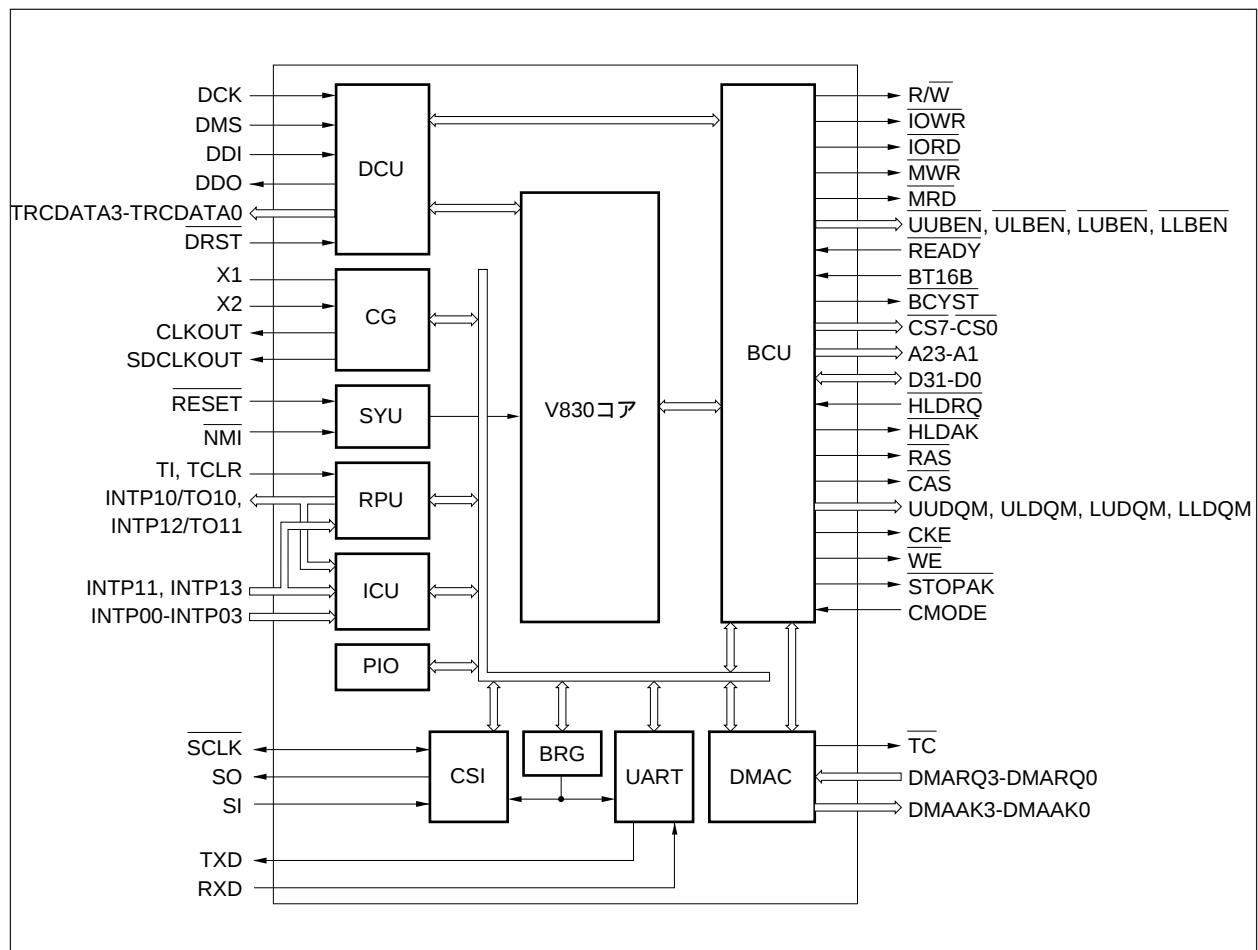
μ PD705102GM-133-8ED



端子名称

A1-A23 : Address Bus	$\overline{\text{MWR}}$: Memory Write
$\overline{\text{BCYST}}$: Bus Cycle Start	$\overline{\text{NMI}}$: Non-Maskable Interrupt Request
BT16B : Boot Bus Size 16-bit	PORT0-PORT4,
$\overline{\text{CAS}}$: Column Address Strobe	PORTA0-PORTA7,
CKE : Clock Enable	PORTB0-PORTB7 : Port
CLKOUT : Clock Out	$\text{R}/\overline{\text{W}}$: Bus Read or Write Status
CMODE : Clock Mode	$\overline{\text{RAS}}$: Row Address Strobe
$\overline{\text{CS0}}-\overline{\text{CS7}}$: Chip Select	$\overline{\text{READY}}$: Ready
D0-D31 : Data Bus	$\overline{\text{RESET}}$: Reset
DCK : Debug Clock	RXD : Receive Data
DDI : Debug Data Input	$\overline{\text{SCLK}}$: Serial Clock
DDO : Debug Data Output	SDCLKOUT : SDRAM Clock Out
DMAAK0-DMAAK3 : DMA Acknowledge	SI : Serial Input
DMARQ0-DMARQ3 : DMA Request	SO : Serial Output
DMS : Debug Mode Select	$\overline{\text{STOPAK}}$: Stop Acknowledge
$\overline{\text{DRST}}$: Debug Reset	$\overline{\text{TC}}$: Terminal Count
GND_I : Ground	TCLR : Timer Clear
GND_O : Ground	TI : Timer Input
GND_PLL : PLL Ground	TO10, TO11 : Timer Output
$\overline{\text{HLDK}}$: Hold Acknowledge	TRCDATA0-TRCDATA3 : Trace Data
$\overline{\text{HLDRQ}}$: Hold Request	TXD : Transmit Data
IC1 : Internally Connected	$\overline{\text{ULBEN}}$: Upper Lower Byte Enable
INTP00-INTP03, INTP10-INTP13 : Interrupt Request From Peripheral	$\overline{\text{ULDQM}}$: Upper Lower DQ Mask enable
$\overline{\text{IORD}}$: I/O Read	$\overline{\text{UUBEN}}$: Upper Upper Byte Enable
$\overline{\text{IOWR}}$: I/O Write	$\overline{\text{UUDQM}}$: Upper Upper DQ Mask enable
$\overline{\text{LLBEN}}$: Lower Lower Byte Enable	$\text{V}_{\text{DD_I}}$: Power Supply (2.5 V)
$\overline{\text{LLDQM}}$: Lower Lower DQ Mask enable	$\text{V}_{\text{DD_O}}$: Power Supply (3.3 V)
$\overline{\text{LUBEN}}$: Lower Upper Byte Enable	$\text{V}_{\text{DD_PLL}}$: PLL Power Supply (2.5 V)
$\overline{\text{LUDQM}}$: Lower Upper DQ Mask enable	$\overline{\text{WE}}$: Write Enable
$\overline{\text{MRD}}$: Memory Read	X1, X2 : Crystal Oscillator

内部ブロック図



目 次

1 . 端子機能一覧	...	6
1.1 ポート端子	...	6
1.2 ポート以外の端子	...	7
2 . 内部ユニット	...	9
3 . 電気的特性	...	11
4 . 外形図	...	37
5 . 半田付け推奨条件	...	38

1. 端子機能一覧

1.1 ポート端子

端子名称	入出力	機 能	兼用端子
PORT0	シュミット入出力	PORT 5ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	SCLK
PORT1	入出力		SO
PORT2	シュミット入出力		SI
PORT3			RXD
PORT4	入出力		TXD
PORTA0	入出力	PORTA 8ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	DMARQ0
PORTA1			DMAAK0
PORTA2			DMARQ1
PORTA3			DMAAK1
PORTA4			DMARQ2
PORTA5			DMAAK2
PORTA6			DMARQ3
PORTA7			DMAAK3
PORTB0	入出力	PORTB 8ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	TI
PORTB1			TCLR
PORTB2			INTP00
PORTB3			INTP13
PORTB4			INTP01
PORTB5			INTP11
PORTB6			INTP02
PORTB7			INTP03

1.2 ポート以外の端子

(1/2)

端子名称	入出力	機能	兼用端子
D0-D31	3 ステート入出力	データ・バス	-
A1-A23	3 ステート出力	アドレス・バス	-
READY	入力	バス・サイクル終結許可	-
HLDRQ	入力	バス・ホールド要求	-
HLDARQ	出力	バス・ホールド許可	-
MRD	3 ステート出力	メモリ・リード・ストロープ	-
UUBEN		バイト・イネーブル出力 (最上位バイト : D31-D24)	-
ULBEN		バイト・イネーブル出力 (第2バイト有効 : D23-16)	-
LUBEN		バイト・イネーブル出力 (第3バイト有効 : D15-D8)	-
LLBEN		バイト・イネーブル出力 (最下位バイト有効 : D7-D0)	-
IORQ		I/Oリード・ストロープ	-
IOWR		I/Oライト・ストロープ	-
MWR		メモリ・ライト・ストロープ	-
BT16B	入力	CS7空間バス・サイズ設定	-
BCYST	3 ステート出力	バス・サイクル・スタート出力	-
R/W		R/W出力	-
RESET	入力	リセット入力	-
X1	-	水晶振動子接続 (外部クロック入力時オープン)	-
X2	シュミット入力	水晶振動子接続 / 外部クロック入力	-
CLKOUT	出力	バス・クロック出力	-
CMODE	入力	PLL倍率設定 (×6, ×8)	-
CS2, CS7	3 ステート出力	メモリ・チップ・セレクト出力	-
CS3-CS6		メモリI/Oチップ・セレクト出力	-
STOPAK	出力	STOPモード通知出力	TC
INTP10	入力	マスカブル割り込み入力	TO10
INTP11			PORTB5
INTP12			TO11
INTP13			PORTB3
INTP00			PORTB2
INTP01			PORTB4
INTP02			PORTB6
INTP03			PORTB7
NMI		ノンマスカブル割り込み入力	-
RAS	3 ステート出力	SDRAM用RASストロープ	-
UUDQM		DQマスク・イネーブル (最上位バイト : D31-D24)	-
ULDQM		DQマスク・イネーブル (第2バイト : D23-D16)	-
LUDQM		DQマスク・イネーブル (第3バイト : D15-D8)	-
LLDQM		DQマスク・イネーブル (最下位バイト : D7-D0)	-
WE	3 ステート出力	SDRAM用ライト・ストロープ	-
CAS		SDRAM用CASストロープ	-
CS0		SDRAM用チップ・セレクト	-
CS1		SDRAM/SRAM (ROM) 用チップ・セレクト	-

(2/2)

端子名称	入出力	機 能	兼用端子
CKE	3ステート出力	SDRAM用クロック・イネーブル	-
SDCLKOUT	出力	SDRAM用クロック出力	-
★ DMARQ0	入力	DMA要求 (CH0-CH3)	PORTA0
★ DMARQ1			PORTA2
★ DMARQ2			PORTA4
★ DMARQ3			PORTA6
★ DMAAK0	出力	DMA許可 (CH0-CH3)	PORTA1
★ DMAAK1			PORTA3
★ DMAAK2			PORTA5
★ DMAAK3			PORTA7
$\overline{\text{TC}}$		DMA転送終了出力	$\overline{\text{STOPAK}}$
TO10		タイマ1出力	INTP10
TO11			INTP12
TCLR	入力	タイマ1クリア, スタート入力	PORTB1
TI		タイマ1カウント・クロック入力	PORTB0
RXD	シュミット入力	UARTデータ入力	PORT3
TXD	出力	UARTデータ出力	PORT4
$\overline{\text{SCLK}}$	シュミット入出力	CSIクロック入出力	PORT0
SI	シュミット入力	CSIデータ入力	PORT2
SO	出力	CSIデータ出力	PORT1
DCK	シュミット入力	ディバグ・クロック入力	-
DDI	入力	ディバグ・データ入力	-
DDO	出力	ディバグ・データ出力	-
DMS	入力	ディバグ・モード・セレクト	-
$\overline{\text{DRST}}$		DCUリセット入力	-
TRCDATA0-TRCDATA3	出力	トレース・データ出力	-
V _{DD_I}	-	正電源供給 (2.5 V系)	-
V _{DD_O}		正電源供給 (3.3 V系)	-
GND_I		グランド電位 (2.5 V系)	-
GND_O		グランド電位 (3.3 V系)	-
V _{DD_PLL}		PLL (内部クロック発生器) 用電源供給 (2.5 V系)	-
GND_PLL		PLL (内部クロック発生器) 用グランド電位 (2.5 V系)	-

2. 内部ユニット

(1) バス・コントロール・ユニット (BCU)

アドレス・バス，データ・バス，コントロール・バスの端子を制御します。次にBCUの機能を示します。

(a) バス・アビトレーション

各バス・マスタ (CPU, SDRAMC, DMAC, 外部バス・マスタ) 間で，バス使用権の調停を行います。バス使用権は，実行中のバス・サイクル終了後およびアイドル・ステートにおいて切り替えることができます。

(b) ウェイト・コントロール

8本のチップ・セレクト信号 ($\overline{CS0}$ - $\overline{CS7}$) に対応するリニア16 Mバイト空間の8個にエリアを管理します。チップ・セレクト信号の生成，ウェイト制御およびバス・サイクルの種類を選択します。

(c) SDRAMコントローラ

SDRAMへのコマンド生成とアクセス制御を行います。CASレーテンシは，2のみです。

(d) ROMコントローラ

ページ・アクセス機能付きROMへのアクセスに対応します。直前のバス・サイクルとのアドレス比較を行い，通常アクセス (off-page) / ページ・アクセス (on-page) のウェイト制御を行います。8バイトから16バイトまでのページ幅に対応します。

(2) 割り込みコントローラ (ICU)

内蔵周辺ハードウェアおよび外部からのマスカブル割り込み要求 (INTP00-INTP03, INTP10-INTP13) を処理します。これらの割り込み要求を，4つのグループ単位ごとに優先順位を指定でき，エッジまたはレベルによる割り込み要因の多重処理を行います。

(3) DMAコントローラ (DMAC)

CPUの代わりにメモリとI/Oの間でデータ転送を行います。転送タイプは，2サイクル転送になります。転送モードには，シングル転送とディマンド転送の2種類があります。

(4) シリアル・インタフェース (UART/CSI/BRG)

アシンクロナス・シリアル・インタフェース (UART) とクロック同期式シリアル・インタフェース (CSI) を1チャンネル備えています。シリアル・クロック・ソースは，ポー・レート・ジェネレータ (BRG) 出力とバス・クロックから選択できます。

(5) リアルタイム・パルス・ユニット (RPU)

タイマ / カウンタ機能を実現します。16ビットのタイマ / イベント・カウンタと16ビットのインターバル・タイマを内蔵して，パルス間隔や周波数の計算，プログラマブルなパルスの出力ができます。

(6) クロック・ジェネレータ (CG)

X1, X2端子に接続された発振子の6倍または8倍の周波数を, CPUの動作クロックとして供給します。また, CLKOUT端子からバス・クロックを周辺ユニットの動作クロックとして, SDCLKOUTを動作クロックとしても供給します。発振子を接続する代わりに外部クロックを入力することもできます。低消費電力のためにパワー・マネジメント・コントロール (PMC) でCPUクロック, バス・クロックの周波数の切り替えを実現します。

(7) ポート (PIO)

ポート機能を実現しています。21本の入出力ポートを備えます。ポート端子と他の機能を選択して使用できます。

(8) システム・コントロール・ユニット (SYU)

$\overline{\text{RESET}}$ 信号 (入力) / $\overline{\text{NMI}}$ 信号 (入力) のノイズを除去する回路を内蔵しています。

(9) ディバグ・コントロール・ユニット (DCU)

基本的なディバグ機能を実現するため, マッピングとトレースができる回路を内蔵しています。

3. 電気的特性

絶対最大定格 (T_A = 25)

項 目	略 号	条 件	定 格	単位
3.3 V系動作電源電圧	V _{DDO}		- 0.5 ~ + 4.0	V
2.5 V系動作電源電圧	V _{DDI}		- 0.5 ~ + 3.6	V
	V _{DDPLL}		- 0.5 ~ + 3.6	V
入力電圧 ^注	V _I	V _{DDO} 3.7 V	- 0.5 ~ + 4.0	V
		V _{DDO} < 3.7 V	- 0.5 ~ V _{DDO} + 0.3	
クロック入力電圧	V _K		- 0.5 ~ V _{DDO} + 0.3	V
動作周囲温度	T _A	μ PD705102-143 CPUコア周波数 143 MHz	- 40 ~ + 85	
		CPUコア周波数 144 MHz	- 40 ~ + 70	
	μ PD705102-133	CPUコア周波数 133 MHz	- 40 ~ + 85	
保存温度	T _{stg}		- 65 ~ + 150	

注 出力端子を含む

注意 1. IC製品の出力（または入出力）端子同士を直結したり、V_{DD}またはV_{CC}やGNDに直結したりしないでください。ただし、ハイ・インピーダンスとなる端子で、出力の衝突を避けるタイミング設計をした外部回路では直結できます。

2. 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり、絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づかない状態で、製品をご使用ください。

DC特性とAC特性に示す規格や条件が、製品の正常動作、品質保証の範囲です。

動作条件

項 目	略 号	条 件	MIN.	MAX.	単位
3.3 V系動作電源電圧	V _{DDO}		3.0	3.6	V
2.5 V系動作電源電圧	V _{DDI}		2.3	2.7	V
動作周囲温度	T _A	μ PD705102-143 CPUコア周波数 143 MHz	- 40	+ 85	
		CPUコア周波数 144 MHz	- 40	+ 70	
	μ PD705102-133	CPUコア周波数 133 MHz	- 40	+ 85	

注意 V832には2系統の電源がありますが、電圧を印加する順序には特に制限はありません。ただし、一方の電源だけに電圧が印加された状態が1秒以上続かないようにしてください。

備考 発振子の選択および発振回路定数については、お客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

DC特性 ($V_{DDO} = 3.0 \sim 3.6 \text{ V}$, $V_{DDI} = 2.3 \sim 2.7 \text{ V}$)

$\mu\text{PD705102-143}$ (CPUコア周波数 143 MHz) : $T_A = -40 \sim +85$
$\mu\text{PD705102-143}$ (CPUコア周波数 144 MHz) : $T_A = -40 \sim +70$
$\mu\text{PD705102-133}$: $T_A = -40 \sim +85$

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
ロウ・レベル・クロック入力電圧	V_{KL}	注 1	- 0.5		+ 0.2 V_{DDO}	V
ハイ・レベル・クロック入力電圧	V_{KH}	注 1	0.8 V_{DDO}		$V_{DDO} + 0.3$	V
ロウ・レベル入力電圧	V_{IL}		- 0.5		+ 0.6	V
ハイ・レベル入力電圧	V_{IH}		2.0		$V_{DDO} + 0.3$	V
ロウ・レベル・シュミット入力電圧	V_{SL}	注 2	- 0.5		+ 0.2 V_{DDO}	V
ハイ・レベル・シュミット入力電圧	V_{SH}	注 2	0.8 V_{DDO}		$V_{DDO} + 0.3$	V
ロウ・レベル出力電圧	V_{OL}	$I_{OL} = 3.2 \text{ mA}$			0.4	V
ハイ・レベル出力電圧	V_{OH}	$I_{OH} = -400 \mu\text{A}$	0.85 V_{DDO}			V
ロウ・レベル入力リーク電流	I_{LIL}	$V_{IN} = 0 \text{ V}$			- 10	μA
ハイ・レベル入力リーク電流	I_{LIH}	$V_{IN} = V_{DDO}$			10	μA
ロウ・レベル出力リーク電流	I_{LOL}	$V_O = 0 \text{ V}$			- 10	μA
ハイ・レベル出力リーク電流	I_{LOH}	$V_O = V_{DDO}$			10	μA
電源電流 ^{注3}	2.5 V系	通常動作時 (PLLモード)	クロック分周比1/1	115	160	mA
			クロック分周比1/2	60		mA
			クロック分周比1/4	33		mA
		通常動作時 (ダイレクト・モード)	クロック分周比1/1	15		mA
			クロック分周比1/2	7.5		mA
		HALTモード時		20	29	mA
	3.3 V系	通常動作時 (PLLモード)	クロック分周比1/1	19	28	mA
			クロック分周比1/2	10		mA
			クロック分周比1/4	6		mA
		通常動作時 (ダイレクト・モード)	クロック分周比1/1	4		mA
			クロック分周比1/2	3		mA
		HALTモード時		12	20	mA
		STOPモード時 ^{注4}		5	10	μA

注 1 . 外部クロック入力時のX2端子, DCK端子, SCLK端子

2 . PORT0/SCLK, PORT2/SI, PORT3/RXD

3 . 電源電流は, 出力端子オープン, PLL 8 倍, 入力クロック : 17.85 MHz時

4 . 外部クロック・モード, クロック入力停止時

容量

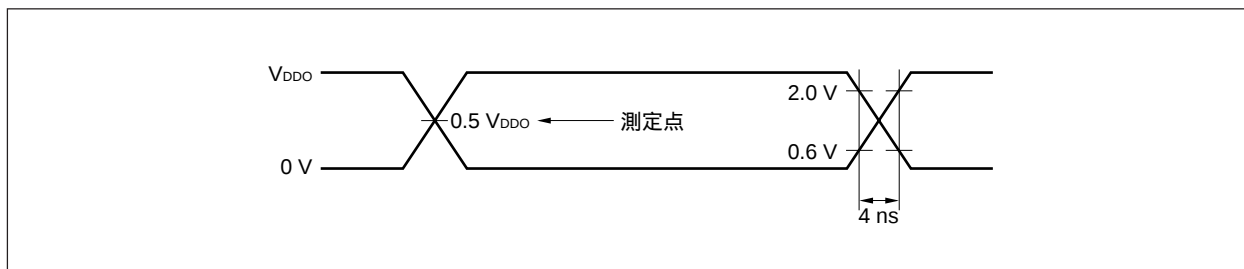
項 目	略 号	条 件	MIN.	MAX.	単位
入力容量	C_i	$f_c = 1 \text{ MHz}$		10	pF
入出力容量	C_{io}			10	pF

備考 このパラメータは全数測定したものでなく, サンプル値です。

AC特性 ($V_{DD0} = 3.0 \sim 3.6 \text{ V}$, $V_{DDI} = 2.3 \sim 2.7 \text{ V}$, $C_L = 50 \text{ pF}$)

$\mu\text{PD705102-143}$ (CPUコア周波数 143 MHz)	: $T_A = -40 \sim +85$
$\mu\text{PD705102-143}$ (CPUコア周波数 144 MHz)	: $T_A = -40 \sim +70$
$\mu\text{PD705102-133}$	: $T_A = -40 \sim +85$

ACテスト入力波形

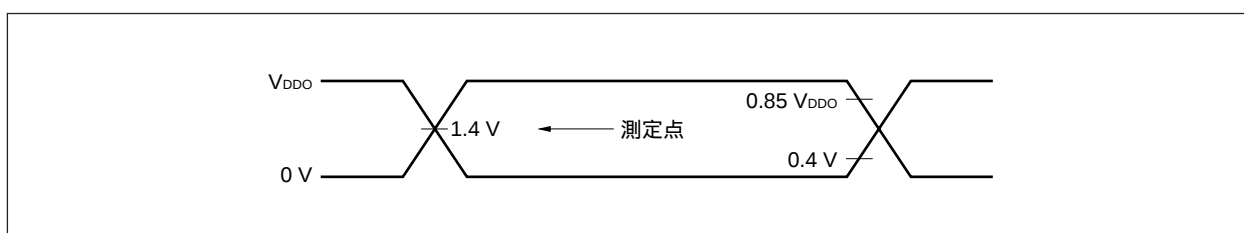


ACテスト出力波形

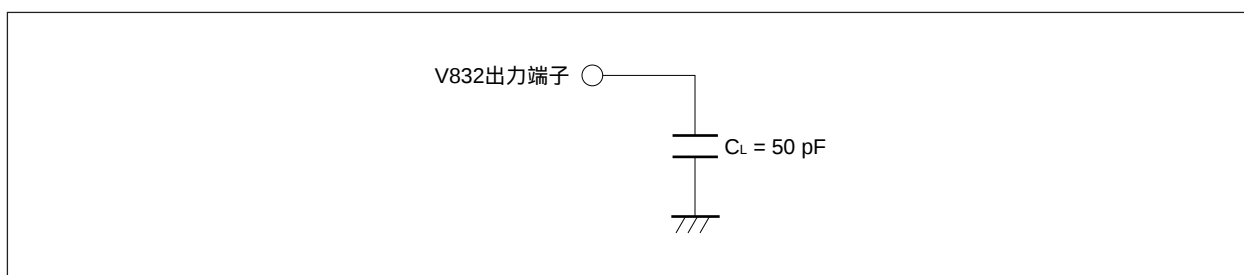
(a) $\overline{\text{CS0}}$, $\overline{\text{CS1}}$, $\overline{\text{WE}}$, $\overline{\text{RAS}}$, $\overline{\text{UUDQM}}$, $\overline{\text{ULDQM}}$, $\overline{\text{LUDQM}}$, $\overline{\text{LLDQM}}$, $\overline{\text{CKE}}$, $\overline{\text{CAS}}$, $\overline{\text{SDCLKOUT}}$, $\overline{\text{CLKOUT}}$, A1-A23, D0-D31



(b) 上記 (a) 以外



テスト負荷



(1) クロック入力 (X2) タイミング (外部クロック入力使用時)

・ μPD705102-143

項 目	略 号		条 件	PLL倍率				単位
				× 6 モード		× 8 モード		
				MIN.	MAX.	MIN.	MAX.	
外部クロック周期		t _{CYX}	注 1	42	60	56	80	ns
		注 2		45		60	ns	
		注 3	41.6	60	55.5	80	ns	
		注 4		45		60	ns	
外部クロック・ハイ・レベル時間		t _{XXH}	注 1	16		23		ns
		注 3	15.8		22.75		ns	
外部クロック・ロウ・レベル時間		t _{XXL}	注 1	16		23		ns
		注 3	15.8		22.75		ns	
外部クロック立ち上がり時間		t _{XR}			5		5	ns
外部クロック立ち下がり時間		t _{XF}			5		5	ns

注 1 . T_A = - 40 ~ + 85 , 入力クロック分周比1/4選択時以外 (CPUコア周波数 (デフォルト時) = 100 ~ 143 MHz)

2 . T_A = - 40 ~ + 85 , 入力クロック分周比1/4選択時 (CPUコア周波数 = 33.3 ~ 35.8 MHz)

3 . T_A = - 40 ~ + 70 , 入力クロック分周比1/4選択時以外 (CPUコア周波数 (デフォルト時) = 100 ~ 144 MHz)

4 . T_A = - 40 ~ + 70 , 入力クロック分周比1/4選択時 (CPUコア周波数 = 33.3 ~ 36 MHz)

備考 入力クロックの安定度はt_{CYX}の0.1 % 以下です。

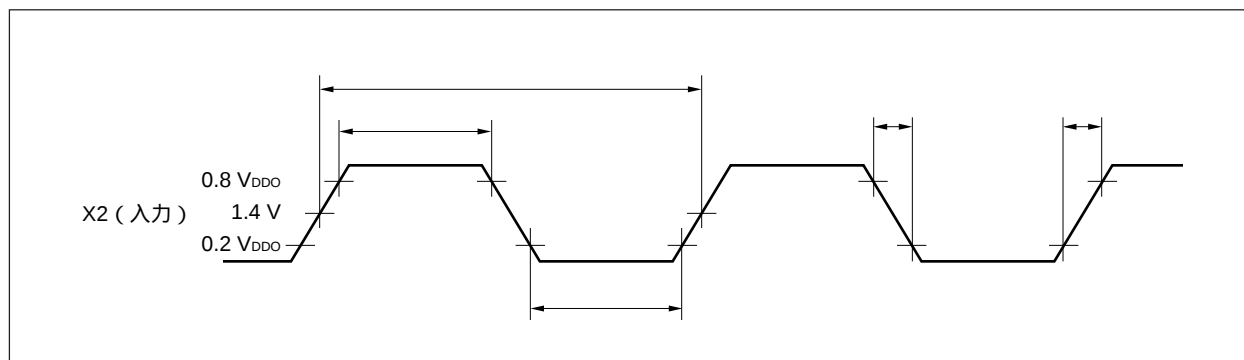
・ μPD705102-133

項 目	略 号		条 件	PLL倍率				単位
				× 6 モード		× 8 モード		
				MIN.	MAX.	MIN.	MAX.	
外部クロック周期		t _{CYX}	注 1	45	60	60	80	ns
			注 2		45		60	ns
外部クロック・ハイ・レベル時間		t _{CXH}		17.5		25		ns
外部クロック・ロウ・レベル時間		t _{CXL}		17.5		25		ns
外部クロック立ち上がり時間		t _{CR}			5		5	ns
外部クロック立ち下がり時間		t _{CF}			5		5	ns

注 1 . T_A = - 40 ~ + 85 , 入力クロック分周比1/4選択時以外 (CPUコア周波数 (デフォルト時) = 100 ~ 133 MHz)

2 . T_A = - 40 ~ + 85 , 入力クロック分周比1/4選択時 (CPUコア周波数 = 33.3 MHz)

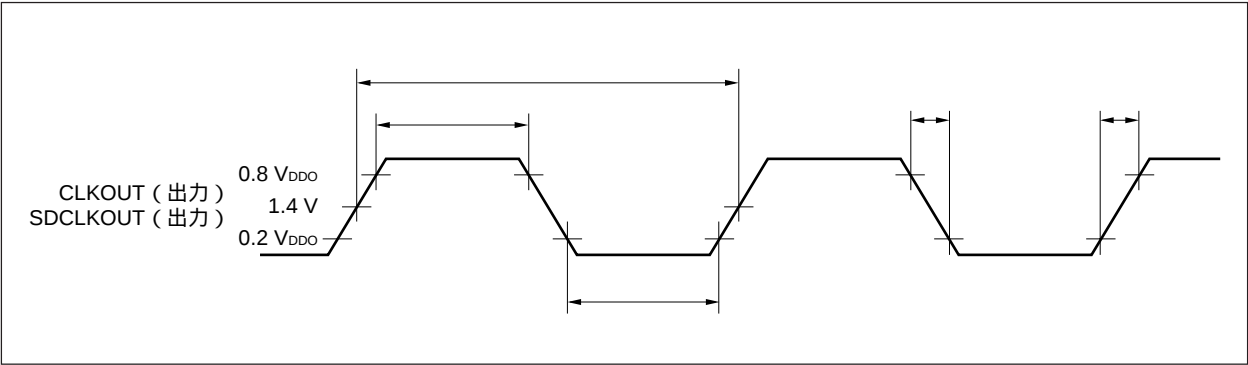
備考 入力クロックの安定度はt_{CYX}の0.1 % 以下です。



(2) クロック出力タイミング (CLKOUT, SDCLKOUT)

項 目	略 号		条 件	PLL倍率				単位
				× 6 モード		× 8 モード		
				MIN.	MAX.	MIN.	MAX.	
外部クロック周期		t _{CYK}	注 1	21		28		ns
			注 2	20.8		27.75		ns
			注 3	22.5		30		ns
外部クロック・ハイ・レベル時間		t _{KKH}		t _{CYK} /2 - 5		t _{CYK} /2 - 5		ns
外部クロック・ロウ・レベル時間		t _{KKL}		t _{CYK} /2 - 5		t _{CYK} /2 - 5		ns
外部クロック立ち上がり時間		t _{KR}			5		5	ns
外部クロック立ち下がり時間		t _{KF}			5		5	ns

- 注 1 . μ PD705102-143 , T_A = - 40 ~ + 85
2 . μ PD705102-143 , T_A = - 40 ~ + 70
3 . μ PD705102-133 , T_A = - 40 ~ + 85



(3) リセット・タイミング

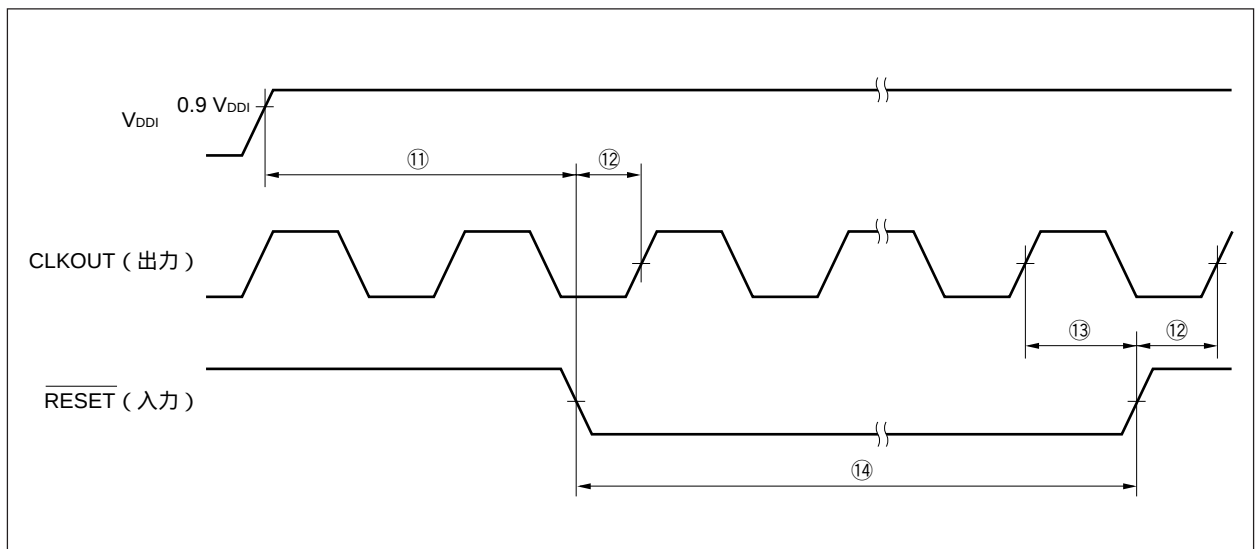
項 目	略 号	条 件	MIN.	MAX.	単位
RESET保持時間 (対V _{DDI} VALID)	⑪ t _{HVR}			2	μ s
RESET設定時間 (対CLKOUT $\uparrow$)	⑫ t _{SRK}		7		ns
RESET保持時間 (対CLKOUT $\uparrow$)	⑬ t _{HKR}		7		ns
RESETパルス・ロウ・レベル幅	⑭ t _{WRL}	注 1	20		ms
		注 2	10		ms
		注 3	15		t _{CYX}

注 1 . パワーオン時, またはSTOPモードからの復帰時で, 内部クロック発生時。

2 . パワーオン時, またはSTOPモードからの復帰時で, 外部クロック発生時かつクロック安定後。

3 . 注 1 , 2 以外で, クロックが安定している場合。

備考 リセットはt_{HVR}以内であれば, t_{SRK}, t_{HKR}を満たさなくてもかまいません。ただし, t_{SRK}, t_{HKR}を満たせない場合, リセット認識のタイミングがずれることがあります。

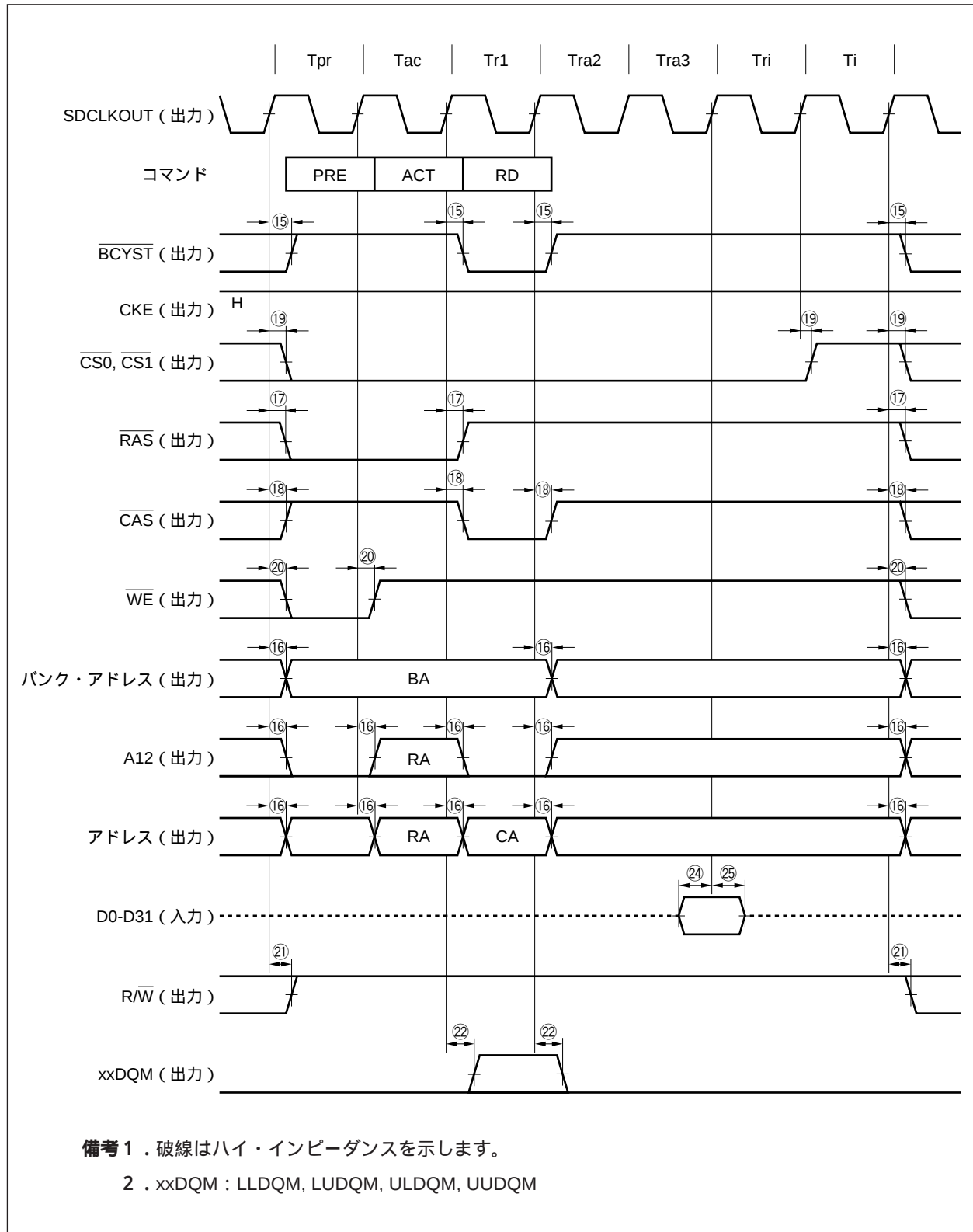


(4) SDRAMアクセス・タイミング

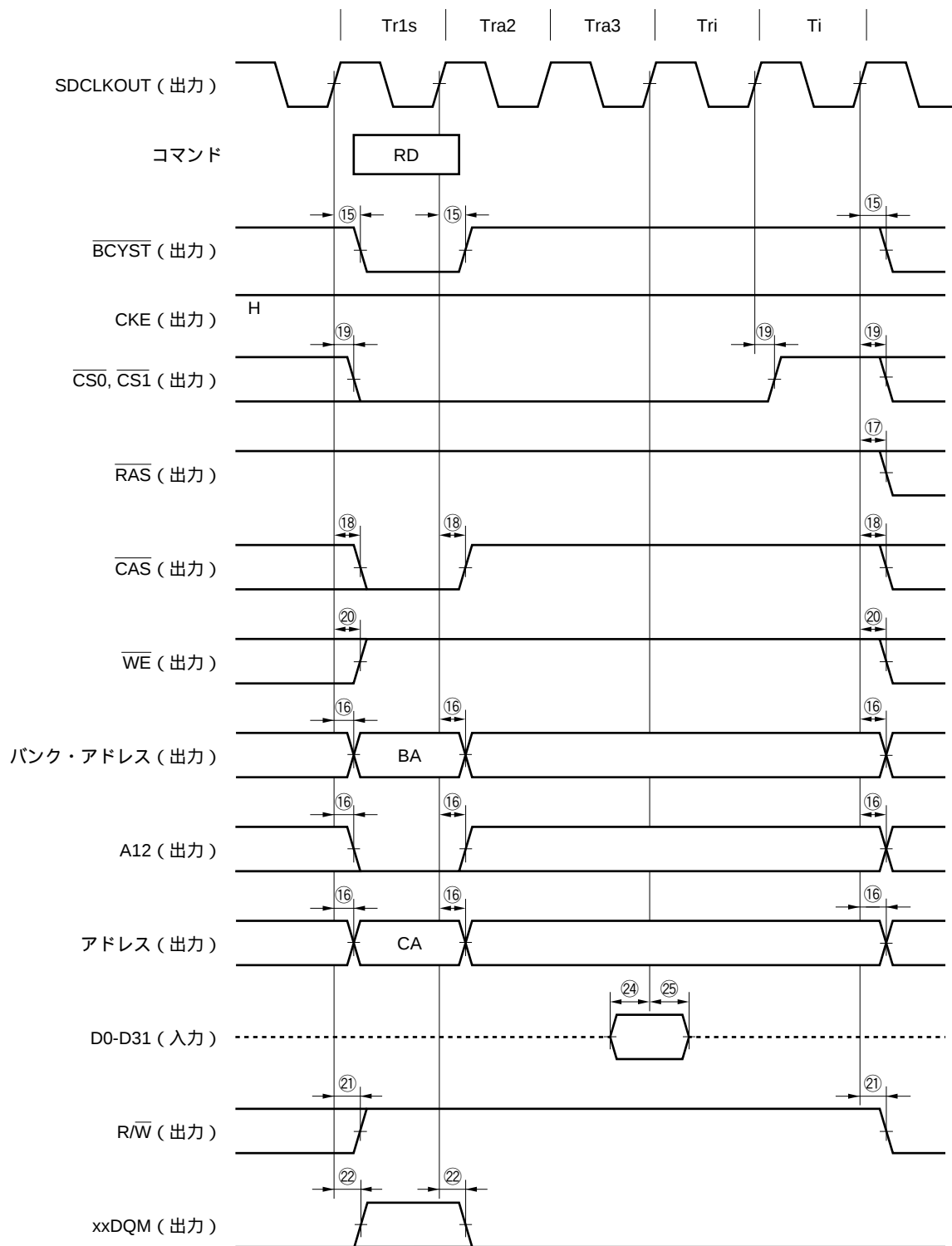
項 目	略 号	条 件	MIN.	MAX.	単位
BCYST $\overline{}$ 遅延時間 (対SDCLKOUT $\uparrow$)	⑮ tDKBC		2	12.5	ns
アドレス遅延時間 (対SDCLKOUT $\uparrow$)	⑯ tDKA		2	12.5	ns
RAS $\overline{}$ 遅延時間 (対SDCLKOUT $\uparrow$)	⑰ tDKRAS		2	12.5	ns
CAS $\overline{}$ 遅延時間 (対SDCLKOUT $\uparrow$)	⑱ tDKCAS		2	12.5	ns
CS0, CS1遅延時間 (対SDCLKOUT $\uparrow$)	⑲ tDKCS		2	12.5	ns
WE遅延時間 (対SDCLKOUT $\uparrow$)	⑳ tDKWE		2	12.5	ns
R/W $\overline{}$ 遅延時間 (対SDCLKOUT $\uparrow$)	㉑ tDKRW		2	12.5	ns
xxDQM遅延時間 (対SDCLKOUT $\uparrow$)	㉒ tDKDQM		2	12.5	ns
CKE遅延時間 (対SDCLKOUT $\uparrow$)	㉓ tDKCKE		2	12.5	ns
データ入力設定時間 (SDRAMリード時, 対SDCLKOUT $\uparrow$)	㉔ tSDRMK		5		ns
データ入力保持時間 (SDRAMリード時, 対SDCLKOUT $\uparrow$)	㉕ tHKDRM		2		ns
データ出力遅延時間 (fromアクティブ, 対SDCLKOUT $\uparrow$)	㉖ tDKDT		2	12.5	ns
データ出力遅延時間 (fromフロート, 対SDCLKOUT $\uparrow$)	㉗ tLZKDT		2	12.5	ns
データ・フロート遅延時間 (対SDCLKOUT $\uparrow$)	㉘ tHZKDT		3	20	ns

備考 xxDQM : LLDQM, LUDQM, ULDQM, UUDQM

SDRAMシングル・リード・サイクル (off-page) (TRP = 0, TRCD = 0) : 32ビット・データ・バス時



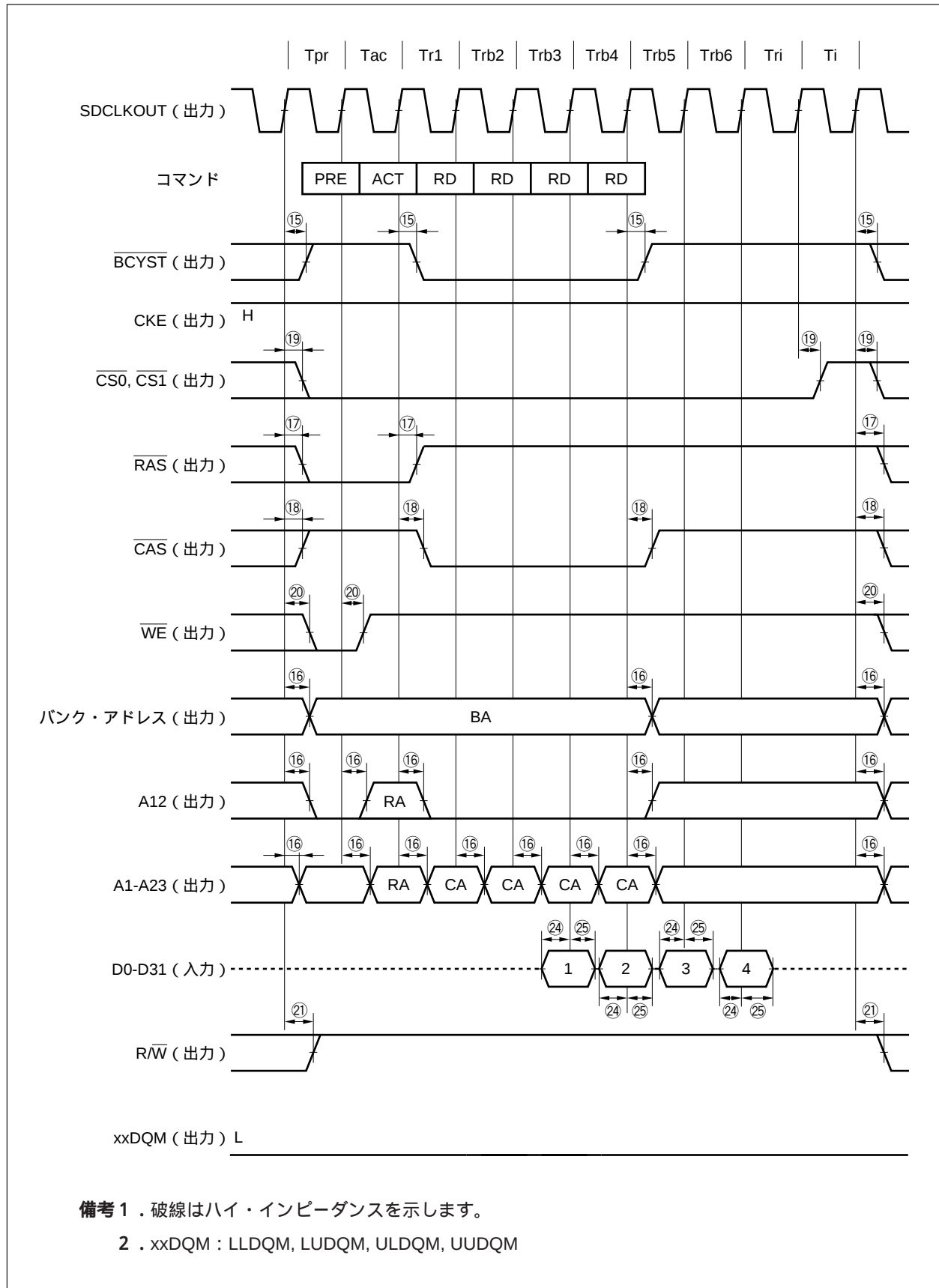
SDRAMシングル・リード・サイクル (on-page) : 32ビット・データ・バス時



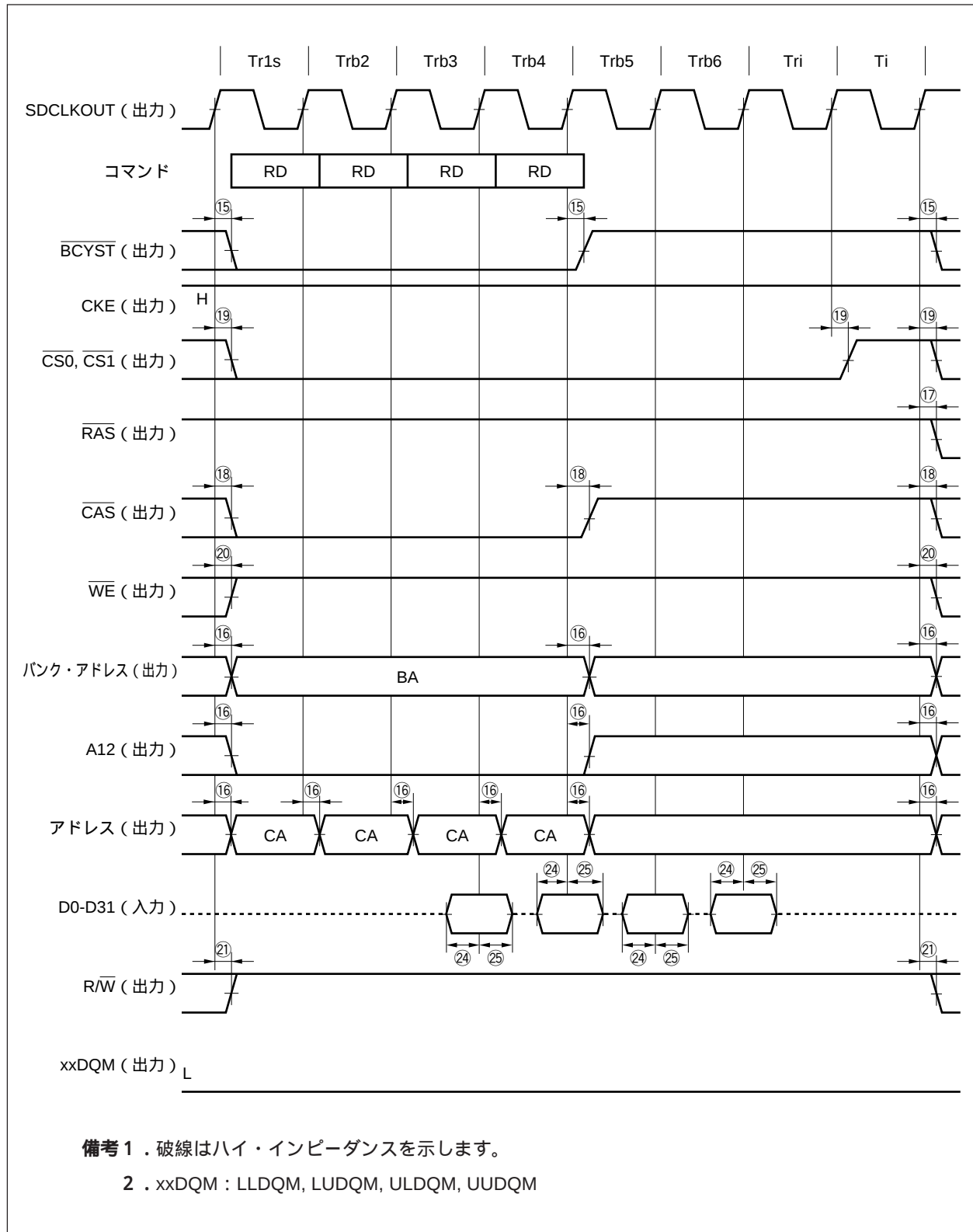
備考 1 . 破線はハイ・インピーダンスを示します。

2 . xxDQM : LLDQM, LUDQM, ULDQM, UUDQM

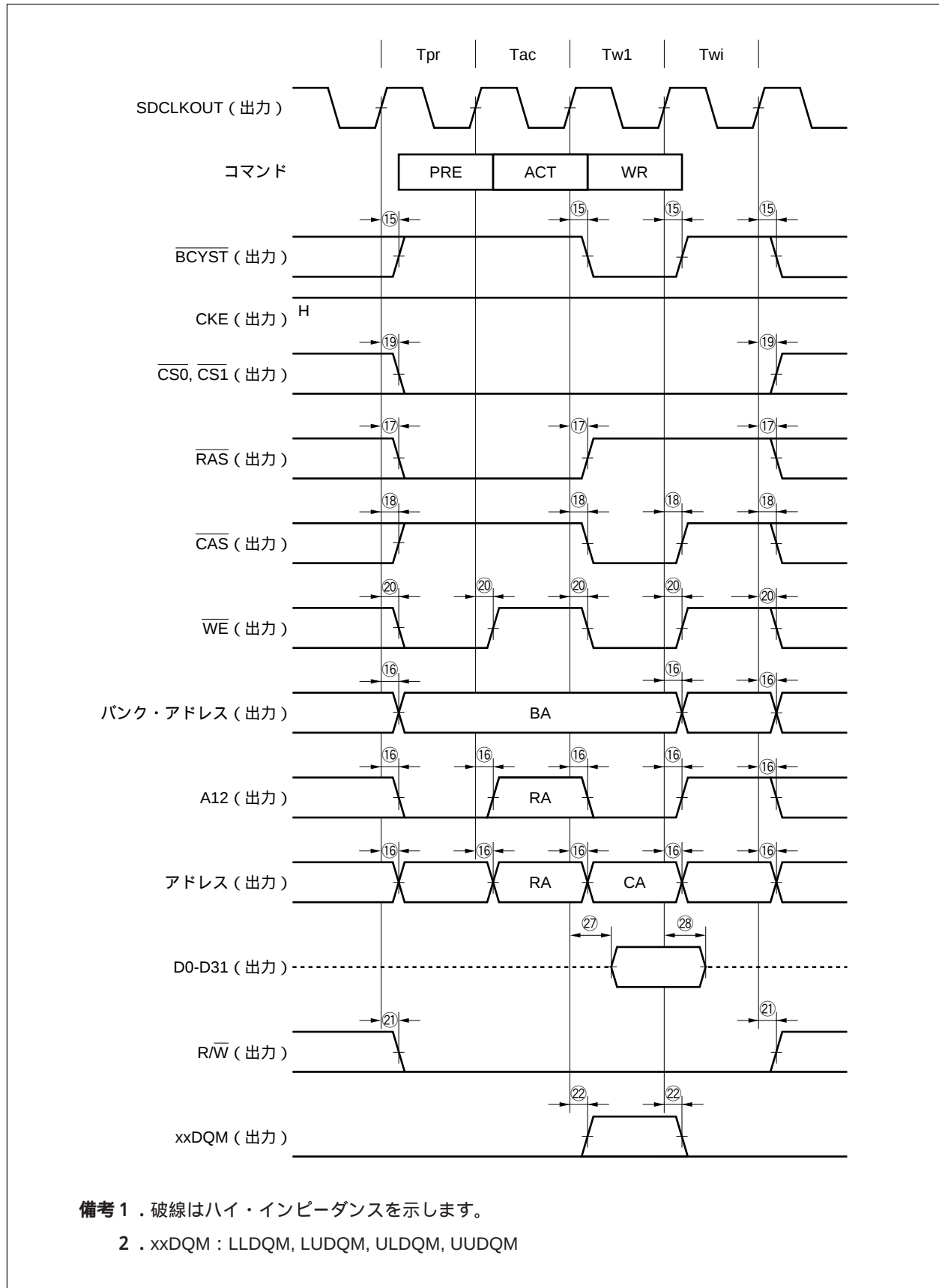
SDRAMバースト・リード・サイクル (off-page) (TRP = 0, TRCD = 0) : 32ビット・データ・バス時



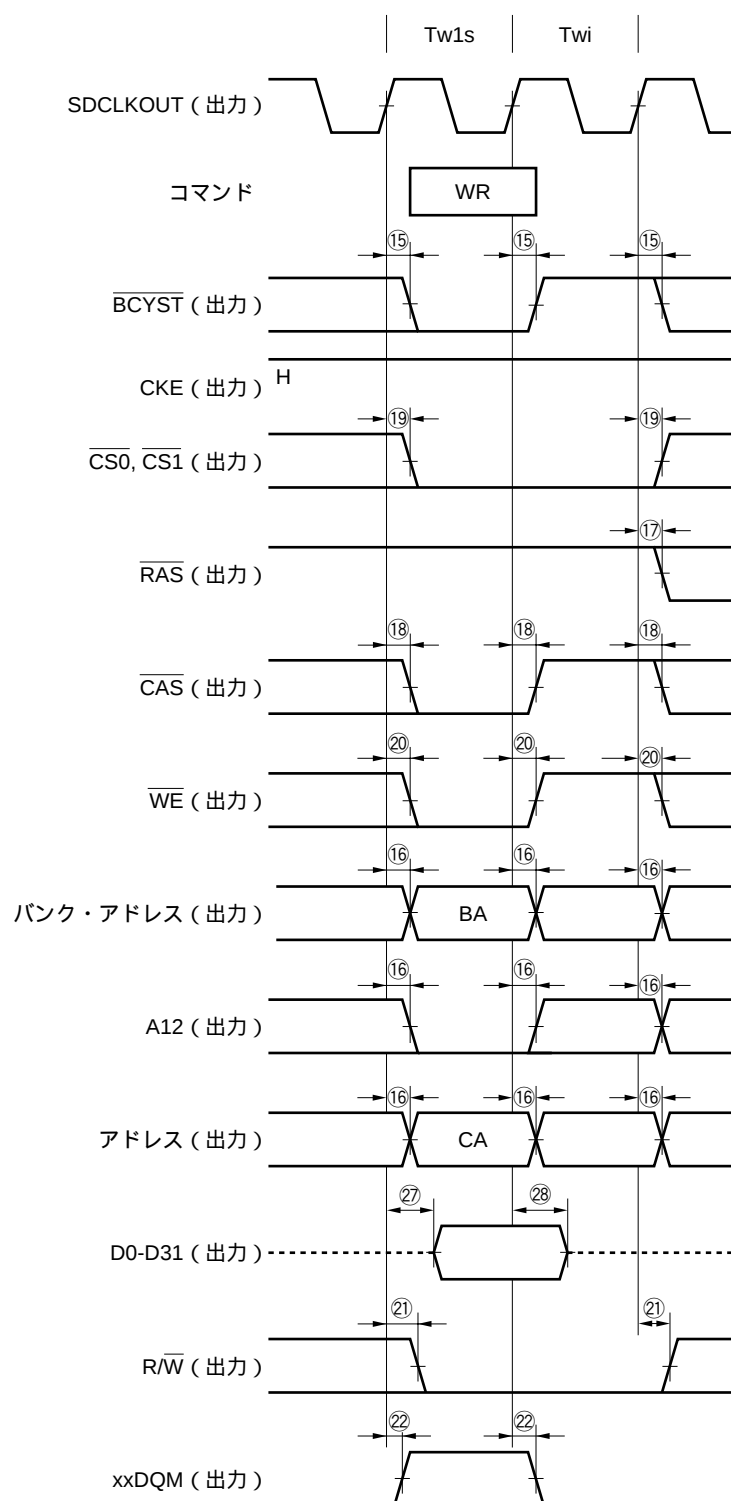
SDRAMバースト・リード・サイクル (on-page) : 32ビット・データ・バス時



SDRAMシングル・ライト・サイクル (off-page) (TRP = 0, TRCD = 0) : 32ビット・データ・バス時



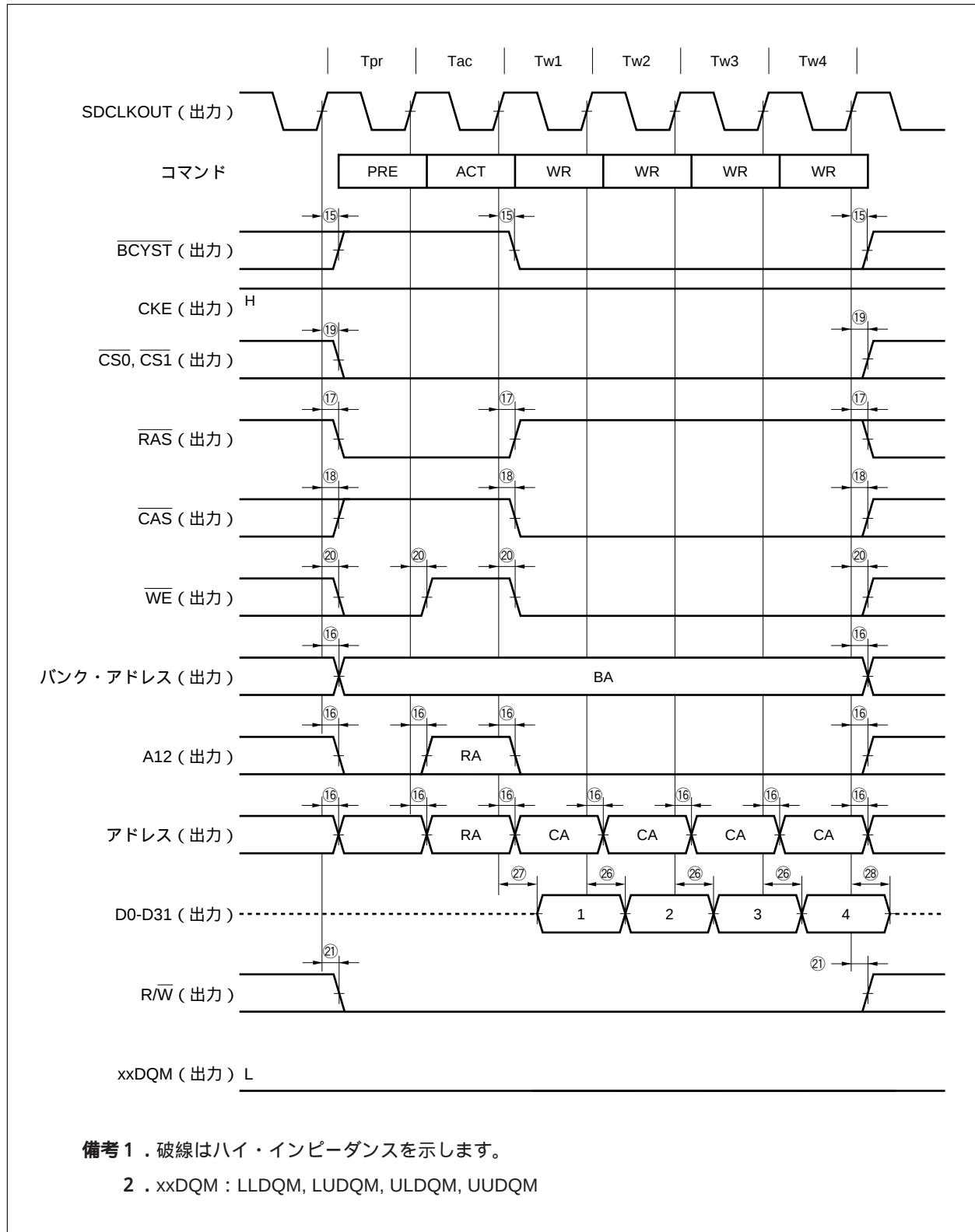
SDRAMシングル・ライト・サイクル (on-page) : 32ビット・データ・バス時



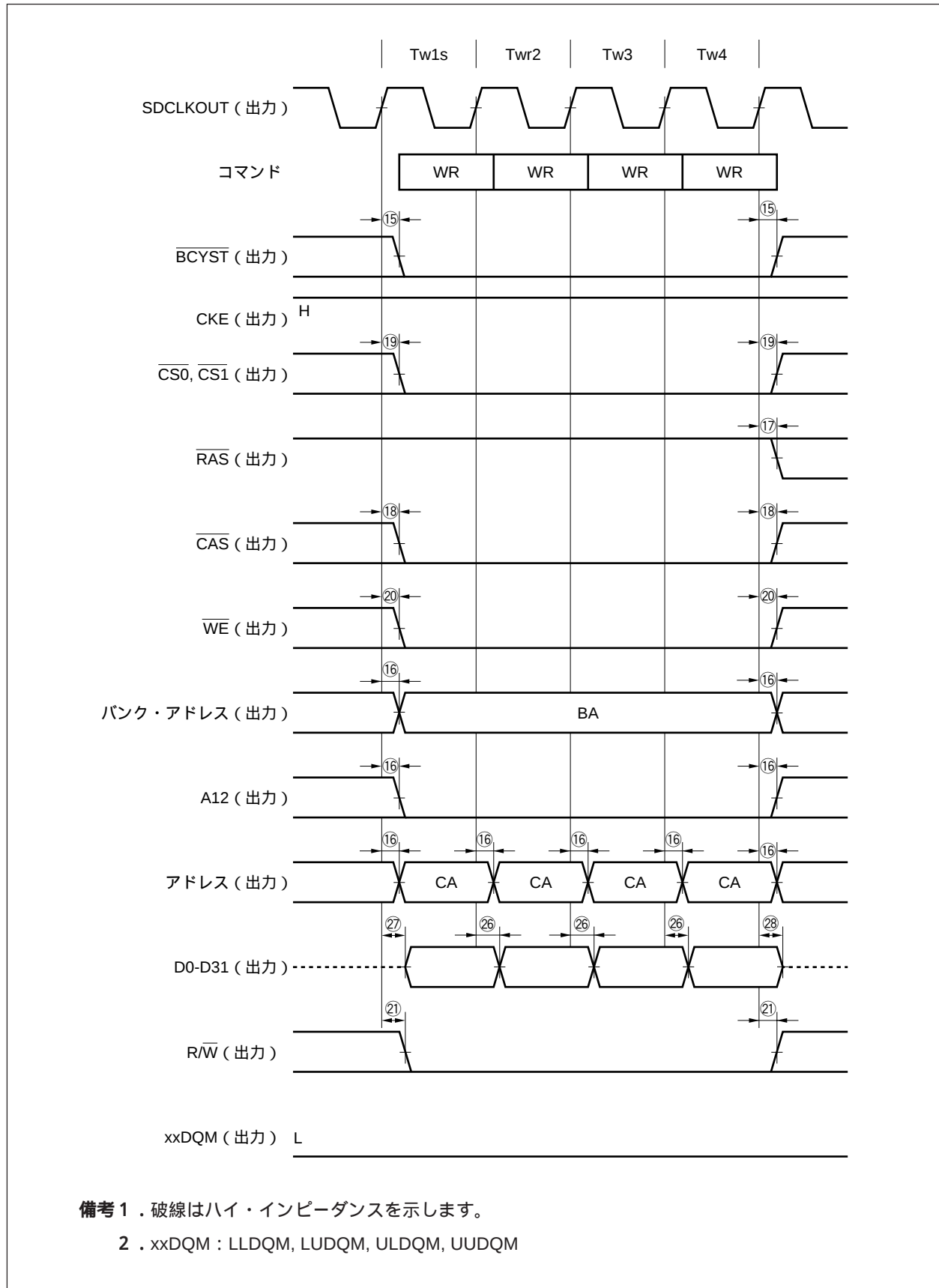
備考 1 . 破線はハイ・インピーダンスを示します。

2 . xxDQM : LLDQM, LUDQM, ULDQM, UUDQM

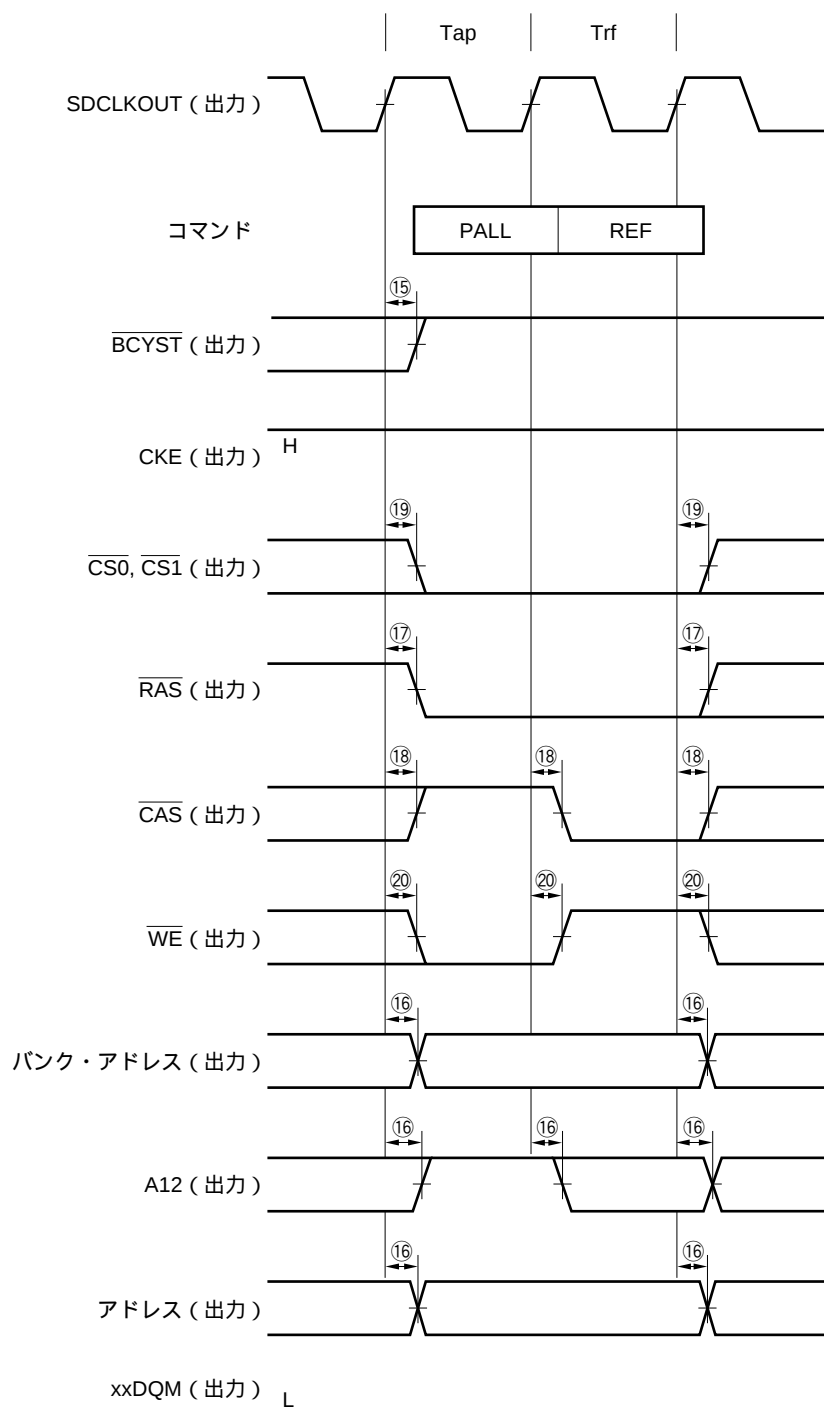
SDRAMバースト・ライト・サイクル (off-page) (TRP = 0, TRCD = 0) : 32ビット・データ・バス時



SDRAMバースト・ライト・サイクル (on-page) : 32ビット・データ・バス時

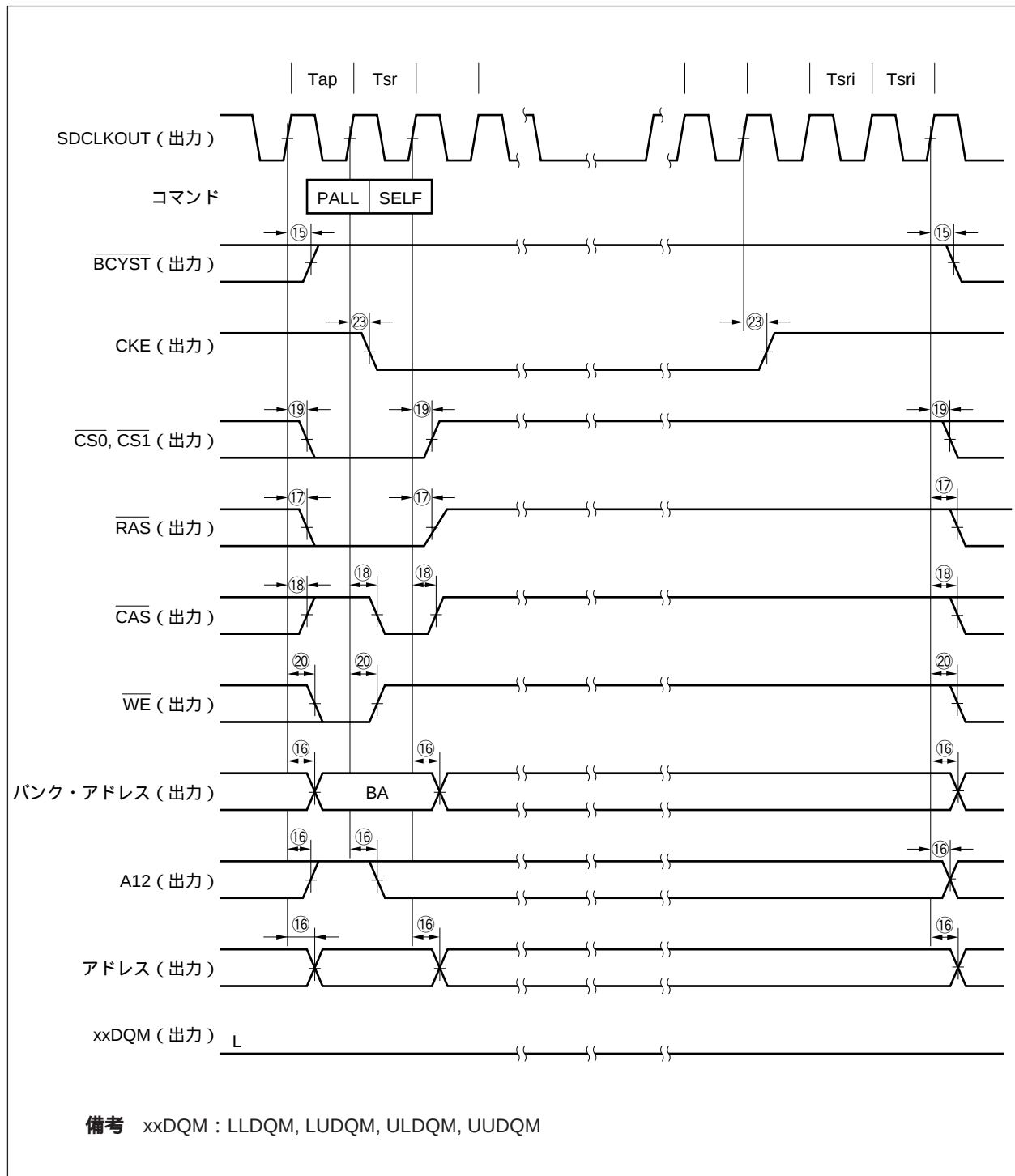


オート・リフレッシュ・サイクル (TRP = 0) : 32ビット・データ・バス時



備考 xxDQM : LLDQM, LUDQM, ULDQM, UUDQM

セルフ・リフレッシュ・サイクル (TRP = 0) : 32ビット・データ・バス時



(5) SRAM, Page-ROM, I/Oアクセス・タイミング

項 目	略 号	条 件	MIN.	MAX.	単位
$\overline{\text{BCYST}}$ 遅延時間 (対CLKOUT ↑)	⑮ tDKBC		2	12.5	ns
アドレス遅延時間 (対CLKOUT ↑)	⑯ tDKA		2	12.5	ns
$\overline{\text{CSn}}$ 注遅延時間 (対CLKOUT ↑)	⑰ tDKCS		2	12.5	ns
$\overline{\text{R/W}}$ 遅延時間 (対CLKOUT ↑)	⑰ tDKRW		2	12.5	ns
データ出力遅延時間 (fromアクティブ, 対CLKOUT ↑)	⑳ tDKDT		2	12.5	ns
データ出力遅延時間 (fromフロート, 対CLKOUT ↑)	㉑ tLZKDT		2	12.5	ns
データ・フロート遅延時間 (対CLKOUT ↑)	㉒ tHZKDT		3	20	ns
$\overline{\text{IORD}}$ 出力遅延時間 (対CLKOUT ↓)	㉓ tDKRD		2	12.5	ns
$\overline{\text{MRD}}$ 出力遅延時間 (対CLKOUT ↓)	㉔ tDKMRD		2	12.5	ns
$\overline{\text{IOWR}}$ 出力遅延時間 (対CLKOUT ↓)	㉕ tDKWR		2	12.5	ns
$\overline{\text{MWR}}$ 出力遅延時間 (対CLKOUT ↓)	㉖ tDKMWR		2	12.5	ns
$\overline{\text{xxBEN}}$ 遅延時間 (対CLKOUT ↓)	㉗ tDKBEN		2	12.5	ns
データ入力設定時間 (対CLKOUT ↓)	㉘ tSDTK		5		ns
データ入力保持時間 (対CLKOUT ↓)	㉙ tHKDT		2		ns
$\overline{\text{READY}}$ 設定時間 (対CLKOUT ↑)	㉚ tSRYK		7		ns
$\overline{\text{READY}}$ 保持時間 (対CLKOUT ↑)	㉛ tHKRY		3		ns

注 $\overline{\text{CSn}}$ は $\overline{\text{CS1}}$ から $\overline{\text{CS7}}$ を示します。nの値により異なった領域を使用します。

n = 1-7 : SRAM (ROM) 選択時

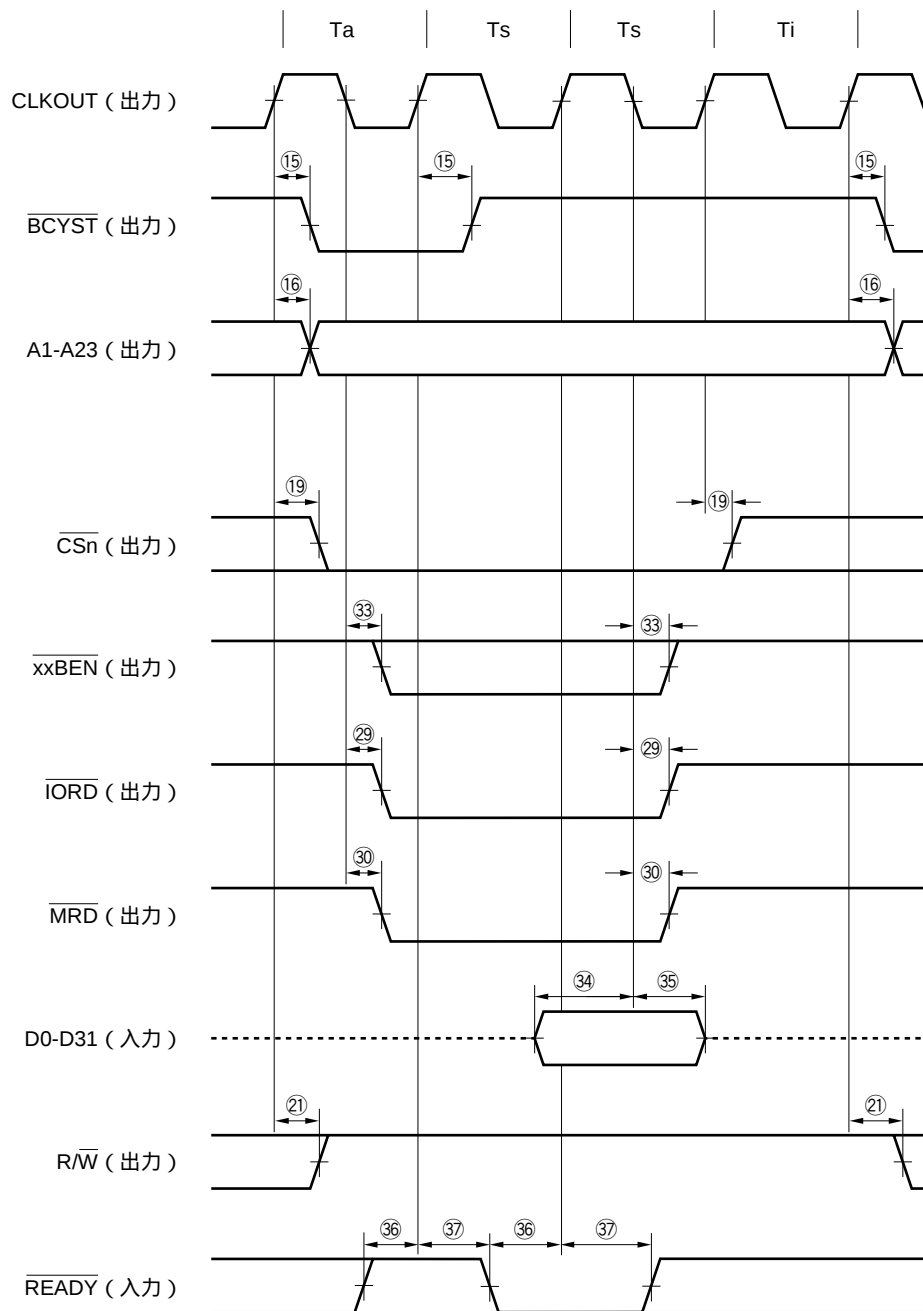
n = 7 : Page-ROM選択時

n = 3-6 : I/O選択時

備考 $\overline{\text{xxBEN}}$: $\overline{\text{LLBEN}}$, $\overline{\text{LUBEN}}$, $\overline{\text{ULBEN}}$, $\overline{\text{UUBEN}}$

SRAM (ROM) , Page-ROM シングル・リード・サイクル

I/O リード・タイミング



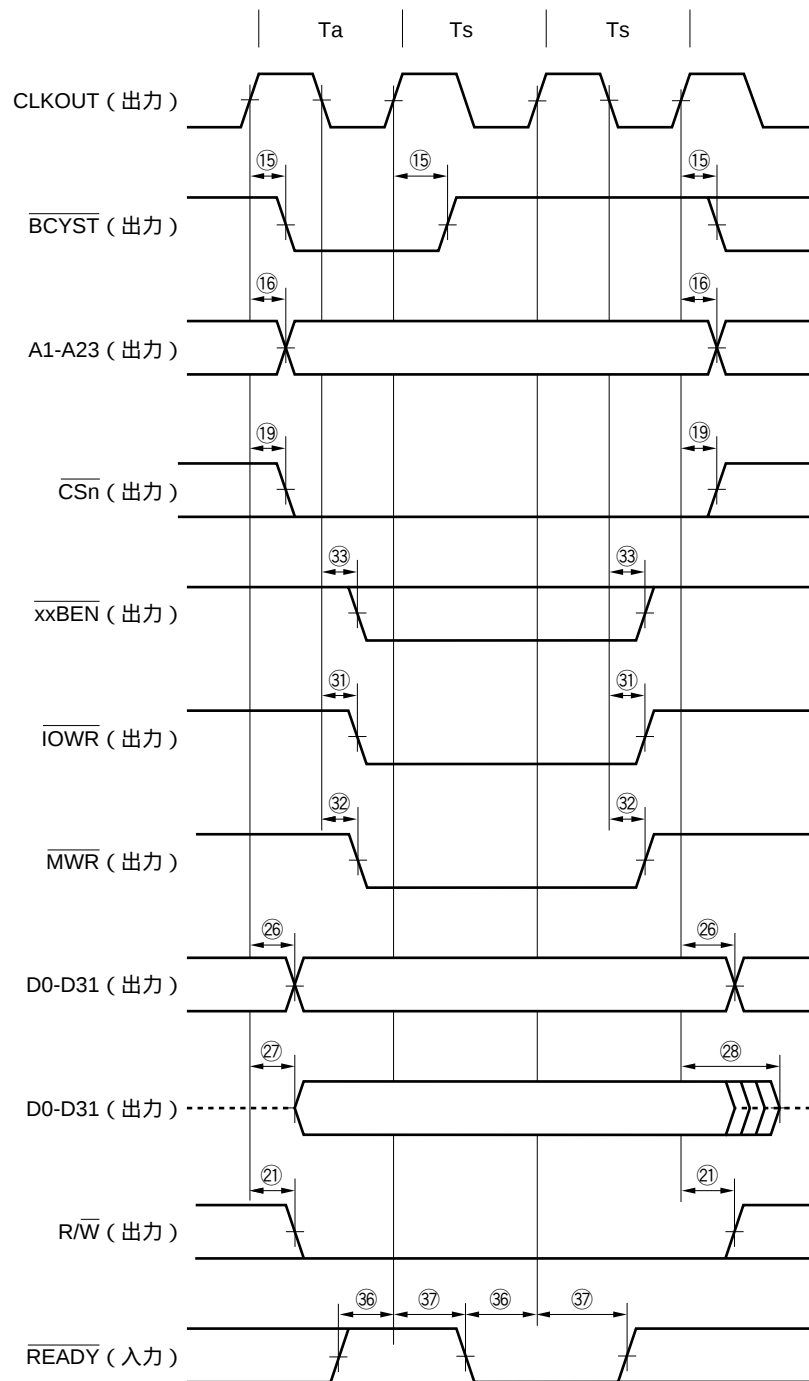
備考 1 . 破線はハイ・インピーダンスを示します。

2 . $n = 1-7$

3 . $\overline{xxBEN}$: $\overline{LLBEN}$, $\overline{LUBEN}$, $\overline{ULBEN}$, $\overline{UUBEN}$

SRAM (ROM) シングル・ライト・サイクル

I/Oライト・タイミング

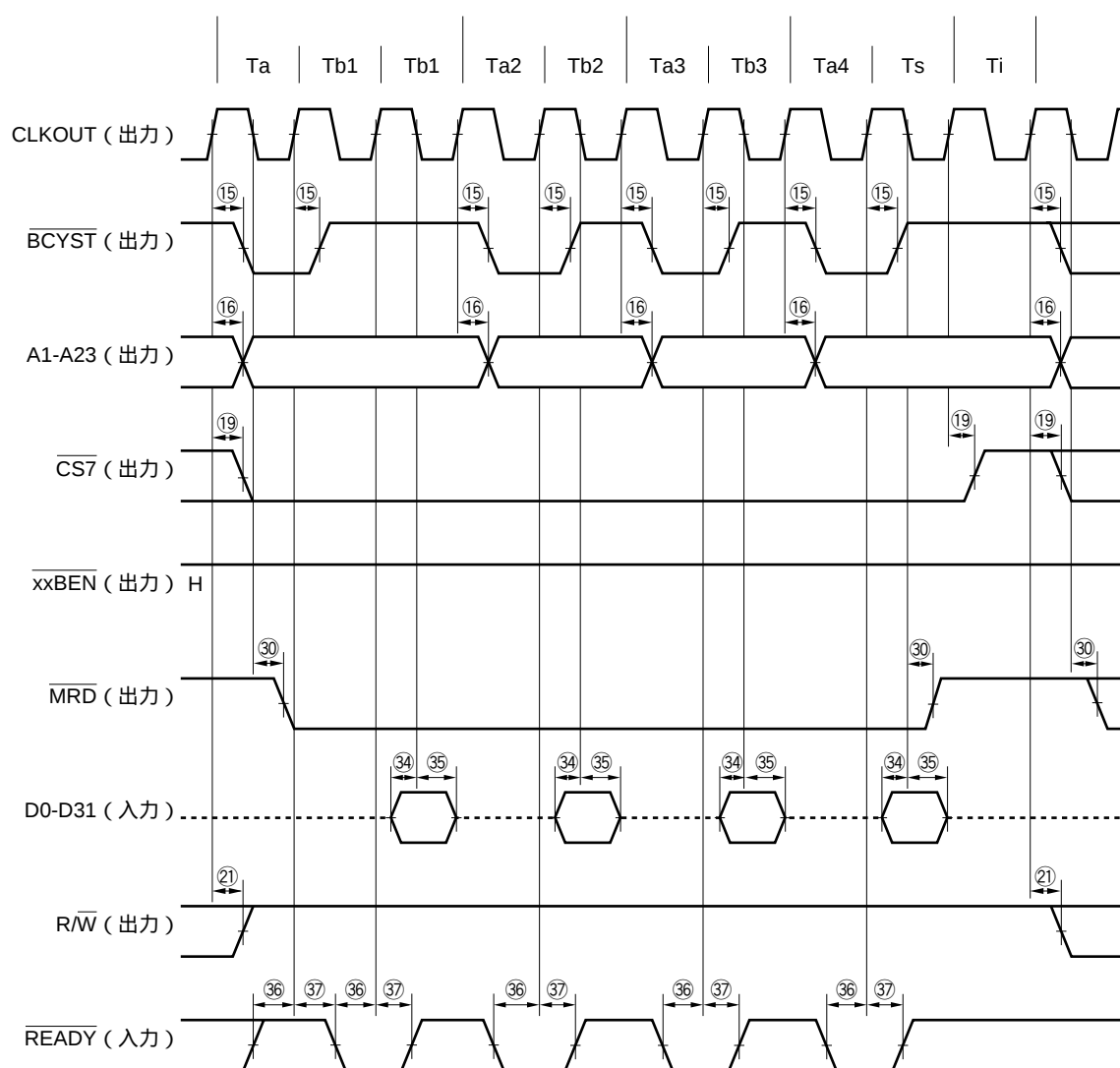


備考 1 . 破線はハイ・インピーダンスを示します。

2 . $n = 1-7$

3 . $\overline{\text{xxBEN}}$: $\overline{\text{LLBEN}}$, $\overline{\text{LUBEN}}$, $\overline{\text{ULBEN}}$, $\overline{\text{UUBEN}}$

Page-ROMバースト・リード・サイクル (32ビット・データ・バス時)



備考 1 . 破線はハイ・インピーダンスを示します。

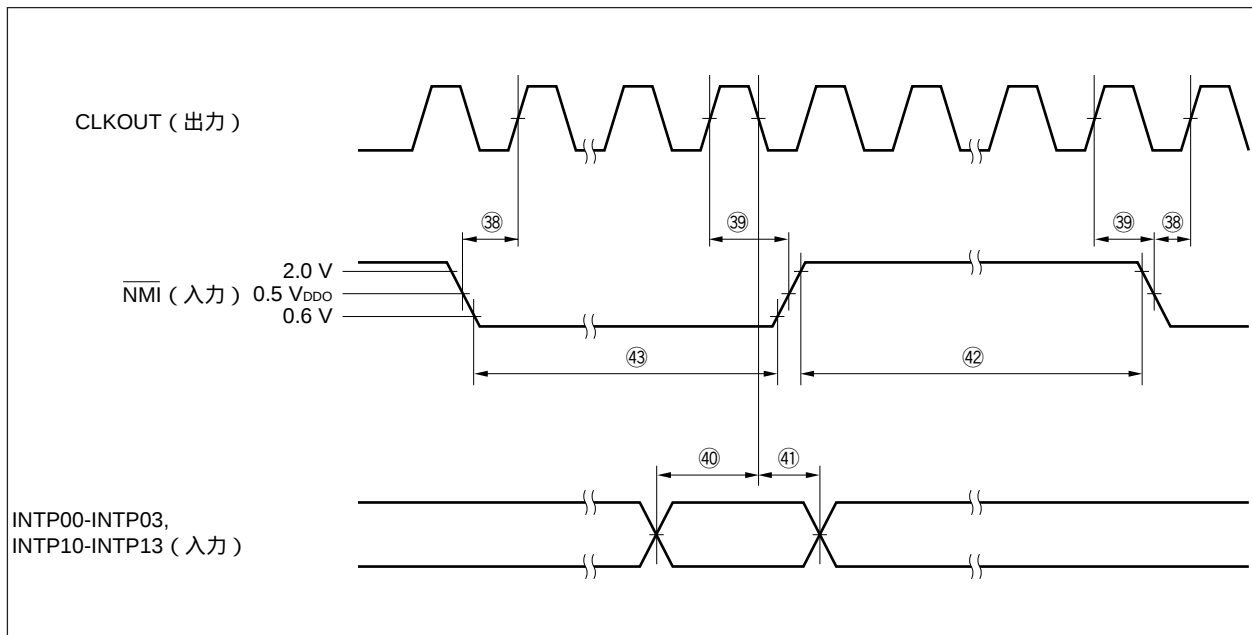
2 . $\overline{\text{xxBEN}}$: $\overline{\text{LLBEN}}$, $\overline{\text{LUBEN}}$, $\overline{\text{ULBEN}}$, $\overline{\text{UUBEN}}$

(6) 割り込みタイミング

項 目	略 号	条 件	MIN.	MAX.	単位
NMI設定時間 (対CLKOUT ↑)	③⑧ t_{SNK}		5		ns
NMI保持時間 (対CLKOUT ↑)	③⑨ t_{HKN}		7		ns
INTPxx等設定時間 (対CLKOUT ↓)	④⑩ t_{SIK}		7		ns
INTPxx等保持時間 (対CLKOUT ↓)	④⑪ t_{HKI}		3		ns
NMIハイ・レベル時間	④⑫ t_{NMH}		$5T + 12$		ns
NMIロウ・レベル時間	④⑬ t_{NML}		$5T + 12$		ns

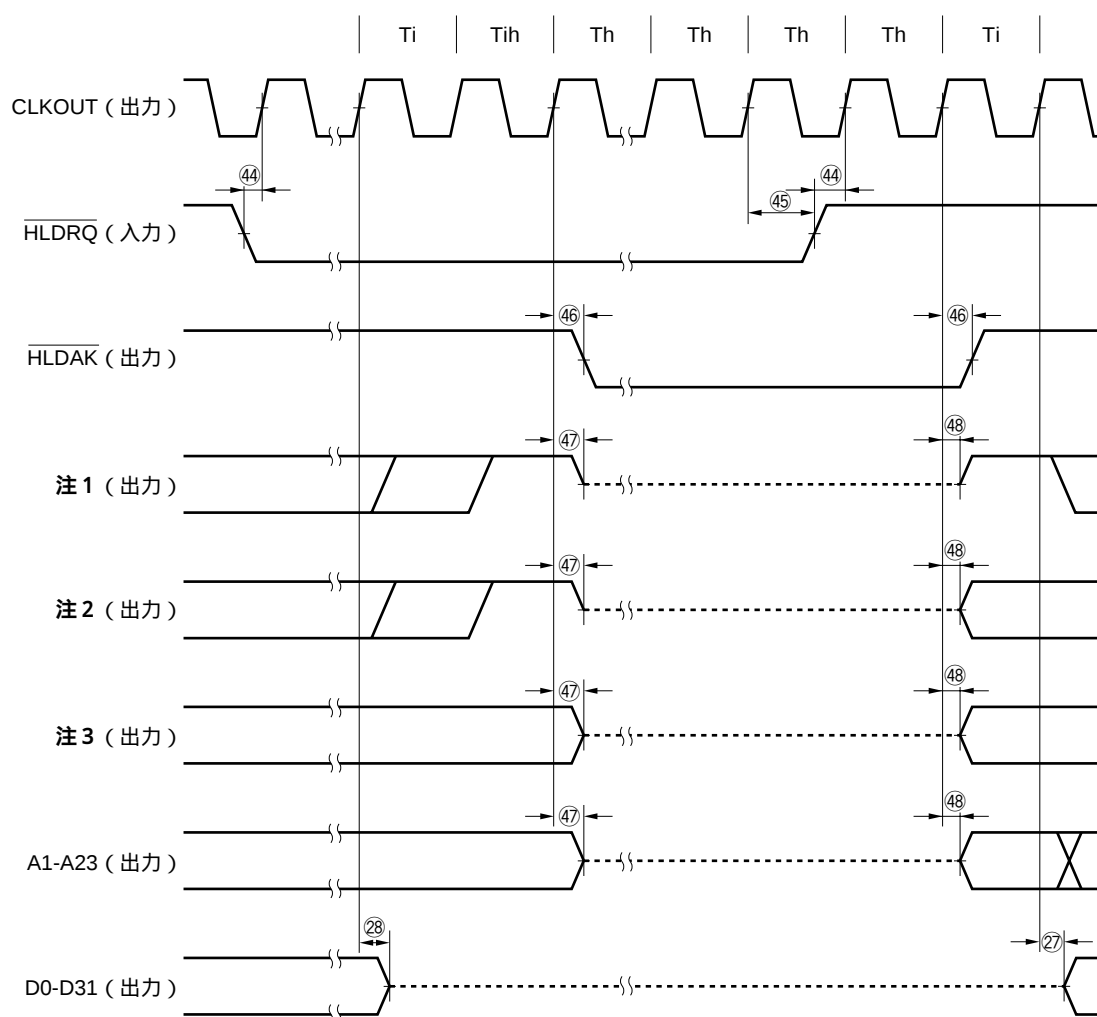
備考 1 . $T = T_{CYK}$ (外部クロック周期)

2 . t_{SNK} , t_{HKN} が守れなくてもかまいませんが , NMIの認識タイミングが遅れることがあります。



(7) バス・ホールド・タイミング

項 目	略 号	条 件	MIN.	MAX.	単位
データ・アクティブ遅延時間 (対CLKOUT ↑)	②⑦	tLZKDT	2	12.5	ns
データ・フロート遅延時間 (対CLKOUT ↑)	②⑧	tHZKDT	3	20	ns
HLD $\overline{\text{RQ}}$ 入力設定時間 (対CLKOUT ↑)	④④	tSHQK	7		ns
HLD $\overline{\text{RQ}}$ 保持時間 (対CLKOUT ↑)	④⑤	tHKHQ	3		ns
HLD $\overline{\text{AK}}$ 出力遅延時間 (対CLKOUT ↑)	④⑥	tDKHA	2	12.5	ns
アドレス等フロート遅延時間 (対CLKOUT ↑)	④⑦	tHZKA	3	20	ns
アドレス等アクティブ遅延時間 (対CLKOUT ↑)	④⑧	tLZKA	2	12.5	ns



注 1 . $\overline{\text{BCYST}}$, $\overline{\text{WE}}$, $\overline{\text{CS0-CS7}}$, $\overline{\text{RAS}}$, $\overline{\text{CAS}}$, $\overline{\text{MRD}}$, $\overline{\text{MWR}}$, $\overline{\text{CKE}}$

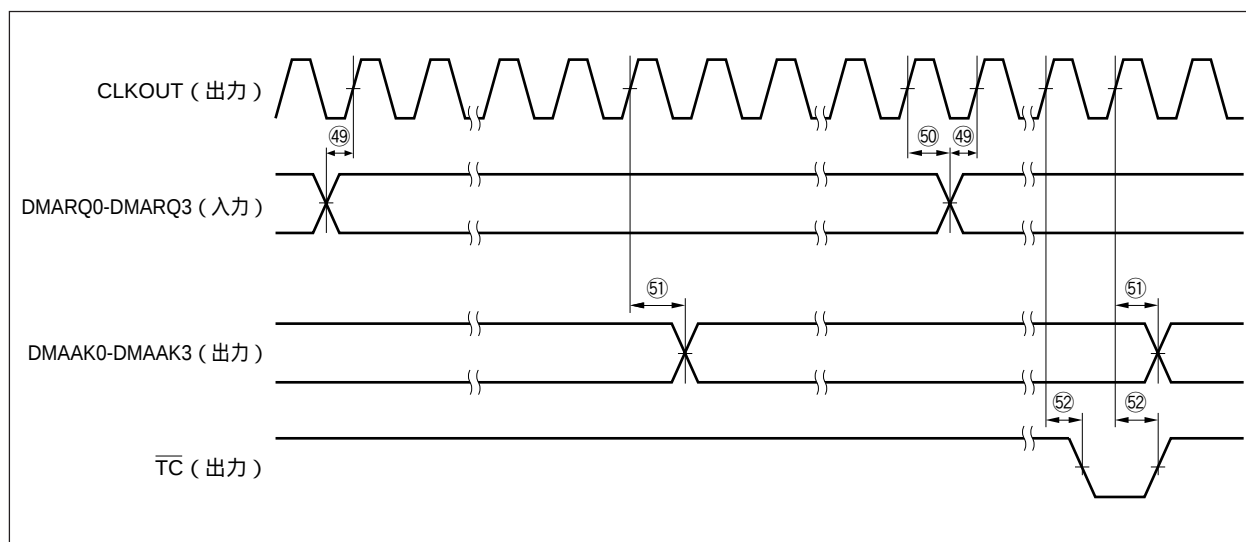
2 . $\overline{\text{R/W}}$, $\overline{\text{LLBEN}}$, $\overline{\text{LUBEN}}$, $\overline{\text{ULBEN}}$, $\overline{\text{UUBEN}}$

3 . $\overline{\text{LLDQM}}$, $\overline{\text{LUDQM}}$, $\overline{\text{ULDQM}}$, $\overline{\text{UUDQM}}$

備考 破線はハイ・インピーダンスを示します。

(8) DMAタイミング

項 目	略 号	条 件	MIN.	MAX.	単位
DMA RQ入力設定時間 (対CLKOUT ↑)	④9	t _{SDQK}	7		ns
DMA RQ保持時間 (対CLKOUT ↑)	⑤0	t _{HKDQ}	3		ns
DMA A K出力遅延時間	⑤1	t _{DKDAK}	2	12.5	ns
$\overline{TC}$ 出力遅延時間	⑤2	t _{DKTC}	2	12.5	ns

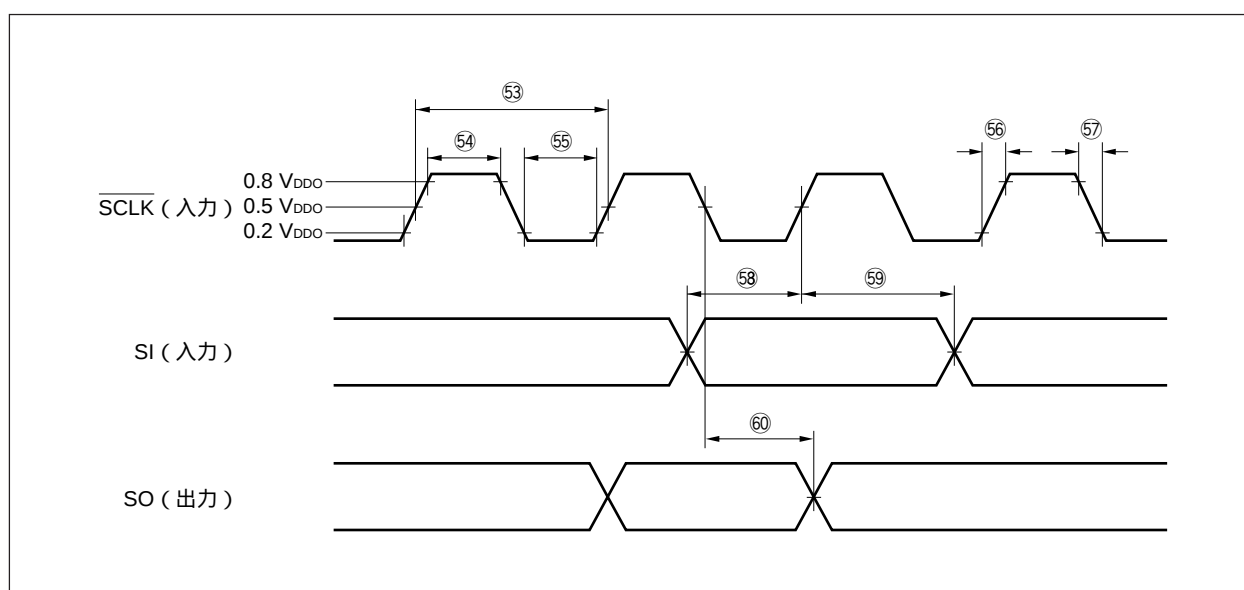


(9) CSI タイミング

(a) SCLK 入力モード時

項 目	略 号	条 件	MIN.	MAX.	単位
SCLK 周期	⑤③	t_{cysi}	4T		ns
SCLK ハイ・レベル時間	⑤④	t_{sih}	$t_{cysi}/2 - 10$		ns
SCLK ロウ・レベル時間	⑤⑤	t_{sil}	$t_{cysi}/2 - 10$		ns
SCLK 立ち上がり時間	⑤⑥	t_{sir}		10	ns
SCLK 立ち下がり時間	⑤⑦	t_{sif}		10	ns
SI 入力設定時間 (対 SCLK ↑)	⑤⑧	t_{sdts}	21		ns
SI 入力保持時間 (対 SCLK ↑)	⑤⑨	t_{hstdt}	21		ns
SO 出力遅延時間 (対 SCLK ↓)	⑥⑩	t_{dstdt}	2	21	ns

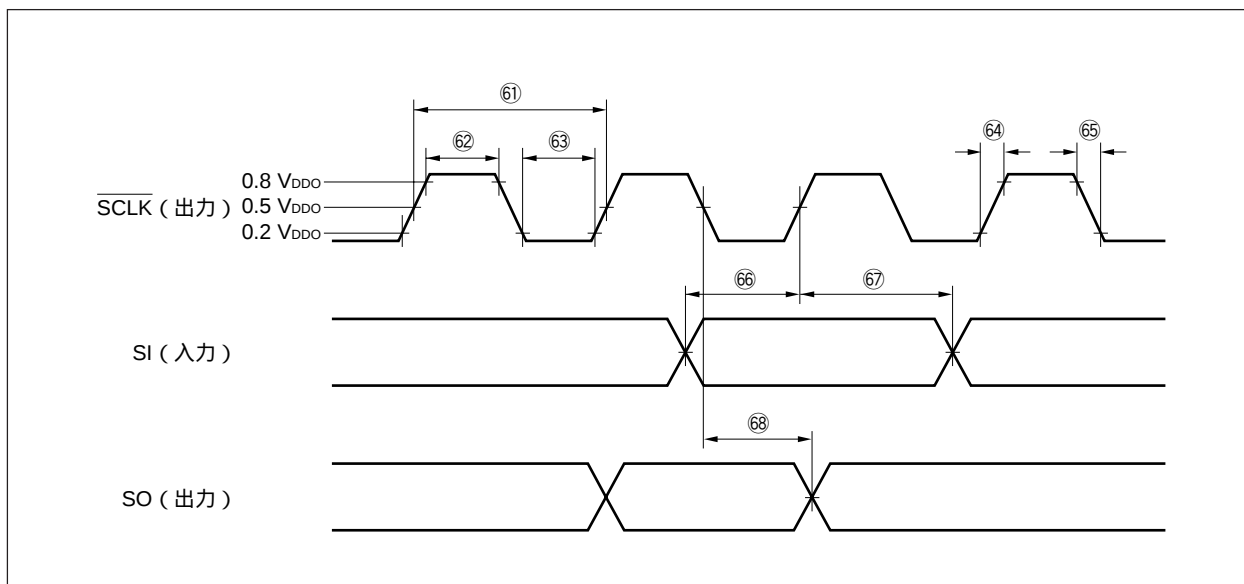
備考 T = T_{cyk} (外部クロック周期)



(b) SCLK 出力モード時

項 目	略 号	条 件	MIN.	MAX.	単位
SCLK 周期	⑥①	t_{cys0}	4T		ns
SCLK ハイ・レベル時間	⑥②	t_{soh}	$t_{cys0}/2 - 10$		ns
SCLK ロウ・レベル時間	⑥③	t_{sol}	$t_{cys0}/2 - 10$		ns
SCLK 立ち上がり時間	⑥④	t_{sor}		10	ns
SCLK 立ち下がり時間	⑥⑤	t_{sof}		10	ns
SI 入力設定時間 (対 SCLK ↑)	⑥⑥	t_{sdts}	21		ns
SI 入力保持時間 (対 SCLK ↑)	⑥⑦	t_{hstdt}	21		ns
SO 出力遅延時間 (対 SCLK ↓)	⑥⑧	t_{dstdt}	2	21	ns

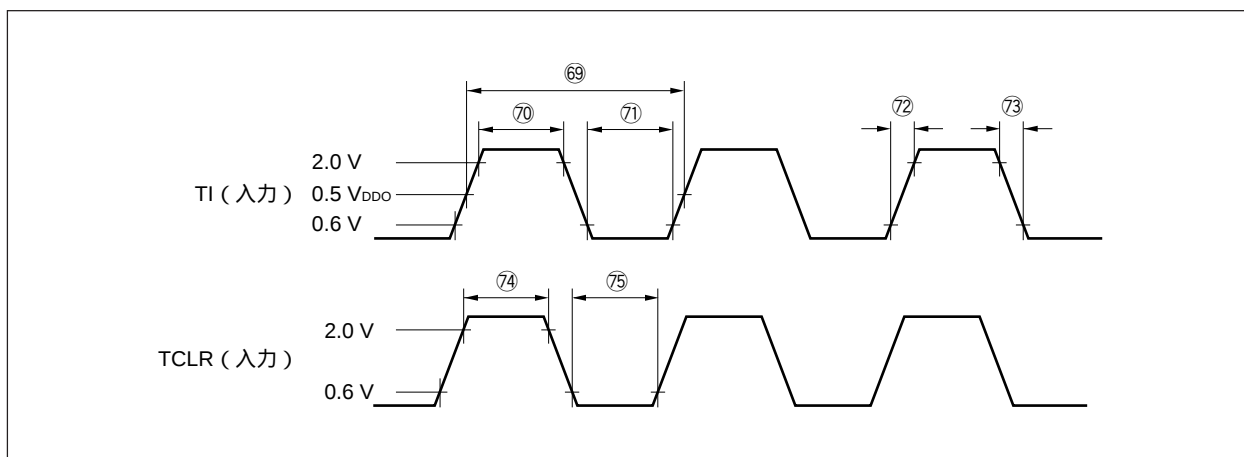
備考 T = T_{cyk} (外部クロック周期)



(10) タイマ・タイミング

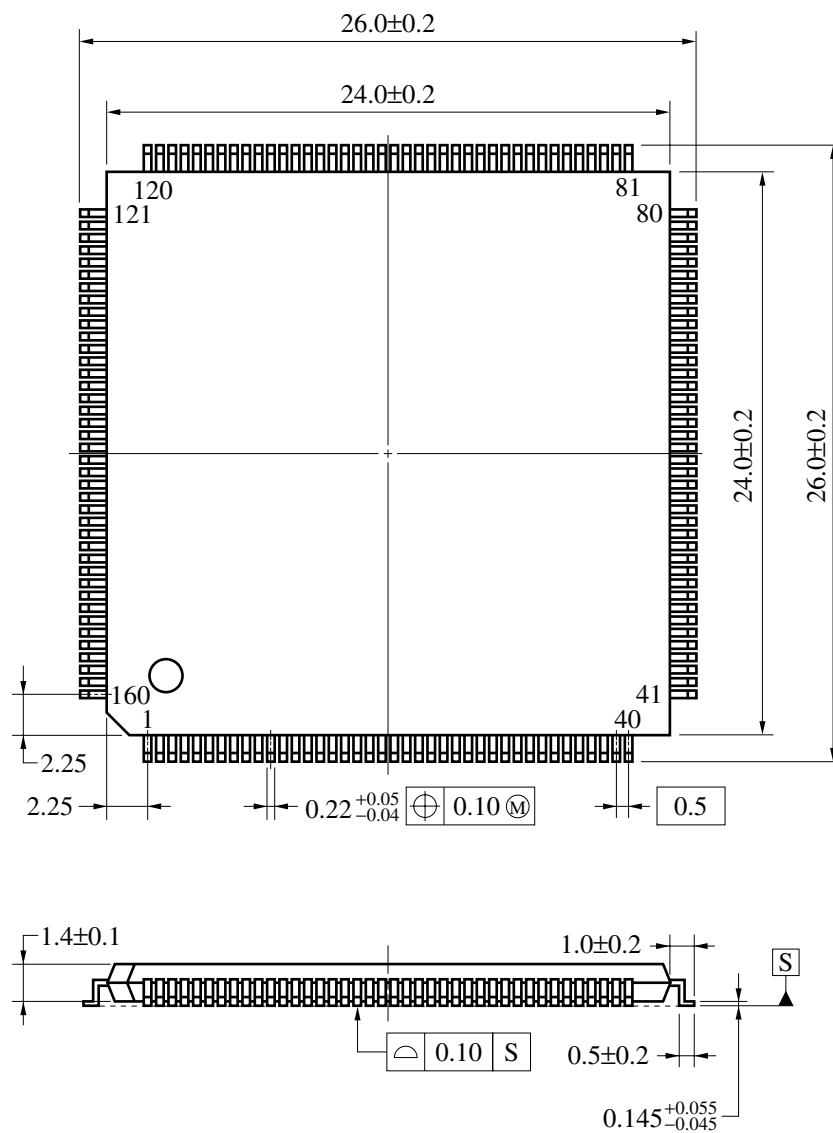
項 目	略 号	条 件	MIN.	MAX.	単位
TIクロック周期	⑥9	t_{CYT}	8T		ns
TIクロック・ハイ・レベル時間	⑦0	t_{TIH}	4T + 10		ns
TIクロック・ロウ・レベル時間	⑦1	t_{TIL}	4T + 10		ns
TIクロック立ち上がり時間	⑦2	t_{TR}		10	ns
TIクロック立ち下がり時間	⑦3	t_{TF}		10	ns
TCLRクロック・ハイ・レベル時間	⑦4	t_{CLH}	4T + 10		ns
TCLRクロック・ロウ・レベル時間	⑦5	t_{CLL}	4T + 10		ns

備考 T = T_{CYK} (外部クロック周期)

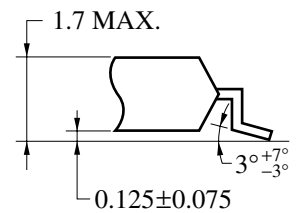


4. 外形図

160ピン・プラスチック LQFP (ファインピッチ)(24x24) 外形図 (単位: mm)



端子先端形状詳細図



S160GM-50-8ED-3

5．半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の詳細は、インフォメーション資料「**半導体デバイス実装マニュアル**」(C10535J)を参照してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

表 5－1 表面実装タイプの半田付け条件

μ PD705102GM-143-8ED：160ピン・プラスチックLQFP（ファインピッチ）（24×24）

μ PD705102GM-133-8ED：

〃

半田付け方式	半 田 付 け 条 件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃，時間：30秒以内（210℃以上），回数：2回以内， 制限日数：3日間 ^注 （以降は125℃プリバーク10時間必要） 留意事項 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR35-103-2
VPS	パッケージ・ピーク温度：215℃，時間：40秒以内（200℃以上），回数：2回以内， 制限日数：3日間 ^注 （以降は125℃プリバーク10時間必要） 留意事項 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	VP15-103-2
端子部分加熱	端子温度：300℃以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライパック開封後の保管日数で，保管条件は25℃，65 %RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱方式は除く）。

CMOSデバイスの一般的注意事項

静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

V830, V832, V830ファミリは日本電気株式会社の商標です。

- 本資料の内容は予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。
- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
- 本資料に記載された回路、ソフトウェア、及びこれらに付随する情報は、半導体製品の動作例、応用例を説明するためのものです。従って、これら回路・ソフトウェア・情報をお客様の機器に使用される場合には、お客様の責任において機器設計をしてください。これらの使用に起因するお客様もしくは第三者の損害に対して、当社は一切その責を負いません。
- 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災／防犯装置、各種安全装置、生命維持を直接の目的としない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート／データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

M7 98.8

— お問い合わせ先 —

【技術的なお問い合わせ先】

NEC半導体テクニカルホットライン
(電話：午前 9:00～12:00、午後 1:00～5:00)

電話 : 044-435-9494
FAX : 044-435-9608
E-mail : s-info@saed.tmg.nec.co.jp

【営業関係お問い合わせ先】

第一販売事業部

東京 (03)3798-6106, 6107, 6108

名古屋 (052)222-2375

大阪 (06)6945-3178, 3200, 3208, 3212

仙台 (022)267-8740

郡山 (024)923-5591

千葉 (043)238-8116

第二販売事業部

東京 (03)3798-6110, 6111, 6112

立川 (042)526-5981, 6167

松本 (0263)35-1662

静岡 (054)254-4794

金沢 (076)232-7303

松山 (089)945-4149

第三販売事業部

東京 (03)3798-6151, 6155, 6586, 1622, 1623, 6156

水戸 (029)226-1702

広島 (082)242-5504

高崎 (027)326-1303

鳥取 (0857)27-5313

太田 (0276)46-4014

名古屋 (052)222-2170, 2190

福岡 (092)261-2806

【資料の請求先】

上記営業関係お問い合わせ先またはNEC特約店へお申しつけください。

【インターネット電子デバイス・ニュース】

NECエレクトロニクスデバイスの情報がインターネットでご覧になれます。

URL(アドレス)

<http://www.ic.nec.co.jp/>