

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。


 V830™
 32ビット・マイクロプロセッサ

μPD705100 (別名称V830) は、NECオリジナル・マイクロプロセッサ「V800シリーズ™」のV830ファミリ™における組み込み用途向けマイクロプロセッサです。V830は高いリアルタイム応答性、高速な整数演算命令、そのほか応用分野に適した機能を集積することによって、マルチメディア機器において高いコスト・パフォーマンスを実現できます。

詳しい機能説明などは次のマニュアルに記載しております。設計の際は必ずお読みください。

V830 ユーザーズ・マニュアル ハードウェア編 : U10064J

V830ファミリ ユーザーズ・マニュアル アーキテクチャ編 : U12496J

特 徴

組み込み用途向け高性能32ビット・アーキテクチャ

・ キャッシュ・メモリ内蔵

命令キャッシュ : 4 Kバイト

データ・キャッシュ : 4 Kバイト

・ 内蔵RAM

命令RAM : 4 Kバイト

データRAM : 4 Kバイト

・ 1クロック・ピッチのパイプライン構造

・ 16/32ビット長の命令形態

・ アドレス/データ分離型バス

・ 4 Gバイトのリニア・アドレス

・ 32本の32ビット汎用レジスタ

・ レジスタ/フラグ・ハザードのインタロックを
ハードウェアにより対処

・ 16レベルの割り込み応答

16ビット・バス固定機能

・ 16ビット・バス・システムを構築可能

各種応用分野に適した命令群

・ 積和演算

・ 飽和演算

・ 分岐予測

・ 連結シフト

・ ブロック転送命令

低消費電力モード

最大動作周波数

・ 100 MHz (内部)

・ 50/33 MHz (外部)

CMOS動作, 3.3 V動作

オーダ情報

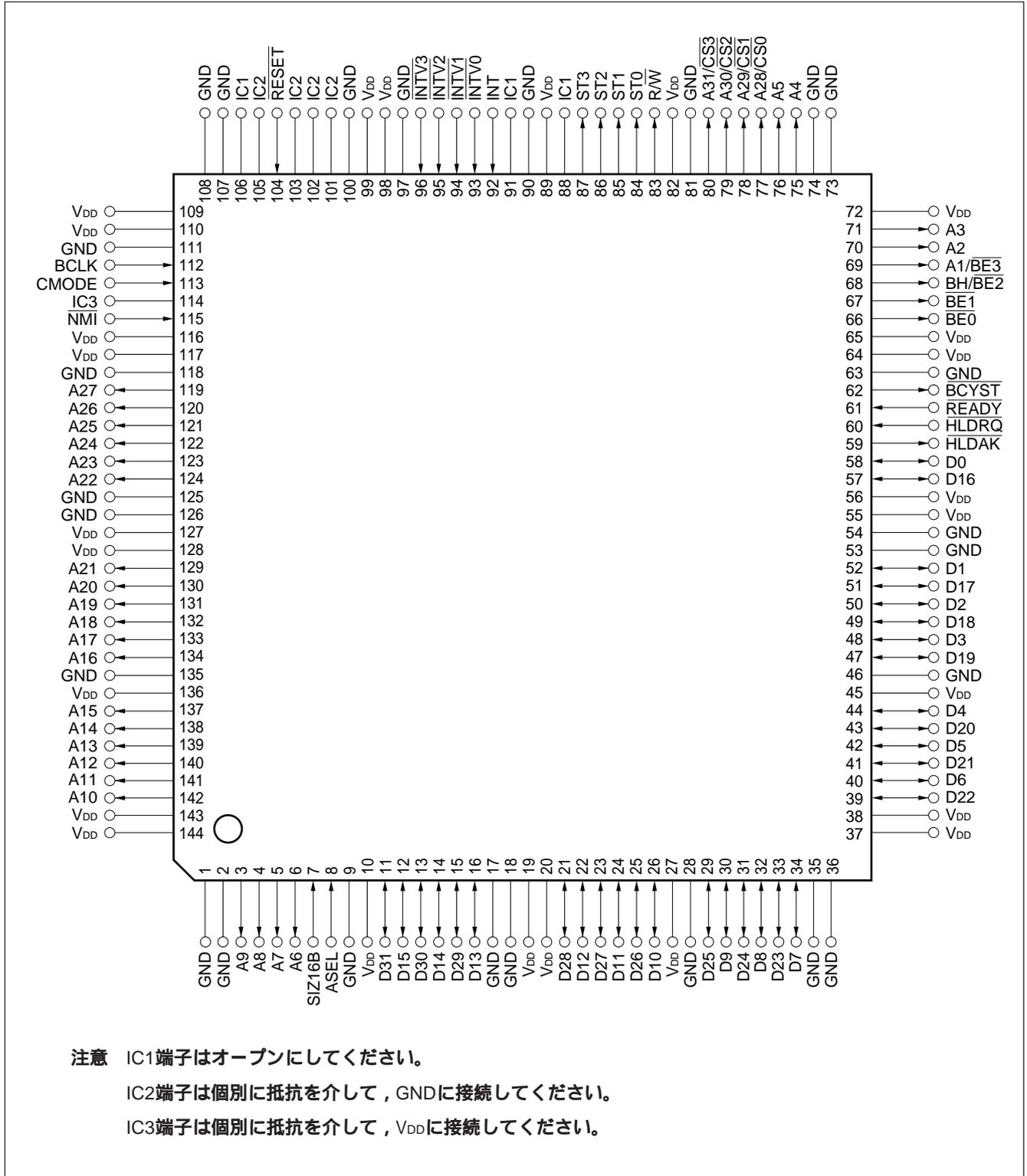
オーダ名称	パッケージ
μPD705100GJ-100-8EU	144ピン・プラスチックLQFP (ファインピッチ) (20 mm)

本資料の内容は、後日変更する場合があります。

端子接続図

144ピン・プラスチックLQFP (ファインピッチ) (20 mm)

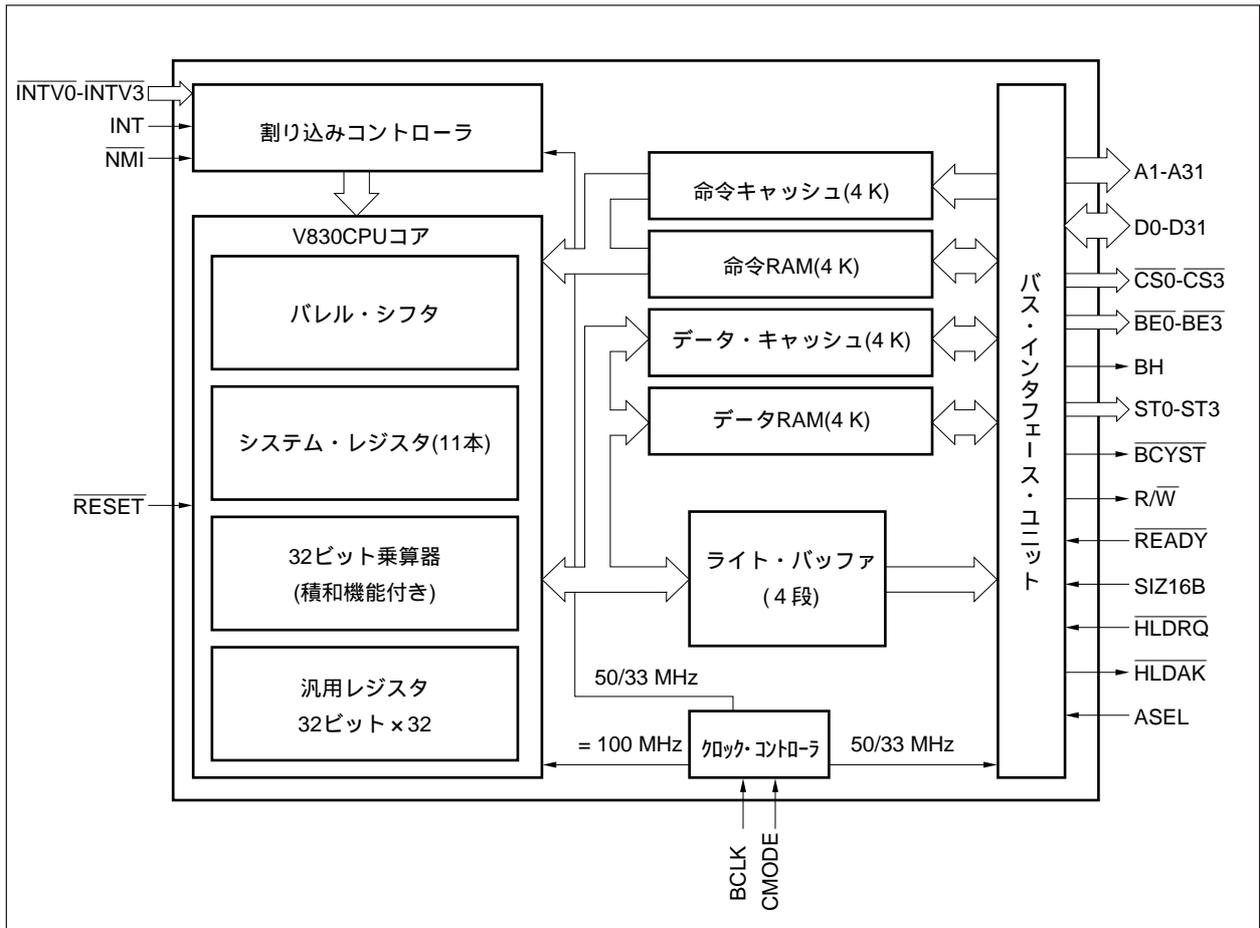
μPD705100GJ-100-8EU



端子名称

A1-A31	: Address Bus
$\overline{\text{CS0-CS3}}$: Chip Select
D0-D31	: Data Bus
$\overline{\text{BE0-BE3}}$: Byte Enable
BH	: Byte or Halfword
ST0-ST3	: Status
$\overline{\text{BCYST}}$: Bus Cycle Start
$\overline{\text{R/W}}$: Read/Write
$\overline{\text{READY}}$: Ready
$\overline{\text{HLDRQ}}$: Hold Request
$\overline{\text{HLDK}}$: Hold Acknowledge
SIZ16B	: Bus Size 16 bit
$\overline{\text{NMI}}$: Non-Maskable Interrupt Request
INT	: Interrupt Request
$\overline{\text{INTV0-INTV3}}$: Interrupt Level
BCLK	: Bus Clock
CMODE	: Clock Mode
ASEL	: Address Select
$\overline{\text{RESET}}$: Reset
V _{DD}	: Power Supply
GND	: Ground
IC1-IC3	: Internally Connected

ブロック図



目 次

1 . 端子機能	...	7
1.1 端子機能一覧	...	7
2 . アドレス空間	...	8
2.1 メモリ空間	...	8
2.2 I/O空間	...	10
3 . 32ビット・バス・モード	...	13
3.1 外部アクセスとバイト・イネーブル信号の関係	...	13
4 . 16ビット・バス・モード	...	14
4.1 16ビット・バス・サイジング	...	14
4.1.1 バイト/ハーフワード・アクセス	...	14
4.1.2 ワード・アクセス	...	15
4.2 外部アクセスとバイト・イネーブル信号の関係	...	16
5 . 割り込み	...	17
5.1 マスカブル割り込み	...	17
5.2 ノンマスカブル割り込み	...	18
5.3 リセット	...	18
6 . クロック・コントローラ	...	19
6.1 動作モード	...	19
6.1.1 スリープ・モード	...	19
6.1.2 ストップ・モード	...	19
7 . 内蔵メモリ	...	20
8 . レジスタ・セット	...	21
8.1 プログラム・レジスタ・セット	...	21
8.1.1 汎用レジスタ・セット	...	21
8.1.2 プログラム・カウンタ(PC)	...	22
8.2 システム・レジスタ・セット	...	23
9 . データ・セット	...	24
9.1 データ・タイプ	...	24
9.1.1 整数	...	25
9.1.2 符号なし整数	...	25
9.2 データのアラインメント	...	26

10. アドレス生成	...	27
10.1 アドレッシング・モード	...	28
10.1.1 命令アドレス	...	28
10.1.2 オペランド・アドレス	...	29
11. 命 令	...	30
11.1 命令フォーマット	...	30
11.2 命令一覧(アルファベット順)	...	33
12. 割り込みと例外	...	41
13. 電気的特性	...	42
14. 外形図	...	57
15. 半田付け推奨条件	...	58

1. 端子機能

1.1 端子機能一覧

端子名称	入出力	機能	ホールド時	リセット直後	
A2-A27	3ステート	アドレス・バスです。	Hi-Z	H	
A28-A31/ $\overline{CS0}$ - $\overline{CS3}$ ^注	出力	アドレス・バス/チップ・セレクトです。	Hi-Z/H	H	
D0-D31	3ステート 入出力	双方向データ・バスです。	Hi-Z	Hi-Z	
$\overline{BE0}$, $\overline{BE1}$	3ステート	データ・アクセス時の有効データ・バスを示します。	Hi-Z	H	
$\overline{BE2}$ /BH	出力	D16-D23へのアクセス/バイトまたはハーフワード・アクセスを示します。	Hi-Z	H	
$\overline{BE3}$ /A1		最上位バイト・アクセス/A1アドレスを示します。	Hi-Z	H	
ST0-ST3		バスのステータスを示します。	Hi-Z	0101	
\overline{BCYST}		バス・サイクルの開始を示します。	Hi-Z	H	
$\overline{R/W}$		バス・サイクルがリード/ライトを示します。	Hi-Z	H	
\overline{READY}		入力	バス・サイクルを終結します。	-	-
\overline{HLDRQ}	バス使用权を要求します。		-	-	
\overline{HLDAK}	出力	\overline{HLDRQ} に対する応答です。	L	H	
SIZ16B	入力	バス幅を16ビットに固定します。	-	-	
\overline{NMI}		ノンマスクابل割り込み要求です。	-	-	
INT		マスクابل割り込み要求です。	-	-	
$\overline{INTV0}$ - $\overline{INTV3}$		割り込みレベルを示します。	-	-	
BCLK		バス・クロック入力です。	-	-	
CMODE		外部バスと内部回路の周波数比を指定します。	-	-	
ASEL		A28-A31/ $\overline{CS0}$ - $\overline{CS3}$ の選択をします。	-	-	
\overline{RESET}		内部状態をリセットします。	-	-	
V _{DD}		-	正電源供給	-	-
GND			グランド電位	-	-

注 チップ・セレクト信号として使用する場合は、ホールド時にはハイ・レベルになります。

2. アドレス空間

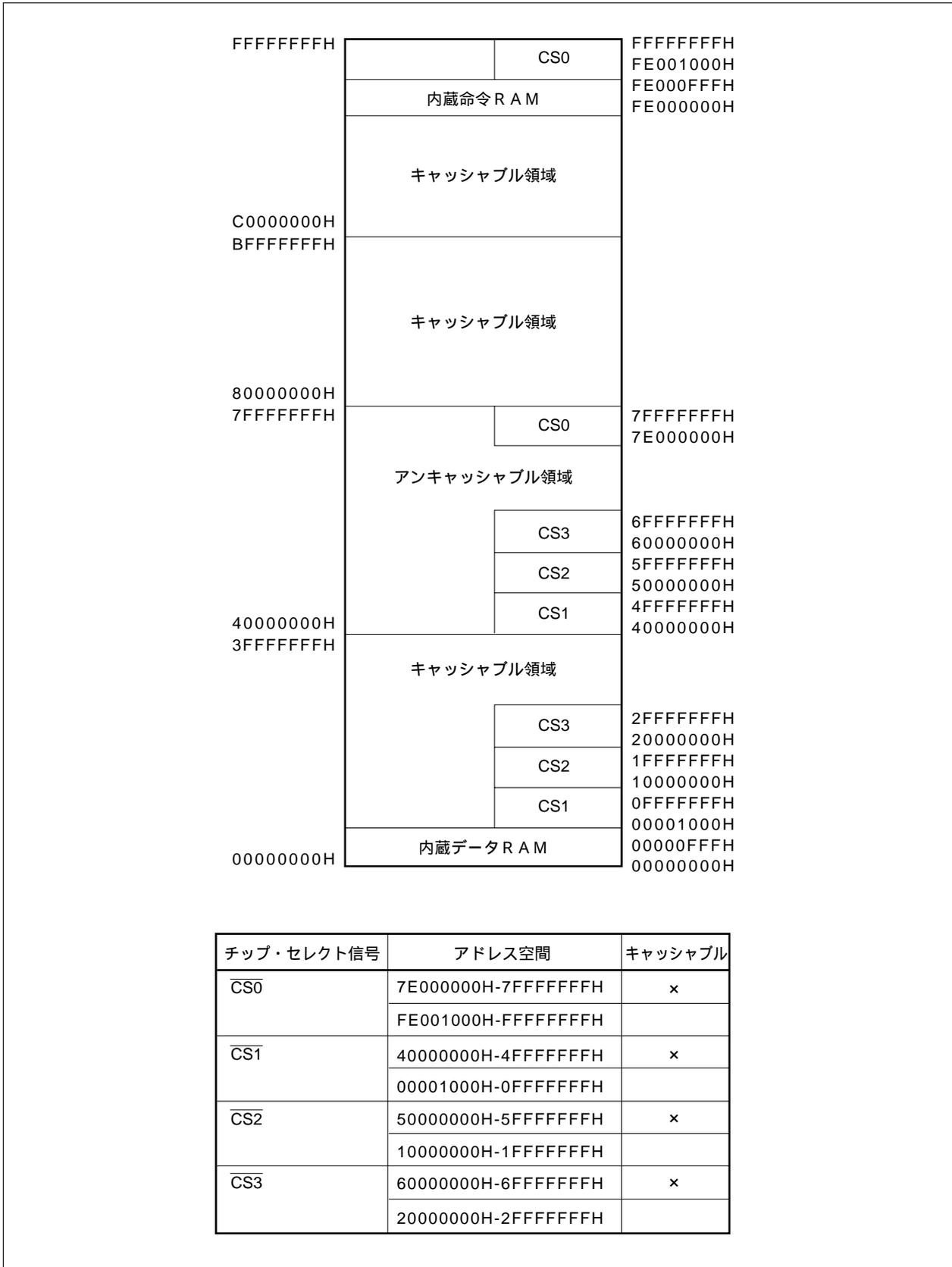
2.1 メモリ空間

V830は、チップ・セレクト/アドレス端子を4本とアドレス・バス端子を26本使用して32ビット・アドレスを表現します。チップ・セレクト機能を使用した場合は、256 Mバイトのイメージ空間を3空間、32 Mバイトのイメージ空間を1空間で生成します。チップ・セレクト機能を使用しない場合には、4 Gバイトのリニアなアドレス空間を表現します。

メモリ空間の40000000H-7FFFFFFFHの空間は、アンキャッシュブル領域として予約されています。この空間にアクセスした場合は、キャッシュ機能は働きません。そのほかの空間は、すべてキャッシュ機能が働きます。

また、メモリ空間には内蔵命令RAMと内蔵データRAMをマップしています。この空間にアクセスすると、外部にバス・サイクルを起動しないで、1サイクル（内部クロック）で命令のフェッチやデータのロード/ストアができます。ただし、内蔵命令RAMへロード/ストア命令を使用してデータをアクセスすることはできません。また、内蔵データRAMからの命令フェッチもできません。これらの内蔵RAMはキャッシュブル領域にマップされていますが、キャッシングされません。

図 2 - 1 メモリ・マップ

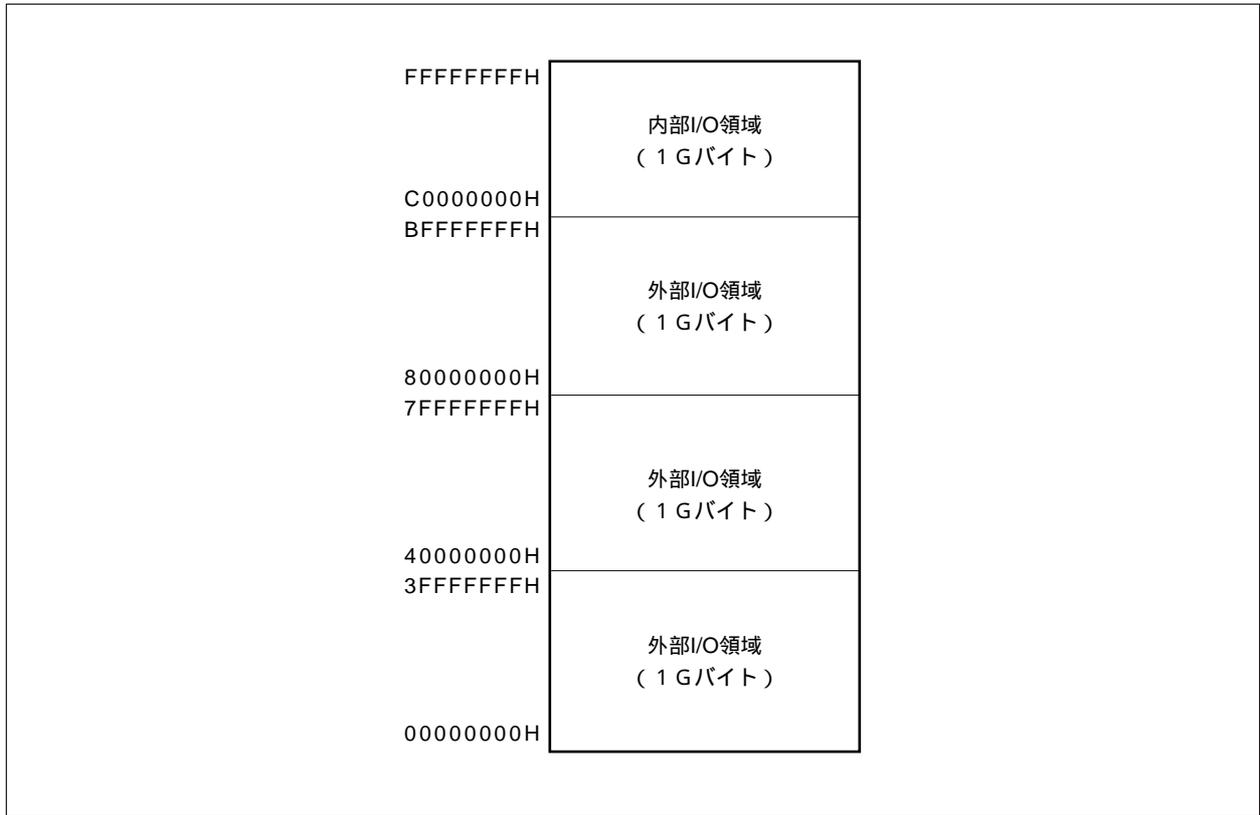


2.2 I/O空間

V830ではI/O空間を32ビットで表現し、最大4 Gバイトのリニア・アドレス空間をサポートしています。

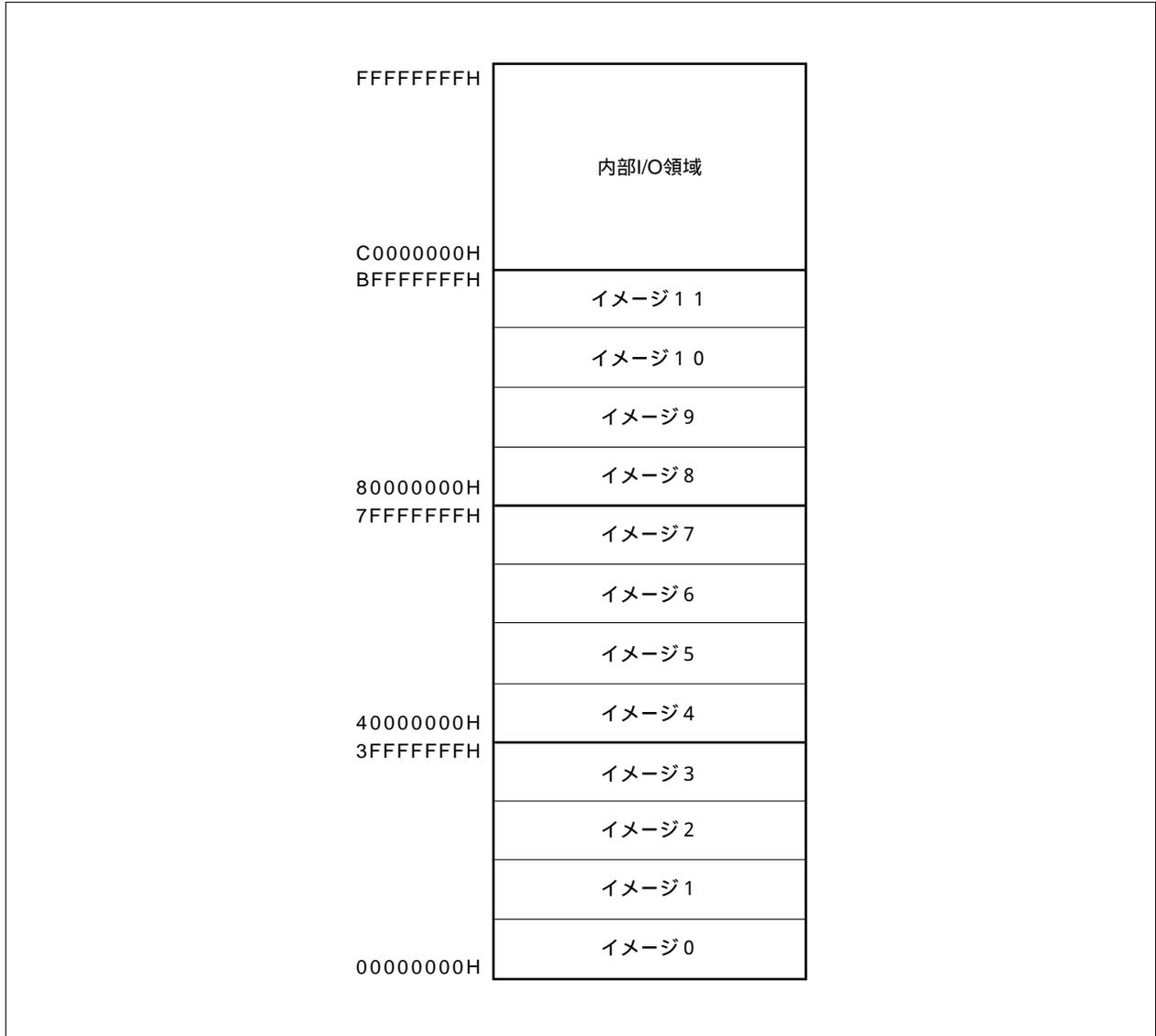
なお、C0000000H-FFFFFFFFHの1 Gバイトの空間は、内部I/Oとして予約されており、この領域に外部I/Oを配置できません。また、内部I/O領域で内部I/Oが割り付けられていない空間をアクセスしたときは、動作の保証はできません。

図 2 - 2 I/Oマップ



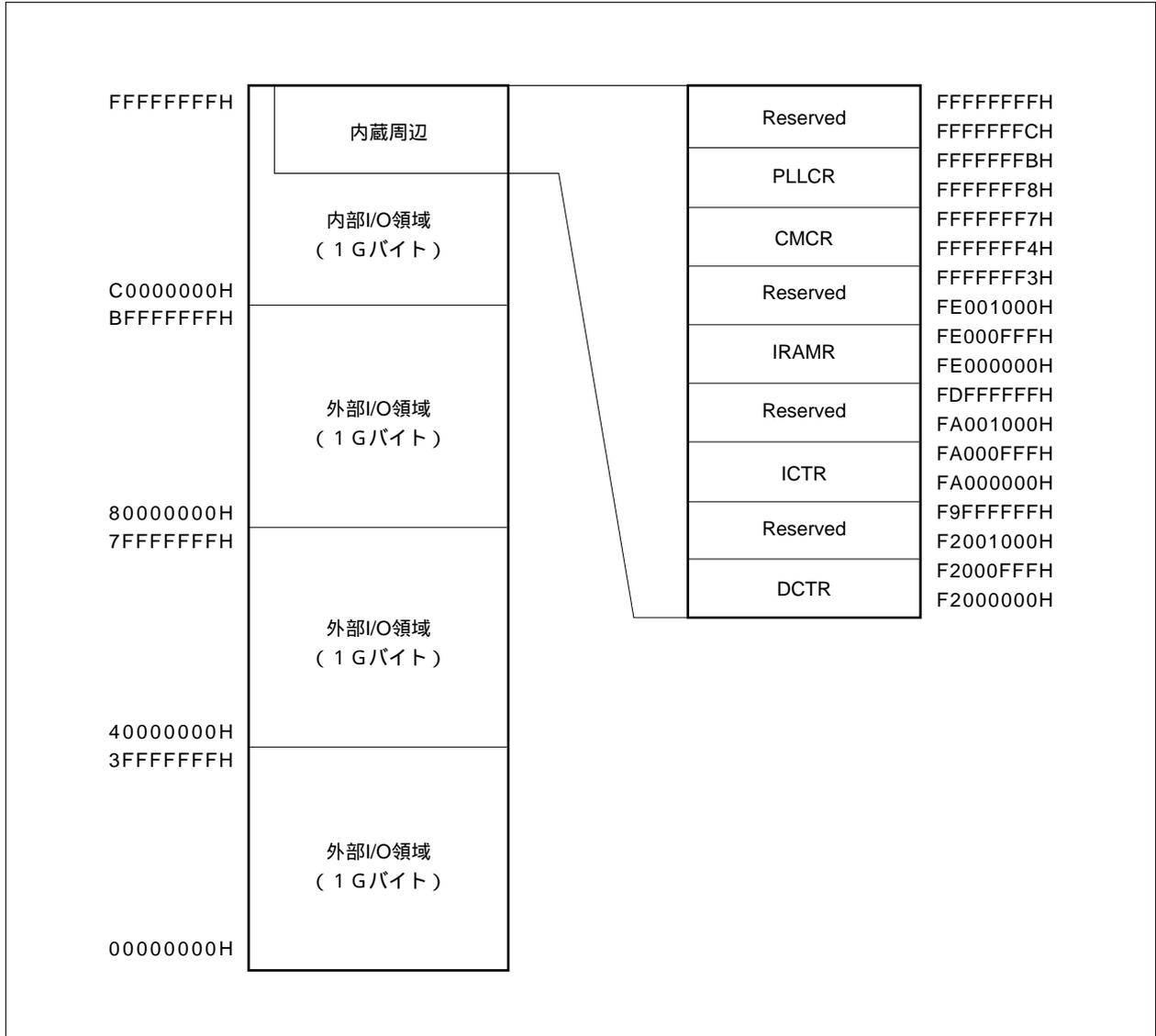
I/O空間ではキャッシュ機能は動きません。ただし、チップ・セレクト機能を使用した場合は、A2-A27で表される256 Mバイトのイメージ空間になります。

図 2 - 3 チップ・セレクト機能使用時のイメージ空間



I/O空間の上位1 Gバイト (C0000000H-FFFFFFFH) は、内部I/O用に予約されています。内部I/Oへのアクセスは、IN.W/OUT.W命令 (ワード単位) を使用してください。また、内部I/O領域をアクセスした場合は、外部へのバス・サイクルは起動されません。

図 2 - 4 内部I/O領域



3. 32ビット・バス・モード

リセット時にSIZ16B入力をサンプリングしてインアクティブであれば、外部データ・バス幅が32ビットで動作します(32ビット・バス・モード)。32ビット・バス・モードでは、 $\overline{BE2}/\overline{BHI}$ は $\overline{BE2}$ 、 $\overline{BE3}/\overline{A1}$ は $\overline{BE3}$ として動作します。

3.1 外部アクセスとバイト・イネーブル信号の関係

32ビット・バス・モード時は、 $\overline{BE0}$ - $\overline{BE3}$ を出力します。外部アクセスとバイト・イネーブル信号の関係を次に示します。

表3 - 1 32ビット・バス・モード

データ長	オペランド・アドレス		バイト・イネーブル				ステート
	ビット1	ビット0	$\overline{BE3}$	$\overline{BE2}$	$\overline{BE1}$	$\overline{BE0}$	
バイト	0	0	1	1	1	0	Ta, Ts
	0	1	1	1	0	1	Ta, Ts
	1	0	1	0	1	1	Ta, Ts
	1	1	0	1	1	1	Ta, Ts
ハーフワード	0	0	1	1	0	0	Ta, Ts
	1	0	0	0	1	1	Ta, Ts
ワード	0	0	0	0	0	0	Ta, Ts
バースト転送	0	0	0	0	0	0	Ta, Tb1
	0	0	0	0	0	0	Tb2
	0	0	0	0	0	0	Tb3
	0	0	0	0	0	0	Tb4

4. 16ビット・バス・モード

リセット時にSIZ16B入力をサンプリングしてアクティブであれば、外部データ・バス幅が16ビットで動作します（16ビット・バス・モード）。16ビット・バス・モードでは、データ・バスは下位16ビット（D0-D15）が有効で $\overline{BE2}/\overline{BHI}$ はBH、 $\overline{BE3}/A1$ はA1として動作します。データ・バスの上位16ビット（D16-D31）は、ハイ・インピーダンス状態になります。

4.1 16ビット・バス・サイジング

V830は、データ・バスが16ビットのメモリまたはI/Oをアクセスする場合、32ビットあるデータ・バスのうち下位16ビットだけを用いてデータを転送できるバス・サイジング機能があります。

リセット時にSIZ16Bをアクティブにすると、外部データ・バス幅が16ビット固定のモード（16ビット・バス・モード）で動作します。16ビット・バス・モードでは、D16-D31はハイ・インピーダンス状態になり、16ビット・バス・システムに適した $\overline{BE0}$ 、 $\overline{BE1}$ 、BH、A1を出力します。D16-D31は接続する必要はありません。SIZ16Bはリセット時だけ変更でき、リセット時以外での変更はできません。

4.1.1 バイト/ハーフワード・アクセス

バイト/ハーフワード・アクセスは、2バス・ステート（TaとTsステート）のバス・サイクルで行います。

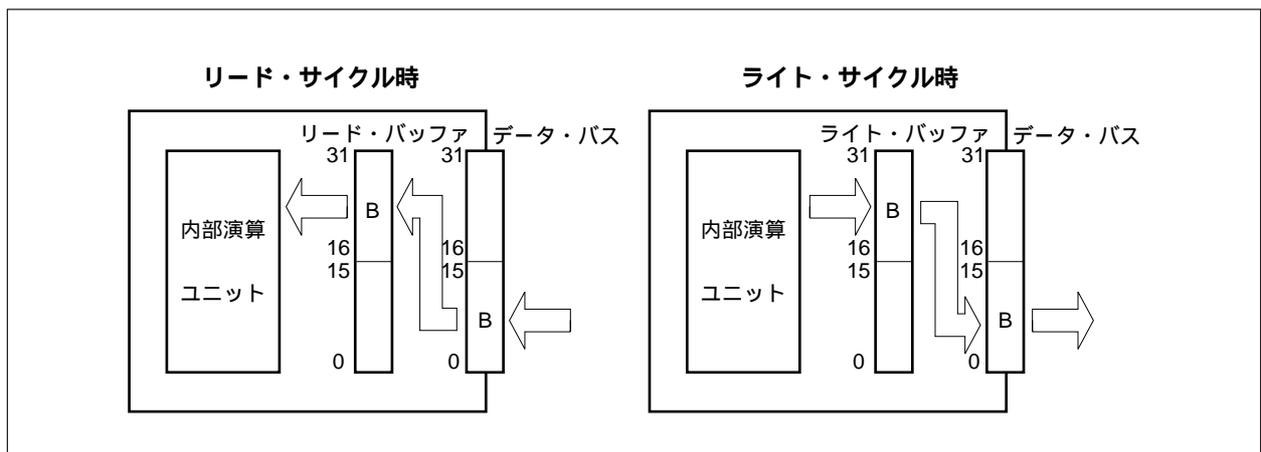
(1) 上位ハーフワードの場合

リード・サイクルでは、D0-D15からデータがサンプリングされます。

ライト・サイクルでは、ライト・バッファ内のD16-D31のデータがD0-D15に出力されます。

図4 - 1 に動作の様子を示します（Bは上位ハーフワード（ワードの上位16ビット部分）とします）。

図4 - 1 上位ハーフワードの場合



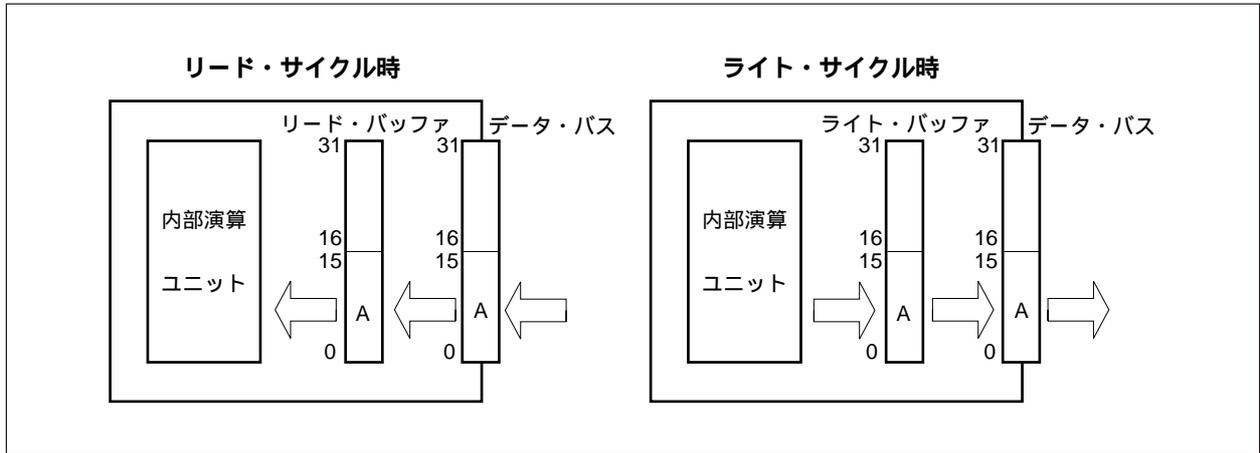
(2) 下位ハーフワードの場合

リード・サイクルでは、D0-D15からデータがサンプリングされます。

ライト・サイクルでは、ライト・バッファ内のD0-D15のデータがD0-D15に出力されます。

図4-2に動作の様子を示します(Aは下位ハーフワード(ワードの下位16ビット部分)とします)。

図4-2 下位ハーフワードの場合



4.1.2 ワード・アクセス

ワード・アクセスは、3バス・ステート (Ta, Tw1, Tw2ステート) のバス・サイクルで行います。

リード・サイクル時には、Tw1ステートで下位16ビットのデータを、Tw2ステートで上位16ビットのデータをD0-D15からサンプリングします。ライト・サイクル時には、Ta, Tw1ステートで下位16ビットのデータを、Tw2ステートで上位16ビットのデータをD0-D15に出力します。

図4-3 リード・サイクル

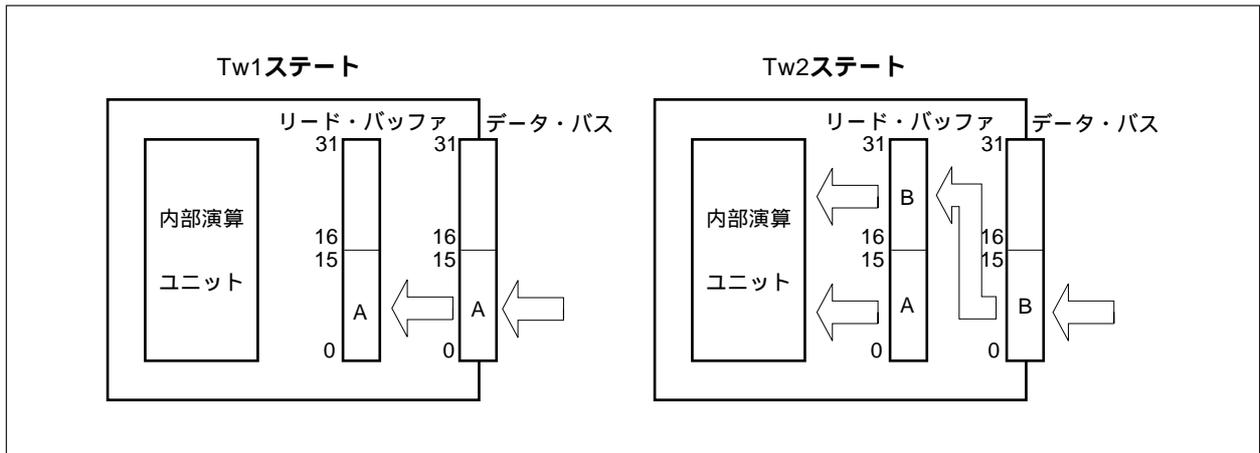
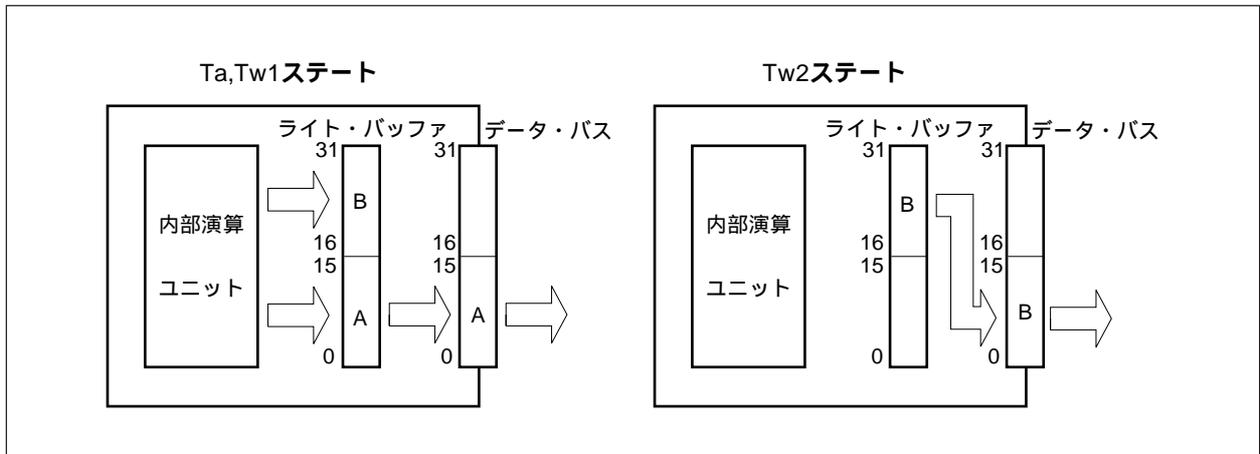


図4 - 4 ライト・サイクル



4.2 外部アクセスとバイト・イネーブル信号の関係

16ビット・バス・モード時には、 $\overline{BE3}/A1$ はA1を出力し、 $\overline{BE2}/BH$ はBHを出力します。外部アクセスとバイト・イネーブル信号の関係を次に示します。

表4 - 1 16ビット・バス・モード

データ長	オペランド・アドレス		バイト・イネーブル				ステート
	ビット1	ビット0	A1	BH	$\overline{BE1}$	$\overline{BE0}$	
バイト	0	0	0	1	1	0	Ta, Ts
	0	1	0	1	0	1	Ta, Ts
	1	0	1	1	1	0	Ta, Ts
	1	1	1	1	0	1	Ta, Ts
ハーフワード	0	0	0	1	0	0	Ta, Ts
	1	0	1	1	0	0	Ta, Ts
ワード	0	0	0	0	0	0	Ta, Tw1
			1	0	0	0	Tw2
パースト転送	0	0	0	0	0	0	Ta, Tb1
			1	0	0	0	Tb2
			0	0	0	0	Tb3
			1	0	0	0	Tb4
			0	0	0	0	Tb5
			1	0	0	0	Tb6
			0	0	0	0	Tb7
			1	0	0	0	Tb8

5. 割り込み

V830の割り込みには、マスカブル割り込み、ノンマスカブル割り込み、リセットがあります。

5.1 マスカブル割り込み

マスカブル割り込み要求はINTにより割り込み要求を、 $\overline{\text{INTV0}}-\overline{\text{INTV3}}$ により割り込みレベルを表します。端子の状態と割り込みレベルを次に示します。

表 5 - 1 割り込みレベル

割り込みレベル	$\overline{\text{INTV3}}$	$\overline{\text{INTV2}}$	$\overline{\text{INTV1}}$	$\overline{\text{INTV0}}$
15	0	0	0	0
14	0	0	0	1
13	0	0	1	0
12	0	0	1	1
11	0	1	0	0
10	0	1	0	1
9	0	1	1	0
8	0	1	1	1
7	1	0	0	0
6	1	0	0	1
5	1	0	1	0
4	1	0	1	1
3	1	1	0	0
2	1	1	0	1
1	1	1	1	0
0	1	1	1	1

INT, $\overline{\text{INTV0}}-\overline{\text{INTV3}}$ はレベル入力です。V830はバス・クロックの立ち上がりでINTをサンプリングします。V830が割り込み要求を受け付け、ソフトウェア処理により外部へ割り込み要求を受け付けたことを通知するまで、INT, $\overline{\text{INTV0}}-\overline{\text{INTV3}}$ をアクティブ・レベルに保持してください。なお、高い割り込みレベルに変更できますが、割り込み要求が検出されるタイミングを外部から知らせることはできません。したがって、変更前の割り込み要求が受け付けられることがあります。また、割り込み要求入力 (INT, $\overline{\text{INTV0}}-\overline{\text{INTV3}}$) がバス・クロックに対するセットアップ時間を満たせない場合、次のバス・クロックの立ち上がりで割り込み要求を検出します。

割り込み要求を受け付けると割り込み処理を開始するため、固定のアドレスへジャンプします。ジャンプするターゲット・アドレスは、割り込みレベルを n とするとFE000n0H (内蔵RAM) またはFFFFFFEn0H (外部メモリ) になります。どちらのアドレスにジャンプするかは、システム・レジスタHCCWのIHAビットで指定します。

注意 割り込みレベル15には、開発ツール (インサーキット・エミュレータやROMエミュレータなど) が予約されています。ユーザが割り込みレベル15を使用した場合には、開発ツールが動作しないことがあります。

5.2 ノンマスクابل割り込み

V830はバス・クロックの立ち上がりで $\overline{\text{NMI}}$ をサンプリングします。 $\overline{\text{NMI}}$ がハイ・レベルからロウ・レベルに変化したとき、割り込み要求を検出します。 $\overline{\text{NMI}}$ は立ち下がりエッジ検出であるため、一度ノンマスクابل割り込み要求を検出したあとは、いつでもインアクティブにすることができます。検出した割り込み要求は、CPUが割り込み処理を開始するまでCPU内部で保持されます。

ノンマスクابل割り込み要求を受け付けると、固定のアドレス (FFFFFFD0H) ヘジャンプします。ノンマスクابل割り込み処理中 (PSWのNPビットが1) に発生したノンマスクابل割り込み要求は、プロセッサ内部で保持されません。ただし、ノンマスクابل割り込み処理開始後、内部処理によってラッチ回路をクリアする期間に発生したノンマスクابل割り込み要求は、プロセッサ内部で保持されません。

5.3 リセット

$\overline{\text{RESET}}$ に20クロック以上のロウ・レベルを入力するとリセットできます。リセットするとCPUはアドレス (FFFFFFF0H) からプログラムの実行を開始します。

$\overline{\text{RESET}}$ がハイ・レベルになるとCPUはリセット番地から命令フェッチを開始します。

なお、電源投入直後やストップ・モード状態では、 $\overline{\text{RESET}}$ のアクティブ・パルス幅は20クロックのアクティブ・レベルにPLL発振安定時間を加えてください。

6. クロック・コントローラ

6.1 動作モード

V830ではクロック停止機能として、スリープ・モードとストップ・モードがあります。これらのモードは、特殊命令（HALT命令またはSTBY命令）を実行すると遷移します。これらのモードを次に示します。

表6-1 動作モード

	スリープ・モード	ストップ・モード
V830内部状態	内部クロック停止 PLL動作継続 バス・ホールド受け付け可能 内蔵RAM, キャッシュはデータ保持	内部クロック停止 PLL動作停止 バス・ホールド受け付け不可 内蔵RAM, キャッシュはデータ保持
モードへ入る方法	HALT命令	STBY命令
モードから出る方法	マスカブル割り込み, NMI, リセット	NMI, リセット

6.1.1 スリープ・モード

HALT命令を実行すると、スリープ・モードに入ります。また、マスカブル割り込み、NMI、リセットによりスリープ・モードから抜けることができます。

スリープ・モードでは、バス・ホールド要求を受け付けることができます。バス・ホールド期間中は、ステータスがハイ・インピーダンスになりホールド・アクノリッジのステータスは出力されません。バス・ホールド状態が終了した時点で、バス・クロックの立ち上がりに同期してホールド・アクノリッジのステータスを出力します。

6.1.2 ストップ・モード

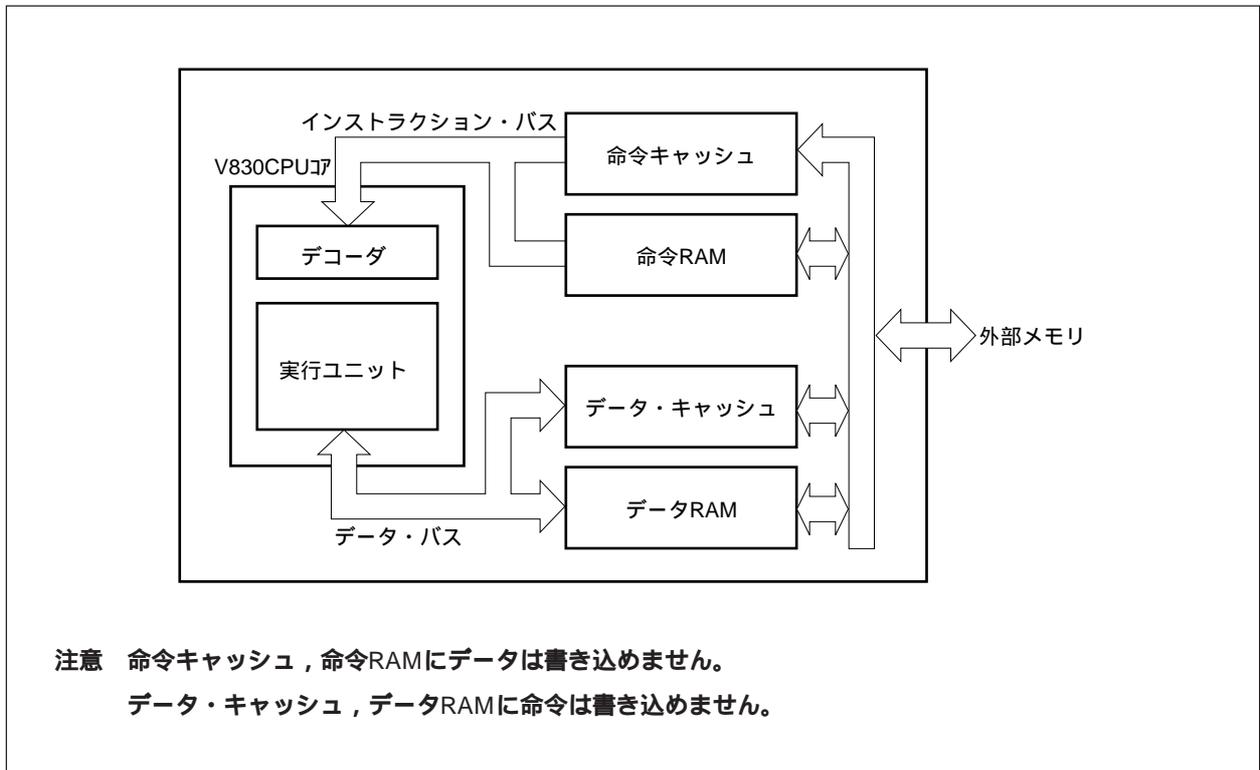
STBY命令を実行すると、ストップ・モードに入ります。NMI、リセットにより、ストップ・モードから抜けることができます。ストップ・モードでは、PLL回路が停止するためスリープ・モードより消費電力が少なくなります。

なお、ストップ・モード時はバス・ホールド要求は受け付けません。

7. 内蔵メモリ

V830には4 Kバイト×4の内蔵メモリがあります。内蔵メモリは4つのブロック（命令キャッシュ、データ・キャッシュ、命令RAM、データRAM）で構成されています。V830はこれらの内蔵メモリに1サイクルでアクセスできます。

図7 - 1 内蔵メモリの構成



8. レジスタ・セット

8.1 プログラム・レジスタ・セット

V830のレジスタ・セットは、一般にプログラマが使用する汎用レジスタ・セットとV830の状態を制御するシステム・レジスタ・セットの2つに分けることができます。レジスタはすべて32ビット幅を持っています。

8.1.1 汎用レジスタ・セット

(1) 汎用レジスタ

汎用レジスタは、r0-r31の32本があります。r0-r31は、データ・レジスタまたはアドレス・レジスタとして利用できます。ただし、r0, r30, r31はハードウェア的に値が固定されていたり、暗黙的に命令が使用するので注意してください。

(a) ハードウェア依存レジスタ

ハードウェア的に値が固定されていたり、命令により暗黙的に使用されるレジスタです。

r0 : ゼロ・レジスタ

常に0を保持しています。

r30 : 演算予約レジスタ

乗算, 除算命令を実行したとき, 補助的に演算結果を格納するレジスタです。

r31 : リンク・ポインタ

JAL命令によって戻り先アドレスを格納するレジスタです。

(b) ソフトウェア予約レジスタ

アセンブラとコンパイラが使用するレジスタです。変数用レジスタとして使用するときは、レジスタの内容を破壊しないように一度退避してから使用してください。使用後は元に戻してください。

r1 : アセンブラ予約レジスタ

32ビット・イミディエト作成用ワーキング・レジスタです。

アセンブラが実効アドレスを計算するとき, 暗黙的に使用します。

r2 : ハンドラ・スタック・ポインタ

ハンドラ用のスタック・ポインタとして予約されています。

r3 : スタック・ポインタ

関数コール時のスタック・フレーム生成用に予約されています。

r4 : グローバル・ポインタ

データ領域のグローバル変数をアクセスするときに使用するレジスタです。

r5 : テキスト・ポインタ

テキスト領域の先頭を指すレジスタです。

8.1.2 プログラム・カウンタ (PC)

実行中の命令の先頭アドレスを保持するレジスタです。プログラム・カウンタ (PC) のビット 0 は 0 に固定されています。ハーフワード境界 (アドレスのビット 0 が 0) 以外への分岐を行ったときは、強制的にビット 0 を 0 にマスクします。

リセット時には、FFFFFFF0Hに初期化されます。

図 8 - 1 プログラム・レジスタ一覧

r0 : ゼロ・レジスタ
r1 : アセンブラ予約レジスタ
r2 : ハンドラ・スタック・ポインタ
r3 : スタック・ポインタ
r4 : グローバル・ポインタ
r5 : テキスト・ポインタ
r6
~
r29
r30 : 演算予約レジスタ
r31 : リンク・ポインタ
PC

8.2 システム・レジスタ・セット

システム・レジスタは、プロセッサの状態制御、例外/割り込み情報の保存、タスクの管理などの役割があり、11本の32ビット・レジスタにより構成されます。システム・レジスタへは、特別な命令（LDSR命令、STSR命令）でアクセスします。

図8 - 2 システム・レジスタ一覧

#0	EIPC	#6	PIR
#1	EIPSW	#7	TKCW
#2	FEPC	#16	DPC
#3	FEPSW	#17	DPSW
#4	ECR	#31	HCCW
#5	PSW		

備考 #はシステム・レジスタ番号を示します。

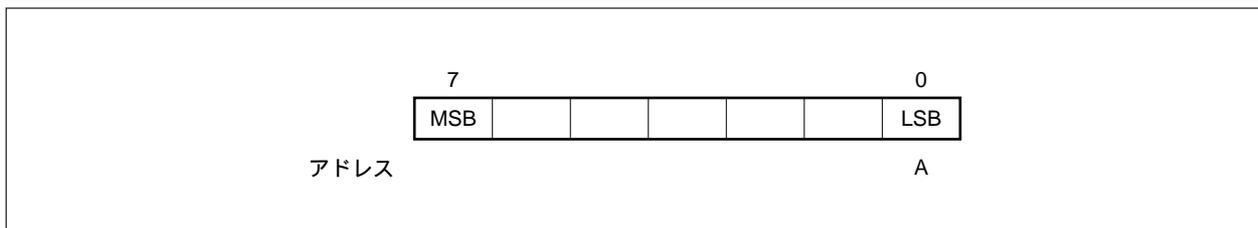
9. データ・セット

9.1 データ・タイプ

V830がサポートするデータ・タイプは、バイト（8ビット）、ハーフワード（16ビット）、ワード（32ビット）の3通りです。それぞれのデータは、バイト境界、ハーフワード境界、ワード境界に配置しなければならず、アドレッシングはリトル・エンディアンに従います。

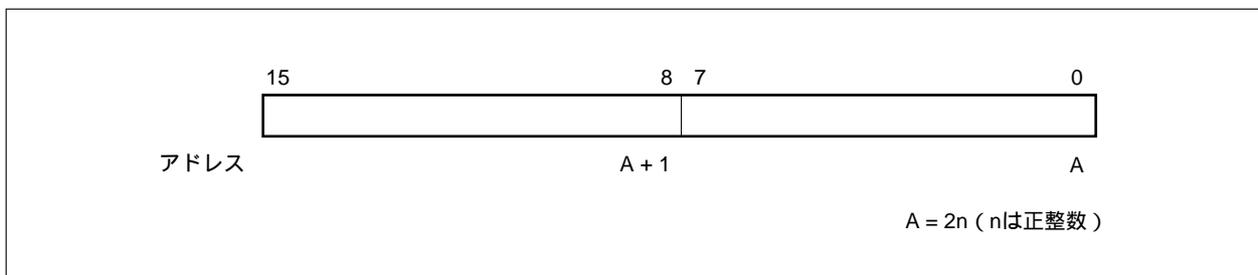
(1) バイト・データ

バイト・データは連続した8ビットで構成され、各ビットには名前が付けられています。この名前のビット0がLSB（Least Significant Bit）、ビット7がMSB（Most Significant Bit）に対応します。このデータは、任意のアドレス上に配置することができます。



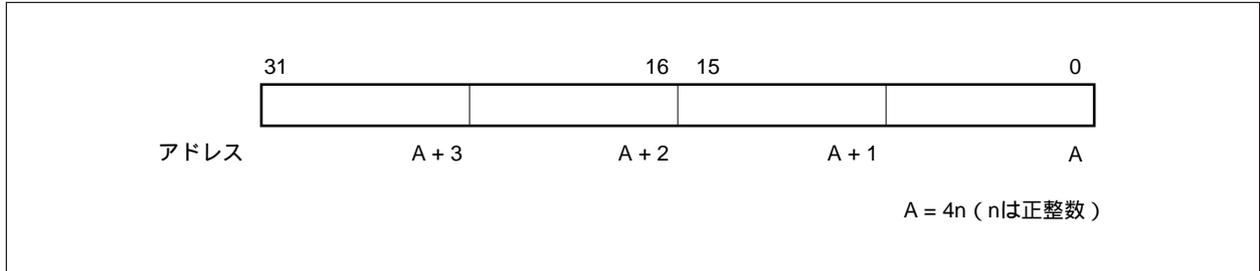
(2) ハーフワード・データ

ハーフワード・データは連続した16ビットで構成され、各ビットには名前が付けられています。この名前のビット0はLSBに、ビット15はMSBに対応します。ハーフワード・データは、ハーフワード境界（ビット0が存在する部分のアドレスのビット0が0となるアドレス領域）に配置しなければなりません。



(3) ワード・データ

ワード・データは連続した32ビットで構成され、各ビットには名前が付けられています。この名前のビット0はLSBに、ビット31はMSBに対応します。ワード・データは、ワード境界（ビット0が存在する部分のアドレスのビット0、ビット1が0となるアドレス領域）に配置しなければなりません。



9.1.1 整数

V830では整数は2の補数で表現されます。整数は、バイト、ハーフワード、ワードの3通りのデータで表現できます。整数の位取りはその長さとは独立にビット0を最下位ビットとし、ビット番号が増えるに従って位取りを高くします。

データ長	範囲 (10進表記)
バイト (8ビット)	- 128 ~ + 127
ハーフワード (16ビット)	- 32768 ~ + 32767
ワード (32ビット)	- 2147483648 ~ + 2147483647

9.1.2 符号なし整数

符号なし整数は、最上位ビットを符号ビットとせずに、正の整数として扱ったデータ型です。データはすべて2進数で表現され、バイト、ハーフワード、ワードの3通りのデータ・サイズを持ちます。符号なし整数の位取りはその長さとは独立に、ビット0を最下位ビットとし、ビット番号が増えるに従って位取りを高くします。

データ長	範囲 (10進表記)
バイト (8ビット)	0 ~ 255
ハーフワード (16ビット)	0 ~ 65535
ワード (32ビット)	0 ~ 4294967295

9.2 データのアラインメント

V830では、ワード・データはワード境界、ハーフワード・データはハーフワード境界、バイト・データはバイト境界にアラインしなければなりません。データ・アラインに違反が生じた際、データのアドレスを自動的にアクセス可能なアドレスへ変更します。この変更により、データ・アクセスが正確に行われるか、間違っで行われるかは保証されません。次に変更の方法を示します。

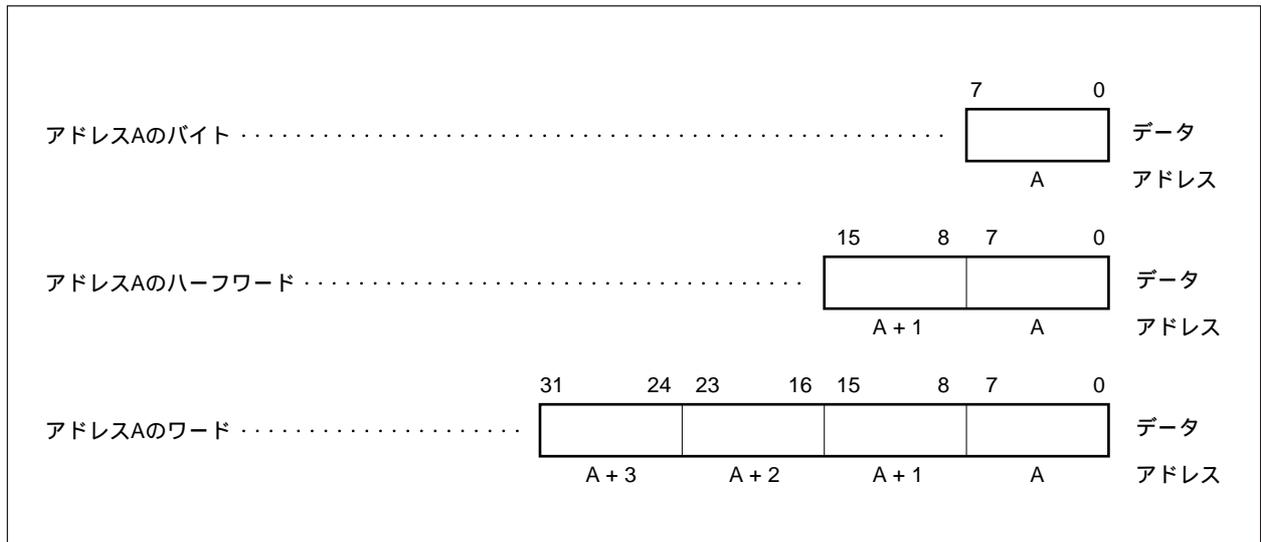
データ・サイズ	変更方法
バイト・データ	-
ハーフワード・データ	ビット0を0にマスク
ワード・データ	ビット0, ビット1を0にマスク

10. アドレス生成

V830はメモリ空間，I/O空間に対して，それぞれ4 Gバイトのリニアなアドレス空間をサポートしています。V830からメモリ空間に対して32ビットのアドレスを出力し，アドレスの番地は最大 $2^{32} - 1$ になります。I/O空間に対しても32ビットのアドレスを出力します。

各アドレスに配置されるバイト・データは，ビット0をLSB，ビット7をMSBと定義しています。また，複数のバイト構成のデータでは特に注意しないかぎり，下位側アドレスのバイト・データがLSB，上位側アドレスのバイト・データがMSBを持つように定義しています。（リトル・エンディアン）。

V830では2バイト構成のデータ形式をハーフワード，4バイト構成のデータ形式をワードと呼びます。複数バイト構成のデータを表現する場合，次のように右側を下位側アドレス，左側を上位側アドレスとして表現します。



10.1 アドレッシング・モード

V830のアドレス生成には次の2種類があります。

- ・命令アドレス (分岐を伴う命令が使用します。)
- ・オペランド・アドレス (データをアクセスする命令が使用します。)

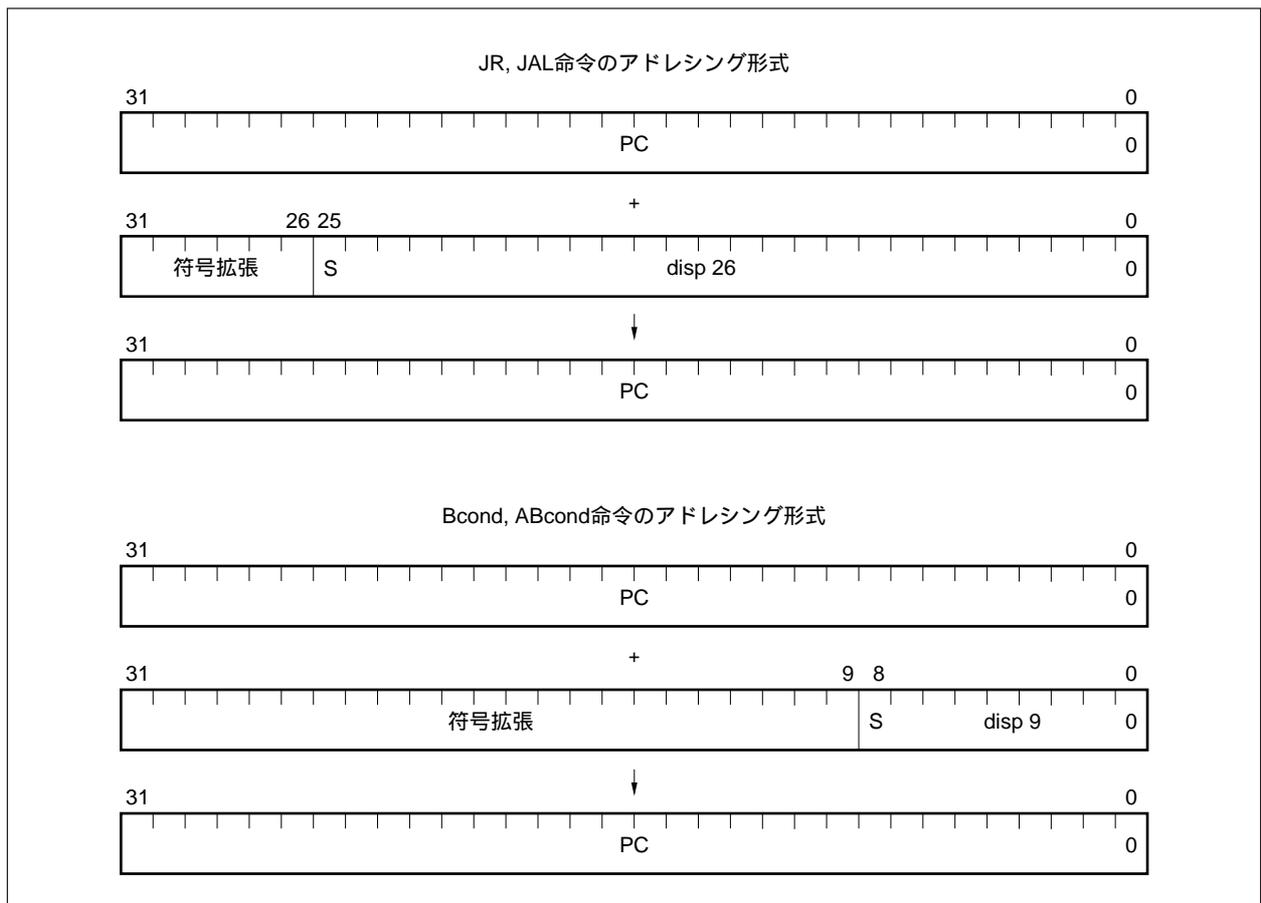
10.1.1 命令アドレス

命令アドレスはプログラム・カウンタ (PC) の内容によって決定され、命令を実行するごとにフェッチする命令のバイト数に応じて自動的にインクリメント (+2/+4) されます。また、分岐命令を実行するときは、次に示すアドレッシングによって分岐先アドレスをPCにセットします。

(1) レラティブ・アドレッシング (PC相対)

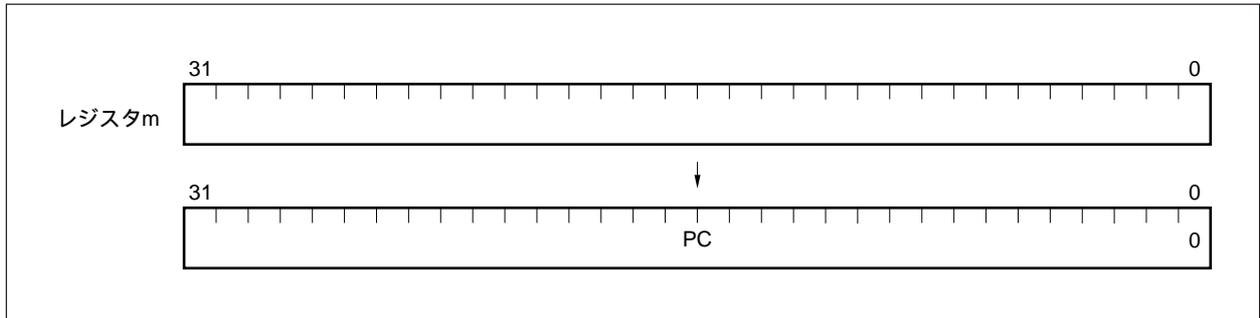
プログラム・カウンタ (PC) に、命令コードの符号付き9ビットまたは26ビット・データ (ディスプレースメント: disp) を加算します。このとき、ディスプレースメントは、2の補数データとして扱われ、それぞれビット8とビット25が符号ビットになります。

JR, JAL, Bcond, ABcond命令がこのアドレッシングを使用します。



(2) レジスタ・アドレッシング (レジスタ間接)

命令によって指定される汎用レジスタ (r0-r31) の内容をプログラム・カウンタ (PC) に転送します。
JMP命令がこのアドレッシングを使用します。



10.1.2 オペランド・アドレス

(1) レジスタ・アドレッシング

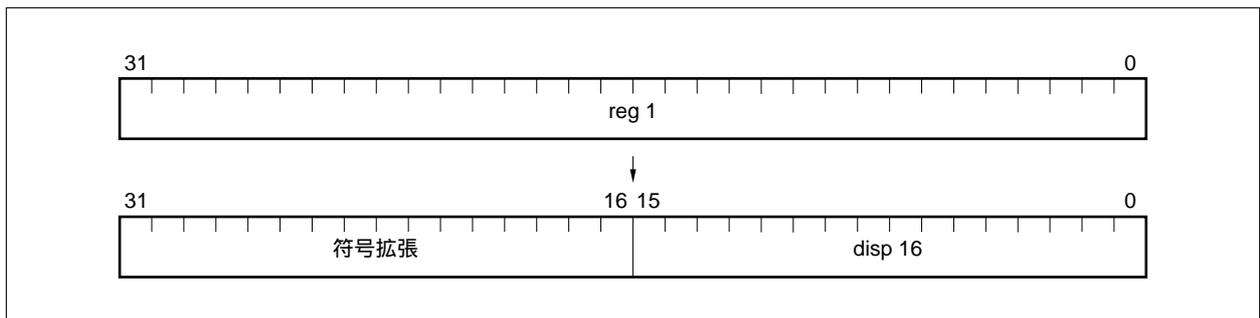
汎用レジスタ指定フィールドにより指定される汎用レジスタをオペランドとしてアクセスするアドレッシングです。このアドレッシングはオペランド形式がreg1またはreg2である命令が対象となります。

(2) イミディエイト・アドレッシング

命令コード中に操作対象となる5ビット・データ, 16ビット・データを持つアドレッシングです。このアドレッシングはオペランド形式が, imm5, imm16である命令が対象となります。

(3) ベースド・アドレッシング

命令語中のアドレス指定コードで示される汎用レジスタの内容と16ビット・ディスプレースメントとの和がオペランド・アドレスとなって, 操作対象となるメモリをアクセスするアドレッシングです。このアドレッシングはオペランド形式がdisp16[reg1]である命令が対象となります。



11. 命 令

11.1 命令フォーマット

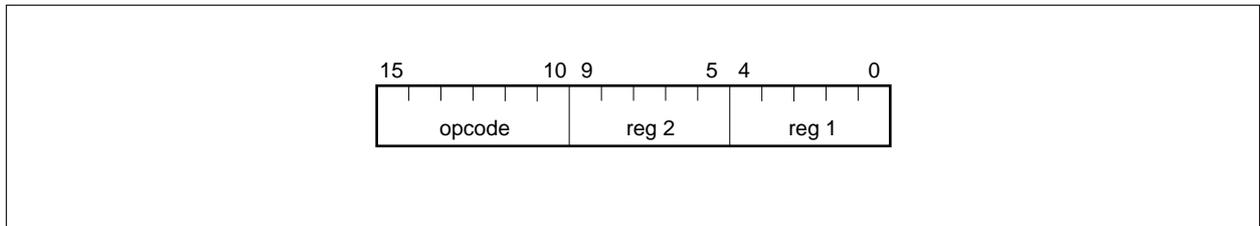
V830の命令は16ビット・フォーマットと32ビット・フォーマットの2種類があります。16ビット命令には、2項演算、制御、条件分岐などがあり、32ビット命令にはロード/ストア、I/O操作、16ビット・イミディエトを扱う命令、ジャンプ・アンド・リンクなどがあります。

なお、一部の命令では未使用フィールドが発生しますが、それらは将来の拡張用で0に固定してください。実際に命令がメモリに格納される時は、次のように配置されます。

- ・各命令形式の下位部分（ビット0を含む） 下位アドレス側
- ・各命令形式の上位部分（ビット15またはビット31を含む） 上位アドレス側

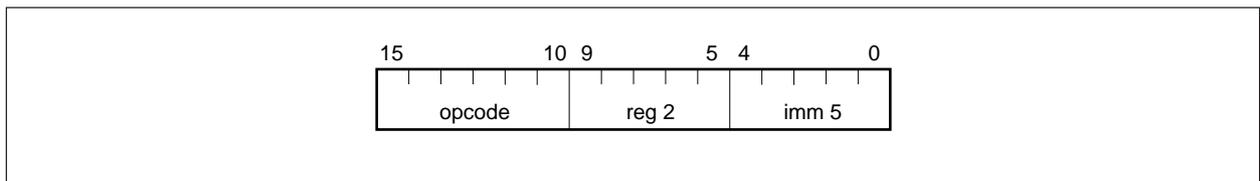
(1) reg-reg命令形式 [FORMAT]

6ビットのオペコード・フィールドとオペランド指定に2つの汎用レジスタ指定フィールドを持つ命令形式。16ビット長命令。



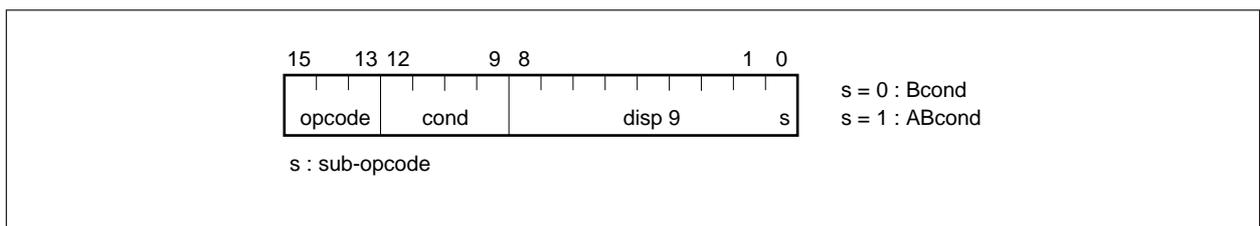
(2) imm-reg命令形式 [FORMAT]

6ビットのオペコード・フィールドと5ビットのイミディエト・フィールド、1つの汎用レジスタ指定フィールドを持つ命令形式。16ビット長命令。



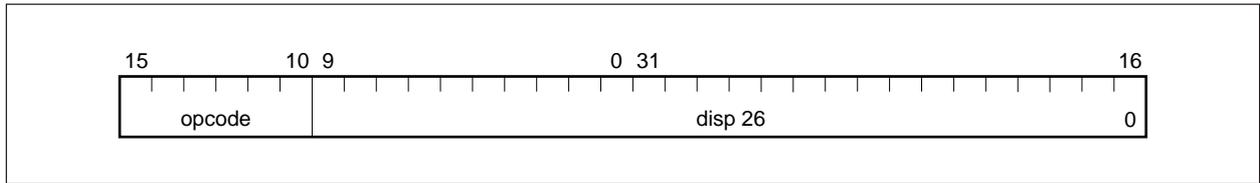
(3) 条件分岐命令形式 [FORMAT]

3ビットのオペコード・フィールドと4ビットの条件コード、9ビットの分岐ディスプレースメント・フィールド（ビット0は0と見なし指定しません）、1ビットのサブオペコードを持つ命令形式。16ビット長命令。



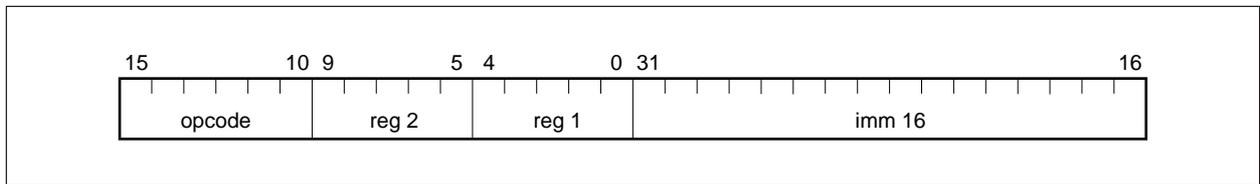
(4) 中距離ジャンプ命令形式 [FORMAT]

6ビットのオペコード・フィールドと26ビットのディスプレイメント(ただし,最下位ビットは0)を持つ中距離分岐命令形式。32ビット長命令。



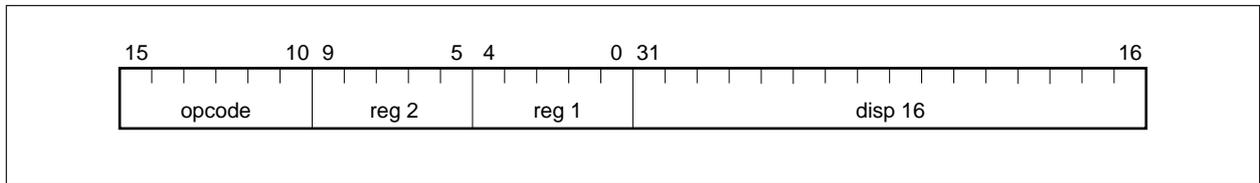
(5) 3オペランド命令形式 [FORMAT]

6ビットのオペコード・フィールドと2つの汎用レジスタ指定フィールド,16ビット・イミューディエト・フィールドを持つ命令形式。32ビット長命令。



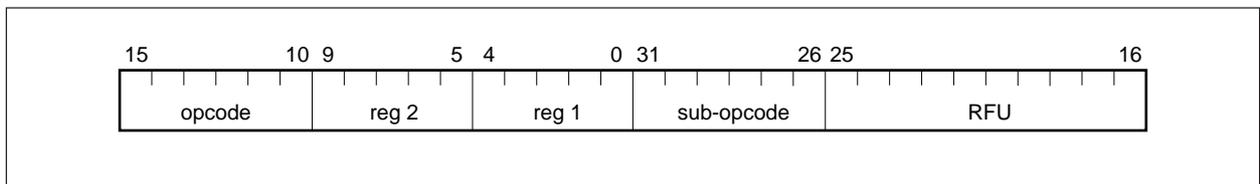
(6) ロード/ストア命令形式 [FORMAT]

6ビットのオペコード・フィールドと2つの汎用レジスタ指定フィールド,16ビット・ディスプレイメントを持つ命令形式。32ビット長命令。



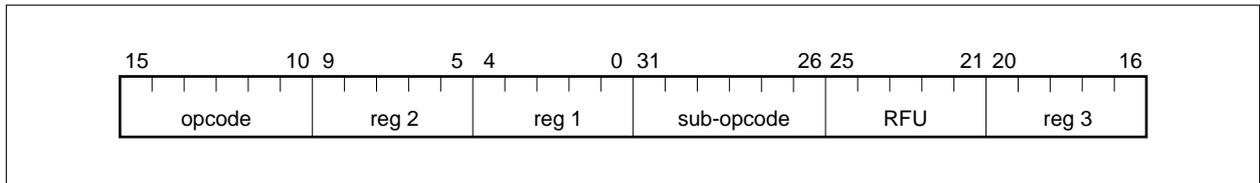
(7) 拡張命令形式 [FORMAT]

6ビットのオペコード・フィールドと2つの汎用レジスタ指定フィールド,6ビットのサブオペコードを持つ命令形式。32ビット長命令。



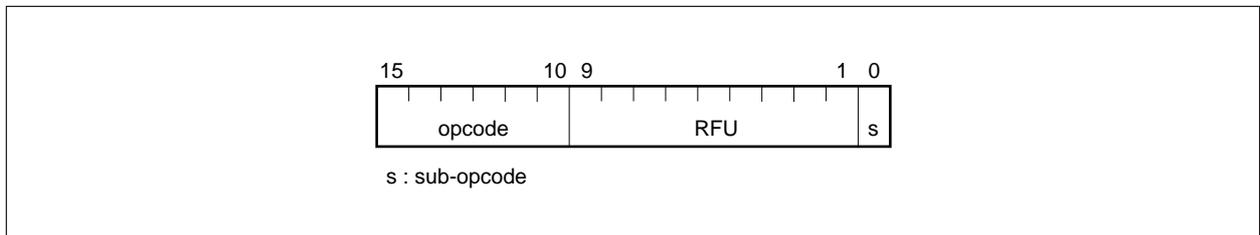
(8) 3レジスタ・オペランド命令形式 [FORMAT]

6ビットのオペコード・フィールドと3つの汎用レジスタ指定フィールド, 6ビットのサブオペコードを持つ命令形式。32ビット長命令。



(9) オペランドなし命令形式 [FORMAT]

6ビットのオペコード・フィールドと1ビットのサブオペコード・フィールドを持つ命令形式。16ビット長命令。



11.2 命令一覧 (アルファベット順)

命令ニモニックの一覧をアルファベット順に示します。

凡 例

命 令	オペランド	フオー マツト	CY	OV	S	Z	命 令 機 能
ADD	reg1, reg2	I	*	*	*	*	

↓
命令の
ニモニック

↓
命令フォーマット
(11.1 参照)

↓
フラグの動きを示します
- 変化しない
* 変化する
0 0になる
1 1になる

オペランドの略号

略 号	意 味
reg1	汎用レジスタ (ソース・レジスタとして使用します。)
reg2	汎用レジスタ (おもにデスティネーション・レジスタとして使用します。一部ソース・レジスタとしても使用します。)
reg3	汎用レジスタ (おもにデスティネーション・レジスタとして使用します。一部ソース・レジスタとしても使用します。)
imm x	x ビット・イミーディエト
disp x	x ビット・ディスプレイースメント
regID	システム・レジスタ番号
vector adr	トラップ・ベクタに対応するトラップ・ハンドラ・アドレス

命令	オペランド	フォーマット	CY	OV	S	Z	命令機能
ABC	disp9		-	-	-	-	高速条件分岐 (if Carry)。PC相対分岐。
ABE	disp9		-	-	-	-	高速条件分岐 (if Equal)。PC相対分岐。
ABGE	disp9		-	-	-	-	高速条件分岐 (if Greater than or Equal)。PC相対分岐。
ABGT	disp9		-	-	-	-	高速条件分岐 (if Greater than)。PC相対分岐。
ABH	disp9		-	-	-	-	高速条件分岐 (if Higher)。PC相対分岐。
ABL	disp9		-	-	-	-	高速条件分岐 (if Lower)。PC相対分岐。
ABLE	disp9		-	-	-	-	高速条件分岐 (if Less than or Equal)。PC相対分岐。
ABLT	disp9		-	-	-	-	高速条件分岐 (if Less than)。PC相対分岐。
ABN	disp9		-	-	-	-	高速条件分岐 (if Negative)。PC相対分岐。
ABNC	disp9		-	-	-	-	高速条件分岐 (if Not Carry)。PC相対分岐。
ABNE	disp9		-	-	-	-	高速条件分岐 (if Not Equal)。PC相対分岐。
ABNH	disp9		-	-	-	-	高速条件分岐 (if Not Higher)。PC相対分岐。
ABNL	disp9		-	-	-	-	高速条件分岐 (if Not Lower)。PC相対分岐。
ABNV	disp9		-	-	-	-	高速条件分岐 (if Not Overflow)。PC相対分岐。
ABNZ	disp9		-	-	-	-	高速条件分岐 (if Not Zero)。PC相対分岐。
ABP	disp9		-	-	-	-	高速条件分岐 (if Positive)。PC相対分岐。
ABR	disp9		-	-	-	-	高速無条件分岐 (Always)。PC相対分岐。
ABV	disp9		-	-	-	-	高速条件分岐 (if Overflow)。PC相対分岐。
ABZ	disp9		-	-	-	-	高速条件分岐 (if Zero)。PC相対分岐。
ADD	reg1, reg2		*	*	*	*	加算。reg2にreg1を加算し、その結果をreg2に格納します。
	imm5, reg2		*	*	*	*	加算。reg2にimm5をワード長まで符号拡張した値を加算し、その結果をreg2に格納します。
ADDI	imm16, reg1, reg2		*	*	*	*	加算。reg1にimm16をワード長まで符号拡張した値を加算し、その結果をreg2に格納します。
AND	reg1, reg2		-	0	*	*	論理積。reg2とreg1の論理積をとり、その結果をreg2に格納します。
ANDI	imm16, reg1, reg2		-	0	0	*	論理積。reg1とimm16をワード長までゼロ拡張した値の論理積をとり、その結果をreg2に格納します。
BC	disp9		-	-	-	-	条件分岐 (if Carry)。PC相対分岐。
BDLD	[reg1] [reg2]		-	-	-	-	ブロック転送。外部メモリから内蔵データRAMに4ワードのデータを転送します。
BDST	[reg2] [reg1]		-	-	-	-	ブロック転送。内蔵データRAMから外部メモリに4ワードのデータを転送します。
BE	disp9		-	-	-	-	条件分岐 (if Equal)。PC相対分岐。
BGE	disp9		-	-	-	-	条件分岐 (if Greater than or Equal)。PC相対分岐。
BGT	disp9		-	-	-	-	条件分岐 (if Greater than)。PC相対分岐。
BH	disp9		-	-	-	-	条件分岐 (if Higher)。PC相対分岐。
BILD	[reg1] [reg2]		-	-	-	-	ブロック転送。外部メモリから内蔵命令RAMに4ワードのデータを転送します。
BIST	[reg2] [reg1]		-	-	-	-	ブロック転送。内蔵命令RAMから外部メモリに4ワードのデータを転送します。

命 令	オペランド	フォー マット	CY	OV	S	Z	命 令 機 能
BL	disp9		-	-	-	-	条件分岐 (if Lower)。PC相対分岐。
BLE	disp9		-	-	-	-	条件分岐 (if Less than or Equal)。PC相対分岐。
BLT	disp9		-	-	-	-	条件分岐 (if Less than)。PC相対分岐。
BN	disp9		-	-	-	-	条件分岐 (if Negative)。PC相対分岐。
BNC	disp9		-	-	-	-	条件分岐 (if Not Carry)。PC相対分岐。
BNE	disp9		-	-	-	-	条件分岐 (if Not Equal)。PC相対分岐。
BNH	disp9		-	-	-	-	条件分岐 (if Not Higher)。PC相対分岐。
BNL	disp9		-	-	-	-	条件分岐 (if Not Lower)。PC相対分岐。
BNV	disp9			-	-	-	条件分岐 (if Not Overflow)。PC相対分岐。
BNZ	disp9		-	-	-	-	条件分岐 (if Not Zero)。PC相対分岐。
BP	disp9		-	-	-	-	条件分岐 (if Positive)。PC相対分岐。
BR	disp9		-	-	-	-	無条件分岐 (Always)。PC相対分岐。
BRKRET			-	-	-	-	致命的例外処理から復帰。
BV	disp9		-	-	-	-	条件分岐 (if Overflow)。PC相対分岐。
BZ	disp9		-	-	-	-	条件分岐 (if Zero)。PC相対分岐。
CAXI	disp16[reg1] reg2		*	*	*	*	マルチプロセッサ構成のシステムにおけるプロセッサ間同期。
CMP	reg1, reg2		*	*	*	*	比較。reg2とreg1をワード長まで符号拡張した値を比較し、結果を条件フラグに示します。比較はreg2からreg1を減算することで行います。
	imm5, rag2		*	*	*	*	比較。reg2とimm5をワード長まで符号拡張した値を比較し結果を条件フラグに示します。比較はreg2からワード長まで符号拡張したimm5を減算することで行います。
DI			-	-	-	-	割り込み禁止。マスクブル割り込みを禁止します。DI命令ではノンマスクブル割り込みは禁止できません。
DIV	reg1, reg2		-	*	*	*	符号付き除算。reg2をreg1で除算 (符号付き) し、その商をreg2に、剰余をr30に格納します。除算は剰余の符号が被除数の符号と一致するように行われます。
DIVU	reg1, reg2		-	0	*	*	符号なし除算。reg2をreg1で、ともに符号なしデータとして除算し、その商をreg2に、剰余をr30に格納します。除算は剰余の符号が被除数の符号と一致するように行われます。
EI			-	-	-	-	割り込み許可。マスクブル割り込みを許可します。EI命令ではノンマスクブル割り込みは許可できません。
HALT			-	-	-	-	プロセッサ停止。スリープ・モードに入ります。
IN.B	disp16[reg1] reg2		-	-	-	-	ポート入力。reg1とワード長まで符号拡張したdisp16を加算して32ビット符号なしポート・アドレスを生成します。生成したポート・アドレスからバイト・データを読み出し、ワード長までゼロ拡張しreg2に格納します。

命 令	オペランド	フォー マツト	CY	OV	S	Z	命 令 機 能
IN.H	disp16[reg1] reg2		-	-	-	-	ポート入力。reg1とワード長まで符号拡張したdisp16を加算して32ビット符号なしポート・アドレスを生成します。生成したポート・アドレスからハーフワード・データを読み出し、ワード長までゼロ拡張しreg2に格納します。32ビット符号なしポート・アドレスのビット0は0にマスクされます。
IN.W	disp16[reg1] reg2		-	-	-	-	ポート入力。reg1とワード長まで符号拡張したdisp16を加算して32ビット符号なしポート・アドレスを生成します。生成したポート・アドレスからワード・データを読み出し、reg2に格納します。32ビット符号なしポート・アドレスのビット0, 1は0にマスクされます。
JAL	disp26		-	-	-	-	ジャンプ・アンド・リンク。現在のPCに4を加算した値をr31に退避し、PCとワード長まで符号拡張したdisp26を加算した値をPCに設定し制御を移します。disp26のビット0はマスクされます。
JMP	[reg1]		-	-	-	-	レジスタ間接無条件分岐。reg1で指定されるアドレスに制御を移します。アドレスのビット0は0にマスクされます。
JR	disp26		-	-	-	-	無条件分岐。現在のPCにワード長まで符号拡張したdisp26を加算し、その値に制御を移します。disp26のビット0は0にマスクされます。
LD.B	disp16[reg1] reg2		-	-	-	-	バイト・ロード。reg1とワード長まで符号拡張したdisp16を加算して32ビット符号なしアドレスを生成します。生成したアドレスからバイト・データを読み出し、ワード長まで符号拡張し、reg2に格納します。
LD.H	disp16[reg1] reg2		-	-	-	-	ハーフワード・ロード。reg1とワード長まで符号拡張したdisp16を加算して32ビット符号なしアドレスを生成します。生成したアドレスからハーフワード・データを読み出し、ワード長まで符号拡張し、reg2に格納します。32ビット符号なしアドレスのビット0は0にマスクされます。
LD.W	disp16[reg1] reg2		-	-	-	-	ワード・ロード。reg1とワード長まで符号拡張したdisp16を加算して32ビット符号なしアドレスを生成します。生成したアドレスからワード・データを読み出し、reg2に格納します。32ビット符号なしアドレスのビット0, 1は0にマスクされます。
LDSR	reg2, regID		*	*	*	*	システム・レジスタへのロード。reg2をシステム・レジスタ番号 (regID) で指定されるシステム・レジスタに設定します。
MAC3	reg1, reg2, reg3		-	-	-	-	符号付き32ビット飽和演算。reg1とreg2を符号付き整数として乗算し、その結果をreg3と加算します。 [オーバフローが発生しない場合] 結果をreg3に格納します。 [オーバフローが発生した場合] SATビットをセットし、結果が正ならば正の最大値を、負ならば負の最大値をreg3に格納します。

命 令	オペランド	フォー マツト	CY	OV	S	Z	命 令 機 能
MACI	imm16, reg1, reg2		-	-	-	-	符号付き32ビット飽和演算。reg1と32ビット長に符号拡張したimm16を符号付き整数として乗算します。その結果とreg2を符号付き整数として加算します。 [オーバーフローが発生しない場合] 結果をreg2に格納します。 [オーバーフローが発生した場合] SATフラグをセットし、結果が正ならば正の最大値を、負ならば負の最大値をreg2にセットします。
MACT3	reg1, reg2, reg3		-	-	-	-	符号付き32ビット積和演算。reg1とreg2を符号付き整数として乗算し、結果の上位32ビットとreg3の32ビットを符号付き整数として加算します。 [オーバーフローが発生しない場合] 結果をreg3に格納します。 [オーバーフローが発生した場合] SATフラグをセットし、結果が正ならば正の最大値を、負ならば負の最大値をreg3に格納します。
MAX3	reg1, reg2, reg3		-	-	-	-	最大値。reg2とreg1を符号付き整数として比較し、大きい方をreg3に格納します。
MIN3	reg1, reg2, reg3		-	-	-	-	最小値。reg2とreg1を符号付き整数として比較し、小さい方をreg3に格納します。
MOV	reg1, reg2		-	-	-	-	データの転送。reg1をreg2へコピーし、転送します。
	imm5, reg2		-	-	-	-	データの転送。imm5をワード長まで符号拡張した値を、reg2にコピーし転送します。
MOVEA	imm16, reg1, reg2		-	-	-	-	加算。reg1に上位16ビット (imm16) をワード長まで符号拡張した値を加算し、その結果をreg2に格納します。
MOVHI	imm16, reg1, reg2		-	-	-	-	加算。reg1に上位16ビット (imm16) と下位16ビット (0) を合わせたワード・データを加算し、その結果をreg2に格納します。
MUL	reg1, reg2		-	*	*	*	符号付き乗算。reg2にreg1を乗算 (符号付き) し、その結果 (ダブルワード長) の上位32ビットをr30に、下位32ビットをreg2に格納します。
MUL3	reg1, reg2, reg3		-	-	-	-	符号付き32ビット乗算。reg1とreg2を符号付き整数として乗算し、結果の上位32ビットをreg3に格納します。
MULI	imm16, reg1, reg2		-	-	-	-	符号付き32ビット飽和乗算。reg1と32ビット長に符号拡張したimm16を符号付き整数として乗算します。 [オーバーフローが発生しない場合] 結果をreg2に格納します。 [オーバーフローが発生した場合] SATフラグをセットし、結果が正ならば正の最大値を、負ならば負の最大値をreg2に格納します。

命 令	オペランド	フォー マツ	CY	OV	S	Z	命 令 機 能
MULT3	reg1, reg2, reg3		-	-	-	-	符号付き32ビット飽和乗算。reg1とreg2を符号付き整数として乗算し、結果の上位32ビットをreg3に格納します。
MULU	reg1, reg2		-	*	*	*	符号なし乗算。reg2にreg1を符号なしデータとして乗算し、その結果(ダブルワード長)の上位32ビットをr30に、下位32ビットをreg2に格納します。
NOP			-	-	-	-	ノー・オペレーション。
NOT	reg1, reg2		-	0	*	*	論理否定。reg1の論理否定(1の補数)をとり、その結果をreg2に格納します。
OR	reg1, reg2		-	0	*	*	論理和。reg2とreg1の論理和をとり、その結果をreg2に格納します。
ORI	imm16, reg1, reg2		-	0	*	*	論理和。reg1とimm16をワード長までゼロ拡張した値の論理和をとり、その結果をreg2に格納します。
OUT.B	reg2, disp16[reg1]		-	-	-	-	ポート出力。reg1のデータとワード長まで符号拡張したdisp16を加算し、32ビット符号なしポート・アドレスを生成します。reg2の下位1バイトのデータを生成したポート・アドレスに出力します。
OUT.H	reg2, disp16[reg1]		-	-	-	-	ポート出力。reg1のデータとワード長まで符号拡張したdisp16を加算し、32ビット符号なしポート・アドレスを生成します。reg2の下位2バイトのデータを生成したポート・アドレスに出力します。32ビット符号なしポート・アドレスのビット0は0にマスクされます。
OUT.W	reg2, disp16[reg1]		-	-	-	-	ポート出力。reg1のデータとワード長まで符号拡張したdisp16を加算し、32ビット符号なしポート・アドレスを生成します。reg2のワード・データを生成したポート・アドレスに出力します。32ビット符号なしポート・アドレスのビット0,1は0にマスクされます。
RETI			*	*	*	*	トラップまたは割り込みルーチンから戻ります。システム・レジスタから、復帰PCとPSWを取り出し、トラップまたは割り込みルーチンから復帰します。
SAR	reg1, reg2		*	0	*	*	算術右シフト。reg2をreg1の下位5ビットで示されるシフト数分、算術右シフト(MSBの値を順にMSBにコピー)し、reg2に書き込みます。
	imm5, reg2		*	0	*	*	算術右シフト。reg2をimm5をワード長までゼロ拡張した値で示されるシフト数分算術シフトし、reg2に書き込みます。
SATADD3	reg1, reg2, reg3		*	*	*	*	飽和加算。reg2にreg1を符号付き整数として加算します。 [オーバフローが発生しない場合] 結果をreg3に格納します。 [オーバフローが発生した場合] SATフラグをセットし、結果が正ならば正の最大値を、負ならば負の最大値をreg3にセットします。

命 令	オペランド	フォー マツト	CY	OV	S	Z	命 令 機 能
SATSUB3	reg1, reg2, reg3		*	*	*	*	飽和減算。reg2からreg1を符号付き整数として減算します。 [オーバフローが発生しない場合] 結果をreg3に格納します。 [オーバフローが発生した場合] SATフラグをセットし、結果が正ならば正の最大値を、負ならば負の最大値をreg3にセットします。
SETF	imm5, reg2		-	-	-	-	フラグ条件の設定。imm5の下位4ビットの示す条件が、条件フラグと一致した場合にはreg2に1を、そうでない場合は0を格納します。
SHL	reg1, reg2		*	0	*	*	論理左シフト。reg2をreg1の下位5ビットで示されるシフト数分、論理左シフト（LSB側に0を送り込む）し、reg2に書き込みます。
	imm5, reg2		*	0	*	*	論理左シフト。reg2をimm5をワード長までゼロ拡張した値で示されるシフト数分論理左シフトし、reg2に書き込みます。
SHLD3	reg1, reg2, reg3		-	-	-	-	連結左シフト。reg3（上位）とreg2（下位）を連結した64ビットを、reg1の下位5ビットで示されるシフト数分だけ論理左シフトし、上位32ビットをreg3に格納します。
SHR	reg1, reg2		*	0	*	*	論理右シフト。reg2をreg1の下位5ビットで示されるシフト数分、論理右シフト（MSB側に0を送り込む）し、reg2に書き込みます。
	imm5, reg2		*	0	*	*	論理右シフト。reg2をimm5をワード長までゼロ拡張した値で示されるシフト数分論理右シフトし、reg2に書き込みます。
SHRD3	reg1, reg2, reg3		-	-	-	-	連結右シフト。reg3（上位）とreg2（下位）を連結した64ビットをreg1の下位5ビットで示されるシフト数分だけ論理右シフトし、下位32ビットをreg3に格納します。
ST.B	reg2, disp16[reg1]		-	-	-	-	バイト・ストア。reg1のデータと、ワード長まで符号拡張したdisp16を加算し、32ビット符号なしアドレスを生成します。reg2の下位1バイトのデータを生成したアドレスに格納します。
ST.H	reg2, disp16[reg1]		-	-	-	-	ハーフワード・ストア。reg1のデータとワード長まで符号拡張したdisp16を加算し32ビット符号なしアドレスを生成します。reg2の下位2バイトのデータを生成したアドレスに格納します。32ビット符号なしアドレスのビット0は0にマスクされます。
ST.W	reg2, disp16[reg1]		-	-	-	-	ワード・ストア。reg1のデータとワード長まで符号拡張したdisp16を加算し、32ビット符号なしアドレスを生成します。reg2のワード・データを生成したアドレスに格納します。32ビット符号なしアドレスのビット0, 1は0にマスクされます。
STBY			-	-	-	-	プロセッサ停止。ストップ・モードに入ります。
STSR	regID, reg2		-	-	-	-	システム・レジスタの内容のストア。システム・レジスタ番号（regID）で指定されるシステム・レジスタの内容をreg2に設定します。
SUB	reg1, reg2		*	*	*	*	減算。reg2からreg1を減算し、その結果をreg2に格納します。

命 令	オペランド	フォー マツト	CY	OV	S	Z	命 令 機 能
TRAP	vector		-	-	-	-	ソフトウェア・トラップ。復帰PC, PSWをシステム・レジスタに退避し, PSW.EP=1 FEPC, FEPSWに退避 PSW.EP=0 EIPC, EIPSWに退避 例外コードをECRに設定し, PSW.EP=1 FECCに設定 PSW.EP=0 EICCに設定 PSWのフラグを設定し, PSW.EP=1 NP, IDをセット PSW.EP=0 EP, IDをセット vectorで指定されるトラップ・ベクタ(0-31)に対応するトラップ・ハンドラのアドレスにジャンプし, 例外処理を開始します。
XOR	reg1, reg2		-	0	*	*	排他的論理和。reg2とreg1の排他的論理和をとり, その結果をreg2に格納します。
XORI	imm16, reg1, reg2		-	0	*	*	排他的論理和。reg1とimm16をワード長までゼロ拡張した値の排他的論理和をとりその結果をreg2に格納します。

12. 割り込みと例外

割り込みはプログラムの実行とは独立に発生する事象で、マスカブル割り込み、ノンマスカブル割り込みがあります。例外はプログラムの実行に依存して発生する事象です。割り込みと例外に制御の流れとして大きな違いはありませんが、割り込みは例外より優先的に処理されます。ただし、致命的例外は割り込みより優先的に処理されます。

V830アーキテクチャでは、次に示すような例外と割り込みがあります。例外、マスカブル割り込み、ノンマスカブル割り込みが発生した場合には、各要因ごとに固定的にアドレスが決まっているハンドラへと制御が移されます。例外要因は、ECR (Exception Cause Register) に格納される例外コードで知ることができます。各ハンドラではECRを解析し、適切な例外 / 割り込み処理を行います。

表12 - 1 例外 / 割り込み要因コード

例外と割り込み		分類	例外コード ECR ^{注1}	ハンドラ・ アドレス ^{注1}	復帰PC
リセット		割り込み	FFF0H	FFFFFFFF0H	不定
致命的例外		例外	-	FFFFFFE0H	current PC
NMI		割り込み	FFD0H	FFFFFFD0H	next PC
二重例外		例外	注2	FFFFFFD0H	current PC
TRAP命令 (パラメータ 0x1n)		例外	FFBnH	FFFFFFB0H	next PC
TRAP命令 (パラメータ 0x0n)		例外	FFAnH	FFFFFFA0H	next PC
不正命令コード		例外	FF90H	FFFFFF90H	current PC
ゼロ除算		例外	FF80H	FFFFFF80H	current PC
割り込みレベルn (n = 0-15)	HWCC.IHA = 0	割り込み	FE _n 0H	FFFFFFE _n 0H	next PC
	HWCC.IHA = 1			FE0000 _n 0H	

注1 . レベルnは16進数表記になります (n = 0-F)。

2 . 二重例外の要因となった例外の例外コードです。

13. 電気的特性

絶対最大定格 (TA = 25)

項目	略号	条件	定格	単位
電源電圧	V _{DD}		- 0.5 ~ + 4.5	V
入力電圧	V _I		- 0.5 ~ + 5.5	V
クロック入力電圧	V _K	V _{DD} = 3.0 ~ 3.6 V	- 0.5 ~ V _{DD} + 0.3	V
出力電圧	V _O	V _{DD} = 3.0 ~ 3.6 V	- 0.5 ~ + 5.5	V
動作周囲温度	T _A		- 10 ~ + 85	
保存温度	T _{stg}		- 65 ~ + 150	

★

注意 1. IC製品の出力 (または入出力) 端子同士を直結したり, V_{DD}またはV_{CC}やGNDに直結したりしないでください。
ただし, オープン・ドレイン端子やオープン・コレクタ端子同士は直結できます。また, ハイ・インピーダンスとなる端子で, 出力の衝突を避けるタイミング設計をした外部回路でも直結可能です。

2. 各項目のうち1項目でも, また一瞬でも絶対最大定格を越え, 製品の品質を損なう恐れがあります。つまり, 絶対最大定格とは, 製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づかない状態で, 製品をご使用ください。

DC特性とAC特性に示す規格や条件が, 製品の正常動作, 品質保証の範囲です。

DC特性 (TA = - 10 ~ + 85 , V_{DD} = 3.0 ~ 3.6 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ロウ・レベル・クロック入力電圧	V _{KL}		- 0.5		+ 0.2 V _{DD}	V
ハイ・レベル・クロック入力電圧	V _{KH}		0.8 V _{DD}		V _{DD} + 0.3	V
ロウ・レベル入力電圧	V _{IL}		- 0.5		+ 0.6	V
ハイ・レベル入力電圧	V _{IH}		2.0		5.5	V
ロウ・レベル出力電圧	V _{OL}	I _{OL} = 3.2 mA			0.4	V
ハイ・レベル出力電圧	V _{OH}	I _{OH} = - 400 μA	0.85 V _{DD}			V
ロウ・レベル入力リーク電流	I _{LIL}	V _I = 0 V			- 5	μA
ハイ・レベル入力リーク電流	I _{LIH}	V _I = V _{DD}			5	μA
		V _I = 5.5 V			25	μA
ロウ・レベル出力リーク電流	I _{LOL}	V _O = 0 V			- 5	μA
ハイ・レベル出力リーク電流	I _{LOH}	V _O = V _{DD}			5	μA
★ 電源電流 ^注	I _{DD}	動作時		120	170	mA
		HALTモード時		12	18	mA
		STOPモード時		30	150	μA

注 電源電流 (TYP.) は, 3.3 V時に出力端子をオープンとする。

電源電流 (MAX.) は, 3.6 V時に出力端子をオープンとする。

備考 f = BCLK端子の入力周波数

容量 (TA = - 10 ~ + 85 , V_{DD} = 3.0 ~ 3.6 V)

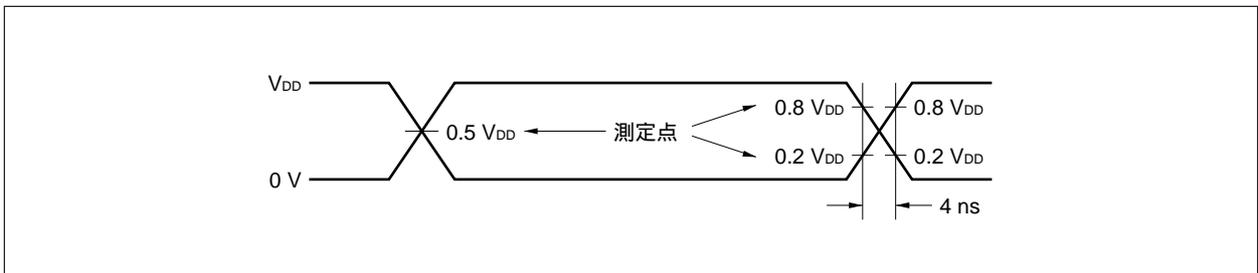
項目	略号	条件	MIN.	MAX.	単位
入力容量	C _i	f _c = 1 MHz		15	pF
入出力容量	C _{io}			15	pF

AC特性 ($T_A = -10 \sim +85$, $V_{DD} = 3.0 \sim 3.6$ V)

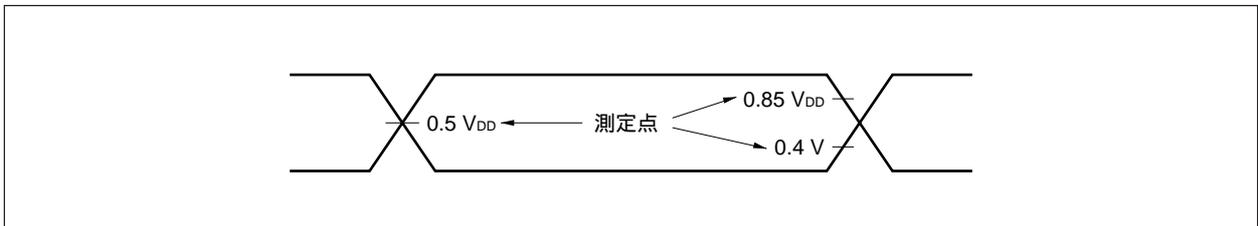
ACテスト入力波形 (BCLKを除く)



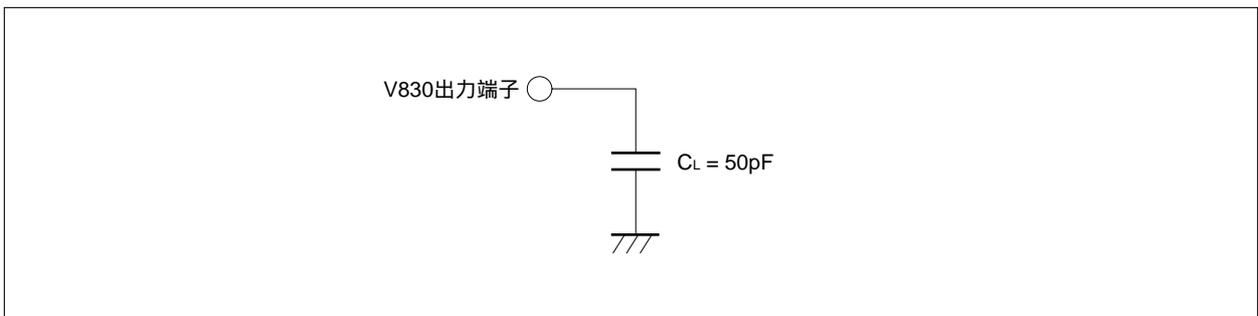
ACテスト入力波形 (BCLK)



ACテスト出力波形 (BCLKを除く)



テスト負荷



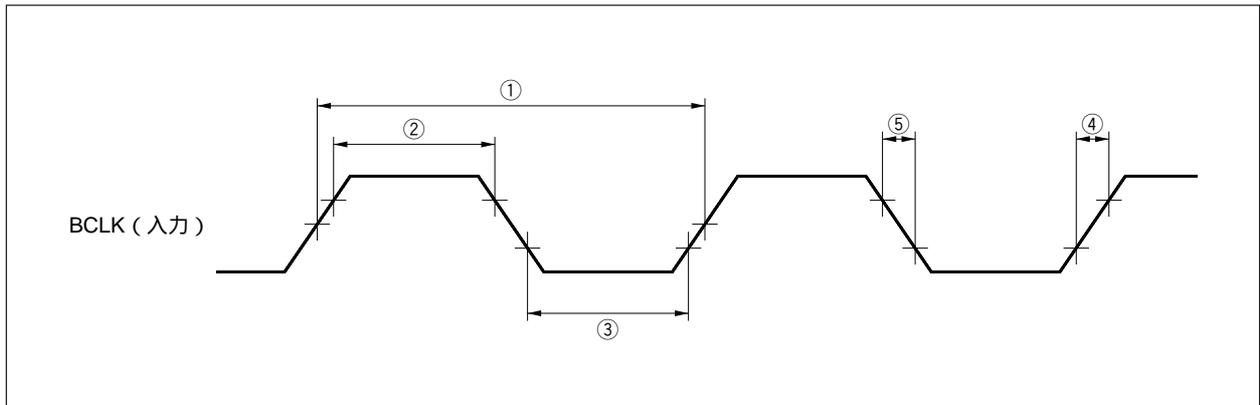
★ (1) クロック・タイミング

(a) 内部動作周波数が75 MHz ~ 100 MHzのとき

項 目	略 号	条 件	= 3 f 時		= 2 f 時		単 位
			MIN.	MAX.	MIN.	MAX.	
クロック周期	① t _{CYK}		30	40	20	26.7	ns
クロック・パルス・ハイ・レベル幅	② t _{KKH}		3		3		ns
クロック・パルス・ロウ・レベル幅	③ t _{KKL}		3		3		ns
クロック立ち上がり時間	④ t _{KR}			6		5	ns
クロック立ち下がり時間	⑤ t _{KF}			6		5	ns

(b) 内部動作周波数が48 MHz ~ 100 MHzのとき

項 目	略 号	条 件	= 3 f 時		= 2 f 時		単 位
			MIN.	MAX.	MIN.	MAX.	
クロック周期	① t _{CYK}		30	62.5	20	41.6	ns
クロック・パルス・ハイ・レベル幅	② t _{KKH}		3		3		ns
クロック・パルス・ロウ・レベル幅	③ t _{KKL}		3		3		ns
クロック立ち上がり時間	④ t _{KR}			6		5	ns
クロック立ち下がり時間	⑤ t _{KF}			6		5	ns



注意1. リセット中のクロック入力に関しては、「(2) リセット・タイミング」で別に定めます。

- 2. BCLKの入力安定度は、t_{CYK} () の0.1 %以下にしてください。
- 3. t_{KR} () , t_{KF} () がMAX.値を越えた場合の動作は保証しません。

★ (2) リセット・タイミング

(a) 内部動作周波数が75 MHz ~ 100 MHzのとき

項 目	略 号	条 件	= 3 f 時		= 2 f 時		単 位
			MIN.	MAX.	MIN.	MAX.	
RESET保持時間 (対V _{DD} VALID)	⑥	t _{HVR}	0	2	0	2	μs
クロック周期 (リセット時)	⑦	t _{CYKR}	30	40	20	26.7	ns
クロック・ハイ・レベル幅 (リセット時)	⑧	t _{KKHR}	8		5		ns
クロック・ロウ・レベル幅 (リセット時)	⑨	t _{KKLR}	8		5		ns
RESET設定時間 (対BCLK , アクティブ)	⑩	t _{SRKF}	10		8		ns
RESET設定時間 (対BCLK , インアクティブ)	⑪	t _{SRKR}	10		8		ns
RESET保持時間 (対BCLK)	⑫	t _{HKR}	0		0		ns
RESETパルス・ロウ・レベル幅	⑬	t _{WRL}	注1	10	10		ms
			注2	20	20		t _{CYKR}

注1 . パワーオン時, またはストップ・モードからの復帰時。

2 . 注1 以外の場合

備考1 . リセットはt_{HVR} (⑥) 以内であれば, t_{SRKF} (⑩) , t_{SRKR} (⑪) を満たさなくてもかまいません。

2 . t_{WRL} (⑬) はBCLK信号が安定してからのクロック周期 (t_{CYKR}) 数です。

(b) 内部動作周波数が48 MHz ~ 100 MHzのとき

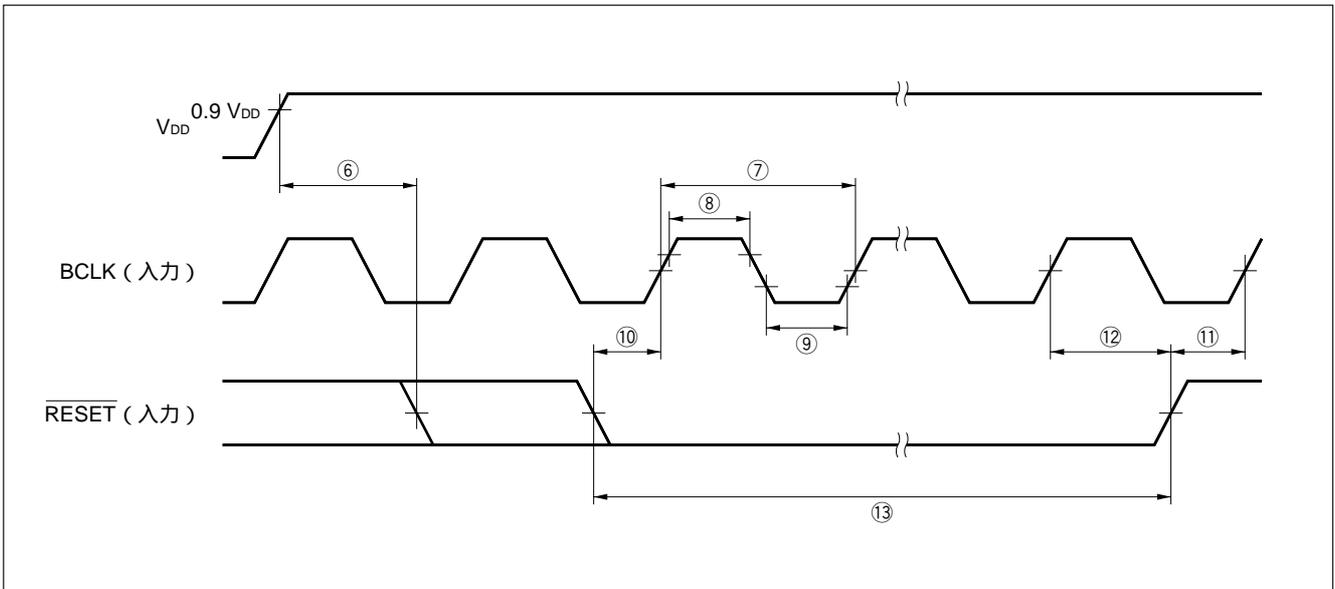
項 目	略 号	条 件	= 3 f 時		= 2 f 時		単 位
			MIN.	MAX.	MIN.	MAX.	
RESET保持時間 (対V _{DD} VALID)	⑥	t _{HVR}	0	2	0	2	μs
クロック周期 (リセット時)	⑦	t _{CYKR}	30	62.5	20	41.6	ns
クロック・ハイ・レベル幅 (リセット時)	⑧	t _{KKHR}	8		5		ns
クロック・ロウ・レベル幅 (リセット時)	⑨	t _{KKLR}	8		5		ns
RESET設定時間 (対BCLK , アクティブ)	⑩	t _{SRKF}	10		8		ns
RESET設定時間 (対BCLK , インアクティブ)	⑪	t _{SRKR}	10		8		ns
RESET保持時間 (対BCLK)	⑫	t _{HKR}	0		0		ns
RESETパルス・ロウ・レベル幅	⑬	t _{WRL}	注1	10	10		ms
			注2	20	20		t _{CYKR}

注1 . パワーオン時, またはストップ・モードからの復帰時。

2 . 注1 以外の場合

備考1 . リセットはt_{HVR} (⑥) 以内であれば, t_{SRKF} (⑩) , t_{SRKR} (⑪) を満たさなくてもかまいません。

2 . t_{WRL} (⑬) はBCLK信号が安定してからのクロック周期 (t_{CYKR}) 数です。



★ (3) メモリ, I/Oアクセス・タイミング (シングル転送) (1/2)

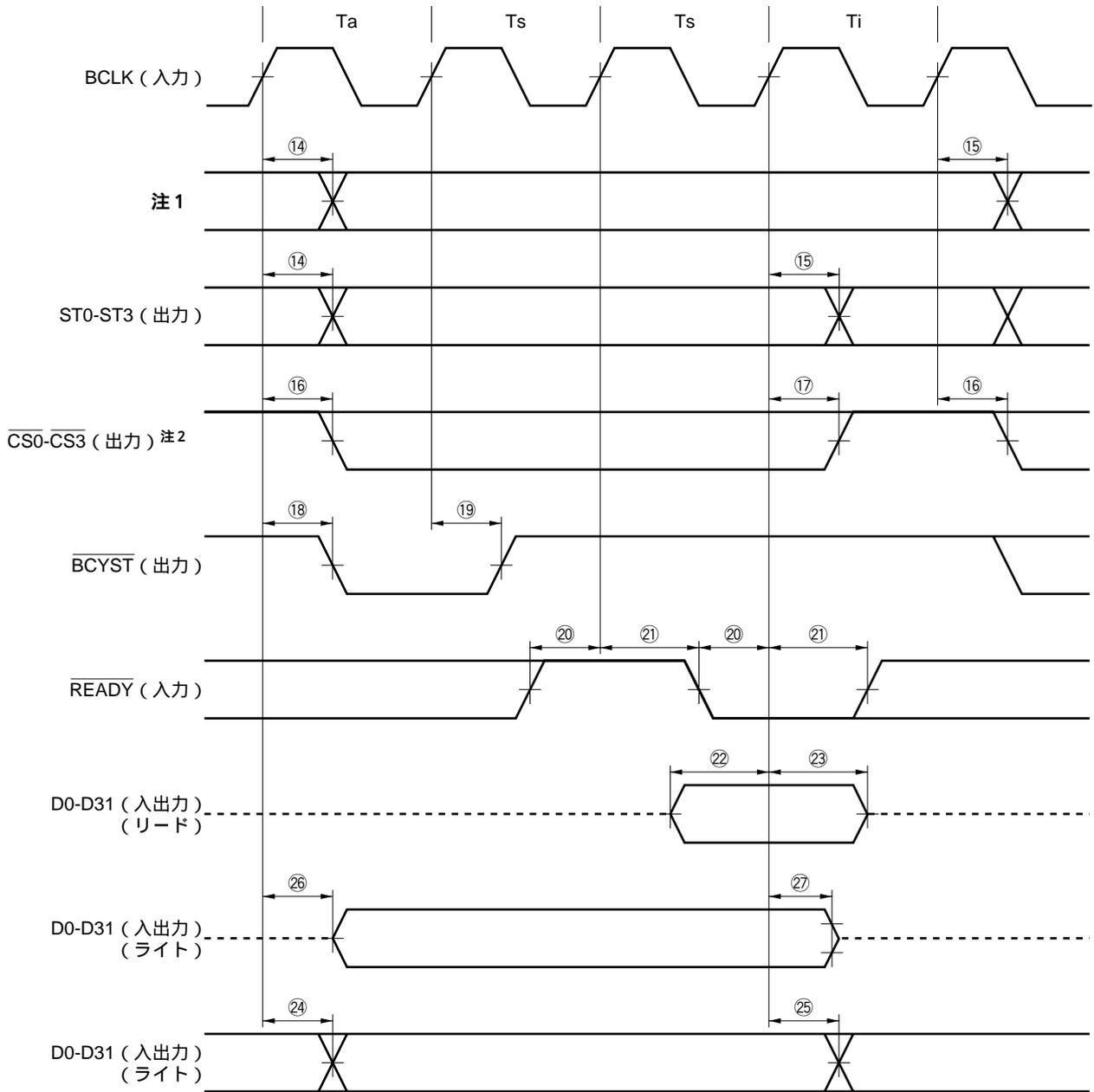
(a) 内部動作周波数が75 MHz ~ 100 MHzのとき

項 目	略 号	条 件	= 3 f 時		= 2 f 時		単 位
			MIN.	MAX.	MIN.	MAX.	
アドレス等出力遅延時間 (対BCLK)	⑭ tDKA		2	13	2	13	ns
アドレス等出力保持時間 (対BCLK)	⑮ tHKA		2	13	2	13	ns
$\overline{\text{CSn}}$ 出力遅延時間 (対BCLK)	⑯ tDKCS		2	13	2	13	ns
$\overline{\text{CSn}}$ 出力保持時間 (対BCLK)	⑰ tHKCS		2	13	2	13	ns
$\overline{\text{BCYST}}$ 出力遅延時間 (対BCLK)	⑱ tDKBC		2	13	2	13	ns
$\overline{\text{BCYST}}$ 出力保持時間 (対BCLK)	⑲ tHKBC		2	13	2	13	ns
READY設定時間 (対BCLK)	⑳ tsRYK		10		9		ns
READY保持時間 (対BCLK)	㉑ tHKRY		0		0		ns
データ設定時間 (対BCLK)	㉒ tSDK		6		6		ns
データ保持時間 (対BCLK)	㉓ tHKD		2		1		ns
データ出力遅延時間 (fromアクティブ, 対BCLK)	㉔ tDKDT		2	13	2	13	ns
データ出力保持時間 (toアクティブ, 対BCLK)	㉕ tHKDT		2	13	2	13	ns
データ出力遅延時間 (fromフロート, 対BCLK)	㉖ tLZKDT		2	13	2	13	ns
データ出力保持時間 (toフロート, 対BCLK)	㉗ tHZKDT		3	20	3	20	ns

(b) 内部動作周波数が48 MHz ~ 100 MHzのとき

項 目	略 号	条 件	= 3 f 時		= 2 f 時		単 位
			MIN.	MAX.		MAX.	
アドレス等出力遅延時間 (対BCLK)	⑭ tDKA		1	13	1	13	ns
アドレス等出力保持時間 (対BCLK)	⑮ tHKA		1	13	1	13	ns
$\overline{\text{CSn}}$ 出力遅延時間 (対BCLK)	⑯ tDKCS		1	13	1	13	ns
$\overline{\text{CSn}}$ 出力保持時間 (対BCLK)	⑰ tHKCS		1	13	1	13	ns
$\overline{\text{BCYST}}$ 出力遅延時間 (対BCLK)	⑱ tDKBC		1	13	1	13	ns
$\overline{\text{BCYST}}$ 出力保持時間 (対BCLK)	⑲ tHKBC		1	13	1	13	ns
READY設定時間 (対BCLK)	⑳ tsRYK		10		10		ns
READY保持時間 (対BCLK)	㉑ tHKRY		0		0		ns
データ設定時間 (対BCLK)	㉒ tSDK		7		7		ns
データ保持時間 (対BCLK)	㉓ tHKD		2		1		ns
データ出力遅延時間 (fromアクティブ, 対BCLK)	㉔ tDKDT		1	13	1	13	ns
データ出力保持時間 (toアクティブ, 対BCLK)	㉕ tHKDT		1	13	1	13	ns
データ出力遅延時間 (fromフロート, 対BCLK)	㉖ tLZKDT		1	13	1	13	ns
データ出力保持時間 (toフロート, 対BCLK)	㉗ tHZKDT		3	20	3	20	ns

(3) メモリ、I/Oアクセス・タイミング(シングル転送) (2/2)



注1 . A2-A27 (出力) , $\overline{BE0-\overline{BE3}}$ (出力) , R/\overline{W} (出力)

2 . チップ・セレクト機能を使用しない場合、 $\overline{CS0-\overline{CS3}}$ にA28-A31を出力します。

備考 破線はハイ・インピーダンスを示します。

★ (4) メモリ・アクセス・タイミング (バースト転送) (1/3)

(a) 内部動作周波数が75 MHz ~ 100 MHzのとき

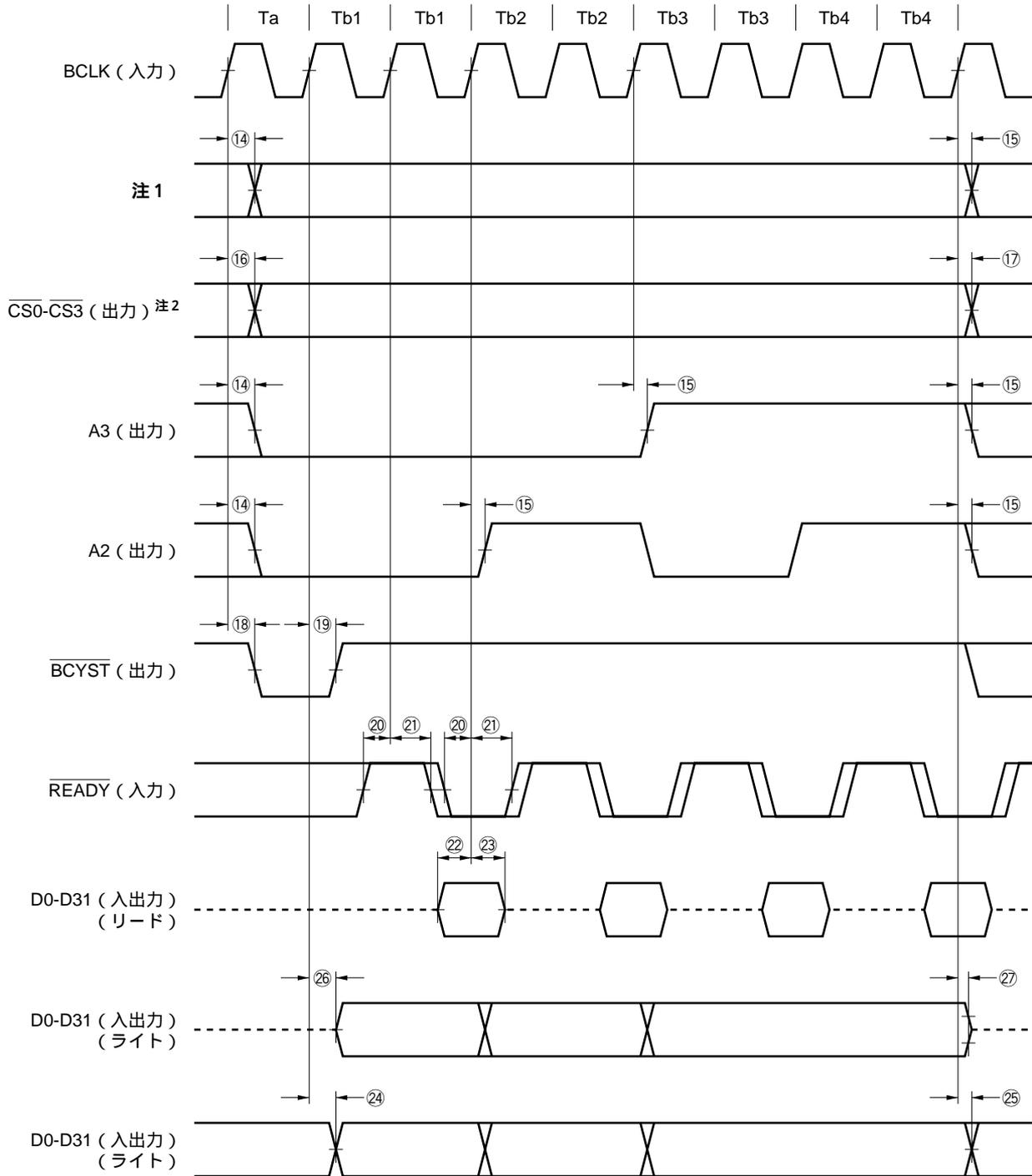
項 目	略 号	条 件	= 3 f 時		= 2 f 時		単 位
			MIN.	MAX.	MIN.	MAX.	
アドレス等出力遅延時間 (対BCLK)	⑭ tDKA		2	13	2	13	ns
アドレス等出力保持時間 (対BCLK)	⑮ tHKA		2	13	2	13	ns
$\overline{\text{CSn}}$ 出力遅延時間 (対BCLK)	⑯ tDKCS		2	13	2	13	ns
$\overline{\text{CSn}}$ 出力保持時間 (対BCLK)	⑰ tHKCS		2	13	2	13	ns
$\overline{\text{BCYST}}$ 出力遅延時間 (対BCLK)	⑱ tDKBC		2	13	2	13	ns
$\overline{\text{BCYST}}$ 出力保持時間 (対BCLK)	⑲ tHKBC		2	13	2	13	ns
READY設定時間 (対BCLK)	⑳ tSRYK		10		9		ns
READY保持時間 (対BCLK)	㉑ tHKRY		0		0		ns
データ設定時間 (対BCLK)	㉒ tSDK		6		6		ns
データ保持時間 (対BCLK)	㉓ tHKD		2		1		ns
データ出力遅延時間 (fromアクティブ, 対BCLK)	㉔ tDKDT		2	13	2	13	ns
データ出力保持時間 (toアクティブ, 対BCLK)	㉕ tHKDT		2	13	2	13	ns
データ出力遅延時間 (fromフロート, 対BCLK)	㉖ tLZKDT		2	13	2	13	ns
データ出力保持時間 (toフロート, 対BCLK)	㉗ tHZKDT		3	20	3	20	ns

(b) 内部動作周波数が48 MHz ~ 100 MHzのとき

項 目	略 号	条 件	= 3 f 時		= 2 f 時		単 位
			MIN.	MAX.	MIN.	MAX.	
アドレス等出力遅延時間 (対BCLK)	⑭ tDKA		1	13	1	13	ns
アドレス等出力保持時間 (対BCLK)	⑮ tHKA		1	13	1	13	ns
$\overline{\text{CSn}}$ 出力遅延時間 (対BCLK)	⑯ tDKCS		1	13	1	13	ns
$\overline{\text{CSn}}$ 出力保持時間 (対BCLK)	⑰ tHKCS		1	13	1	13	ns
$\overline{\text{BCYST}}$ 出力遅延時間 (対BCLK)	⑱ tDKBC		1	13	1	13	ns
$\overline{\text{BCYST}}$ 出力保持時間 (対BCLK)	⑲ tHKBC		1	13	1	13	ns
READY設定時間 (対BCLK)	⑳ tSRYK		10		10		ns
READY保持時間 (対BCLK)	㉑ tHKRY		0		0		ns
データ設定時間 (対BCLK)	㉒ tSDK		7		7		ns
データ保持時間 (対BCLK)	㉓ tHKD		2		1		ns
データ出力遅延時間 (fromアクティブ, 対BCLK)	㉔ tDKDT		1	13	1	13	ns
データ出力保持時間 (toアクティブ, 対BCLK)	㉕ tHKDT		1	13	1	13	ns
データ出力遅延時間 (fromフロート, 対BCLK)	㉖ tLZKDT		1	13	1	13	ns
データ出力保持時間 (toフロート, 対BCLK)	㉗ tHZKDT		3	20	3	20	ns

(4) メモリ・アクセス・タイミング (バースト転送) (2/3)

(c) 32ビット・バス・モード時



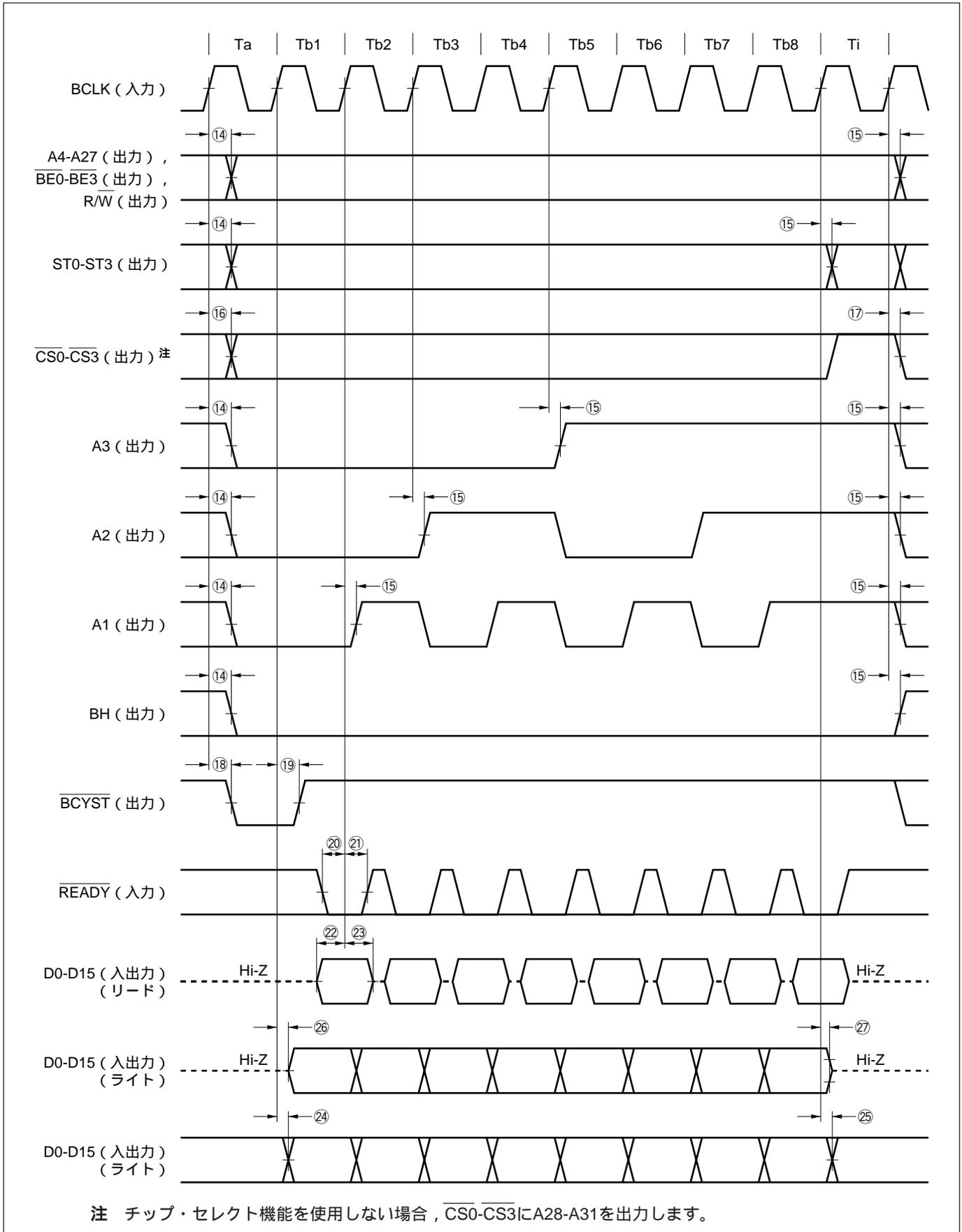
注1 . A4-A27 (出力) , BE0-BE3 (出力) , ST0-ST3 (出力) , R/W (出力)

2 . チップ・セレクト機能を使用しない場合 , CS0-CS3にA28-A31を出力します。

備考 破線はハイ・インピーダンスを示します。

(4) メモリ・アクセス・タイミング (バースト転送) (3/3)

(d) 16ビット・バス・モード時



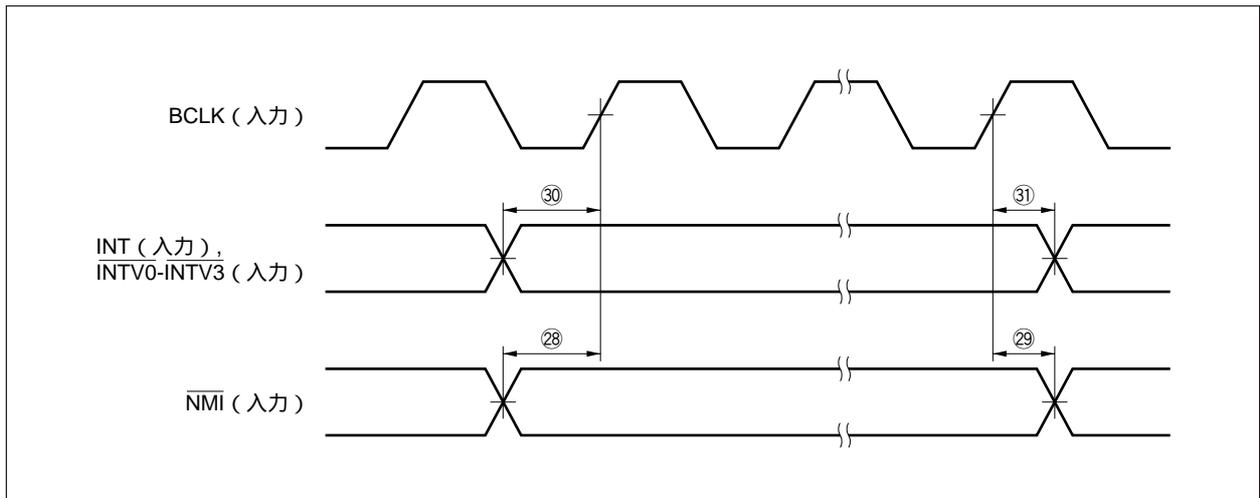
★ (5) 割り込みタイミング

(a) 内部動作周波数が75 MHz ~ 100 MHzのとき

項 目	略 号	条 件	= 3 f 時		= 2 f 時		単 位
			MIN.	MAX.	MIN.	MAX.	
NMI設定時間 (対BCLK)	⑳	t _{SNK}	6		6		ns
NMI保持時間 (対BCLK)	㉑	t _{HKN}	2		1		ns
INT等設定時間 (対BCLK)	㉒	t _{SIK}	6		6		ns
INT等保持時間 (対BCLK)	㉓	t _{HKI}	2		1		ns

(b) 内部動作周波数が48 MHz ~ 100 MHzのとき

項 目	略 号	条 件	= 3 f 時		= 2 f 時		単 位
			MIN.	MAX.	MIN.	MAX.	
NMI設定時間 (対BCLK)	㉔	t _{SNK}	7		7		ns
NMI保持時間 (対BCLK)	㉕	t _{HKN}	2		1		ns
INT等設定時間 (対BCLK)	㉖	t _{SIK}	7		7		ns
INT等保持時間 (対BCLK)	㉗	t _{HKI}	2		1		ns



★ (6) バス・ホールド・タイミング (1/2)

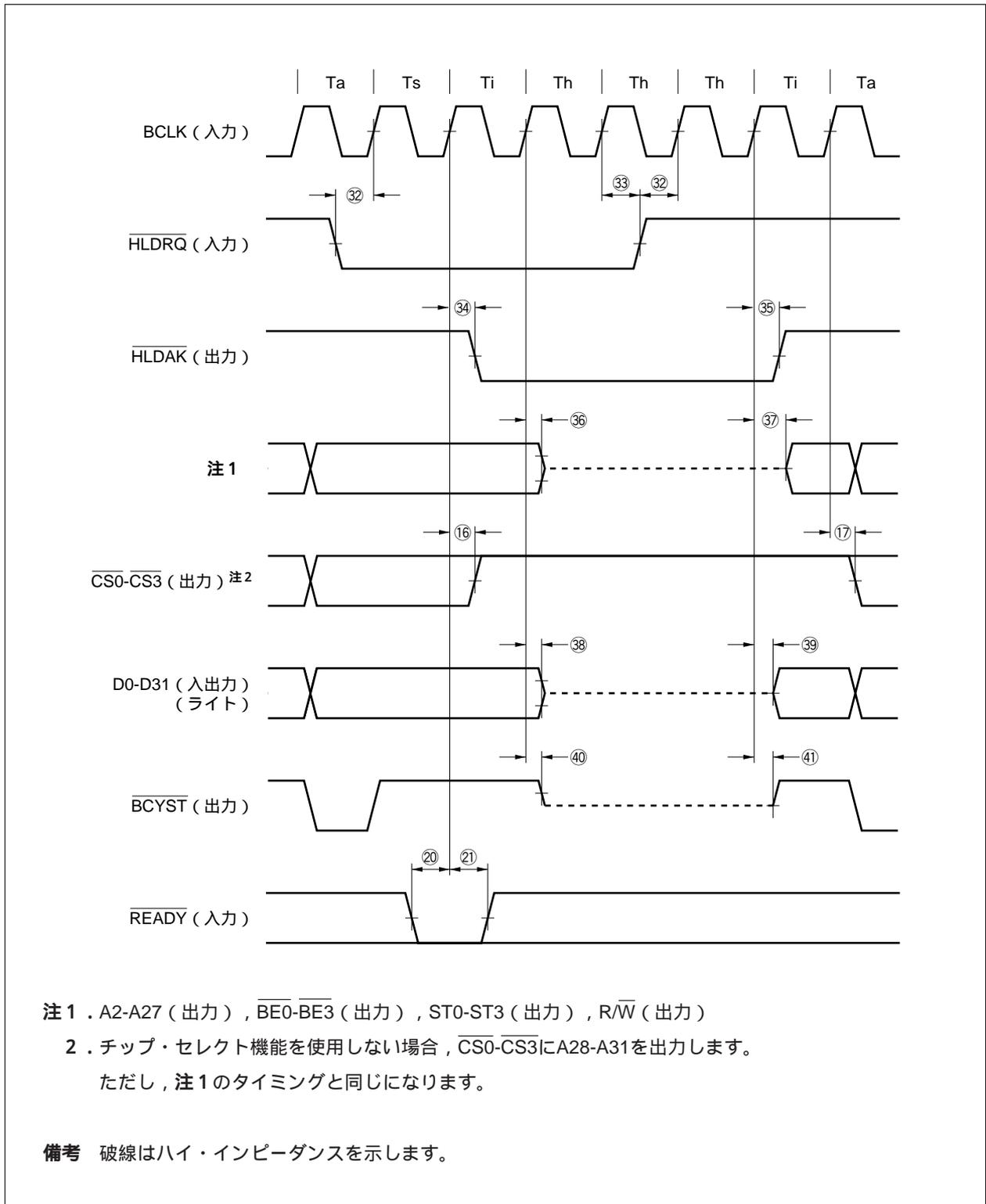
(a) 内部動作周波数が75 MHz ~ 100 MHzのとき

項 目	略 号	条 件	= 3 f 時		= 2 f 時		単 位
			MIN.	MAX.	MIN.	MAX.	
\overline{CSn} 出力遅延時間 (対BCLK)	⑩⑥ tDKCS		2	13	2	13	ns
\overline{CSn} 出力保持時間 (対BCLK)	⑩⑦ tHKCS		2	13	2	13	ns
READY $\overline{}$ 設定時間 (対BCLK)	⑩②① tSRYK		10		9		ns
READY $\overline{}$ 保持時間 (対BCLK)	⑩②① tHKRY		0		0		ns
HLDRQ $\overline{}$ 設定時間 (対BCLK)	⑩③② tSHQK		6		6		ns
HLDRQ $\overline{}$ 保持時間 (対BCLK)	⑩③③ tHKHQ		2		1		ns
HLDAK出力遅延時間 (対BCLK)	⑩③④ tDKHA		2	13	2	13	ns
HLDAK出力保持時間 (対BCLK)	⑩③⑤ tHKHA		2	13	2	13	ns
アドレス等遅延時間 (fromアクティブ, 対BCLK)	⑩③⑥ tHZKA		3	20	3	20	ns
アドレス等遅延時間 (fromフロート, 対BCLK)	⑩③⑦ tLZKA		2	13	2	10	ns
データ遅延時間 (fromアクティブ, 対BCLK)	⑩③⑧ tHZKD		3	20	3	20	ns
データ遅延時間 (fromフロート, 対BCLK)	⑩③⑨ tLZKD		2	13	2	10	ns
BCYST $\overline{}$ 遅延時間 (fromアクティブ, 対BCLK)	⑩④① tHZKBC		3	20	3	20	ns
BCYST $\overline{}$ 遅延時間 (fromフロート, 対BCLK)	⑩④① tLZKBC		2	13	2	10	ns

(b) 内部動作周波数が48 MHz ~ 100 MHzのとき

項 目	略 号	条 件	= 3 f 時		= 2 f 時		単 位
			MIN.	MAX.	MIN.	MAX.	
\overline{CSn} 出力遅延時間 (対BCLK)	⑩⑥ tDKCS		1	13	1	13	ns
\overline{CSn} 出力保持時間 (対BCLK)	⑩⑦ tHKCS		1	13	1	13	ns
READY $\overline{}$ 設定時間 (対BCLK)	⑩②① tSRYK		10		10		ns
READY $\overline{}$ 保持時間 (対BCLK)	⑩②① tHKRY		0		0		ns
HLDRQ $\overline{}$ 設定時間 (対BCLK)	⑩③② tSHQK		7		7		ns
HLDRQ $\overline{}$ 保持時間 (対BCLK)	⑩③③ tHKHQ		2		1		ns
HLDAK出力遅延時間 (対BCLK)	⑩③④ tDKHA		1	13	1	13	ns
HLDAK出力保持時間 (対BCLK)	⑩③⑤ tHKHA		1	13	1	13	ns
アドレス等遅延時間 (fromアクティブ, 対BCLK)	⑩③⑥ tHZKA		3	20	3	20	ns
アドレス等遅延時間 (fromフロート, 対BCLK)	⑩③⑦ tLZKA		2	13	2	10	ns
データ遅延時間 (fromアクティブ, 対BCLK)	⑩③⑧ tHZKD		3	20	3	20	ns
データ遅延時間 (fromフロート, 対BCLK)	⑩③⑨ tLZKD		2	13	2	10	ns
BCYST $\overline{}$ 遅延時間 (fromアクティブ, 対BCLK)	⑩④① tHZKBC		3	20	3	20	ns
BCYST $\overline{}$ 遅延時間 (fromフロート, 対BCLK)	⑩④① tLZKBC		2	13	2	10	ns

(6) バス・ホールド・タイミング (2/2)



★ (7) ホールト・アクノリッジ・サイクル (1/2)

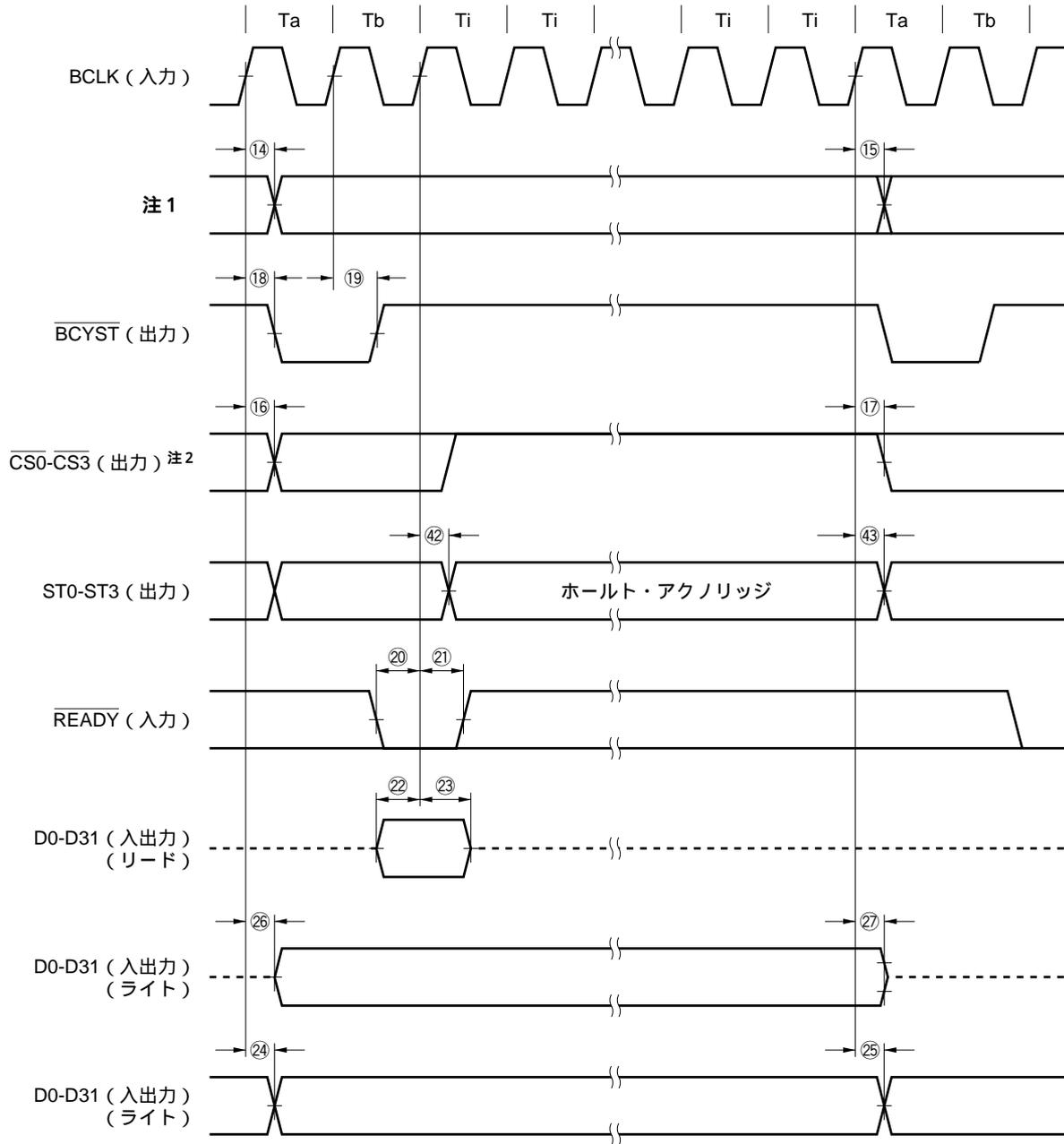
(a) 内部動作周波数が75 MHz ~ 100 MHzのとき

項 目	略 号	条 件	= 3 f 時		= 2 f 時		単 位
			MIN.	MAX.	MIN.	MAX.	
アドレス等出力遅延時間 (対BCLK)	⑭ tDKA		2	13	2	13	ns
アドレス等出力保持時間 (対BCLK)	⑮ tHKA		2	13	2	13	ns
$\overline{\text{CSn}}$ 出力遅延時間 (対BCLK)	⑯ tDKCS		2	13	2	13	ns
$\overline{\text{CSn}}$ 出力保持時間 (対BCLK)	⑰ tHKCS		2	13	2	13	ns
$\overline{\text{BCYST}}$ 出力遅延時間 (対BCLK)	⑱ tDKBC		2	13	2	13	ns
$\overline{\text{BCYST}}$ 出力保持時間 (対BCLK)	⑲ tHKBC		2	13	2	13	ns
$\overline{\text{READY}}$ 設定時間 (対BCLK)	⑳ tsRYK		10		9		ns
$\overline{\text{READY}}$ 保持時間 (対BCLK)	㉑ tHKRY		0		0		ns
データ設定時間 (対BCLK)	㉒ tSDK		6		6		ns
データ保持時間 (対BCLK)	㉓ tHKD		2		1		ns
データ出力遅延時間 (fromアクティブ, 対BCLK)	㉔ tDKDT		2	13	2	13	ns
データ出力保持時間 (toアクティブ, 対BCLK)	㉕ tHKDT		2	13	2	13	ns
データ出力遅延時間 (fromフロート, 対BCLK)	㉖ tLZKDT		2	13	2	13	ns
データ出力保持時間 (toフロート, 対BCLK)	㉗ tHZKDT		3	20	3	20	ns
Stn出力遅延時間 (対BCLK)	④② tDKST		2	13	2	13	ns
Stn出力保持時間 (対BCLK)	④③ tHKST		2	13	2	13	ns

(b) 内部動作周波数が48 MHz ~ 100 MHzのとき

項 目	略 号	条 件	= 3 f 時		= 2 f 時		単 位
			MIN.	MAX.	MIN.	MAX.	
アドレス等出力遅延時間 (対BCLK)	⑭ tDKA		1	13	1	13	ns
アドレス等出力保持時間 (対BCLK)	⑮ tHKA		1	13	1	13	ns
$\overline{\text{CSn}}$ 出力遅延時間 (対BCLK)	⑯ tDKCS		1	13	1	13	ns
$\overline{\text{CSn}}$ 出力保持時間 (対BCLK)	⑰ tHKCS		1	13	1	13	ns
$\overline{\text{BCYST}}$ 出力遅延時間 (対BCLK)	⑱ tDKBC		1	13	1	13	ns
$\overline{\text{BCYST}}$ 出力保持時間 (対BCLK)	⑲ tHKBC		1	13	1	13	ns
$\overline{\text{READY}}$ 設定時間 (対BCLK)	⑳ tsRYK		10		10		ns
$\overline{\text{READY}}$ 保持時間 (対BCLK)	㉑ tHKRY		0		0		ns
データ設定時間 (対BCLK)	㉒ tSDK		7		7		ns
データ保持時間 (対BCLK)	㉓ tHKD		2		1		ns
データ出力遅延時間 (fromアクティブ, 対BCLK)	㉔ tDKDT		1	13	1	13	ns
データ出力保持時間 (toアクティブ, 対BCLK)	㉕ tHKDT		1	13	1	13	ns
データ出力遅延時間 (fromフロート, 対BCLK)	㉖ tLZKDT		1	13	1	13	ns
データ出力保持時間 (toフロート, 対BCLK)	㉗ tHZKDT		3	20	3	20	ns
Stn出力遅延時間 (対BCLK)	④② tDKST		1	13	1	13	ns
Stn出力保持時間 (対BCLK)	④③ tHKST		1	13	1	13	ns

(7) ホールト・アクノリッジ・サイクル (2/2)



注1 . A2-A27 (出力) , BE0-BE3 (出力) , R/W (出力)

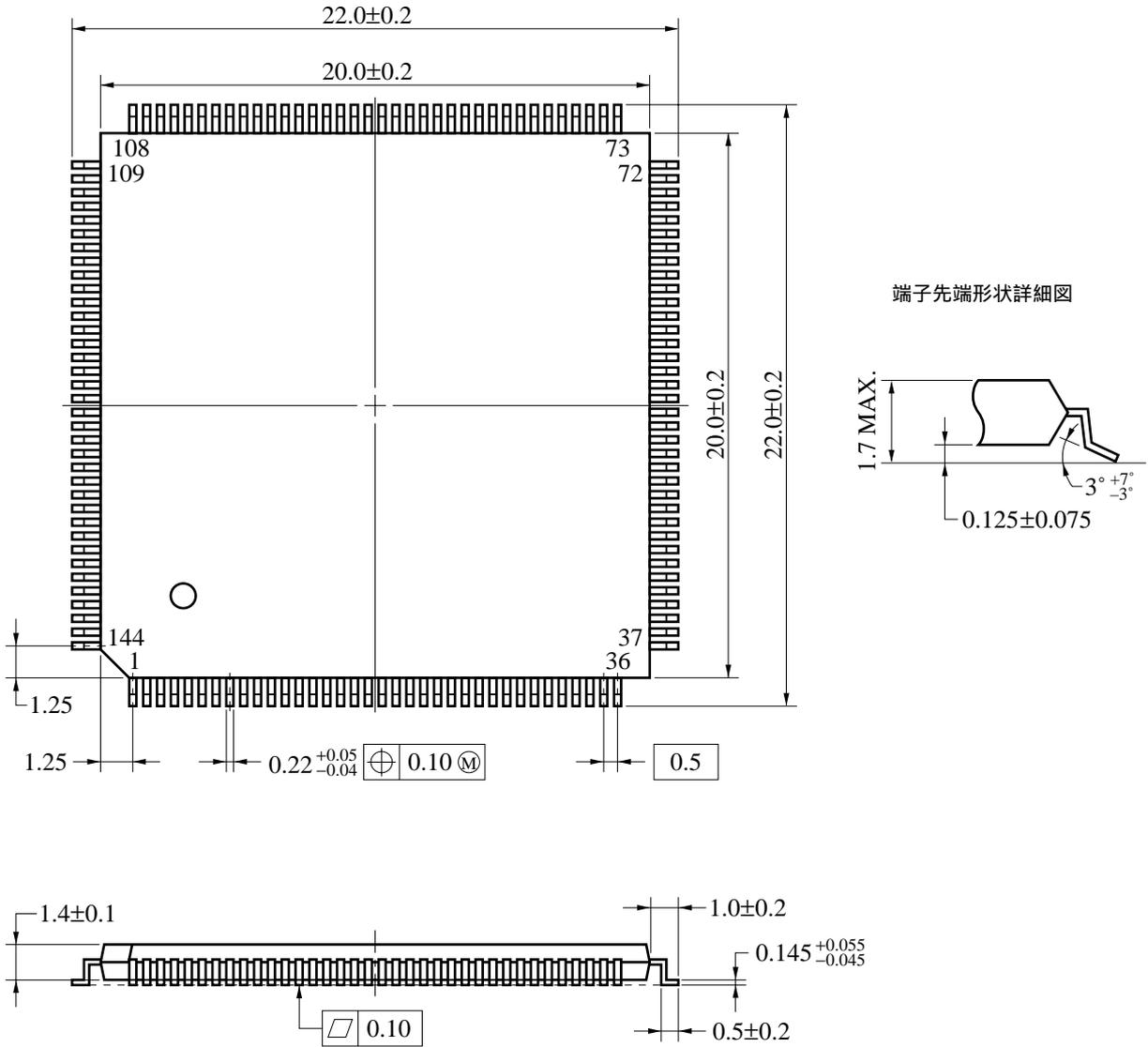
2 . チップ・セレクト機能を使用しない場合, CS0-CS3にA28-A31を出力します。

ただし, 注1のタイミングと同じになります。

備考 破線はハイ・インピーダンスを示します。

14. 外形図

144ピン・プラスチック LQFP (ファインピッチ)(20×20) 外形図 (単位: mm)



S144GJ-50-8EU-2

15. 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の詳細は、インフォメーション資料「**半導体デバイス実装マニュアル**」(C10535J)を参照してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

表15-1 表面実装タイプの半田付け条件

半田付け方式	半 田 付 け 条 件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃，時間：30秒以内（210℃以上），回数：2回以内， 制限日数：3日間 ^注 （以降は125℃プリベーク10時間必要） 留意事項 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR35-103-2
VPS	パッケージ・ピーク温度：215℃，時間：40秒以内（200℃以上），回数：2回以内， 制限日数：3日間 ^注 （以降は125℃プリベーク10時間必要） 留意事項 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	VP15-103-2
端子部分加熱	端子温度：300℃以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライパック開封後の保管日数で，保管条件は25℃，65%RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱方式は除く）。

CMOSデバイスの一般的注意事項

静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

参考資料 電気的特性の考え方 マイコン編 IEI-601

関連資料は暫定の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

V800シリーズ, V830, V830ファミリは日本電気株式会社の商標です。

文書による当社の承諾なしに本資料の転載複製を禁じます。
 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。
 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
 特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災／防犯装置、各種安全装置、生命維持を直接の目的としない医療機器
 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
 当社製品のデータ・シート／データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。
 この製品は耐放射線設計をしておりません。

M4 94.11

— お問い合わせは、最寄りのNECへ —

【営業関係お問い合わせ先】

半導体第一販売事業部 半導体第二販売事業部 半導体第三販売事業部	〒108-01 東京都港区芝五丁目7番1号（NEC本社ビル）	東京 (03)3454-1111 (大代表)
中部支社 半導体第一販売部 半導体第二販売部	〒460 名古屋市中区錦一丁目17番1号（NEC中部ビル）	名古屋 (052)222-2170 名古屋 (052)222-2190
関西支社 半導体第一販売部 半導体第二販売部 半導体第三販売部	〒540 大阪市中央区城見一丁目4番24号（NEC関西ビル）	大阪 (06) 945-3178 大阪 (06) 945-3200 大阪 (06) 945-3208
北海道支社 札幌 (011)251-5599	太田支店 太田 (0276)46-4011	福井支店 福井 (0776)22-1866
東北支社 仙台 (022)267-8740	宇都宮支店 宇都宮 (028)621-2281	富山支店 富山 (0764)31-8461
岩手支店 盛岡 (019)651-4344	小山支店 小山 (0285)24-5011	三重支店 津 (0592)25-7341
郡山支店 郡山 (0249)23-5511	長野支社 松本 (0263)35-1662	京都支社 京都 (075)344-7824
いわき支店 いわき (0246)21-5511	甲府支店 甲府 (0552)24-4141	神戸支社 神戸 (078)333-3854
長岡支店 長岡 (0258)36-2155	埼玉支社 大宮 (048)649-1415	中国支社 広島 (082)242-5504
土浦支店 土浦 (0298)23-6161	立川支社 立川 (0425)26-5981	鳥取支店 鳥取 (0857)27-5311
水戸支店 水戸 (029)226-1717	千葉支社 千葉 (043)238-8116	岡山支店 岡山 (086)225-4455
神奈川支社 横浜 (045)682-4524	静岡支社 静岡 (054)254-4794	松山支店 松山 (089)945-4149
群馬支店 高崎 (0273)26-1255	北陸支社 金沢 (076)232-7303	九州支社 福岡 (092)261-2806

【本資料に関する技術お問い合わせ先】

半導体ソリューション技術本部 マイクロコンピュータ技術部	〒210 川崎市幸区塚越三丁目484番地	川崎 (044)548-8890	半導体 インフォメーションセンター FAX(044)548-7900 (FAXにてお願い致します)
半導体販売技術本部 東日本販売技術部	〒108-01 東京都港区芝五丁目7番1号（NEC本社ビル）	東京 (03)3798-9619	
半導体販売技術本部 中部販売技術部	〒460 名古屋市中区錦一丁目17番1号（NEC中部ビル）	名古屋 (052)222-2125	
半導体販売技術本部 西日本販売技術部	〒540 大阪市中央区城見一丁目4番24号（NEC関西ビル）	大阪 (06) 945-3383	