

お客様各位

カタログ等資料中の旧社名の扱いについて

2010 年 4 月 1 日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010 年 4 月 1 日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

V55PI™
16 ビット・マイクロプロセッサ

μPD70433 (別名称 V55PI) は、16 ビット CPU, RAM, シリアル・インタフェース, パラレル・インタフェース, A/D コンバータ, タイマ, DMA コントローラ, 割り込みコントローラなどを 1 チップに集積したマイクロプロセッサです。

V55PI は、シングルチップ・マイクロコンピュータ μPD70320, 70330 (別名称 V25™, V35™) とソフトウェア・コンパチブルです。V25 の上位機種として、より高機能、高性能化を図っており、プリンタ、ファクシミリをはじめとする、メカ制御を伴うデータ処理システムの制御に最適です。

詳しい機能説明などは次のマニュアルに記載しております。設計の際には必ずお読みください。

- V55PI ユーザーズ・マニュアル ハードウェア編 : U10514J
- V55PI ユーザーズ・マニュアル 命令編 : U10231J

特 徴

- 内部 16 ビット・アーキテクチャ, 外部 16/8 ビット・データ・バス幅選択可能
- V20™, V30™ (ネイティブ・モード) および V25, V35 とソフトウェア・コンパチブル (追加命令あり)
- 最小インストラクション・サイクル : 160 ns/12.5 MHz (外部 25 MHz 時)
125 ns/16 MHz (外部 32 MHz 時)
- アドレス空間 : 16 M バイト
 - └ 基本メモリ空間 1 M バイト
 - └ 拡張メモリ空間 16 M バイト
- レジスタ・ファイル空間 (内蔵 RAM 上) : 512 バイト/16 レジスタ・バンク
- I/O 空間 : 64 K バイト
- メモリ空間を可変サイズ (最大 6 ブロック) で分割して自動ウェイト制御
- I/O ライン (入力ポート : 11 ビット, 入出力ポート : 42 ビット)
- DMA コントローラ (DMAC) : 最大 4 チャンネル構成可能
 - 4 種類の DMA 転送モード (シングルトランスファ, ディマンド・リリース, シングルステップ, バースト)
 - インテリジェント DMA モード -1, -2
- シリアル・インタフェース : 2 チャンネル
 - 調歩同期モード (UART) またはクロック同期モード (CSI) のいずれかを選択可能
- パラレル・インタフェース : 8 ビット
 - セントロニクス・データ入出力および汎用データ入出力
- A/D コンバータ (8 ビット) : 4 チャンネル
- リアルタイム出力ポート : 4 ビット×2 チャンネル, または 8 ビット×1 チャンネル
- PWM (Pulse Width Modulation) 出力機能 : 8 ビット

本資料の内容は、後日変更する場合があります。

○割り込みコントローラ

- プログラマブル・プライオリティ (4 レベル)

- 3 種類の割り込み応答方式

ベクタ割り込み機能, レジスタ・バンク切り替え機能, マクロ・サービス機能

○16 ビット・タイマ: 4 チャンネル

○ウォッチドッグ・タイマ機能

○ソフトウェア・インターバル・タイマ (16 ビット)

○アドレス部ウェイト挿入機能と RAS/CAS 切り替えタイミング発生機能

○DRAM, 疑似 SRAM リフレッシュ機能

○スタンバイ機能 (STOP モード, HALT モード)

○クロック発生回路内蔵

用 途

- シリアル通信やパラレル通信を用いたデータ処理システムの制御用

(データ処理端末, プリンタ, G3 ファクシミリなど)

★

オーダ情報

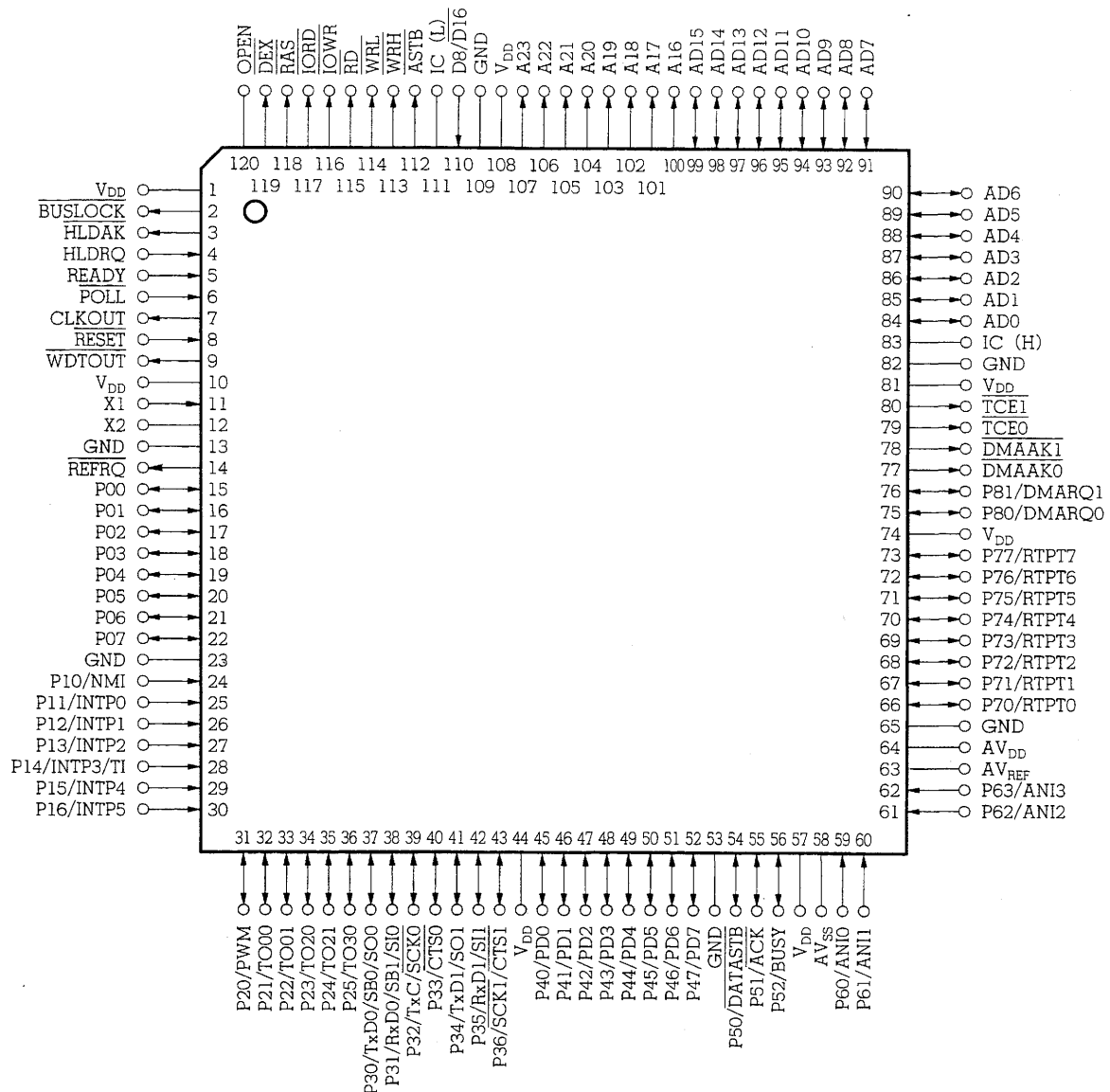
オーダ名称	パッケージ	最大動作周波数(MHz)
μPD70433GD-12-5BB	120ピン・プラスチック QFP (□ 28 mm)	12.5
μPD70433GD-16-5BB	//	16
μPD70433R-12	132ピン・セラミック PGA	12.5
μPD70433R-16	//	16
μPD70433GJ-12-3EB	120ピン・プラスチック QFP(ファインピッチ)(□ 20 mm)	12.5
μPD70433GJ-16-3EB	//	16

端子接続図 (Top View)

(1) 120ピン・プラスチック QFP (□28 mm), 120ピン・プラスチック QFP (ファインピッチ) (□20 mm)

μPD70433GD-xx-5BB

μPD70433GJ-xx-3EB



備考 IC Internally Connected

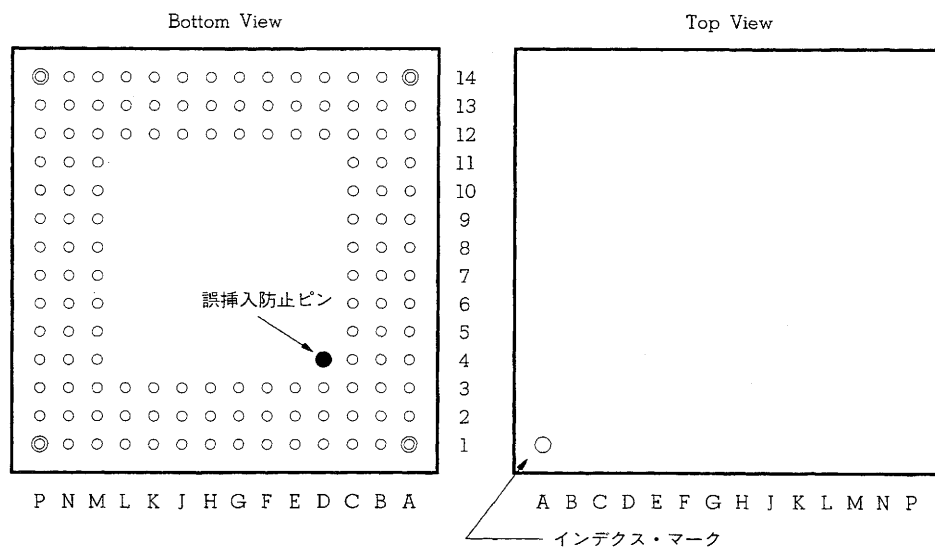
注意 1. IC (H) 端子は外部で抵抗 (1-10 kΩ) を介して V_{DD} に接続してください。

2. IC (L) 端子は外部で抵抗 (1-10 kΩ) を介して GND に接続してください。

3. OPEN 端子は何も接続しないでください。

(2) 132ピン・セラミック PGA

μPD70433R-xx



備考 誤挿入防止ピンは、ピン数に含みません。

番号	信号名	ポート	番号	信号名	ポート	番号	信号名	ポート
A1	ANI1	P61	B5	PD7	P47	C9	CTS0	P33
A2	AV _{ss}	—	B6	PD5	P45	C10	TO30	P25
A3	ACK	P51	B7	PD2	P42	C11	TO00	P21
A4	DATA _{STB}	P50	B8	PD0	P40	C12	NC	—
A5	PD6	P46	B9	RxD1/SI1	P35	C13	INTP4	P15
A6	PD4	P44	B10	RxD0/SB1/SI0	P31	C14	INTP0	P11
A7	PD1	P41	B11	TO21	P24	D1	RTPT2	P72
A8	NC	—	B12	TO01	P22	D2	GND	—
A9	SCK1/CTS1	P36	B13	NC	—	D3	ANI3	P63
A10	TxD1/SO1	P34	B14	INTP3/TI	P14	D12	INTP5	P16
A11	TxC/SCK0	P32	C1	RTPT1	P71	D13	INTP2	P13
A12	TxD0/SB0/SO0	P30	C2	AV _{REF}	—	D14	NMI	P10
A13	TO20	P23	C3	NC	—	E1	RTPT5	P75
A14	PWM	P20	C4	NC	—	E2	RTPT3	P73
B1	AV _{DD}	—	C5	V _{DD}	—	E3	RTPT0	P70
B2	ANI2	P62	C6	GND	—	E12	INTP1	P12
B3	ANI0	P60	C7	PD3	P43	E13	GND	—
B4	BUSY	P52	C8	V _{DD}	—	E14	—	P06

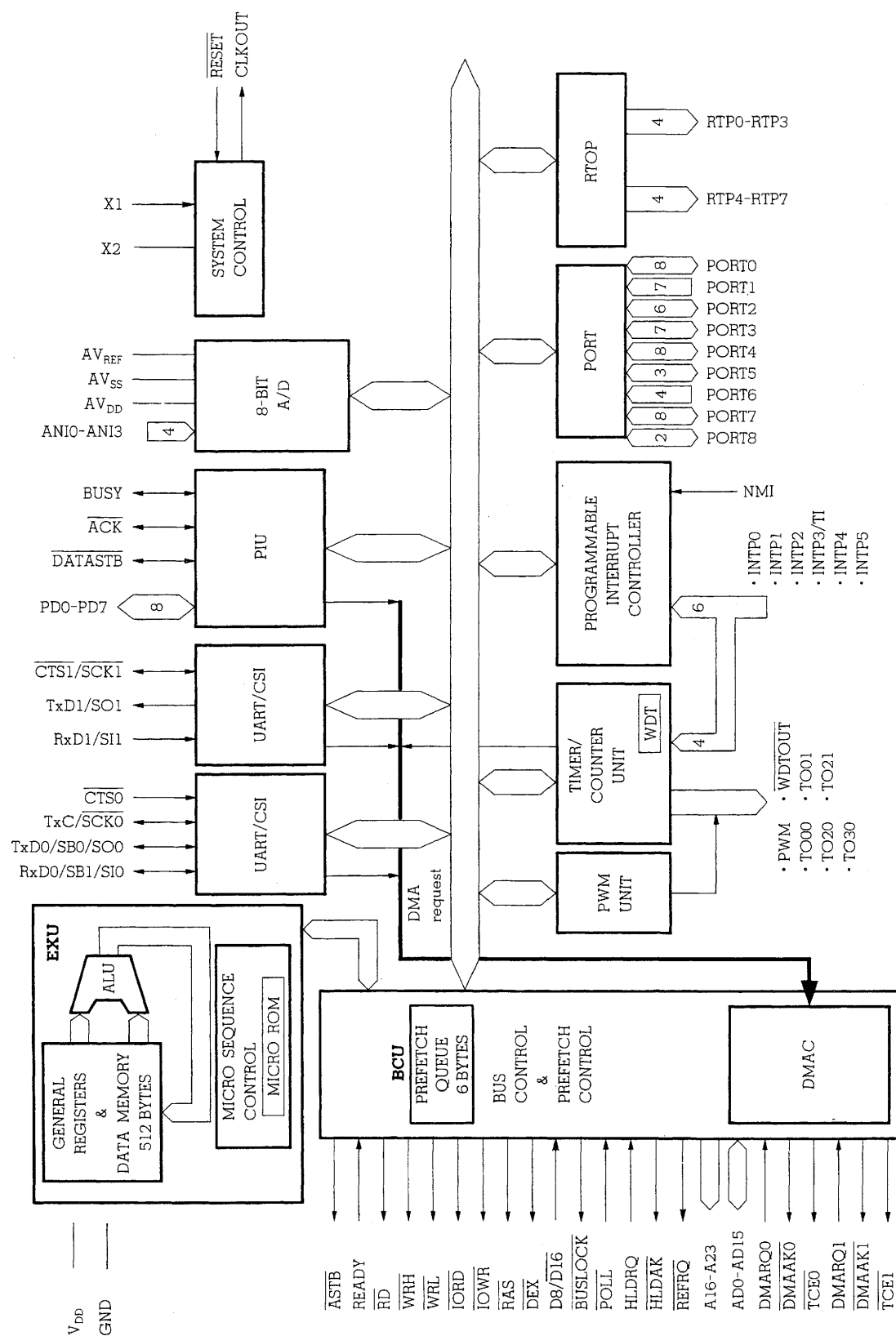
番号	信号名	ポート	番号	信号名	ポート	番号	信号名	ポート
F1	RTPT7	P77	K3	AD2	—	N3	AD9	—
F2	RTPT6	P76	K12	$\overline{\text{POLL}}$	—	N4	AD11	—
F3	RTPT4	P74	K13	$\overline{\text{WDTOUT}}$	—	N5	AD14	—
F12	—	P07	K14	X1	—	N6	A18	—
F13	—	P05	L1	AD0	—	N7	A21	—
F14	—	P04	L2	AD3	—	N8	A23	—
G1	NC	—	L3	AD6	—	N9	D8/ $\overline{\text{D16}}$	—
G2	DMARQ0	P80	L12	$\overline{\text{BUSLOCK}}$	—	N10	$\overline{\text{ASTB}}$	—
G3	V _{DD}	—	L13	READY	—	N11	$\overline{\text{IOWR}}$	—
G12	—	P03	L14	$\overline{\text{RESET}}$	—	N12	$\overline{\text{DEX}}$	—
G13	—	P02	M1	AD1	—	N13	V _{DD}	—
G14	—	P01	M2	AD5	—	N14	HLDRQ	—
H1	DMARQ1	P81	M3	NC	—	P1	AD7	—
H2	$\overline{\text{DMAAK0}}$	—	M4	AD8	—	P2	AD10	—
H3	$\overline{\text{DMAAK1}}$	—	M5	AD12	—	P3	AD13	—
H12	$\overline{\text{REFRQ}}$	—	M6	A16	—	P4	AD15	—
H13	—	P00	M7	A20	—	P5	A17	—
H14	NC	—	M8	V _{DD}	—	P6	A19	—
J1	$\overline{\text{TCE0}}$	—	M9	$\overline{\text{WRH}}$	—	P7	NC	—
J2	$\overline{\text{TCE1}}$	—	M10	$\overline{\text{IORD}}$	—	P8	A22	—
J3	GND	—	M11	NC	—	P9	GND	—
J12	V _{DD}	—	M12	NC	—	P10	IC (L)	—
J13	X2	—	M13	$\overline{\text{HLD\AA K}}$	—	P11	$\overline{\text{WRL}}$	—
J14	GND	—	M14	CLKOUT	—	P12	$\overline{\text{RD}}$	—
K1	V _{DD}	—	N1	AD4	—	P13	$\overline{\text{RAS}}$	—
K2	IC (H)	—	N2	NC	—	P14	OPEN	—

備考 IC : Internally Connected

NC : Non-Connection

- 注意 1. IC (H) 端子は外部で抵抗 (1-10 kΩ) を介して V_{DD} に接続してください。
2. IC (L) 端子は外部で抵抗 (1-10 kΩ) を介して GND に接続してください。
3. OPEN 端子は何も接続しないでください。

内部ブロック図



目 次

1. 端子機能	10
1.1 端子機能一覧	10
1.1.1 ポート機能	10
1.1.2 ポート以外の機能	11
2. ブロック構成	13
2.1 バス・コントロール・ユニット (BCU)	13
2.2 エグゼキューション・ユニット (EXU)	13
2.3 割り込みコントローラ (INTC)	13
2.4 DMA コントローラ (DMAC)	13
2.5 UART/クロック・シリアル・インタフェース (UART/CSI)	13
2.6 パラレル・インタフェース・ユニット (PIU)	13
2.7 A/D コンバータ・ユニット (8ビット A/D)	13
2.8 タイマ/カウンタ・ユニット (TCU)	13
2.9 PWM (Pulse Width Modulation) ユニット (PWM)	13
2.10 ウォッチドッグ・タイマ (WDT)	14
2.11 ポート (PORT)	14
2.12 リアルタイム出力ポート (RTOP)	14
2.13 クロック・ジェネレータ (CG)	14
2.14 ソフトウェア・インターバル・タイマ (SIT)	14
3. CPU 機能	15
3.1 特 徴	15
3.2 レジスタ	16
3.2.1 レジスタ・バンク	16
3.2.2 汎用レジスタ (AW, BW, CW, DW)	18
3.2.3 ポインタ (SP, BP) とインデクス・レジスタ (IX, IY)	18
3.2.4 セグメント・レジスタ (PS, SS, DS0, DS1)	19
3.2.5 拡張セグメント・レジスタ (DS2, DS3)	20
3.2.6 特殊機能レジスタ (SFR)	21
3.3 プログラム・カウンタ (PC)	22
3.4 プログラム・ステータス・ワード (PSW)	22
3.5 メモリ空間	23
3.5.1 基本メモリ空間	24
3.5.2 拡張メモリ空間	24
3.5.3 特殊機能レジスタ領域	25
3.5.4 ベクタ・テーブル領域	33
3.6 レジスタ・ファイル空間	35
3.7 I/O 空間	37

- 4. バス制御機能 … 38
 - 4.1 ウェイト機能 … 38
 - 4.2 リフレッシュ機能 … 40
 - 4.2.1 リフレッシュ・モード・レジスタ (RFM) … 40
 - 4.2.2 リフレッシュ・サイクルのウェイト制御 … 40
 - 4.2.3 リフレッシュ・アドレス … 40
- 5. 割り込み機能 … 41
 - 5.1 特 徴 … 41
 - 5.2 割り込み応答方式 … 44
 - 5.2.1 ベクタ割り込み … 44
 - 5.2.2 レジスタ・バンク切り替え機能 … 45
 - 5.2.3 マクロ・サービス機能 … 46
- 6. DMA 機能 (DMA コントローラ) … 47
 - 6.1 特 徴 … 47
- 7. シリアル・インタフェース機能 … 49
 - 7.1 特 徴 … 49
 - 7.2 プロトコル … 49
 - 7.3 UART … 50
 - 7.3.1 特 徴 … 50
 - 7.4 クロック・シリアル・インタフェース (CSI) … 51
 - 7.4.1 特 徴 … 51
- 8. パラレル・インタフェース機能 … 52
 - 8.1 特 徴 … 52
- 9. タイマ機能 … 54
 - 9.1 特 徴 … 54
 - 9.2 タイマ・ユニットの構成 … 54
 - 9.3 リアルタイム出力ポート機能 … 56
 - 9.3.1 リアルタイム出力ポートの構成 … 56
 - 9.3.2 リアルタイム出力ポートの動作 … 58
- 10. PWM ユニット … 60
 - 10.1 特 徴 … 60
 - 10.2 PWM ユニットの構成 … 60
- 11. ウォッチドッグ・タイマ機能 … 62
 - 11.1 特 徴 … 62
 - 11.2 ウォッチドッグ・タイマの構成と動作 … 62

12. A/D コンバータ機能	…	63
12.1 特 徴	…	63
13. スタンバイ機能	…	65
13.1 HALT モード	…	65
13.2 STOP モード	…	65
14. クロック発生回路	…	67
14.1 クロック発生回路の構成と動作	…	67
15. ソフトウェア・インターバル・タイマ機能	…	69
15.1 ソフトウェア・インターバル・タイマの構成	…	69
16. コーデック命令	…	70
16.1 特 徴	…	70
16.2 メモリ・マップ	…	73
16.3 処理フロー	…	75
17. 命令セット	…	77
17.1 V20, V30 または V25, V35 に対する追加命令	…	77
17.2 命令セットのオペレーション	…	79
17.3 命令セット一覧表	…	101
18. 電気的特性	…	125
19. 特性曲線（参考値）	…	155
20. 外形図	…	156
21. 半田付け推奨条件	…	159

1. 端子機能

1.1 端子機能一覧

1.1.1 ポート機能

端子名称	入出力	機 能	兼用端子
P00-P07	入出力	ポート 0 ビット単位で入出力の指定可能 8 ビット入出力ポート	—
P10 ^注	入 力	ポート 1 7 ビット入力ポート	NMI
P11			INTP0
P12			INTP1
P13			INTP2
P14			INTP3/TI
P15			INTP4
P16			INTP5
P20	入出力	ポート 2 ビット単位で入出力の指定可能 6 ビット入出力ポート	PWM
P21			TO00
P22			TO01
P23			TO20
P24			TO21
P25			TO30
P30		ポート 3 ビット単位で入出力の指定可能 7 ビット入出力ポート	TxD0/SB0/SO0
P31			RxD0/SB1/SI0
P32			TxC/ $\overline{\text{SCK0}}$
P33			$\overline{\text{CTS0}}$
P34			TxD1/SO1
P35			RxD1/SI1
P36			$\overline{\text{CTS1/SCK1}}$
P40-P47		ポート 4 ビット単位で入出力の指定可能 8 ビット入出力ポート	PD0-PD7
P50		ポート 5 ビット単位で入出力の指定可能 3 ビット入出力ポート	$\overline{\text{DATASTB}}$
P51			$\overline{\text{ACK}}$
P52			BUSY
P60-P63	入 力	ポート 6 ビット単位で入出力の指定可能 4 ビット入力ポート	ANIO-ANI3
P70-P77	入出力	ポート 7 ビット単位で入出力の指定可能 8 ビット入出力ポート	RTP0-RTP7
P80		ポート 8 ビット単位で入出力の指定可能 2 ビット入出力ポート	DMARQ0
P81			DMARQ1

注 汎用ポートとしては使用不可（ノンマスカブル割り込み）

1.1.2 ポート以外の機能

(1) バス制御のための端子機能

端子名称	入出力	機 能	兼用端子
$\overline{\text{ASTB}}$	出 力	外部バスの外部バス・サイクルのアドレス・ストローブ信号出力	—
$\overline{\text{RD}}$		外部バスの外部メモリ・サイクルのデータ・リード・ストローブ信号出力	
$\overline{\text{WRL}}$		外部バスの外部メモリ・サイクルの下位バイト・データ・ライト・ストローブ信号出力	
$\overline{\text{WRH}}$		外部バスの外部メモリ・サイクルの上位バイト・データ・ライト・ストローブ信号出力	
READY	入 力	外部バスの外部バス・サイクルのレディ信号入力	
$\overline{\text{DEX}}$	出 力	外部バス・サイクルの上位バイト・データ・イネーブル信号出力	
$\overline{\text{RAS}}$		DRAM ロウ・アドレス・ラッチ・タイミング信号出力	
D8/ $\overline{\text{D16}}$	入 力	外部バスのデータ・バス幅選択信号入力	
$\overline{\text{BUSLOCK}}$	出 力	外部バスのバス・ロック信号出力	
$\overline{\text{POLL}}$	入 力	$\overline{\text{POLL}}$ 信号 (POLL 命令実行時にサンプリング) 入力	
HLDRQ		外部バスのホールド・リクエスト信号入力	
$\overline{\text{HLDACK}}$	出 力	外部バスのホールド・アクノリッジ信号出力	
$\overline{\text{REFRQ}}$		リフレッシュ・パルス信号出力	
AD0-AD15	3ステート 入出力	外部バスの外部バス・サイクルのアドレス/データ・マルチプレクス信号入出力	
A16-A23	3ステート 出 力	外部バスの外部バス・サイクルのアドレス信号出力	
$\overline{\text{IORD}}$	出 力	外部 I/O サイクルのデータ・リード・ストローブ信号出力	
$\overline{\text{IOWR}}$		外部 I/O サイクルのデータ・ライト・ストローブ信号出力	
DMA RQ0	入 力	DMA 要求信号入力 (チャンネル 0)	P80
DMA RQ1		DMA 要求信号入力 (チャンネル 1)	P81
$\overline{\text{DMAAK0}}$	出 力	DMA アクノリッジ信号出力 (チャンネル 0)	—
$\overline{\text{DMAAK1}}$		DMA アクノリッジ信号出力 (チャンネル 1)	
$\overline{\text{TCE0}}$		DMA 終了信号出力 (チャンネル 0)	
$\overline{\text{TCE1}}$		DMA 終了信号出力 (チャンネル 1)	

(2) それ以外の端子機能

端子名称	入出力	機 能	兼用端子
GND	—	GND 電位	—
V _{DD}		正電源供給	
AV _{SS}		A/D コンバータの GND 電位	
AV _{DD}		A/D コンバータのアナログ電源供給	
AV _{REF}	入 力	A/D コンバータの基準電圧入力	
RESET		システム・リセット信号入力	
X1		システム・クロック発生用クリスタル振動子/セラミック発振子接続端子。外部クロックを供給する場合は X1 に入力し、X2 はオープンにしてください。	
X2	—		
CLKOUT	出 力	内部システム・クロックφの出力	
WDTOUT		ウォッチドッグ・タイマのオーバーフロー信号出力	
NMI	入 力	ノンマスカブル割り込み要求入力 ^{注1}	P10
INTP0		外部割り込み要求入力 ^{注2}	P11
INTP1			P12
INTP2			P13
INTP3			P14/TI
INTP4			P15
INTP5			P16
TI		外部イベント・クロック入力	P14/INTP3
PWM	出 力	PWM 出力	P20
TO00, TO01, TO20, TO21, TO30		タイマ・ユニット出力	P21~P25
TxD0		UART 送信データ出力	P30/SB0/SO0
RxD0	入 力	UART 受信データ入力	P31/SB1/SIO
TxC	出 力	UART 送信クロック出力	P32/SCK0
CTS0	入 力	UART 送信許可信号入力	P33
CTS1			P36/SCK1
SB0	入出力	SBI 送受信データ入出力	P30/TxD0/SO0
SB1			P31/RxD0/SIO
SO0	出 力	CSI 送信データ出力	P30/TxD0/SB0
SO1			P34/TxD1
SIO	入 力	CSI 受信データ入力	P31/RxD0/SB1
SI1			P35/RxD1
SCK0	入出力	CSI シリアル・クロック入出力	P32/TxC
SCK1			P36/CTS1
PD0-PD7		パラレル・インタフェース データ入出力	P40-P47
DATAS _{TB}		パラレル・インタフェース データ・ストローブ信号	P50
ACK		パラレル・インタフェース アクノリッジ信号	P51
BUSY		パラレル・インタフェース ビジィ信号	P52
ANIO-ANI3	入 力	A/D コンバータへのアナログ入力信号	P60-P63
RTP0-RTP7	出 力	リアルタイム出力ポート	P70-P77

注 1. NMI 割り込みはマスクできないため、有効エッジ検出により必ず NMI 割り込みが起動されます (ポート 1 に対するリード動作時には、端子レベルが読み出されます)。

2. 各割り込みをマスクまたは禁止 (IE=0) することにより、汎用入力ポートとして使用することができます。

2. ブロック構成

2.1 バス・コントロール・ユニット (BCU)

BCUはメイン・バスの制御を行います。BCUではエクセキューション・ユニット (EXU) で得られた物理アドレスに基づいて、必要な内部/外部のバス・サイクルを起動します。

2.2 エクセキューション・ユニット (EXU)

EXUは、アドレス計算、算術論理計算、データ転送などをマイクロプログラム (オペコードのデコード結果に基づいて、マイクロシーケンサを制御するためのファームウェア) で制御します。

EXUの内部には512バイトのRAM (レジスタ・ファイル空間に対応) を内蔵しています。

2.3 割り込みコントローラ (INTC)

内蔵周辺ハードウェアおよび外部からのハードウェア割り込み要求を、ベクタ割り込み、レジスタ・バンク切り替えまたはマクロ・サービスのいずれかによって処理します。さらに、プログラマブルな4レベルの割り込み優先順位を制御可能であり、割り込み要因に対し多重処理制御を行うこともできます。

2.4 DMA コントローラ (DMAC)

DMACは汎用DMAコントローラで、メモリ空間16Mバイトをリニアに扱うことができます。動作モードにはメモリーメモリ転送モードのほか、インテリジェントDMA (リング・バッファ方式およびカウンタ制御方式) モード、ネクスト・アドレス指定モード、2チャンネル動作モードがあります。

2.5 UART/クロックト・シリアル・インタフェース (UART/CSI)

スタート/ストップ・ビットによりデータ同期をとる調歩同期式インタフェース (UART) とクロック同期式シリアル・インタフェース (CSI) をサポートしており、選択して使用可能です。

クロックト・シリアル・インタフェースは、さらにシリアル・バス・インタフェース・モード (SBI) と3線式シリアルI/Oモードを選択して使用できます。

2.6 パラレル・インタフェース・ユニット (PIU)

ストローブ信号同期で8ビット単位の入出力を行い、セントロニクス・インタフェースおよび汎用パラレル・データ通信機能をサポートしています。

2.7 A/D コンバータ・ユニット (8ビットA/D)

4本のアナログ入力を持つ8ビットA/Dコンバータで、A/D変換結果レジスタを4本備えています。

2.8 タイマ/カウンタ・ユニット (TCU)

タイマ/カウンタ・ユニットは16ビット・タイマ/カウンタを内蔵し、インターバル・タイマ、フリー・ランニング・カウンタ、イベント・カウンタとして使用できます。

2.9 PWM (Pulse Width Modulation) ユニット (PWM)

8ビット精度のPWM (パルス幅変調) 信号出力機能を備えています。

2.10 ウォッチドッグ・タイマ (WDT)

プログラムの暴走, システムの異常などを検出するための8ビットのウォッチドッグ・タイマを内蔵しています。ウォッチドッグ・タイマ割り込みの発生を外部に知らせるため $\overline{\text{WDTOOUT}}$ 端子を備えています。

2.11 ポート (PORT)

53本のポート端子を備え、ポート端子とコントロール端子の機能を選択して使用することができます。

2.12 リアルタイム出力ポート (RTOP)

タイマ0からの割り込みをトリガとしたリアルタイム出力ポートで、プログラマブルなインターバルで8ビット・バッファ・レジスタの内容を4ビット単位または8ビット単位で出力できます。

2.13 クロック・ジェネレータ (CG)

X1, X2 端子に接続されたクリスタル振動子/セラミック発振子の 1/2, 1/4, 1/8, 1/16 の周波数のクロックを発生し、CPU 動作クロックとして供給します。

2.14 ソフトウェア・インターバル・タイマ (SIT)

ソフトウェア・タイマ機能用または時計機能用のタイマとして16ビット・ソフトウェア・インターバル・タイマを内蔵しています。入力クロック (カウント・クロック) の選択, ソフトウェア・タイマ・カウンタ・コンペア・レジスタの設定により、インターバル割り込みを設定できます。

3. CPU 機能

V55PI は、V20、V30（ネイティブ・モード）および V25、V35 とソフトウェア・アップワード・コンパチブルな CPU を持っています。

3.1 特 徴

○V20、V30（ネイティブ・モード）および V25、V35 とソフトウェア・アップワード・コンパチブル（追加命令あり）

○最小インストラクション・サイクル：160 ns/12.5 MHz（外部 25 MHz 時）

125 ns/16 MHz（外部 32 MHz 時）

○アドレス空間：16 M バイト

基本メモリ（プログラム）空間	1 M バイト
拡張メモリ（データ）空間	16 M バイト

○レジスタ・ファイル空間（内蔵 RAM 上）：512 バイト/16 レジスタ・バンク

○I/O 空間：64 K バイト

○レジスタ構成（V20、V30 および V25、V35 との比較）

項 目		V20, V30	V25, V35	V55PI
拡張セグメント・レジスタ		な し	な し	DS2, DS3
レジスタ・バンク		な し	8 バンク (メモリ空間上)	16 バンク (レジスタ・ファイル空間上)
PSW	モード・フラグ	MD	な し	な し
	レジスタ・バンク用 フラグ	な し	RB0-RB2	RB0-RB3
	入出力命令トラップ 用フラグ	な し	$\overline{\text{IBRK}}$	$\overline{\text{IBRK}}$
	ユーザ・フラグ	な し	F0, F1	な し
特殊機能レジスタ領域		な し	240 バイト (FFFO0H-FFFEFH に メモリ・マッピング)	496 バイト (FFEO0H-FFFEFH に メモリ・マッピング)

○内部 16 ビット・アーキテクチャ、外部 16/8 ビット・データ・バス幅選択可能

○メモリを可変サイズ（最大 6 ブロック）で分割して自動ウェイト制御

- ・プログラマブル・ウェイト機能
- ・READY 端子によるウェイト機能

○リフレッシュ機能

- ・リフレッシュ・サイクル（RAS オンリー）を自動生成

○ $\overline{\text{RAS}}$ 端子機能

$\overline{\text{RAS}}$ 端子 → DRAM の RAS タイミング

$\overline{\text{RD}}$, $\overline{\text{WRH}}$, $\overline{\text{WRL}}$ 端子 → DRAM の CAS タイミング

$\overline{\text{ASTB}}$ 端子 → DRAM の ロウ/カラム・アドレスの切り替えタイミング

3.2 レジスタ

V55PIのCPUは、V20、V30（ネイティブ・モード）およびV25、V35とコンパチブルな汎用のレジスタ・セットを持っています。汎用のレジスタ・セットは、レジスタ・ファイル空間にマッピングされています。この汎用のレジスタ・セットは内蔵RAMと兼用になっており、内蔵RAM上に最大16のレジスタ・セットをバンク形式で持つことができます。

また、そのほかに内蔵周辺ハードウェアの制御用に種々の特殊機能レジスタを持っています。この特殊機能レジスタはメモリ空間のOFFEOOH-OFFFEFHにマッピングされています。

3.2.1 レジスタ・バンク

汎用レジスタ・セットは、レジスタ・ファイル空間（内蔵RAM上）にマッピングされています。汎用のレジスタ・セットはバンク形式になっており、1バンクあたり32バイト使用し16バンクまで設定可能です。

通常CPUは、レジスタ・バンク15を用いてプログラムを実行し、マスカブルなハードウェア割り込みやソフトウェア割り込み（BRKCS命令）によってほかのレジスタ・バンクへ自動的に切り替えることができます。割り込みによって切り替えられたレジスタ・バンクから元のレジスタ・バンクへ戻るには、割り込みからの復帰命令（RETRBI）によって行えます。

レジスタ・バンクの構成は、図3-1のようになっています。汎用のレジスタ・セットは各レジスタ・バンクの開始アドレスからのオフセットで（+08H）～（+1FH）の領域にマッピングされています。レジスタ・バンク中の先頭からのワード領域は、拡張セグメント・レジスタ（DS2）の領域となります。ベクタPC/DS3領域は、レジスタ・バンクが切り替わったときにPCへロードされる値、すなわち、割り込み処理ルーチンの先頭アドレスのオフセット値をセットするための領域です。この領域は拡張セグメント・レジスタ（DS3）の領域としても使用されます。PSW退避領域は、レジスタ・バンクが切り替わったときにPSWを退避するための領域です。PC退避領域は、レジスタ・バンクが切り替わったときにPCを退避するための領域です。

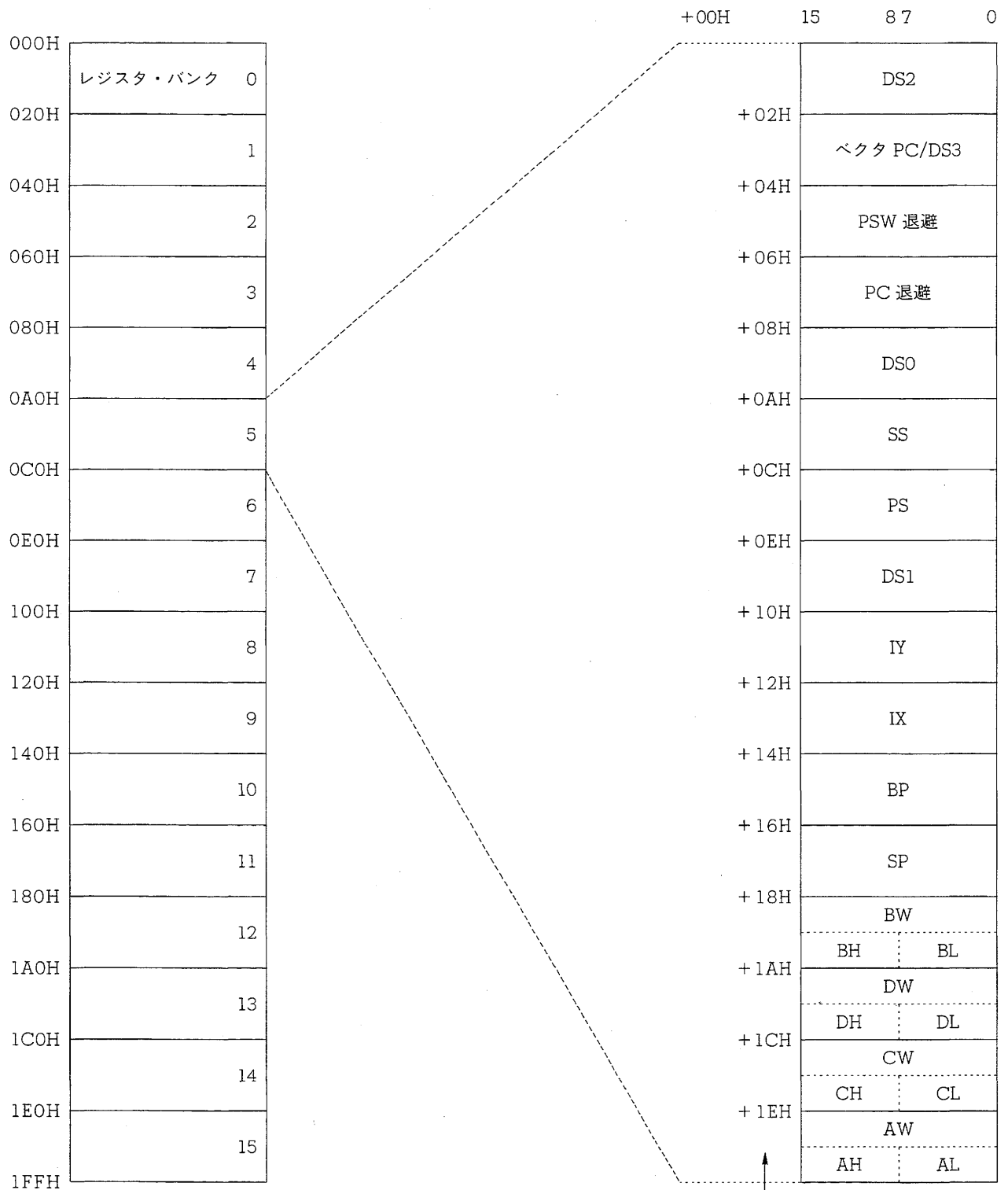
リセット後には、レジスタ・バンク15が自動的に選択されます。また、リセット後のセグメント・レジスタの初期化はレジスタ・バンク15のみ行います。

また、この汎用レジスタ・セットのマッピングされているレジスタ・ファイル空間は、メモリ操作命令に専用ブリフィクス命令（IRAM:）を付加してデータ・メモリとしてもアクセスできます。

その他16セットのレジスタ・バンクのうち、バンク0、バンク1はマクロ・サービス・チャンネル（マクロ・サービスのためのパラメータおよびワーク領域）が重複して割り付けられています。

図 3-1 レジスタ・バンクの構成

レジスタ・ファイル空間 (512 バイト)



(各レジスタ・バンクの開始アドレスからのオフセット)

3.2.2 汎用レジスタ (AW, BW, CW, DW)

汎用レジスタには4つの16ビット・レジスタがあります。これらのレジスタは、16ビット・レジスタとしてのアクセスはもちろん各レジスタを上位、下位の8ビットに分けて、8ビット・レジスタ (AH, AL, BH, BL, CH, CL, DH, DL) としてもアクセス可能です。

これらのレジスタは転送命令、算術命令、論理演算命令などの広範な命令に対して、8ビット・レジスタまたは16ビット・レジスタとして利用されます。

また、各レジスタは、次に示すような特定の命令処理にデフォルト・レジスタとして使用されます。

AW：ワード乗算/除算，ワード入力/出力，データ変換

AL：バイト乗算/除算，バイト入力/出力，BCD ローテート，データ変換

AH：バイト乗算/除算

BW：データ変換

CW：ループ制御ブランチ，リピート・プリフィクス

CL：シフト命令，ローテート命令，BCD 演算

DW：ワード乗算/除算，間接アドレッシング入力/出力

これらのレジスタは、レジスタ・ファイル空間 (内蔵 RAM 上) にマッピングされています。そのアドレスは、(レジスタ・バンクの番号×32) にレジスタごとのオフセットを加えた値となります。

表 3-1 汎用レジスタのオフセット

レジスタ	オフセット	レジスタ	オフセット
AW	1EH	AL	1EH
		AH	1FH
BW	18H	BL	18H
		BH	19H
CW	1CH	CL	1CH
		CH	1DH
DW	1AH	DL	1AH
		DH	1BH

3.2.3 ポインタ (SP, BP) とインデックス・レジスタ (IX, IY)

ベースト・アドレッシング (BP)，インデクスト・アドレッシング (IX, IY)，ベースト・インデクスト・アドレッシング (BP, IX, IY) などによるメモリ・アクセス時にベース・ポインタまたはインデックス・レジスタとして使用される16ビットのレジスタです。また、SPはスタック操作時のポインタとして使用されます。さらに、汎用レジスタと同様、転送、算術演算などの命令に対して使用されますが、この場合8ビット・レジスタとしては使用できません。さらに、各レジスタは、次に示すような特定の処理において、固定的なアドレス・ポインタとして使用されず。

SP：スタック操作

IX：ブロック転送，BCD 演算のソース側アドレス指定

IY：ブロック転送，BCD 演算のデスティネーション側アドレス指定

これらのレジスタは、レジスタ・ファイル空間（内蔵 RAM 上）にマッピングされています。そのアドレスは、（レジスタ・バンクの番号×32）にレジスタごとのオフセットを加えた値となります。

表 3-2 ポインタとインデクス・レジスタのオフセット

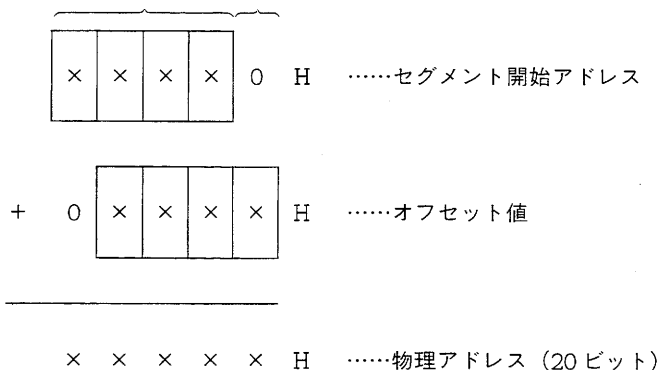
レジスタ	オフセット
SP	16H
BP	14H
IX	12H
IY	10H

3.2.4 セグメント・レジスタ (PS, SS, DS0, DS1)

CPU は、1 M バイトの基本メモリ空間を 64 K バイト単位の論理セグメントに分割して管理します。CPU は、各セグメントの開始アドレスをセグメント・レジスタで指示し、開始アドレスからの相対アドレスをオフセットとし、別のレジスタまたは実効アドレスで指示します。

物理アドレスは次に示すように作成されます。

セグメント・レジスタ 4 ビット固定



セグメント・レジスタには、PS (Program Segment), SS (Stack Segment), DS0 (Data Segment0), DS1 (Data Segment1) の 4 種があります。それぞれのセグメントは、次の場合に使用されます。

PS : プログラム・フェッチ

SS : スタック操作命令, BP をベース・レジスタとしたアドレッシング

DS0 : 一般変数のアクセス, ブロック転送命令などのソース・ブロック・データのアクセス

DS1 : ブロック転送命令などのデスティネーション・ブロック・データのアクセス

ただし、一般変数のアクセスは、セグメント・オーバーライド・プリフィクス命令を用いることにより、DS0 からほかのセグメント・レジスタに変更して使用することが可能です。また、BP をベース・レジスタとしたアドレッシングにおいても、同様に SS の代わりにほかのセグメント・レジスタを使用することが可能です。

例

```
MOV AW, 1000H
```

```
MOV DS1 : AW
```

```
MOV BL, DS1, BYTE PTR [IX] ; DS1 : IX からのバイト・データ・リード
```

リセット時には、レジスタ・バンク 15 の PS は FFFFH に、SS、DS0、DS1 は 0000H に初期化されます。

これらのレジスタは、レジスタ・ファイル空間（内蔵 RAM 上）にマッピングされています。そのアドレスは、（レジスタ・バンクの番号×32）にレジスタごとのオフセットを加えた値となります。

表 3-3 セグメント・レジスタのオフセット

レジスタ	オフセット
DS0	08H
DS1	0EH
SS	0AH
PS	0CH

3.2.5 拡張セグメント・レジスタ（DS2、DS3）

V55PI には、1 M バイトの基本メモリ空間をアクセスするためのセグメント・レジスタのほかに、16 M バイトの拡張メモリ空間を 64 K バイト単位のセグメントに分割し、各セグメントの開始アドレスを指定する拡張セグメント・レジスタが設けられています。拡張セグメント・レジスタには、DS2（Data Segment2）、DS3（Data Segment3）があり、以下の場合に使用されます。

DS2：拡張メモリ空間の一般変数のアクセス（セグメント・オーバーライド・プリフィクス命令による）、拡張メモリ空間ブロック転送命令などのソース・ブロック・データのアクセス

DS3：拡張メモリ空間の一般変数のアクセス（セグメント・オーバーライド・プリフィクス命令による）、拡張メモリ空間ブロック転送命令などのデスティネーション・ブロック・データのアクセス

拡張セグメント・レジスタを使用したデータ・アクセスは、セグメント・オーバーライド・プリフィクスを用いることにより行います。また、特にブロック転送命令においては、DS2 と DS3 を二重にセグメント・オーバーライド・プリフィクスで指定することができます（この場合、DS2 と DS3 の指定順序は任意です）。

例

REP

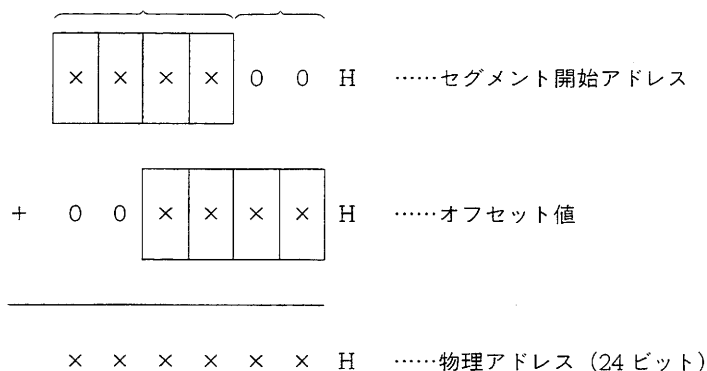
DS2 :

DS3 : MOV BKW ; DS2 : IX から DS3 : IY へのワード・メモリ・ブロック転送

各セグメントの開始アドレスを拡張セグメント・レジスタで指示し、開始アドレスからの相対アドレスをオフセットとし、別のレジスタまたは実効アドレスで指示することによりアクセスします。

物理アドレスは次に示すように作成されます。

拡張セグメント・レジスタ 8ビット固定



リセット時には、レジスタ・バンク 15 の DS2, DS3 は 0000H に初期化されます。

これらのレジスタは、レジスタ・ファイル空間（内蔵 RAM 上）にマッピングされています。そのアドレスは、（レジスタ・バンクの番号×32）にレジスタごとのオフセットを加えた値となります。

表 3-4 拡張セグメント・レジスタのオフセット

レジスタ	オフセット
DS2	00H
DS3	02H（ベクタ PC と兼用）

3.2.6 特殊機能レジスタ (SFR)

V55PI には、内蔵周辺ハードウェアの制御機能を持ったレジスタ群があります。

レジスタは周辺ハードウェアごとに制御内容によっていくつか用意されており、レジスタ内の各ビットによって具体的な動作が設定できます。これらのレジスタ群はメモリ空間上にマッピングされており、通常のメモリと同様の方法で読み書きを行います（3.5.3 特殊機能レジスタ領域 を参照）。

例

```
MOV AW, OFFE0H
```

```
MOV DS1, AW
```

```
MOV BL, DS1:BYTE PTR [1EFH] ; OFFE0H:1EFH (PRC レジスタ) の読み出し
```

また、特に特殊機能レジスタにのみ有効な命令として BTCLR 命令と BTCLRL 命令があります。このうち BTCLRL 命令は V25, V35 に対して追加された命令です。

BTCLR 命令は、特殊機能レジスタ領域の上位 240 バイト (OFFF00H-OFFFEFH) 内のレジスタに対して有効であり、BTCLRL 命令は下位 256 バイト (OFFE00H-OFFFEFH) 内のレジスタに対して有効な命令です。

3.3 プログラム・カウンタ (PC)

CPU が実行しようとしているプログラム・メモリ・アドレスのオフセット値を保持する 16 ビット・バイナリ・カウンタです。

PC は、命令キューから命令コードをフェッチするごとにインクリメントされます。また、ブランチ、コール、リターン、ブレーク命令実行時などには、新たなロケーションのアドレス値がロードされます。

リセット時には 0000H が PC にロードされます。なお、PS はリセット時に FFFFH に初期化されますのでリセット後、CPU は物理アドレス 0FFFF0H 番地から実行を開始します。

3.4 プログラム・ステータス・ワード (PSW)

PSW は、6 種類のステータス・フラグと 5 種類のコントロール・フラグで構成されます。

○ステータス・フラグ

V (Overflow)	… オーバフローの検出フラグ
S (Sign)	… サイン・ビットの検出フラグ
Z (Zero)	… オール・ゼロの検出フラグ
AC (Auxiliary Carry)	… 4 ビット単位のキャリー、ボローの検出フラグ
P (Parity)	… パリティの検出フラグ
CY (Carry)	… キャリー、ボローの検出フラグ

○コントロール・フラグ

RB0-RB3 (Register Bank0-3)	… レジスタ・バンクの指示フラグ
DIR (Direction)	… ブロック転送/入出力系命令の方向制御フラグ
IE (Interrupt Enable)	… 割り込み許可状態の制御フラグ
BRK (Break)	… シングルステップ割り込みの制御フラグ
$\overline{\text{IBRK}}$ (I/O Break)	… 入出力命令トラップの制御フラグ

ステータス・フラグは各種命令実行の結果（データ値）に従って自動的にセット（1）、リセット（0）されます。さらに CY フラグは、命令によって直接セット、リセット、反転が可能です。

コントロール・フラグは、命令によってセット、リセットされ、CPU の動作を制御します。IE と BRK フラグは、割り込み処理が起動されると必ずリセットされます。

PSW の内容は、PUSH/POP 命令によってスタックに退避させたり、復帰させたりすることができます。ただし、POP PSW 命令で復帰する際には、ビット 12-15 (RB0-RB3) は PSW に戻りません。

また、PSW の下位 8 ビットを MOV 命令によって AH レジスタに退避させたり、復帰させたりすることができます。

PSW のビット構成を次に示します。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RB3	RB2	RB1	RB0	Y	DIR	IE	BRK	S	Z	0	AC	0	P	$\overline{\text{IBRK}}$	CY

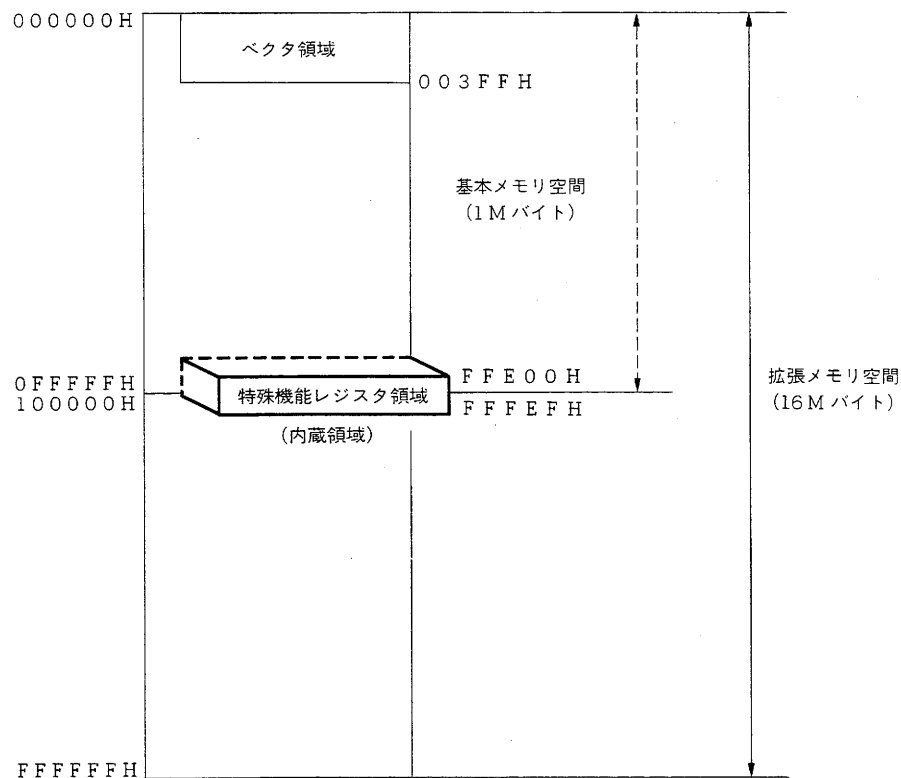
3.5 メモリ空間

V55PI は、16 M バイトのメモリ空間を持っています。このうち下位 1 M バイト (000000H-0FFFFFFH) を、基本メモリ空間として、また基本メモリ空間を含む 16 M バイト (000000H-FFFFFFH) を拡張メモリ空間としてアクセスできます。基本メモリ空間は、V25, V35 と同様にセグメント・レジスタ (PS, SS, DS0, DS1) を使用してアクセスすることができる空間です。拡張メモリ空間は拡張セグメント・レジスタ (DS2, DS3) を使用してアクセスすることができる空間で、最下位の 1 M バイトには基本メモリ空間がマッピングされています。物理アドレスについては、**3.2.4 セグメント・レジスタ (PS, SS, DS0, DS1)**、**3.2.5 拡張セグメント・レジスタ (DS2, DS3)** を参照してください。

0FFE00H-0FFFEFH の 496 バイト空間内に内蔵周辺ハードウェアのモード・レジスタ、制御レジスタなどの機能を割り付けられたレジスタ群がマッピングされており、メモリ・アクセスによって操作します。

また、これらとは独立して、512 バイトのレジスタ・ファイル空間 (内蔵 RAM 上) があります。レジスタ・ファイル空間は V25, V35 と同様にレジスタ操作命令を使用してアクセス可能なほか、メモリ操作命令に専用のプリフィクス命令 (IRAM:) を付加してデータ・メモリとしてもアクセスすることができます。

図 3-2 メモリ空間



3.5.1 基本メモリ空間

メモリ空間には 1 M バイトの基本メモリ空間と 16 M バイトの拡張メモリ空間があります。拡張メモリ空間の下位 1 M バイト (000000H-0FFFFFFH) に基本メモリ空間がマッピングされています。

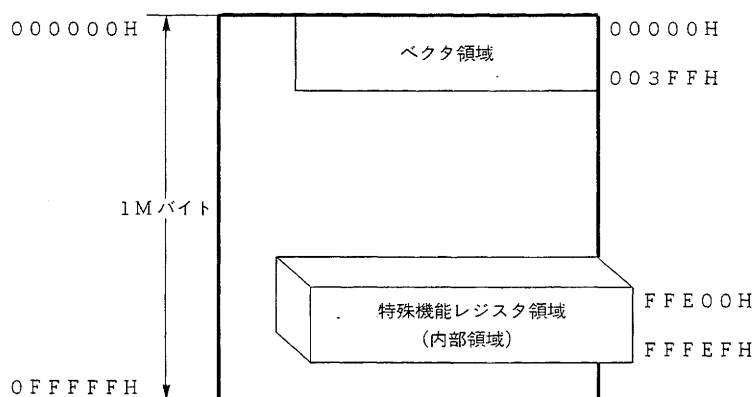
図 3-3 に 1 M バイトの基本メモリ空間を示します。

ソフトウェアによる基本メモリ空間へのアクセス条件は V20, V30 および V25, V35 と同様です。

基本メモリ空間の物理アドレスは、セグメント・レジスタ PS, SS, DS0, DS1 で示されるセグメント開始アドレスと、ほかのレジスタまたはイミディエイト・データによって示されるセグメント開始位置からのオフセット値によって指定されます。

また、基本メモリ空間内には、ベクタ割り込み用のベクタ領域と特殊機能レジスタ領域がマッピングされています。特殊機能レジスタがマッピングされている領域は、外部メモリはデータ・アクセスできません。

図 3-3 基本メモリ空間



なお、OFFF0H-OFFFFH はシステム・ブート用プログラム領域となっており、リセット解除後 PS は OFFFH, PC は 0H となるため、OFFF0H 番地からプログラム実行を開始します。

3.5.2 拡張メモリ空間

図 3-4 に 16 M バイトの拡張メモリ空間を示します。

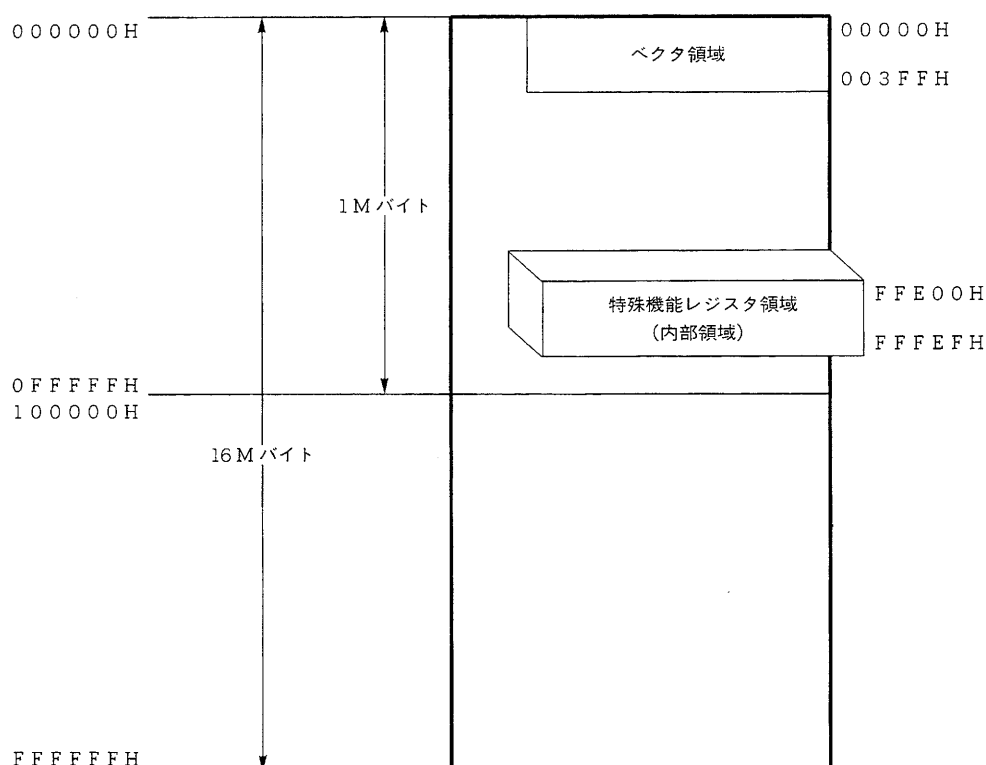
ソフトウェアによる拡張メモリ空間へのアクセスは、データ・アクセスのみ可能です。

ただし、最下位 1 M バイト (000000H-0FFFFFFH) は基本メモリ空間がマッピングされており、セグメント・レジスタ PS, SS, DS0, DS1 を使用してアクセスすることができます。

拡張メモリ空間では、拡張セグメント・レジスタ DS2, DS3 を用いてデータ・アクセスができます。DS2, DS3 は拡張セグメント・オーバライド・プリフィクス命令として、メモリ操作命令に付加して指定できます。

拡張メモリ空間の物理アドレスは、拡張セグメント・レジスタで示されるセグメントの開始アドレスとほかのレジスタまたはイミディエイト・データによって示されるセグメント開始位置からのオフセット値によって指定されます。生成されたアドレスが最下位 1 M バイト (000000H-0FFFFFFH) を指す場合は、基本メモリ空間をアクセスします。

図 3-4 拡張メモリ空間



3.5.3 特殊機能レジスタ領域

OFFE00H-OFFFE FH の 496 バイト空間内に内蔵周辺ハードウェアの動作モード指定、状態モニタリングなどの機能を割り付けたレジスタ群がマッピングされています。

これらの領域からはプログラム・フェッチを行うことができません。

特殊機能レジスタの操作はメモリ操作命令によるアクセスによって行います。

特殊機能レジスタ領域をアクセスした場合、 $\overline{\text{RD}}$ 、 $\overline{\text{WRH}}$ 、 $\overline{\text{WRL}}$ 、 $\overline{\text{IORD}}$ 、 $\overline{\text{IOWR}}$ などの制御信号はアクティブになりません。

表 3-5 に特殊機能レジスタの一覧を示します。表中の項目の意味は次のとおりです。

略号……………特殊機能レジスタの名称を記号で表したものです。メモリ操作命令のオペランド記述形式（シンボル名）に相当します。

R/W …………… その特殊機能レジスタが、読み出し/書き込み可能かどうかを示します。

R/W : 読み出し (Read) / 書き込み (Write) 可能

R : 読み出し (Read) のみ可能

W : 書き込み (Write) のみ可能

操作方法……………各レジスタが、1 ビット操作、8 ビット操作、16 ビット操作、32 ビット操作のうち可能なものを示します。

RESET 時 …… $\overline{\text{RESET}}$ 入力時の各レジスタの状態を示します。

注意 記載されていないアドレスの部分は予約領域ですので、ユーザ・プログラムではアクセスしないでください。

表 3-5 特殊機能レジスタ一覧 (1/7)

アドレス	特殊機能レジスタ名称	略 号		R/W	操作可能ビット単位				リセット時
					1ビット	8ビット	16ビット	32ビット	
OFFE00H	A/D コンバージョン・リザルト・レジスタ 0	ADCR0		R		○			不定
OFFE02H	A/D コンバージョン・リザルト・レジスタ 1	ADCR1		R		○			不定
OFFE04H	A/D コンバージョン・リザルト・レジスタ 2	ADCR2		R		○			不定
OFFE06H	A/D コンバージョン・リザルト・レジスタ 3	ADCR3		R		○			不定
OFFE10H	パラレル・インタフェース・バッファ	PAB		R/W ^{注1}		○			不定
OFFE18H	パラレル・インタフェース・コントロール・レジスタ 0	PAC0		R/W	○	○			90H
OFFE19H	パラレル・インタフェース・コントロール・レジスタ 1	PAC1		R/W	○	○			03H
OFFE1AH	パラレル・インタフェース・ステータス・レジスタ	PAS		R/W ^{注2}		○			40H
OFFE1CH	パラレル・インタフェース・アクノリッジ・インターバル・レジスタ 1	PAI1		W		○			不定
OFFE1DH	パラレル・インタフェース・アクノリッジ・インターバル・レジスタ 2	PAI2		W		○			不定
OFFE20H	A/D コンバータ・モード・レジスタ	ADM		R/W	○	○			00H
OFFEC0H	割り込みマスク・フラグ・レジスタ 0 (下位)	MK0	MK0L	R/W	○	○	○		FFH
OFFEC1H	割り込みマスク・フラグ・レジスタ 0 (上位)		MK0H	R/W	○	○			FFH
OFFEC2H	割り込みマスク・フラグ・レジスタ 1 (下位)	MK1	MK1L	R/W	○	○	○		FFH
OFFEC3H	割り込みマスク・フラグ・レジスタ 1 (上位)		MK1H	R/W	○	○			FFH
OFFEC4H	インサースビス・プライオリティ・レジスタ	ISPR		R	○	○			00H
OFFEC5H	割り込みモード・コントロール・レジスタ	IMC		R/W		○			80H
OFFEC9H	割り込み要求制御レジスタ 09	IC09		R/W	○	○			43H
OFFECAH	割り込み要求制御レジスタ 10	IC10		R/W	○	○			43H
OFFECBH	割り込み要求制御レジスタ 11	IC11		R/W	○	○			43H
OFFECCH	割り込み要求制御レジスタ 12	IC12		R/W	○	○			43H
OFFECDH	割り込み要求制御レジスタ 13	IC13		R/W	○	○			43H

注 1. 入力/出力モードにより異なります。

2. 一部のビットが R、他のビットは R/W 可能です。

表 3-5 特殊機能レジスタ一覧 (2/7)

アドレス	特殊機能レジスタ名称	略 号	R/W	操作可能ビット単位				リセット時
				1ビット	8ビット	16ビット	32ビット	
OFFECEH	割り込み要求制御レジスタ 14	IC14	R/W	○	○			43H
OFFED0H	割り込み要求制御レジスタ 16	IC16	R/W	○	○			43H
OFFED1H	割り込み要求制御レジスタ 17	IC17	R/W	○	○			43H
OFFED2H	割り込み要求制御レジスタ 18	IC18	R/W	○	○			43H
OFFED3H	割り込み要求制御レジスタ 19	IC19	R/W	○	○			43H
OFFED4H	割り込み要求制御レジスタ 20	IC20	R/W	○	○			43H
OFFED5H	割り込み要求制御レジスタ 21	IC21	R/W	○	○			43H
OFFED6H	割り込み要求制御レジスタ 22	IC22	R/W	○	○			43H
OFFED7H	割り込み要求制御レジスタ 23	IC23	R/W	○	○			43H
OFFED8H	割り込み要求制御レジスタ 24	IC24	R/W	○	○			43H
OFFED9H	割り込み要求制御レジスタ 25	IC25	R/W	○	○			43H
OFFEDA H	割り込み要求制御レジスタ 26	IC26	R/W	○	○			43H
OFFEDBH	割り込み要求制御レジスタ 27	IC27	R/W	○	○			43H
OFFEDCH	割り込み要求制御レジスタ 28	IC28	R/W	○	○			43H
OFFEDDH	割り込み要求制御レジスタ 29	IC29	R/W	○	○			43H
OFFEDEH	割り込み要求制御レジスタ 30	IC30	R/W	○	○			43H
OFFEDFH	割り込み要求制御レジスタ 31	IC31	R/W	○	○			43H
OFFEE0H	割り込み要求制御レジスタ 32	IC32	R/W	○	○			43H
OFFEE4H	割り込み要求制御レジスタ 36	IC36	R/W	○	○			43H
OFFEE5H	割り込み要求制御レジスタ 37	IC37	R/W	○	○			43H
OFFF00H	ポート 0	P0	R/W	○	○			不定
OFFF01H	ポート 1	P1	R	○	○			不定
OFFF02H	ポート 2	P2	R/W	○	○			不定
OFFF03H	ポート 3	P3	R/W	○	○			不定

保守/廃止

表 3-3 特殊機能レジスタ一覧 (3/7)

アドレス	特殊機能レジスタ名称	略 号	R/W	操作可能ビット単位				リセット時
				1 ビット	8 ビット	16 ビット	32 ビット	
0FFF04H	ポート 4	P4	R/W	○	○			不定
0FFF05H	ポート 5	P5	R/W	○	○			不定
0FFF06H	ポート 6	P6	R	○	○			不定
0FFF07H	ポート 7	P7	R/W	○	○			不定
0FFF08H	ポート 8	P8	R/W	○	○			不定
0FFF0CH	ポート・リード・コントロール・レジスタ	PRDC	R/W	○	○			00H
0FFF0EH	リアルタイム出力ポート	RTP	R/W	○	○			不定
0FFF10H	ポート 0 モード・レジスタ	PM0	R/W	○	○			FFH
0FFF12H	ポート 2 モード・レジスタ	PM2	R/W	○	○			FFH
0FFF13H	ポート 3 モード・レジスタ	PM3	R/W	○	○			FFH
0FFF14H	ポート 4 モード・レジスタ	PM4	R/W	○	○			FFH
0FFF15H	ポート 5 モード・レジスタ	PM5	R/W	○	○			FFH
0FFF17H	ポート 7 モード・レジスタ	PM7	R/W	○	○			FFH
0FFF18H	ポート 8 モード・レジスタ	PM8	R/W	○	○			FFH
0FFF22H	ポート 2 モード・コントロール・レジスタ	PMC2	R/W	○	○			00H
0FFF23H	ポート 3 モード・コントロール・レジスタ	PMC3	R/W	○	○			00H
0FFF24H	ポート 4 モード・コントロール・レジスタ	PMC4	R/W	○	○			00H
0FFF25H	ポート 5 モード・コントロール・レジスタ	PMC5	R/W	○	○			00H
0FFF27H	ポート 7 モード・コントロール・レジスタ	PMC7	R/W	○	○			00H
0FFF28H	ポート 8 モード・コントロール・レジスタ	PMC8	R/W	○	○			00H
0FFF2CH	リアルタイム出力ポート・コントロール・レジスタ	RTPC	R/W	○	○			40H
0FFF2DH	リアルタイム出力ポート・ディレイ指定レジスタ	RTPD	R/W	○	○			不定
0FFF2EH	ポート 7 バッファ (下位)	P7L	R/W	○	○			不定
0FFF2FH	ポート 7 バッファ (上位)	P7H	R/W	○	○			不定

表 3-5 特殊機能レジスタ一覧 (4/7)

アドレス	特殊機能レジスタ名称	略 号		R/W	操作可能ビット単位				リセット時
					1ビット	8ビット	16ビット	32ビット	
0FFF30H	タイマ・コントロール・レジスタ 0	TMC0		R/W	○	○	○		00H
0FFF31H	タイマ・コントロール・レジスタ 1	TMC1		R/W	○	○			00H
0FFF32H	タイマ出力制御レジスタ 0	TOC0		R/W	○	○	○		00H
0FFF33H	タイマ出力制御レジスタ 1	TOC1		R/W	○	○			00H
0FFF34H	外部割り込みモード・レジスタ 0	INTM	INTM0	R/W	○	○	○		00H
0FFF35H	外部割り込みモード・レジスタ 1		INTM1	R/W	○	○			00H
0FFF40H	タイマ・レジスタ 0	TM0		R/W			○		00H
0FFF42H	タイマ・レジスタ 1	TM1		R/W			○		00H
0FFF44H	タイマ・レジスタ 2	TM2		R/W			○		00H
0FFF46H	タイマ・レジスタ 3	TM3		R/W			○		00H
0FFF48H	タイマ・キャプチャ・レジスタ 00	CT00		R/W			○		不定
0FFF4AH	タイマ・キャプチャ・レジスタ 01	CT01		R/W			○		不定
0FFF4CH	タイマ・コンペア・レジスタ 00	CM00		R/W			○		不定
0FFF4EH	タイマ・コンペア・レジスタ 01	CM01		R/W			○		不定
0FFF50H	タイマ・キャプチャ・レジスタ 10	CT10		R/W			○		不定
0FFF52H	タイマ・コンペア・レジスタ 10	CM10		R/W			○		不定
0FFF54H	タイマ・コンペア・レジスタ 11	CM11		R/W			○		不定
0FFF58H	タイマ・コンペア・レジスタ 20	CM20		R/W			○		不定
0FFF5AH	タイマ・コンペア・レジスタ 21	CM21		R/W			○		不定
0FFF5CH	タイマ・コンペア・レジスタ 22	CM22		R/W			○		不定
0FFF5EH	タイマ・コンペア・レジスタ 23	CM23		R/W			○		不定
0FFF60H	ウォッチドッグ・タイマ・モード・レジスタ	WDM		R/W ^注	○	○			00H
0FFF64H	タイマ・コンペア・レジスタ 30	CM30		R/W			○		不定

注 WDM に対する書き込みは、RSTWDT 命令によってのみ可能です (8 ビット単位のみ)。

表 3 特殊機能レジスタ一覧 (5/7)

アドレス	特殊機能レジスタ名称	略 号		R/W	操作可能ビット単位				リセット時
					1 ビット	8 ビット	16 ビット	32 ビット	
0FFF66H	タイマ・コンペア・レジスタ 31	CM31		R/W			○		不定
0FFF6CH	PWM レジスタ	PWM		R/W	○	○			00H
0FFF6DH	PWM コントロール・レジスタ	PWMC		R/W	○	○			00H
0FFF70H	送信ポー・レート・ジェネレータ・レジスタ 0	TxBRG0		R/W	○	○			不定
0FFF71H	受信ポー・レート・ジェネレータ・レジスタ 0	RxBRG0		R/W	○	○			不定
0FFF72H	プリスケアラ・レジスタ 0	PRS0		R/W	○	○			00H
0FFF73H	UART モード・レジスタ 0/クロック・シリアル・インタフェース・モード・レジスタ 0	UARTM0/CSIM0		R/W	(○)	○			00H
0FFF74H	UART ステータス・レジスタ 0/SBI コントロール・レジスタ 0	UARTS0/SBIC0	注1/注2	(○)	○				00H
0FFF75H	UART 送信バッファ 0/クロック・シリアル I/O シフト・レジスタ 0	TxB0/SIO0		W		○			不定
0FFF76H	受信バッファ 0	RxB0		R		○			不定
0FFF78H	送信ポー・レート・ジェネレータ・レジスタ 1	TxBRG1		R/W	○	○			不定
0FFF79H	受信ポー・レート・ジェネレータ・レジスタ 1	RxBRG1		R/W	○	○			不定
0FFF7AH	プリスケアラ・レジスタ 1	PRS1		R/W	○	○			00H
0FFF7BH	UART モード・レジスタ 1/クロック・シリアル・インタフェース・モード・レジスタ 1	UARTM1/CSIM1		R/W	(○)	○			00H
0FFF7CH	UART ステータス・レジスタ 1	UARTS1	注1/注2	(○)	○				00H
0FFF7DH	UART 送信バッファ 1/クロック・シリアル I/O シフト・レジスタ 1	TxB1/SIO1		W		○			不定
0FFF7EH	受信バッファ 1	RxB1		R		○			不定
0FFF7FH	プロトコル選択レジスタ	ASP		R/W	○	○			00H
0FFF80H	ターミナル・カウンタ 0 (下位)	TC0	TCOL	R/W			○	○	不定
0FFF82H	ターミナル・カウンタ 0 (上位)		TCOH	R/W		○	○		不定

注 1. 一部のビットは R, 他のビットは R/W

2. ビット単位に R または W

備考 () : モードによって異なります。

表 3-5 特殊機能レジスタ一覧 (6/7)

アドレス	特殊機能レジスタ名称	略 号		R/W	操作可能ビット単位				リセット時
					1 ビット	8 ビット	16 ビット	32 ビット	
0FFF84H	ターミナル・カウンタ・モジュロ・レジスタ 0 (下位)	TCM0	TCM0L	R/W			○	○	不定
0FFF86H	ターミナル・カウンタ・モジュロ・レジスタ 0 (上位)		TCM0H	R/W		○	○		不定
0FFF88H	DMA アップ・ダウン・カウンタ 0 (下位)	UDC0	UDC0L	R/W			○	○	不定
0FFF8AH	DMA アップ・ダウン・カウンタ 0 (上位)		UDC0H	R/W		○	○		不定
0FFF8CH	DMA コンペア・レジスタ 0 (下位)	DCM0	DCM0L	R/W			○	○	不定
0FFF8EH	DMA コンペア・レジスタ 0 (上位)		DCM0H	R/W		○	○		不定
0FFF90H	DMA メモリ・アドレス・レジスタ 0 (下位)	MAR0	MAR0L	R/W			○	○	不定
0FFF92H	DMA メモリ・アドレス・レジスタ 0 (上位)		MAR0H	R/W		○	○		不定
0FFF94H	DMA リード・ライト・ポインタ 0 (下位)	DPTC0	DPTCOL	R/W			○	○	不定
0FFF96H	DMA リード・ライト・ポインタ 0 (上位)		DPTCOH	R/W		○	○		不定
0FFF9CH	DMA モード・レジスタ 0	DMAM0		R/W	○	○			EOH
0FFF9DH	DMA コントロール・レジスタ 0	DMAC0		R/W	○	○			00H
0FFF9EH	DMA ステータス・レジスタ	DMAS		R/W	○注	○			00H
0FFFA0H	ターミナル・カウンタ 1 (下位)	TC1	TC1L	R/W			○	○	不定
0FFFA2H	ターミナル・カウンタ 1 (上位)		TC1H	R/W		○	○		不定
0FFFA4H	ターミナル・カウンタ・モジュロ・レジスタ 1 (下位)	TCM1	TCM1L	R/W			○	○	不定
0FFFA6H	ターミナル・カウンタ・モジュロ・レジスタ 1 (上位)		TCM1H	R/W		○	○		不定
0FFFA8H	DMA アップ・ダウン・カウンタ 1 (下位)	UDC1	UDC1L	R/W			○	○	不定
0FFFAAH	DMA アップ・ダウン・カウンタ 1 (上位)		UDC1H	R/W		○	○		不定
0FFFACH	DMA コンペア・レジスタ 1 (下位)	DCM1	DCM1L	R/W			○	○	不定
0FFFAEH	DMA コンペア・レジスタ 1 (上位)		DCM1H	R/W		○	○		不定
0FFFB0H	DMA メモリ・アドレス・レジスタ 1 (下位)	MAR1	MAR1L	R/W			○	○	不定
0FFFB2H	DMA メモリ・アドレス・レジスタ 1 (上位)		MAR1H	R/W		○	○		不定

注 ビット・クリアは可能です。

表 3-1 特殊機能レジスタ一覧 (7/7)

アドレス	特殊機能レジスタ名称	略 号		R/W	操作可能ビット単位				リセット時
					1ビット	8ビット	16ビット	32ビット	
OFFFB4H	DMA リード・ライト・ポインタ 1 (下位)	DPTC1	DPTC1L	R/W			○	○	不定
OFFFB6H	DMA リード・ライト・ポインタ 1 (上位)		DPTC1H	R/W		○	○		不定
OFFFBCH	DMA モード・レジスタ 1	DMAM1		R/W	○	○			EOH
OFFFBDH	DMA コントロール・レジスタ 1	DMAC1		R/W	○	○			00H
OFFFE0H	ソフトウェア・タイマ・カウンタ	STC		R			○		不定
OFFFE2H	ソフトウェア・タイマ・カウンタ・コンペア・レジスタ	STMC		R/W			○		FFFFH
OFFFE8H	プログラマブル・ウェイト・コントロール・レジスタ 0	PWC0		R/W	○	○			EAH
OFFFE9H	プログラマブル・ウェイト・コントロール・レジスタ 1	PWC1		R/W	○	○			AAH
OFFFEAH	メモリ・ブロック・コントロール・レジスタ	MBC		R/W	○	○			FCH
OFFFECH	リフレッシュ・モード・レジスタ	RFM		R/W	○	○			77H
OFFFEEH	スタンバイ・コントロール・レジスタ	STBC		R/W ^{注1}	○	○			不定 ^{注2}
OFFFEFH	プロセッサ・コントロール・レジスタ	PRC		R/W	○	○			EEH

注 1. スタンバイ・コントロール・レジスタの SBF ビットは命令によってセット(1)することはできますが、クリア(0)することはできません (書き込みは“1”だけ可)。

2. パワー・オン・リセット時: 00H, その他: 変化せず

3.5.4 ベクタ・テーブル領域

メモリ空間の 00000H-003FFH の 1 K バイトの領域は、割り込み要求、ブ레이크命令などによる該当割り込みルーチン開始アドレスを 256 ベクタ分 (1ベクタ当り4バイトを使用) 保有します。

V55PI 専用の内蔵周辺およびソフトウェア割り込みのベクタとして、初期状態ではベクタ 0-47 が予約されています。また、ベクタ 8-ベクタ 47 は、割り込みモード・コントロール・レジスタ (IMC) の V0, V1 ビットで NMI を除くハードウェア割り込みのベクタ・アドレスを変更可能です。

ベクタ 0	(00000H)	: ディバイド・エラー
ベクタ 1	(00004H)	: シングルステップ
ベクタ 2	(00008H)	: NMI 命令
ベクタ 3	(0000CH)	: BRK 3 命令
ベクタ 4	(00010H)	: BRKV 命令
ベクタ 5	(00014H)	: CHKIND 命令
ベクタ 6	(00018H)	: 入出力命令
ベクタ 7	(0001CH)	: FPO 命令/例外トラップ

V1= V0= 0 のとき

ベクタ 8	(00020H)	: INTWDT
ベクタ 9	(00024H)	: INTP0
ベクタ 10	(00028H)	: INTP1
ベクタ 11	(0002CH)	: INTP2
ベクタ 12	(00030H)	: INTP3
ベクタ 13	(00034H)	: INTP4
ベクタ 14	(00038H)	: INTP5
ベクタ 15	(0003CH)	: システム予約
ベクタ 16	(00040H)	: INTCM00
ベクタ 17	(00044H)	: INTCM01
ベクタ 18	(00048H)	: INTCM10
ベクタ 19	(0004CH)	: INTCM11
ベクタ 20	(00050H)	: INTCM21
ベクタ 21	(00054H)	: INTCM31
ベクタ 22	(00058H)	: INTD0 DMA#0_MAIN
ベクタ 23	(0005CH)	: INTD0S DMA#0_SUB
ベクタ 24	(00060H)	: INTD1 DMA#1_MAIN
ベクタ 25	(00064H)	: INTD1S DMA#1_SUB
ベクタ 26	(00068H)	: INTSER0
ベクタ 27	(0006CH)	: INTSER1
ベクタ 28	(00070H)	: INTSR0/INTCSI0
ベクタ 29	(00074H)	: INTSR1/INTCSI1
ベクタ 30	(00078H)	: INTST0
ベクタ 31	(0007CH)	: INTST1
ベクタ 32	(00080H)	: INTSIT
ベクタ 33	(00084H)	: システム予約

ベクタ 34	(00088H)	: システム予約
ベクタ 35	(0008CH)	: システム予約
ベクタ 36	(00090H)	: INTPAI
ベクタ 37	(00094H)	: INTAD
ベクタ 38	(00098H)	: システム予約
ベクタ 39	(0009CH)	: システム予約
ベクタ 40	(000A0H)	: システム予約
ベクタ 41	(000A4H)	: システム予約
ベクタ 42	(000A8H)	: システム予約
ベクタ 43	(000ACH)	: システム予約
ベクタ 44	(000B0H)	: システム予約
ベクタ 45	(000B4H)	: システム予約
ベクタ 46	(000B8H)	: システム予約
ベクタ 47	(000BCH)	: システム予約

V1= 0, V0= 1 のとき

ベクタ 72	(00120H)	: INTWDT
ベクタ 73	(00124H)	: INTPO
ベクタ 110	(001B8H)	: システム予約
ベクタ 111	(001BCH)	: システム予約

V1= 1, V0= 0 のとき

ベクタ 136	(00220H)	: INTWDT
ベクタ 137	(00224H)	: INTPO
ベクタ 174	(002B8H)	: システム予約
ベクタ 175	(002BCH)	: システム予約

V1= V0= 1 のとき

ベクタ 200	(00320H)	: INTWDT
ベクタ 201	(00324H)	: INTPO
ベクタ 238	(003B8H)	: システム予約
ベクタ 239	(003BCH)	: システム予約

3.6 レジスタ・ファイル空間

図 3-5 に、レジスタ・ファイル空間を示します。

レジスタ・ファイル空間のサイズは 512 バイトで、最大 16 バンクのレジスタ・セットを設定することができます。

レジスタ・ファイル空間はメモリ空間とは分離されており、レジスタ・ファイル空間へのアクセスは、V25, V35 と同様にレジスタ操作命令を使用して可能なほか、メモリ操作命令に専用のプリフィクス命令 (IRAM:) を付加してデータ・メモリとしてアクセスすることも可能です。

IRAM: プリフィクス命令をメモリ操作命令に付加すると、CPU はメモリ・アドレスのオフセット値の下位の 9 ビットをレジスタ・ファイルのアドレスとしてデータ・アクセスを行います。このとき、セグメント・レジスタとの物理アドレス加算は行わず、また外部バス・サイクルも起動しません (外部バス・サイクルに対しては非同期に独立してアクセスされます)。

例

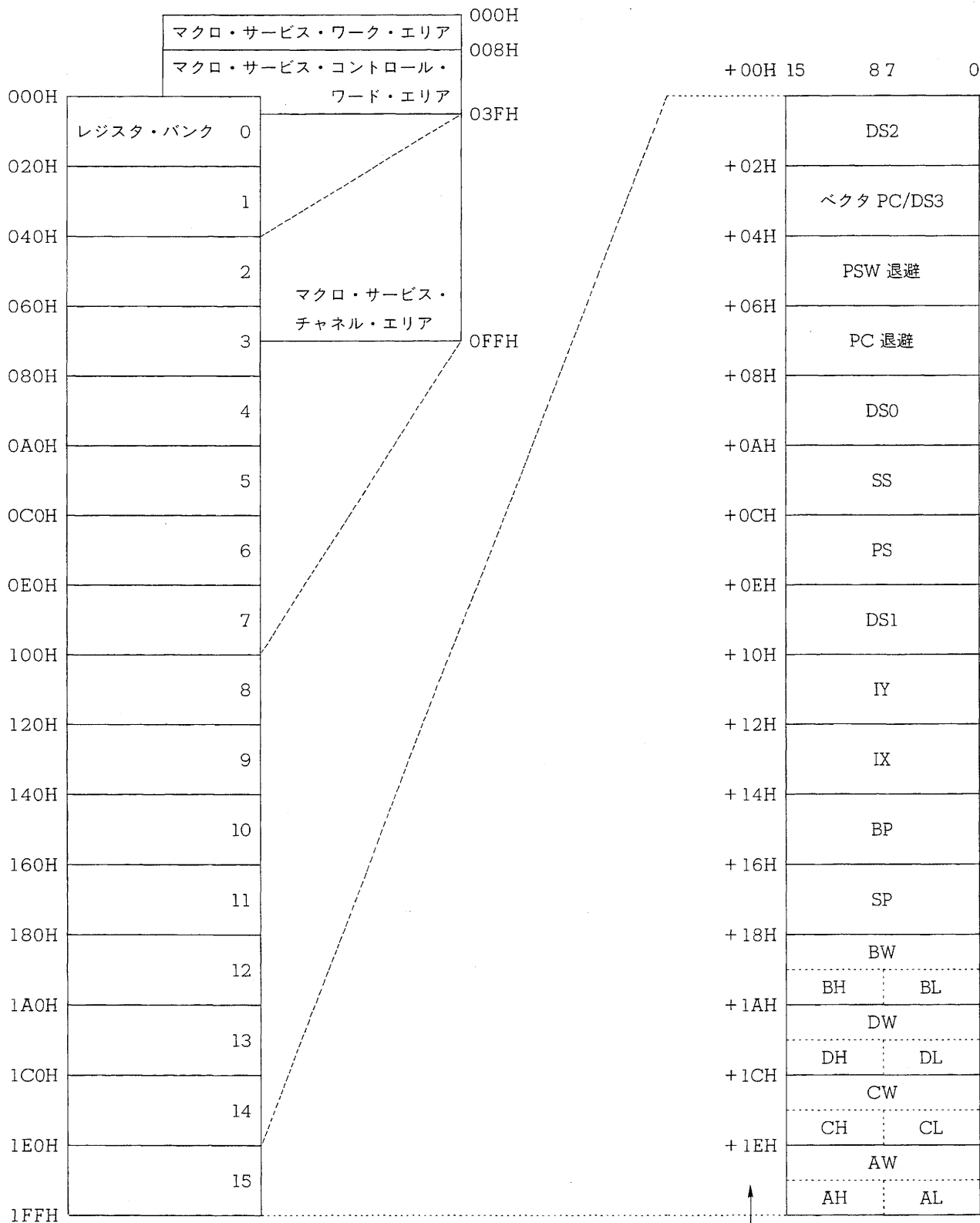
```
Label1:  MOV IRAM: {0024H}, AW……①  
        MOV {0056H}, BW      ……②
```

- ① IRAM: プリフィクス命令を用いてレジスタ・ファイル空間へのデータを転送する場合を示します。
AW レジスタの値がレジスタ・ファイルの 24H 番地に格納されます。
- ② メモリ空間へのデータを転送する場合を示します。

ソース・ブロックとデスティネーション・ブロックの指定を伴うプリミティブ・ブロック転送命令、BCD 演算命令に IRAM プリフィクス命令を付加した場合、デスティネーション・ブロックに対して有効になります。

また、レジスタ・ファイル空間には、マクロ・サービスのコントロール・ワード・エリア (008H-03FH)、マクロ・サービス・ワーク・エリア (000H-007H)、およびマクロ・サービス・チャンネルでの使用領域 (008H-OFFH) が重複して割り付けられています。このワーク・エリアは、ワークを必要とする特定のマクロ・サービス (RTOPTRN) を使用しなければ任意のデータ空間としても使用可能です。

図3-5 レジスタ・ファイル空間



(各レジスタ・バンクの開始アドレスからのオフセット)

3.7 I/O空間

V55PI は、64 K バイトの I/O 空間を持っています。

図 3-6 に I/O 空間のマップを示します。

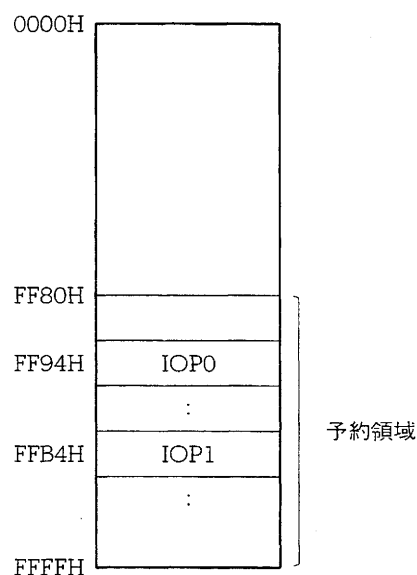
I/O 空間は、アドレス・バス/データ・バス、コントロール信号 ($\overline{\text{IORD}}$, $\overline{\text{IOWR}}$ など) を用いてアクセスします。使用しないアドレス・バスの上位 8 ビットからは 0 が出力されます。

また、ソフトウェアおよび READY 端子によって I/O サイクル中にウェイト・サイクルを挿入することができます。

I/O 空間の FF80H-FFFFH は予約領域になっており、V55PI が内蔵している周辺 DMA の入出力リード・ライト・ポインタ (IOP) 2 つが割り付けられています。アドレスは IOP0 が FF94H, IOP1 が FFB4H です。

CPU が IOP のアドレスをオペランドとする入出力命令を実行すると、DMA コントローラは IOP の内容をアドレス値として、DMA コントローラの転送バッファ上のデータを読み出し/書き込みを行い、DMA コントロール・レジスタの内容に従って自動的に IOP の値をインクリメント (または、デクリメント) します。したがって DMA コントローラが書き込んだデータを入出力命令で参照したり、逆に入出力命令で書き込んだデータを DMA コントローラで転送することができます。

図 3-6 I/O マップ (64 K バイト)



備考 IOP_n は、DMA リード・ライト・ポインタ _n (DPTC_n) に対応しています。

4. バス制御機能

V55PI の端子については、1.1.2(1) バス制御のための端子機能を参照してください。

なお、ポート端子との兼用端子についてはその機能を使用する場合、ポート・モード・コントロール・レジスタ (PMCn) によって相当する機能を選択する必要があります。

4.1 ウェイト機能

V55PI では、基本メモリ空間 (000000H-0FFFFFFH) をメモリ・サイズ可変の最大 4 ブロックに分割し、高位の拡張メモリ空間部分 (100000H-FFFFFFH) をメモリ・サイズ可変に 2 分割し、ブロックごとにウェイト制御を行います。基本メモリ空間の各ブロックのメモリ・サイズはメモリ・ブロック・コントロール・レジスタ (MBC) で指定します。

図 4-1 に、MBC レジスタの値を A9H に設定した場合のメモリ・ブロック構成を示します。

図 4-1 メモリの分割制御

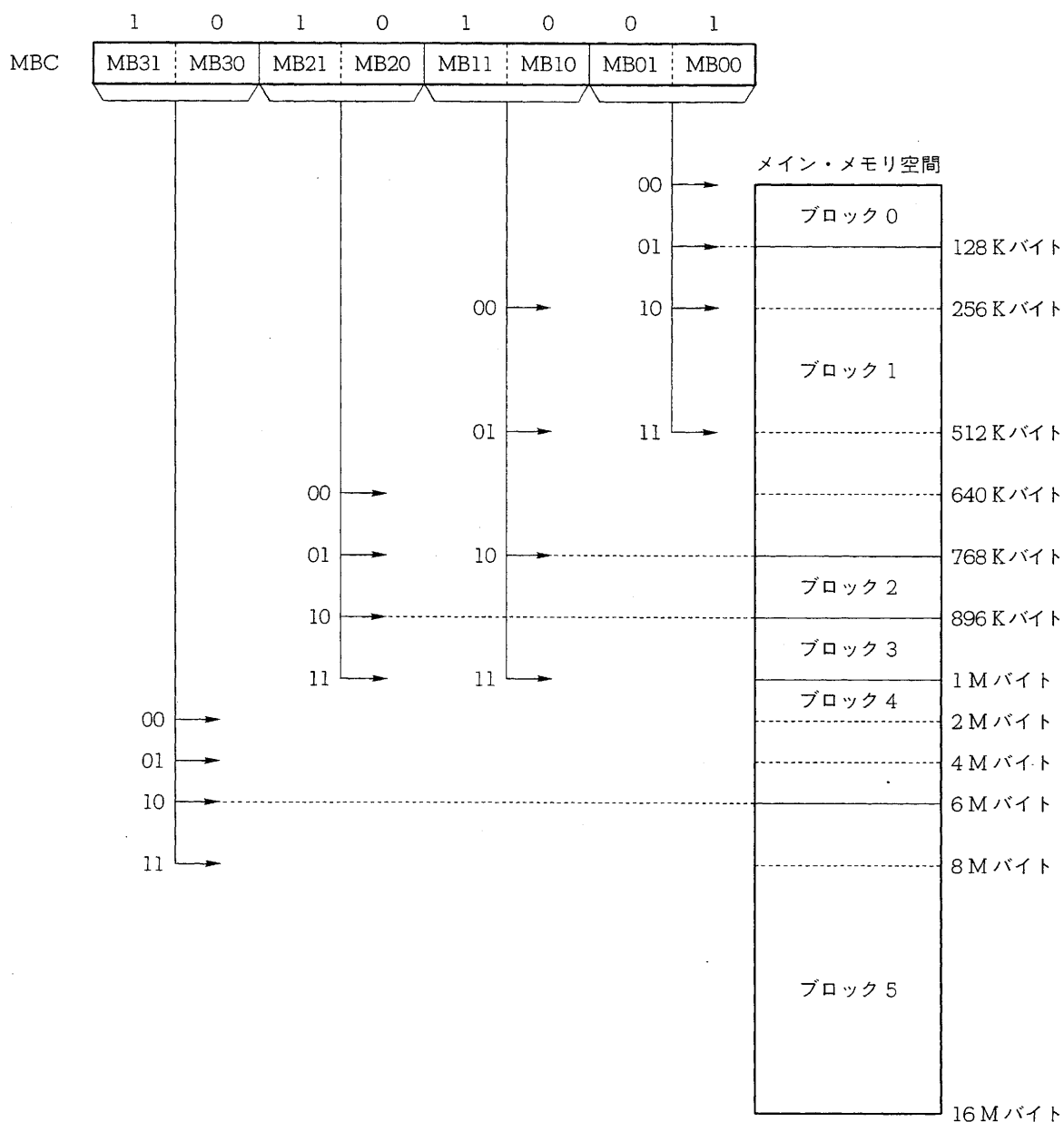
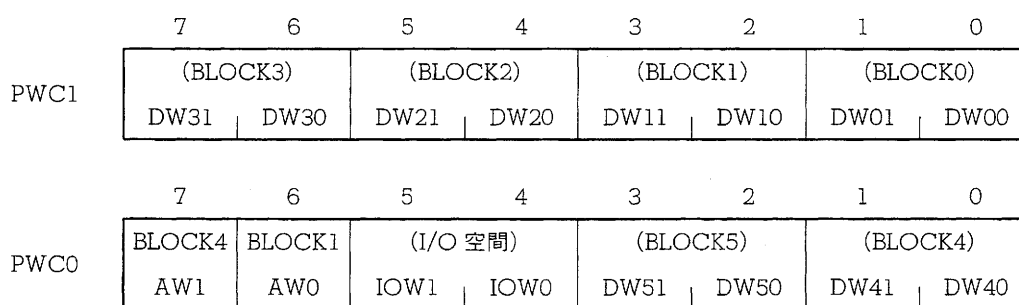


図 4-2 メモリのウェイト制御



データ・ウェイト (DW, IOW)

DWn1/IOW1	DWn0/IOW0	ウェイト・ステート
0	0	0 ^{注1}
0	1	1 ^{注2}
1	0	2 ^{注2}
1	1	3 ^{注2}

注 1. READY 信号は無視されます。

2. READY 信号による追加制御も可能です。

アドレス・ウェイト (AW)

AWn	ウェイト・ステート
AW0	0 挿入しない (ブロック 1)
	1 挿入する (ブロック 1)
AW1	0 挿入しない (ブロック 4)
	1 挿入する (ブロック 4)

4.2 リフレッシュ機能

DRAM, 疑似 SRAM のリフレッシュを行うために次のような機能を持っています。

- 一連のバス・サイクル中に定期的にはリフレッシュ・サイクルを挿入する機能
- DRAM, 疑似 SRAM をリフレッシュするためのリフレッシュ・アドレスの出力機能
- ホールド・モード中, HALT モード中にリフレッシュ・サイクルを発生する機能
- リフレッシュ・サイクル中にウェイト・ステートを挿入する機能

4.2.1 リフレッシュ・モード・レジスタ (RFM)

RFM レジスタは, リフレッシュ動作を制御する 8 ビットのレジスタです。

リフレッシュの周期は, タイム・ベース・カウンタの出力タップから選択できます。

なお, ほかのバス・サイクルによりリフレッシュ要求が保留されている状態で次のリフレッシュ要求が発生した場合, あとのリフレッシュ要求だけが有効となります。

RFM レジスタのリセット後の値は 77H になります。

4.2.2 リフレッシュ・サイクルのウェイト制御

リフレッシュ・サイクル中にウェイト・ステートを挿入できます。プログラマブル・ウェイト・コントロール・レジスタ (PWC0) または READY 端子により, メモリ・ブロック 4 に対して, 指定したウェイト・ステート数が挿入されます。

4.2.3 リフレッシュ・アドレス

リフレッシュ・サイクルでアクティブになるバスは, AD0-AD15 と A16-A19 です。

リフレッシュ・サイクル 1 回ごとに, 外部 8 ビット・バス幅の場合は 1 ずつ×00000-×FFFFFH まで, 外部 16 ビット・バス幅の場合は 2 ずつ×00001H-×FFFFFH までカウント・アップします(最上位アドレスの次のカウントで最下位アドレスとなる)。

リセットによる初期化後, 外部 8 ビット・バス幅の場合は×00000H から, 外部 16 ビット・バス幅の場合は×00001H から開始します。

また, 外部 16 ビット・バス幅の場合, リフレッシュ・アドレスの最下位ビット (A0) は “1” 固定となり, $\overline{\text{DEX}}$ 端子出力も “1” 固定となります。

A20-A23 は, リフレッシュ・サイクル中不定となります。

5. 割り込み機能

V55PIは内部 19, 外部 6, 合計 25 のマスカブルなハードウェア割り込み要求を制御できる強力な割り込みコントローラ (INTC) を内蔵しています。割り込みコントローラは、プログラマブルな優先順位に基づき、多重割り込み処理を制御します。また、割り込みの処理形態として、ベクタ割り込み機能、マクロ・サービス機能、レジスタ・バンク切り替え機能を用意しています。

5.1 特 徴

V55PIの割り込み機能は、次のような特徴を持っています。

○割り込み要求に対する処理形態の充実

- ・ベクタ割り込み機能：ベクタ・テーブルにより指定される割り込み処理ルーチンへ分岐
- ・レジスタ・バンク切り替え機能：レジスタ・バンク自動切り替えによる高速割り込み応答
- ・マクロ・サービス機能：マイクロプログラム (ファームウェア) による高速割り込み処理

○プログラマブルな 4 レベルの優先順位制御

○優先順位に従った割り込み多重処理制御

○V55PIの内蔵周辺ハードウェアに密着した豊富なマクロ・サービス機能 (次の 7 モード)

EVT CNT	：イベント・カウント処理
BLKTRS	：特殊機能レジスタと外部メモリ・バッファとの間のデータ転送
BLKTRS-C	： // (転送データ検出機能付き)
DTACMP	：特殊機能レジスタの状態検出
DTADIF	：タイマ・キャプチャ機能による時間計測
RTOPTRN	：リアルタイム出力ポートの自動制御
DTACMP-M	：外部 I/O とメモリ間のデータ転送

○7 外部割り込み要求入力 (NMI, INTP0-INTP5)

○マスカブル割り込み要求は個々にマスク可能

表 5-1 に割り込み要因の一覧を示します。

割り込みの種類	ディフォルトの 優先順位	割り込み 要求信号	割り込み要因			ディフォルト のベクタ・テ ーブル番号	ベクタ・ アドレス	マクロ・ サービス	バンク 切り替え	マクロ・サー ビス制御ワー ド・アドレス
			割り込み要求 制御レジスタ	発生ソース	発生ユニット					
ノンマスカブル	1	NMI	-	NMI 端子入力	-	2	00008H	なし	なし	-
	2	WDT		ウォッチドッグ・タイマの オーバフロー	WDT	8	00×20H	なし	なし	
マスカブル	3	INTP0	IC9	INTP0 端子入力	外部	9	00×24H	あり	あり	012H
	4	INTP1	IC10	INTP1 端子入力		10	00×28H	あり	あり	014H
	5	INTP2	IC11	INTP2 端子入力		11	00×2CH	あり	あり	016H
	6	INTP3	IC12	INTP3 端子入力		12	00×30H	あり	あり	018H
	7	INTP4	IC13	INTP4 端子入力		13	00×34H	あり	あり	01AH
	8	INTP5	IC14	INTP5 端子入力		14	00×38H	あり	あり	01CH
	9	INTCM00	IC16	CM00 の一致検出	タイマ	16	00×40H	あり	あり	020H
	10	INTCM01	IC17	CM01 の一致検出		17	00×44H	あり	あり	022H
	11	INTCM10	IC18	CM10 の一致検出		18	00×48H	あり	あり	024H
	12	INTCM11	IC19	CM11 の一致検出		19	00×4CH	あり	あり	026H
	13	INTCM21	IC20	CM21 の一致検出		20	00×50H	あり	あり	028H
	14	INTCM31	IC21	CM31 の一致検出		21	00×54H	あり	あり	02AH
	15	INTD0	IC22	DMA チャンネル 0_メイン	DMA	22	00×58H	あり	あり	02CH
	16	INTD0S	IC23	DMA チャンネル 0_サブ		23	00×5CH	あり	あり	02EH
	17	INTD1	IC24	DMA チャンネル 1_メイン		24	00×60H	あり	あり	030H
	18	INTD1S	IC25	DMA チャンネル 1_サブ		25	00×64H	あり	あり	032H

表 5-1 割り込み要因一覧 (2/2)

割り込みの種類	デフォルトの 優先順位	割り込み 要求信号	割り込み要因			デフォルト のベクタ・テ ーブル番号	ベクタ・ アドレス	マクロ・ サービス	バンク 切り替え	マクロ・サー ビス制御ワー ド・アドレス
			割り込み要求 制御レジスタ	発生ソース	発生ユニット					
マスクابل	19	INTSER0	IC26	UART 受信エラー (ch0)	シリアル I/F	26	00×68H	なし	あり	034H
	20	INTSER1	IC27	UART 受信エラー (ch1)		27	00×6CH	なし	あり	036H
	21	INTSR0/ INTCSIO	IC28	UART 受信 (ch0) / シリアル送受信 (ch0)		28	00×70H	あり あり	あり あり	038H
	22	INTSR1/ INTCS11	IC29	UART 受信 (ch1) / シリアル送受信 (ch1)		29	00×74H	あり あり	あり あり	03AH
	23	INTST0	IC30	UART 送信 (ch0)		30	00×78H	あり	あり	03CH
	24	INTST1	IC31	UART 送信 (ch1)		31	00×7CH	あり	あり	03EH
	25	INTSIT	IC32	STM の一致検出	SIT	32	00×80H	なし	あり	—
	26	INTPAI	IC36	パラレル I/F	パラレル I/F	36	00×90H	あり	あり	—
	27	INTAD	IC37	A/D コンバータ	A/D コンバータ	37	00×94H	あり	あり	008H
ソフトウェア	—	—	—	ディバイド・エラー	—	0	00000H	なし	なし	—
				BRK フラグ (シングルステップ)		1	00004H	なし	なし	
				BRK3 命令		3	0000CH	なし	なし	
				BRKV 命令		4	00010H	なし	なし	
				CHKIND 命令		5	00014H	なし	なし	
				入出力命令 (IBRK フラグ)		6	00018H	なし	なし	
				BRK imm8		注	00×注H	なし	なし	
				BRKCS 命令		—	—	なし	あり	
				FPO 命令 /例外トラップ		7	0001CH	なし	なし	
例外トラップ										

注 0-255 (0-FFH) の範囲で値を変更することが可能であることを示しています。

備考 “×” は、IMC レジスタの V0, V1 ビットの値で決定されます。

5.2 割り込み応答方式

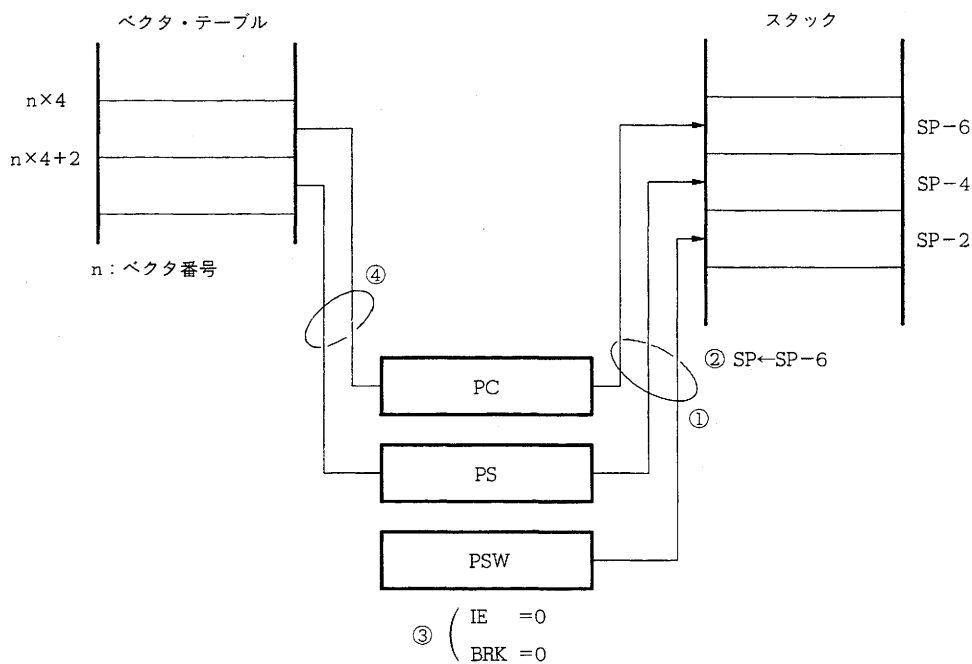
V55PI はベクタ割り込み機能、レジスタ・バンク切り替え機能、マクロ・サービス機能の3種類の割り込み応答方法を持っています。マスクابل割り込み要求では、これらの機能を割り込みの使用目的にあわせて、割り込み要因ごとの割り込み要求制御レジスタ (IC××) で選択することが可能です。内蔵割り込みコントローラは、設定された応答方式に応じて割り込みの要求に対応します。

5.2.1 ベクタ割り込み

ベクタ割り込みは割り込み許可状態 (EI 状態) でのみ割り込みを受け付けます。ベクタ割り込みを受け付けると CPU は割り込み禁止状態 (DI 状態) になり、現在の PSW の内容と PC と PS の内容をスタックに退避させます。その後、ベクタ・テーブルから対応するベクタを1つ選択し、そのベクタで示されるアドレスから割り込み処理ルーチンを開始します。ベクタ番号は割り込み要因ごとに固定されています。また、DI 状態では、割り込みは保留され、EI 状態になった時点で受け付けられます。

割り込みからの復帰は RETI 命令で行いますが、ノンマスクابل割り込みを除くハードウェア割り込みの場合は、FINT 命令を復帰命令の前に実行する必要があります。割り込みからの復帰時には、スタックから PC, PS, PSW を復帰させます。

図 5-1 割り込み受け付け動作 (①→④の順に行われる)



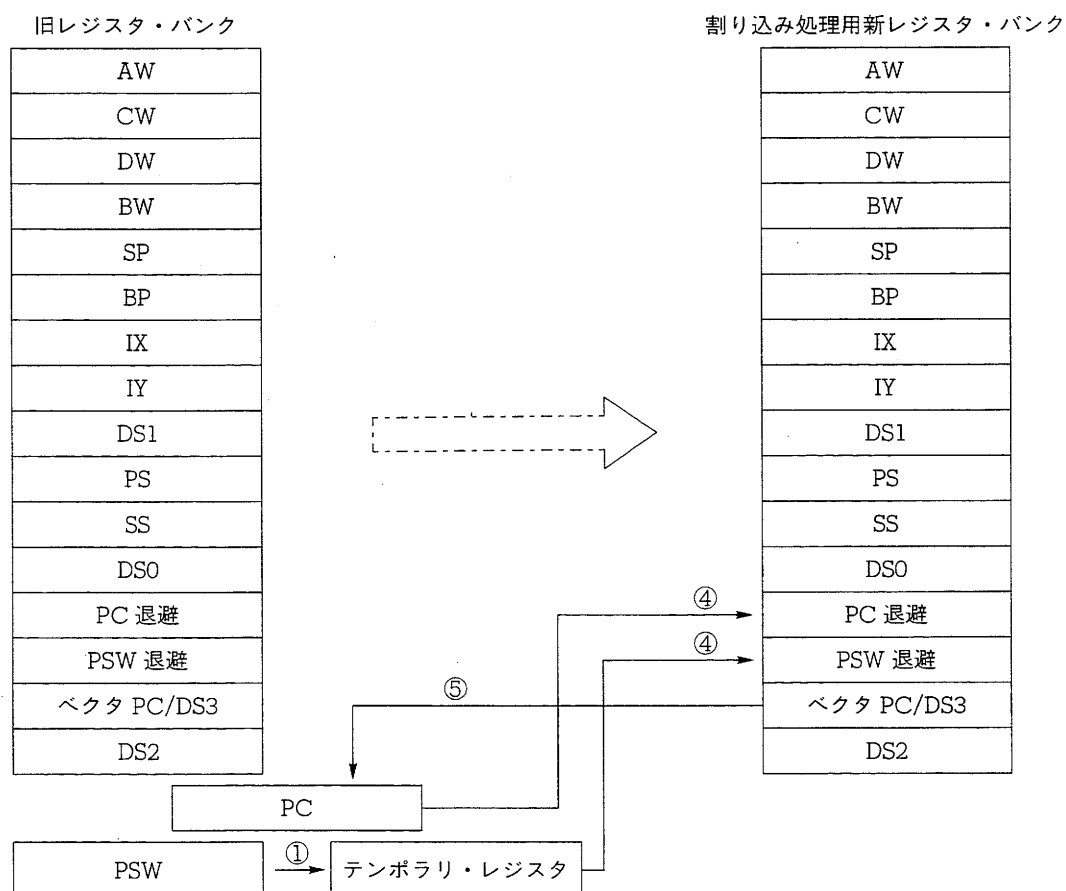
5.2.2 レジスタ・バンク切り替え機能

V55PI は、内蔵 RAM 領域に汎用のレジスタ・セットをマッピングしており最大 16 バンクまでのレジスタ・セットを持つことができます。このレジスタ・バンクを BRKCS, TSKSW 命令の実行、または割り込みの応答時に自動的に切り替えることで、割り込み処理を行います。従来ソフトウェアで行っていたレジスタ群のスタックへの退避処理を行わずに済みますので、プログラム実行環境の高速切り替えが可能となっています。

レジスタ・バンク切り替えのシーケンスは次のように行われます (図 5-2 参照)。

- ① PSW の内容をテンポラリ・レジスタに退避させます。
- ② レジスタ・バンクを切り替えます。
- ③ IE=0, BRK=0 にします。
- ④ PC およびテンポラリ・レジスタに退避させた PSW の内容をレジスタ・バンク中のそれぞれの退避領域へ退避します。
- ⑤ レジスタ・バンク中のベクタ PC 領域から PC へ割り込み処理ルーチンの開始アドレスのオフセットをロードします。

図 5-2 レジスタ・バンク切り替えのシーケンス
(割り込みによるレジスタ・バンク切り替え時)



- ② レジスタ・バンク切り替え
- ③ IE = 0, BRK = 0

5.2.3 マクロ・サービス機能

マクロ・サービス機能は単純なデータ転送などを、割り込み要求の発生で起動されるマイクロプログラム（CPU 内部の専用ファームウェア）で処理する機能です。従来、ユーザ・プログラムでコーディング、実行していた単純かつ定型的な割り込み処理を自動処理します。

マクロ・サービス処理は、割り込み要求に起因し処理されます。ソフトウェア処理が主体となる割り込みの発生頻度をできるだけ少なくし、レジスタ退避、初期化、レジスタ復帰、割り込みルーチンからの復帰といった一連の処理によるソフトウェアのオーバーヘッドを抑え、CPU の効率を向上することを目的としています。

また、マクロ・サービスで行われる処理はソフトウェア的には意識する必要がなく、従来、バイト単位でソフトウェアによって処理していたデータを一固まりのデータとして処理することができ、効率よくプログラミングすることが可能です。

V55PI のマクロ・サービスでは、V25, V35 におけるような単なるデータ転送だけでなく、次に示すような、V55PI の内蔵周辺ハードウェアに密着した数々の動作モードをサポートしています。

(a) EVTCNT (EVENT COUNTER)

マクロ・サービスの発生ごとにカウンタを更新し、カウンタが 0 になると対応する割り込み要因のマクロ・サービスを終了し、ベクタ割り込みまたはレジスタ・バンク切り替えを発生します。

(b) DTACMP (DATA COMPARE)

割り込み要因固有の SFR とあらかじめ設定したバイト・データと比較し、一致すれば対応する割り込み要因のマクロ・サービスを終了し、ベクタ割り込みまたはレジスタ・バンク切り替えを発生します。

(c) DTADIF (DATA DIFFERENCE)

タイマ/カウンタ・ユニットのキャプチャ・レジスタを用いた差分の計算をします。タイマ割り込みによって起動され、今回ラッチしたキャプチャ・レジスタの値から前回ラッチしたキャプチャ・レジスタの値を減算し、あらかじめ指定したメモリ・バッファに結果をストアします。

あらかじめ設定した回数の処理を行うと、対応する割り込み要因のマクロ・サービスを終了し、ベクタ割り込みまたはレジスタ・バンク切り替えを発生します。

(d) BLKTRS (BLOCK TRANSFER)

あらかじめ指定したメモリ・バッファと SFR 間のデータ転送を行います。

あらかじめ設定した回数のデータ転送を行うと、対応する割り込み要因のマクロ・サービスを終了し、ベクタ割り込みまたはレジスタ・バンク切り替えを発生します。

(e) BLKTRS-C (BLOCK TRANSFER WITH CHARACTER SEARCH)

あらかじめ指定されたメモリ・バッファと SFR 間のデータ転送を行います。あらかじめ設定した回数のデータ転送を終了するか、または転送データがあらかじめ設定したキャラクタ・データと一致した場合は、対応する割り込み要因のマクロ・サービスを終了し、ベクタ割り込みまたはレジスタ・バンク切り替えを発生します。

(f) RTOPTRN (RTOP TRANSFER)

リアルタイム出力ポートに出力するデータをポート 7 バッファ (P7H, P7L) に転送するとともに、リアルタイム出力ポートに出力するインターバルを指定するデータをタイマ・コンペア・レジスタ (CM00, CM01) に転送します。

(g) DTACMP-M (DATA COMPARE WITH CHARACTER MASK)

外部 I/O から読み込んだステータス・データと、あらかじめ設定したマスク・データとの論理積をとりま
す。その結果と、あらかじめ設定したバイト・データを比較します。一致すれば外部 I/O とメモリ間のデー
タ転送を行います。一致しない場合、またはあらかじめ設定した回数のデータ転送を行うと、対応する割り
込み要因のマクロ・サービスを終了し、ベクタ割り込みまたはレジスタ・バンク切り替えを発生します。

6. DMA 機能 (DMA コントローラ)

V55PI は、内蔵周辺ハードウェア(シリアル・インタフェース、パラレル・インタフェース、タイマ)、外部 DMARQ
端子、またはソフトウェア・トリガによる DMA 要求に基づいて、メモリ-I/O 間、またはメモリ-メモリ間で DMA
転送を実行制御する2チャンネルの DMA コントローラを内蔵しています。

DMA コントローラの各チャンネルはさらにメイン・チャンネルとサブチャンネルから構成され、動作モードによってメ
イン・チャンネルとサブチャンネルを1つのチャンネルとして使用するか、別々のチャンネルとして使用するかが決定され
ます。別々のチャンネルとして使用した場合、最大4チャンネル分の DMA 機能を構成することができます。

6.1 特 徴

○2組の独立な DMA チャンネル (最大4チャンネル構成可能)

○4種類の転送モード

- ・シングルトランスファ・モード…1回の DMA 要求に対して、1回の DMA 転送サイクルを実行
- ・ディマンド・リリース・モード…DMA 要求がアクティブの期間、連続して DMA 転送サイクルを実行
- ・シングルステップ・モード…DMA 要求の発生後、DMA 転送サイクルと CPU バス・サイクルを交互に実行
- ・バースト・モード…1回の DMA 要求に対して、指定回数の DMA 転送サイクルを連続して実行

○5種類の動作モード

- ・インテリジェント DMA モード-1 (リング・バッファ方式) …リング・バッファに対する DMA 転送を制御
- ・インテリジェント DMA モード-2 (カウンタ制御方式) …転送データを任意のバイト数ごとに分けて連続転送
- ・ネクスト・アドレス指定モード…異なる転送バッファの間での連続転送が可能
- ・2チャンネル動作モード…メイン・チャンネルとサブチャンネルをそれぞれ独立したチャンネルとして使用
- ・メモリ-メモリ転送モード…1回の DMA 転送サイクルにつき2回のバス・サイクルを起動し、メモリ-メモリ間
の転送を実行

○3クロック/1バス・サイクル (ノー・ウェイト時)

○転送対象

- ・外部 I/O ↔ メモリ…1DMA 転送サイクル/1バス・サイクル
- ・SFR (内部 I/O) ↔ メモリ…1DMA 転送サイクル/1バス・サイクル
- ・メモリ ↔ メモリ (メモリには SFR を含む) …1DMA 転送サイクル/2バス・サイクル

○バイト転送/ワード転送選択可能

○転送アドレスのインクリメント/デクリメント/未更新を選択可能

○DMA 転送終了信号 ($\overline{TCE0}$, $\overline{TCE1}$) 出力

○24ビットの DMA メモリ・アドレス・レジスタ (MAR0, MAR1)

○21ビットのターミナル・カウンタ (TC0, TC1)

○外部 DMA リクエスト信号入力端子 (DMARQ0, DMARQ1: ポート P80, P81 端子兼用)

○DMA アクノリッジ信号出力端子 ($\overline{DMAAK0}$, $\overline{DMAAK1}$)

表 6-1 転送モード

転送モード	DMA 起動要因			停止方法	割り込み
	内蔵周辺	ソフトウェア・トリガ	DMARQ 端子		
シングルトランスファ・モード	○	○	○	DMAMn レジスタの EDMA ビットのリセット	受け付ける
ディマンド・リリース・モード	×	×	○	転送中は DMARQ 端子をロウ・レベルにすると停止 DMAMn レジスタの EDMA ビットのリセット	転送中は受け付け ない ほかの場合は受け付ける
シングルステップ・モード	○注	○	○	DMAMn レジスタの EDMA ビットのリセット	受け付ける
バースト・モード	○注	○	○	なし（転送中は停止不可）	受け付けない

注 DMA 起動要因が内蔵タイマ割り込みで、転送 I/O の指定が外部の場合のみ転送可能となります。

表 6-2 動作モードと転送モードとの対応表

動作モード		転送対象	使用可能な転送モード注			
			①	②	③	④
インテリジェント DMA モード-1 (リング・バッファ方式)		I/O (SFR) → メモリ	可	可	不可	不可
インテリジェント DMA モード-2 (カウンタ制御方式)		メモリ → I/O (SFR)	不可	不可	可	可
ネクスト・アドレス指定モード		I/O (SFR) ↔ メモリ	可	可	不可	不可
2 チャネル動作モード	(終了時停止)	I/O ↔ メモリ	可	可	可	可
	(繰り返し)	I/O ↔ メモリ	可	可	可	不可
メモリ-メモリ転送モード	(終了時停止)	メモリ ↔ メモリ	可	不可	可	可
	(繰り返し)	メモリ ↔ メモリ	可	不可	可	不可

注 転送モード

- ① シングルトランスファ・モード
- ② ディマンド・リリース・モード
- ③ シングルステップ・モード
- ④ バースト・モード

7. シリアル・インタフェース機能

V55PI は 2 チャンネルのシリアル・インタフェース・ユニット (ch0, ch1) を備えています。

V55PI がサポートする 2 つの通信プロトコルを次に示します。

- (1) 調歩同期式 UART
- (2) クロック同期式 CSI ┌ SBI : 2線式シリアル・バス・インタフェース
 └ IOE : I/O 拡張用3線式シリアル・インタフェース

7.1 特 徵

- 2つの通信プロトコルをサポート
- シリアル・チャネル：2チャネル
- ウェーク・アップ機能
- 専用ボー・レート・ジェネレータ内蔵
- 送受信完了による DMA 要求発生（送受信データの DMA 転送可能）

7.2 プロトコル

UART はスタート/ストップ・ビットによりデータ同期をとる調歩同期式のシリアル・インタフェースで、従来のシングルチップ・マイコンの UART 機能を強化したものです。

CSI (クロック・シリアル・インタフェース) はクロックを送受して同期をとるクロック同期式のシリアル・インタフェースです。CSI は、NEC シングルチップ・マイクロコンピュータにおける標準シリアル・バス・インタフェース仕様のサブセットとなっており、 I^2C 機能はサポートしていません。また、ウェーク・アップ解除動作はマクロ・サービスを用いて実現する方式になっています。

表 7-1 サポート・プロトコル

シリアル・インタフェース・ ユニット	プ ロ ト コ ル		
	クロック周期式 (CSI)		調歩同期式 (UART)
	SBI	IOE	
チャンネル 0	○	○	○
チャンネル 1	—	○	○

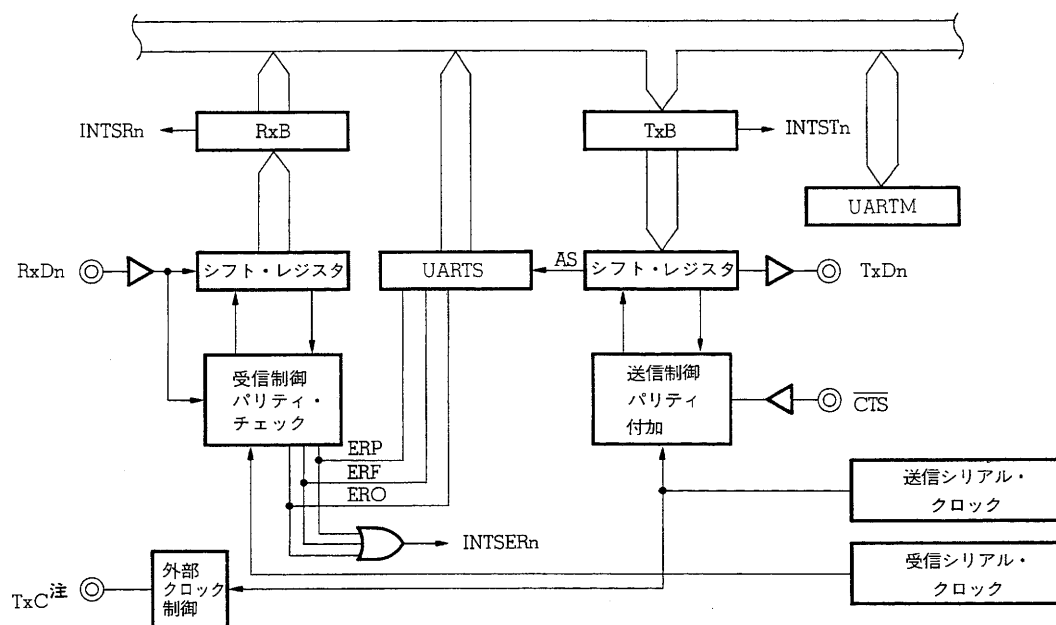
各チャネルは、UART 機能、CSI 機能のどれかをプログラマブルに選択可能です。プロトコル選択は、プロトコル選択レジスタ (ASP) で行います。

7.3 UART

7.3.1 特 徴

- 転送速度 95 - 390 Kbps (システム・クロック $\phi = 12.5$ MHz 時)
123 - 500 Kbps (システム・クロック $\phi = 16$ MHz 時)
- 全二重動作可能
- 専用(送信用, 受信用)ボー・レート・ジェネレータ内蔵
- ウェーク・アップ機能
- 0パリティ機能
- パリティ・エラー検出
- フレーミング・エラー検出
- オーバラン・エラー検出
- UART 専用割り込みソース3種
 - ・UART 受信エラー割り込み (INTSER0, INTSER1)
 - ・UART 受信割り込み (INTSR0, INTSR1)
 - ・UART 送信割り込み (INTST0, INTST1)
- マクロ・サービス機能
 - ・UART 受信割り込み (INTSR0, INTSR1)
 - ・UART 送信割り込み (INTST0, INTST1)

図 7-1 UART のブロック図



注 チャンネル 0 のみ

7.4 クロック・シリアル・インタフェース (CSI)

7.4.1 特 徴

- 転送速度 最大 3.125 Mbps (システム・クロック ϕ = 12.5 MHz 時)
最大 4.0 Mbps (システム・クロック ϕ = 16 MHz 時)
- 半二重通信
- データ長は 8 ビット単位
- 外部, 内部クロック選択可能
- データの MSB ファースト/LSB ファースト選択可能
- SBI モード (2 線式の NEC 方式シリアル・バス) …ch0 のみ
 - ・アドレス/コマンド/データ判断機能
 - ・アドレスによるチップ・セレクト機能
 - ・ウエーク・アップ機能
 - ・アクノリッジ信号 ($\overline{\text{ACK}}$) 制御機能
 - ・ビジー信号 ($\overline{\text{BUSY}}$) 制御機能

V55PI のクロック・シリアル・インタフェースには次の 2 つの動作モードがあります。

(1) 3 線式シリアル I/O モード (IOE モード)

シリアル・クロック ($\overline{\text{SCK}}$) とシリアル・データ入出力 (SI, SO) の 3 本のラインによって 8 ビット長のデータ転送を行います。従来のクロック同期式シリアル・インタフェースを内蔵する I/O デバイスや表示コントローラなどを接続するのに便利です。

V25, V25+TM に対して機能が強化されており, データの MSB ファースト/LSB ファースト選択が可能となっています。

(2) シリアル・バス・インタフェース・モード (SBI モード)

シリアル・クロック ($\overline{\text{SCK}}$) と, シリアル・バス・インタフェース (SB0 または SB1) の 2 本のラインにより複数のデバイスと通信可能なモードです。

NEC シリアル・バス・フォーマットに準拠します。

SBI モードでは, シリアル・データ・バス上にシリアル通信の対象デバイス選択のための“アドレス”, 対象デバイスに対して指令を与える“コマンド”, および実際の“データ”を出力することができます。したがって, 従来のクロック同期式シリアル・インタフェースで複数のデバイスを接続する場合に必要なハンドシェークのためのラインを必要とせず, 入出力ポートの有効活用ができます。

また, ウエーク・アップ解除動作は, マクロ・サービスにより行います。

8. パラレル・インタフェース機能

V55PI は、セントロニクス仕様のインタフェースにおけるデータ入力および汎用のデータ入出力のためのパラレル・インタフェース・ユニットを内蔵しています。

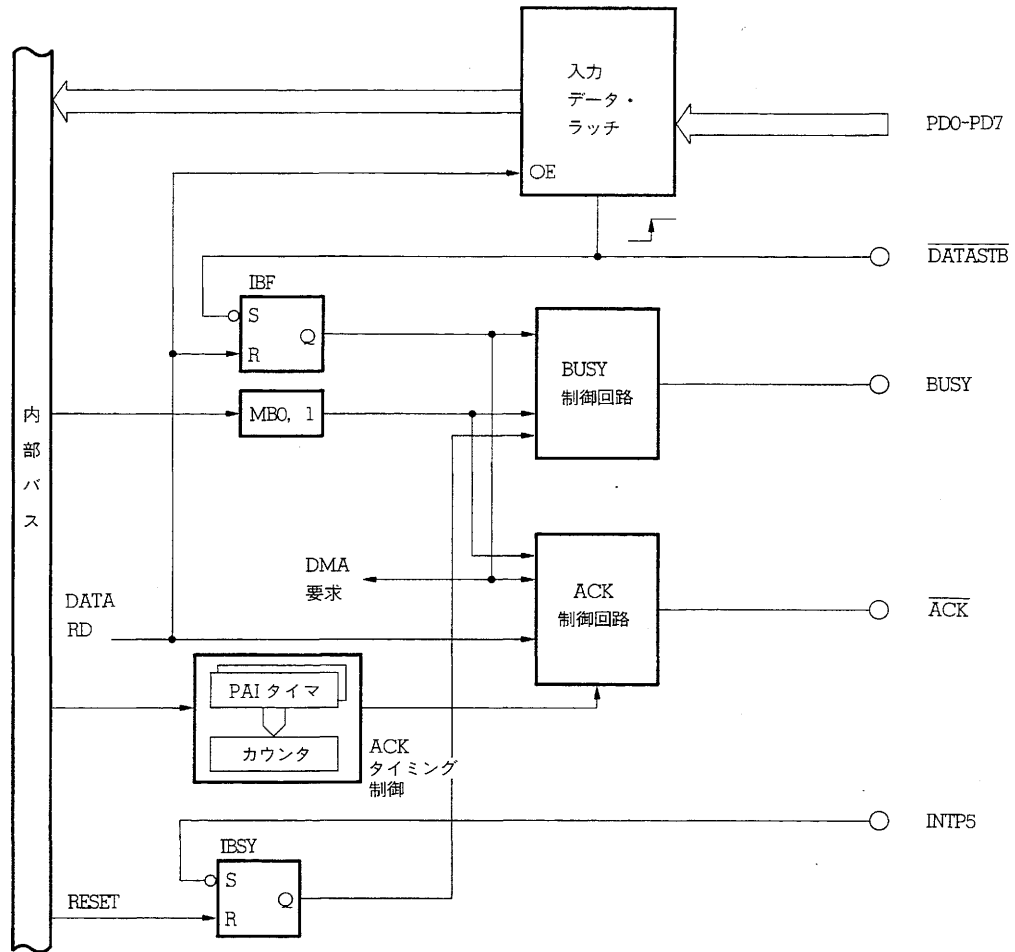
8.1 特 徴

パラレル・インタフェース機能は、次のような特徴を持っています。

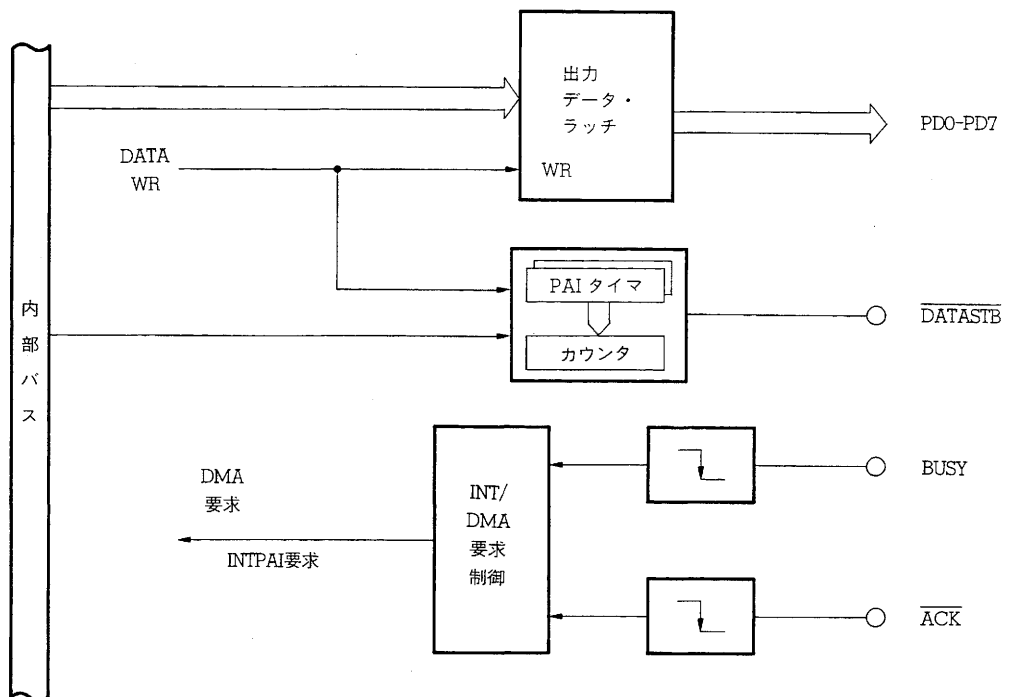
- セントロニクス仕様のインタフェースに対応
- ソフトウェアによる入出力モード切り替え可能
- ソフトウェアによる BUSY 信号操作可能
- BUSY 信号および $\overline{\text{ACK}}$ 信号の出力タイミング設定可能
- 外部割り込みによるイニシャライズ機能
- パラレル・インタフェース専用割り込みソース
 - ・ パラレル・インタフェース割り込み (INTPAI)
- パラレル送受信時の DMA 要求信号発生機能
 - ・ INTPAI を DMA 起動トリガとします。
- 信号端子の入出力特性は TTL レベル (セントロニクス仕様のインタフェース)

図 8-1 パラレル・インタフェースのブロック図

(a) 入力モード



(b) 出力モード



9. タイマ機能

V55PIのタイマ・ユニットはインターバル・タイマ、フリー・ランニング・タイマおよびイベント・カウンタとして用いることができます。また、タイマから発生する割り込み要求に同期させ、P7をリアルタイム出力ポートとして操作することもできます。ここでは、通常のタイマ機能とリアルタイム出力ポート機能について説明します。

9.1 特 徴

タイマ機能は、次の特徴を持っています。

- 16ビット・タイマ×4
- カウント・クロックのソース2種を選択可能
 - ・システム・クロックの分周出力 ($\phi/8$, $\phi/32$: システム・クロック ϕ)
 - ・TI端子からの外部入力パルス
- 外部カウント出力信号 (TON 出力)
- 16ビット・キャプチャ・レジスタを3本内蔵 (外部割り込み入力信号 INTPO-INTP2 をトリガ)
- タイマ・ユニット専用割り込みソース6種 (INTCM00, INTCM01, INTCM10, INTCM11, INTCM21, INTCM31)
- タイマ割り込みに同期したリアルタイム出力ポート機能

9.2 タイマ・ユニットの構成

タイマ・ユニットの構成を図9-1に、各タイマの機能を表9-1に示します。

図 9-1 タイマ・ユニット・ブロック図

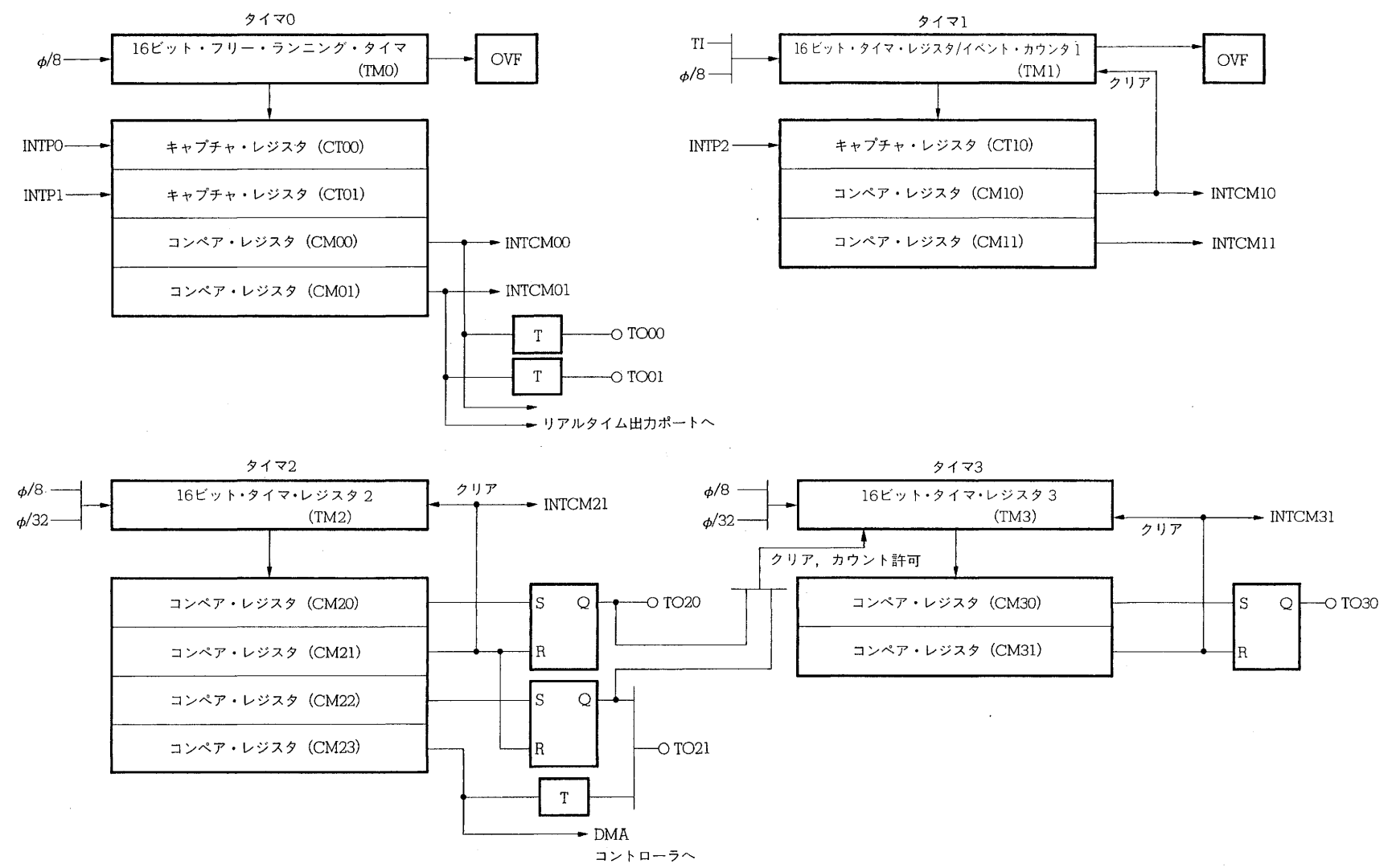


表 9-1 各タイマの機能

		タイマ 0	タイマ 1	タイマ 2	タイマ 3
機能	カウント機能	○	○	○	○
	キャプチャ機能	○	○	—	—
	コンペア機能	○	○	○	○
	タイマ	○	—	○	—
	出力機能	—	—	○	○
	カスケード接続	—	—	○	

9.3 リアルタイム出力ポート機能

V55PI のポート 7 にはリアルタイム出力ポート機能が内蔵されており、タイマ 0 からのプログラマブルなインターバルでポート 7 バッファ (P7H, P7L) の内容を 1 ビット単位で出力できます。

9.3.1 リアルタイム出力ポートの構成

リアルタイム出力ポートの構成を図 9-2 に示します。次のようなバッファ・レジスタ、出力ポート、制御レジスタで構成されます。

(1) ポート 7 バッファ (P7H, P7L)

バッファ・レジスタはポート 7 をリアルタイム出力ポート・モードに設定したときに、次に出力するデータを保持しておくレジスタです。

ポート 7 バッファの内容はリセット入力により影響を受けません。

(2) リアルタイム出力ポート (RTP)

リアルタイム出力ポートの出力データはポート 7 バッファからこの出力ポートに保持され、端子より出力されます。

8 ビットまたは 1 ビットの命令操作によりリード/ライトすることができます (ポート 7 の出力ポートとは異なります)。

(3) リアルタイム出力ポート・ディレイ指定レジスタ (RTPD), ディレイ・カウンタ

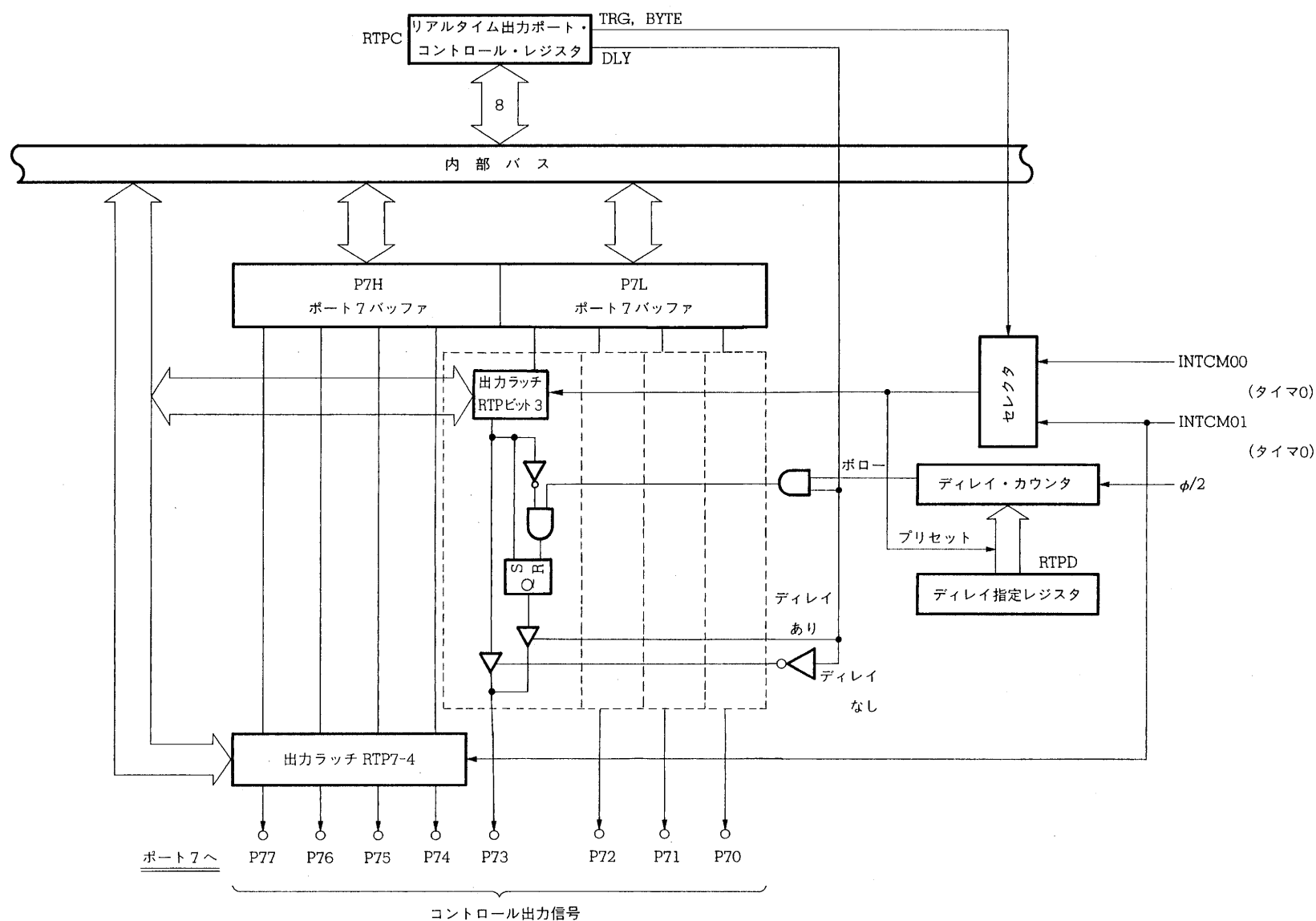
リアルタイム出力ポート (RTP) から出力端子への出力タイミングに遅延時間を入れるモードを使用する際、設定および使用するレジスタです。

P7L のビットが "0" に設定されている場合、転送トリガの発生タイミングからリアルタイム出力ポート・ディレイ指定レジスタに設定されているカウント・クロック時間分の遅延時間が経過したのち、出力端子の対応ビットに "0" が出力されます。このときの遅延時間は、ディレイ・カウンタでカウントされます。

(4) リアルタイム出力ポート・コントロール・レジスタ (RTPC)

リアルタイム出力ポートの動作モードを指定します。データ出力時のディレイ挿入の有無、ポート 7 バッファへのデータ転送タイミング、また、転送タイミングのトリガなどを指定することができます。

図 9-2 リアルタイム出力ポート・ブロック図



9.3.2 リアルタイム出力ポートの動作

ポート7モード・コントロール・レジスタ (PMC7) により、ビット単位でリアルタイム出力ポートに指定します。

リアルタイム出力ポートとしては、ポート7(P7)、ポート7バッファ(P7H, P7L)、リアルタイム出力ポート(RTP)がアクセスできます。

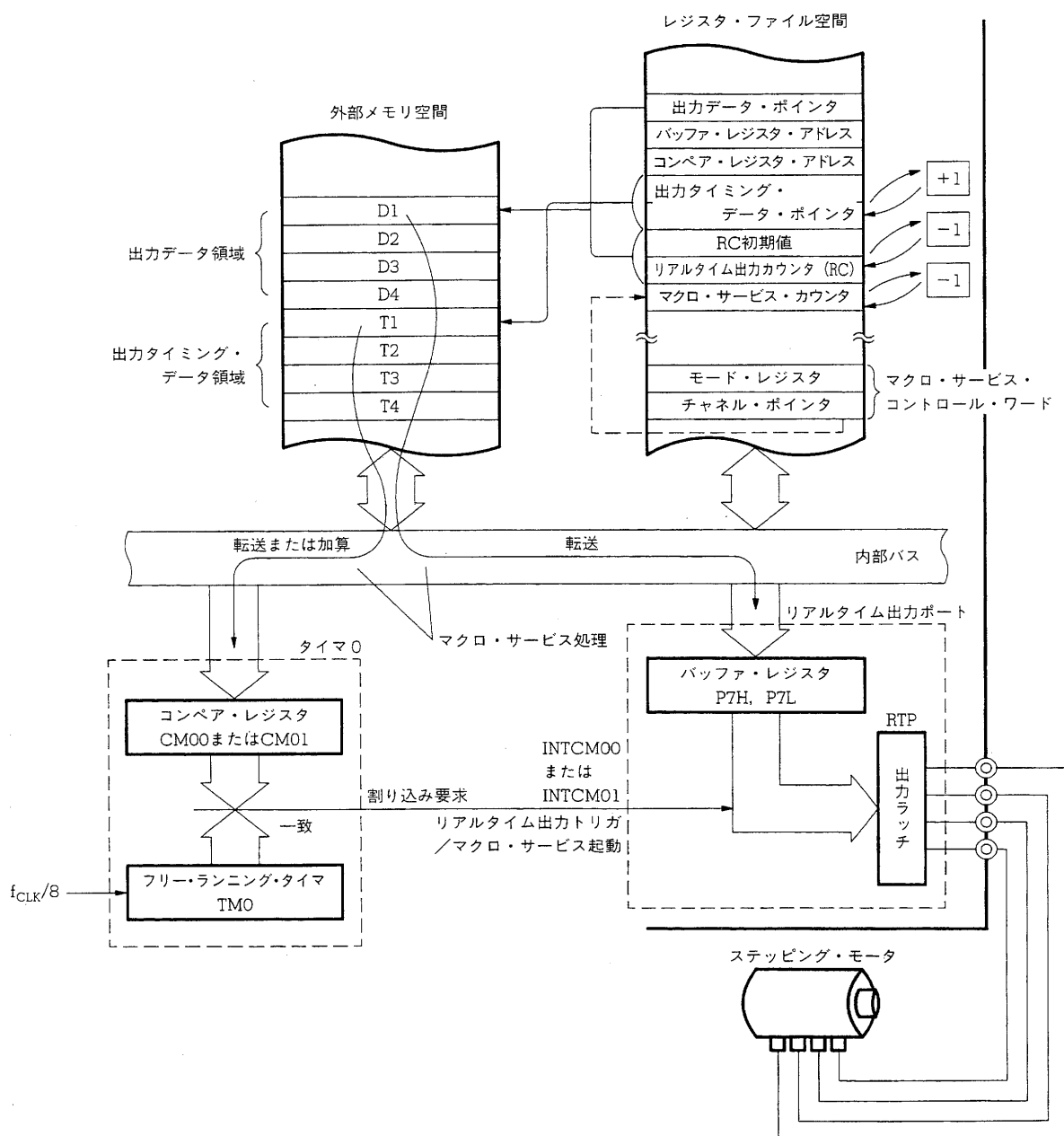
データの出力は、次のように行われます。

出力データがポート7バッファ(P7H, P7L)に書き込まれると、タイマ0からの割り込み要求(INTCM00, INTCM01)または制御レジスタ(RTPC)内のTRGビットへの書き込みタイミングで、ポート7バッファの内容はリアルタイム出力ポート(RTP)へ転送され、端子へ出力されます。

リアルタイム出力ポートへの出力パターンと出力インターバルを直接制御する例を図9-3に示します。

外部メモリ空間にあらかじめ設定してある2つのデータ格納領域より、リアルタイム出力機能のバッファ・レジスタ(P7H, P7L)およびコンペア・レジスタ(CM00, CM01)に更新データを転送します。

図9-3 リアルタイム出力ポートによるステッピング・モータ制御



特にリアルタイム出力ポート・ディレイ指定レジスタ (RTPD) の設定により、端子への出力タイミングに遅延時間を入れることも可能です。P7L のビットが “1” から “0” に変化するときにかぎり、転送トリガの発生タイミングから RTPD に設定されているシステム・クロック $\times 2$ 分の遅延時間だけディレイを挿入し出力することができます。この場合、対応出力端子からは遅延時間経過後に “0” が出力されます。またこのディレイは、ディレイ・カウンタでカウントされます。

10. PWM ユニット

V55PI は、8 ビット精度の PWM (パルス幅変調) 信号出力機能を備えています。

PWM 出力は、外部にロウ・パス・フィルタなどを接続することによって、デジタル-アナログ変換出力として使用することができます。モータなどのアクチュエータ制御信号に最適です。

10.1 特 徴

PWM ユニットは次のような特徴を持っています。

- PWM 出力パルスのアクティブ・レベルを選択可能
- 周波数：25 MHz (システム・クロック ϕ = 12.5 MHz 時)
 - PWM 周期：40.96 μ s
 - ：32 MHz (システム・クロック ϕ = 16 MHz 時)
 - PWM 周期：32.00 μ s
- 出力パルス幅 (デューティ)：0, 1/256, ………, 255/256
 - 分解能：160 ns (システム・クロック ϕ = 12.5 MHz 時)
 - 125 ns (システム・クロック ϕ = 16 MHz 時)

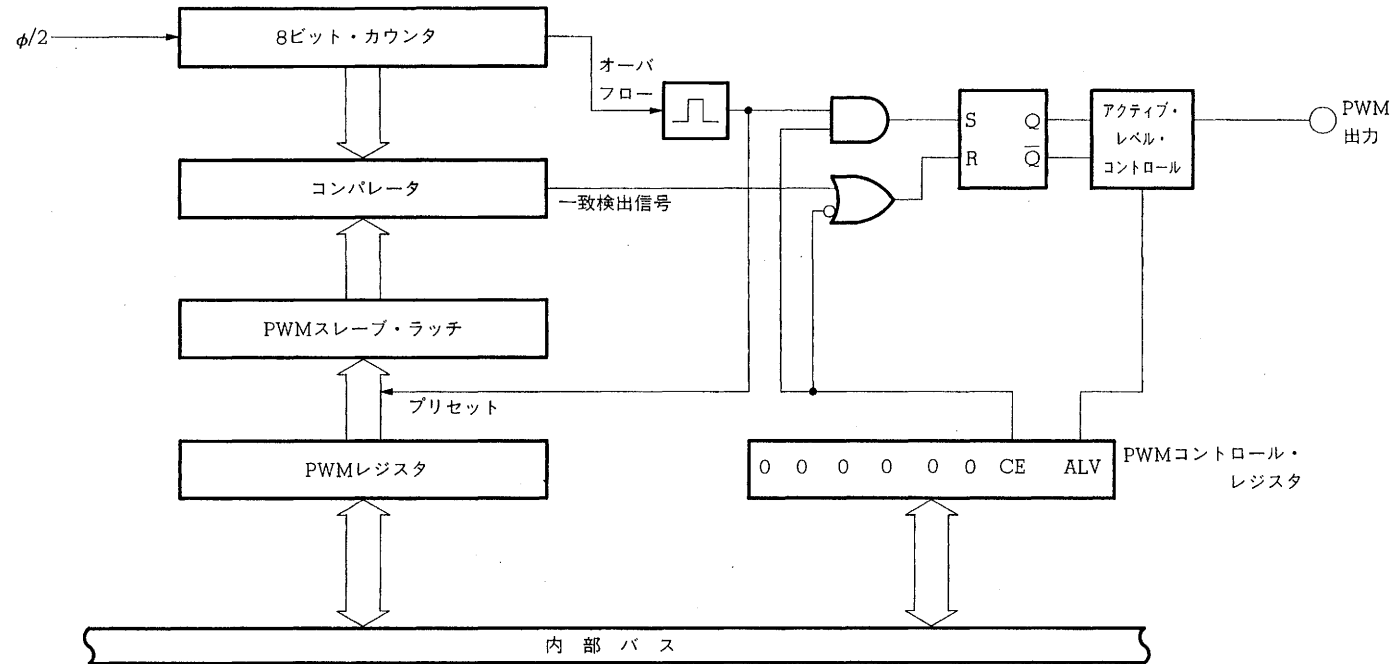
10.2 PWM ユニットの構成

PWM ユニットの構成を図 10-1 に示します。

PWM ユニットは、PWM レジスタ (PWM), PWM コントロール・レジスタ (PWMC) および 8 ビット・カウンタから構成されています。

PWM レジスタは、PWM 出力モード時のパルス幅 (デューティ) を制御するレジスタです。8 ビット・カウンタはリセット入力により 00H になります。また PWM レジスタはリセット入力により影響を受けません。

図 10-1 PWM ユニット・ブロック図



11. ウォッチドッグ・タイマ機能

ウォッチドッグ・タイマは、プログラムの暴走やデッドロックを防ぐための機能です。

11.1 特 徴

- 3種のオーバーフロー時間を設定可能 (10.4, 41.9, 167.7 [ms] : システム・クロック $\phi=12.5$ MHz)
(8.1, 32.7, 131.0 [ms] : システム・クロック $\phi=16$ MHz)
- $\overline{\text{RESET}}$ 端子に接続可能な出力端子装備 ($\overline{\text{WDTOUT}}$ 端子)

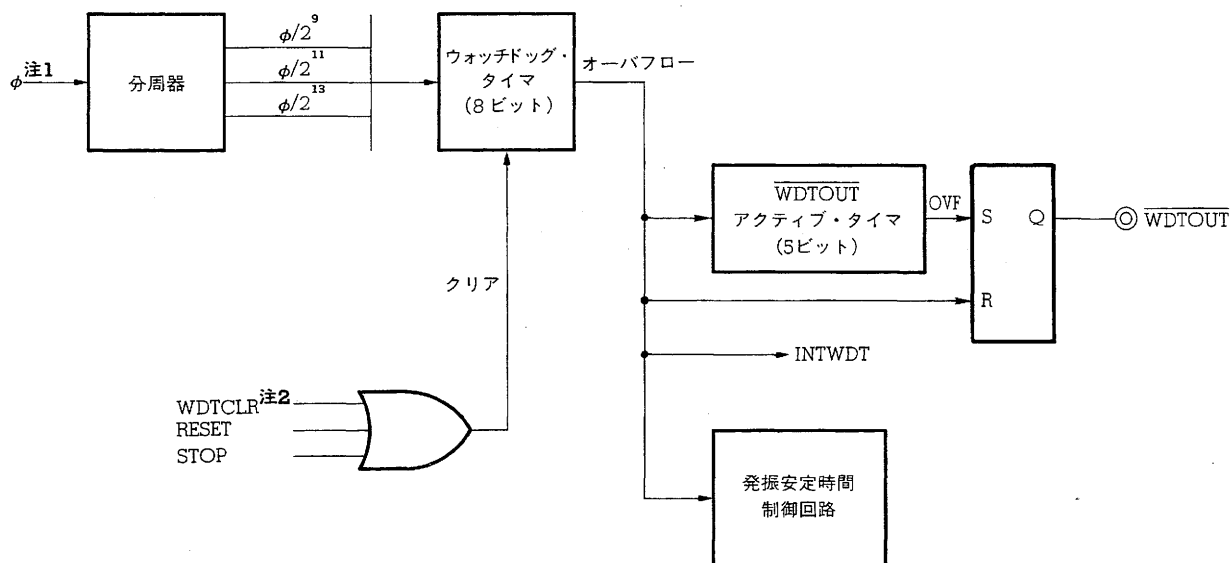
11.2 ウォッチドッグ・タイマの構成と動作

ウォッチドッグ・タイマ割り込みが発生しないことで、プログラムまたはシステムが正常に動作していることを確認できます。ウォッチドッグ・タイマ機能を使用する場合は、プログラム実行時間の一定間隔、またはサブルーチンの先頭などに、ウォッチドッグ・タイマをクリア (カウント開始) する命令 (RSTWDT 命令) を入れておく必要があります。

ウォッチドッグ・タイマをクリアする命令が設定した時間内に実行されずにウォッチドッグ・タイマがオーバーフローすると、ウォッチドッグ・タイマ割り込み (INTWDT) を発生するとともに、 $\overline{\text{WDTOUT}}$ 端子にロウ・レベルを出力し、プログラムの異常を知らせます。

図 11-1 にウォッチドッグ・タイマの構成を示します。

図 11-1 ウォッチドッグ・タイマの構成図



注 1. ϕ : システム・クロック

2. WDTCLR: 命令によるウォッチドッグ・タイマのクリア

12. A/D コンバータ機能

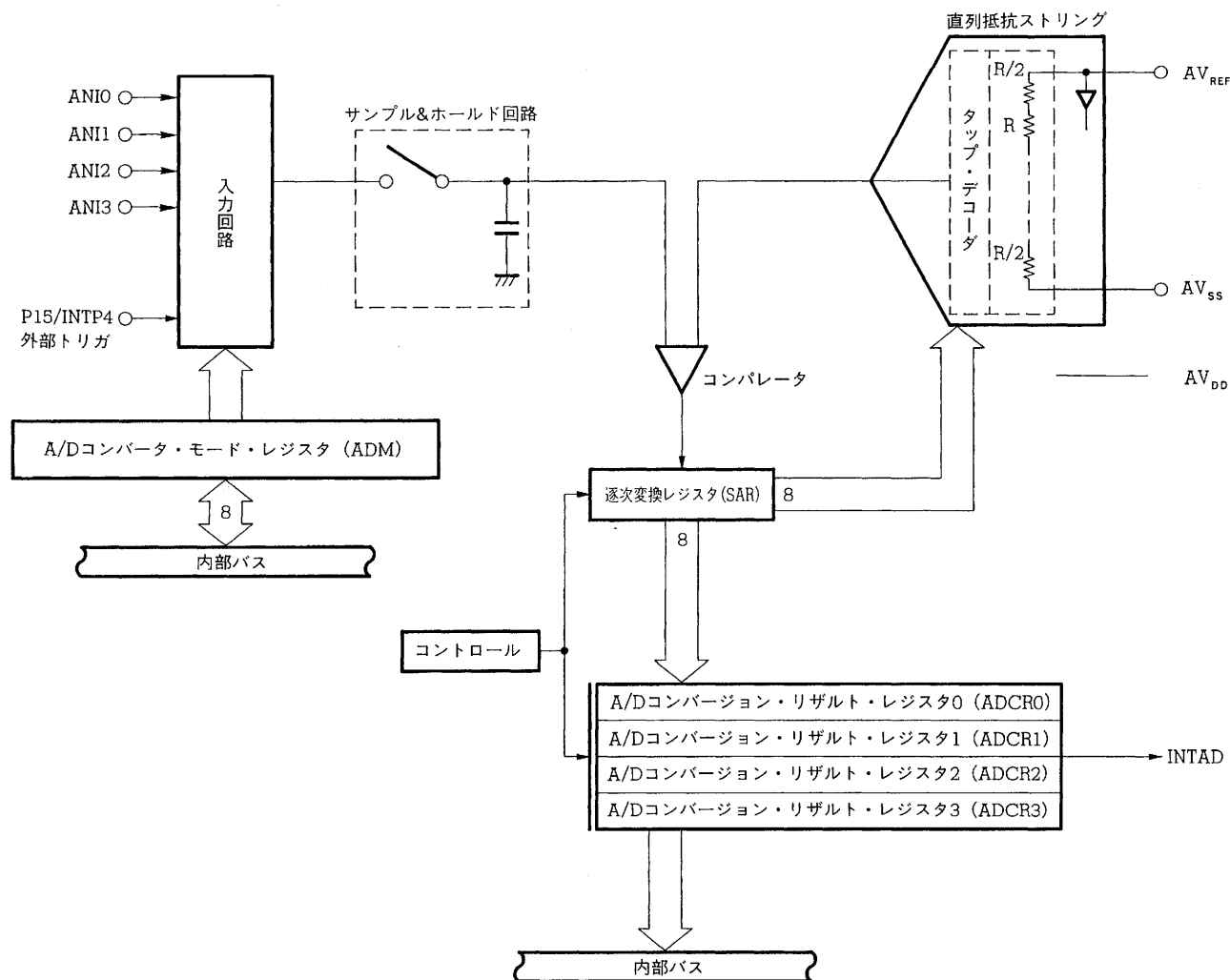
V55PI は、4 本のアナログ入力 (ANIO-ANI3) を持つ高速、高精度の 8 ビット・アナログ/ディジタル (A/D) コンバータを内蔵しています。A/D コンバータは、逐次比較方式を採用し、変換結果を保持する 4 本の A/D コンバージョン・リザルト・レジスタ (ADCR0-ADCR3) を備えています。

12.1 特 徴

A/D コンバータは、次の特徴を持っています。

- 8 ビットの A/D 変換結果レジスタを 4 本内蔵
- アナログ入力端子 (ANIO-ANI3) : 4 本
- A/D コンバータの変換動作モード : 2 種類
 - ・ スキャン・モード : 複数のアナログ入力を順次選択し、変換する。
 - ・ セレクト・モード : アナログ入力を 1 端子に固定し、連続的に変換する。
- 変換起動方法 : 2 種類
 - ・ ハードウェア・スタート : トリガ入力 (INTP4) による起動
 - ・ ソフトウェア・スタート : A/D コンバータ・モード・レジスタ (ADM) のビット設定による起動
- 変換終了割り込み要求 (INTAD) 発生

図 12 A/Dコンバータ・ブロック図



13. スタンバイ機能

V55PI は、低消費電力化を図るスタンバイ機能として、動作クロックを制御する 2つのモードを持っています。どちらのスタンバイ・モードへも専用命令で遷移することができます。

表 13-1 HALT/STOP モードの動作状態

項 目		HALT モード	STOP モード
クロック発生回路		動 作	停 止
内部システム・クロック		停 止	
16ビット・タイマ		動 作	
ウォッチドッグ・タイマ			
ホールド回路			
シリアル・インタフェース			
パラレル・インタフェース			
A/D コンバータ			
割り込み要求コントローラ			
DMA コントローラ			
$\overline{\text{IOR}}$, $\overline{\text{IOWR}}$		ハイ・レベル	ハイ・レベル
バス・ライン	AD0-AD15	DMAC の動作状態に応じて変化	保 持
	A16-A23		
R/W 出力		ハイ・レベル	ハイ・レベル
リフレッシュ動作		動 作	停 止
データ保持		CPU のステータス, RAM の内容など, 内部データはすべて保持	CPU のステータス, RAM の内容など, 内部データはすべて保持
解除方法		• NMI • INTWDT • マスカブル割り込み要求 • $\overline{\text{RESET}}$ 入力	• NMI • $\overline{\text{RESET}}$ 入力

13.1 HALT モード

CPU の動作クロックを停止させるモードです。

CPU の空き時間を HALT モードに設定することにより、システム全体の消費電力を低減させることができます。HALT 命令を実行することにより HALT モードとなります。

HALT モードでは CPU クロックが停止しプログラムの実行は停止されますが、その直前のすべてのレジスタ、内蔵 RAM の内容は保持されます。各ハードウェアの状態は表 13-1 のようになります。

なお、DMA 転送中に HALT 命令を実行した場合には、1 回の DMA 要求に対応した転送バス・サイクルが終了するまで HALT モードへの遷移は保留されます。

13.2 STOP モード

クロック発振を停止させるモードです。

応用システム全体の停止時に有効で、超低消費電力を実現します。STOP 命令を実行することにより、STOP モー

ドとなります。STOP モードでは、すべてのクロックが停止します。プログラムの実行は停止しますがその直前のすべてのレジスタ、内蔵 RAM の内容は保持されます。各ハードウェアの状態は表 13-1 のようになります。

DMA 転送中に STOP 命令を実行した場合には、1 回の DMA 要求に対応した転送バス・サイクルが終了するまで STOP モードへの遷移は保留されます。また、リフレッシュ・サイクルと STOP 命令の実行が競合した場合も、リフレッシュ・サイクルの終了まで保留されます。

14. クロック発生回路

クロック発生回路は、CPU および周辺ハードウェアに各種クロックを供給し、CPU の動作モードを制御する回路です。

14.1 クロック発生回路の構成と動作

クロック発生回路は図 14-1 のように構成されています。

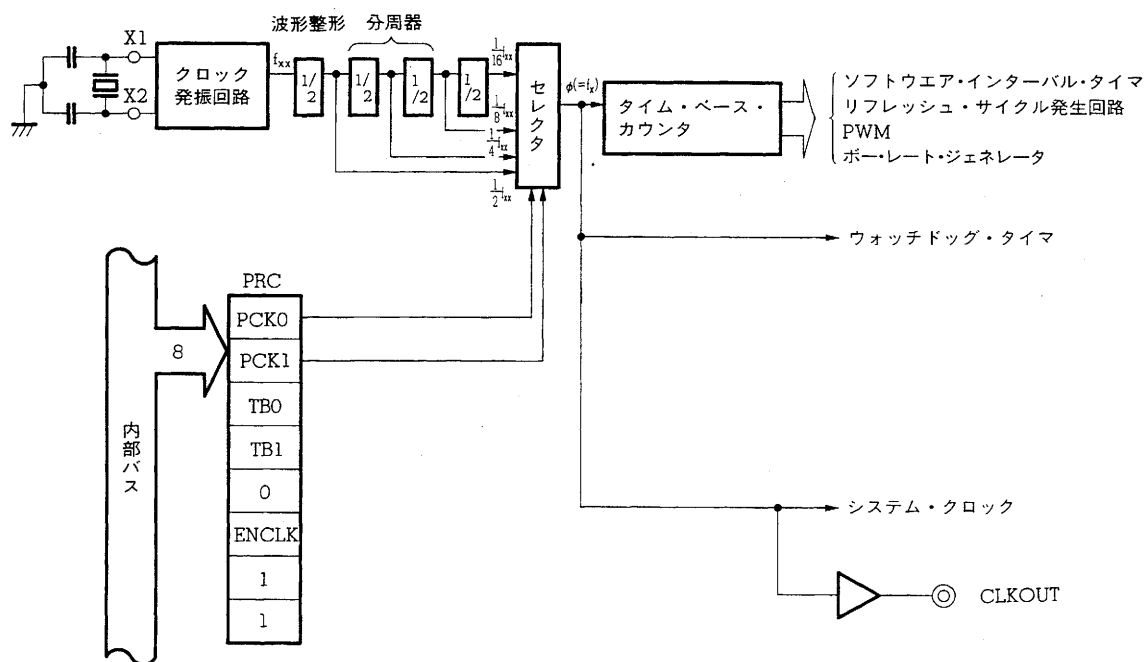
クロック発生回路のクロックは、X1, X2 端子に接続されたクリスタル振動子またはセラミック発振子によって発振します。クロック発生回路の出力は、波形整形 (1/2 分周) され、プロセッサ・コントロール・レジスタ (PRC) により分周比を選択してシステム・クロック ϕ として使用します。

システム・クロック ϕ の分周比は PRC レジスタの PCK1 と PCK0 ビットの指定により、発振周波数 (f_{xx}) の 1/2, 1/4, 1/8, 1/16 を選択することができます。

システム・クロック ϕ を低速にすることによって内部回路の消費電流が低くなり、バッテリー駆動システムで電圧が低下しても長時間の動作が可能となります。

また、外部クロックを入力することもできます。その場合 X1 端子にクロック信号を入力し、X2 端子はオープンにしてください。

図 14-1 クロック発生回路



f_{xx} : 発振周波数

ϕ : システム・クロック

PRC : プロセッサ・コントロール・レジスタ

V55PI は、内部システム・クロック ϕ を分周する分周器（タイム・ベース・カウンタ TBC）を各タイマ・ユニットで共有しています。

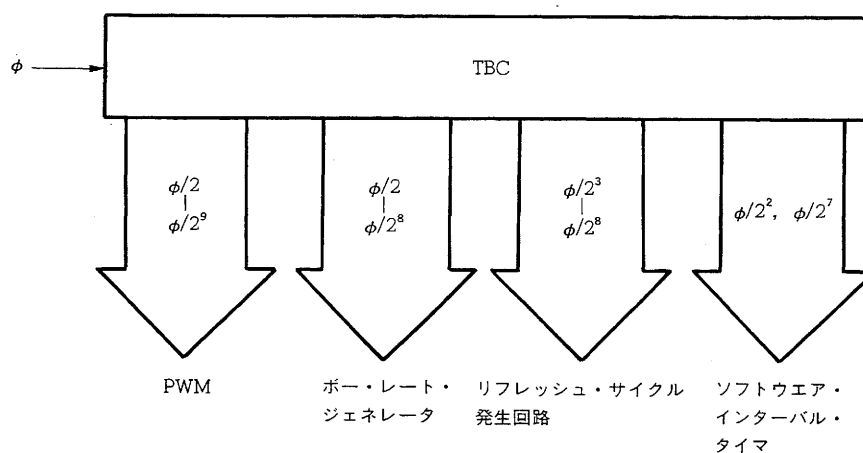
TBC は命令による読み出し、書き込みともできません。

TBC のタップ出力（ 2^n 分周クロック）は下記ユニットへカウント・クロックとして供給されています。

- (1) リフレッシュ・サイクル発生回路
- (2) ソフトウェア・インターバル・タイマ
- (3) PWM ユニット
- (4) ボー・レート・ジェネレータ

TBC はリセット入力によってのみ 00H にクリアされ、その後は常にインクリメントされます。TBC は STOP モードでは動作を停止します。TBC の構成を図 14-2 に示します。

図 14-2 分周器（タイム・ベース・カウンタ TBC）の構成



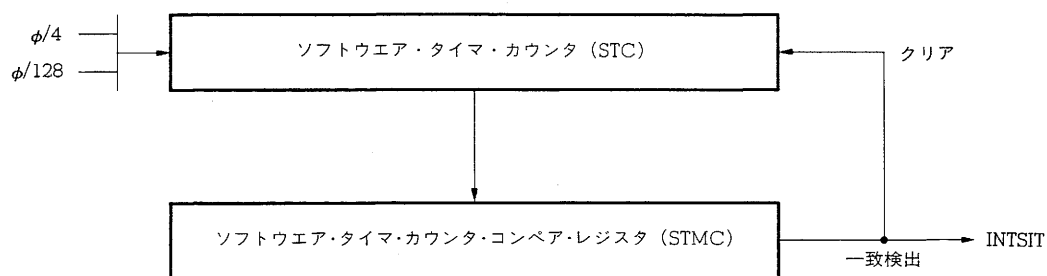
15. ソフトウェア・インターバル・タイマ機能

V55PI は、ソフトウェア・タイマ機能用または時計機能用のタイマとして、16ビット・ソフトウェア・インターバル・タイマを内蔵しています。

15.1 ソフトウェア・インターバル・タイマの構成

ソフトウェア・インターバル・タイマの構成は図 15-1 のとおりです。

図 15-1 ソフトウェア・インターバル・タイマの構成



16. コーデック命令

V55PI は、9 種類のコーデック命令を持っています。

V55PI では、これらの専用命令を用いることで、画情報の MH 符号化だけでなく、従来 ACEE（アドバンスト・コンプレッション・エクスパンション・エンジン）などの専用デバイスを用いる必要のあった MR 符号化を、小規模かつ高速なソフトウェア・コーデックにより実現できます。

16.1 特 徴

V55PI はコーデック命令として次に示す 9 命令（圧縮系：4、伸長系：5）を持っています。

○圧縮系命令

- (1) 変化点テーブル作成命令：COLTRP
- (2) データ送出命令（EOL^{注1}、FILL、RTC^{注2}などを送出）：ALBIT
- (3) MH 符号化命令：MHENC
- (4) MR 符号化命令：MRENC

○伸長系命令

- (5) EOL 検出命令：SCHEOL
- (6) 1 ビット（タグ）検出命令：GETBIT
- (7) MH 復号化変化点テーブル作成命令：MHDEC
- (8) MR 復号化変化点テーブル作成命令：MRDEC
- (9) 画素データ作成命令：CNVTRP

このような命令を使用し、MH、MR 符号化は図 16-1 のように、MH、MR 復号化は図 16-2 のように行われます。

注 1. EOL：End of Line

2. RTC：Return To Control

注意 V55PI のコーデック命令を用いて圧縮/伸長処理を行う場合、次のことを前提に指定してください。

- 1 ライン単位ごとに圧縮/伸長を行う。
- 圧縮処理中にタスク切り替えおよび割り込みが発生することを考慮する。
- 1 ライン処理ビット数が 1 ページ処理中変わらないようにする。
- セグメントをまたぐ 64 K バイト以上のデータに対しては、途中でセグメント値を変更する。

図 16-1 MH, MR 符号化処理フロー

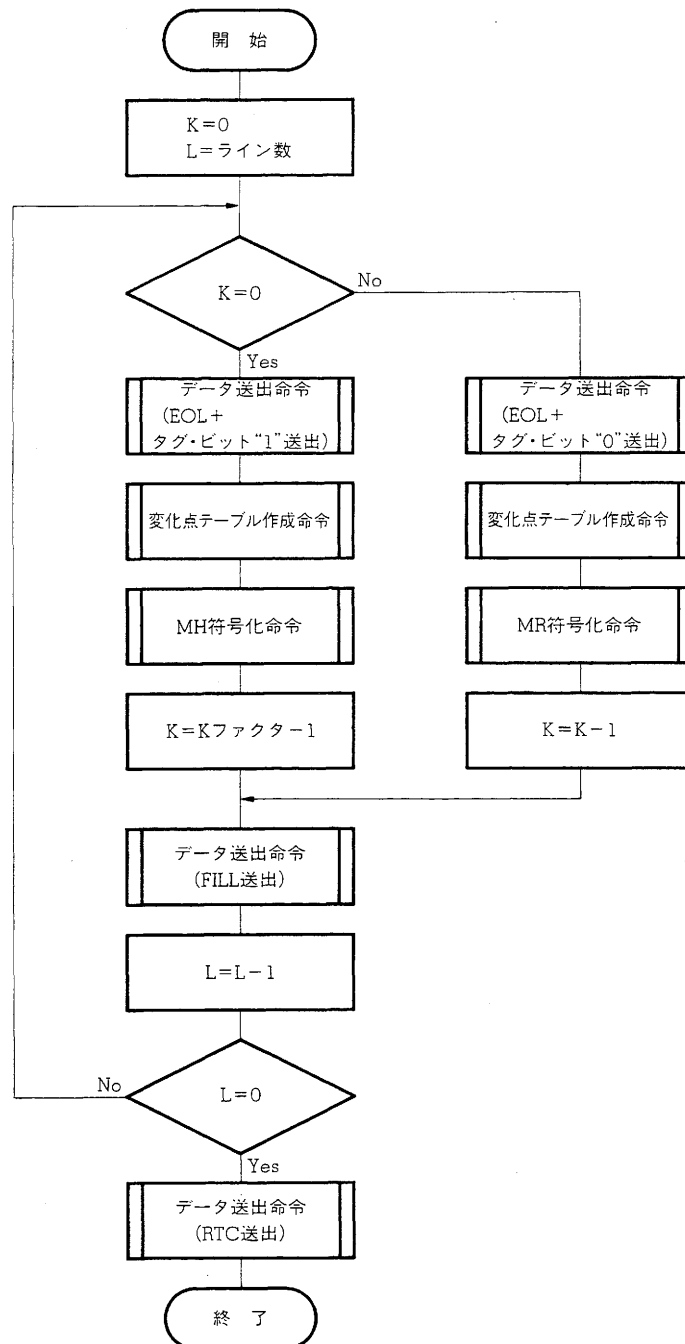
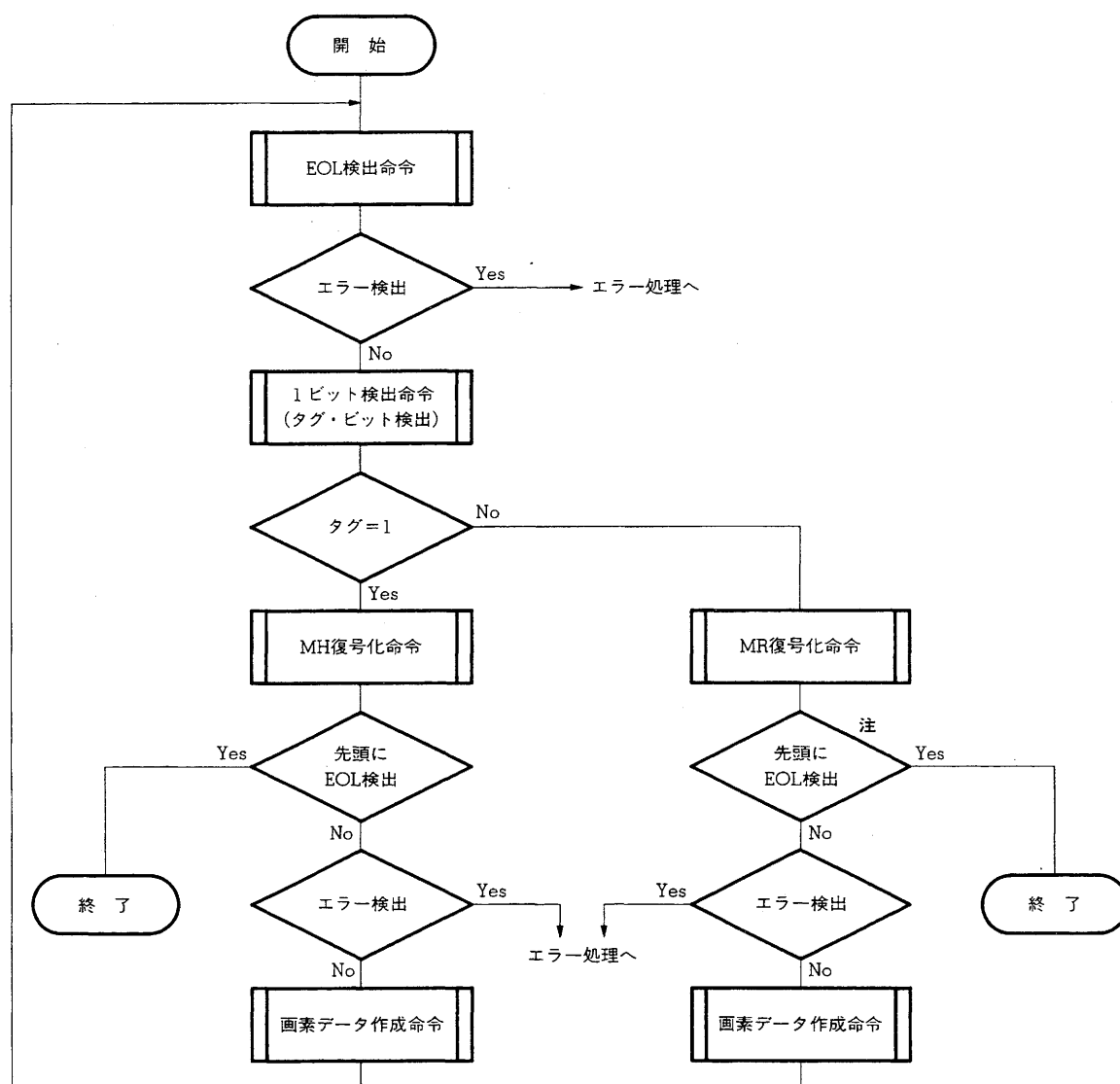


図 16-2 MH, MR 復号化処理フロー



注 RTC は 2 個の EOL で検出します。

16.2 メモリ・マップ

V55PI のコーデック命令が必要とするデータ用メモリ領域は次のとおりです。

(1) レジスタ・ファイル空間

パラメータ設定用レジスタ・バンクです。

(2) ユーザ RAM

符号化ライン変化点テーブル：符号化を行うために必要な変化点情報格納領域

(n ビット/ラインの場合、最大 $2n+4$ バイトの領域が必要)

参照ライン・テーブル：参照ラインの変化点情報格納領域

画素データ・バッファ：符号化の場合には、スキャナから読み込まれた画素データ、復号化の場合には、モデムから受信された符号化データの格納領域

送信/受信バッファ：モデム/スキャナに、符号化されたデータを引き渡すためのバッファ

プリント・バッファ：記録系に、復号化された画素データを引き渡すためのバッファ

(3) ユーザ ROM

符号化変換テーブル：MH, MR 符号化のための変換テーブル

復号化変換テーブル：MH, MR 復号化のための変換テーブル

(4) 拡張メモリ空間へのアクセス

拡張セグメント・オーバーライド・プリフィクス命令 (DS2: または DS3:) を使用して 16 M バイト拡張メモリ空間をアクセスできます。

ただし命令の実行時に使用するセグメント・レジスタ DS2, DS3 は各命令ごとのパラメータ設定用レジスタ・バンク内の DS2, DS3 を使用して行います。

表 16-1 拡張セグメント・オーバーライド・プリフィクスの付加可能なコーデック命令

DS2:	DS3:	コーデック命令
可	可	COLTRP
可	不可	MHENC
可	可	MHDEC
可	不可	MRENC
可	可	MRDEC
可	不可	SCHEOL
可	不可	GETBIT
可	可	CNVTRP

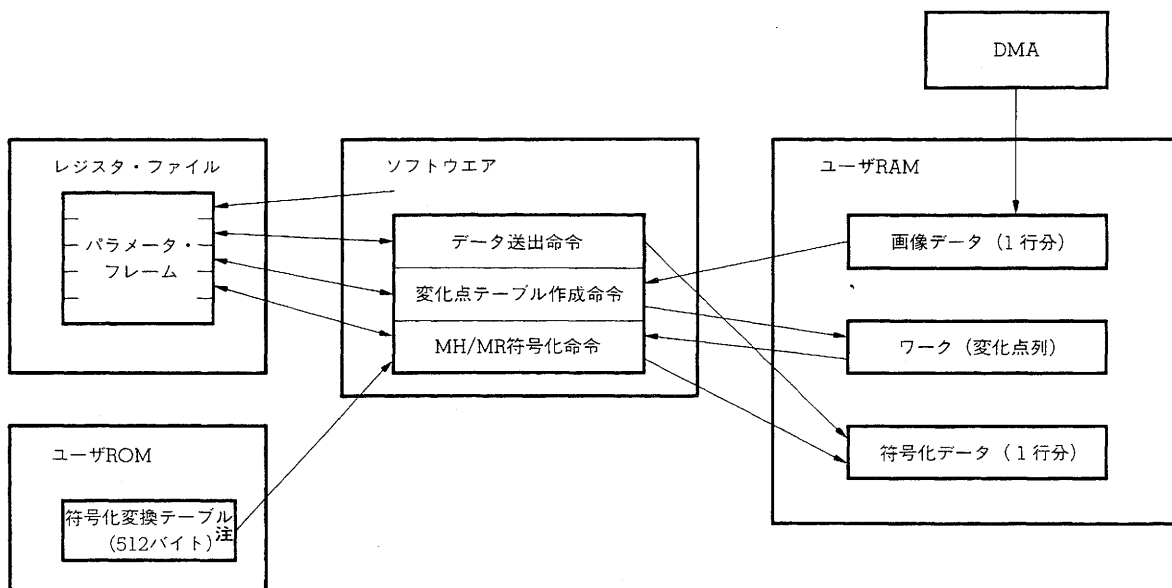
記述例

DS2: DS3: COLTRP

DS2: SCHEOL

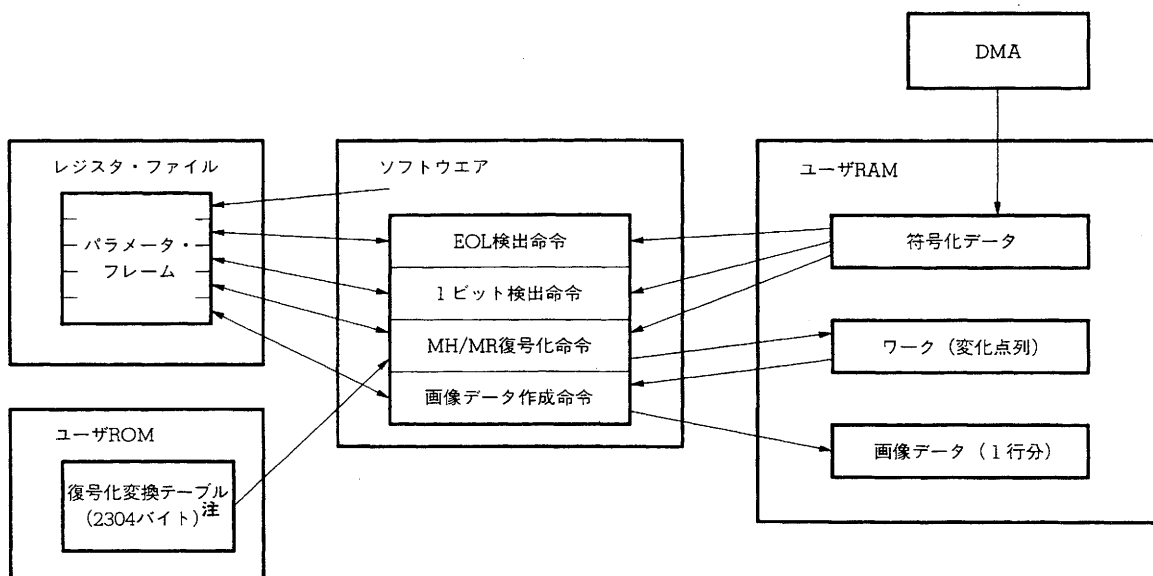
図 16-3 に符号化命令と各メモリ上のデータの関係を、図 16-4 に復号化命令と各メモリ上のデータの関係を示します。

図 16-3 符号化命令と各メモリ上のデータ



注 MH, MR 符号化命令の場合です。

図 16-4 復号化命令と各メモリ上のデータ



注 MH, MR 復号化命令の場合です。

16.3 処理フロー

符号化/復号化の処理において、16.1 特徴に示した各命令は図 16-5、図 16-6 に示すような順に使用されます。

図 16-5 1 ライン分の符号化処理の流れ

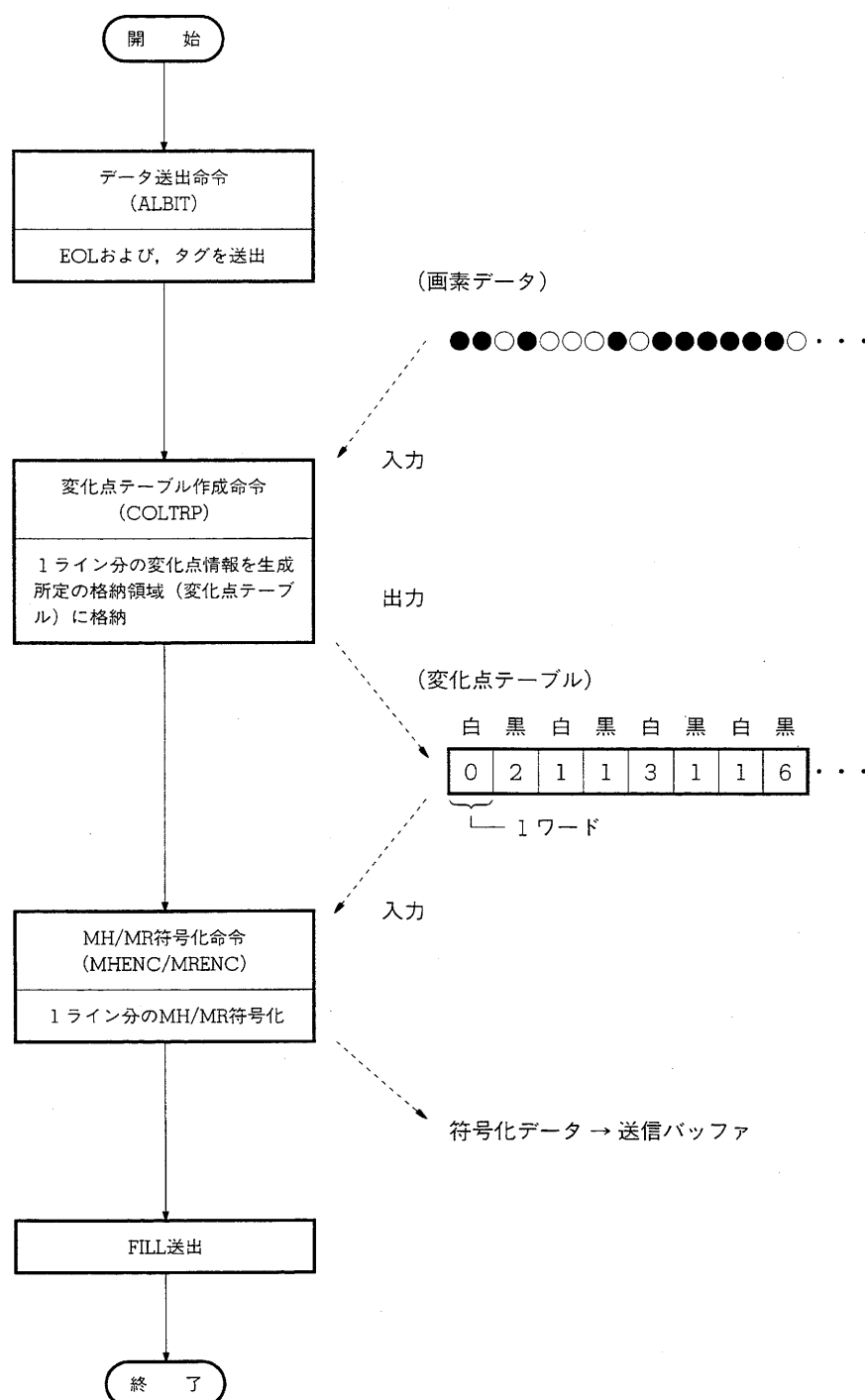
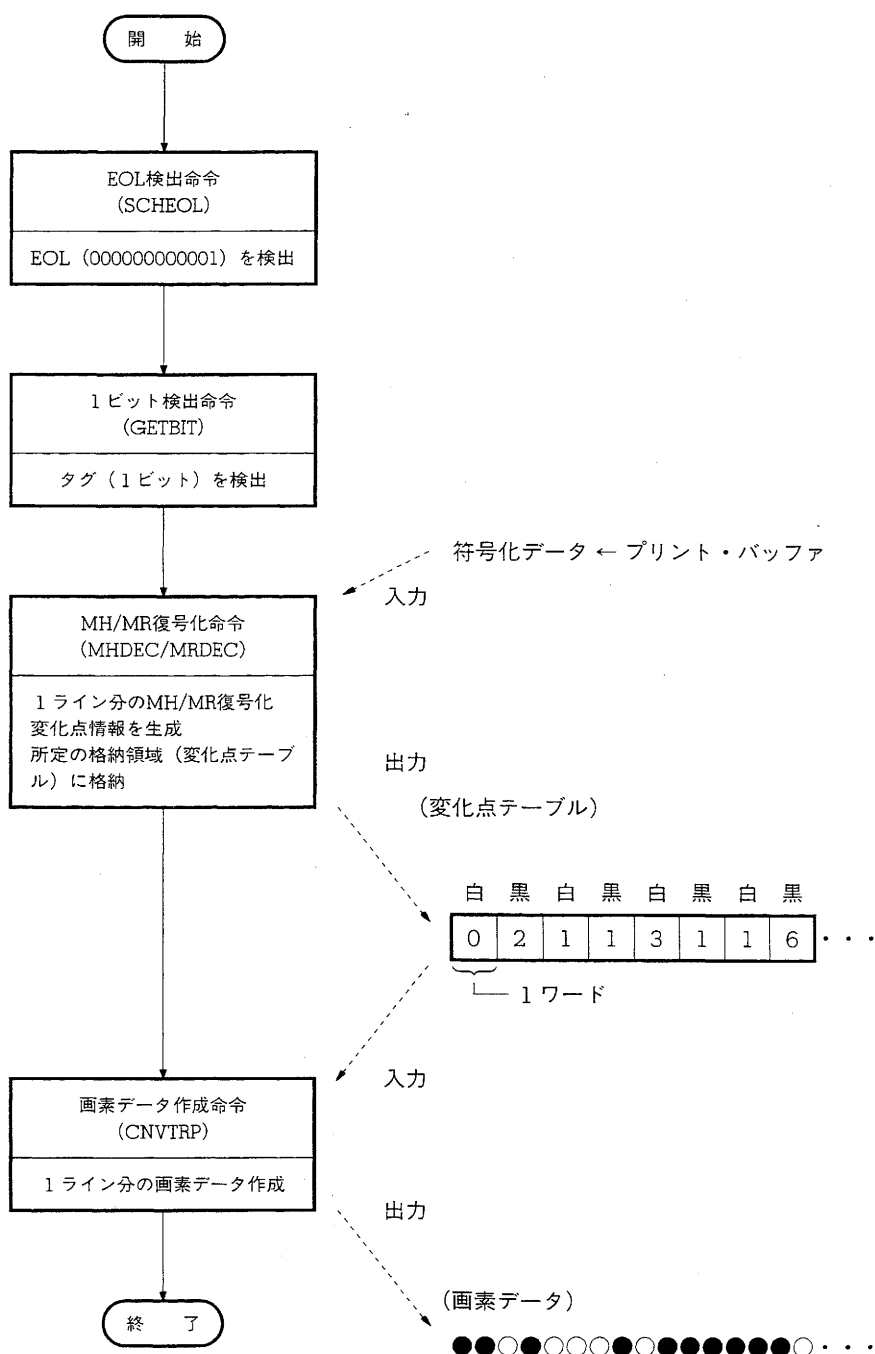


図 16-6 1ライン分の復号化処理の流れ



17. 命令セット

V55PIの命令セットは、V20、V30（ネイティブ・モード）またはV25、V35の命令セットと上位互換を持っています。

17.1 V20、V30またはV25、V35に対する追加命令

V20、V30またはV25、V35に対し、追加された命令、および適用範囲が拡張された命令を次に示します。

(1) V20、V30に対して追加した命令

ニモニツク	オペランド	命 令 群
BRKCS	reg16	レジスタ・バンク切り替え命令
TSKSW	reg16	
MOVSPA	なし	データ転送命令
MOVSPB	reg16	
BTCLR	sfr, imm3, short-label	条件付きブランチ命令
RETRBI	なし	割り込み命令
FINT	なし	
STOP	なし	CPU 制御命令

(2) V25, V35 に対して追加した命令

ニ モ ニ ッ ク	オ ペ ラ ン ド	命 令 群
IRAM	なし	レジスタ・ファイル空間アクセス用オーバーライド・プリフィクス命令
DS2	なし	拡張セグメント・オーバーライド・プリフィクス命令
DS3	なし	
MOV	DS2, reg16, mem32	データ転送命令
	DS3, reg16, mem32	
	xsreg, reg16	
	xsreg, mem16	
	reg16, xsreg	
	mem16, xsreg	
PUSH	DS2	スタック操作命令
	DS3/VPC	
POP	DS2	
	DS3/VPC	
RSTWDT	imm8, $\overline{\text{imm8}}$	ウォッチドッグ・タイマの操作命令
BTCLRL	sfr1, imm3, short-label	条件付きブランチ命令
BSCH	reg8	ビット操作命令
	mem8	
	reg16	
	mem16	
QHOUT	imm16	キュー操作命令
QOUT	imm16	
QTIN	imm16	
ALBIT	なし	FAX 専用命令
COLTRP	なし	
MHENC	なし	
MRENC	なし	
SCHEOL	なし	
GETBIT	なし	
MHDEC	なし	
MRDEC	なし	
CNVTRP	なし	

備考 VPC : ベクタ PC

17.2 命令セットのオペレーション

表 17-1 オペランド・タイプの凡例 (1/2)

識 別 子	説 明
reg,	8/16ビット汎用レジスタ (8/16ビット汎用レジスタを2つ用いる命令における, デスティネーション側レジスタ)
reg'	8/16ビット汎用レジスタを2つ用いる命令における, ソース側レジスタ
reg8,	8ビット汎用レジスタ (8ビット汎用レジスタを2つ用いる命令における, デスティネーション側レジスタ)
reg8'	8ビット汎用レジスタを2つ用いる命令における, ソース側レジスタ
reg16,	16ビット汎用レジスタ (16ビット汎用レジスタを2つ用いる命令における, デスティネーション側レジスタ)
reg16'	16ビット汎用レジスタを2つ用いる命令における, ソース側レジスタ
mem	8/16ビット・メモリ・アドレス
mem8	8ビット・メモリ・アドレス
mem16	16ビット・メモリ・アドレス
mem32	32ビット・メモリ・アドレス
sfr	特殊機能レジスタ・ロケーション: FFF00H-FFFEH
sfr1	特殊機能レジスタ・ロケーション: FFE00H-FFFEH
dmem	16ビット・ダイレクト・メモリ・アドレス
imm	8/16ビット・イミディエイト・データ
imm3	3ビット・イミディエイト・データ
imm4	4ビット・イミディエイト・データ
imm8	8ビット・イミディエイト・データ
imm8'	8ビット・イミディエイト・データ (imm8の1の補数)
imm16	16ビット・イミディエイト・データ
acc	アキュムレータ AW または AL
sreg	セグメント・レジスタ
xsreg	拡張セグメント・レジスタ
src-table	256バイト変換テーブルの名称
src-block	レジスタ IX でアドレスされるソース・ブロックの名称
dst-block	レジスタ IY でアドレスされるデスティネーション・ブロックの名称
src-string	レジスタ IX でアドレスされるソース・ストリングの名称
dst-string	レジスタ IY でアドレスされるデスティネーション・ストリングの名称
near-proc	現在のプログラム・セグメント内のプロシージャの先頭アドレス
far-proc	別のプログラム・セグメント内のプロシージャの先頭アドレス
near-label	現在のプログラム・セグメント内の絶対アドレス
short-label	命令の終わりから-128~+127バイトの範囲のメモリの相対アドレス
far-label	別のプログラム・セグメント内の絶対アドレス
regptr16	現在のプログラム・セグメント内のコール・アドレスのオフセットを持つ16ビット汎用レジスタ

表 17-1 オペランド・タイプの凡例 (2/2)

識 別 子	説 明
memptr16	現在のプログラム・セグメント内のコール・アドレスのオフセットを持つ16ビット・メモリ・アドレス
memptr32	別のプログラム・セグメント内のコール・アドレスのオフセットとセグメント・データを持つ32ビット・メモリ・アドレス
pop-value	タックから捨てるバイト数 (0-64K, 通常は偶数)
fp-op	外部の浮動小数点演算用コプロセッサの命令コードを判別するイミーディエト値
repeat	リピート・プリフィクス命令
IRAM:	レジスタ・ファイル空間アクセス用オーバライド・プリフィクス命令
R	レジスタ・セット (AW, BW, CW, DW, SP, BP, IX, IY)
()	省略可能
or, /	または

表 17-2 オペレーション・コードの凡例

識 別 子	説 明
W	ワード/バイト指定ビット (1:ワード, 0:バイト)。ただし s=1 のときは, W=1 であってもサイン拡張のバイト・データを16ビット・オペランドとします。
reg, reg'	8/16ビット汎用レジスタ指定ビット (000-111)
mod, mem	メモリ・アドレッシング指定ビット (mod: 00-10, mem: 000-111)
(disp-low)	オプション16ビット・ディスプレイースメント下位バイト
(disp-high)	オプション16ビット・ディスプレイースメント上位バイト
disp-low	PC レラティブ加算用16ビット・ディスプレイースメント下位バイト
disp-high	PC レラティブ加算用16ビット・ディスプレイースメント上位バイト
imm3	3ビット・イミーディエト・データ
imm4	4ビット・イミーディエト・データ
imm8	8ビット・イミーディエト・データ
imm8'	8ビット・イミーディエト・データ (imm8 の1の補数)
imm16-low	16ビット・イミーディエト・データの下位バイト
imm16-high	16ビット・イミーディエト・データの上位バイト
addr-low	16ビット・ダイレクト・アドレスの下位バイト
addr-high	16ビット・ダイレクト・アドレスの上位バイト
sreg	セグメント・レジスタ指定ビット (00-11)
xsreg	拡張セグメント・レジスタ指定ビット (10-11)
s	サイン拡張指定ビット (1:サイン拡張あり, 0:サイン拡張なし)
offset-low	PC にロードされる16ビット・オフセット・データの下位バイト
offset-high	PC にロードされる16ビット・オフセット・データの上位バイト
seg-low	PS にロードされる16ビット・セグメント・データの下位バイト
seg-high	PS にロードされる16ビット・セグメント・データの上位バイト
pop-value-low	スタックの捨てるバイト数を指定する16ビット・データの下位バイト
pop-value-high	スタックの捨てるバイト数を指定する16ビット・データの上位バイト
disp8	PC にレラティブ加算される8ビット・ディスプレイースメント
X	外部浮動小数点演算用コプロセッサ用のオペレーション・コード
XXX	
YYY	
ZZZ	

表 17-3 オペレーション説明上の凡例 (1/2)

識 別 子	説 明
AW	アキュムレータ (16ビット)
AH	アキュムレータ (上位バイト)
AL	アキュムレータ (下位バイト)
BW	レジスタ BW (16ビット)
CW	レジスタ CW (16ビット)
CL	レジスタ CL (下位バイト)
DW	レジスタ DW
SP	スタック・ポインタ (16ビット)
BP	ベース・ポインタ (16ビット)
PC	プログラム・カウンタ (16ビット)
PSW	プログラム・ステータス・ワード (16ビット)
IX	インデクス・レジスタ (ソース) (16ビット)
IY	インデクス・レジスタ (デスティネーション) (16ビット)
PS	プログラム・セグメント・レジスタ (16ビット)
DS3	拡張データ・セグメント 3 レジスタ (16ビット)
DS2	拡張データ・セグメント 2 レジスタ (16ビット)
DS1	データ・セグメント 1 レジスタ (16ビット)
DS0	データ・セグメント 0 レジスタ (16ビット)
SS	スタック・セグメント・レジスタ (16ビット)
AC	補助キャリー・フラグ
CY	キャリー・フラグ
P	パリティ・フラグ
S	サイン・フラグ
Z	ゼロ・フラグ
DIR	方向フラグ
IE	割り込み許可フラグ
V	オーバフロー・フラグ
IBRK	I/O ブレーク・フラグ
BRK	ブレーク・フラグ
RBO	レジスタ・バンク 0 フラグ
RB1	レジスタ・バンク 1 フラグ
RB2	レジスタ・バンク 2 フラグ
RB3	レジスタ・バンク 3 フラグ
VPC	ベクタ PC
(…)	() 内で示されるメモリの内容
disp	ディスプレースメント (8/16ビット)
temp	テンポラリ・レジスタ (8/16/32ビット)
ext-disp8	8ビット・ディスプレースメントをサイン拡張した16ビット
seg	イミューディエト・セグメント・データ (16ビット)
offset	イミューディエト・オフセット・データ (16ビット)

表 17-3 オペレーション説明上の凡例 (2/2)

識 別 子	説 明
←	転送方向
+	加算
-	減算
×	乗算
÷	除算
%	モジュロ
∧	論理積
∨	論理和
⊃	排他的論理和
××H	16進数 2 桁の数値
××××H	16進数 4 桁の数値
/	兼用, または

表 17-4 フラグの動作凡例

識 別 子	説 明
(ブランク)	変化なし
0	0 にクリア
1	1 にセット
×	結果に従ってセットまたはクリアされる
U	不定
R	以前に退避した値がリストアされる

表 17-5 メモリ・アドレッシング

mem \ mod	00	01	10
000	BW + IX	BW + IX + disp8	BW + IX + disp16
001	BW + IY	BW + IY + disp8	BW + IY + disp16
010	BP + IX	BP + IX + disp8	BP + IX + disp16
011	BP + IY	BP + IY + disp8	BP + IY + disp16
100	IX	IX + disp8	IX + disp16
101	IY	IY + disp8	IY + disp16
110	ダイレクト・アドレス	BP + disp8	BP + disp16
111	BW	BW + disp8	BW + disp16

注意 プリミティブ命令以外のメモリ・アドレッシングで **BP** を使用する場合、デフォルトのセグメント・レジスタは **SS** になります。また、**BP** を使用しない場合、デフォルトのセグメント・レジスタは **DS0** になります。

プリミティブ命令のメモリ・アドレッシングで、デスティネーション・ブロックのデフォルトのセグメント・レジスタは **DS1** になります。また、メモリ・アドレッシングでソース・ブロックのデフォルトのセグメント・レジスタは **DS0** になります。

表 17-6 8/16ビット汎用レジスタの選択

reg	W=0	W=1
000	AL	AW
001	CL	CW
010	DL	DW
011	BL	BW
100	AH	SP
101	CH	BP
110	DH	IX
111	BH	IY

表 17-7 セグメント・レジスタの選択

sreg	
00	DS1
01	PS
10	SS
11	DS0

表 17-8 拡張セグメント・レジスタの選択

xsreg	
10	DS3/VPC
11	DS2

クロック数

メモリ・オペランドの場合、クロック数がアドレッシング・モードによって異なるため、表 17-9 クロック数で“EA”と書かれている分について次に示す数値を適用してください。

mod mem	00		01		10	
		クロック		クロック		クロック
000	BW+IX	3	BW+IX+disp8	3	BW+IX+disp16	3
001	BW+IY	3	BW+IY+disp8	3	BW+IY+disp16	3
010	BP+IX	3	BP+IX+disp8	3	BP+IX+disp16	3
011	BP+IY	3	BP+IY+disp8	3	BP+IY+disp16	3
100	IX	2	IX+disp8	2	IX+disp16	2
101	IY	2	IY+disp8	2	IY+disp16	2
110	ダイレクト・アドレス	2	BP+disp8	2	BP+disp16	2
111	BW	2	BW+disp8	2	BW+disp16	2

また、“T”はウェイト・ステート数を示します。“0”（ウェイトなし）から任意のウェイト・ステート数を適用してください。

表 17-9 クロック数 (1/16)

命令群	二モニック	オペランド	注 バス 幅	バイト処理		ワード処理	
				内蔵 RAM アクセス	内蔵 RAM 以外アクセス	内蔵 RAM アクセス	内蔵 RAM 以外アクセス
データ転送命令	MOV	reg, reg'	—	2	2	2	2
		mem, reg	—	EA+2	EA+3	EA+2	EA+3
		reg, mem	8	EA+2	EA+5+T	EA+2	EA+8+2T
			16				EA+5+T
		mem, imm	—	EA+2	EA+3	EA+2	EA+3
		reg, imm	—	2	2	2	2
		acc, dmem	8	4	7+T	4	10+2T
			16				7+T
		dmem, acc	—	4	5	4	5
		sreg, reg16	—	—	—	2	2
		xsreg, reg16 VPC, reg16	8	—	—	2	2
			16				
		sreg, mem16	8	—	—	EA+2	EA+8+2T
			16				EA+5+T
		xsreg, mem16/ VPC, mem16	8	—	—	EA+2	EA+8+2T
			16				EA+5+T
		reg16, sreg	—	—	—	2	2
		reg16, xsreg/ reg16, VPC	8	—	—	2	2
			16				
		mem16, sreg	—	—	—	EA+2	EA+3
		mem16, xsreg/ mem16, VPC	8	—	—	EA+2	EA+3
			16				
		DS0, reg16, mem32	8	—	—	EA+5	EA+17+4T
			16				EA+11+2T
		DS2, reg16, mem32	8	—	—	EA+5	EA+17+4T
			16				EA+11+2T
		DS1, reg16, mem32	8	—	—	EA+5	EA+17+4T
			16				EA+11+2T
		DS3, reg16, mem32	8	—	—	EA+5	EA+17+4T
			16				EA+11+2T
		AH, PSW	—	2	2	—	—
		PSW, AH	8	3	3	—	—
			16	2	2		
	LDEA	reg16, mem16	—	—	—	EA+2	EA+2
	TRANS/ TRANSB	src-table	—	6	9+T	—	—

注 8 : 8ビット・バス幅

16 : 16ビット・バス幅

— : 8ビット・バス幅, 16ビット・バス幅共通

表 17-9 クロック数 (2/16)

命令群	ニモニック	オペランド	注 バス 幅	バイト処理		ワード処理	
				内蔵 RAM アクセス	内蔵 RAM 以外アクセス	内蔵 RAM アクセス	内蔵 RAM 以外アクセス
データ転送命令	XCH	reg, reg'	—	4	4	4	4
		mem, reg/ reg, mem		EA+4	EA+7+T	EA+4	EA+10+2T
							EA+7+T
	MOVSPA MOVSPB	AW, reg16/ reg16, AW	—	—	—	4	4
			—	—	—	8	8
リ ピ ー ト ・ プ リ フ ィ ク ス	MOVSPA		—	—	—	8	8
	MOVSPB	reg16	—	—	—	9	9
	REPC		—	0-1	0-1	0-1	0-1
	REPNC		—	0-1	0-1	0-1	0-1
プ リ ミ テ ィ ブ ・ ブ ロ ッ ク 転 送 命 令	REP/ REPE/ REPZ		—	0-1	0-1	0-1	0-1
	REPNE/ REPNZ		—	0-1	0-1	0-1	0-1
	MOVBK MOVBKB/ MOVBKW	dst-block, src-block	8	18+T	19+T	21+2T	22+2T
						9+(14+2T)n	9+(18+4T)n
			16	(rep) 9+(11+T)n (rep CW=0) 5	9+(12+2T)n 5	5	5
						18+T	19+T
						9+(11+T)n	9+(12+2T)n
						5	5
	CMPBK CMPBKB/ CMPBKW	src-block, dst-block	8	20+T	22+2T	23+2T	28+4T
						9+(16+2T)n	9+(21+4T)n
			16	(rep) 9+(13+T)n (rep CW=0) 5	9+(15+2T)n 5	5	5
						20+T	22+2T
						9+(13+T)n	9+(15+2T)n
						5	5
	CMPM CMPMB/ CMPMW	dst-block	8	15	17+T	15	20+T
							10+(12+2T)n
			16	(rep) 10+7n (rep CW=0) 5	10+(9+T)n 5	10+7n	5
							17+T
							10+(9+T)n
						5	5

注 8 : 8ビット・バス幅

16 : 16ビット・バス幅

— : 8ビット・バス幅, 16ビット・バス幅共通

備考 n : リピート回数

表 17-9 クロック数 (3/16)

命令群	ニモニック	オペランド	注 バス 幅	バイト処理		ワード処理	
				内蔵 RAM アクセス	内蔵 RAM 以外アクセス	内蔵 RAM アクセス	内蔵 RAM 以外アクセス
プリミティブ・ブロック転送命令	LDM	src-block	8	10	13+T	10	16+T
	LDMB/ LDMW			(rep) 9+3n	9+(6+T)n	9+3n	9+(9+2T)n
			16	(rep CW=0) 5	5	5	5
							13+T
							9+(6+T)n
							5
	STM	dst-block	8	12	13	12	13
	STMB/ STMW			(rep) 9+5n	9+(6+T)n	9+5n	9+(9+2T)n
			16	(rep CW=0) 5	5	5	5
							13
ビット・フィールド操作命令	INS	reg8, reg8'	8	—	—	22-63	31-72
			16				23-64
		reg8, imm4	8	—	—	22-63	31-72
			16				23-64
	EXT	reg8, reg8'	8	—	—	19-41	19+2T~48+4T
			16				19~42+2T
		reg8, imm4	8	—	—	19-41	19+2T~48+4T
			16				19~42+2T

注 8 : 8ビット・バス幅

16 : 16ビット・バス幅

備考 n : リピート回数

表 17-9 クロック数 (4/16)

命令群	ニモニック	オペランド	注1 バス幅	バイト処理		ワード処理	
				内蔵 RAM アクセス	内蔵 RAM 以外アクセス	内蔵 RAM アクセス	内蔵 RAM 以外アクセス
入出力命令	IN ^{注2}	acc, imm8	8	-	7+T	-	10+2T
			16				7+T
		acc, DW	8	-	7+T	-	10+2T
			16				7+T
	OUT ^{注2}	imm8, acc	8	-	5	-	5
			16				5
		DW, acc	8	-	5	-	5
			16				5
プリミティブ入出力命令	INM ^{注2}	dst-block, DW	8	17+T	18+T	20+2T	21+2T
				(rep) 9+(10+T) _n	9+(11+2T) _n	9+(13+2T) _n	9+(17+4T) _n
				(rep CW=0) 5	5	5	5
				(rep CW=0) 5	5	5	5
			16	(rep) 9+(7+T) _n	9+(10+2T) _n	17+T	18+T
				(rep CW=0) 5	5	9+(10+T) _n	9+(11+2T) _n
				(rep CW=0) 5	5	5	5
				(rep CW=0) 5	5	5	5
	OUTM ^{注2}	DW, src-block	8	14+T	17+2T	17+2T	23+4T
				(rep) 9+(7+T) _n	9+(10+2T) _n	9+(10+2T) _n	9+(16+4T) _n
				(rep CW=0) 5	5	5	5
				(rep CW=0) 5	5	5	5
			16	(rep) 9+(7+T) _n	9+(10+2T) _n	14+T	17+2T
				(rep CW=0) 5	5	9+(7+T) _n	9+(10+2T) _n
				(rep CW=0) 5	5	5	5
				(rep CW=0) 5	5	5	5

注 1. 8 : 8ビット・バス幅

16 : 16ビット・バス幅

2. $\overline{\text{IBRK}}=1$ のときを示します。 $\overline{\text{IBRK}}=0$ のときは次のとおりです。

備考 n : リピート回数

入出力命令	IN	acc, imm8	8	-	60+10T	-	60+10T
			16		40+5T		40+5T
		acc, DW	8	-	60+10T	-	60+10T
			16		40+5T		40+5T
	OUT	imm8, acc	8	-	60+10T	-	60+10T
			16		40+5T		40+5T
		DW, acc	8	-	60+10T	-	60+10T
			16		40+5T		40+5T
プリミティブ入出力命令	INM	dst-block, DW	8	-	60+10T	-	60+10T
			16		40+5T		40+5T
	OUTM	DW, src-block	8	-	60+10T	-	60+10T
			16		40+5T		40+5T

表 17-9 クロック数 (5/16)

命令群	ニモニック	オペランド	注 バス 幅	バイト処理		ワード処理	
				内蔵 RAM アクセス	内蔵 RAM 以外アクセス	内蔵 RAM アクセス	内蔵 RAM 以外アクセス
加 減 算 命 令	ADD	reg, reg'	—	3	3	3	3
		mem, reg	8	EA+4	EA+7+T	EA+4	EA+10+2T
			16				EA+7+T
		reg, mem	8	EA+2	EA+6+T	EA+2	EA+9+2T
			16				EA+6+T
		reg, imm	—	2	2	2	2
		mem, imm	8	EA+4	EA+7+T	EA+4	EA+10+2T
			16				EA+7+T
		acc, imm	—	2	2	2	2
	ADDC	reg, reg'	—	3	3	3	3
		mem, reg	8	EA+4	EA+7+T	EA+4	EA+10+2T
			16				EA+7+T
		reg, mem	8	EA+2	EA+6+T	EA+2	EA+9+2T
			16				EA+6+T
		reg, imm	—	2	2	2	2
		mem, imm	8	EA+4	EA+7+T	EA+4	EA+10+2T
			16				EA+7+T
		acc, imm	—	2	2	2	2
	SUB	reg, reg'	—	3	3	3	3
		mem, reg	8	EA+4	EA+7+T	EA+4	EA+10+2T
			16				EA+7+T
		reg, mem	8	EA+2	EA+6+T	EA+2	EA+9+2T
			16				EA+6+T
		reg, imm	—	2	2	2	2
		mem, imm	8	EA+4	EA+7+T	EA+4	EA+10+2T
			16				EA+7+T
		acc, imm	—	2	2	2	2
	SUBC	reg, reg'	—	3	3	3	3
		mem, reg	8	EA+4	EA+7+T	EA+4	EA+10+2T
			16				EA+7+T
		reg, mem	8	EA+2	EA+6+T	EA+2	EA+9+2T
			16				EA+6+T
		reg, imm	—	2	2	2	2
		mem, imm	8	EA+4	EA+7+T	EA+4	EA+10+2T
			16				EA+7+T
		acc, imm	—	2	2	2	2

注 8 : 8ビット・バス幅

16 : 16ビット・バス幅

— : 8ビット・バス幅, 16ビット・バス幅共通

表 17-9 クロック数 (6/16)

命令群	ニモニック	オペランド	注 バス 幅	バイト処理		ワード処理	
				内蔵 RAM アクセス	内蔵 RAM 以外アクセス	内蔵 RAM アクセス	内蔵 RAM 以外アクセス
BCD 演算命令	ADD4S	dst-string, src-string	8	$6 + (15+T)n$	$6 + (19+3T)n$	-	-
			16				
	SUB4S	dst-string, src-string	8	$6 + (16+T)n$	$6 + (20+3T)n$	-	-
			16				
	CMP4S	dst-string, src-string	8	$6 + (15+T)n$	$6 + (18+2T)n$	-	-
			16				
	ROL4	reg8	8	5	5	-	-
		mem8	16	EA+5	EA+8+T	-	-
増 減 命 令	INC	reg8	-	2	2	-	-
		mem	8	EA+3	EA+7+T	EA+3	EA+10+2T
			16				EA+7+T
		reg16	-	-	-	2	2
	DEC	reg8	-	2	2	-	-
		mem	8	EA+3	EA+7+T	EA+3	EA+10+2T
			16				EA+7+T
		reg16	-	-	-	2	2
乗 算 命 令	MULU	reg8	-	11	11	15	15
		mem8	8	EA+12	EA+14+T	EA+16	EA+21+2T
			16				EA+18+T
		reg16	-	11	11	15	15
		mem16	8	EA+12	EA+14+T	EA+16	EA+21+2T
			16				EA+18+T
	MUL	reg8	-	10	10	14	14
		mem8	8	EA+11	EA+13+T	EA+15	EA+20+2T
			16				EA+17+T
		reg16	-	10	10	14	14
		mem16	8	EA+11	EA+13+T	EA+15	EA+20+2T
			16				EA+17+T
		reg16, reg16', imm8/reg16, imm8	-	-	-	14	14
		reg16, mem16, imm8	8	-	-	EA+15	EA+20+2T
			16				EA+17+T

注 8 : 8ビット・バス幅

16 : 16ビット・バス幅

- : 8ビット・バス幅, 16ビット・バス幅共通

備考 n : BCD桁数の1/2

表 17-9 クロック数 (7/16)

命令群	二モニック	オペランド	注 バ ス 幅	バイト処理		ワード処理	
				内蔵 RAM アクセス	内蔵 RAM 以外アクセス	内蔵 RAM アクセス	内蔵 RAM 以外アクセス
乗算命令	MUL	reg16, reg16, imm16/reg16, imm16	—	—	—	14	14
		reg16, mem16, imm16	8	—	—	EA + 15	EA + 20 + 2T
			16				EA + 17 + T
除算命令	DIVU	reg8	8	15/62 + 10T	15/62 + 10T	23/57 + 10T	23/57 + 10T
			16	15/42 + 5T	15/42 + 5T	23/42 + 5T	23/42 + 5T
		mem8	8	EA + 16/63 + 10T	EA + 18 + T/63 + 10T	EA + 24/58 + 10T	EA + 30 + 2T/58 + 10T
			16	EA + 16/43 + 5T	EA + 18 + T/43 + 5T	EA + 24/43 + 5T	EA + 26 + T/43 + 5T
		reg16	8	15/62 + 10T	15/62 + 10T	23/57 + 10T	23/57 + 10T
			16	15/42 + 5T	15/42 + 5T	23/42 + 5T	23/42 + 5T
		mem16	8	EA + 16/63 + 10T	EA + 18 + T/63 + 10T	EA + 24/58 + 10T	EA + 30 + 2T/58 + 10T
			16	EA + 16/43 + 5T	EA + 18 + T/43 + 5T	EA + 24/43 + 5T	EA + 26 + T/43 + 5T
	DIV	reg8	8	17/64 + 10T	17/64 + 10T	25/59 + 10T	25/59 + 10T
			16	17/44 + 5T	17/44 + 5T	25/44 + 5T	25/44 + 5T
		mem8	8	EA + 18/65 + 10T	EA + 20 + T/65 + 10T	EA + 26/60 + 10T	EA + 31 + 2T/60 + 10T
			16	EA + 18/45 + 5T	EA + 20 + T/45 + 5T	EA + 26/45 + 5T	EA + 28 + T/45 + 5T
		reg16	8	17/64 + 10T	17/64 + 10T	25/59 + 10T	25/59 + 10T
			16	17/44 + 5T	17/44 + 5T	25/44 + 5T	25/44 + 5T
		mem16	8	EA + 18/65 + 10T	EA + 20 + T/65 + 10T	EA + 26/60 + 10T	EA + 31 + 2T/60 + 10T
			16	EA + 18/45 + 5T	EA + 20 + T/45 + 5T	EA + 26/45 + 5T	EA + 28 + T/45 + 5T
BCD補正命令	ADJBA		8	6	9	—	—
			16	9			
	ADJ4A		—	3	3	—	—
	ADJBS		8	6	6	—	—
			16	9	9		
	ADJ4S		—	3	3	—	—
データ変換命令	CVTBD		—	18	18	—	—
	CVTDB		—	8	8	—	—
	CVTBW		—	3	3	—	—
	CVTWL		—	—	—	3	3

注 8 : 8ビット・バス幅

16 : 16ビット・バス幅

— : 8ビット・バス幅, 16ビット・バス幅共通

備考 /の右側は, ディバイド・エラーのとき

表 17-9 クロック数 (8/16)

命令群	ニモニツク	オペランド	注 バス 幅	バイト処理		ワード処理	
				内蔵 RAM アクセス	内蔵 RAM 以外アクセス	内蔵 RAM アクセス	内蔵 RAM 以外アクセス
比較命令	CMP	reg, reg'	—	3	3	3	3
		mem, reg	8	EA+4	EA+6+T	EA+4	EA+9+2T
			16				EA+6+T
		reg, mem	8	EA+2	EA+6+T	EA+2	EA+9+2T
			16				EA+6+T
		reg, imm	—	2	2	2	2
		mem, imm	8	EA+4	EA+6+T	EA+4	EA+9+2T
			16				EA+6+T
		acc, imm	—	2	2	2	2
補数演算命令	NOT	reg	—	2	2	2	2
		mem	8	EA+3	EA+7+T	EA+3	EA+10+2T
			16				EA+7+T
	NEG	reg	—	2	2	2	2
		mem	8	EA+3	EA+7+T	EA+3	EA+10+2T
			16				EA+7+T
論理演算命令	TEST	reg, reg'	—	3	3	3	3
		mem, reg/ reg, mem	8	EA+4	EA+6+T	EA+4	EA+9+2T
			16				EA+6+T
		reg, imm	—	2	2	2	2
		mem, imm	8	EA+4	EA+6+T	EA+4	EA+9+2T
			16				EA+6+T
		acc, imm	—	2	2	2	2
	AND	reg, reg'	—	3	3	3	3
		mem, reg	8	EA+4	EA+7+T	EA+4	EA+10+2T
			16				EA+7+T
		reg, mem	8	EA+2	EA+6+T	EA+2	EA+9+2T
			16				EA+6+T
		reg, imm	—	2	2	2	2
		mem, imm	8	EA+4	EA+7+T	EA+4	EA+10+2T
			16				EA+7+T
		acc, imm	—	2	2	2	2

注 8 : 8ビット・バス幅

16 : 16ビット・バス幅

— : 8ビット・バス幅, 16ビット・バス幅共通

表 17-9 クロック数 (9/16)

命令群	ニモニック	オペランド	注 バス 幅	バイト処理		ワード処理	
				内蔵 RAM アクセス	内蔵 RAM 以外アクセス	内蔵 RAM アクセス	内蔵 RAM 以外アクセス
論 理 演 算 命 令	OR	reg, reg'	—	3	3	3	3
		mem, reg	8	EA+4	EA+7+T	EA+4	EA+10+2T
			16				EA+7+T
		reg, mem	8	EA+2	EA+6+T	EA+2	EA+9+2T
			16				EA+6+T
		reg, imm	—	2	2	2	2
		mem, imm	8	EA+4	EA+7+T	EA+4	EA+10+2T
			16				EA+7+T
		acc, imm	—	2	2	2	2
	XOR	reg, reg'	—	3	3	3	3
		mem, reg	8	EA+4	EA+7+T	EA+4	EA+10+2T
			16				EA+7+T
		reg, mem	8	EA+2	EA+6+T	EA+2	EA+9+2T
			16				EA+6+T
		reg, imm	—	2	2	2	2
		mem, imm	8	EA+4	EA+7+T	EA+4	EA+10+2T
			16				EA+7+T
		acc, imm	—	2	2	2	2
ビ ッ ト 操 作 命 令	TEST1	reg8, CL	—	3	3	3	3
		mem8, CL	8	EA+4	EA+6+T	EA+4	EA+9+2T
			16				EA+6+T
		reg16, CL	—	3	3	3	3
		mem16, CL	8	EA+4	EA+6+T	EA+4	EA+9+2T
			16				EA+6+T
		reg8, imm3	—	2	2	2	2
		mem8, imm3	8	EA+4	EA+6+T	EA+4	EA+9+2T
			16				EA+6+T
	NOT1	reg16, imm4	—	2	2	2	2
		mem16, imm4	8	EA+4	EA+6+T	EA+4	EA+9+2T
			16				EA+6+T
		reg8, CL	—	3	3	3	3
		mem8, CL	8	EA+4	EA+7+T	EA+4	EA+10+2T
			16				EA+7+T
		reg16, CL	—	3	3	3	3
		mem16, CL	8	EA+4	EA+7+T	EA+4	EA+10+2T
			16				EA+7+T

注 8 : 8ビット・バス幅

16 : 16ビット・バス幅

— : 8ビット・バス幅, 16ビット・バス幅共通

表 17-9 クロック数 (10/16)

命令群	ニモニク	オペランド	注 バス 幅	バイト処理		ワード処理	
				内蔵 RAM アクセス	内蔵 RAM 以外アクセス	内蔵 RAM アクセス	内蔵 RAM 以外アクセス
ビット 操 作 命 令	NOT1	reg8, imm3	—	2	2	2	2
		mem8, imm3	8	EA+4	EA+7+T	EA+4	EA+10+2T
			16				EA+7+T
		reg16, imm4	—	2	2	2	2
		mem16, imm4	8	EA+4	EA+7+T	EA+4	EA+10+2T
			16				EA+7+T
		CY	—	2	2	2	2
	CLR1	reg8, CL	—	3	3	3	3
		mem8, CL	8	EA+4	EA+7+T	EA+4	EA+10+2T
			16				EA+7+T
		reg16, CL	—	3	3	3	3
		mem16, CL	8	EA+4	EA+7+T	EA+4	EA+10+2T
			16				EA+7+T
		reg8, imm3	—	2	2	2	2
		mem8, imm3	8	EA+4	EA+7+T	EA+4	EA+10+2T
			16				EA+7+T
		reg16, imm4	—	2	2	2	2
		mem16, imm4	8	EA+4	EA+7+T	EA+4	EA+10+2T
			16				EA+7+T
		CY	—	2	2	2	2
		DIR	—	2	2	2	2
	SET1	reg8, CL	—	3	3	3	3
		mem8, CL	8	EA+4	EA+7+T	EA+4	EA+10+2T
			16				EA+7+T
		reg16, CL	—	3	3	3	3
		mem16, CL	8	EA+4	EA+7+T	EA+4	EA+10+2T
			16				EA+7+T
		reg8, imm3	—	2	2	2	2
		mem8, imm3	8	EA+4	EA+7+T	EA+4	EA+10+2T
			16				EA+7+T
		reg16, imm4	—	2	2	2	2
		mem16, imm4	8	EA+4	EA+7+T	EA+4	EA+10+2T
			16				EA+7+T

注 8 : 8ビット・バス幅

16 : 16ビット・バス幅

— : 8ビット・バス幅, 16ビット・バス幅共通

表 17-9 クロック数 (11/16)

命令群	二モニック	オペランド	注 バス 幅	バイト処理		ワード処理	
				内蔵 RAM アクセス	内蔵 RAM 以外アクセス	内蔵 RAM アクセス	内蔵 RAM 以外アクセス
ビット 操作 命令	SET1	CY	—	2	2	2	2
		DIR	—	2	2	2	2
	BSCH	mem	8	$EA+8+3n+T$	$EA+8+3n+T$	$EA+11+3n+2T$	$EA+11+3n+2T$
			16	$EA+8+3n+T$	$EA+8+3n+T$	$EA+8+3n+T$	$EA+8+3n+T$
		reg	—	$4+3n$	$4+3n$	$4+3n$	$4+3n$
シフト 命令	SHL	reg, 1	—	3	3	3	3
		mem, 1	8	$EA+3$	$EA+7+T$	$EA+3$	$EA+10+2T$
			16				$EA+7+T$
		reg, CL	—	$5+n$	$5+n$	$5+n$	$5+n$
		mem, CL	8	$EA+5+n$	$EA+8+T+n$	$EA+6+n$	$EA+11+2T+n$
			16				$EA+8+T+n$
		reg, imm8	—	$5+n$	$5+n$	$5+n$	$5+n$
		mem, imm8	8	$EA+6+n$	$EA+8+T+n$	$EA+6+n$	$EA+11+2T+n$
			16				$EA+8+T+n$
	SHR	reg, 1	—	3	3	3	3
		mem, 1	8	$EA+3$	$EA+7+T$	$EA+3$	$EA+10+2T$
			16				$EA+7+T$
		reg, CL	—	$5+n$	$5+n$	$5+n$	$5+n$
		mem, CL	8	$EA+5+n$	$EA+8+T+n$	$EA+6+n$	$EA+11+2T+n$
			16				$EA+8+T+n$
		reg, imm8	—	$5+n$	$5+n$	$5+n$	$5+n$
		mem, imm8	8	$EA+6+n$	$EA+8+T+n$	$EA+6+n$	$EA+11+2T+n$
			16				$EA+8+T+n$
	SHRA	reg, 1	—	3	3	3	3
		mem, 1	8	$EA+3$	$EA+7+T$	$EA+3$	$EA+10+2T$
			16				$EA+7+T$
		reg, CL	—	$5+n$	$5+n$	$5+n$	$5+n$
		mem, CL	8	$EA+5+n$	$EA+8+T+n$	$EA+6+n$	$EA+11+2T+n$
			16				$EA+8+T+n$
		reg, imm8	—	$5+n$	$5+n$	$5+n$	$5+n$
		mem, imm8	8	$EA+6+n$	$EA+8+T+n$	$EA+6+n$	$EA+11+2T+n$
			16				$EA+8+T+n$

注 8 : 8ビット・バス幅

16 : 16ビット・バス幅

— : 8ビット・バス幅, 16ビット・バス幅共通

備考 n : シフト数 (ビット操作命令中の n は, サーチしたビット番号を示します)

表 17-9 クロック数 (12/16)

命令群	ニモニク	オペランド	注 バス 幅	バイト処理		ワード処理	
				内蔵 RAM アクセス	内蔵 RAM 以外アクセス	内蔵 RAM アクセス	内蔵 RAM 以外アクセス
ロ ー テ ィ ン グ 命 令	ROL	reg, 1	—	3	3	3	3
		mem, 1	8	EA+3	EA+7+T	EA+3	EA+10+2T
			16				EA+7+T
		reg, CL	—	5+n	5+n	5+n	5+n
		mem, CL	8	EA+5+n	EA+8+T+n	EA+6+n	EA+11+2T+n
			16				EA+8+T+n
		reg, imm8	—	5+n	5+n	5+n	5+n
		mem, imm8	8	EA+6+n	EA+8+T+n	EA+6+n	EA+11+2T+n
			16				EA+8+T+n
	ROR	reg, 1	—	3	3	3	3
		mem, 1	8	EA+3	EA+7+T	EA+3	EA+10+2T
			16				EA+7+T
		reg, CL	—	5+n	5+n	5+n	5+n
		mem, CL	8	EA+5+n	EA+8+T+n	EA+6+n	EA+11+2T+n
			16				EA+8+T+n
		reg, imm8	—	5+n	5+n	5+n	5+n
		mem, imm8	8	EA+6+n	EA+8+T+n	EA+6+n	EA+11+2T+n
			16				EA+8+T+n
	ROLC	reg, 1	—	3	3	3	3
		mem, 1	8	EA+3	EA+7+T	EA+3	EA+10+2T
			16				EA+7+T
		reg, CL	—	5+n	5+n	5+n	5+n
		mem, CL	8	EA+5+n	EA+8+T+n	EA+6+n	EA+11+2T+n
			16				EA+8+T+n
		reg, imm8	—	5+n	5+n	5+n	5+n
		mem, imm8	8	EA+6+n	EA+8+T+n	EA+6+n	EA+11+2T+n
			16				EA+8+T+n
	RORC	reg, 1	—	3	3	3	3
		mem, 1	8	EA+3	EA+7+T	EA+3	EA+10+2T
			16				EA+7+T
		reg, CL	—	5+n	5+n	5+n	5+n
		mem, CL	8	EA+5+n	EA+8+T+n	EA+6+n	EA+11+2T+n
			16				EA+8+T+n
		reg, imm8	—	5+n	5+n	5+n	5+n
		mem, imm8	8	EA+6+n	EA+8+T+n	EA+6+n	EA+11+2T+n
			16				EA+8+T+n

注 8 : 8ビット・バス幅

16 : 16ビット・バス幅

— : 8ビット・バス幅, 16ビット・バス幅共通

備考 n : シフト数

表 17-9 クロック数 (13/16)

命令群	ニモニック	オペランド	注1 バス幅	バイト処理		ワード処理	
				内蔵 RAM アクセス	内蔵 RAM 以外アクセス	内蔵 RAM アクセス	内蔵 RAM 以外アクセス
ローテート 命令	RORC	reg, imm8	—	5+n	5+n	5+n	5+n
		mem, imm8	8	EA+6+n	EA+8+T+n	EA+6+n	EA+11+2T+n
			16				EA+8+T+n
サブ ルー チ ン 制 御 命 令	CALL	near-proc	8	—	—	—	19+2T
			16				16+T
		regptr16	8	—	—	—	18+2T
			16				15+T
		memptr16	8	—	—	EA+19+2T	EA+24+4T
			16			EA+16+T	EA+18+2T
		far-proc	8	—	—	—	29+4T
			16				23+2T
		memptr32	8	—	—	EA+32+4T	EA+44+8T
			16			EA+26+2T	EA+32+4T
	RET		8	—	—	—	18+2T
			16				15+T
		pop-value	8	—	—	—	19+2T
			16				16+T
		注2	8	—	—	—	26+4T
			16				20+2T
		pop-value ^{注2}	8	—	—	—	27+4T
			16				21+2T
スタック 操作 命令	PUSH	mem16	8	—	—	EA+7	EA+13+2T
			16				EA+10+T
		reg16	—	—	—	—	7
		sreg	—	—	—	—	7
		xsreg/VPC	—	—	—	—	7
		PSW	—	—	—	—	6
		R	8	—	—	—	57+14T
			16				36+7T
		imm8	—	—	—	—	6
		imm16	—	—	—	—	6
	POP	mem16	8	—	—	EA+13+2T	EA+14+2T
			16			EA+10+T	EA+11+T

注 1. 8 : 8ビット・バス幅

16 : 16ビット・バス幅

— : 8ビット・バス幅, 16ビット・バス幅共通

2. セグメント外を示します。

備考 n : シフト数

表 17-9 クロック数 (14/16)

命令群	ニモニク	オペランド	注1 バス幅	バイト処理		ワード処理	
				内蔵 RAM アクセス	内蔵 RAM 以外アクセス	内蔵 RAM アクセス	内蔵 RAM 以外アクセス
スタック操作命令	POP	reg16	8	—	—	—	10+2T
			16	—	—	—	7+T
		sreg	8	—	—	—	10+2T
			16	—	—	—	7+T
		xsreg/VPC	8	—	—	—	10+2T
			16	—	—	—	7+T
		PSW	8	—	—	—	11+2T
			16	—	—	—	8+T
	R		8	—	—	—	76+16T
			16	—	—	—	52+8T
命令	PREPARE ^{注2}	imm16, imm8	—	—	—	—	9
	DISPOSE		8	—	—	—	10+2T
			16	—	—	—	7+T
ブランチ命令	BR	near-label	—	—	—	—	9
		short-label	—	—	—	—	9
		regptr16	—	—	—	—	8
		memptr16	8	—	—	EA+9	EA+14+2T
			16	—	—		EA+11+T
		far-label	—	—	—	—	9
		memptr32	8	—	—	EA+12	EA+24+4T
			16	—	—		EA+18+2T
条件付きブランチ命令	BV	short-label	—	—	—	9/3	9/3
	BNV	short-label	—	—	—	9/3	9/3
	BC/BL	short-label	—	—	—	9/3	9/3
	BNC/BNL	short-label	—	—	—	9/3	9/3
	BE/BZ	short-label	—	—	—	9/3	9/3
	BNE/BNZ	short-label	—	—	—	9/3	9/3
	BNH	short-label	—	—	—	9/3	9/3
	BH	short-label	—	—	—	9/3	9/3
	BN	short-label	—	—	—	9/3	9/3

注 1. 8 : 8ビット・バス幅

16 : 16ビット・バス幅

— : 8ビット・バス幅, 16ビット・バス幅共通

2. imm8=0 のときを示します。imm8≥1 のときは次のとおりです。

	PREPARE	imm16, imm8	8	—	—	—	15+2T+(16+4T)n
			16	—	—	—	14+(12+T)n

n : imm8

表 17-9 クロック数 (15/16)

命令群	二モニック	オペランド	注1 バス幅	バイト処理		ワード処理	
				内蔵 RAM アクセス	内蔵 RAM 以外アクセス	内蔵 RAM アクセス	内蔵 RAM 以外アクセス
条件付き ブランチ命令	BP	short-label	—	—	—	9/3	9/3
	BPE	short-label	—	—	—	9/3	9/3
	BPO	short-label	—	—	—	9/3	9/3
	BLT	short-label	—	—	—	9/3	9/3
	BGE	short-label	—	—	—	9/3	9/3
	BLE	short-label	—	—	—	9/3	9/3
	BGT	short-label	—	—	—	9/3	9/3
	DBNZNE	short-label	—	—	—	10/5	10/5
	DBNZE	short-label	—	—	—	10/5	10/5
	DBNZ	short-label	—	—	—	10/5	10/5
	BCWZ	short-label	—	—	—	10/5	10/5
	BTCLR	sfr, imm3,	8	—	21/14	—	—
		short-label	16				
	BTCLRL	sfrl, imm3,	8	—	20/13	—	—
		short-label	16				
割り込み命令	BRK ^{注2}	3	8	—	—	—	50+10T
			16				36+4T+t
		imm8(≠3)	8	—	—	—	52+10T
			16				38+4T+t
	BRKV ^{注2}		8	—	—	—	51+10T
			16				37+4T+t
	RETI		8	—	—	—	28+4T
			16				22+2T
	RETRBI		—	—	—	—	9
	FINT		—	3	3	3	3
注4	CHKIND ^{注3}		8	—	—	EA+11	EA+21+4T
			16				EA+15+2T
注4	BRKCS	reg16	—	—	—	12	12
	TSKSW	reg16	—	—	—	13	13

注 1. 8 : 8ビット・バス幅

16: 16ビット・バス幅

— : 8ビット・バス幅, 16ビット・バス幅共通

2. BRK=1 において, 8ビット・バス幅のとき50+10T, 16ビット・バス幅のとき34+4Tを加算します。

3. (mem32) > reg16または (mem32+2) < reg16において, 8ビット・バス幅のとき50+10T, 16ビット・バス幅のとき34+4T+tを加算します。

4. レジスタ・バンク切り替え命令

備考 T≥2 のとき t=T-1

表 17-9 クロック数 (16/16)

命令群	ニモニック	オペランド	注1 バス幅	バイト処理		ワード処理	
				内蔵 RAM アクセス	内蔵 RAM 以外アクセス	内蔵 RAM アクセス	内蔵 RAM 以外アクセス
CPU 制御命令	HALT		－	－	－	－	－
	STOP		－	－	－	－	－
	POLL		－	－	－	－	－
	DI		－	3	3	3	3
	EI		－	3	3	3	3
	BUSLOCK		－	0－1	0－1	0－1	0－1
	FPO1	fp-op	8	－	－	－	50+10T
			16				36+4T+t
		fp-op, mem	8	－	－	－	EA+50+10T
			16				EA+36+4T+t
	FPO2	fp-op	8	－	－	－	50+10T
			16				36+4T+t
		fp-op, mem	8	－	－	－	EA+50+10T
			16				EA+36+4T+t
	NOP		－	4	4	4	4
注2	RSTWDT	imm8, imm8'	8	－	9/54+10T ^{注3}	－	－
			16		9/40+4T+t ^{注3}		
注4			－	0－1	0－1	0－1	0－1
キュー 操作命令	QHOUT	imm16	－	－	－	－	－
	QOUT	imm16	－	－	－	－	－
	QTIN	imm16	－	－	－	－	－
FAX 専用命令	ALBIT		－	－	－	－	－
	COLTRP		－	－	－	－	－
	MHENC		－	－	－	－	－
	MRENC		－	－	－	－	－
	SCHEOL		－	－	－	－	－
	GETBIT		－	－	－	－	－
	MHDEC		－	－	－	－	－
	MRDEC		－	－	－	－	－
	CNVTRP		－	－	－	－	－

注 1. 8 : 8ビット・バス幅

16 : 16ビット・バス幅

- : 8ビット・バス幅, 16ビット・バス幅共通

2. ウォッチドッグ・タイマ操作命令

3. /以下は, データ・エラーのときで, ワード処理を行う場合です。

T $\geq$ 2 のとき t=T-1

4. セグメント・オーバーライド・プリフィクス命令 (DS0:, DS1:, PS:, SS:)

拡張セグメント・オーバーライド・プリフィクス命令 (DS2:, DS3:)

レジスタ・ファイル空間アクセス用オーバーライド・プリフィクス命令 (IRAM:)

17.3 命令セット一覧表

命令群	二モニック	オペランド	オペレーション・コード		バイト数	オペレーション	フラグ					
			7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0			AC	CY	V	P	S	Z
MOV		reg, reg'	1 0 0 0 1 0 1 W	1 1 reg reg'	2	reg ← reg'						
		mem, reg	1 0 0 0 1 0 0 W	mod reg mem	2-4	(mem) ← reg						
		reg, mem	1 0 0 0 1 0 1 W	mod reg mem	2-4	reg ← (mem)						
		mem, imm	1 1 0 0 0 1 1 W	mod 0 0 0 mem	3-6	(mem) ← imm						
		reg, imm	1 0 1 1 W reg		2-3	reg ← imm						
I		acc, dmem	1 0 1 0 0 0 0 W		3	W=0 のとき AL ← (dmem) W=1 のとき AH ← (dmem+1), AL ← (dmem)						
		dmem, acc	1 0 1 0 0 0 1 W		3	W=0 のとき (dmem) ← AL W=1 のとき (dmem+1) ← AH, (dmem) ← AL						
		sreg, reg16	1 0 0 0 1 1 1 0	1 1 0 sreg reg	2	sreg ← reg16					sreg : SS, DS0, DS1	
		xsreg, reg16 ^注	1 0 0 0 1 1 1 0	1 1 1 xsreg reg	2	xsreg ← reg16					xsreg : DS2, DS3	
		sreg, mem16	1 0 0 0 1 1 1 0	mod 0 sreg mem	2-4	sreg ← (mem16)					sreg : SS, DS0, DS1	
転		xsreg, mem16 ^注	1 0 0 0 1 1 1 0	mod 1 xsreg mem	2-4	xsreg ← (mem16)						
		reg16, sreg	1 0 0 0 1 1 0 0	1 1 0 sreg reg	2	reg16 ← sreg						
		reg16, xsreg ^注	1 0 0 0 1 1 0 0	1 1 1 xsreg reg	2	reg16 ← xsreg						
		mem16, sreg	1 0 0 0 1 1 0 0	mod 0 sreg mem	2-4	(mem16) ← sreg						
		mem16, xsreg ^注	1 0 0 0 1 1 0 0	mod 1 xsreg mem	2-4	(mem16) ← xsreg						
送		DS0, reg16, mem32	1 1 0 0 0 1 0 1	mod reg mem	2-4	reg16 ← (mem32) DS0 ← (mem32+2)						
		DS1, reg16, mem32	1 1 0 0 0 1 0 0	mod reg mem	2-4	reg16 ← (mem32) DS1 ← (mem32+2)						
		DS2, reg16 ^注	0 0 0 0 1 1 1 1	0 0 1 1 1 1 1 0	3-5	reg16 ← (mem32)						
		mem32	mod reg mem			DS2 ← (mem32+2)						
		DS3, reg16 ^注	0 0 0 0 1 1 1 1	0 0 1 1 0 1 1 0	3-5	reg16 ← (mem32)						
mem32	mod reg mem		DS3 ← (mem32+2)									
命令												

注 V25, V35に対して、追加した命令

命令群	二モニック	オペランド	オペレーション・コード		バイト数	オペレーション	フラグ					
			7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0			AC	CY	V	P	S	Z
データ転送命令	MOV	AH, PSW	1 0 0 1 1 1 1 1		1	AH ← S, Z, F1, AC, F0, P, IBRK, CY						
		PSW, AH	1 0 0 1 1 1 1 0		1	S, Z, F1, AC, F0, P, IBRK, CY ← AH	×	×		×	×	×
	LDEA	reg16, mem16	1 0 0 0 1 1 0 1	mod reg mem	2-4	reg16 ← mem16						
	TRANS TRANSB ^{注1}	src-table	1 1 0 1 0 1 1 1		1	AL ← (BW + AL)						
	XCH	reg, reg'	1 0 0 0 0 1 1 W	1 1 reg reg'	2	reg ↔ reg'						
		mem, reg reg, mem	1 0 0 0 0 1 1 W	mod reg mem	2-4	(mem) ↔ reg						
		AW, reg16 reg16, AW	1 0 0 1 0 reg		1	AW ↔ reg16						
	MOVSPA ^{注2}		0 0 0 0 1 1 1 1	0 0 1 0 0 1 0 1	2	新レジスタ・バンクの SS, SP ← 旧レジスタ・バンクの SS, SP						
リピート・プリフィクス	MOVSPB ^{注2}	reg16	0 0 0 0 1 1 1 1	1 0 0 1 0 1 0 1	3	reg16 で示されるレジスタ・バンクの SS, SP ← 現在のレジスタ・バンクの SS, SP						
			1 1 1 1 1 reg									
	REPC		0 1 1 0 0 1 0 1		1	CW ≠ 0 の間, 続くバイトのプリミティブ・ブロック転送命令を実行し, CW をデクリメント (-1) する。 保留割り込みがあれば処理する。 CY ≠ 1 のときループを抜け出る。						
	REPNC		0 1 1 0 0 1 0 0		1	同上 CY ≠ 0 のときループを抜け出る。						
	REP		1 1 1 1 0 0 1 1		1	CW ≠ 0 の間, 続くバイトのプリミティブ・ブロック転送命令を実行し, CW をデクリメント (-1) する。 保留割り込みがあれば処理する。 プリミティブ・ブロック転送命令が CMPBK または CMPM であつ, Z ≠ 1 のときループを抜け出る。						
	REPE											
	REPZ											
	REPNE REPNZ		1 1 1 1 0 0 1 0		1	同上 Z ≠ 0 のときループを抜け出る。						

注 1. TRANS 命令の場合は, オペランド省略可。TRANSB 命令の場合は, オペランドなし。

2. V20, V30に対して, 追加した命令

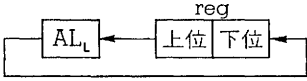
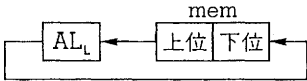
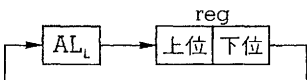
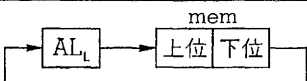
命令群	ニモニク	オペランド	オペレーション・コード		バイト数	オペレーション	フラグ					
			7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0			AC	CY	V	P	S	Z
プ リ ミ テ ィ ブ ・ ブ ロ ッ ク 転 送 命 令	MOVBK MOVBKB MOVBKW	dst-block,	1 0 1 0 0 1 0 W		1	W=0 のとき (IY) ← (IX) DIR=0 : IX ← IX+1, IY ← IY+1 DIR=1 : IX ← IX-1, IY ← IY-1						
		src-block				W=1 のとき (IY+1, IY) ← (IX+1, IX) DIR=0 : IX ← IX+2, IY ← IY+2 DIR=1 : IX ← IX-2, IY ← IY-2						
	CMPBK CMPBKB CMPBKW	src-block,	1 0 1 0 0 1 1 W		1	W=0 のとき (IX) ← (IY) DIR=0 : IX ← IX+1, IY ← IY+1 DIR=1 : IX ← IX-1, IY ← IY-1	×	×	×	×	×	×
		dst-block				W=1 のとき (IX+1, IX) ← (IY+1, IY) DIR=0 : IX ← IX+2, IY ← IY+2 DIR=1 : IX ← IX-2, IY ← IY-2						
	CMPM CMPMB CMPMW	dst-block	1 0 1 0 1 1 1 W		1	W=0 のとき AL ← (IY) DIR=0 : IY ← IY+1 ; DIR=1 : IY ← IY-1	×	×	×	×	×	×
						W=1 のとき AW ← (IY+1, IY) DIR=0 : IY ← IY+2 ; DIR=1 : IY ← IY-2						
	LDM LDMB LDMW	src-block	1 0 1 0 1 1 0 W		1	W=0 のとき AL ← (IX) DIR=0 : IX ← IX+1 ; DIR=1 : IX ← IX-1						
						W=1 のとき AW ← (IX+1, IX) DIR=0 : IX+2 ; DIR=1 : IX ← IX-2						
	STM STMB STMW	dst-block	1 0 1 0 1 0 1 W		1	W=0 のとき (IY) ← AL DIR=0 : IY ← IY+1 ; DIR=1 : IY ← IY-1						
						W=1 のとき (IY+1, IY) ← AW DIR=0 : IY ← IY+2 ; DIR=1 : IY ← IY-2						

命令群	ニモニック	オペランド	オペレーション・コード		バイト数	オペレーション	フラグ					
			7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0			AC	CY	V	P	S	Z
ビット・フィールド操作命令	INS	reg8, reg8'	0 0 0 0 1 1 1 1	0 0 1 1 0 0 0 1	3	16ビット・フィールド ← AW						
			1 1 reg' reg									
		reg8, imm4	0 0 0 0 1 1 1 1	0 0 1 1 1 0 0 1	4	16ビット・フィールド ← AW						
			1 1 0 0 0 reg									
	EXT	reg8, reg8'	0 0 0 0 1 1 1 1	0 0 1 1 0 0 1 1	3	AW ← 16ビット・フィールド						
			1 1 reg' reg									
		reg8, imm4	0 0 0 0 1 1 1 1	0 0 1 1 1 0 1 1	4	AW ← 16ビット・フィールド						
			1 1 0 0 0 reg									
入出力命令	IN ^注	acc, imm8	1 1 1 0 0 1 0 W		2	W=0 のとき AL ← (imm8) W=1 のとき AH ← (imm8+1), AL ← (imm8)						
		acc, DW	1 1 1 0 1 1 0 W		1	W=0 のとき AL ← (DW) W=1 のとき AH ← (DW+1), AL ← (DW)						
	OUT ^注	imm8, acc	1 1 1 0 0 1 1 W		2	W=0 のとき (imm8) ← AL W=1 のとき (imm8+1) ← AH, (imm8) ← AL						
		DW, acc	1 1 1 0 1 1 1 W		1	W=0 のとき (DW) ← AL W=1 のとき (DW+1) ← AH, (DW) ← AL						
プリミティブ入出力命令	INM ^注	dst-block, DW	0 1 1 0 1 1 0 W		1	W=0 のとき (IY) ← (DW) DIR=0 : IY ← IY+1 ; DIR=1 : IY ← IY-1						
						W=1 のとき (IY+1, IY) ← (DW+1, DW) DIR=0 : IY ← IY+2 ; DIR=1 : IY ← IY-2						
	OUTM ^注	DW, src-block	0 1 1 0 1 1 1 W		1	W=0 のとき (DW) ← (IX) DIR=0 : IX ← IX+1 ; DIR=1 : IX ← IX-1						
						W=1 のとき (DW+1, DW) ← (IX+1, IX) DIR=0 : IX ← IX+2 ; DIR=1 : IX ← IX-2						

注 IBRK=0 のとき、ソフトウェア割り込みが自動的に発生し、命令は実行されません。

命令群	モニク	オペランド	オペレーション・コード		バイト数	オペレーション	フラグ					
			7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0			AC	CY	V	P	S	Z
加減算命令	ADD	reg, reg'	0 0 0 0 0 0 1 W	1 1 reg reg'	2	reg ← reg + reg'	×	×	×	×	×	×
		mem, reg	0 0 0 0 0 0 0 W	mod reg mem	2-4	(mem) ← (mem) + reg	×	×	×	×	×	×
		reg, mem	0 0 0 0 0 0 1 W	mod reg mem	2-4	reg ← reg + (mem)	×	×	×	×	×	×
		reg, imm	1 0 0 0 0 0 s W	1 1 0 0 0 reg	3-4	reg ← reg + imm	×	×	×	×	×	×
		mem, imm	1 0 0 0 0 0 s W	mod 0 0 0 mem	3-6	(mem) ← (mem) + imm	×	×	×	×	×	×
		acc, imm	0 0 0 0 0 1 0 W		2-3	W = 0 のとき AL ← AL + imm W = 1 のとき AW ← AW + imm	×	×	×	×	×	×
	ADDC	reg, reg'	0 0 0 1 0 0 1 W	1 1 reg reg'	2	reg ← reg + reg' + CY	×	×	×	×	×	×
		mem, reg	0 0 0 1 0 0 0 W	mod reg mem	2-4	(mem) ← (mem) + reg + CY	×	×	×	×	×	×
		reg, mem	0 0 0 1 0 0 1 W	mod reg mem	2-4	reg ← reg + (mem) + CY	×	×	×	×	×	×
		reg, imm	1 0 0 0 0 0 s W	1 1 0 1 0 reg	3-4	reg ← reg + imm + CY	×	×	×	×	×	×
		mem, imm	1 0 0 0 0 0 s W	mod 0 1 0 mem	3-6	(mem) ← (mem) + imm + CY	×	×	×	×	×	×
		acc, imm	0 0 0 1 0 1 0 W		2-3	W = 0 のとき AL ← AL + imm + CY W = 1 のとき AW ← AW + imm + CY	×	×	×	×	×	×
	SUB	reg, reg'	0 0 1 0 1 0 1 W	1 1 reg reg'	2	reg ← reg - reg'	×	×	×	×	×	×
		mem, reg	0 0 1 0 1 0 0 W	mod reg mem	2-4	(mem) ← (mem) - reg	×	×	×	×	×	×
		reg, mem	0 0 1 0 1 0 1 W	mod reg mem	2-4	reg ← reg - (mem)	×	×	×	×	×	×
		reg, imm	1 0 0 0 0 0 s W	1 1 1 0 1 reg	3-4	reg ← reg - imm	×	×	×	×	×	×
		mem, imm	1 0 0 0 0 0 s W	mod 1 0 1 mem	3-6	(mem) ← (mem) - imm	×	×	×	×	×	×
		acc, imm	0 0 1 0 1 1 0 W		2-3	W = 0 のとき AL ← AL - imm W = 1 のとき AW ← AW - imm	×	×	×	×	×	×
	SUBC	reg, reg'	0 0 0 1 1 0 1 W	1 1 reg reg'	2	reg ← reg - reg' - CY	×	×	×	×	×	×
		mem, reg	0 0 0 1 1 0 0 W	mod reg mem	2-4	(mem) ← (mem) - reg - CY	×	×	×	×	×	×
		reg, mem	0 0 0 1 1 0 1 W	mod reg mem	2-4	reg ← reg - (mem) - CY	×	×	×	×	×	×
		reg, imm	1 0 0 0 0 0 s W	1 1 0 1 1 reg	3-4	reg ← reg - imm - CY	×	×	×	×	×	×
		mem, imm	1 0 0 0 0 0 s W	mod 0 1 1 mem	3-6	(mem) ← (mem) - imm - CY	×	×	×	×	×	×
		acc, imm	0 0 0 1 1 1 0 W		2-3	W = 0 のとき AL ← AL - imm - CY W = 1 のとき AW ← AW - imm - CY	×	×	×	×	×	×

保守/廃止

命令群	二モニック	オペランド	オペレーション・コード		バイト数	オペレーション	フラグ					
			7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0			AC	CY	V	P	S	Z
BCD 演算命令	ADD4S ^{注1}	(dst-string, src-string)	0 0 0 0 1 1 1 1	0 0 1 0 0 0 0 0	2	dst BCD string ← dst BCD string + src BCD string ^{注2}	U	×	U	U	U	×
	SUB4S ^{注1}	(dst-string, src-string)	0 0 0 0 1 1 1 1	0 0 1 0 0 0 1 0	2	dst BCD string ← dst BCD string - src BCD string ^{注2}	U	×	U	U	U	×
	CMP4S ^{注1}	(dst-string, src-string)	0 0 0 0 1 1 1 1	0 0 1 0 0 1 1 0	2	dst BCD string - src BCD string ^{注2}	U	×	U	U	U	×
	ROL4	reg8	0 0 0 0 1 1 1 1 1 1 0 0 0 reg	0 0 1 0 1 0 0 0	3							
BCD 演算命令		mem8	0 0 0 0 1 1 1 1 mod 0 0 0 mem	0 0 1 0 1 0 0 0	3-5							
	ROR4	reg8	0 0 0 0 1 1 1 1 1 1 0 0 0 reg	0 0 1 0 1 0 1 0	3							
		mem8	0 0 0 0 1 1 1 1 mod 0 0 0 mem	0 0 1 0 1 0 1 0	3-5							
増減命令	INC	reg8	1 1 1 1 1 1 1 0	1 1 0 0 0 reg	2	reg8 ← reg8 + 1	×		×	×	×	×
		mem	1 1 1 1 1 1 1 W	mod 0 0 0 mem	2-4	(mem) ← (mem) + 1	×		×	×	×	×
		reg16	0 1 0 0 0 reg		1	reg16 ← reg16 + 1	×		×	×	×	×
	DEC	reg8	1 1 1 1 1 1 1 0	1 1 0 0 1 reg	2	reg8 ← reg8 - 1	×		×	×	×	×
		mem	1 1 1 1 1 1 1 W	mod 0 0 1 mem	2-4	(mem) ← (mem) - 1	×		×	×	×	×
		reg16	0 1 0 0 1 reg		1	reg16 ← reg16 - 1	×		×	×	×	×

注 1. オペランドの省略可能

2. BCD 桁数は CL レジスタで与えられ、1 から 254 の値が設定可能です。

命令群	ニモニック	オペランド	オペレーション・コード		バイト数	オペレーション	フラグ					
			7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0			AC	CY	V	P	S	Z
乗算命令	MULU	reg8	1 1 1 1 0 1 1 0	1 1 1 0 0 reg	2	AW ← AL × reg8 AH = 0 : CY ← 0, V ← 0 AH ≠ 0 : CY ← 1, V ← 1	U	×	×	U	U	U
		mem8	1 1 1 1 0 1 1 0	mod 1 0 0 mem	2-4	AW ← AL × (mem8) AH = 0 : CY ← 0, V ← 0 AH ≠ 0 : CY ← 1, V ← 1	U	×	×	U	U	U
		reg16	1 1 1 1 0 1 1 1	1 1 1 0 0 reg	2	DW, AW ← AW × reg16 DW = 0 : CY ← 0, V ← 0 DW ≠ 0 : CY ← 1, V ← 1	U	×	×	U	U	U
		mem16	1 1 1 1 0 1 1 1	mod 1 0 0 mem	2-4	DW, AW ← AW × (mem16) DW = 0 : CY ← 0, V ← 0 DW ≠ 0 : CY ← 1, V ← 1	U	×	×	U	U	U
	MUL	reg8	1 1 1 1 0 1 1 0	1 1 1 0 1 reg	2	AW ← AL × reg8 AH = AL のサイン拡張 : CY ← 0, V ← 0 AH ≠ AL のサイン拡張 : CY ← 1, V ← 1	U	×	×	U	U	U
		mem8	1 1 1 1 0 1 1 0	mod 1 0 1 mem	2-4	AW ← AL × (mem8) AH = AL のサイン拡張 : CY ← 0, V ← 0 AH ≠ AL のサイン拡張 : CY ← 1, V ← 1	U	×	×	U	U	U
		reg16	1 1 1 1 0 1 1 1	1 1 1 0 1 reg	2	DW, AW ← AW × reg16 DW = AW のサイン拡張 : CY ← 0, V ← 0 DW ≠ AW のサイン拡張 : CY ← 1, V ← 1	U	×	×	U	U	U
		mem16	1 1 1 1 0 1 1 1	mod 1 0 1 mem	2-4	DW, AW ← AW × (mem16) DW = AW のサイン拡張 : CY ← 0, V ← 0 DW ≠ AW のサイン拡張 : CY ← 1, V ← 1	U	×	×	U	U	U
		reg16, (reg16') ^注 imm8	0 1 1 0 1 0 1 1	1 1 reg reg'	3	reg16 ← reg16' × imm8 積 ≤ 16 ビット : CY ← 0, V ← 0 積 > 16 ビット : CY ← 1, V ← 1	U	×	×	U	U	U
		reg16, mem16, imm8	0 1 1 0 1 0 1 1	mod reg mem	3-5	reg16 ← (mem16) × imm8 積 ≤ 16 ビット : CY ← 0, V ← 0 積 > 16 ビット : CY ← 1, V ← 1	U	×	×	U	U	U
		reg16, (reg16') ^注 imm16	0 1 1 0 1 0 0 1	1 1 reg reg'	4	reg16 ← reg16' × imm16 積 ≤ 16 ビット : CY ← 0, V ← 0 積 > 16 ビット : CY ← 1, V ← 1	U	×	×	U	U	U
		reg16, mem16, imm16	0 1 1 0 1 0 0 1	mod reg mem	4-6	reg16 ← (mem16) × imm16 積 ≤ 16 ビット : CY ← 0, V ← 0 積 > 16 ビット : CY ← 1, V ← 1	U	×	×	U	U	U

注 第2オペランドは省略可。省略した場合は第1オペランドと同じレジスタを指定したことになります。

命令群	二モニック	オペランド	オペレーション・コード		バイト 数	オペレーション	フラグ					
			7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0			AC	CY	V	P	S	Z
符号なし除算命令	DIVU	reg8	1 1 1 1 0 1 1 0	1 1 1 1 0 reg	2	temp ← AW temp ÷ reg8 ≤ FFH のとき AH ← temp%reg8, AL ← temp ÷ reg8 temp ÷ reg8 > FFH のとき (SP-1, SP-2) ← PSW, (SP-3, SP-4) ← PS (SP-5, SP-6) ← PC, SP ← SP-6 IE ← 0, BRK ← 0, PS ← (3, 2), PC ← (1, 0)	U	U	U	U	U	U
		mem8	1 1 1 1 0 1 1 0	mod 1 1 0 mem	2-4	temp ← AW temp ÷ (mem8) ≤ FFH のとき AH ← temp%(mem8), AL ← temp ÷ (mem8) temp ÷ (mem8) > FFH のとき (SP-1, SP-2) ← PSW, (SP-3, SP-4) ← PS (SP-5, SP-6) ← PC, SP ← SP-6 IE ← 0, BRK ← 0, PS ← (3, 2), PC ← (1, 0)	U	U	U	U	U	U
		reg16	1 1 1 1 0 1 1 1	1 1 1 1 0 reg	2	temp ← DW, AW temp ÷ reg16 ≤ FFFFH のとき DW ← temp%reg16, AW ← temp ÷ reg16 temp ÷ reg16 > FFFFH のとき (SP-1, SP-2) ← PSW, (SP-3, SP-4) ← PS (SP-5, SP-6) ← PC, SP ← SP-6 IE ← 0, BRK ← 0, PS ← (3, 2), PC ← (1, 0)	U	U	U	U	U	U
		mem16	1 1 1 1 0 1 1 1	mod 1 1 0 mem	2-4	temp ← DW, AW temp ÷ (mem16) ≤ FFFFH のとき DW ← temp%(mem16), AW ← temp ÷ (mem16) temp ÷ (mem16) > FFFFH のとき (SP-1, SP-2) ← PSW, (SP-3, SP-4) ← PS (SP-5, SP-6) ← PC, SP ← SP-6 IE ← 0, BRK ← 0, PS ← (3, 2), PC ← (1, 0)	U	U	U	U	U	U

命令群	二モニク	オペランド	オペレーション・コード		バイト数	オペレーション	フラグ					
			7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0			AC	CY	V	P	S	Z
符号付き除算命令	DIV	reg8	1 1 1 1 0 1 1 0	1 1 1 1 1 reg	2	temp ← AW temp ÷ reg8 > 0 で temp ÷ reg8 ≤ 7FH または temp ÷ reg8 < 0 で temp ÷ reg8 > 0-7FH-1 のとき AH ← temp%reg8, AL ← temp ÷ reg8 temp ÷ reg8 > 0 で temp ÷ reg8 > 7FH または temp ÷ reg8 < 0 で temp ÷ reg8 ≤ 0-7FH-1 のとき (SP-1, SP-2) ← PSW, (SP-3, SP-4) ← PS (SP-5, SP-6) ← PC, SP ← SP-6 IE ← 0, BRK ← 0, PS ← (3, 2), PC ← (1, 0)	U	U	U	U	U	U
		mem8	1 1 1 1 0 1 1 0	mod 1 1 1 mem	2-4	temp ← AW temp ÷ (mem8) > 0 で temp ÷ (mem8) ≤ 7FH または temp ÷ (mem8) < 0 で temp ÷ (mem8) > 0-7FH-1 のとき AH ← temp%(mem8), AL ← temp ÷ (mem8) temp ÷ (mem8) > 0 で temp ÷ (mem8) > 7FH または temp ÷ (mem8) < 0 で temp ÷ (mem8) ≤ 0-7FH-1 のとき (SP-1, SP-2) ← PSW, (SP-3, SP-4) ← PS (SP-5, SP-6) ← PC, SP ← SP-6 IE ← 0, BRK ← 0, PS ← (3, 2), PC ← (1, 0)	U	U	U	U	U	U
		reg16	1 1 1 1 0 1 1 1	1 1 1 1 1 reg	2	temp ← DW, AW temp ÷ reg16 > 0 で temp ÷ reg16 ≤ 7FFFH または temp ÷ reg16 < 0 で temp ÷ reg16 > 0-7FFFH-1 のとき DW ← temp%reg16, AW ← temp ÷ reg16 temp ÷ reg16 > 0 で temp ÷ reg16 > 7FFFH または temp ÷ reg16 < 0 で temp ÷ reg16 ≤ 0-7FFFH-1 のとき (SP-1, SP-2) ← PSW, (SP-3, SP-4) ← PS (SP-5, SP-6) ← PC, SP ← SP-6 IE ← 0, BRK ← 0, PS ← (3, 2), PC ← (1, 0)	U	U	U	U	U	U
		mem16	1 1 1 1 0 1 1 1	mod 1 1 1 mem	2-4	temp ← DW, AW temp ÷ (mem16) > 0 で temp ÷ (mem16) ≤ 7FFFH または temp ÷ (mem16) < 0 で temp ÷ (mem16) > 0-7FFFH-1 のとき DW ← temp%(mem16), AW ← temp ÷ (mem16) temp ÷ (mem16) > 0 で temp ÷ (mem16) > 7FFFH または temp ÷ (mem16) < 0 で temp ÷ (mem16) ≤ 0-7FFFH-1 のとき (SP-1, SP-2) ← PSW, (SP-3, SP-4) ← PS (SP-5, SP-6) ← PC, SP ← SP-6 IE ← 0, BRK ← 0, PS ← (3, 2), PC ← (1, 0)	U	U	U	U	U	U

命令群	二モニック	オペランド	オペレーション・コード		バイト数	オペレーション	フラグ					
			7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0			AC	CY	V	P	S	Z
命令 補正	B	ADJBA	0 0 1 1 0 1 1 1		1	AL $\wedge$ OFH > 9 or AC = 1 のとき AL $\leftarrow$ AL+6 AH $\leftarrow$ AH+1, AC $\leftarrow$ 1, CY $\leftarrow$ AC, AL $\leftarrow$ AL $\wedge$ OFH	×	×	U	U	U	U
	C	ADJ4A	0 0 1 0 0 1 1 1		1	AL $\wedge$ OFH > 9 or AC = 1 のとき AL $\leftarrow$ AL+6, AC $\leftarrow$ 1 AL > 9FH or CY = 1 のとき AL $\leftarrow$ AL+60H, CY $\leftarrow$ 1	×	×	U	×	×	×
	D	ADJBS	0 0 1 1 1 1 1 1		1	AL $\wedge$ OFH > 9 or AC = 1 のとき AL $\leftarrow$ AL-6, AC $\leftarrow$ 1 CY $\leftarrow$ AC, AL $\leftarrow$ AL $\wedge$ OFH	×	×	U	U	U	U
	命	ADJ4S	0 0 1 0 1 1 1 1		1	AL $\wedge$ OFH > 9 or AC = 1 のとき AL $\leftarrow$ AL-6, CY $\leftarrow$ CY $\vee$ AC, AC $\leftarrow$ 1 AL > 9FH or CY = 1 のとき AL $\leftarrow$ AL-60H, CY $\leftarrow$ 1	×	×	U	×	×	×
	令											
データ変換命令	CVTBD		1 1 0 1 0 1 0 0	0 0 0 0 1 0 1 0	2	AH $\leftarrow$ AL $\div$ 0AH, AL $\leftarrow$ AL%0AH	U	U	U	×	×	×
	CVTDB		1 1 0 1 0 1 0 1	0 0 0 0 1 0 1 0	2	AL $\leftarrow$ AH $\times$ 0AH+AL, AH $\leftarrow$ 0	U	U	U	×	×	×
	CVTBW		1 0 0 1 1 0 0 0		1	AL < 80H のとき AH $\leftarrow$ 0, それ以外るとき AH $\leftarrow$ FFH						
	CVTWL		1 0 0 1 1 0 0 1		1	AW < 8000H のとき DW $\leftarrow$ 0, それ以外るとき DW $\leftarrow$ FFFFH						
比較命令	CMP	reg, reg'	0 0 1 1 1 0 1 W	1 1 reg reg'	2	reg-reg'	×	×	×	×	×	×
		mem, reg	0 0 1 1 1 0 0 W	mod reg mem	2-4	(mem)-reg	×	×	×	×	×	×
		reg, mem	0 0 1 1 1 0 1 W	mod reg mem	2-4	reg-(mem)	×	×	×	×	×	×
		reg, imm	1 0 0 0 0 0 s W	1 1 1 1 1 reg	3-4	reg-imm	×	×	×	×	×	×
		mem, imm	1 0 0 0 0 0 s W	mod 1 1 1 mem	3-6	(mem)-imm	×	×	×	×	×	×
		acc, imm	0 0 1 1 1 1 0 W		2-3	W = 0 のとき AL-imm W = 1 のとき AW-imm	×	×	×	×	×	×
補数演算命令	NOT	reg	1 1 1 1 0 1 1 W	1 1 0 1 0 reg	2	reg $\leftarrow$ $\overline{\text{reg}}$						
		mem	1 1 1 1 0 1 1 W	mod 0 1 0 mem	2-4	(mem) $\leftarrow$ $\overline{(\text{mem})}$						
	NEG	reg	1 1 1 1 0 1 1 W	1 1 0 1 1 reg	2	reg $\leftarrow$ $\overline{\text{reg}} + 1$	×	×	×	×	×	×
		mem	1 1 1 1 0 1 1 W	mod 0 1 1 mem	2-4	(mem) $\leftarrow$ $\overline{(\text{mem})} + 1$	×	×	×	×	×	×

命令群	ニモニク	オペランド	オペレーション・コード		バイト数	オペレーション	フラグ					
			7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0			AC	CY	V	P	S	Z
論 理 演 算 命 令	TEST	reg, reg'	1 0 0 0 0 1 0 W	1 1 reg' reg	2	reg $\wedge$ reg'	U	0	0	×	×	×
		mem, reg reg, mem	1 0 0 0 0 1 0 W	mod reg mem	2-4	(mem) $\wedge$ reg	U	0	0	×	×	×
		reg, imm	1 1 1 1 0 1 1 W	1 1 0 0 0 reg	3-4	reg $\wedge$ imm	U	0	0	×	×	×
		mem, imm	1 1 1 1 0 1 1 W	mod 0 0 0 mem	3-6	(mem) $\wedge$ imm	U	0	0	×	×	×
		acc, imm	1 0 1 0 1 0 0 W		2-3	W = 0 のとき AL $\wedge$ imm8 W = 1 のとき AW $\wedge$ imm16	U	0	0	×	×	×
	AND	reg, reg'	0 0 1 0 0 0 1 W	1 1 reg reg'	2	reg $\leftarrow$ reg $\wedge$ reg'	U	0	0	×	×	×
		mem, reg	0 0 1 0 0 0 0 W	mod reg mem	2-4	(mem) $\leftarrow$ (mem) $\wedge$ reg	U	0	0	×	×	×
		reg, mem	0 0 1 0 0 0 1 W	mod reg mem	2-4	reg $\leftarrow$ reg $\wedge$ (mem)	U	0	0	×	×	×
		reg, imm	1 0 0 0 0 0 0 W	1 1 1 0 0 reg	3-4	reg $\leftarrow$ reg $\wedge$ imm	U	0	0	×	×	×
		mem, imm	1 0 0 0 0 0 0 W	mod 1 0 0 mem	3-6	(mem) $\leftarrow$ (mem) $\wedge$ imm	U	0	0	×	×	×
		acc, imm	0 0 1 0 0 1 0 W		2-3	W = 0 のとき AL $\leftarrow$ AL $\wedge$ imm8 W = 1 のとき AW $\leftarrow$ AW $\wedge$ imm16	U	0	0	×	×	×
	OR	reg, reg'	0 0 0 0 1 0 1 W	1 1 reg reg'	2	reg $\leftarrow$ reg $\vee$ reg'	U	0	0	×	×	×
		mem, reg	0 0 0 0 1 0 0 W	mod reg mem	2-4	(mem) $\leftarrow$ (mem) $\vee$ reg	U	0	0	×	×	×
		reg, mem	0 0 0 0 1 0 1 W	mod reg mem	2-4	reg $\leftarrow$ reg $\vee$ (mem)	U	0	0	×	×	×
		reg, imm	1 0 0 0 0 0 0 W	1 1 0 0 1 reg	3-4	reg $\leftarrow$ reg $\vee$ imm	U	0	0	×	×	×
		mem, imm	1 0 0 0 0 0 0 W	mod 0 0 1 mem	3-6	(mem) $\leftarrow$ (mem) $\vee$ imm	U	0	0	×	×	×
		acc, imm	0 0 0 0 1 1 0 W		2-3	W = 0 のとき AL $\leftarrow$ AL $\vee$ imm8 W = 1 のとき AW $\leftarrow$ AW $\vee$ imm16	U	0	0	×	×	×
	XOR	reg, reg'	0 0 1 1 0 0 1 W	1 1 reg reg'	2	reg $\leftarrow$ reg ∇ reg'	U	0	0	×	×	×
		mem, reg	0 0 1 1 0 0 0 W	mod reg mem	2-4	(mem) $\leftarrow$ (mem) ∇ reg	U	0	0	×	×	×
		reg, mem	0 0 1 1 0 0 1 W	mod reg mem	2-4	reg $\leftarrow$ reg ∇ (mem)	U	0	0	×	×	×
		reg, imm	1 0 0 0 0 0 0 W	1 1 1 1 0 reg	3-4	reg $\leftarrow$ reg ∇ imm	U	0	0	×	×	×
		mem, imm	1 0 0 0 0 0 0 W	mod 1 1 0 mem	3-6	(mem) $\leftarrow$ (mem) ∇ imm	U	0	0	×	×	×
		acc, imm	0 0 1 1 0 1 0 W		2-3	W = 0 のとき AL $\leftarrow$ AL ∇ imm8 W = 1 のとき AW $\leftarrow$ AW ∇ imm16	U	0	0	×	×	×

保守/廃止

命令群	二モニック	オペランド	オペレーション・コード		バイト数	オペレーション	フラグ					
			7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0			AC	CY	V	P	S	Z
ビット操作命令	TEST1	reg8, CL	0 0 0 1 0 0 0 0	1 1 0 0 0 reg	3	reg8のビット NO.CL = 0 : Z ← 1 // = 1 : Z ← 0	U	0	0	U	U	×
		mem8, CL	0 0 0 0	mod 0 0 0 mem	3-5	(mem8)のビット NO.CL = 0 : Z ← 1 // = 1 : Z ← 0	U	0	0	U	U	×
		reg16, CL	0 0 0 1	1 1 0 0 0 reg	3	reg16のビット NO.CL = 0 : Z ← 1 // = 1 : Z ← 0	U	0	0	U	U	×
		mem16, CL	0 0 0 1	mod 0 0 0 mem	3-5	(mem16)のビット NO.CL = 0 : Z ← 1 // = 1 : Z ← 0	U	0	0	U	U	×
		reg8, imm3	1 0 0 0	1 1 0 0 0 reg	4	reg8のビット NO.imm3 = 0 : Z ← 1 // = 1 : Z ← 0	U	0	0	U	U	×
		mem8, imm3	1 0 0 0	mod 0 0 0 mem	4-6	(mem8)のビット NO.imm3 = 0 : Z ← 1 // = 1 : Z ← 0	U	0	0	U	U	×
		reg16, imm4	1 0 0 1	1 1 0 0 0 reg	4	reg16のビット NO.imm4 = 0 : Z ← 1 // = 1 : Z ← 0	U	0	0	U	U	×
		mem16, imm4	1 0 0 1	mod 0 0 0 mem	4-6	(mem16)のビット NO.imm4 = 0 : Z ← 1 // = 1 : Z ← 0	U	0	0	U	U	×
	NOT1	reg8, CL	0 1 1 0	1 1 0 0 0 reg	3	reg8のビット NO.CL ← reg8のビット NO.CL						
		mem8, CL	0 1 1 0	mod 0 0 0 mem	3-5	(mem8)のビット NO.CL ← (mem8)のビット NO.CL						
		reg16, CL	0 1 1 1	1 1 0 0 0 reg	3	reg16のビット NO.CL ← reg16のビット NO.CL						
		mem16, CL	0 1 1 1	mod 0 0 0 mem	3-5	(mem16)のビット NO.CL ← (mem16)のビット NO.CL						
		reg8, imm3	1 1 1 0	1 1 0 0 0 reg	4	reg8のビット NO.imm3 ← reg8のビット NO.imm3						
		mem8, imm3	1 1 1 0	mod 0 0 0 mem	4-6	(mem8)のビット NO.imm3 ← (mem8)のビット NO.imm3						
		reg16, imm4	1 1 1 1	1 1 0 0 0 reg	4	reg16のビット NO.imm4 ← reg16のビット NO.imm4						
		mem16, imm4	1 1 1 1	mod 0 0 0 mem	4-6	(mem) 16のビット NO.imm4 ← (mem16)のビット NO.imm4						

2バイト目注

3バイト目注

注 1バイト目 = 0FH

NOT1	CY	1 1 1 1 0 1 0 1		1	CY ← $\overline{CY}$		×					
------	----	-----------------	--	---	----------------------	--	---	--	--	--	--	--

命令群	ニモニック	オペランド	オペレーション・コード		バイト数	オペレーション	フラグ					
			7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0			AC	CY	V	P	S	Z
ビット操作命令	CLR1	reg8, CL	0 0 0 1 0 0 1 0	1 1 0 0 0 reg	3	reg8のビット NO.CL ← 0						
		mem8, CL		0 0 1 0 mod 0 0 0 mem	3-5	(mem8)のビット NO.CL ← 0						
		reg16, CL		0 0 1 1 1 1 0 0 0 reg	3	reg16のビット NO.CL ← 0						
		mem16, CL		0 0 1 1 mod 0 0 0 mem	3-5	(mem16)のビット NO.CL ← 0						
		reg8, imm3		1 0 1 0 1 1 0 0 0 reg	4	reg8のビット NO.imm3 ← 0						
		mem8, imm3		1 0 1 0 mod 0 0 0 mem	4-6	(mem8)のビット NO.imm3 ← 0						
		reg16, imm4		1 0 1 1 1 1 0 0 0 reg	4	reg16のビット NO.imm4 ← 0						
		mem16, imm4		1 0 1 1 mod 0 0 0 mem	4-6	(mem16)のビット NO. imm4 ← 0						
	SET1	reg8, CL		0 1 0 0 1 1 0 0 0 reg	3	reg8のビット NO.CL ← 1						
		mem8, CL		0 1 0 0 mod 0 0 0 mem	3-5	(mem8)のビット NO.CL ← 1						
		reg16, CL		0 1 0 1 1 1 0 0 0 reg	3	reg16のビット NO.CL ← 1						
		mem16, CL		0 1 0 1 mod 0 0 0 mem	3-5	(mem16)のビット NO.CL ← 1						
		reg8, imm3		1 1 0 0 1 1 0 0 0 reg	4	reg8のビット NO.imm3 ← 1						
		mem8, imm3		1 1 0 0 mod 0 0 0 mem	4-6	(mem8)のビット NO.imm3 ← 1						
		reg16, imm4		1 1 0 1 1 1 0 0 0 reg	4	reg16のビット NO.imm4 ← 1						
		mem16, imm4		1 1 0 1 mod 0 0 0 mem	4-6	(mem16)のビット NO.imm4 ← 1						

2バイト目注

3バイト目注

注 1バイト目 = 0FH

	CLR1	CY	1 1 1 1 1 0 0 0		1	CY ← 0		0				
		DIR	1 1 1 1 1 1 0 0		1	DIR ← 0						
	SET1	CY	1 1 1 1 1 0 0 1		1	CY ← 1		1				
		DIR	1 1 1 1 1 1 0 1		1	DIR ← 1						

保守/廃止

命令群	ニモニク	オペランド	オペレーション・コード		バイト数	オペレーション	フラグ					
			7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0			AC	CY	V	P	S	Z
ビット操作命令	BSCH ^注	reg8	0 0 0 0 1 1 1 1	0 0 1 1 1 1 0 0	3	① CL←0 ② [reg8のビットNo. CL=0のとき] CL<7のとき CL←CL+1, ②から再実行 CL=7のとき Z←1 [reg8のビットNo. CL=1のとき] Z←0	U	U	U	U	U	×
			1 1 0 0 0 reg									
		mem8	0 0 0 0 1 1 1 1	0 0 1 1 1 1 0 0	3-5	① CL←0 ② [mem8のビットNo. CL=0のとき] CL<7のとき CL←CL+1, ②から再実行 CL=7のとき Z←1 [mem8のビットNo. CL=1のとき] Z←0	U	U	U	U	U	×
			mod 0 0 0 mem									
		reg16	0 0 0 0 1 1 1 1	0 0 1 1 1 1 0 1	3	① CL←0 ② [reg16のビットNo. CL=0のとき] CL<15のとき CL←CL+1, ②から再実行 CL=15のとき Z←1 [reg16のビットNo. CL=1のとき] Z←0	U	U	U	U	U	×
			1 1 0 0 0 reg									
キュー操作命令	QHOUT ^注	imm16	0 0 0 0 1 1 1 1	0 1 1 1 0 0 0 0	4	キューの先頭にキューイングされているブロックを外して, P2にそのセグメント・アドレスを格納します。	U	U	U	U	U	×
			0 0 0 0 1 1 1 1	0 1 1 1 0 0 0 1		キューの P2 で示されるブロックを外します。	U	U	U	U	U	×
			0 0 0 0 1 1 1 1	0 1 1 1 0 0 1 0		P2 で示されるブロックを最後尾にキューイングします。						

注 V25, V35 に対して, 追加した命令

備考 P2: パラメータ・テーブル(レジスタ・ファイル内)

命令群	ニモニク	オペランド	オペレーション・コード		バイト数	オペレーション	フラグ					
			7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0			AC	CY	V	P	S	Z
シフト命令	SHL	reg, 1	1 1 0 1 0 0 0 W	1 1 1 0 0 reg	2	CY ← reg の MSB, reg ← reg × 2 reg の MSB ≠ CY のとき V ← 1 reg の MSB = CY のとき V ← 0	U	×	×	×	×	×
		mem, 1	1 1 0 1 0 0 0 W	mod 1 0 0 mem	2-4	CY ← (mem) の MSB, (mem) ← (mem) × 2 (mem) の MSB ≠ CY のとき V ← 1 (mem) の MSB = CY のとき V ← 0	U	×	×	×	×	×
		reg, CL	1 1 0 1 0 0 1 W	1 1 1 0 0 reg	2	temp ← CL, temp ≠ 0 の間, 次の動作をくり返す CY ← reg の MSB, reg ← reg × 2 temp ← temp - 1	U	×	U	×	×	×
		mem, CL	1 1 0 1 0 0 1 W	mod 1 0 0 mem	2-4	temp ← CL, temp ≠ 0 の間, 次の動作をくり返す CY ← (mem) の MSB, (mem) ← (mem) × 2 temp ← temp - 1	U	×	U	×	×	×
		reg, imm8	1 1 0 0 0 0 0 W	1 1 1 0 0 reg	3	temp ← imm8, temp ≠ 0 の間, 次の動作をくり返す CY ← reg の MSB, reg ← reg × 2 temp ← temp - 1	U	×	U	×	×	×
		mem, imm8	1 1 0 0 0 0 0 W	mod 1 0 0 mem	3-5	temp ← imm8, temp ≠ 0 の間, 次の動作をくり返す CY ← (mem) の MSB, (mem) ← (mem) × 2 temp ← temp - 1	U	×	U	×	×	×
	SHR	reg, 1	1 1 0 1 0 0 0 W	1 1 1 0 1 reg	2	CY ← reg の LSB, reg ← reg ÷ 2 reg の MSB ≠ reg の MSB の次のビット : V ← 1 reg の MSB = reg の MSB の次のビット : V ← 0	U	×	×	×	×	×
		mem, 1	1 1 0 1 0 0 0 W	mod 1 0 1 mem	2-4	CY ← (mem) の LSB, (mem) ← (mem) ÷ 2 (mem) の MSB ≠ (mem) の MSB の次のビット : V ← 1 (mem) の MSB = (mem) の MSB の次のビット : V ← 0	U	×	×	×	×	×
		reg, CL	1 1 0 1 0 0 1 W	1 1 1 0 1 reg	2	temp ← CL, temp ≠ 0 の間, 次の動作をくり返す CY ← reg の LSB, reg ← reg ÷ 2 temp ← temp - 1	U	×	U	×	×	×
		mem, CL	1 1 0 1 0 0 1 W	mod 1 0 1 mem	2-4	temp ← CL, temp ≠ 0 の間, 次の動作をくり返す CY ← (mem) の LSB, (mem) ← (mem) ÷ 2 temp ← temp - 1	U	×	U	×	×	×
		reg, imm8	1 1 0 0 0 0 0 W	1 1 1 0 1 reg	3	temp ← imm8, temp ≠ 0 の間, 次の動作をくり返す CY ← reg の LSB, reg ← reg ÷ 2 temp ← temp - 1	U	×	U	×	×	×
		mem, imm8	1 1 0 0 0 0 0 W	mod 1 0 1 mem	3-5	temp ← imm8, temp ≠ 0 の間, 次の動作をくり返す CY ← (mem) の LSB, (mem) ← (mem) ÷ 2 temp ← temp - 1	U	×	U	×	×	×

保守/廃止

命令群	二モニツク	オペランド	オペレーション・コード		バイト数	オペレーション	フラグ					
			7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0			AC	CY	V	P	S	Z
シフト命令	SHRA	reg, 1	1 1 0 1 0 0 0 W	1 1 1 1 1 reg	2	CY ← reg の LSB, reg ← reg ÷ 2, V ← 0 オペランドの MSB は変化しません。	U	×	0	×	×	×
		mem, 1	1 1 0 1 0 0 0 W	mod 1 1 1 mem	2-4	CY ← (mem) の LSB, (mem) ← (mem) ÷ 2, V ← 0 オペランドの MSB は変化しません。	U	×	0	×	×	×
		reg, CL	1 1 0 1 0 0 1 W	1 1 1 1 1 reg	2	temp ← CL, temp ≠ 0 の間, 次の動作をくり返す CY ← reg の LSB, reg ← reg ÷ 2 temp ← temp - 1, オペランドの MSB は変化しません。	U	×	U	×	×	×
		mem, CL	1 1 0 1 0 0 1 W	mod 1 1 1 mem	2-4	temp ← CL, temp ≠ 0 の間, 次の動作をくり返す CY ← (mem) の LSB, (mem) ← (mem) ÷ 2 temp ← temp - 1, オペランドの MSB は変化しません。	U	×	U	×	×	×
		reg, imm8	1 1 0 0 0 0 0 W	1 1 1 1 1 reg	3	temp ← imm8, temp ≠ 0 の間, 次の動作をくり返す CY ← reg の LSB, reg ← reg ÷ 2 temp ← temp - 1, オペランドの MSB は変化しません。	U	×	U	×	×	×
		mem, imm8	1 1 0 0 0 0 0 W	mod 1 1 1 mem	3-5	temp ← imm8, temp ≠ 0 の間, 次の動作をくり返す CY ← (mem) の LSB, (mem) ← (mem) ÷ 2 temp ← temp - 1, オペランドの MSB は変化しません。	U	×	U	×	×	×
ローシフト命令	ROL	reg, 1	1 1 0 1 0 0 0 W	1 1 0 0 0 reg	2	CY ← reg の MSB, reg ← reg × 2 + CY reg の MSB ≠ CY : V ← 1 reg の MSB = CY : V ← 0		×	×			
		mem, 1	1 1 0 1 0 0 0 W	mod 0 0 0 mem	2-4	CY ← (mem) の MSB, (mem) ← (mem) × 2 + CY (mem) の MSB ≠ CY : V ← 1 (mem) の MSB = CY : V ← 0		×	×			
		reg, CL	1 1 0 1 0 0 1 W	1 1 0 0 0 reg	2	temp ← CL, temp ≠ 0 の間, 次の動作をくり返す CY ← reg の MSB, reg ← reg × 2 + CY temp ← temp - 1		×	U			
		mem, CL	1 1 0 1 0 0 1 W	mod 0 0 0 mem	2-4	temp ← CL, temp ≠ 0 の間, 次の動作をくり返す CY ← (mem) の MSB, (mem) ← (mem) × 2 + CY temp ← temp - 1		×	U			
		reg, imm8	1 1 0 0 0 0 0 W	1 1 0 0 0 reg	3	temp ← imm8, temp ≠ 0 の間, 次の動作をくり返す CY ← reg の MSB, reg ← reg × 2 + CY temp ← temp - 1		×	U			
		mem, imm8	1 1 0 0 0 0 0 W	mod 0 0 0 mem	3-5	temp ← imm8, temp ≠ 0 の間, 次の動作をくり返す CY ← (mem) の MSB, (mem) ← (mem) × 2 + CY temp ← temp - 1		×	U			

命令群	ニモニク	オペランド	オペレーション・コード		バイト数	オペレーション	フラグ					
			7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0			AC	CY	V	P	S	Z
ロ イ テ ー ト 命 令	ROR	reg, 1	1 1 0 1 0 0 0 W	1 1 0 0 1 reg	2	CY ← reg の LSB, reg ← reg ÷ 2 reg の MSB ← CY reg の MSB ≠ reg の MSB の次のビット : V ← 1 reg の MSB = reg の MSB の次のビット : V ← 0		×	×			
		mem, 1	1 1 0 1 0 0 0 W	mod 0 0 1 mem	2-4	CY ← (mem) の LSB, (mem) ← (mem) ÷ 2 (mem) の MSB ← CY (mem) の MSB ≠ (mem) の MSB の次のビット : V ← 1 (mem) の MSB = (mem) の MSB の次のビット : V ← 0		×	×			
		reg, CL	1 1 0 1 0 0 1 W	1 1 0 0 1 reg	2	temp ← CL, temp ≠ 0 の間, 次の動作をくり返す CY ← reg の LSB, reg ← reg ÷ 2 reg の MSB ← CY temp ← temp - 1		×	U			
		mem, CL	1 1 0 1 0 0 1 W	mod 0 0 1 mem	2-4	temp ← CL, temp ≠ 0 の間, 次の動作をくり返す CY ← (mem) の LSB, (mem) ← (mem) ÷ 2 (mem) の MSB ← CY temp ← temp - 1		×	U			
		reg, imm8	1 1 0 0 0 0 0 W	1 1 0 0 1 reg	3	temp ← imm8, temp ≠ 0 の間, 次の動作をくり返す CY ← reg の LSB, reg ← reg ÷ 2 reg の MSB ← CY temp ← temp - 1		×	U			
		mem, imm8	1 1 0 0 0 0 0 W	mod 0 0 1 mem	3-5	temp ← imm8, temp ≠ 0 の間, 次の動作をくり返す CY ← (mem) の LSB, (mem) ← (mem) ÷ 2 (mem) の MSB ← CY temp ← temp - 1		×	U			
	ROL	reg, 1	1 1 0 1 0 0 0 W	1 1 0 1 0 reg	2	tmpcy ← CY, CY ← reg の MSB reg ← reg × 2 + tmpcy reg の MSB ≠ CY : V ← 1 reg の MSB = CY : V ← 0		×	×			
		mem, 1	1 1 0 1 0 0 0 W	mod 0 1 0 mem	2-4	tmpcy ← CY, CY ← (mem) の MSB (mem) ← (mem) × 2 + tmpcy (mem) の MSB ≠ CY : V ← 1 (mem) の MSB = CY : V ← 0		×	×			
		reg, CL	1 1 0 1 0 0 1 W	1 1 0 1 0 reg	2	temp ← CL, temp ≠ 0 の間, 次の動作をくり返す tmpcy ← CY, CY ← reg の MSB reg ← reg × 2 + tmpcy temp ← temp - 1		×	U			

命令群	二モニック	オペランド	オペレーション・コード		バイト数	オペレーション	フラグ					
			7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0			AC	CY	V	P	S	Z
ロ リ テ ロ ト 命 令	ROL	mem, CL	1 1 0 1 0 0 1 W	mod 0 1 0 mem	2-4	temp ← CL, temp ≠ 0の間, 次の動作をくり返す tmpcy ← CY, CY ← (mem)の MSB (mem) ← (mem) × 2 + tmpcy temp ← temp - 1		×	U			
		reg, imm8	1 1 0 0 0 0 0 W	1 1 0 1 0 reg	3	temp ← imm8, temp ≠ 0の間, 次の動作をくり返す tmpcy ← CY, CY ← regの MSB reg ← reg × 2 + tmpcy temp ← temp - 1		×	U			
		mem, imm8	1 1 0 0 0 0 0 W	mod 0 1 0 mem	3-5	temp ← imm8, temp ≠ 0の間, 次の動作をくり返す tmpcy ← CY, CY ← (mem)の MSB (mem) ← (mem) × 2 + tmpcy temp ← temp - 1		×	U			
	ROR	reg, 1	1 1 0 1 0 0 0 W	1 1 0 1 1 reg	2	tmpcy ← CY, CY ← regの LSB reg ← reg ÷ 2 regの MSB ← tmpcy regの MSB ≠ regの MSBの次のビット: V ← 1 regの MSB = regの MSBの次のビット: V ← 0		×	×			
		mem, 1	1 1 0 1 0 0 0 W	mod 0 1 1 mem	2-4	tmpcy ← CY, CY ← (mem)の LSB (mem) ← (mem) ÷ 2 (mem)の MSB ← tmpcy (mem)の MSB ≠ (mem)の MSBの次のビット: V ← 1 (mem)の MSB = (mem)の MSBの次のビット: V ← 0		×	×			
		reg, CL	1 1 0 1 0 0 1 W	1 1 0 1 1 reg	2	temp ← CL, temp ≠ 0の間, 次の動作をくり返す tmpcy ← CY, CY ← regの LSB reg ← reg ÷ 2 regの MSB ← tmpcy temp ← temp - 1		×	U			
		mem, CL	1 1 0 1 0 0 1 W	mod 0 1 1 mem	2-4	temp ← CL, temp ≠ 0の間, 次の動作をくり返す tmpcy ← CY, CY ← (mem)の LSB (mem) ← (mem) ÷ 2 (mem)の MSB ← tmpcy temp ← temp - 1		×	U			

命令群	ニモニック	オペランド	オペレーション・コード		バイト数	オペレーション	フラグ					
			7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0			AC	CY	V	P	S	Z
ロー テ ー ト 命 令	RORC	reg, imm8	1 1 0 0 0 0 0 W	1 1 0 1 1 reg	3	temp ← imm8, temp ≠ 0 の間, 次の動作をくり返す tmpcy ← CY, CY ← reg の LSB reg ← reg ÷ 2 reg の MSB ← tmpcy temp ← temp - 1		×	U			
		mem, imm8	1 1 0 0 0 0 0 W	mod 0 1 1 mem	3-5	temp ← imm8, temp ≠ 0 の間, 次の動作をくり返す tmpcy ← CY, CY ← (mem) の LSB (mem) ← (mem) ÷ 2 (mem) の MSB ← tmpcy temp ← temp - 1		×	U			
サブ ル ー チ ン 制 御 命 令	CALL	near-proc	1 1 1 0 1 0 0 0		3	(SP-1, SP-2) ← PC, SP ← SP-2 PC ← PC + disp						
		regptr16	1 1 1 1 1 1 1 1	1 1 0 1 0 reg	2	(SP-1, SP-2) ← PC, PC ← regptr16 SP ← SP-2						
		memptr16	1 1 1 1 1 1 1 1	mod 0 1 0 mem	2-4	(SP-1, SP-2) ← PC, SP ← SP-2 PC ← (memptr16)						
		far-proc	1 0 0 1 1 0 1 0		5	(SP-1, SP-2) ← PS, (SP-3, SP-4) ← PC SP ← SP-4 PS ← seg, PC ← offset						
		memptr32	1 1 1 1 1 1 1 1	mod 0 1 1 mem	2-4	(SP-1, SP-2) ← PS, (SP-3, SP-4) ← PC SP ← SP-4 PS ← (memptr32+2), PC ← (memptr32)						
	RET		1 1 0 0 0 0 1 1		1	PC ← (SP+1, SP) SP ← SP+2						
		pop-value	1 1 0 0 0 0 1 0		3	PC ← (SP+1, SP) SP ← SP+2, SP ← SP+pop-value						
			1 1 0 0 1 0 1 1		1	PC ← (SP+1, SP) PS ← (SP+3, SP+2) SP ← SP+4						
		pop-value	1 1 0 0 1 0 1 0		3	PC ← (SP+1, SP) PS ← (SP+3, SP+2) SP ← SP+4, SP ← SP+pop-value						

命令群	二モニツク	オペランド	オペレーション・コード		バイト数	オペレーション	フ ラ グ					
			7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0			AC	CY	V	P	S	Z
スタック操作命令	PUSH	mem16	1 1 1 1 1 1 1 1	mod 1 1 0 mem	2-4	(SP-1, SP-2) ← (mem16) SP ← SP-2						
		reg16	0 1 0 1 0 reg		1	(SP-1, SP-2) ← reg16 SP ← SP-2						
		sreg	0 0 0 sreg 1 1 0		1	(SP-1, SP-2) ← sreg SP ← SP-2						
		PSW	1 0 0 1 1 1 0 0		1	(SP-1, SP-2) ← PSW SP ← SP-2						
		R	0 1 1 0 0 0 0 0		1	Push registers on the stack						
		imm8	0 1 1 0 1 0 1 0		2	(SP-1, SP-2) ← imm8 のサイン拡張 SP ← SP-2						
		imm16	0 1 1 0 1 0 0 0		3	(SP-1, SP-2) ← imm16 SP ← SP-2						
		DS2 ^注	0 0 0 0 1 1 1 1	0 0 1 1 1 1 1 0	2	(SP-1, SP-2) ← DS2 SP ← SP-2						
		DS3/VPC ^注	0 0 0 0 1 1 1 1	0 0 1 1 0 1 1 0	2	(SP-1, SP-2) ← DS3/VPC SP ← SP-2						
	POP	mem16	1 0 0 0 1 1 1 1	mod 0 0 0 mem	2-4	SP ← SP+2 (mem16) ← (SP-1, SP-2)						
		reg16	0 1 0 1 1 reg		1	SP ← SP+2 reg16 ← (SP-1, SP-2)						
		sreg	0 0 0 sreg 1 1 1		1	SP ← SP+2 sreg ← (SP-1, SP-2)						
		PSW	1 0 0 1 1 1 0 1		1	SP ← SP+2 PSW ← (SP-1, SP-2)	R	R	R	R	R	R
		R	0 1 1 0 0 0 0 1		1	Pop registers from the stack						
		DS2 ^注	0 0 0 0 1 1 1 1	0 0 1 1 1 1 1 1	2	SP ← SP+2 DS2 ← (SP-1, SP-2)						
		DS3/VPC ^注	0 0 0 0 1 1 1 1	0 0 1 1 0 1 1 1	2	SP ← SP+2 DS3/VPC ← (SP-1, SP-2)						
	PREPARE	imm16, imm8	1 1 0 0 1 0 0 0		4	Prepare New Stack Frame						
	DISPOSE		1 1 0 0 1 0 0 1		1	Dispose of Stack Frame						

注 V25, V35 に対して, 追加した命令

命令群	二モニック	オペランド	オペレーション・コード		バイト数	オペレーション	フラグ					
			7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0			AC	CY	V	P	S	Z
ブランチ命令	BR	near-label	1 1 1 0 1 0 0 1		3	PC ← PC + disp						
		short-label	1 1 1 0 1 0 1 1		2	PC ← PC + ext-disp8						
		regptr16	1 1 1 1 1 1 1 1	1 1 1 0 0 reg	2	PC ← regptr16						
		memptr16	1 1 1 1 1 1 1 1	mod 1 0 0 mem	2-4	PC ← (memptr16)						
		far-label	1 1 1 0 1 0 1 0		5	PS ← seg PC ← offset						
		memptr32	1 1 1 1 1 1 1 1	mod 1 0 1 mem	2-4	PS ← (memptr32 + 2) PC ← (memptr32)						
条件付きブランチ命令	BV	short-label	0 1 1 1 0 0 0 0		2	if V = 1 PC ← PC + ext-disp8						
	BNV	//		0 0 0 1	//	if V = 0 //						
	BC BL	//		0 0 1 0	//	if CY = 1 //						
	BNC BNL	//		0 0 1 1	//	if CY = 0 //						
	BE BZ	//		0 1 0 0	//	if Z = 1 //						
	BNE BNZ	//		0 1 0 1	//	if Z = 0 //						
	BNH	//		0 1 1 0	//	if CY ∨ Z = 1 //						
	BH	//		0 1 1 1	//	if CY ∨ Z = 0 //						
	BN	//		1 0 0 0	//	if S = 1 //						
	BP	//		1 0 0 1	//	if S = 0 //						
	BPE	//		1 0 1 0	//	if P = 1 //						
	BPO	//		1 0 1 1	//	if P = 0 //						
	BLT	//		1 1 0 0	//	if S ∨ V = 1 //						
	BGE	//		1 1 0 1	//	if S ∨ V = 0 //						
	BLE	//		1 1 1 0	//	if (S ∨ Z) ∨ Z = 1 //						
	BGT	//		1 1 1 1	//	if (S ∨ V) ∨ Z = 0 //						

保守/廃止

命令群	ニモニック	オペランド	オペレーション・コード		バイト数	オペレーション	フラグ					
			7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0			AC	CY	V	P	S	Z
条件付き ブランチ 命令	DBNZNE	short-label	1 1 1 0 0 0 0 0		2	CW = CW - 1 if Z = 0 and CW ≠ 0	PC ← PC + ext-disp8					
	DBNZE	//		0 0 0 1	//	CW = CW - 1 if Z = 1 and CW ≠ 0	//					
	DBNZ	//		0 0 1 0	//	CW = CW - 1 if CW ≠ 0	//					
	BCWZ	//		0 0 1 1	//	if CW = 0	//					
	BTCLR ^{注1}	sfr, imm3, short-label	0 0 0 0 1 1 1 1	1 0 0 1 1 1 0 0	5	(sfr)のビット No.imm3=1 のとき PC ← PC + ext-disp8, (sfr)のビット No.imm3 ← 0						
	BTCLRL ^{注2}	sfrl, imm3, short-label	0 0 0 0 1 1 1 1	1 0 0 1 1 1 0 1	5	(sfrl)のビット No.imm3=1 のとき PC ← PC + ext-disp8, (sfrl)のビット No.imm3 ← 0						
割り込み 命令	BRK	3	1 1 0 0 1 1 0 0		1	(SP-1, SP-2) ← PSW, (SP-3, SP-4) ← PS (SP-5, SP-6) ← PC, SP ← SP-6 IE ← 0, BRK ← 0 PS ← (15, 14), PC ← (13, 12)						
		imm8 (≠ 3)	1 1 0 0 1 1 0 1		2	(SP-1, SP-2) ← PSW, (SP-3, SP-4) ← PS, (SP-5, SP-6) ← PC, SP ← SP-6 IE ← 0, BRK ← 0 PS ← (n×4+3, n×4+2), PC ← (n×4+1, n×4) n=imm8						
	BRKV		1 1 0 0 1 1 1 0		1	V=1 のとき (SP-1, SP-2) ← PSW, (SP-3, SP-4) ← PS, (SP-5, SP-6) ← PC, SP ← SP-6 IE ← 0, BRK ← 0 PS ← (19, 18), PC ← (17, 16)						
	RETI		1 1 0 0 1 1 1 1		1	PC ← (SP+1, SP), PS ← (SP+3, SP+2), PSW ← (SP+5, SP+4), SP ← SP+6	R	R	R	R	R	R
	RETRBI ^{注1}		0 0 0 0 1 1 1 1	1 0 0 1 0 0 0 1	2	PC ← 現在選択されているレジスタ・バンク上の PC 退避領域の値, PSW ← 現在選択されているレジスタ・バンク上の PSW 退避領域の値	R	R	R	R	R	R
	FINT ^{注1}		0 0 0 0 1 1 1 1	1 0 0 1 0 0 1 0	2	CPU に内蔵される割り込みコントローラへ割り込み処理ルーチンが終了したことを示す						

注 1. V20, V30 に対して, 追加した命令

2. V25, V35 に対して, 追加した命令

命令群	ニモニック	オペランド	オペレーション・コード		バイト数	オペレーション	フラグ					
			7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0			AC	CY	V	P	S	Z
割り込み命令	CHKIND	reg16, mem32	0 1 1 0 0 0 1 0	mod reg mem	2-4	(mem32) > reg16 または (mem32+2) < reg16 のとき (SP-1, SP-2) ← PSW, (SP-3, SP-4) ← PS, (SP-5, SP-6) ← PC, SP ← SP-6 IE ← 0, BRK ← 0 PS ← (23, 22), PC ← (21, 20)						
レジスタ・バンク切り替え命令	BRKCS ^注	reg16	0 0 0 0 1 1 1 1	0 0 1 0 1 1 0 1	3	temp ← PSW RB3-0 ← reg16 の下位 4 ビット, IE ← 0, BRK ← 0, 新たに選択されたレジスタ・バンク上の PSW 退避領域 ← temp 新たに選択されたレジスタ・バンク上の PC 退避領域 ← PC						
			1 1 0 0 0 reg									
	TSKSW ^注	reg16	0 0 0 0 1 1 1 1	1 0 0 1 0 1 0 0	3	現在選択されているレジスタ・バンク上の PSW 退避領域 ← PSW 現在選択されているレジスタ・バンク上の PC 退避領域 ← PC RB3-0 ← reg16 の下位 4 ビット PSW ← 新たに選択されたレジスタ・バンク上の PSW 退避領域の値 PC ← 新たに選択されたレジスタ・バンク上の PC 退避領域の値	×	×	×	×	×	×
			1 1 1 1 1 reg									
FAX専用命令	ALBIT		0 0 0 0 1 1 1 1	1 0 0 1 1 0 1 0	2	CH+CL ≥ 16 のとき BW, DW → DS1 : IY の送信バッファへ出力 CH+CL < 16 のとき CH+CL → CH, BW, DW → BW 16 ビットを越える分, CH+CL-16 → CH, BW, DW → BW	U	×	U	U	U	×
	COLTRP		0 0 0 0 1 1 1 1	1 0 0 1 1 0 1 1	2	1 ライン分の画素データの変化点情報を変化点テーブルに格納(先頭白ラン・レンクス)						
	MHENC		0 0 0 0 1 1 1 1	1 0 0 1 0 0 1 1	2	変化点テーブルから MH 符号を生成	U	×	U	U	U	×
	MRENC		0 0 0 0 1 1 1 1	1 0 0 1 0 1 1 1	2	変化点テーブルから MR 符号を生成	U	×	U	U	U	×
	SCHEOL		0 0 0 0 1 1 1 1	0 1 1 1 1 0 0 0	2	MH/MR 符号中の"EOL"を検出	U	×	U	U	U	×
	GETBIT		0 0 0 0 1 1 1 1	0 1 1 1 1 0 0 1	2	画素データの先頭ビットを取り出し, CY フラグに設定	U	×	U	U	U	×
	MHDEC		0 0 0 0 1 1 1 1	0 1 1 1 1 1 0 0	2	MH 符号から変化点テーブルを生成	U	×	U	U	U	×
	MRDEC		0 0 0 0 1 1 1 1	0 1 1 1 1 1 0 1	2	MR 符号から変化点テーブルを生成	U	×	U	U	U	×
	CNVTRP		0 0 0 0 1 1 1 1	0 1 1 1 1 0 1 0	2	変化点テーブルの 1 ライン分の変化点情報を画素データに変換						

注 V20, V30 に対して, 追加した命令

命令群	二モニック	オペランド	オペレーション・コード		バイト数	オペレーション	フラグ					
			7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0			AC	CY	V	P	S	Z
CPU制御命令	HALT		1 1 1 1 0 1 0 0		1	CPU Halt						
	STOP ^{注1}		0 0 0 0 1 1 1 1	1 0 0 1 1 1 1 0	2	CPU Stop						
	POLL		1 0 0 1 1 0 1 1		1	Poll and wait						
	DI		1 1 1 1 1 0 1 0		1	IE ← 0						
	EI		1 1 1 1 1 0 1 1		1	IE ← 1						
	BUSLOCK		1 1 1 1 0 0 0 0		1	Bus Lock Prefix						
	FPO1	fp-op	1 1 0 1 1 X X X	1 1 Y Y Y Z Z Z	2	(SP-1, SP-2) ← PSW, (SP-3, SP-4) ← PS						
		fp-op, mem	1 1 0 1 1 X X X	mod Y Y Y mem	2-4	(SP-5, SP-6) ← PC-x ^{注6} , SP ← SP-6						
	FPO2	fp-op	0 1 1 0 0 1 1 X	1 1 Y Y Y Z Z Z	2	IE ← 0, BRK ← 0						
		fp-op, mem	0 1 1 0 0 1 1 X	mod Y Y Y mem	2-4	PC ← (01DH, 01CH), PS ← (01FH, 01EH)						
	NOP		1 0 0 1 0 0 0 0		1	No Operation						
注3	RSTWDT ^{注2}	imm8, imm8'	0 0 0 0 1 1 1 1	1 0 0 1 0 1 1 0	4	imm8 = imm8' のとき WDM レジスタ ← imm8 imm8 ≠ imm8' のとき (SP-1, SP-2) ← PSW, (SP-3, SP-4) ← PS (SP-5, SP-6) ← PC-x ^{注6} , SP ← SP-6 IE ← 0, BRK ← 0 PC ← (20H, 21H), PS ← (22H, 23H)						
		imm8		imm8'								
	注4		0 0 1 sreg 1 1 0		1	セグメント・オーバーライド・プリフィクス						
	DS2 : ^{注2}		0 1 1 0 0 0 1 1		1	拡張セグメント・オーバーライド・プリフィクス						
	DS3 : ^{注2}		1 1 0 1 0 1 1 0		1	拡張セグメント・オーバーライド・プリフィクス						
注5	IRAM : ^{注2}		1 1 1 1 0 0 0 1		1	レジスタ・ファイル用オーバーライド・プリフィクス						

注 1. V20, V30 に対して, 追加した命令

2. V25, V35 に対して, 追加した命令

3. ウォッチドッグ・タイマ操作命令

4. DS0 :, DS1 :, PS :, SS : の 4 種類

5. レジスタ・ファイル空間アクセス用オーバーライド・プリフィクス命令

6. x : 命令のバイト数+プリフィクスの数

18. 電気的特性

次のように製品を分類して電気的特性を示します。

μPD70433GD/R/GJ-12 μPD70433-12

μPD70433GD/R/GJ-16 μPD70433-16

絶対最大定格 ($T_A = 25^\circ\text{C}$)

項 目	略 号	条 件	定 格	単位
電源電圧	V_{DD}		$-0.5 \sim +7.0$	V
	AV_{DD}		$-0.5 \sim V_{DD} + 0.5$	V
	AV_{SS}		$-0.5 \sim +0.5$	V
	AV_{REF}		$-0.5 \sim AV_{DD} + 0.3$	V
入力電圧	V_I		$-0.5 \sim V_{DD} + 0.5$	V
出力電圧	V_O		$-0.5 \sim V_{DD} + 0.5$	V
ロウ・レベル出力電流	I_{OL}	1 端子	4.0	mA
		全端子合計	100	mA
ハイ・レベル出力電流	I_{OH}	1 端子	-1.0	mA
		全端子合計	-20	mA
動作周囲温度	T_A		$-40 \sim +85$	$^\circ\text{C}$
保存温度	T_{stg}		$-65 \sim +150$	$^\circ\text{C}$

- 注意 1. IC 製品の出力（または入出力）端子同士を直結したり、 V_{DD} または V_{CC} や GND に直結したりしないでください。ただし、オープン・ドレイン端子やオープン・コレクタ端子同士は直結できます。また、ハイ・インピーダンスとなる端子での出力の衝突を避けるタイミング設計をした外部回路でも直結可能です。
2. 各項目のうち 1 項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づかない状態で、製品をご使用ください。DC 特性と AC 特性に示す規格や条件が、製品の正常動作、品質保証の範囲です。

DC 特性 ($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = +5.0\text{V} \pm 10\%$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
ロウ・レベル入力電圧	V_{IL1}	注1	0		0.8	V
	V_{IL2}	注2	0		$0.2V_{DD}$	V
ハイ・レベル入力電圧	V_{IH1}	注1	2.2		V_{DD}	V
	V_{IH2}	注2	$0.8V_{DD}$		V_{DD}	V
シュミット・トリガ入力 スレッシュホールド電圧	V_T^+	注3, 立ち上がり		3.3		V
	V_T^-	注3, 立ち下がり		1.6		V
シュミット・トリガ入力 ヒステリシス幅	$V_T^+ V_T^-$	注3	0.5			V
ロウ・レベル出力電圧	V_{OL}	$I_{OL} = 2.0\text{mA}$			0.45	V
ハイ・レベル出力電圧	V_{OH}	$I_{OH} = -0.4\text{mA}$	$V_{DD} - 1.0$			V
入力リーク電流	I_{LI}	0V V_i V_{DD}			10	μA
出力リーク電流	I_{LO}	0V V_o V_{DD}			10	μA
V_{DD} 電源電流注4	I_{DD1}	動作モード		$5.4f_x + 30$	$5.4f_x + 50$	mA
	I_{DD2}	HALT モード		$3.7f_x$	$3.7f_x + 20$	mA
	I_{DD3}	STOP モード		10	50	μA
AV_{DD} 電源電流	AI_{DD1}	動作モード		1.5	2.5	mA
	AI_{DD2}	HALT モード		0.6	1	mA
	AI_{DD3}	STOP モード		10	50	μA

注 1. 注 2 以外

2. $\overline{\text{RESET}}$, P10/NMI, X1, P11/INTP0-P16/INTP5, P30/TxD0/SO0/SB0, P31/RxD0/SB1/SIO, P32/TxC/ $\overline{\text{SCK0}}$, P33/ $\overline{\text{CTS0}}$, P35/RxD1/SI1, P36/ $\overline{\text{SCK1}}$ / $\overline{\text{CTS1}}$ 3. $\overline{\text{RESET}}$, P10/NMI, P11/INTP0-P16/INTP54. 値の定数 5.4, 3.7 の単位は mA/MHz です。容量 ($T_A = 25^\circ\text{C}$, $V_{DD} = 0\text{V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
入力容量	C_i	$f_c = 1\text{MHz}$ 被測定端子以外は 0V			10	pF
出力容量	C_o				20	pF
入出力容量	C_{io}				20	pF

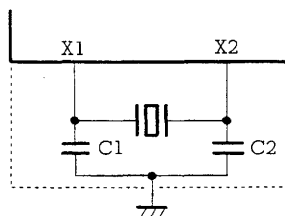
動作条件

製 品	内部動作クロック周波数	動作温度 (T_A)	電源電圧 (V_{DD})
μPD70433-12	0.25 MHz f_x 12.5 MHz	$-40 \sim +85^\circ\text{C}$	$+5.0\text{V} \pm 10\%$
μPD70433-16	0.25 MHz f_x 16 MHz		

推奨発振回路

クロック入力には下記の回路を推奨します。

(1) セラミック発振子接続 ($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = 5\text{V}$ 10%)



メーカ	発振周波数 f_{xx} [MHz]	品名	推奨定数	
			C1 [pF]	C2 [pF]
村田製作所	25	CSA25.00MXZ040	5	5
	32	CSA32.00MXZ040	3	3

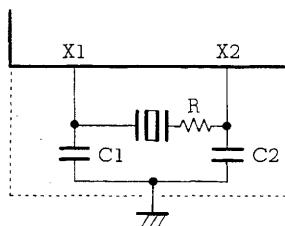
注意 1. 発振回路は X1, X2 端子にできるかぎり近づけてください。

2. 破線の範囲にほかの信号線を通さないでください。

3. μ PD70433 と発振子とのマッチングについては、十分な評価を行ってください。

(2) 水晶振動子接続

(a) 基本波による推奨条件 ($T_A = -10 \sim +70^\circ\text{C}$, $V_{DD} = 5\text{V}$ 10%)



メーカ	発振周波数 f_{xx} [MHz]	品名	推奨定数		
			C1 [pF]	C2 [pF]	R [Ω]
キンセキ	25	HC-49/U-S	5	5	200
			10	10	—

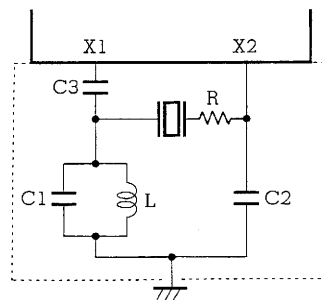
注意 1. 発振回路は X1, X2 にできるかぎり近づけてください。

2. 破線の範囲にほかの信号線を通さないでください。

3. μ PD70433 と振動子とのマッチングについては、十分な評価を行ってください。

★

(b) 3rd オーバ・トーンによる推奨条件 ($T_A = -20 \sim +70^\circ\text{C}$, $V_{DD} = 5\text{V}$ 10%)



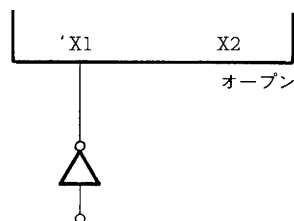
メーカ	発振周波数 f_{xx} [MHz]	品名	推奨定数				
			C1 [pF]	C2 [pF]	C3 [pF]	L [μH]	R [Ω]
キンセキ	25	HC-49/U	15	15	1000	3.3	100
	32		10	5	1000	3.3	100

注意 1. 発振回路は X1, X2 にできるかぎり近づけてください。

2. 破線の範囲にほかの信号線を通さないでください。

3. μPD70433 と振動子とのマッチングについては、十分な評価を行ってください。

(3) 外部クロック入力



AC 特性 ($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = +5.0\text{V} \pm 10\%$)

(1) μPD70433-12

項 目	略 号	条 件	MIN.	MAX.	単位
X1 入力サイクル・タイム	① t_{CYX}		40	250	ns
X1 入力ハイ・レベル幅	② t_{WXH}		15		ns
X1 入力ロウ・レベル幅	③ t_{WXL}		15		ns
X1 入力立ち上がり時間	④ t_{XR}			10	ns
X1 入力立ち下がり時間	⑤ t_{XF}			10	ns
CLKOUT 出力サイクル・タイム	⑥ t_{CYK}		80	4000	ns
CLKOUT 出力ハイ・レベル幅	⑦ t_{WKH}		0.5T-5		ns
CLKOUT 出力ロウ・レベル幅	⑧ t_{WKL}		0.5T-5		ns
CLKOUT 出力立ち上がり時間	⑨ t_{KR}			7	ns
CLKOUT 出力立ち下がり時間	⑩ t_{KF}			7	ns
入力立ち上がり時間	⑪ t_{IR1}	注1		10	ns
	⑫ t_{IR2}	注2		20	ns
入力立ち下がり時間	⑬ t_{IF1}	注1		10	ns
	⑭ t_{IF2}	注2		20	ns
出力立ち上がり時間	⑮ t_{OR}			10	ns
出力立ち下がり時間	⑯ t_{OF}			10	ns
X1 $\uparrow \rightarrow$ CLKOUT 遅延時間	⑰ t_{DXK}	X2 オープン		18	ns
CLKOUT $\uparrow \rightarrow$ アドレス遅延時間	⑱ t_{DKA}		5	27	ns
アドレス保持時間(対 CLKOUT $\uparrow$)	⑲ t_{HKA1}		0		ns
	⑳ t_{HKA2}		0		ns
CLKOUT $\uparrow \rightarrow$ アドレス・フロート遅延時間	㉑ t_{FKA}		t_{HKA1}	36	ns
アドレス設定時間(対 $\overline{\text{ASTB}} \downarrow$)	㉒ t_{SAST}		$(n+0.5)T-25$		ns
アドレス保持時間(対 $\overline{\text{ASTB}} \downarrow$)	㉓ t_{HSTA}		0.5T-15		ns
CLKOUT $\downarrow \rightarrow \overline{\text{ASTB}} \downarrow$ 遅延時間	㉔ t_{DKSTL}		0	22	ns
CLKOUT $\downarrow \rightarrow \overline{\text{ASTB}} \uparrow$ 遅延時間	㉕ t_{DKSTH}		0	22	ns
$\overline{\text{ASTB}}$ ハイ・レベル幅	㉖ t_{WSTH}		$(n+1)T-15$		ns
CLKOUT $\uparrow \rightarrow \overline{\text{RD}} \downarrow$ 遅延時間	㉗ t_{DKRL}		0	22	ns
CLKOUT $\uparrow \rightarrow \overline{\text{RD}} \uparrow$ 遅延時間	㉘ t_{DKRH}		0	22	ns
$\overline{\text{RD}}$ ロウ・レベル幅	㉙ t_{WRL}		$(N+1.5)T-15$		ns

n アドレス・ウェイトのステート数

N データ・ウェイトのステート数

T t_{CYK}

注 1. 注 2 以外

2. $\overline{\text{RESET}}$, P10/NMI, X1, P11/INTP0-P16/INTP5, P30/TxD0/SO0/SB0, P31/RxD0/SB1/SIO,
P32/TxC/SCK0, P33/CTS0, P35/RxD1/SI1, P36/SCK1/CTS1

備考 略号欄の数字は、タイミング・チャート中の数字に対応しています。

項 目	略 号	条 件	MIN.	MAX.	単位
アドレス・フロート→ $\overline{RD}$ ↓遅延時間	②⑨ t_{FARL}		0		ns
$\overline{RD}$ ↑→アドレス遅延時間	③⑩ t_{DRA}		0.5T		ns
$\overline{RD}$ ↑, $\overline{IORD}$ ↑→ $\overline{ASTB}$ ↑遅延時間	①①⑨ t_{DRSTH}		0		ns
$\overline{WRL}$ ↑, $\overline{WRH}$ ↑, $\overline{IOWR}$ ↑→ $\overline{RD}$ ↑, $\overline{IORD}$ ↑遅延時間	①②⑩ t_{DWRH}		0		ns
CLKOUT↓→ $\overline{DEX}$ 遅延時間	③① t_{DKDX}		0	27	ns
$\overline{DEX}$ 保持時間(対 CLKOUT↓)	③② t_{HKDX}		0		ns
データ入力設定時間 (対 CLKOUT↓)	③③ t_{SDK}		11		ns
データ入力保持時間 (対 CLKOUT↓)	③④ t_{HKDR}		0		ns
CLKOUT↓→ $\overline{WR}$ ↓遅延時間	③⑤ t_{DKWL}		0	22	ns
CLKOUT↓→ $\overline{WR}$ ↑遅延時間	③⑥ t_{DKWH}		0	22	ns
$\overline{WR}$ ロウ・レベル幅	③⑦ t_{WWL}		(N+1)T-12		ns
CLKOUT↑→データ出力遅延時間	③⑧ t_{DKD}		3	27	ns
データ出力保持時間(対 CLKOUT↓)	③⑨ t_{HKDW}		0		ns
$\overline{WR}$ ↑→ $\overline{ASTB}$ ↑遅延時間	④⑩ t_{DWSTH}		0		ns
CLKOUT↑→ $\overline{RAS}$ ↓遅延時間	④① t_{DKRAL}		nT	nT+22	ns
CLKOUT↑→ $\overline{RAS}$ ↑遅延時間	④② t_{DKRAH}		0	22	ns
$\overline{RAS}$ ハイ・レベル幅	④③ t_{WRAH}		(n+1)T-15		ns
$\overline{WRH}$ ↓, $\overline{WRL}$ ↓→ $\overline{RAS}$ ↑遅延時間	④①① t_{DWRAH}		(N+0.5)T-10		ns
アドレス設定時間(対 $\overline{RAS}$ ↓)	④②② t_{SARAL}		nT-12		ns
READY設定時間(対 CLKOUT↓)	④④ t_{SRYHK}		18		ns
READY保持時間(対 CLKOUT↓)	④⑤ t_{HKRYL}		12		ns
READY設定時間(対 CLKOUT↓)	④⑥ t_{SRYLK}		18		ns
READY保持時間(対 CLKOUT↓)	④⑦ t_{HKRYH}		12		ns
$\overline{RESET}$ ロウ・レベル幅	④⑧ t_{WRS1}	STOP解除/パワーオン・リセット時	30		ms
	④⑨ t_{WRS2}	システム・リセット時	1000+2T		ns
NMIハイ・レベル幅	⑤⑩ t_{WNIH}		5		μs
NMIロウ・レベル幅	⑤① t_{WNIL}		5		μs
INTP _m 設定時間(対 CLKOUT↓)	⑤② t_{SIQK}	m=0-5	25		ns
INTP _m ハイ・レベル幅	⑤③ t_{WIQH}	m=0-5	10T		ns
INTP _m ロウ・レベル幅	⑤④ t_{WIQL}	m=0-5	10T		ns
$\overline{POLL}$ 設定時間(対 CLKOUT↓)	⑤⑤ t_{SPLK}		25		ns
HLDRQ設定時間(対 CLKOUT↓)	⑤⑥ t_{SHQK}		25		ns
CLKOUT↑→ $\overline{HLDK}$ ↓遅延時間	⑤⑦ t_{DKHA}		0	27	ns

n : アドレス・ウェイトのステート数

N : データ・ウェイトのステート数

T : t_{CYK}

備考 略号欄の数字は、タイミング・チャート中の数字に対応しています。

項 目	略 号	条 件	MIN.	MAX.	単位
バス・フロート→ $\overline{\text{HLD\!AK}}$ 遅延時間	⑤⑧ t_{FCHA}		0		ns
$\overline{\text{HLD\!AK}}$ ↑→バス出力遅延時間	⑤⑨ t_{DHAC}		$T-22.5$		ns
$\overline{\text{HLDRQ}}$ ↓→ $\overline{\text{HLD\!AK}}$ ↑遅延時間	⑥⑩ t_{DHQHA}		$0.5T-15$	$3.5T+35$	ns
$\overline{\text{HLDRQ}}$ ↓→バス出力遅延時間	⑥⑪ t_{DHQC}		$0.5T+45$		ns
$\overline{\text{HLDRQ}}$ ロウ・レベル幅	⑥⑫ t_{WHQL}		$2T$		ns
$\overline{\text{HLD\!AK}}$ ロウ・レベル幅	⑥⑬ t_{WHAL}		$3T-10$		ns
CLKOUT ↑→ $\overline{\text{BUSLOCK}}$ 遅延時間	⑥⑭ t_{DKBL}		0	27	ns
DMARQ_m 設定時間(対 CLKOUT ↓)	⑥⑮ t_{SDQK}	ダイヤモンド・リリース・モード以外; $m=0, 1$	25		ns
DMARQ_m ハイ・レベル幅	⑥⑯ t_{WDQH}	ダイヤモンド・リリース・モード以外; $m=0, 1$	$2T$		ns
DMARQ_m ロウ・レベル幅	⑥⑰ t_{WDQL}	ダイヤモンド・リリース・モード以外; $m=0, 1$	$2T$		ns
DMARQ_m 設定時間(対 CLKOUT ↑)	⑥⑱ t_{SKDQ}	ダイヤモンド・リリース・モード; $m=0, 1$		5	ns
DMARQ_m ロウ・レベル保持時間(対 CLKOUT ↓)	⑥⑲ t_{HKDQ}	ダイヤモンド・リリース・モード; $m=0, 1$	12		ns
CLKOUT ↑→ $\overline{\text{DMAAK}_m}$ ↓遅延時間	⑦⑩ t_{DKDA}	$m=0, 1$	0	27	ns
$\overline{\text{DMAAK}_m}$ ロウ・レベル幅	⑦⑪ t_{WDAL}	$m=0, 1$	$(3+n+N)T-10$		ns
CLKOUT ↑→ $\overline{\text{TCEm}}$ ↓遅延時間	⑦⑫ t_{DKTE}	$m=0, 1$	0	27	ns
$\overline{\text{TCEm}}$ ロウ・レベル幅	⑦⑬ t_{WTCL}	$m=0, 1$	$T-10$		ns
TOUT ハイ・レベル幅	⑦⑭ t_{WTOH}		$8T-10$		ns
TOUT ロウ・レベル幅	⑦⑮ t_{WTOL}		$8T-10$		ns
$\overline{\text{WDTOUT}}$ ロウ・レベル幅	⑦⑯ t_{WWTL}		$32T-10$		ns
$\overline{\text{SCK}}$ サイクル時間	⑦⑰ t_{CYSK}	入力	$8T$		ns
		出力	$8T-10$		ns
$\overline{\text{SCK}}$ ハイ・レベル幅	⑦⑱ t_{WSKH}	入力	$4T-10$		ns
		出力	$4T-10$		ns
$\overline{\text{SCK}}$ ロウ・レベル幅	⑦⑲ t_{WSKL}	入力	$4T-10$		ns
		出力	$4T-10$		ns
SI, SB 設定時間(対 $\overline{\text{SCK}}$ ↑)	⑧⑩ t_{SSSK}		50		ns
SI, SB 保持時間(対 $\overline{\text{SCK}}$ ↑)	⑧⑪ t_{HSKS}		150		ns
$\overline{\text{SCK}}$ ↓→ SO, SB 遅延時間	⑧⑫ t_{DSKSB1}	IOEモード(CMOS プッシュ・プル出力)	0	90	ns
	⑧⑬ t_{DSKSB2}	SBIモード(オープン・ドレイン出力, $\text{RL}=1\text{ k}\Omega$)	0	190	ns
SB ハイ・レベル保持時間(対 $\overline{\text{SCK}}$ ↑)	⑧⑭ t_{HSKSB}	SBIモード	$4T$		ns
SB ロウ・レベル設定時間(対 $\overline{\text{SCK}}$ ↓)	⑧⑮ t_{SSBSK}		$4T$		ns
SB ハイ・レベル幅	⑧⑯ t_{WSBH}		$4T$		ns
SB ロウ・レベル幅	⑧⑰ t_{WSBL}		$4T$		ns
$\overline{\text{CTS}}$ ハイ・レベル幅	⑧⑱ t_{WCTH}		$2T$		ns

n : アドレス・ウエイトのステート数

N : データ・ウエイトのステート数

T : t_{CYK}

備考 略号欄の数字は、タイミング・チャート中の数字に対応しています。

項 目	略 号	条 件	MIN.	MAX.	単位
CTS ロウ・レベル幅	(89) t_{WCTL}		2T		ns
送受信データ周期	(90) t_{CYD}	UART	32T		ns
TxC 出カクロック周期	(91) t_{CYC}	UART	32T		ns
TxC 出カクロック・ハイ・レベル幅	(92) t_{WCH}		16T-10		ns
TxC 出カクロック・ロウ・レベル幅	(93) t_{WCL}		16T-10		ns
TxC ↓ → TxD 遅延時間	(94) t_{DCTD}		0	90	ns
CTS ↓ → TxD 遅延時間	(95) t_{DCTTD}			$2t_{CYC}$	ns
DATASTB 設定時間	(96) t_{SDSK}	入力モード	25		ns
DATASTB ロウ・レベル幅	(97) t_{WDSL1}	入力モード	2T		ns
	(98) t_{WDSL2}	出力モード	2T-10	512T	ns
PD 設定時間(対 DATASTB ↓)	(99) t_{SPDSD1}	入力モード (DATASTB ↓ ラッチ・モード)	45		ns
PD 保持時間(対 DATASTB ↓)	(100) t_{HSDPD1}		4T		ns
DATASTB ↓ → BUSY 遅延時間	(101) t_{DSDBY1}			4T	ns
PD 設定時間(対 DATASTB ↑)	(102) t_{SPDSD2}	入力モード (DATASTB ↑ ラッチ・モード)	45		ns
PD 保持時間(対 DATASTB ↑)	(103) t_{HSDPD2}		4T		ns
DATASTB ↑ → BUSY 遅延時間	(104) t_{DSDBY2}			4T	ns
PD → DATASTB ↓ 遅延時間	(105) t_{DPDSDL}	出力モード	2T-30	512T	ns
DATASTB 設定時間(対 ACK ↓)	(106) t_{SDSAK}		0		ns
ACK 入力ロウ・レベル幅	(107) t_{WAKL}		2T		ns
DATASTB 設定時間(対 BUSY ↑)	(108) t_{SDSBY}		0		ns
BUSY 入力ハイ・レベル幅	(109) t_{WBYH}		2T		ns
ポート出力遅延時間(対 CLKOUT ↓)	(123) t_{DKP}		8	50	ns
ポート入力設定時間(対 CLKOUT ↓)	(124) t_{SPK}		25		ns
ポート入力保持時間(対 CLKOUT ↓)	(125) t_{HKP}		16		ns
DMARQ _m ハイ・レベル保持時間(対 ASTB ↓)	(126) t_{HSTDQ}	ダイヤモンド・リリース・モード ; m=0, 1	0		ns
CLKOUT ↑ → REFRQ ↓ 遅延時間	(127) t_{DKREL}		0	25	ns
CLKOUT ↑ → REFRQ ↑ 遅延時間	(128) t_{DKREH}		0	25	ns
REFRQ ↓ → RAS 遅延時間	(129) t_{DRERA}		nT-5		ns
ASTB ↓ → RD ↓ 遅延時間	(130) t_{DSTLRL}		0.5T-5		ns

n : アドレス・ウエイトのステート数

T : t_{CYC}

備考 略号欄の数字は、タイミング・チャート中の数字に対応しています。

(2) μPD70433-16

項 目	略 号	条 件	MIN.	MAX.	単位
X1 入力サイクル・タイム	① t_{CYX}		31.25	250	ns
X1 入力ハイ・レベル幅	② t_{WXH}		12		ns
X1 入力ロウ・レベル幅	③ t_{WXL}		12		ns
X1 入力立ち上がり時間	④ t_{XR}			5	ns
X1 入力立ち下がり時間	⑤ t_{XF}			5	ns
CLKOUT 出力サイクル・タイム	⑥ t_{CYK}		62.5	4000	ns
CLKOUT 出力ハイ・レベル幅	⑦ t_{WKH}		0.5T-5		ns
CLKOUT 出力ロウ・レベル幅	⑧ t_{WKL}		0.5T-5		ns
CLKOUT 出力立ち上がり時間	⑨ t_{KR}			5	ns
CLKOUT 出力立ち下がり時間	⑩ t_{KF}			5	ns
入力立ち上がり時間	⑪ t_{IR1}	注1		10	ns
	⑫ t_{IR2}	注2		20	ns
入力立ち下がり時間	⑬ t_{IF1}	注1		10	ns
	⑭ t_{IF2}	注2		20	ns
出力立ち上がり時間	⑮ t_{OR}			10	ns
出力立ち下がり時間	⑯ t_{OF}			10	ns
X1 ↓ → CLKOUT 遅延時間	⑰ t_{DXK}	X2 : オープン		18	ns
CLKOUT ↑ → アドレス遅延時間	⑱ t_{DKA}		5	27	ns
アドレス保持時間(対 CLKOUT ↑)	⑲ t_{HKA1}		0		ns
	⑳ t_{HKA2}		0		ns
CLKOUT ↑ → アドレス・フロート 遅延時間	㉑ t_{FKA}		t_{HKA1}	36	ns
アドレス設定時間(対 $\overline{ASTB}$ ↓)	㉒ t_{SAST}		(n+0.5)T-25		ns
アドレス保持時間(対 $\overline{ASTB}$ ↓)	㉓ t_{HSTA}		0.5T-15		ns
CLKOUT ↓ → $\overline{ASTB}$ ↓ 遅延時間	㉔ t_{DKSTL}		0	22	ns
CLKOUT ↓ → $\overline{ASTB}$ ↑ 遅延時間	㉕ t_{DKSTH}		0	22	ns
$\overline{ASTB}$ ハイ・レベル幅	㉖ t_{WSTH}		(n+1)T-15		ns
CLKOUT ↑ → $\overline{RD}$ ↓ 遅延時間	㉗ t_{DKRL}		0	22	ns
CLKOUT ↓ → $\overline{RD}$ ↑ 遅延時間	㉘ t_{DKRH}		0	22	ns
$\overline{RD}$ ロウ・レベル幅	㉙ t_{WRL}		(N+1.5)T-15		ns

n : アドレス・ウェイトのステート数

N : データ・ウェイトのステート数

T : t_{CYK}

注 1. 注 2 以外

2. $\overline{RESET}$, P10/NMI, X1, P11/INTP0-P16/INTP5, P30/TxD0/SO0/SB0, P31/RxD0/SB1/SIO,
P32/TxC/SCK0, P33/CTS0, P35/RxD1/SI1, P36/SCK1/CTS1

備考 略号欄の数字は、タイミング・チャート中の数字に対応しています。

項 目	略 号	条 件	MIN.	MAX.	単位
アドレス・フロート→ $\overline{RD}$ ↓遅延時間	②⑨ t_{FARL}		0		ns
$\overline{RD}$ ↑→アドレス遅延時間	③⑩ t_{DRA}		0.5T		ns
$\overline{RD}$ ↑, $\overline{IORD}$ ↑→ $\overline{ASTB}$ ↑遅延時間	①①⑨ t_{DRSTH}		0		ns
$\overline{WRL}$ ↑, $\overline{WRH}$ ↑, $\overline{IOWR}$ ↑→ $\overline{RD}$ ↑, $\overline{IORD}$ ↑遅延時間	①②⑩ t_{DWRH}		0		ns
CLKOUT↓→ $\overline{DEX}$ 遅延時間	③① t_{DKDX}		0	27	ns
$\overline{DEX}$ 保持時間(対 CLKOUT↓)	③② t_{HKDX}		0		ns
データ入力設定時間 (対 CLKOUT↓)	③③ t_{SDK}		11		ns
データ入力保持時間 (対 CLKOUT↓)	③④ t_{HKDR}		0		ns
CLKOUT↓→ $\overline{WR}$ ↓遅延時間	③⑤ t_{DKWL}		0	22	ns
CLKOUT↓→ $\overline{WR}$ ↑遅延時間	③⑥ t_{DKWH}		0	22	ns
$\overline{WR}$ ロウ・レベル幅	③⑦ t_{WWL}		$(N+1)T-12$		ns
CLKOUT↑→データ出力遅延時間	③⑧ t_{DKD}		3	27	ns
データ出力保持時間(対 CLKOUT↓)	③⑨ t_{HKDW}		0		ns
$\overline{WR}$ ↑→ $\overline{ASTB}$ ↑遅延時間	④⑩ t_{DWSTH}		0		ns
CLKOUT↑→ $\overline{RAS}$ ↓遅延時間	④① t_{DKRAL}		nT	nT+22	ns
CLKOUT↑→ $\overline{RAS}$ ↑遅延時間	④② t_{DKRAH}		0	22	ns
$\overline{RAS}$ ハイ・レベル幅	④③ t_{WRAH}		$(n+1)T-15$		ns
$\overline{WRH}$ ↓, $\overline{WRL}$ ↓→ $\overline{RAS}$ ↑遅延時間	④②① t_{DWRAH}		$(N+0.5)T-10$		ns
アドレス設定時間(対 $\overline{RAS}$ ↓)	④②② t_{SARAL}		nT-12		ns
READY 設定時間(対 CLKOUT↓)	④④ t_{SRYHK}		18		ns
READY 保持時間(対 CLKOUT↓)	④⑤ t_{HKRYL}		12		ns
READY 設定時間(対 CLKOUT↓)	④⑥ t_{SRYLK}		18		ns
READY 保持時間(対 CLKOUT↓)	④⑦ t_{HKRYH}		12		ns
$\overline{RESET}$ ロウ・レベル幅	④⑧ t_{WRSL1}	STOP 解除/パワーオン・リセット時	30		ms
	④⑨ t_{WRSL2}	システム・リセット時	1000+2T		ns
NMI ハイ・レベル幅	⑤⑩ t_{WNIH}		5		μs
NMI ロウ・レベル幅	⑤① t_{WNIL}		5		μs
INTPm 設定時間(対 CLKOUT↓)	⑤② t_{SIQK}	m=0-5	25		ns
INTPm ハイ・レベル幅	⑤③ t_{WIQH}	m=0-5	10T		ns
INTPm ロウ・レベル幅	⑤④ t_{WIQL}	m=0-5	10T		ns
$\overline{POLL}$ 設定時間(対 CLKOUT↓)	⑤⑤ t_{SPLK}		25		ns
HLDQR 設定時間(対 CLKOUT↓)	⑤⑥ t_{SHQK}		25		ns
CLKOUT↑→ $\overline{HLDAK}$ ↓遅延時間	⑤⑦ t_{DKHA}		0	27	ns

n : アドレス・ウェイトのステート数

N : データ・ウェイトのステート数

T : t_{CYK}

備考 略号欄の数字は、タイミング・チャート中の数字に対応しています。

項 目	略 号	条 件	MIN.	MAX.	単位
バス・フロート→ $\overline{\text{HLDAK}}$ ↓ 遅延時間	(58) t_{FCHA}		0		ns
$\overline{\text{HLDAK}}$ ↑ → バス出力遅延時間	(59) t_{DHAC}		$T-22.5$		ns
$\overline{\text{HLDRQ}}$ ↓ → $\overline{\text{HLDAK}}$ ↑ 遅延時間	(60) t_{DHQHA}		$0.5T-15$	$3.5T+35$	ns
$\overline{\text{HLDRQ}}$ ↓ → バス出力遅延時間	(61) t_{DHQC}		$0.5T+45$		ns
$\overline{\text{HLDRQ}}$ ロウ・レベル幅	(62) t_{WHQL}		$2T$		ns
$\overline{\text{HLDAK}}$ ロウ・レベル幅	(63) t_{WHAL}		$3T-10$		ns
CLKOUT ↑ → $\overline{\text{BUSLOCK}}$ 遅延時間	(64) t_{DKBL}		0	27	ns
DMARQ_m 設定時間(対 CLKOUT ↓)	(65) t_{SDQK}	ディマンド・リリース・モード以外; $m=0, 1$	25		ns
DMARQ_m ハイ・レベル幅	(66) t_{WDQH}	ディマンド・リリース・モード以外; $m=0, 1$	$2T$		ns
DMARQ_m ロウ・レベル幅	(67) t_{WDQL}	ディマンド・リリース・モード以外; $m=0, 1$	$2T$		ns
DMARQ_m 設定時間(対 CLKOUT ↑)	(68) t_{SKDQ}	ディマンド・リリース・モード; $m=0, 1$		5	ns
DMARQ_m ロウ・レベル保持時間(対 CLKOUT ↓)	(69) t_{HKDQ}	ディマンド・リリース・モード; $m=0, 1$	12		ns
CLKOUT ↑ → $\overline{\text{DMAAK}}_m$ ↓ 遅延時間	(70) t_{DKDA}	$m=0, 1$	0	27	ns
$\overline{\text{DMAAK}}_m$ ロウ・レベル幅	(71) t_{WDAL}	$m=0, 1$	$(3+n+N)T-10$		ns
CLKOUT ↑ → $\overline{\text{TCE}}_m$ ↓ 遅延時間	(72) t_{DKTE}	$m=0, 1$	0	27	ns
$\overline{\text{TCE}}_m$ ロウ・レベル幅	(73) t_{WTCL}	$m=0, 1$	$T-10$		ns
TOUT ハイ・レベル幅	(74) t_{WTOH}		$8T-10$		ns
TOUT ロウ・レベル幅	(75) t_{WTOL}		$8T-10$		ns
$\overline{\text{WDTOUT}}$ ロウ・レベル幅	(76) t_{WWTL}		$32T-10$		ns
$\overline{\text{SCK}}$ サイクル時間	(77) t_{CYSK}	入力	8T		ns
		出力	$8T-10$		ns
$\overline{\text{SCK}}$ ハイ・レベル幅	(78) t_{WSKH}	入力	$4T-10$		ns
		出力	$4T-10$		ns
$\overline{\text{SCK}}$ ロウ・レベル幅	(79) t_{WSKL}	入力	$4T-10$		ns
		出力	$4T-10$		ns
SI, SB 設定時間(対 $\overline{\text{SCK}}$ ↑)	(80) t_{SSSK}		50		ns
SI, SB 保持時間(対 $\overline{\text{SCK}}$ ↑)	(81) t_{HSKS}		150		ns
$\overline{\text{SCK}}$ ↓ → SO, SB 遅延時間	(82) t_{DSKSB1}	IOE モード (CMOS プッシュ・プル出力)	0	90	ns
	(83) t_{DSKSB2}	SBI モード (オープン・ドレイン出力, $R_L = 1 \text{ k}\Omega$)	0	190	ns
SB ハイ・レベル保持時間(対 $\overline{\text{SCK}}$ ↑)	(84) t_{HSKSB}	SBI モード	$4T$		ns
SB ロウ・レベル設定時間(対 $\overline{\text{SCK}}$ ↓)	(85) t_{SSBSK}		$4T$		ns
SB ハイ・レベル幅	(86) t_{WSBH}		$4T$		ns
SB ロウ・レベル幅	(87) t_{WSBL}		$4T$		ns
$\overline{\text{CTS}}$ ハイ・レベル幅	(88) t_{WCTH}		$2T$		ns

n : アドレス・ウェイトのステート数

N : データ・ウェイトのステート数

T : t_{CYK}

備考 略号欄の数字は、タイミング・チャート中の数字に対応しています。

項 目	略 号	条 件	MIN.	MAX.	単位
$\overline{\text{CTS}}$ ロウ・レベル幅	(89) t_{WCTL}		2T		ns
送受信データ周期	(90) t_{CYD}	UART	32T		ns
TxC 出力クロック周期	(91) t_{CYC}	UART	32T		ns
TxC 出力クロック・ハイ・レベル幅	(92) t_{WCH}		16T-10		ns
TxC 出力クロック・ロウ・レベル幅	(93) t_{WCL}		16T-10		ns
TxC ↓ → TxD 遅延時間	(94) t_{DTCTD}		0	90	ns
$\overline{\text{CTS}}$ ↓ → TxD 遅延時間	(95) t_{DCTTD}			$2t_{\text{CYC}}$	ns
DATASTB 設定時間	(96) t_{SDSK}	入力モード	25		ns
$\overline{\text{DATASTB}}$ ロウ・レベル幅	(97) t_{WDSL1}	入力モード	2T		ns
	(98) t_{WDSL2}	出力モード	2T 10	512T	ns
PD 設定時間(対 $\overline{\text{DATASTB}}$ ↓)	(99) t_{SPDDS1}	入力モード ($\overline{\text{DATASTB}}$ ↓ ラッチ・モード)	45		ns
PD 保持時間(対 $\overline{\text{DATASTB}}$ ↓)	(100) t_{HDSPD1}		4T		ns
$\overline{\text{DATASTB}}$ ↓ → BUSY 遅延時間	(101) t_{DDBSY1}			4T	ns
PD 設定時間(対 $\overline{\text{DATASTB}}$ ↑)	(102) t_{SPDDS2}	入力モード ($\overline{\text{DATASTB}}$ ↑ ラッチ・モード)	45		ns
PD 保持時間(対 $\overline{\text{DATASTB}}$ ↑)	(103) t_{HDSPD2}		4T		ns
$\overline{\text{DATASTB}}$ ↑ → BUSY 遅延時間	(104) t_{DDBSY2}			4T	ns
PD → $\overline{\text{DATASTB}}$ ↓ 遅延時間	(105) t_{DPDSSL}	出力モード	2T-30	512T	ns
$\overline{\text{DATASTB}}$ 設定時間(対 $\overline{\text{ACK}}$ ↓)	(106) t_{SDSAK}		0		ns
$\overline{\text{ACK}}$ 入カロウ・レベル幅	(107) t_{WAKL}		2T		ns
$\overline{\text{DATASTB}}$ 設定時間(対 BUSY ↑)	(108) t_{SDSBY}		0		ns
BUSY 入力ハイ・レベル幅	(109) t_{WBYH}		2T		ns
ポート出力遅延時間(対 CLKOUT ↓)	(120) t_{DKP}		8	50	ns
ポート入力設定時間(対 CLKOUT ↓)	(124) t_{SPK}		25		ns
ポート入力保持時間(対 CLKOUT ↓)	(125) t_{HKP}		16		ns
DMARQ _m ハイ・レベル保持時間(対 $\overline{\text{ASTB}}$ ↓)	(126) t_{HSTDQ}	ダイヤモンド・リリース・モード $m=0, 1$	0		ns
CLKOUT ↑ → $\overline{\text{REFRQ}}$ ↓ 遅延時間	(127) t_{DKREL}		0	25	ns
CLKOUT ↑ → $\overline{\text{REFRQ}}$ ↑ 遅延時間	(128) t_{DKREH}		0	25	ns
$\overline{\text{REFRQ}}$ ↓ → RAS 遅延時間	(128) t_{DRERA}		nT-5		ns
$\overline{\text{ASTB}}$ ↓ → $\overline{\text{RD}}$ ↓ 遅延時間	(130) t_{DSTLRL}		0.5T-5		ns
TI ハイ・レベル幅	(131) t_{WTIH}		4T		ns
TI ロウ・レベル幅	(132) t_{WTIL}		4T		ns
TO _m 設定時間(対 CLKOUT ↓)	(133) t_{DKT}	$m=00, 01, 20, 21, 30$	5	30	ns

n アドレス・ウエイトのステート数

T t_{CYK}

備考 略号欄の数字は、タイミング・チャート中の数字に対応しています。

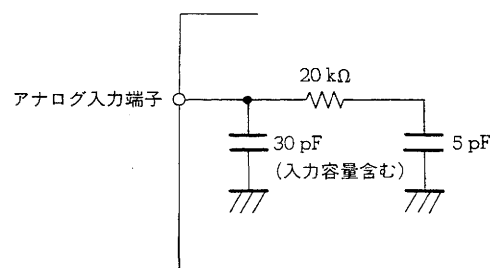
A/D コンバータ特性 ($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = +5.0\text{V} \pm 10\%$, $AV_{SS} = 0\text{V}$,
 $V_{DD} - 0.5\text{V} \leq AV_{DD} \leq V_{DD}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
分解能			8			ビット
総合誤差 ^{注1}		3.4 V AV_{REF} AV_{DD}			0.8	%
		4.5 V AV_{REF} AV_{DD}			0.6	%
量子化誤差					1/2	LSB
変換時間	t_{CONV}	80 ns T 125 ns (μ PD70433, 70433 12)	160T			ns
		62.5 ns T 125 ns (μ PD70433 16)				
		125 ns T 250 ns				
サンプリング時間	t_{SAMP}	80 ns T 125 ns (μ PD70433, 70433 12)	32T			ns
		62.5 ns T 125 ns (μ PD70433 16)				
		125 ns T 250 ns				
アナログ入力電圧	V_{IAN}		-0.3		$AV_{REF} + 0.3$	V
アナログ入力インピーダンス	R_{AN}	非サンプリング時		1000		M Ω
		サンプリング時		注2		
基準電圧	AV_{REF}		3.4		AV_{DD}	V
AV_{REF} 電流	AI_{REF}	T=80 ns		1.5	5.0	mA

T t_{CYK}

注 1. 量子化誤差を除きます。

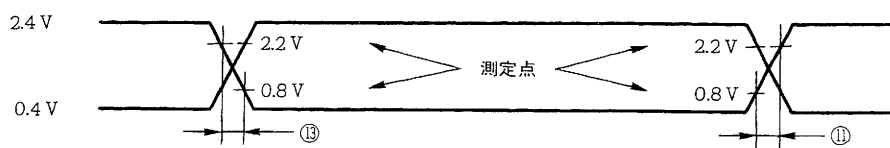
2. サンプリング時のアナログ入力インピーダンスは、下図の等価回路と同一となります(図中の値は TYP. 値で、保証値ではありません)。



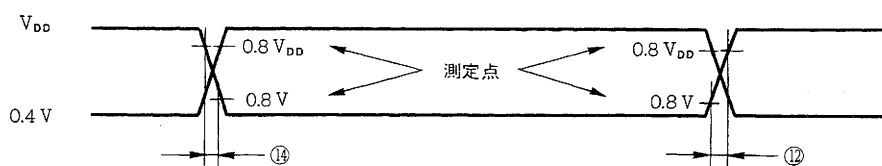
データ・メモリ STOP モード低電源電圧データ保持特性 ($T_A = -40 \sim +85^\circ\text{C}$)

項 目	略 号	条 件	MIN.	MAX.	単位
データ保持電源電圧	⑪5 V_{DDDR}		2.5	5.5	V
電源電圧立ち上がり時間	⑪6 t_{RVD}		200		μ s
電源電圧立ち下がり時間	⑪7 t_{FVD}		200		μ s

備考 略号欄の数字は、タイミング・チャート中の数字に対応しています。

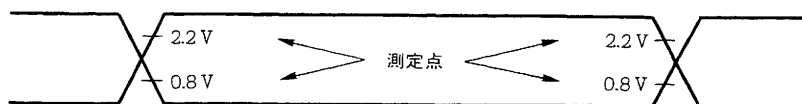
AC テスト入力波形^{注1}

注 1. 注 2 以外

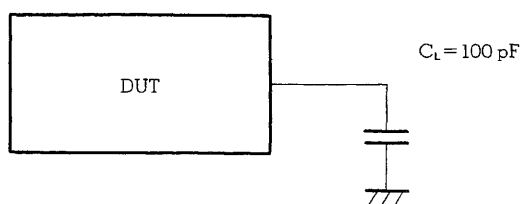
AC テスト入力波形^{注2}

注 2. $\overline{\text{RESET}}$, P10/ $\overline{\text{NMI}}$, X1, P11/ $\overline{\text{INTP0}}$ -P16/ $\overline{\text{INTP5}}$, P30/ $\overline{\text{TxDO}}$ / $\overline{\text{SO0}}$ / $\overline{\text{SB0}}$, P31/ $\overline{\text{RxDO}}$ / $\overline{\text{SB1}}$ / $\overline{\text{SIO}}$,
P32/ $\overline{\text{TxC}}$ / $\overline{\text{SCK0}}$, P33/ $\overline{\text{CTS0}}$, P35/ $\overline{\text{RxD1}}$ / $\overline{\text{SI1}}$, P36/ $\overline{\text{SCK1}}$ / $\overline{\text{CTS1}}$

AC テスト出力測定点



負荷条件

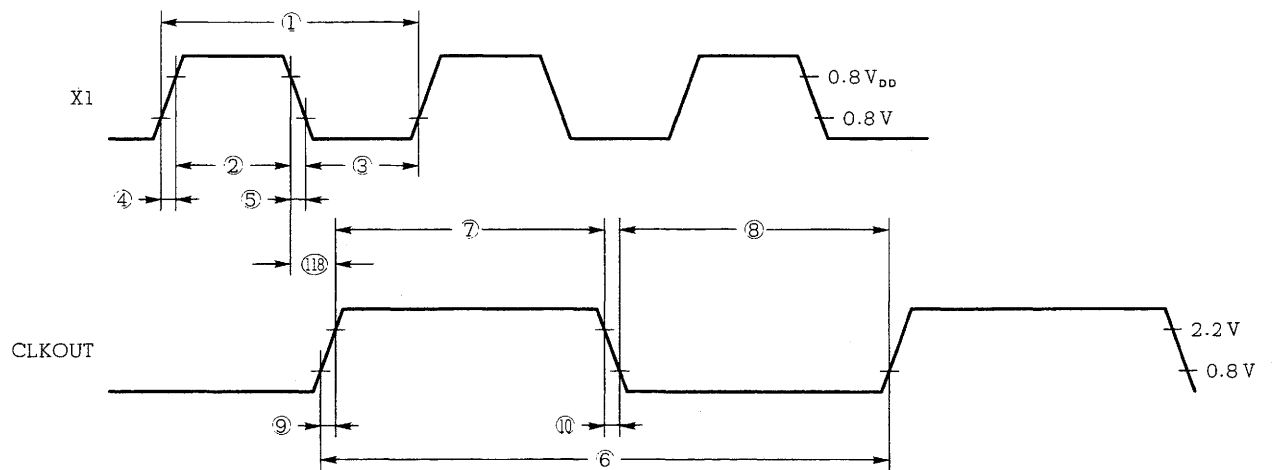


注意 回路の構成により負荷容量が100 pF を越える場合は、バッファを入れるなどして、このデバイスの負荷容量を100 pF 以下にしてください。

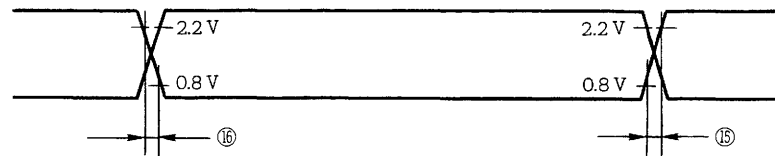
備考 DUT: 被測定デバイス

クロック入出力タイミング

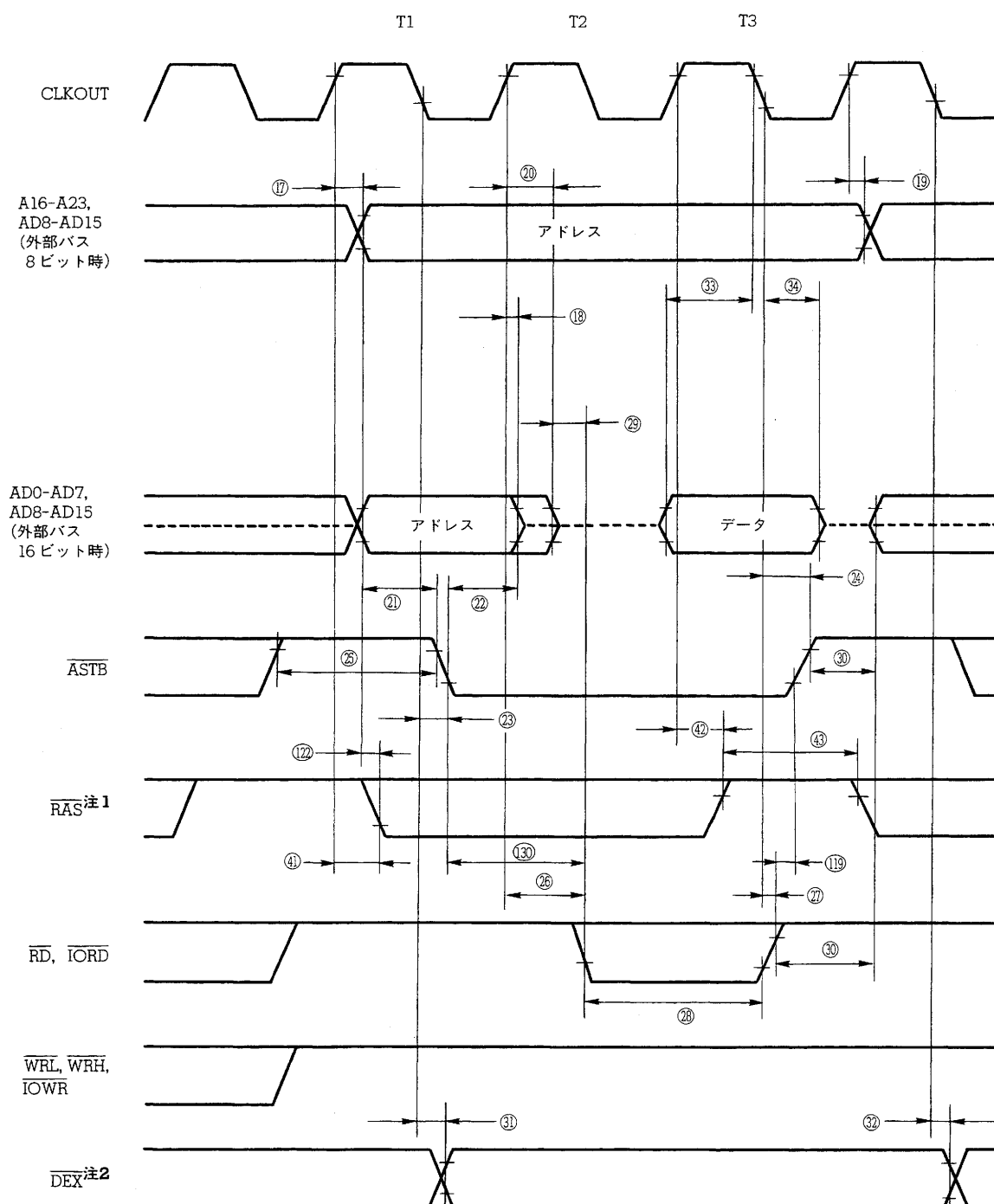
★



出力波形 (CLKOUT 以外)



リード・タイミング

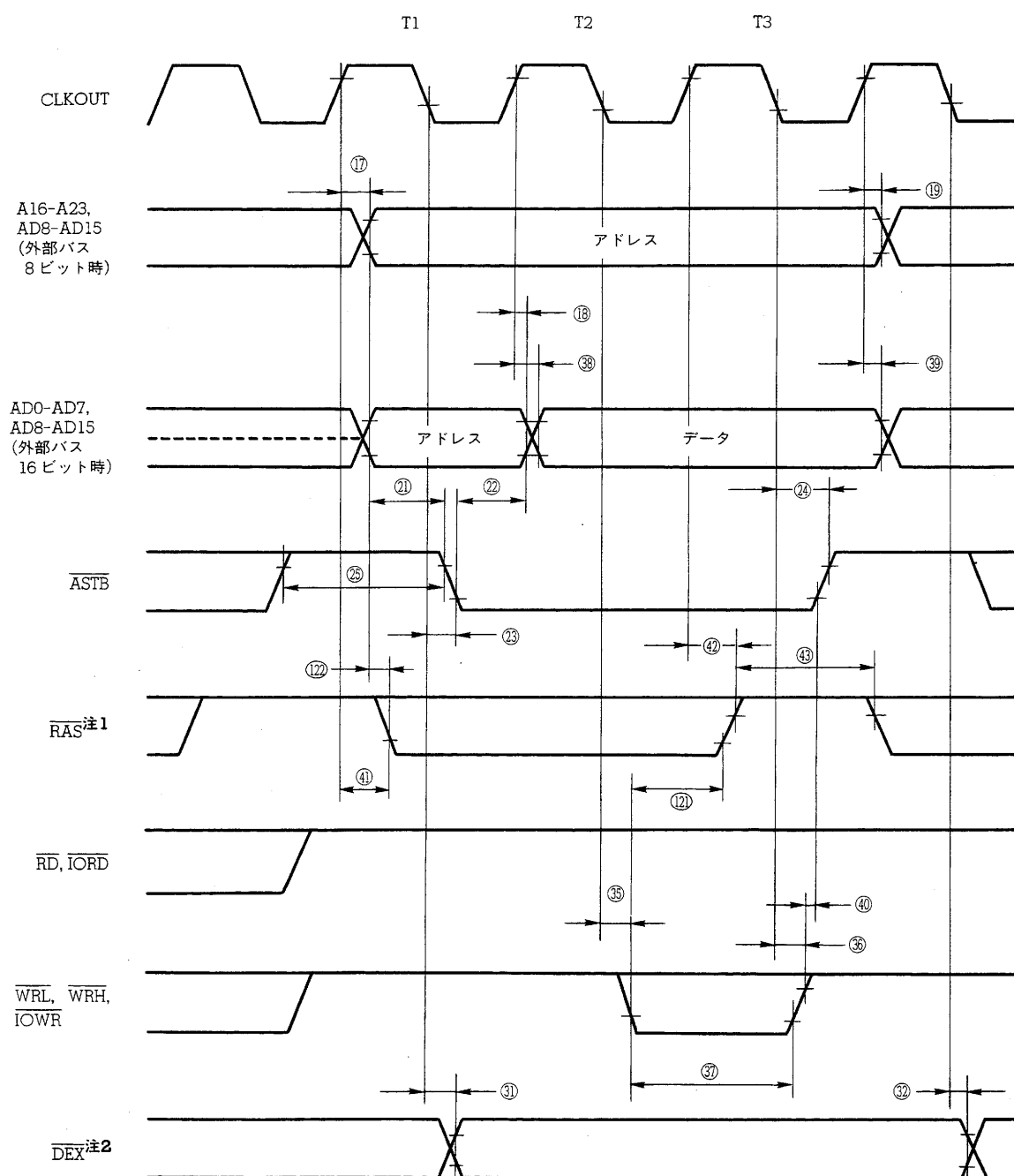


注 1. メモリ・ブロック 1, 4 (MBC レジスタによって設定) に対するアクセス時にのみアクティブとなります。

2. 外部バス幅が16ビット時のみ有効です。

備考 破線はハイ・インピーダンスを示します。

ライト・タイミング

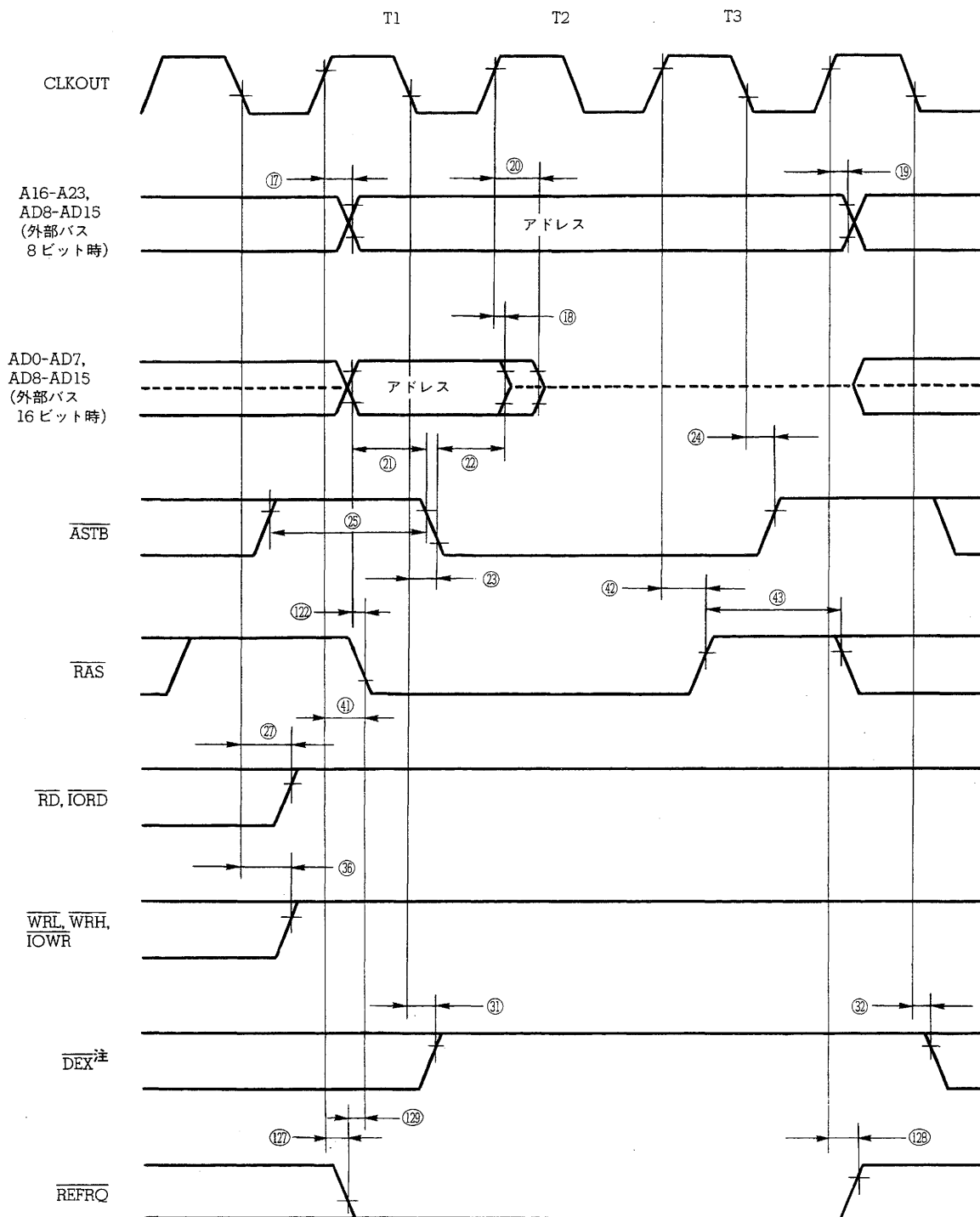


注 1. メモリ・ブロック 1, 4 (MBC レジスタによって設定) に対するアクセス時にのみアクティブとなります。

2. 外部バス幅が16ビット時のみ有効です。

備考 破線はハイ・インピーダンスを示します。

リフレッシュ・タイミング

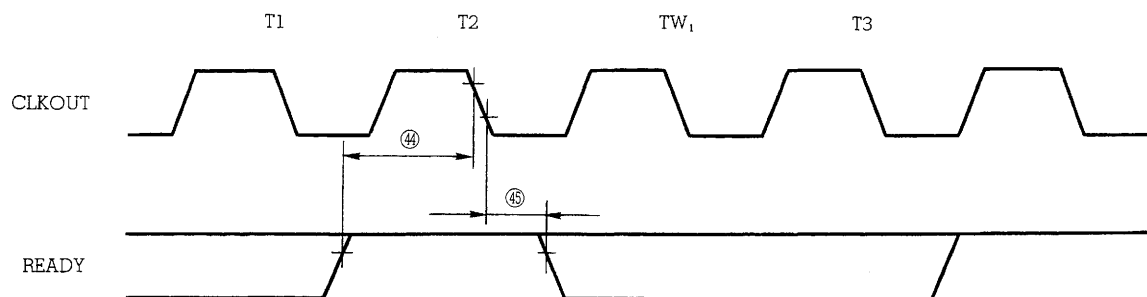


注 外部バス幅が16ビット時のみ有効です。

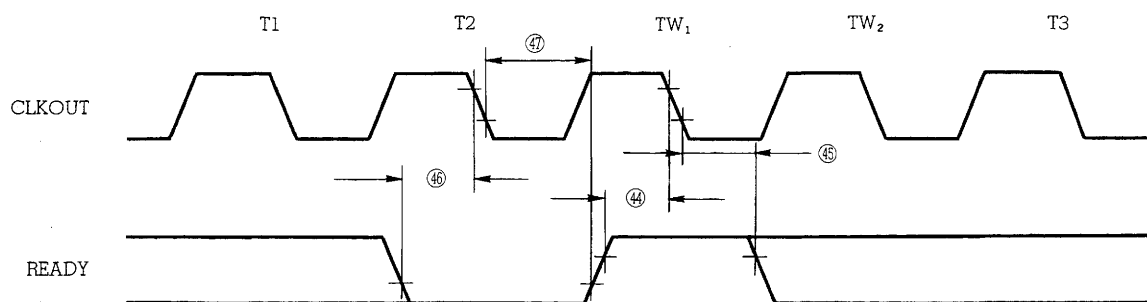
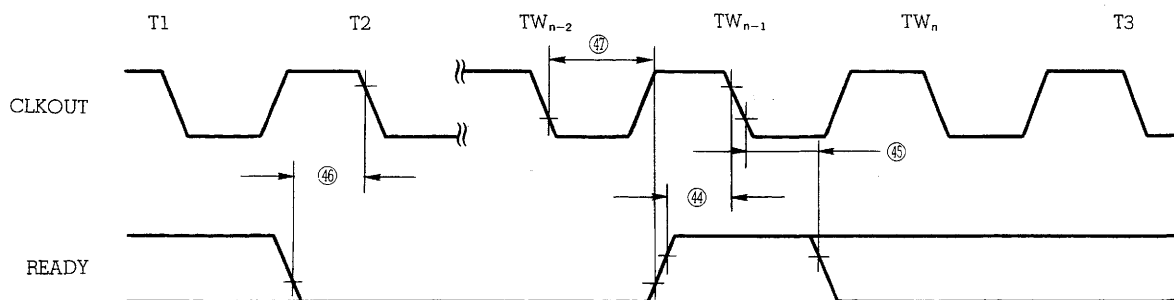
備考 破線はハイ・インピーダンスを示します。

READY 入力タイミング

(1) 1 データ・ウェイト挿入時

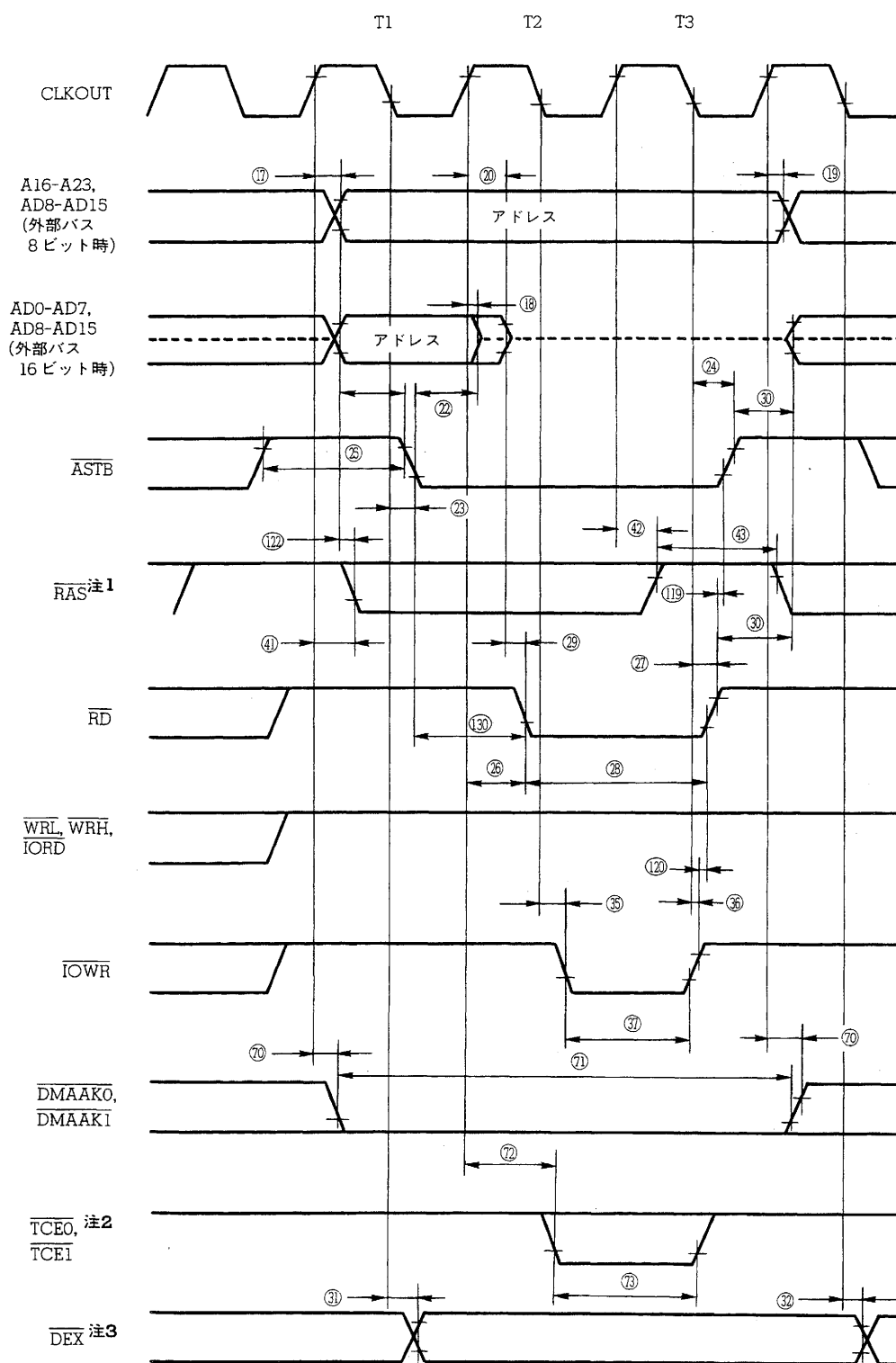


(2) 2 データ・ウェイト挿入時

(3) n データ・ウェイト挿入時 ($n \geq 3$)

備考 READY 入力は, PWC_n レジスタ ($n=0, 1$) の該当フィールドが '00' (2 進) 以外の場合に有効となります。

DMA タイミング (外部メモリ→外部 I/O)



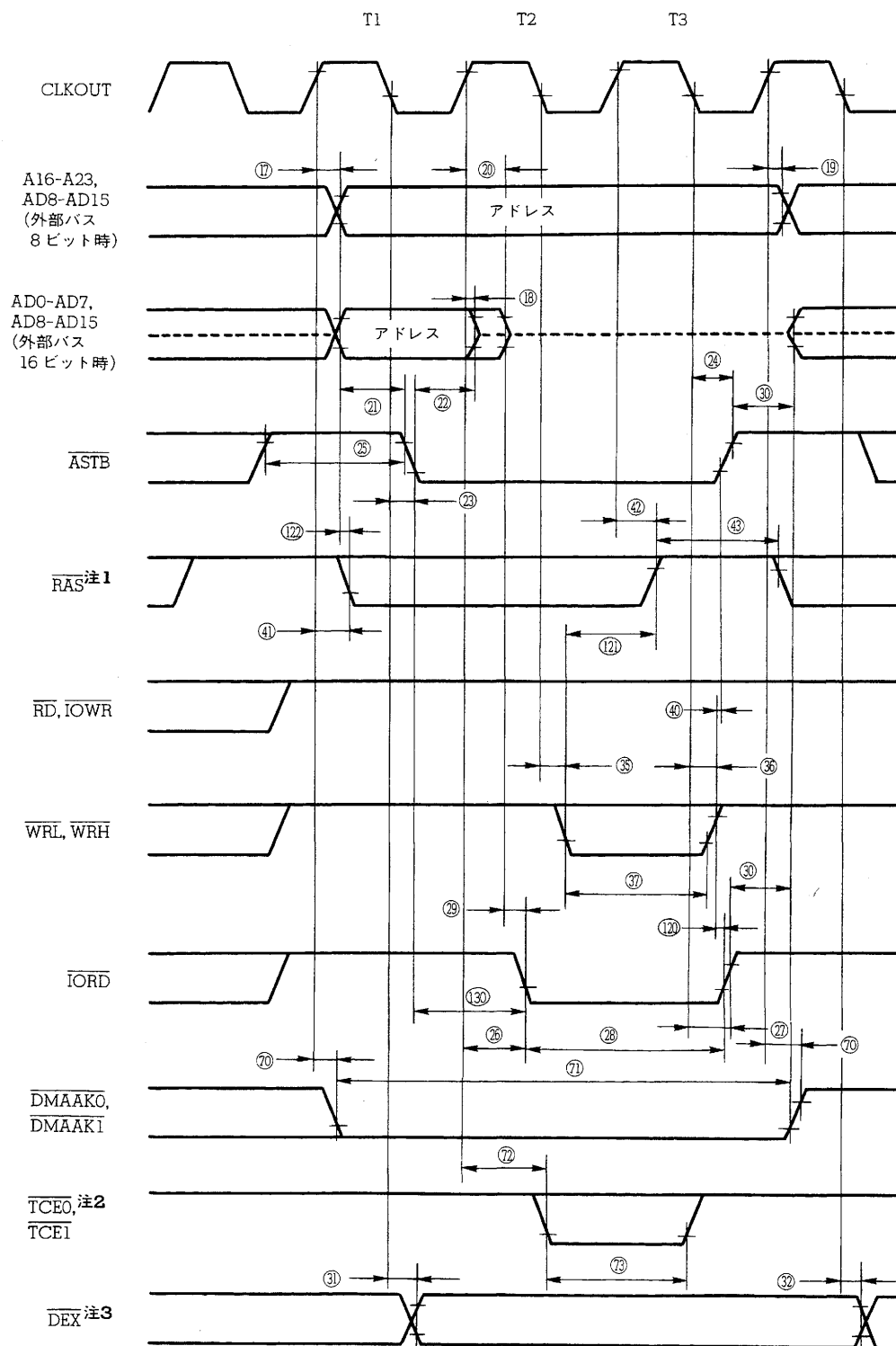
注 1. メモリ・ブロック 1, 4 (MBC レジスタによって設定) に対する DMA 転送時にのみアクティブとなります。

2. インテリジェント DMA モード-2, 2チャネル動作モード (終了時停止), メモリ・メモリ転送モード (終了時停止) の最終転送時にアクティブとなります。

3. 外部バス幅が16ビット時のみ有効です。

備考 破線はハイ・インピーダンスを示します。

DMA タイミング (外部 I/O → 外部メモリ)



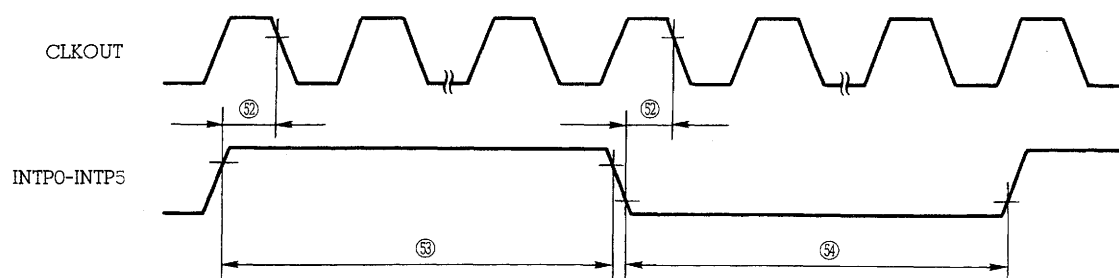
注 1. メモリ・ブロック 1, 4 (MBC レジスタによって設定) に対する DMA 転送時にものみアクティブとなります。

2. インテリジェント DMA モード-2, 2チャネル動作モード (終了時停止), メモリ-メモリ転送モード (終了時停止) の最終転送時にアクティブとなります。

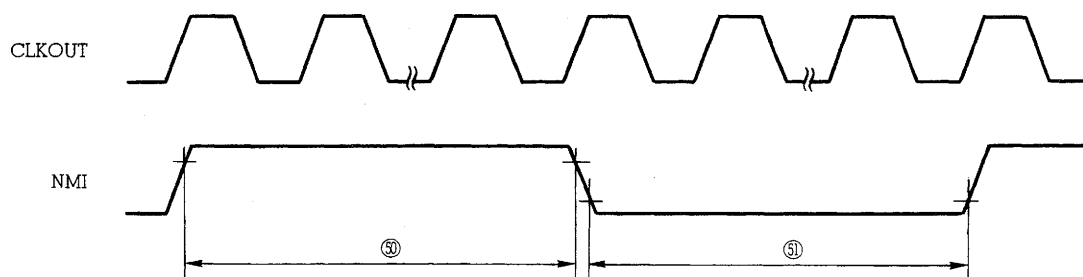
3. 外部バス幅が16ビット時のみ有効です。

備考 破線はハイ・インピーダンスを示します。

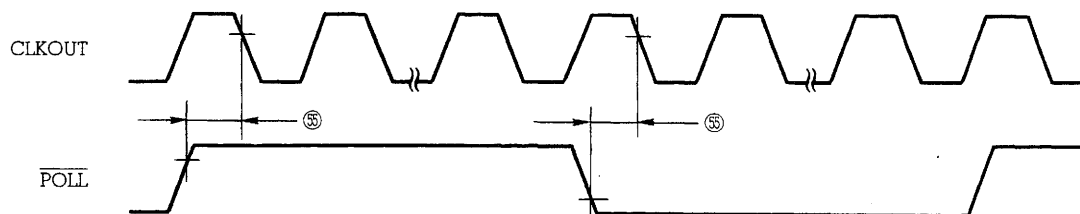
INTP_m 入カタイミング (m=0-5)



NMI 入カタイミング



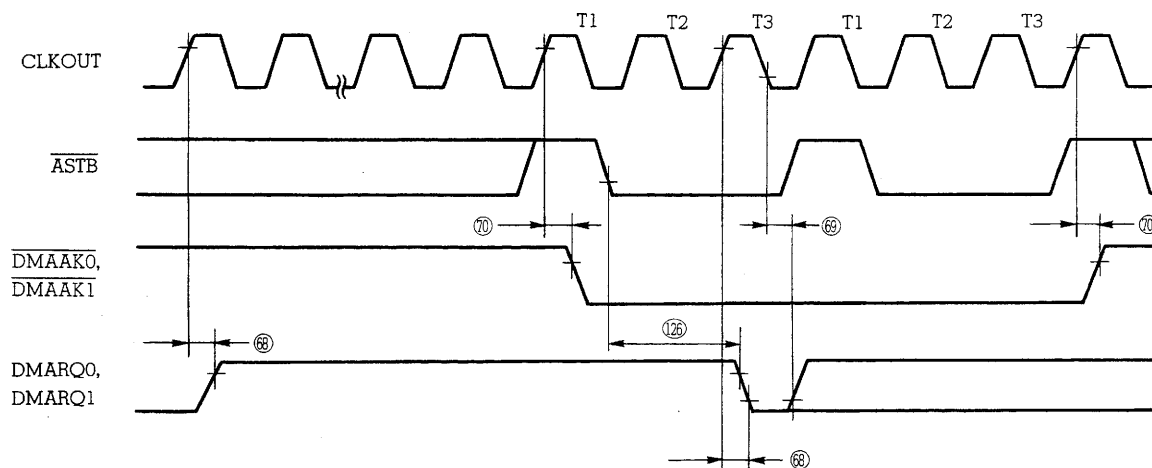
POLL 入カタイミング



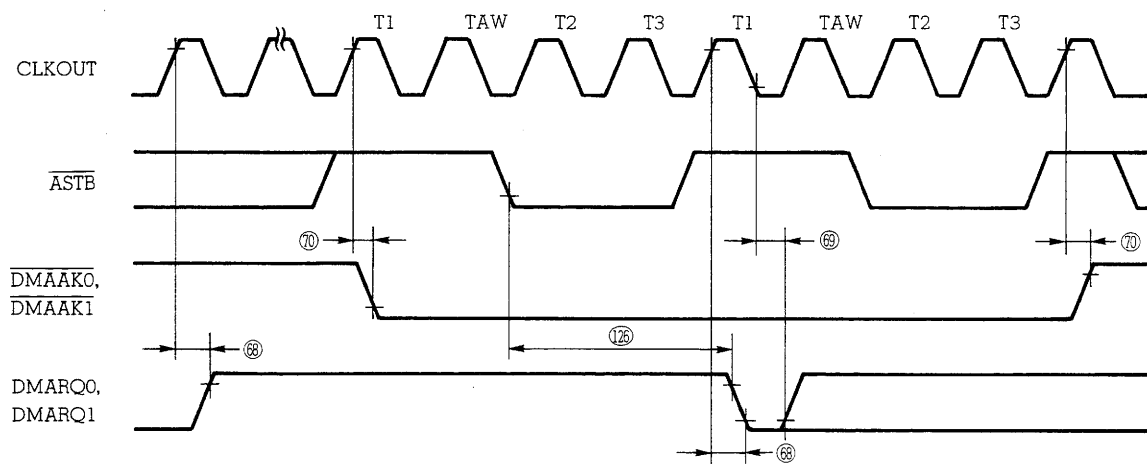
DMARQ_m 入カタイミング (m=0, 1)

(1) ディマンド・リリース・モード時 (I/O-メモリ間転送)

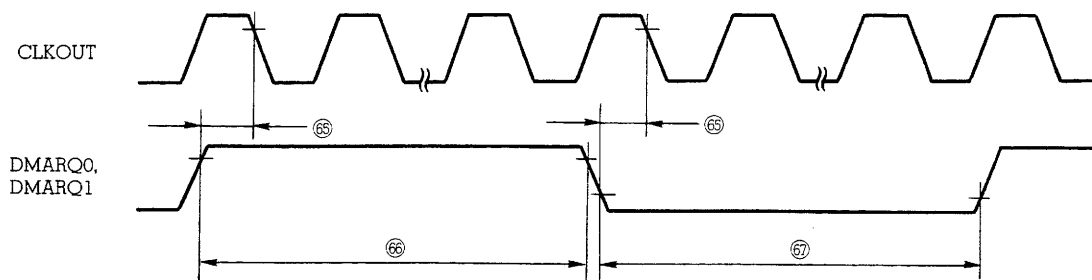
(a) アドレス・ウェイト非挿入時



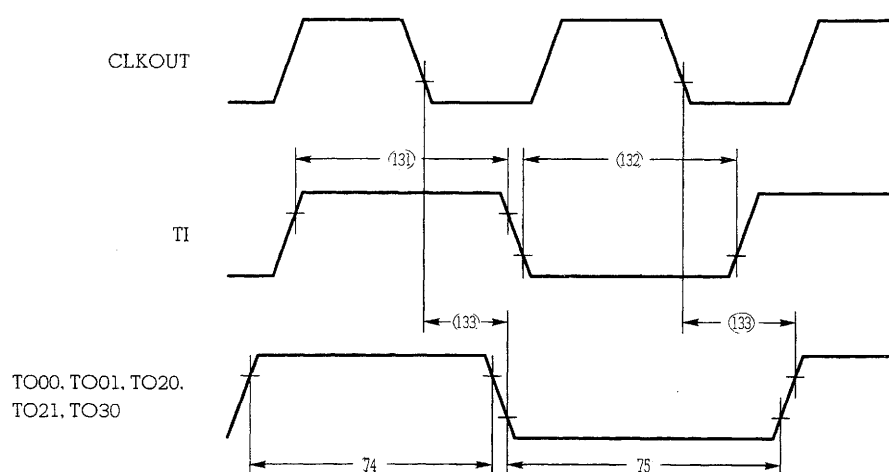
(b) アドレス・ウェイト挿入時



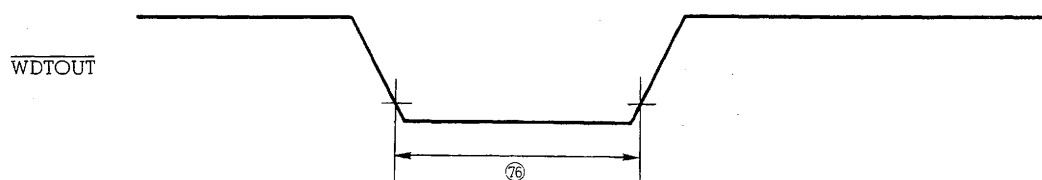
(2) ディマンド・リリース・モード以外のとき



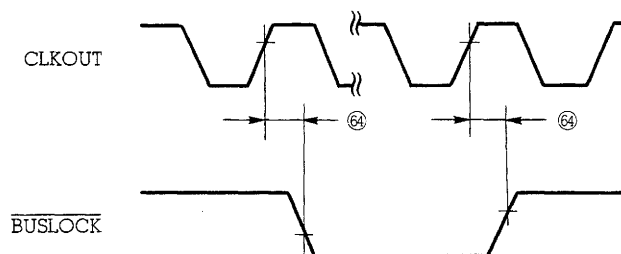
★ タイマ出力タイミング



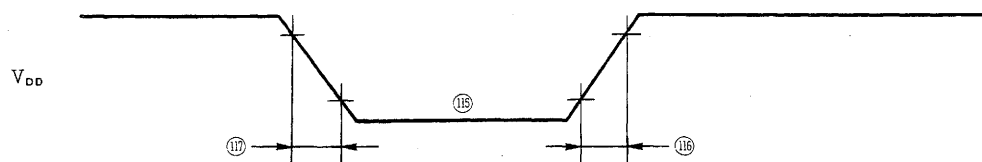
WDTOUT 出力タイミング



BUSLOCK 出力タイミング

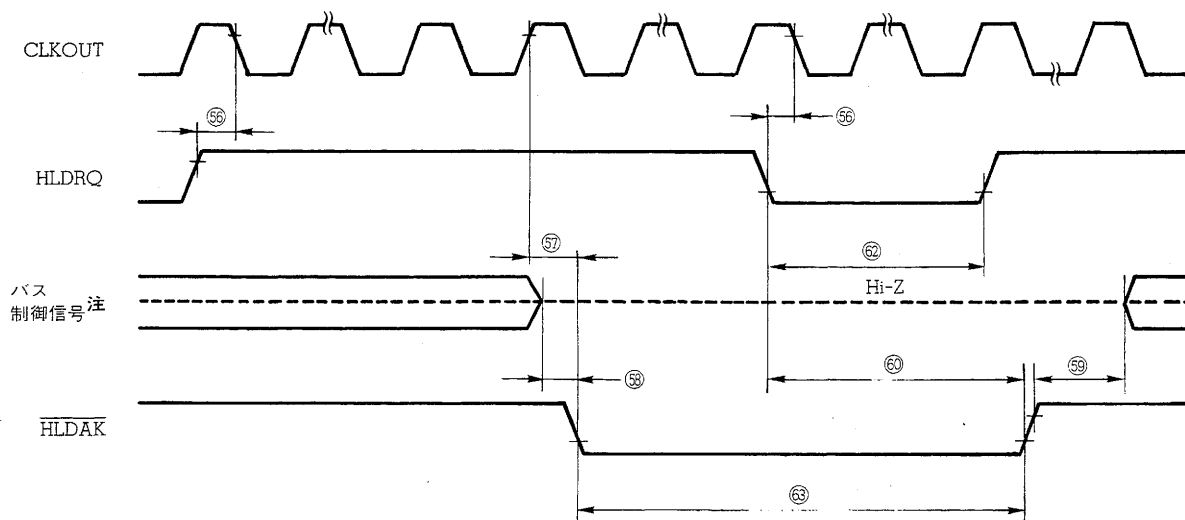


データ保持タイミング (STOP モード)



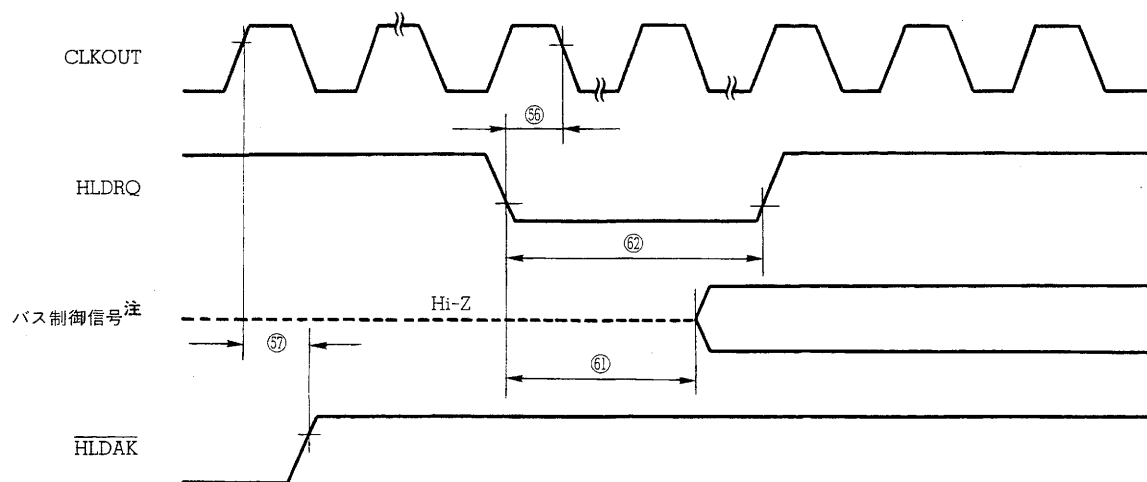
ホールド・リクエスト/アクノリッジ・タイミング

(1) 通常モード時



注 $\overline{\text{ASTB}}$, $\overline{\text{RD}}$, $\overline{\text{WRH}}$, $\overline{\text{WRL}}$, $\overline{\text{DEX}}$, $\overline{\text{RAS}}$, $\overline{\text{BUSLOCK}}$, $\overline{\text{IORD}}$, $\overline{\text{IOWR}}$, AD0-AD15, A16-A23

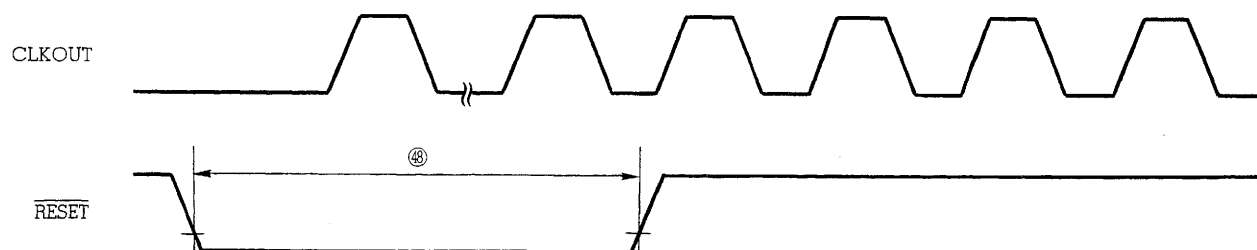
(2) リフレッシュ・サイクル挿入のためのホールド・モード解除時



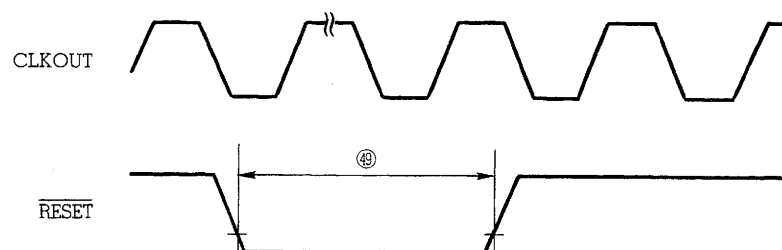
注 $\overline{\text{ASTB}}$, $\overline{\text{RD}}$, $\overline{\text{WRH}}$, $\overline{\text{WRL}}$, $\overline{\text{DEX}}$, $\overline{\text{RAS}}$, $\overline{\text{BUSLOCK}}$, $\overline{\text{IORD}}$, $\overline{\text{IOWR}}$, AD0-AD15, A16-A23

RESET 入力タイミング

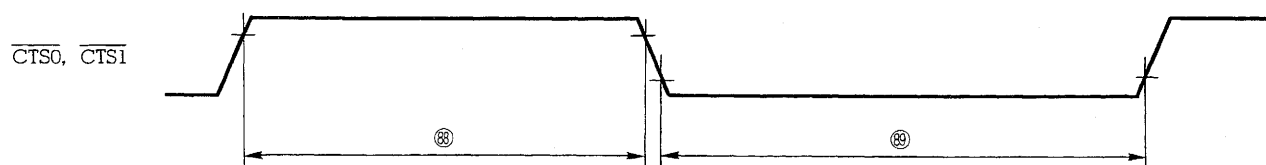
(1) STOP モード解除/パワーオン・リセット時



(2) システム・リセット時

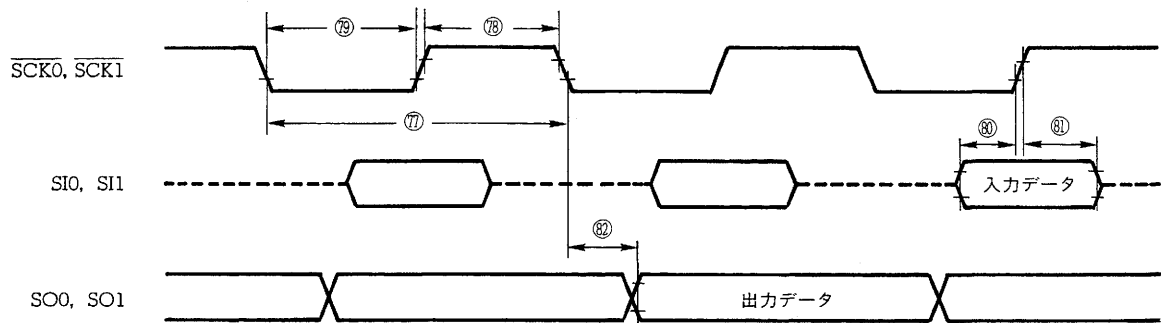


CTS_m 入力タイミング (m=0, 1)



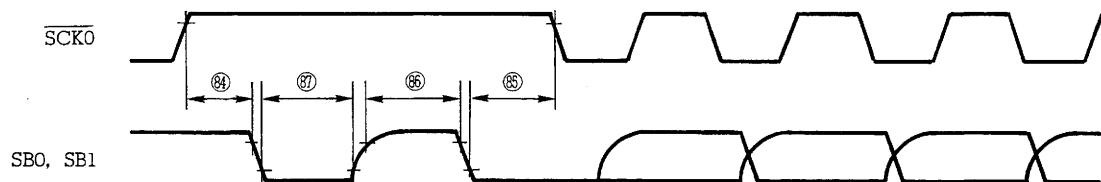
シリアル・インタフェース・タイミング

(1) 3 線式シリアル I/O モード時

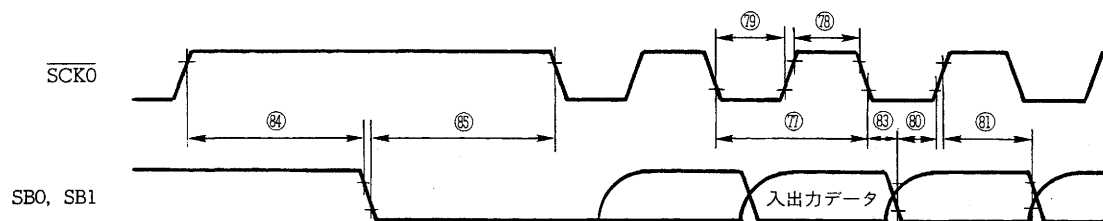


(2) SBI モード時

バス・リリース信号転送タイミング

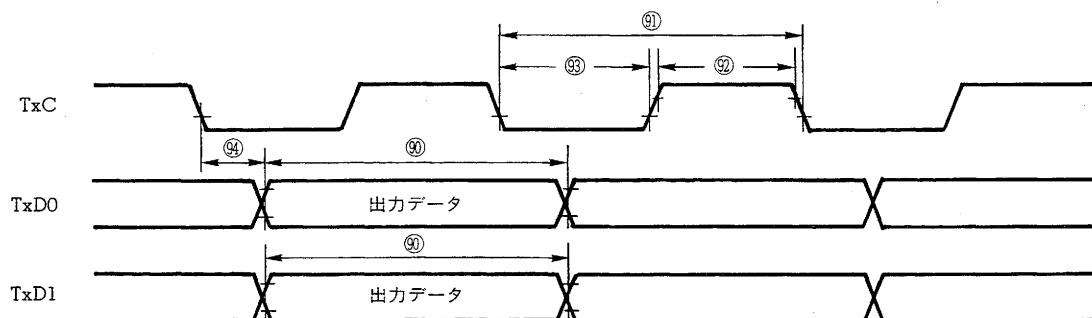


コマンド信号転送タイミング



(3) UART モード時

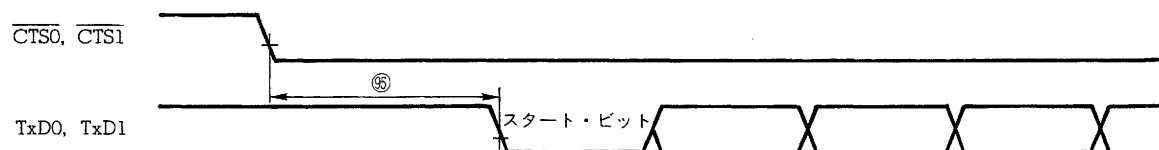
送信タイミング



受信タイミング

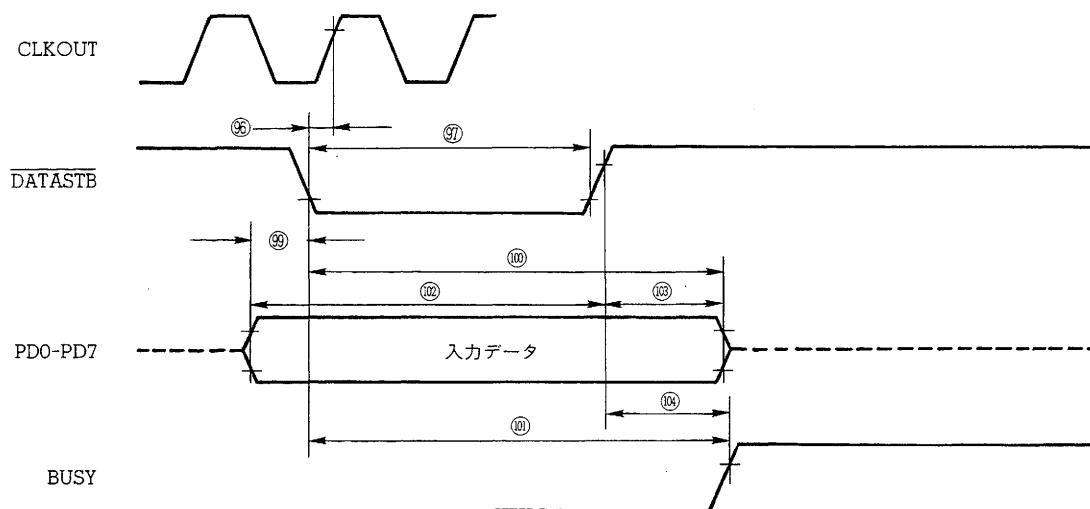


送信許可タイミング

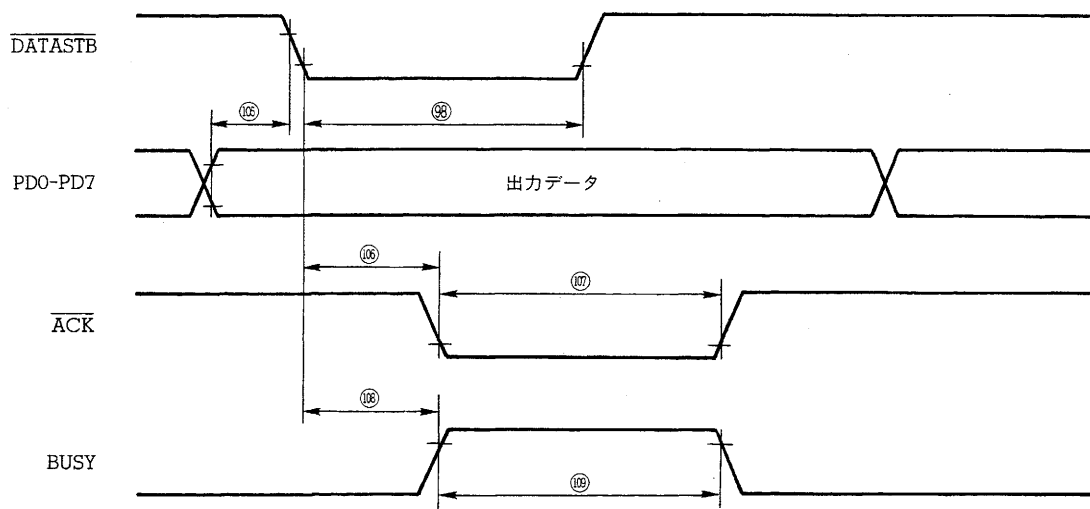


パラレル・インタフェース・タイミング

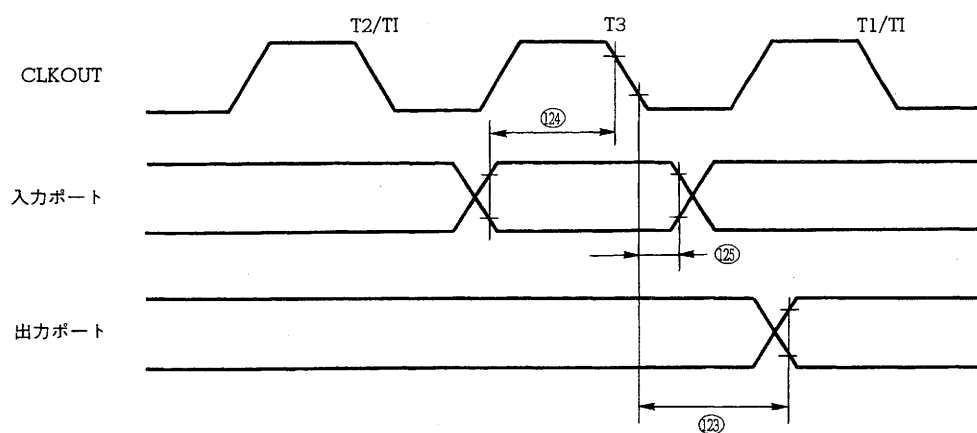
(1) 入力モード時



(2) 出力モード時

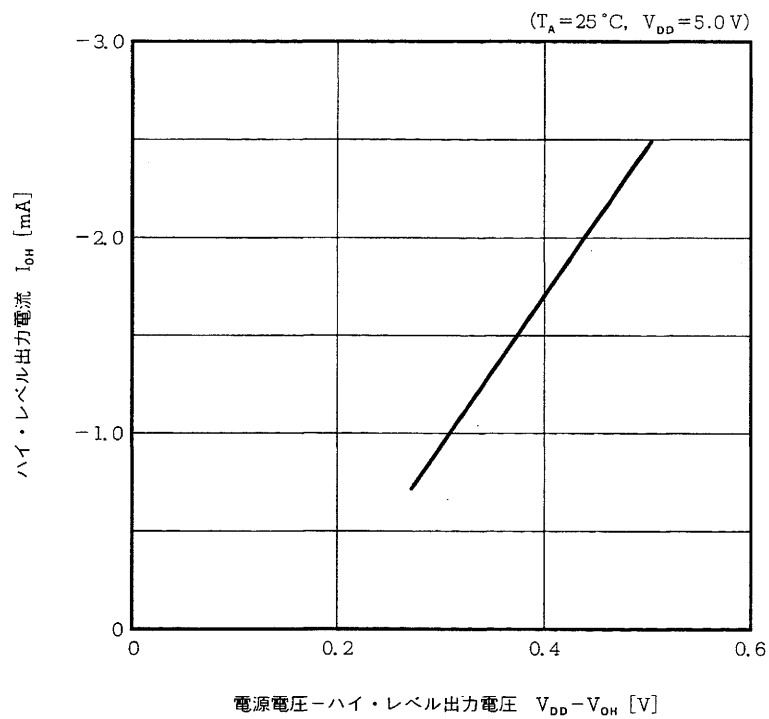


ポート入出力タイミング

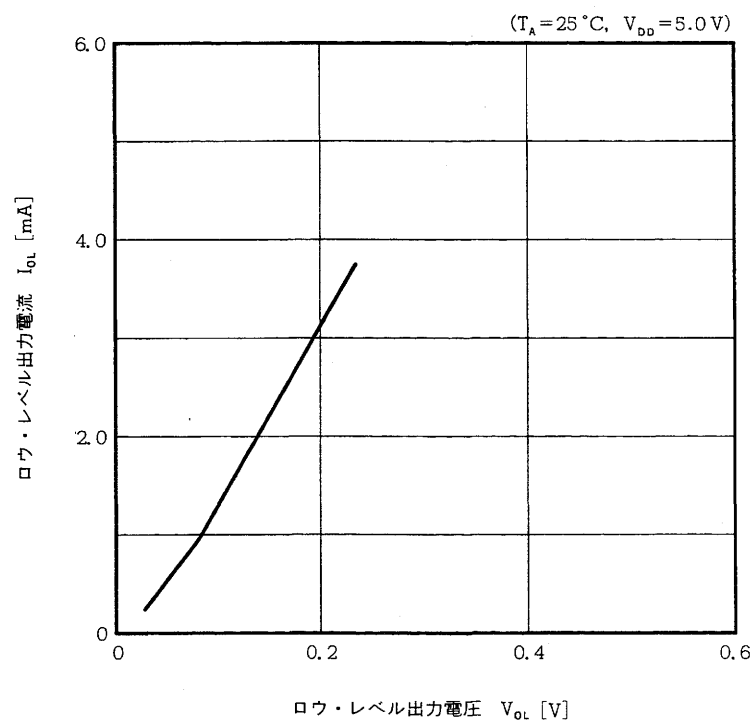


19. 特性曲線 (参考値)

$$I_{OH} \text{ vs } (V_{DD} - V_{OH})$$

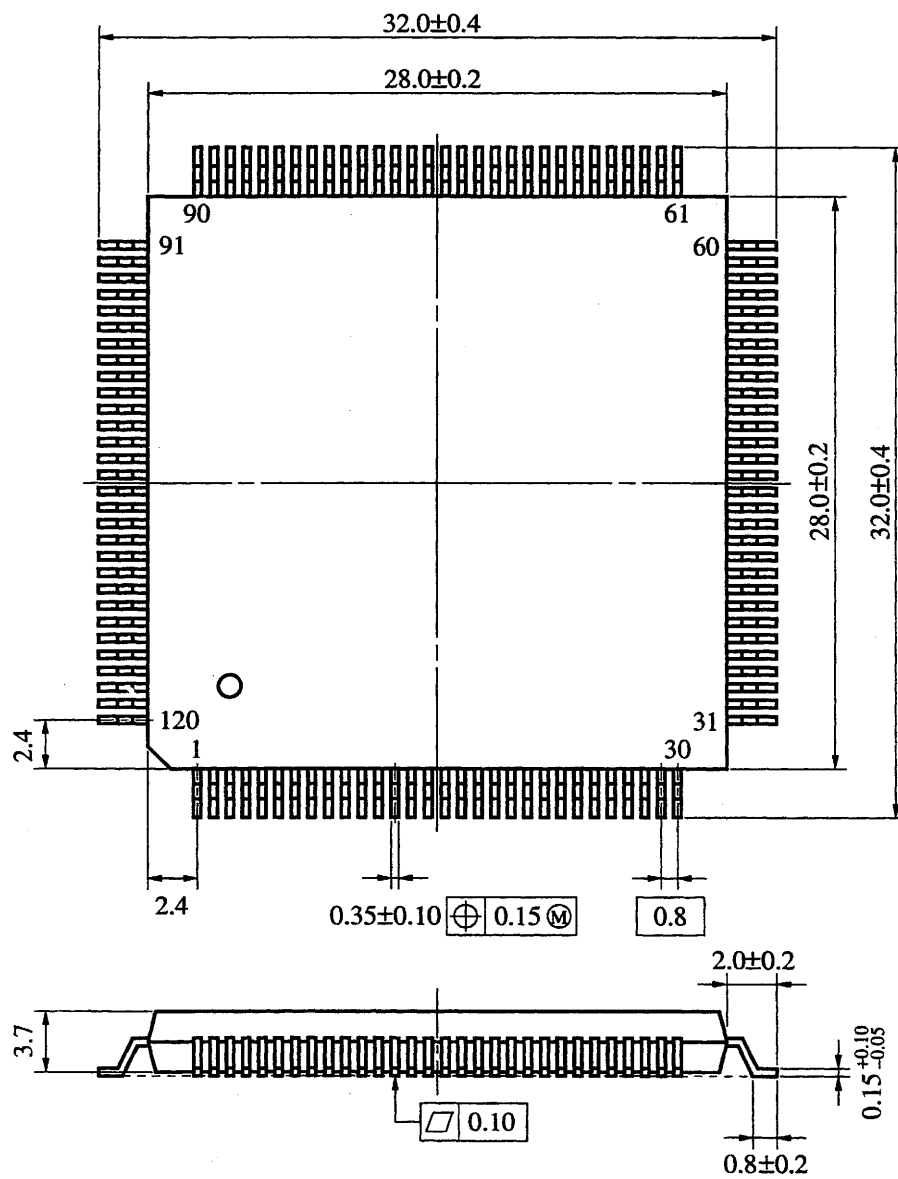


$$I_{OL} \text{ vs } V_{OL}$$

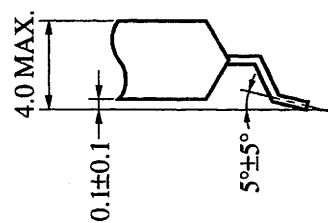


20. 外形図

120ピン・プラスチック QFP (□28) 外形図 (単位: mm)

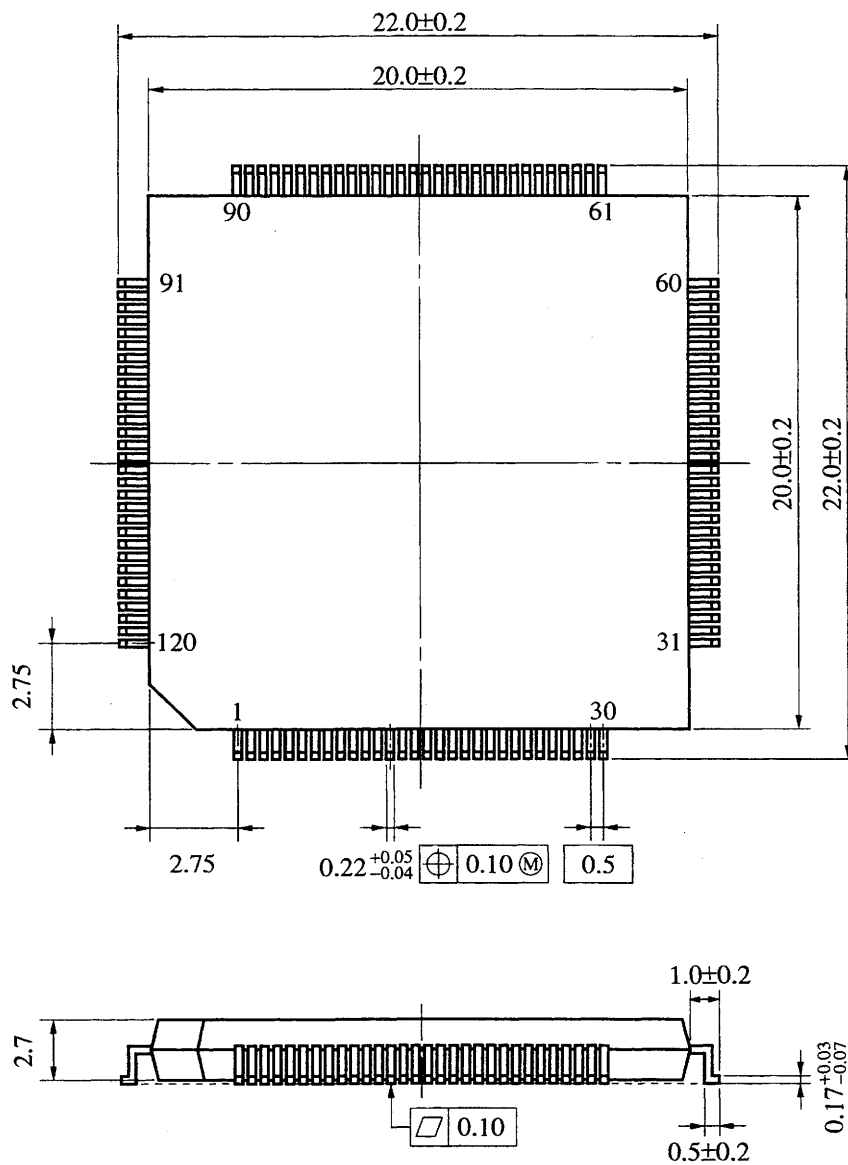


端子先端形状詳細図

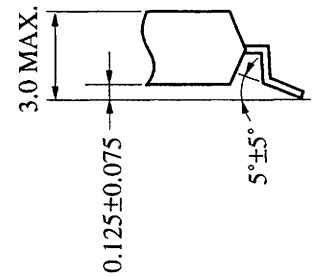


P120GD-80-5BB-3

120ピン・プラスチック QFP (ファインピッチ) (□20) 外形図 (単位: mm)

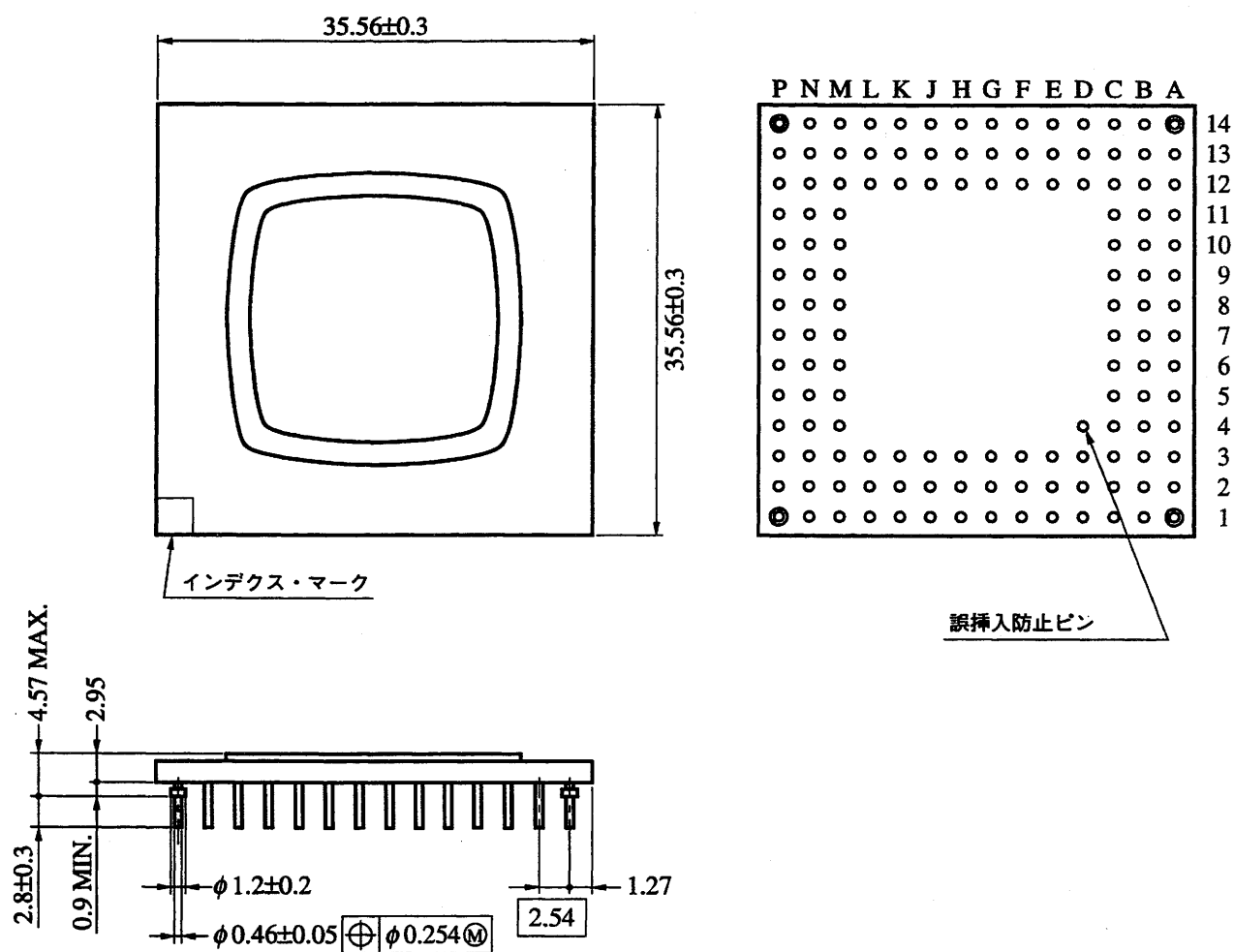


端子先端形状詳細図



S120GJ-50-3EB-2

132ピン・セラミック PGA 外形図 (単位: mm)



X132R-100A-1

21. 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の詳細は、インフォメーション資料「半導体デバイス実装マニュアル」(C10535J)を参照してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

表 21-1 表面実装タイプの半田付け条件

(1) μPD70433GD-××-5BB 120ピン・プラスチック QFP (□28 mm)

★

半田付け方式	半 田 付 け 条 件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度 235℃, 時間 30秒以内 (210℃以上), 回数 2回以内, 制限日数 7日間注 (以降は125℃ プリベーク36時間必要)	IR35-367-2
VPS	パッケージ・ピーク温度 215℃, 時間 40秒以内 (200℃以上), 回数 2回以内, 制限日数 7日間注 (以降は125℃ プリベーク36時間必要)	VP15-367-2
ウェーブ・ ソルダーリング	半田槽温度 260℃以下, 時間10秒以内, 回数 1回 制限日数 7日間注 (以降は125℃ プリベーク36時間必要) 予備加熱温度 120℃ MAX. (パッケージ表面温度)	WS60-367-1
端子部分加熱	端子温度 300℃以下, 時間 3秒以内 (デバイスの一辺当たり)	—

注 ドライパック開封後の保管日数で、保管条件は25℃, 65%RH以下。

注意 半田付け方式の併用は避けください (ただし、端子部分加熱方式は除く)。

(2) μPD70433GJ-xx-3EB 120ピン・プラスチック QFP (ファインピッチ) (□20 mm)

★

半田付け方式	半 田 付 け 条 件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度 235℃, 時間 30秒以内 (210℃以上), 回数 2回以内	IR35-00-2
VPS	パッケージ・ピーク温度 215℃, 時間 40秒以内 (200℃以上), 回数 2回以内	VP15-00-2
端子部分加熱	端子温度 300℃以下, 時間 3秒以内 (デバイスの一辺当たり)	—

注意 半田付け方式の併用は避けください (ただし、端子部分加熱方式は除く)。

表 21-2 挿入タイプの半田付け条件

μPD70433R-×× 132ピン・セラミック PGA

半田付け方式	半 田 付 け 条 件
ウェーブ・ソルダーリング (端子のみ)	半田槽温度 260℃以下, 時間 10秒以内
端子部分加熱	端子温度 300℃以下, 時間 3秒以内 (1端子当たり)

注意 ウェーブ・ソルダーリングは端子のみとし、噴流半田が直接本体に接触しないようにしてください。

{メ モ}

CMOSデバイスの一般的注意事項**①静電気対策（MOS全般）**

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

②未使用入力処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

③初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

関連資料 アプリケーション・ノート ハードウェア編 IEA-750
ソフトウェア編 IEA-743
ファクシミリ編 IEA-727

参考資料 電気的特性の考え方 マイコン編 IEI-601

関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

V20, V30, V25, V35, V25+, V55PI は日本電気株式会社の商標です。

- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的所有権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
- 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。
- 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
- 特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災／防犯装置、各種安全装置、生命維持を直接の目的としない医療機器
- 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
- 当社製品のデータ・シート／データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。
- この製品は耐放射線設計をしておりません。

M4 94.11

— お問い合わせ先 —

【技術的なお問い合わせ先】

NEC半導体テクニカルホットライン（インフォメーションセンター）

電話 : 044-548-8899
FAX : 044-548-7900
E-mail : s-info@saed.tmg.nec.co.jp

【営業関係お問い合わせ先】

半導体第一販売事業部								
半導体第二販売事業部	〒108-8001	東京都港区芝5-7-1	(日本電気本社ビル)				(03)3454-1111	
半導体第三販売事業部								
中部支社	半導体第一販売部	〒460-8525	愛知県名古屋市中区錦1-17-1	(日本電気中部ビル)			(052)222-2170	
	半導体第二販売部						(052)222-2190	
関西支社	半導体第一販売部	〒540-8551	大阪府大阪市中央区城見1-4-24	(日本電気関西ビル)			(06) 945-3178	
	半導体第二販売部						(06) 945-3200	
	半導体第三販売部						(06) 945-3208	
北海道支社	札幌	(011)231-0161	宇都宮支店	宇都宮	(028)621-2281	北陸支社	金沢	(076)232-7303
東北支社	仙台	(022)267-8740	小山支店	小山	(0285)24-5011	富山支店	富山	(0764)31-8461
岩手支店	盛岡	(019)651-4344	甲府支店	甲府	(0552)24-4141	福井支店	福井	(0776)22-1866
郡山支店	郡山	(0249)23-5511	長野支店	松本	(0263)35-1662	京都支社	京都	(075)344-7824
いわき支店	いわき	(0246)21-5511	静岡支店	静岡	(054)254-4794	神戸支店	神戸	(078)333-3854
長岡支店	長岡	(0258)36-2155	立川支店	立川	(042)526-5981,6167	中国支社	広島	(082)242-5504
水戸支店	水戸	(029)226-1717	埼玉支店	大宮	(048)649-1415	鳥取支店	鳥取	(0857)27-5311
土浦支店	土浦	(0298)23-6161	千葉支店	千葉	(043)238-8116	岡山支店	岡山	(086)225-4455
群馬支店	高崎	(027)326-1255	神奈川支店	横浜	(045)682-4524	松山支店	松山	(089)945-4149
太田支店	太田	(0276)46-4011	三重支店	津	(059)225-7341	九州支社	福岡	(092)261-2806