

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

V850E/MS2

32 ビット・シングルチップ・マイクロコンピュータ

μ PD703130 は、リアルタイム制御向け 32 ビット・シングルチップ・マイクロコンピュータ V850 シリーズの製品です。32 ビット CPU, RAM, 割り込みコントローラ, リアルタイム・パルス・ユニット, シリアル・インタフェース, A/D コンバータ, DMA コントローラなどを 1 チップに集積しています。

μ PD703130 は、ROM レス製品です。

詳しい機能説明などは次のユーザズ・マニュアルに記載しております。設計の際には必ずお読みください。

V850E/MS2 ユーザズ・マニュアル ハードウェア編 : U14985J

V850E/MS1, V850E/MS2 ユーザズ・マニュアル アーキテクチャ編 : U12197J

特 徴

命令数 81

最小命令実行時間 30 ns (内部 33 MHz 動作時)

汎用レジスタ 32 ビットかける 32 本

制御用途に適した命令セット

内蔵メモリ ROM : なし

RAM : 4K バイト

高機能割り込みコントローラ内蔵

制御に適したリアルタイム・パルス・ユニット

強力なシリアル・インタフェース (専用ポー・レート・ジェネレータ内蔵)

クロック・ジェネレータ内蔵

10 ビット分解能 A/D コンバータ : 4 チャンネル

DMA コントローラ : 4 チャンネル構成

パワー・セーブ機能

★ 応用分野

OA 機器 (プリンタ, ファクシミリ, PPC など)

マルチメディア機器 (デジタル・スチル・カメラ, ビデオ・プリンタなど)

民生機器 (一眼レフ・カメラなど)

産業機器 (モータ制御, NC 工作機など)

本資料の内容は、予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。

オーダ情報

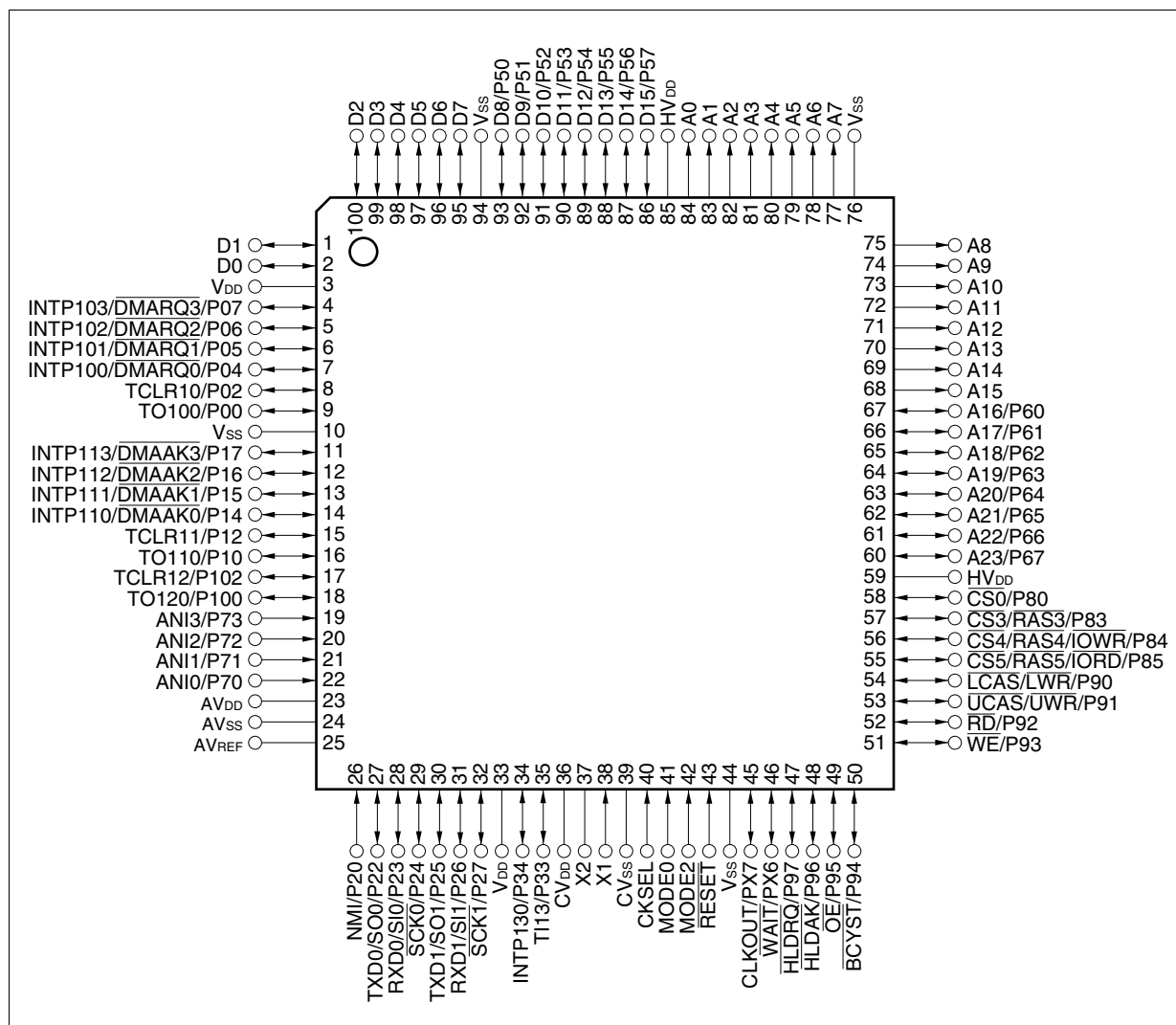
| オーダ名称 | パッケージ | 最大動作周波数 | 内蔵 ROM |
|----------------------|--|---------|--------|
| μ PD703130GC-8EU | 100ピン・プラスチック LQFP (ファインピッチ) (14 × 14) | 33 MHz | なし |
| ★ μ PD703130GC-8EU-A | " | " | " |

備考 オーダ名称末尾「-A」の製品は、鉛フリー製品です。

端子接続図 (Top View)

100ピン・プラスチック LQFP (ファインピッチ) (14 × 14)

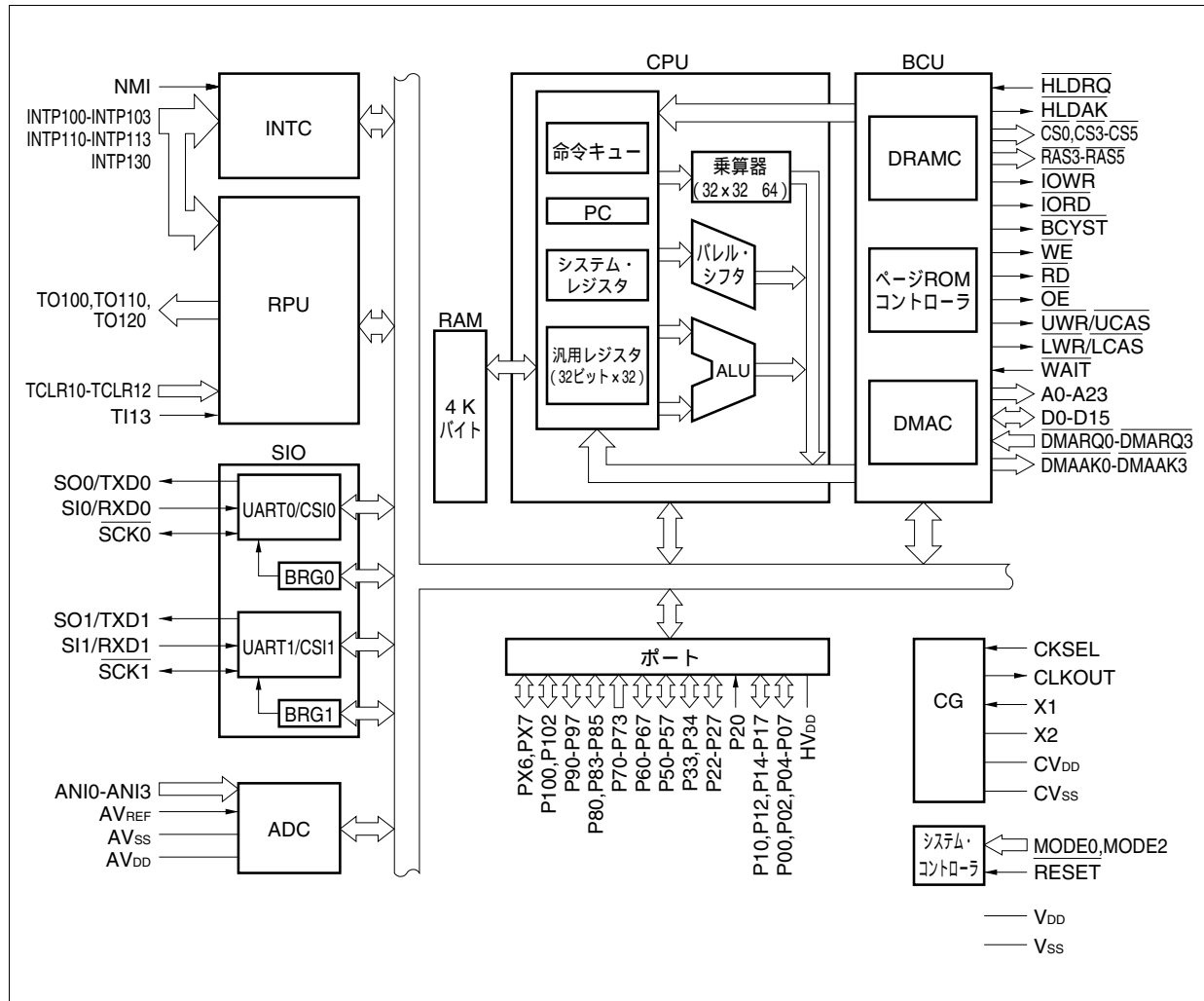
- ・ μ PD703130GC-8EU
- ★ ・ μ PD703130GC-8EU-A



端子名称

| | | | |
|---|---|---|----------------------------------|
| A0-A23 | : Address Bus | P20, P22-P27 | : Port2 |
| ANI0-ANI3 | : Analog Input | P33, P34 | : Port3 |
| AV _{DD} | : Analog Power Supply | P50-P57 | : Port5 |
| AV _{REF} | : Analog Reference Voltage | P60-P67 | : Port6 |
| AV _{SS} | : Analog Ground | P70-P73 | : Port7 |
| $\overline{\text{BCYST}}$ | : Bus Cycle Start Timing | P80, P83-P85 | : Port8 |
| CKSEL | : Clock Generator Operating Mode Select | P90-P97 | : Port9 |
| CLKOUT | : Clock Output | P100, P102 | : Port10 |
| $\overline{\text{CS0}}$, $\overline{\text{CS3-CS5}}$ | : Chip Select | PX6, PX7 | : Port X |
| CV _{DD} | : Clock Generator Power Supply | $\overline{\text{RAS3-RAS5}}$ | : Row Address Strobe |
| CV _{SS} | : Clock Generator Ground | $\overline{\text{RD}}$ | : Read |
| D0-D15 | : Data Bus | $\overline{\text{RESET}}$ | : Reset |
| $\overline{\text{DMAAK0-DMAAK3}}$ | : DMA Acknowledge | RXD0, RXD1 | : Receive Data |
| $\overline{\text{DMARQ0-DMARQ3}}$ | : DMA Request | $\overline{\text{SCK0}}$, $\overline{\text{SCK1}}$ | : Serial Clock |
| $\overline{\text{HLDAK}}$ | : Hold Acknowledge | SI0, SI1 | : Serial Input |
| $\overline{\text{HLDRQ}}$ | : Hold Request | SO0, SO1 | : Serial Output |
| HV _{DD} | : Power Supply for External Pins | TCLR10-TCLR12 | : Timer Clear |
| INTP100-INTP103, | : Interrupt Request from Peripherals | TI13 | : Timer Input |
| INTP110-INTP113, | | TO100, TO110, | : Timer Output |
| INTP130 | | TO120, | |
| $\overline{\text{IORD}}$ | : I/O Read Strobe | TXD0, TXD1 | : Transmit Data |
| $\overline{\text{IOWR}}$ | : I/O Write Strobe | $\overline{\text{UCAS}}$ | : Upper Column Address Strobe |
| $\overline{\text{LCAS}}$ | : Lower Column Address Strobe | $\overline{\text{UWR}}$ | : Upper Write Strobe |
| $\overline{\text{LWR}}$ | : Lower Write Strobe | V _{DD} | : Power Supply for Internal Unit |
| MODE0, MODE2 | : Mode | V _{SS} | : Ground |
| NMI | : Non-Maskable Interrupt Request | $\overline{\text{WAIT}}$ | : Wait |
| $\overline{\text{OE}}$ | : Output Enable | $\overline{\text{WE}}$ | : Write Enable |
| P00, P02, P04-P07 | : Port0 | X1, X2 | : Crystal |
| P10, P12, P14-P17 | : Port1 | | |

内部ブロック図



目 次

1. V850E/MS2 と V850E/MS1 との違い ... 6
2. 端子機能 ... 7
 - 2.1 ポート端子 ... 7
 - 2.2 ポート以外の端子 ... 9
 - 2.3 各端子の入出力回路タイプと未使用時の処理 ... 11
3. 電気的特性 ... 14
4. 外形図 ... 68
5. 半田付け推奨条件 ... 69

1. V850E/MS2 と V850E/MS1 との違い

| 項目 | 品名 | |
|--------------|--|--|
| | V850E/MS2 | V850E/MS1 |
| | μPD703130 | μPD703100-33 μPD703102-33 |
| 内蔵 ROM | なし | なし 128 K バイト (マスク ROM) |
| 最大動作周波数 | 33 MHz | 33 MHz |
| メモリ空間 | 64 M バイト・リニア (22 M バイトのみ内蔵 CS 信号対応) | 64 M バイト・リニア |
| チップ・セレクト出力 | 4 空間 | 8 空間 |
| 割り込み機能 | 外部：10，内部 35 | 外部：25，内部 47 |
| I/O ライン | 入力：5，入出力：52 | 入力：9，入出力：114 |
| タイマ | 16 ビット・タイマ/イベント・カウンタ：4 チャンネル 16 ビット・タイマ：2 チャンネル | 16 ビット・タイマ/イベント・カウンタ：6 チャンネル 16 ビット・タイマ：2 チャンネル |
| シリアル・インタフェース | CSI/UART：2 チャンネル 専用ポー・レート・ジェネレータ：2 チャンネル | CSI：2 チャンネル CSI/UART：2 チャンネル 専用ポー・レート・ジェネレータ：3 チャンネル |
| A/D コンバータ | 10 ビット分解能×4 チャンネル | 10 ビット分解能×8 チャンネル |
| パッケージ | 100 ピン・プラスチック LQFP (ファインピッチ) (14×14) | 144 ピン・プラスチック LQFP (ファインピッチ) (20×20) |
| その他 | 回路の規模やマスク・レイアウトが異なるため、ノイズ耐量、ノイズ輻射などが異なります。 | |

2. 端子機能

2.1 ポート端子

(1/2)

| 端子名称 | 入出力 | 機 能 | 兼用端子 |
|---------|----------------|---|----------------|
| P00 | 入出力 | ポート 0 6 ビット入出力ポート 1 ビット単位で入出力の指定が可能 | TO100 |
| P02 | | | TCLR10 |
| P04 | | | INTP100/DMARQ0 |
| P05 | | | INTP101/DMARQ1 |
| P06 | | | INTP102/DMARQ2 |
| P07 | | | INTP103/DMARQ3 |
| P10 | | | 入出力 |
| P12 | TCLR11 | | |
| P14 | INTP110/DMAAK0 | | |
| P15 | INTP111/DMAAK1 | | |
| P16 | INTP112/DMAAK2 | | |
| P17 | INTP113/DMAAK3 | | |
| P20 | 入力 | ポート 2 P20 は入力専用ポート 有効エッジが入力されると NMI 入力として動作します。また、P2 レジスタのビット 0 で NMI 入力の状態を示します。 P22-P27 は 6 ビット入出力ポート 1 ビット単位で入出力の指定が可能 | |
| P22 | 入出力 | | TXD0/SO0 |
| P23 | | | RXD0/SI0 |
| P24 | | | SCK0 |
| P25 | | | TXD1/SO1 |
| P26 | | | RXD1/SI1 |
| P27 | | | SCK1 |
| P33 | | | 入出力 |
| P34 | INTP130 | | |
| P50-P57 | 入出力 | ポート 5 8 ビット入出力ポート 1 ビット単位で入出力の指定が可能 | D8-D15 |
| P60-P67 | 入出力 | ポート 6 8 ビット入出力ポート 1 ビット単位で入出力の指定が可能 | A16-A23 |
| P70-P73 | 入力 | ポート 7 4 ビット入力専用ポート | ANI0-ANI3 |
| P80 | 入出力 | ポート 8 4 ビット入出力ポート 1 ビット単位で入出力の指定が可能 | CS0 |
| P83 | | | CS3/RAS3 |
| P84 | | | CS4/RAS4/IOWR |
| P85 | | | CS5/RAS5/IORD |

(2/2)

| 端子名称 | 入出力 | 機 能 | 兼用端子 |
|------|-----|--|----------|
| P90 | 入出力 | ポート 9 8 ビット入出力ポート 1 ビット単位で入出力の指定が可能 | LCAS/LWR |
| P91 | | | UCAS/UWR |
| P92 | | | RD |
| P93 | | | WE |
| P94 | | | BCYST |
| P95 | | | OE |
| P96 | | | HLDK |
| P97 | | | HLDQ |
| P100 | 入出力 | ポート 10 2 ビット入出力ポート 1 ビット単位で入出力の指定が可能 | TO120 |
| P102 | | | TCLR12 |
| PX6 | 入出力 | ポート X 2 ビット入出力ポート 1 ビット単位で入出力の指定が可能 | WAIT |
| PX7 | | | CLKOUT |

2.2 ポート以外の端子

(1/2)

| 端子名称 | 入出力 | 機 能 | 兼用端子 |
|--------------------------|-----|---|---------------------------------|
| TO100 | 出力 | タイマ 10-12 のパルス信号出力 | P00 |
| TO110 | | | P10 |
| TO120 | | | P100 |
| TCLR10 | 入力 | タイマ 10-12 の外部クリア信号入力 | P02 |
| TCLR11 | | | P12 |
| TCLR12 | | | P102 |
| TI13 | 入力 | タイマ 13 の外部カウント・クロック入力 | P33 |
| INTP100 | 入力 | 外部マスカブル割り込み要求入力兼 タイマ 10 の外部キャプチャ・トリガ入力 | P04/ $\overline{\text{DMARQ0}}$ |
| INTP101 | | | P05/ $\overline{\text{DMARQ1}}$ |
| INTP102 | | | P06/ $\overline{\text{DMARQ2}}$ |
| INTP103 | | | P07/ $\overline{\text{DMARQ3}}$ |
| INTP110 | 入力 | 外部マスカブル割り込み要求入力兼 タイマ 11 の外部キャプチャ・トリガ入力 | P14/ $\overline{\text{DMAAK0}}$ |
| INTP111 | | | P15/ $\overline{\text{DMAAK1}}$ |
| INTP112 | | | P16/ $\overline{\text{DMAAK2}}$ |
| INTP113 | | | P17/ $\overline{\text{DMAAK3}}$ |
| INTP130 | 入力 | 外部マスカブル割り込み要求入力兼タイマ 13 の外部キャプチャ・トリガ入力 | P34 |
| SO0 | 出力 | CSI0, CSI1 のシリアル送信データ出力 (3 線式) | P22/TXD0 |
| SO1 | | | P25/TXD1 |
| SI0 | 入力 | CSI0, CSI1 のシリアル受信データ入力 (3 線式) | P23/RXD0 |
| SI1 | | | P26/RXD1 |
| $\overline{\text{SCK0}}$ | 入出力 | CSI0, CSI1 のシリアル・クロック入出力 (3 線式) | P24 |
| $\overline{\text{SCK1}}$ | | | P27 |
| TXD0 | 出力 | UART0, UART1 のシリアル送信データ出力 | P22/SO0 |
| TXD1 | | | P25/SO1 |
| RXD0 | 入力 | UART0, UART1 のシリアル受信データ入力 | P23/SI0 |
| RXD1 | | | P26/SI1 |
| D0-D7 | 入出力 | 外部メモリに対する 16 ビット・データ・バス | - |
| D8-D15 | | | P50-P57 |
| A0-A15 | 出力 | 外部メモリに対する 24 ビット・アドレス・バス | - |
| A16-A23 | | | P60-P67 |
| $\overline{\text{LWR}}$ | 出力 | 外部データ・バスの下位バイト・ライト・イネーブル信号出力 | P90/ $\overline{\text{LCAS}}$ |
| $\overline{\text{UWR}}$ | 出力 | 外部データ・バスの上位バイト・ライト・イネーブル信号出力 | P91/ $\overline{\text{UCAS}}$ |
| $\overline{\text{RD}}$ | 出力 | 外部データ・バスのリード・ストロープ信号出力 | P92 |
| $\overline{\text{WE}}$ | 出力 | DRAM に対するライト・イネーブル信号出力 | P93 |
| $\overline{\text{OE}}$ | 出力 | DRAM に対するアウトプット・イネーブル信号出力 | P95 |
| $\overline{\text{LCAS}}$ | 出力 | DRAM の下位データに対するカラム・アドレス・ストロープ信号出力 | P90/ $\overline{\text{LWR}}$ |
| $\overline{\text{UCAS}}$ | 出力 | DRAM の上位データに対するカラム・アドレス・ストロープ信号出力 | P91/ $\overline{\text{UWR}}$ |

(2/2)

| 端子名称 | 入出力 | 機 能 | 兼用端子 |
|---------------|-----|---|---------------------------|
| RAS3 | 出力 | DRAM に対するロウ・アドレス・ストロープ信号出力 | P83/CS3 |
| RAS4 | | | P84/CS4/IOWR |
| RAS5 | | | P85/CS5/IORD |
| BCYST | 出力 | バス・サイクルの開始を示すストロープ信号出力 | P94 |
| CS0 | 出力 | チップ・セレクト信号出力 | P80 |
| CS3 | | | P83/RAS3 |
| CS4 | | | P84/RAS4/IOWR |
| CS5 | | | P85/RAS5/IORD |
| WAIT | 入力 | バス・サイクルにウエイトを挿入する制御信号入力 | PX6 |
| IOWR | 出力 | DMA ライト・ストロープ信号出力 | P84/RAS4/CS4 |
| IORD | 出力 | DMA リード・ストロープ信号出力 | P85/RAS5/CS5 |
| DMARQ0-DMARQ3 | 入力 | DMA 要求信号入力 | P04/IINTP100-P07/IINTP103 |
| DMAAK0-DMAAK3 | 出力 | DMA アクノリッジ信号出力 | P14/IINTP110-P17/IINTP113 |
| HLDAK | 出力 | バス・ホールド・アクノリッジ出力 | P96 |
| HLDREQ | 入力 | バス・ホールド要求入力 | P97 |
| ANI0-ANI3 | 入力 | A/D コンバータへのアナログ入力 | P70-P73 |
| NMI | 入力 | ノンマスクブル割り込み要求入力 | P20 |
| CLKOUT | 出力 | システム・クロック出力 | PX7 |
| CKSEL | 入力 | クロック・ジェネレータの動作モードを指定する入力 | - |
| MODE0, MODE2 | 入力 | 動作モードを指定 | - |
| RESET | 入力 | システム・リセット入力 | - |
| X1 | 入力 | システム・クロック用発振子接続。外部からクロックを供給する場合は X1 に入力します。 | - |
| X2 | - | | - |
| AVREF | 入力 | A/D コンバータ用基準電圧入力 | - |
| AVDD | - | A/D コンバータ用正電源供給 | - |
| AVSS | - | A/D コンバータ用グランド電位 | - |
| CVDD | - | 専用クロック・ジェネレータ用正電源供給 | - |
| CVSS | - | 専用クロック・ジェネレータ用グランド電位 | - |
| VDD | - | 正電源供給 (内部ユニット用電源) | - |
| HVDD | - | 正電源供給 (外部端子用電源) | - |
| VSS | - | グランド電位 | - |

2.3 各端子の入出力回路タイプと未使用時の処理

各端子の入出力回路タイプと未使用時の処理方法（推奨接続方法）を表2-1に、また各タイプの回路図を一部簡略化した形式を用いて図2-1に示します。

なお、抵抗を介してV_{DD}またはV_{SS}に接続する場合、1-10kの抵抗を使用することをお勧めします。

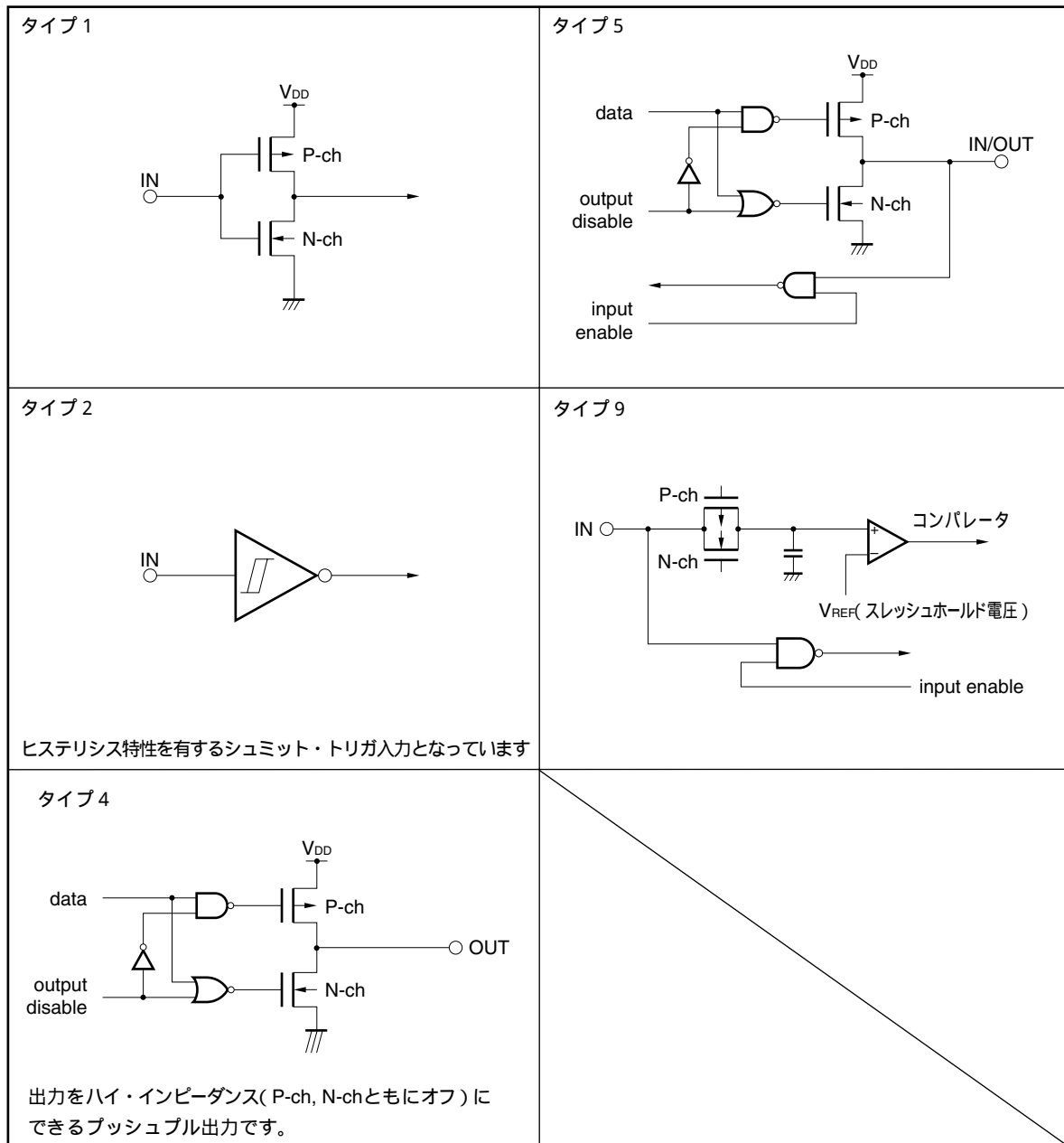
表2-1 各端子の入出力回路タイプと未使用時の処理（1/2）

| 端 子 | 入出力回路タイプ | 推奨接続方法 |
|---|----------|---|
| P00/TO100 | 5 | 入力状態：個別に抵抗を介してHV _{DD} またはV _{SS} に接続してください。 出力状態：オープンにしてください。 |
| P02/TCLR10 | | |
| P04/INTP100/DMARQ0- P07/INTP103/DMARQ3 | | |
| P10/TO110 | | |
| P12/TCLR11 | | |
| P14/INTP110/DMAAK0- P17/INTP113/DMAAK3 | | |
| P20/NMI | 2 | V _{SS} に直接接続してください。 |
| P22/TXD0/SO0 | 5 | 入力状態：個別に抵抗を介してHV _{DD} またはV _{SS} に接続してください。 出力状態：オープンにしてください。 |
| P23/RXD0/SI0 | | |
| P24/SCK0 | | |
| P25/TXD1/SO1 | | |
| P26/RXD1/SI1 | | |
| P27/SCK1 | | |
| P33/TI13 | | |
| P34/INTP130 | | |
| P50/D8-P57/D15 | | |
| P60/A16-P67/A23 | | |
| P70/ANI0-P73/ANI3 | 9 | V _{SS} に直接接続してください。 |
| P80/CS0, P83/CS3/RAS3 | 5 | 入力状態：個別に抵抗を介してHV _{DD} またはV _{SS} に接続してください。 出力状態：オープンにしてください。 |
| P84/CS4/RAS4/IOWR, P85/CS5/RAS5/IORD | | |
| P90/LCAS/LWR | | |
| P91/UCAS/UWR | | |
| P92/RD | | |
| P93/WE | | |
| P94/BCYST | | |
| P95/OE | | |
| P96/HLDAK | | |
| P97/HLDRQ | | |
| P100/TO120 | | |
| P102/TCLR12 | | |
| PX6/WAIT | | |
| PX7/CLKOUT | | |

表2 - 1 各端子の入出力回路タイプと未使用時の処理 (2/2)

| 端 子 | 入出力回路タイプ | 推奨接続方法 |
|---------------------------|----------|-------------------------------|
| A0-A15 | 4 | - |
| D0-D7 | 5 | |
| CKSEL | 1 | |
| $\overline{\text{RESET}}$ | 2 | |
| MODE0, MODE2 | | |
| AVREF, AVSS | - | V _{SS} に直接接続してください。 |
| AVDD | - | HV _{DD} に直接接続してください。 |

図2 - 1 端子の入出力回路



注意 回路図中の V_{DD} は HV_{DD} に置き換えて参照してください。

3. 電気的特性

絶対最大定格 (TA = 25 °C)

| 項目 | 略号 | 条件 | 定格 | 単位 |
|-----------------|-------------------|---|----------------------------------|----|
| 電源電圧 | V _{DD} | V _{DD} 端子 | - 0.5 ~ + 4.6 | V |
| | HV _{DD} | HV _{DD} 端子, HV _{DD} V _{DD} | - 0.5 ~ + 7.0 | V |
| | CV _{DD} | CV _{DD} 端子 | - 0.5 ~ + 4.6 | V |
| | CV _{SS} | CV _{SS} 端子 | - 0.5 ~ + 0.5 | V |
| | AV _{DD} | AV _{DD} 端子 | - 0.5 ~ HV _{DD} + 0.5 注 | V |
| | AV _{SS} | AV _{SS} 端子 | - 0.5 ~ + 0.5 | V |
| 入力電圧 | V _I | X1 端子を除く | - 0.5 ~ HV _{DD} + 0.5 注 | V |
| クロック入力電圧 | V _K | X1, V _{DD} = 3.0 ~ 3.6 V | - 0.5 ~ V _{DD} + 1.0 注 | V |
| ロウ・レベル出力電流 | I _{OL} | 1 端子 | 4.0 | mA |
| | | 全端子合計 | 100 | mA |
| ハイ・レベル出力電流 | I _{OH} | 1 端子 | - 4.0 | mA |
| | | 全端子合計 | - 100 | mA |
| 出力電圧 | V _O | HV _{DD} = 5.0 V ± 10 % | - 0.5 ~ HV _{DD} + 0.5 注 | V |
| アナログ入力電圧 | V _{IAN} | P70/ANI0- AV _{DD} > HV _{DD} | - 0.5 ~ HV _{DD} + 0.5 注 | V |
| | | P73/ANI3 端子 HV _{DD} AV _{DD} | - 0.5 ~ AV _{DD} + 0.5 注 | V |
| A/D コンバータ基準入力電圧 | AV _{REF} | AV _{DD} > HV _{DD} | - 0.5 ~ HV _{DD} + 0.5 注 | V |
| | | HV _{DD} AV _{DD} | - 0.5 ~ AV _{DD} + 0.5 注 | V |
| 動作周囲温度 | T _A | | - 40 ~ + 85 | |
| 保存温度 | T _{stg} | | - 65 ~ + 150 | |

注 それぞれの電源電圧の絶対最大定格 (MAX.値) を越えないようにしてください。

注意1. IC製品の出力 (または入出力) 端子同士を直結したり, V_{DD}またはV_{CC}やGNDに直結したりしないでください。ただし, オープン・ドレイン端子やオープン・コレクタ端子同士は直結できます。また, ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路でも直結可能です。

2. 各項目のうち1項目でも, また一瞬でも絶対最大定格を越えると, 製品の品質を損なう恐れがあります。つまり絶対最大定格とは, 製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づかない状態で, 製品をご使用ください。

DC特性とAC特性に示す規格や条件が, 製品の正常動作, 品質保証の範囲です。

容量 (TA = 25 , VDD = HVDD = CVDD = VSS = 0 V)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|-------|-----|---------------------------|------|------|------|----|
| 入力容量 | CI | fc = 1MHz 被測定ピン以外は 0 V | | | 15 | pF |
| 入出力容量 | CIO | | | | 15 | pF |
| 出力容量 | CO | | | | 15 | pF |

動作条件

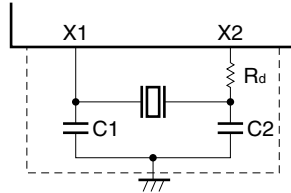
| 動作モード | 内部動作クロック周波数 (fx) | 動作周囲温度 (TA) | 電源電圧 (VDD, HVDD) |
|-----------------------|---------------------------|-------------|---|
| ダイレクト・モード | 10 ~ 33 MHz ^{注1} | - 40 ~ + 85 | VDD = 3.0 ~ 3.6 V, HVDD = 5.0 V ± 10 % |
| PLL モード ^{注2} | 20 ~ 33 MHz ^{注3} | - 40 ~ + 85 | |

- 注 1. ダイレクト・モード時に使用する入力クロック周波数は、20 ~ 66 MHz にしてください。
2. PLL モード時の内部動作クロック周波数は、5 通倍での動作時の値です。CKC レジスタの CKDIVn (n = 0, 1) ビットの設定により 1 通倍, 1/2 通倍で使用した場合、20 MHz 以下の周波数でも動作可能です。
3. PLL モード時に使用する入力クロック周波数は、4.0 ~ 6.6 MHz にしてください。

推奨発振回路

(a) セラミック発振子

(i) 村田製作所 (TA = -40 ~ +85)

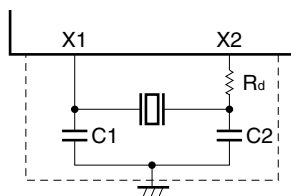


| メーカー | 品名 | 発振周波数 f _{xx} (MHz) | 推奨回路定数 | | | 発振電圧範囲 | | 発振安定時間 (MAX.) T _{ost} (ms) |
|-------|--|----------------------------------|----------|----------|----------------------|-----------|-----------|---|
| | | | C1(pF) | C2(pF) | R _d (k) | MIN.(V) | MAX.(V) | |
| 村田製作所 | CSTS400MG06 ^注 (CSTLS4M00G56-B0) | 4.0 | 内蔵 | 内蔵 | 0 | 3.0 | 3.6 | 0.6 |
| | CSTCR4M00G55-R0 | 4.0 | 内蔵 | 内蔵 | 0 | 3.0 | 3.6 | 0.6 |
| | CSTS0500MG06 ^注 (CSTLS5M00G56-B0) | 5.0 | 内蔵 | 内蔵 | 0 | 3.0 | 3.6 | 0.6 |
| | CSTCR5M00G55-R0 | 5.0 | 内蔵 | 内蔵 | 0 | 3.0 | 3.6 | 0.6 |
| | CSTS0660MG06 ^注 (CSTLS6M60G56-B0) | 6.6 | 内蔵 | 内蔵 | 0 | 3.0 | 3.6 | 0.6 |
| | CSTCR6M60G55-R0 | 6.6 | 内蔵 | 内蔵 | 0 | 3.0 | 3.6 | 0.6 |

注 2001年6月より品名が()内のものに変更になります。

- 注意 1. 発振回路は X1, X2 端子にできるかぎり近づけてください。
- 2. 破線の範囲にほかの信号線を通さないでください。
- 3. μ PD703130 と発振子のマッチングについては、十分に評価してください。

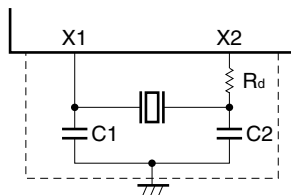
(ii) TDK (TA = -40 ~ +85)



| メーカー | 品名 | 発振周波数 f _{xx} (MHz) | 推奨回路定数 | | | 発振電圧範囲 | | 発振安定時間 (MAX.) T _{OST} (ms) |
|------|-----------|----------------------------------|-----------|-----------|----------------------|------------|------------|--|
| | | | C1 (pF) | C2 (pF) | R _d (k) | MIN. (V) | MAX. (V) | |
| TDK | FCR4.0MC5 | 4.0 | 内蔵 | 内蔵 | 0 | 3.0 | 3.6 | 0.73 |
| | FCR5.0MC5 | 5.0 | 内蔵 | 内蔵 | 0 | 3.0 | 3.6 | 0.68 |
| | FCR6.0MC5 | 6.0 | 内蔵 | 内蔵 | 0 | 3.0 | 3.6 | 0.58 |

- 注意 1. 発振回路は X1, X2 端子にできるかぎり近づけてください。
 2. 破線の範囲にほかの信号線を通さないでください。
 3. μ PD703130 と発振子のマッチングについては、十分に評価してください。

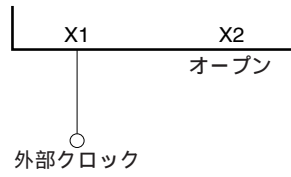
(iii) 京セラ (TA = -20 ~ +80)



| タイプ | 品名 | 発振周波数 f _{xx} (MHz) | 推奨回路定数 | | | 発振電圧範囲 | | 発振安定時間 (MAX.) T _{OST} (ms) |
|-----|------------|----------------------------------|-----------|-----------|----------------------|------------|------------|--|
| | | | C1 (pF) | C2 (pF) | R _d (k) | MIN. (V) | MAX. (V) | |
| リード | KBR-4.0MKC | 4.0 | 内蔵 | 内蔵 | 0 | 3.0 | 3.6 | 0.80 |
| | KBR-5.0MKC | 5.0 | 内蔵 | 内蔵 | 0 | 3.0 | 3.6 | 0.70 |
| | KBR-6.0MKC | 6.0 | 内蔵 | 内蔵 | 0 | 3.0 | 3.6 | 0.76 |
| SMD | PBRC4.00HR | 4.0 | 内蔵 | 内蔵 | 0 | 3.0 | 3.6 | 0.80 |
| | PBRC5.00HR | 5.0 | 内蔵 | 内蔵 | 0 | 3.0 | 3.6 | 0.70 |
| | PBRC6.00HR | 6.0 | 内蔵 | 内蔵 | 0 | 3.0 | 3.6 | 0.76 |

- 注意 1. 発振回路は X1, X2 端子にできるかぎり近づけてください。
 2. 破線の範囲にほかの信号線を通さないでください。
 3. μ PD703130 と発振子のマッチングについては、十分に評価してください。

(b) 外部クロック入力 ($T_A = -40 \sim +85$)



注意 X1 端子には CMOS レベルの電圧を入力してください。

DC 特性 (TA = -40 ~ +85 , VDD = CVDD = 3.0 ~ 3.6 V , HVDD = 5.0 ± 10 % , VSS = 0 V)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|------------------------|------------------|---------------------------|------------|----------|------------|----|
| ハイ・レベル入力電圧 | VIH | 注1を除く | 2.2 | | HVDD + 0.3 | V |
| | | 注1 | 0.8 HVDD | | HVDD + 0.3 | V |
| ロウ・レベル入力電圧 | VIL | 注1, 注2を除く | -0.5 | | +0.8 | V |
| | | 注1 | -0.5 | | 0.2 HVDD | V |
| ハイ・レベル・クロック入力電圧 | VXH | X1 端子 | 0.8 VDD | | VDD + 0.3 | V |
| ロウ・レベル・クロック入力電圧 | VXL | X1 端子 | -0.3 | | 0.15 VDD | V |
| シュミット・トリガ入力スレッシュホールド電圧 | HVT+ | 注1, 立ち上がり | | 3.0 | | V |
| | HVT- | 注1, 立ち下がり | | 2.0 | | V |
| ハイ・レベル出力電圧 | VOH | I _{OH} = -2.5 mA | 0.7 HVDD | | | V |
| | | I _{OH} = -100 μA | HVDD - 0.4 | | | V |
| ロウ・レベル出力電圧 | VOL | I _{OL} = 2.5 mA | | | 0.45 | V |
| ハイ・レベル入力リーク電流 | ILI _H | VI = HVDD, 注2を除く | | | 10 | μA |
| ロウ・レベル入力リーク電流 | ILI _L | VI = 0 V, 注2を除く | | | -10 | μA |
| ハイ・レベル出力リーク電流 | ILO _H | VO = HVDD | | | 10 | μA |
| ロウ・レベル出力リーク電流 | ILO _L | VO = 0 V | | | -10 | μA |
| 電源電流 | 通常時 | IDD1 | VDD + CVDD | 2.0 × fx | 3.0 × fx | mA |
| | | | HVDD | 1.5 × fx | 2.5 × fx | mA |
| | HALT 時 | IDD2 | VDD + CVDD | 1.4 × fx | 1.8 × fx | mA |
| | | | HVDD | 0.7 × fx | 1.2 × fx | mA |
| | IDLE 時 | IDD3 | VDD + CVDD | 1.4 | 2.5 | mA |
| | | | HVDD | 20 | 100 | μA |
| | STOP 時 | IDD4 | VDD + CVDD | 20 | 100 | μA |
| | | | HVDD | 10 | 50 | μA |

注1. P20/NMI, MODE0, MODE2, CKSEL, RESET

2. P70/ANI0-P73/ANI3 端子をアナログ入力として使用する場合。

備考1. TYP.値は, TA = 25 , VDD = CVDD = 3.3 V , HVDD = 5.0 V 時の参考値です。

2. ダイレクト・モード : fx = 10-33 MHz

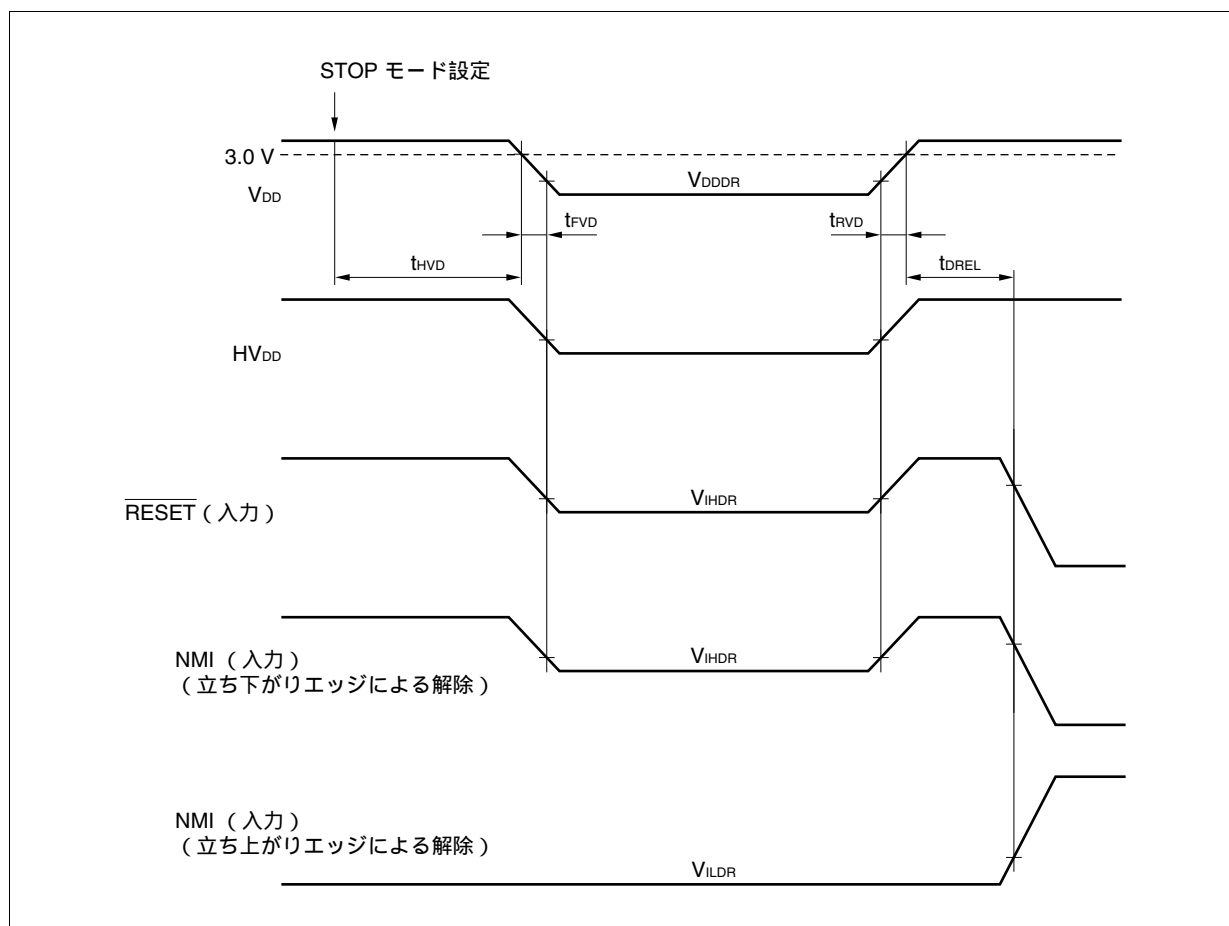
PLL モード : fx = 20-33 MHz

3. fxの単位は MHz です。

データ保持特性 (TA = -40 ~ +85)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|--------------------------|--------------------|---|------------------------|------|------------------------|----|
| データ保持電圧 | V _{DDDR} | STOPモード, V _{DD} = V _{DDDR} | 1.5 | | 3.6 | V |
| | HV _{DDDR} | STOPモード, HV _{DD} = HV _{DDDR} | V _{DDDR} | | 5.5 | V |
| データ保持電流 | I _{DDDR} | V _{DD} = V _{DDDR} | | 30 | 150 | μA |
| 電源電圧立ち上がり時間 | t _{RVD} | | 200 | | | μs |
| 電源電圧立ち下がり時間 | t _{FVD} | | 200 | | | μs |
| 電源電圧保持時間 (対STOPモード設定) | t _{HVD} | | 0 | | | ms |
| STOP解除信号入力時間 | t _{DREL} | | 0 | | | ns |
| データ保持ハイ・レベル入力電圧 | V _{IHDR} | P20/NMI, MODE0, MODE2, CKSEL, RESET | 0.8 HV _{DDDR} | | HV _{DDDR} | V |
| データ保持ロウ・レベル入力電圧 | V _{ILDR} | P20/NMI, MODE0, MODE2, CKSEL, RESET | 0 | | 0.2 HV _{DDDR} | V |

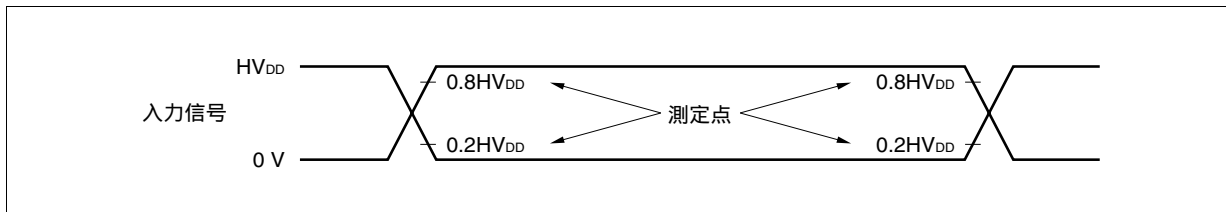
備考 TYP.値は, TA = 25 の参考値です。



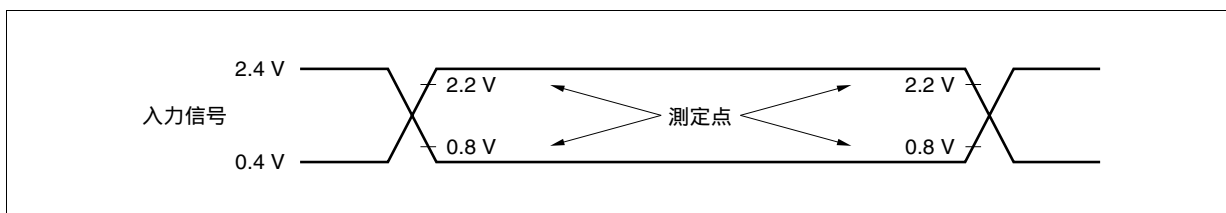
AC 特性 ($T_A = -40 \sim +85$, $V_{DD} = CV_{DD} = 3.0 \sim 3.6 V$, $HV_{DD} = 5.0 \pm 10 \%$, $V_{SS} = 0 V$, 出力端子の
負荷容量 : $C_L = 50 pF$)

AC テスト入力測定点

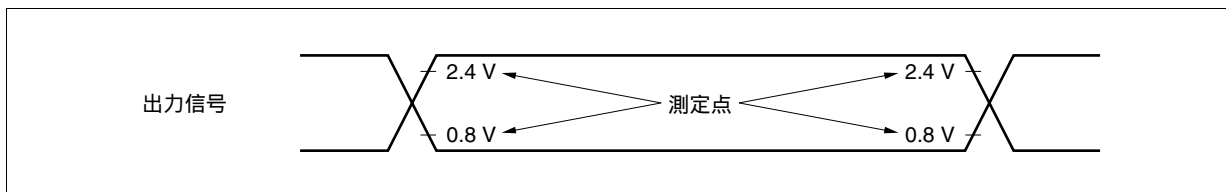
(a) P20/NMI, MODE0, MODE2, CKSEL, \overline{RESET}



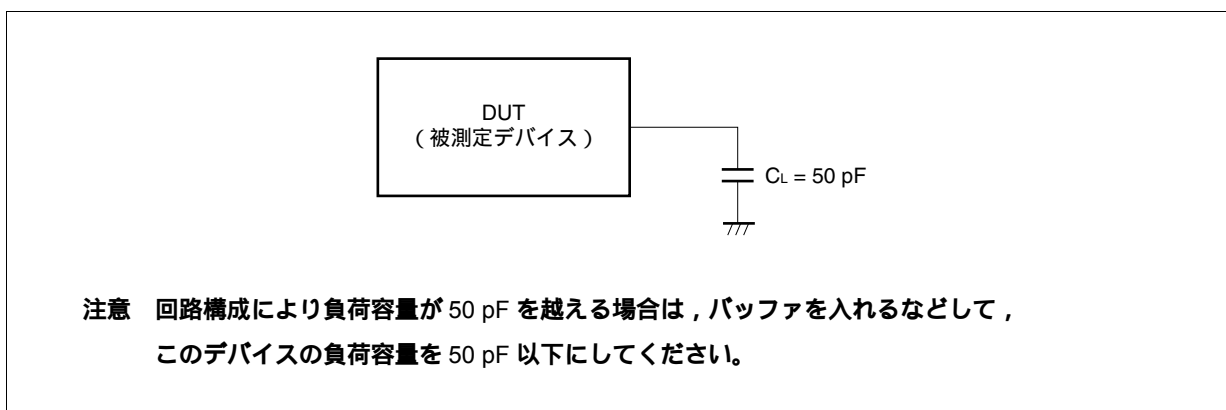
(b) 上記 (a) 以外



AC テスト出力測定点



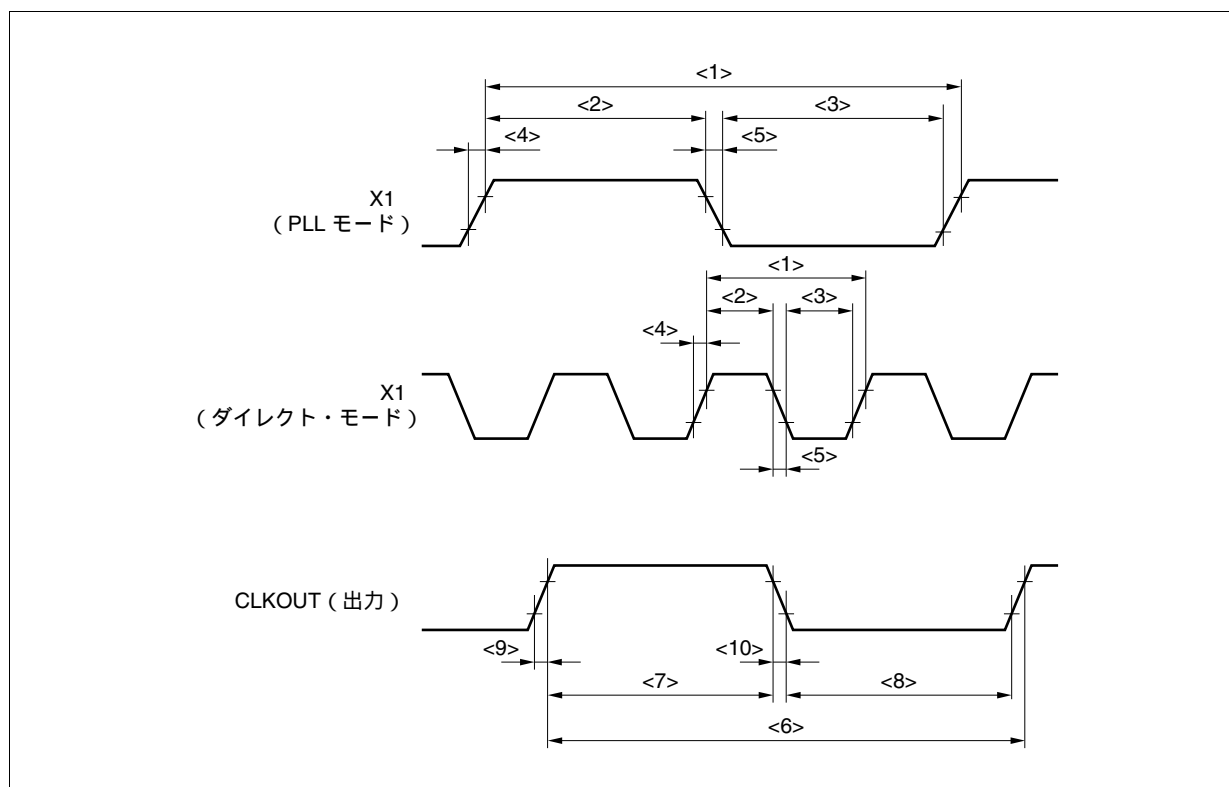
負荷条件



(1) クロック・タイミング

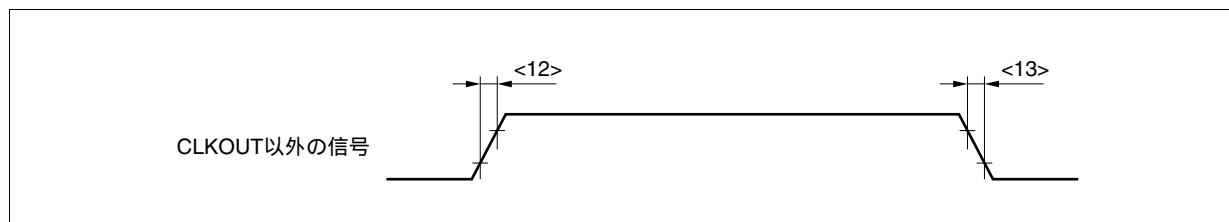
| 項目 | 略号 | 条件 | MIN. | MAX. | 単位 | |
|----------------|------|------------------|------------|------|-----|----|
| X1 入力周期 | <1> | t _{CYX} | ダイレクト・モード時 | 15 | 50 | ns |
| | | | PLL モード時 | 150 | 250 | ns |
| X1 入力ハイ・レベル幅 | <2> | t _{WXH} | ダイレクト・モード時 | 5 | | ns |
| | | | PLL モード時 | 50 | | ns |
| X1 入力ロウ・レベル幅 | <3> | t _{WXL} | ダイレクト・モード時 | 5 | | ns |
| | | | PLL モード時 | 50 | | ns |
| X1 入力立ち上がり時間 | <4> | t _{XR} | ダイレクト・モード時 | | 4 | ns |
| | | | PLL モード時 | | 10 | ns |
| X1 入力立ち下がり時間 | <5> | t _{XF} | ダイレクト・モード時 | | 4 | ns |
| | | | PLL モード時 | | 10 | ns |
| CLKOUT 出力周期 | <6> | t _{CYK} | 30 | 100 | ns | |
| CLKOUT ハイ・レベル幅 | <7> | t _{WKH} | 0.5T - 7 | | ns | |
| CLKOUT ロウ・レベル幅 | <8> | t _{WKL} | 0.5T - 4 | | ns | |
| CLKOUT 立ち上がり時間 | <9> | t _{KR} | | 5 | ns | |
| CLKOUT 立ち下がり時間 | <10> | t _{KF} | | 5 | ns | |

備考 T = t_{CYK}



(2) 出力波形 (CLKOUT 以外)

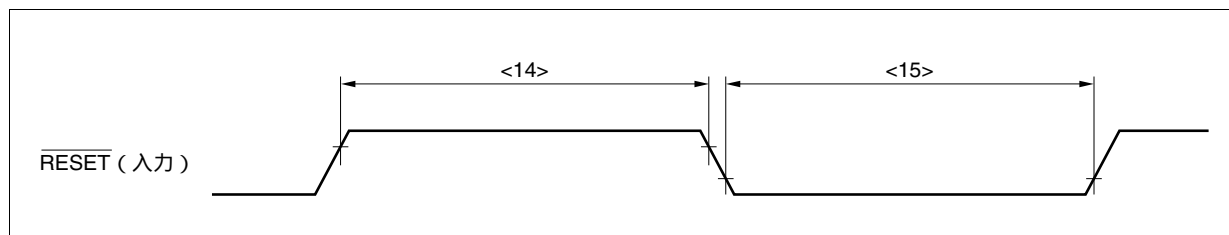
| 項目 | 略号 | 条件 | MIN. | MAX. | 単位 |
|-----------|----------------------|----|------|------|----|
| 出力立ち上がり時間 | <12> t _{OR} | | | 10 | ns |
| 出力立ち下がり時間 | <13> t _{OF} | | | 10 | ns |



(3) リセット・タイミング

| 項目 | 略号 | 条件 | MIN. | MAX. | 単位 |
|-----------------|------------------------|-----------------------|------------------------|------|----|
| RESET 端子ハイ・レベル幅 | <14> t _{WRSH} | | 500 | | ns |
| RESET 端子ロウ・レベル幅 | <15> t _{WRSL} | 電源オン時, STOP モード解除時 | 500 + T _{Ost} | | ns |
| | | 電源オン時, STOP モード解除時を除く | 500 | | ns |

備考 T_{Ost} : 発振安定時間



(4) SRAM, 外部 ROM, 外部 I/O アクセス・タイミング

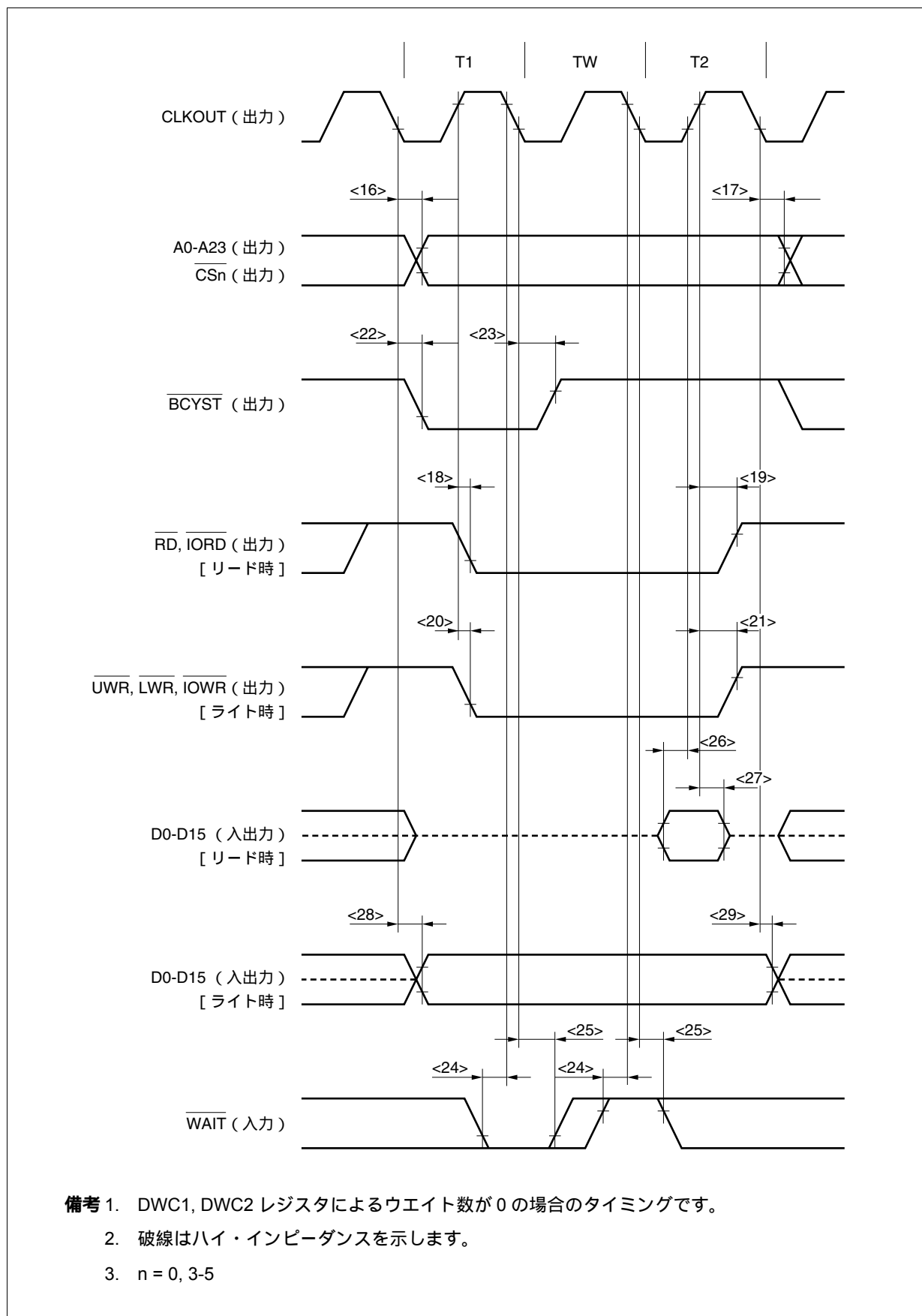
(a) アクセス・タイミング (SRAM, 外部 ROM, 外部 I/O) (1/2)

| 項目 | 略号 | 条件 | MIN. | MAX. | 単位 |
|---|------------------|----|------|------|----|
| アドレス, \overline{CSn} 出力遅延時間 (対 CLKOUT) | <16> t_{DKA} | | 2 | 10 | ns |
| アドレス, \overline{CSn} 出力保持時間 (対 CLKOUT) | <17> t_{HKA} | | 2 | 10 | ns |
| RD, $\overline{IOR\overline{D}}$ 遅延時間 (対 CLKOUT) | <18> t_{DKRDL} | | 2 | 14 | ns |
| RD, $\overline{IOR\overline{D}}$ 遅延時間 (対 CLKOUT) | <19> t_{HKRDH} | | 2 | 14 | ns |
| UWR, \overline{LWR} , \overline{IOWR} 遅延時間 (対 CLKOUT) | <20> t_{DKWRL} | | 2 | 10 | ns |
| UWR, \overline{LWR} , \overline{IOWR} 遅延時間 (対 CLKOUT) | <21> t_{HKWRH} | | 2 | 10 | ns |
| BCYST 遅延時間 (対 CLKOUT) | <22> t_{DKBSL} | | 2 | 10 | ns |
| BCYST 遅延時間 (対 CLKOUT) | <23> t_{HKBSH} | | 2 | 10 | ns |
| WAIT設定時間 (対 CLKOUT) | <24> t_{SWK} | | 15 | | ns |
| WAIT保持時間 (対 CLKOUT) | <25> t_{HKW} | | 2 | | ns |
| データ入力設定時間 (対 CLKOUT) | <26> t_{SKID} | | 18 | | ns |
| データ入力保持時間 (対 CLKOUT) | <27> t_{HKID} | | 2 | | ns |
| データ出力遅延時間 (対 CLKOUT) | <28> t_{DKOD} | | 2 | 10 | ns |
| データ出力保持時間 (対 CLKOUT) | <29> t_{HKOD} | | 2 | 10 | ns |

備考 1. データ入力保持時間 t_{HKID} , t_{HRDID} は, 少なくともどちらか1つを守ってください。

2. $n = 0, 3-5$

(a) アクセス・タイミング (SRAM, 外部 ROM, 外部 I/O) (2/2)



(b) リード・タイミング (SRAM, 外部 ROM, 外部 I/O) (1/2)

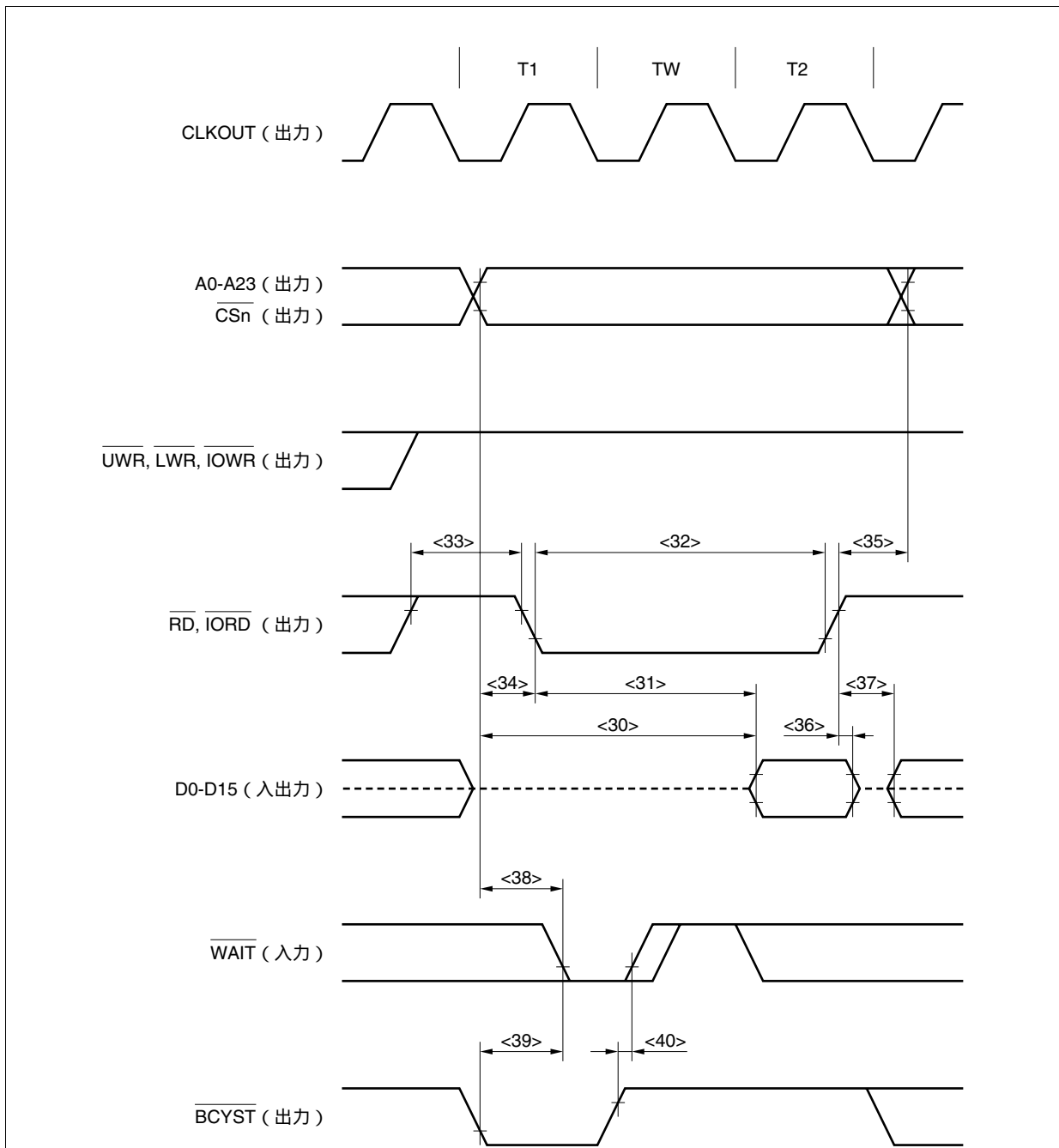
| 項目 | 略号 | 条件 | MIN. | MAX. | 単位 |
|---------------------------------------|-------------------------|----|---------------------------------|-----------------------------------|----|
| データ入力設定時間 (対アドレス) | <30> t _{SAID} | | | (1.5 + w _D + w) T - 28 | ns |
| データ入力設定時間 (対RD) | <31> t _{SRDID} | | | (1 + w _D + w) T - 32 | ns |
| RD, IORD ロウ・レベル幅 | <32> t _{WRDL} | | (1 + w _D + w) T - 10 | | ns |
| RD, IORD ハイ・レベル幅 | <33> t _{WRDH} | | T - 10 | | ns |
| アドレス, CS _n , RD, IORD 遅延時間 | <34> t _{DARD} | | 0.5T - 10 | | ns |
| RD, IORD アドレス遅延時間 | <35> t _{DRDA} | | (0.5 + i) T - 10 | | ns |
| データ入力保持時間 (対RD, IORD) | <36> t _{HRDID} | | 0 | | ns |
| RD, IORD データ出力遅延時間 | <37> t _{DRDOD} | | (0.5 + i) T - 10 | | ns |
| WAIT設定時間 (対アドレス) | <38> t _{SAW} | 注 | | T - 25 | ns |
| WAIT設定時間 (対BCYST) | <39> t _{SBSW} | 注 | | T - 25 | ns |
| WAIT保持時間 (対BCYST) | <40> t _{HBSW} | 注 | 0 | | ns |

注 DWC1, DWC2 レジスタによるウェイト数が0のときの, 最初のWAITサンプリング時。

備考 1. T = t_{CYK}

2. w : WAITによるウェイト数
3. w_D : DWC1, DWC2 レジスタによるウェイト数
4. i : リード・サイクル後にライト・サイクルが続くときに挿入されるアイドル・ステート数
5. データ入力保持時間 t_{HKID}, t_{HRDID} は, 少なくともどちらか1つを守ってください。
6. n = 0, 3-5

(b) リード・タイミング (SRAM, 外部 ROM, 外部 I/O) (2/2)



- 備考** 1. DWC1, DWC2 レジスタによるウエイト数が 0 の場合のタイミングです。
 2. 破線はハイ・インピーダンスを示します。
 3. n = 0, 3-5

(c) ライト・タイミング (SRAM, 外部 ROM, 外部 I/O) (1/2)

| 項目 | 略号 | 条件 | MIN. | MAX. | 単位 |
|-------------------------------|-------------------------|----|-----------------------------------|--------|----|
| WAIT設定時間 (対アドレス) | <38> t _{SAW} | 注 | | T - 25 | ns |
| WAIT設定時間 (対BCYST) | <39> t _{SBSW} | 注 | | T - 25 | ns |
| WAIT保持時間 (対BCYST) | <40> t _{HBSW} | 注 | 0 | | ns |
| アドレス, CSn UWR, LWR, IOWR 遅延時間 | <41> t _{DAWR} | | 0.5T - 10 | | ns |
| アドレス設定時間 (対UWR, LWR, IOWR) | <42> t _{SAWR} | | (1.5 + w _D + w) T - 10 | | ns |
| UWR, LWR, IOWR アドレス遅延時間 | <43> t _{DWRA} | | 0.5T - 10 | | ns |
| UWR, LWR, IOWRハイ・レベル幅 | <44> t _{WWRH} | | T - 10 | | ns |
| UWR, LWR, IOWRロウ・レベル幅 | <45> t _{WWRL} | | (1 + w _D + w) T - 10 | | ns |
| データ出力設定時間 (対UWR, LWR, IOWR) | <46> t _{SODWR} | | (1.5 + w _D + w) T - 10 | | ns |
| データ出力保持時間 (対UWR, LWR, IOWR) | <47> t _{HWROD} | | 0.5T - 10 | | ns |

注 DWC1, DWC2 レジスタによるウエイト数が0のときの, 最初のWAITサンプリング時。

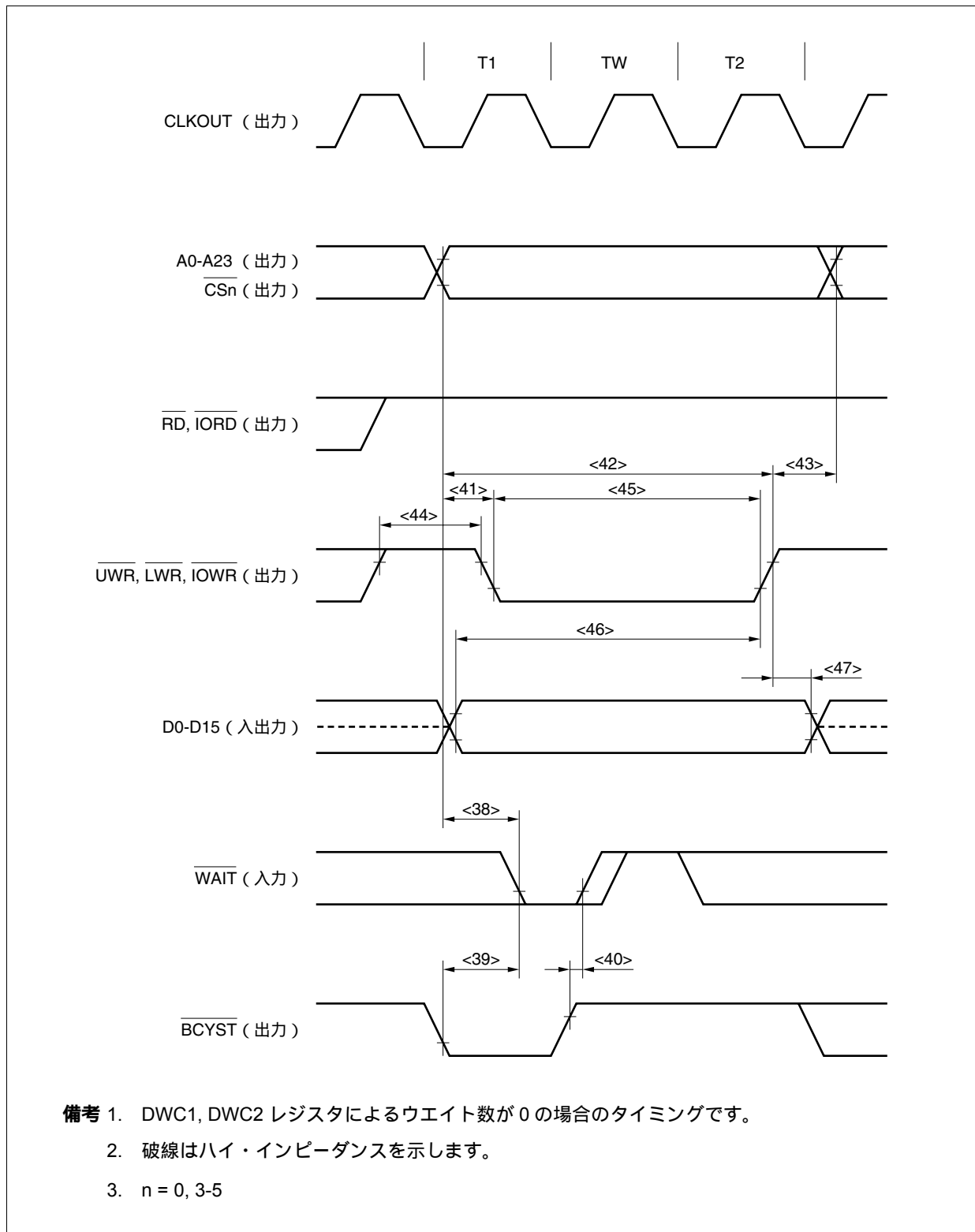
備考 1. T = t_{cyk}

2. w : WAITによるウエイト数

3. w_D : DWC1, DWC2 レジスタによるウエイト数

4. n = 0, 3-5

(c) ライト・タイミング (SRAM, 外部 ROM, 外部 I/O) (2/2)



(d) DMA フライバイ転送タイミング (SRAM 外部 I/O 転送) (1/2)

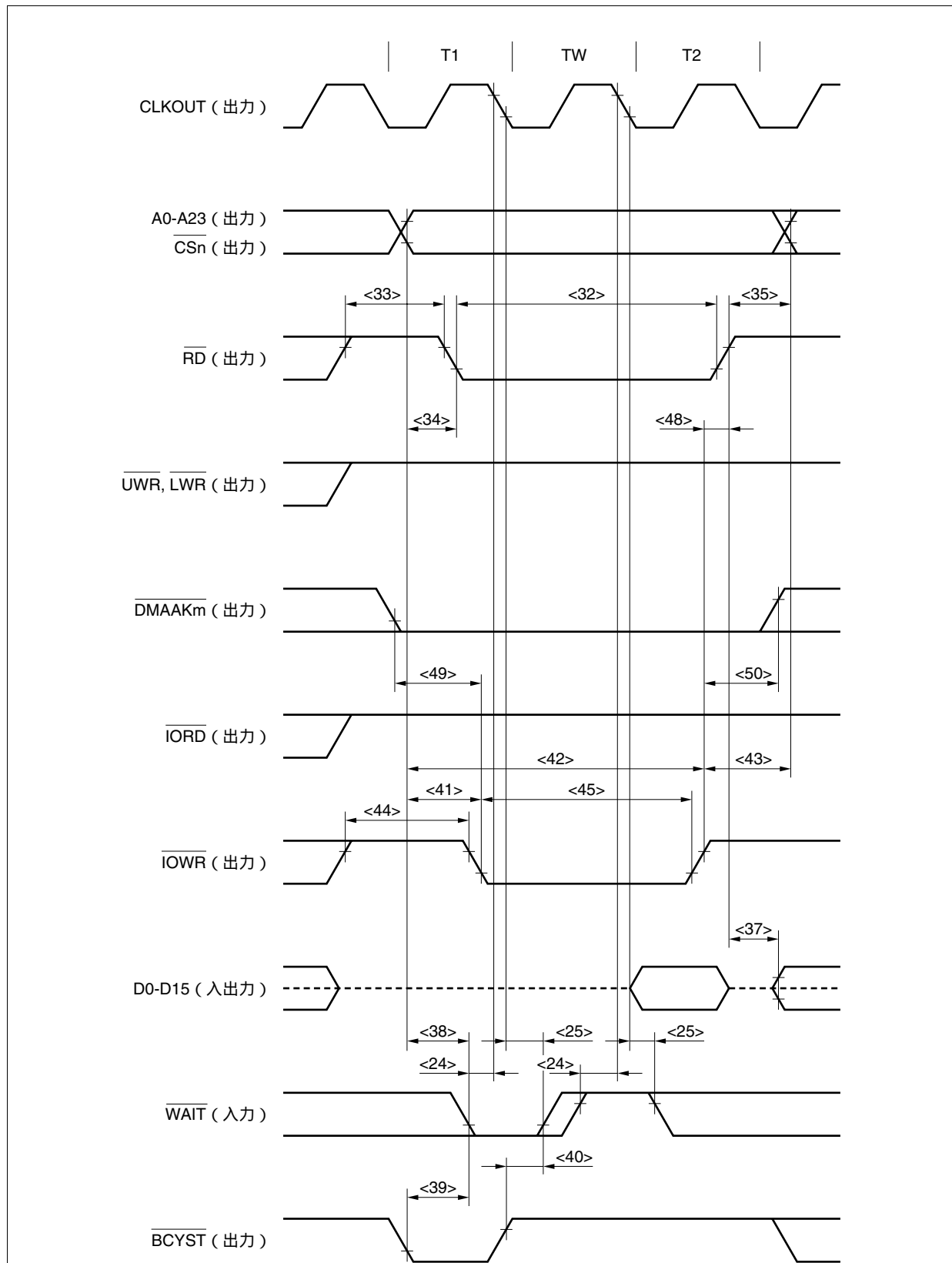
| 項目 | 略号 | 条件 | MIN. | MAX. | 単位 |
|-------------------------------|-------------------------|--------------------|------------------------------|----------|----|
| WAIT設定時間 (対CLKOUT) | <24> t _{SWK} | | 15 | | ns |
| WAIT保持時間 (対CLKOUT) | <25> t _{HKW} | | 2 | | ns |
| RDロウ・レベル幅 | <32> t _{WRDL} | | $(1 + w_D + w_F + w) T - 10$ | | ns |
| RDハイ・レベル幅 | <33> t _{WRDH} | | $T - 10$ | | ns |
| アドレス, CS _n RD 遅延時間 | <34> t _{DARD} | | $0.5T - 10$ | | ns |
| RD アドレス遅延時間 | <35> t _{DRDA} | | $(0.5 + i) T - 10$ | | ns |
| RD データ出力遅延時間 | <37> t _{DRDOD} | | $(0.5 + i) T - 10$ | | ns |
| WAIT設定時間 (対アドレス) | <38> t _{SAW} | 注 | | $T - 25$ | ns |
| WAIT設定時間 (対BCYST) | <39> t _{SBSW} | 注 | | $T - 25$ | ns |
| WAIT保持時間 (対BCYST) | <40> t _{HBSW} | 注 | 0 | | ns |
| アドレス IOWR 遅延時間 | <41> t _{DAWR} | | $0.5T - 10$ | | ns |
| アドレス設定時間 (対IOWR) | <42> t _{SAWR} | | $(1.5 + w_D + w) T - 10$ | | ns |
| IOWR アドレス遅延時間 | <43> t _{DWRA} | | $0.5T - 10$ | | ns |
| IOWRハイ・レベル幅 | <44> t _{WWRH} | | $T - 10$ | | ns |
| IOWRロウ・レベル幅 | <45> t _{WWRL} | | $(1 + w_D + w) T - 10$ | | ns |
| IOWR RD 遅延時間 | <48> t _{DWRRD} | W _F = 0 | 0 | | ns |
| | | W _F = 1 | $T - 10$ | | ns |
| DMAAK _m IOWR 遅延時間 | <49> t _{DDAWR} | | $0.5T - 10$ | | ns |
| IOWR DMAAK _m 遅延時間 | <50> t _{DWRDA} | | $(0.5 + w_F) T - 10$ | | ns |

注 DWC1, DWC2 レジスタによるウェイト数が0のときの, 最初のWAITサンプリング時。

備考 1. $T = t_{CYK}$

2. w : WAITによるウェイト数
3. w_D : DWC1, DWC2 レジスタによるウェイト数
4. w_F : DMA フライバイ転送時のソース側アクセスに挿入されるウェイト数
5. i : リード・サイクル後にライト・サイクルが続くときに挿入されるアイドル・ステート数
6. $n = 0, 3-5, m = 0-3$

(d) DMA フライバイ転送タイミング (SRAM 外部 I/O 転送) (2/2)



- 備考 1. DWC1, DWC2 レジスタによるウェイト数が 0, $w_f = 0$ の場合のタイミングです。
 2. 破線はハイ・インピーダンスを示します。
 3. $n = 0, 3-5, m = 0-3$

(e) DMA フライパイ転送タイミング (外部 I/O SRAM 転送) (1/2)

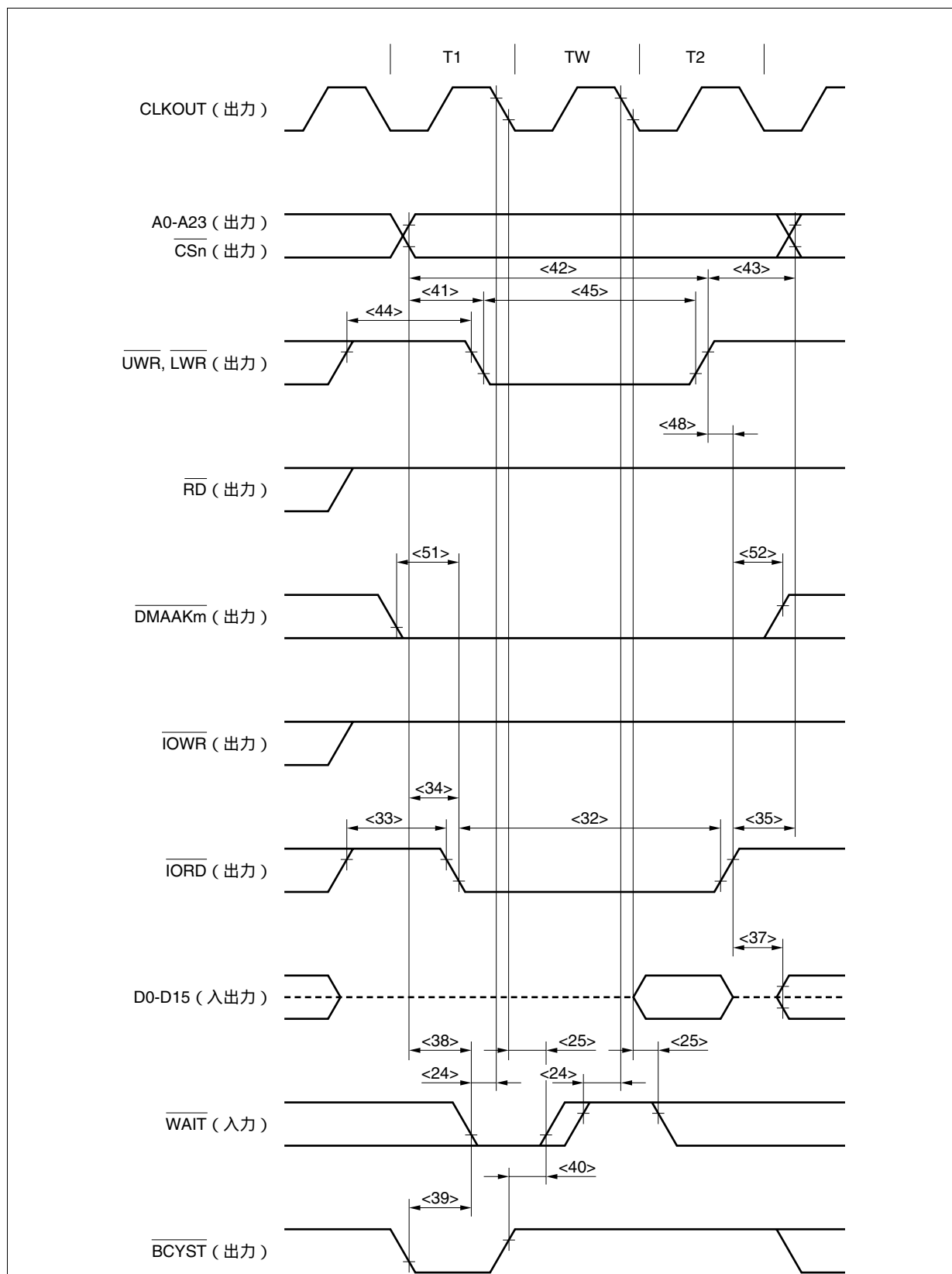
| 項目 | 略号 | 条件 | MIN. | MAX. | 単位 |
|-------------------------|-------------------------|--------------------|------------------------------|----------|----|
| WAIT設定時間 (対CLKOUT) | <24> t _{SWK} | | 15 | | ns |
| WAIT保持時間 (対CLKOUT) | <25> t _{HKW} | | 2 | | ns |
| IORDロウ・レベル幅 | <32> t _{WRDL} | | $(1 + w_D + w_F + w) T - 10$ | | ns |
| IORDハイ・レベル幅 | <33> t _{WRDH} | | $T - 10$ | | ns |
| アドレス, CSn IORD 遅延時間 | <34> t _{DARD} | | $0.5T - 10$ | | ns |
| IORD アドレス遅延時間 | <35> t _{DRDA} | | $(0.5 + i) T - 10$ | | ns |
| IORD データ出力遅延時間 | <37> t _{DRDOD} | | $(0.5 + i) T - 10$ | | ns |
| WAIT設定時間 (対アドレス) | <38> t _{SAW} | 注 | | $T - 25$ | ns |
| WAIT設定時間 (対BCYST) | <39> t _{SBSW} | 注 | | $T - 25$ | ns |
| WAIT保持時間 (対BCYST) | <40> t _{HBSW} | 注 | 0 | | ns |
| アドレス UWR, LWR 遅延時間 | <41> t _{DAWR} | | $0.5T - 10$ | | ns |
| アドレス設定時間 (対UWR, LWR) | <42> t _{SAWR} | | $(1.5 + w_D + w) T - 10$ | | ns |
| UWR, LWR アドレス遅延時間 | <43> t _{DWRA} | | $0.5T - 10$ | | ns |
| UWR, LWRハイ・レベル幅 | <44> t _{WWRH} | | $T - 10$ | | ns |
| UWR, LWRロウ・レベル幅 | <45> t _{WWRL} | | $(1 + w_D + w) T - 10$ | | ns |
| UWR, LWR IORD 遅延時間 | <48> t _{DWRRD} | W _F = 0 | 0 | | ns |
| | | W _F = 1 | $T - 10$ | | ns |
| DMAAKm IORD 遅延時間 | <51> t _{DDARD} | | $0.5T - 10$ | | ns |
| IORD DMAAKm 遅延時間 | <52> t _{DRDDA} | | $0.5T - 10$ | | ns |

注 DWC1, DWC2 レジスタによるウェイト数が0のときの, 最初のWAITサンプリング時。

備考 1. $T = t_{CYK}$

2. w : WAITによるウェイト数
3. w_D : DWC1, DWC2 レジスタによるウェイト数
4. w_F : DMA フライパイ転送時のソース側アクセスに挿入されるウェイト数
5. i : リード・サイクル後にライト・サイクルが続くときに挿入されるアイドル・ステート数
6. $n = 0, 3-5, m = 0-3$

(e) DMA フライバイ転送タイミング (外部 I/O SRAM 転送) (2/2)



- 備考 1. DWC1, DWC2 レジスタによるウェイト数が 0, $w_F = 0$ の場合のタイミングです。
 2. 破線はハイ・インピーダンスを示します。
 3. $n = 0, 3-5, m = 0-3$

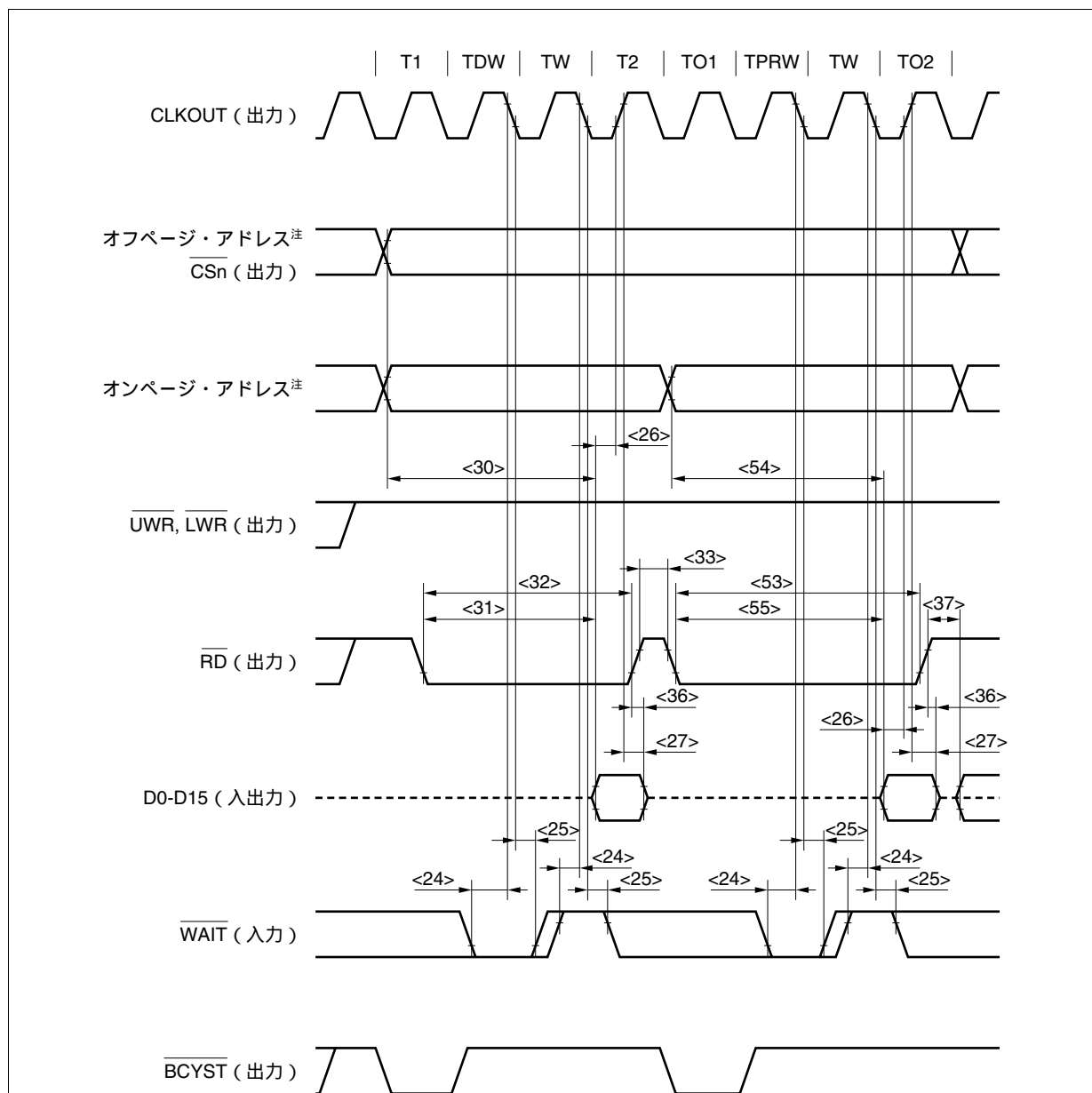
(5) ページROM アクセス・タイミング (1/2)

| 項目 | 略号 | 条件 | MIN. | MAX. | 単位 |
|-------------------------|--------------------------|----|------------------------------------|------------------------------------|----|
| WAIT設定時間 (対CLKOUT) | <24> t _{SWK} | | 15 | | ns |
| WAIT保持時間 (対CLKOUT) | <25> t _{HKW} | | 2 | | ns |
| データ入力設定時間 (対CLKOUT) | <26> t _{SKID} | | 18 | | ns |
| データ入力保持時間 (対CLKOUT) | <27> t _{HKID} | | 2 | | ns |
| オフページ・データ入力設定時間 (対アドレス) | <30> t _{SAID} | | | (1.5 + w _D + w) T - 28 | ns |
| オフページ・データ入力設定時間 (対RD) | <31> t _{SRDID} | | | (1 + w _D + w) T - 32 | ns |
| オフページRDロウ・レベル幅 | <32> t _{WRDL} | | (1 + w _D + w) T - 10 | | ns |
| RDハイ・レベル幅 | <33> t _{WRDH} | | 0.5T - 10 | | ns |
| データ入力保持時間 (対RD) | <36> t _{HRDID} | | 0 | | ns |
| RD データ出力遅延時間 | <37> t _{DRDOD} | | (0.5+i) T - 10 | | ns |
| オンページRDロウ・レベル幅 | <53> t _{WORDL} | | (1.5 + w _{PR} + w) T - 10 | | ns |
| オンページ・データ入力設定時間 (対アドレス) | <54> t _{SOAID} | | | (1.5 + w _{PR} + w) T - 28 | ns |
| オンページ・データ入力設定時間 (対RD) | <55> t _{SORDID} | | | (1.5 + w _{PR} + w) T - 32 | ns |

備考 1. T = t_{cyk}

2. w : WAITによるウェイト数
3. w_D : DWC1, DWC2 レジスタによるウェイト数
4. w_{PR} : PRC レジスタによるウェイト数
5. i : リード・サイクル後にライト・サイクルが続くときに挿入されるアイドル・状態数
6. データ入力保持時間 t_{HKID}, t_{HRDID} は, 少なくともどちらか1つを守ってください。

(5) ページROM アクセス・タイミング (2/2)



注 オンページ・アドレス, オフページ・アドレスは, 次のとおりです。

| PRCレジスタ | | | オンページ・アドレス | オフページ・アドレス |
|---------|-----|-----|------------|------------|
| MA5 | MA4 | MA3 | | |
| 0 | 0 | 0 | A0, A1 | A2-A23 |
| 0 | 0 | 1 | A0-A2 | A3-A23 |
| 0 | 1 | 1 | A0-A3 | A4-A23 |
| 1 | 1 | 1 | A0-A4 | A5-A23 |

備考 1. 次の場合のタイミングです。

DWC1, DWC2 レジスタによるウェイト数 (TDW) : 1

PRC レジスタによるウェイト数 (TPRW) : 1

2. 破線はハイ・インピーダンスを示します。

3. n = 0, 3-5

(6) DRAM アクセス・タイミング

(a) リード・タイミング (高速ページ DRAM アクセス, 通常アクセス: オフページ) (1/3)

| 項目 | 略号 | 条件 | MIN. | MAX. | 単位 |
|--------------------------|-------------------------|----|--|--|----|
| WAIT 設定時間 (対 CLKOUT) | <24> t _{SWK} | | 15 | | ns |
| WAIT 保持時間 (対 CLKOUT) | <25> t _{HKW} | | 2 | | ns |
| データ入力設定時間 (対 CLKOUT) | <26> t _{SKID} | | 18 | | ns |
| データ入力保持時間 (対 CLKOUT) | <27> t _{HKID} | | 2 | | ns |
| OE データ出力遅延時間 | <37> t _{DRDOD} | | (0.5+i) T - 10 | | ns |
| ロウ・アドレス設定時間 | <56> t _{ASR} | | (0.5 + W _{RP}) T - 10 | | ns |
| ロウ・アドレス保持時間 | <57> t _{RAH} | | (0.5 + W _{RH}) T - 10 | | ns |
| カラム・アドレス設定時間 | <58> t _{ASC} | | 0.5T - 10 | | ns |
| カラム・アドレス保持時間 | <59> t _{CAH} | | (1.5 + W _{DA} + W) T - 10 | | ns |
| リード/ライト・サイクル時間 | <60> t _{RC} | | (3 + W _{RP} + W _{RH} + W _{DA} + W) T - 10 | | ns |
| RAS プリチャージ時間 | <61> t _{RP} | | (0.5 + W _{RP}) T - 10 | | ns |
| RAS パルス時間 | <62> t _{RAS} | | (2.5 + W _{RH} + W _{DA} + W) T - 10 | | ns |
| RAS 保持時間 | <63> t _{RSH} | | (1.5 + W _{DA} + W) T - 10 | | ns |
| RAS に対するカラム・アドレス・リード時間 | <64> t _{RAL} | | (2 + W _{DA} + W) T - 10 | | ns |
| CAS パルス幅 | <65> t _{CAS} | | (1 + W _{DA} + W) T - 10 | | ns |
| CAS-RAS プリチャージ時間 | <66> t _{CRP} | | (1 + W _{RP}) T - 10 | | ns |
| CAS 保持時間 | <67> t _{CSH} | | (2 + W _{RH} + W _{DA} + W) T - 10 | | ns |
| WE 設定時間 | <68> t _{RCS} | | (2 + W _{RP} + W _{RH}) T - 10 | | ns |
| WE 保持時間 (対 RAS) | <69> t _{RRH} | | 0.5T - 10 | | ns |
| WE 保持時間 (対 CAS) | <70> t _{RCH} | | T - 10 | | ns |
| CAS プリチャージ時間 | <71> t _{CPN} | | (2 + W _{RP} + W _{RH}) T - 10 | | ns |
| 出カインエーブル・アクセス時間 | <72> t _{OEA} | | | (2 + W _{RP} + W _{RH} + W _{DA} + W) T - 28 | ns |
| RAS アクセス時間 | <73> t _{RAC} | | | (2 + W _{RH} + W _{DA} + W) T - 28 | ns |
| カラム・アドレスからのアクセス時間 | <74> t _{AA} | | | (1.5 + W _{DA} + W) T - 28 | ns |
| CAS アクセス時間 | <75> t _{CAC} | | | (1 + W _{DA} + W) T - 28 | ns |

備考 1. T = t_{cyk}

2. w : WAIT によるウエイト数
3. W_{RP} : DRCn レジスタの RPCxx ビットによるウエイト数 (n = 0-3, xx = 00-03, 10-13)
4. W_{RH} : DRCn レジスタの RHCxx ビットによるウエイト数 (n = 0-3, xx = 00-03, 10-13)
5. W_{DA} : DRCn レジスタの DACxx ビットによるウエイト数 (n = 0-3, xx = 00-03, 10-13)
6. i : リード・サイクル後にライト・サイクルが続くときに挿入されるアイドル・ステート数

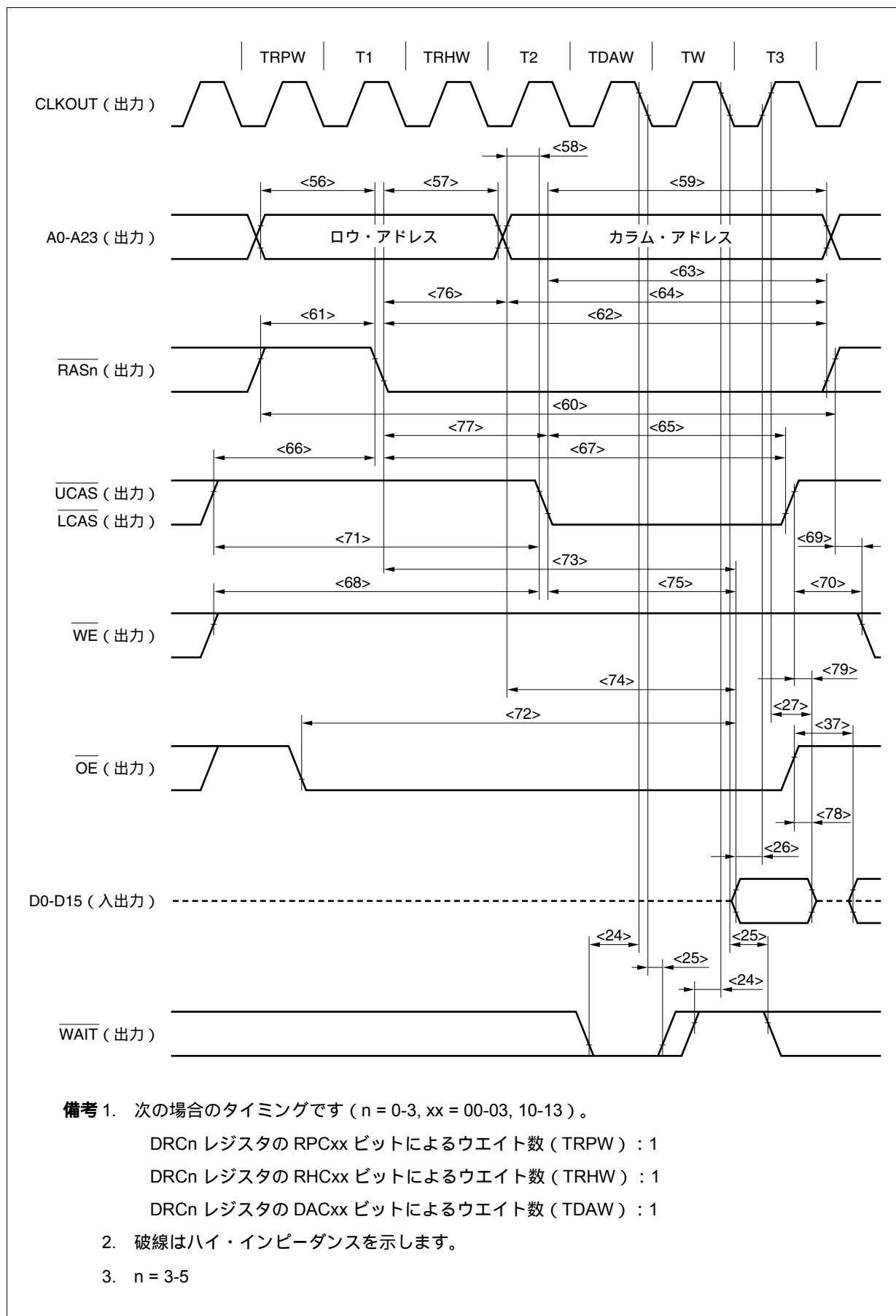
(a) リード・タイミング (高速ページ DRAM アクセス, 通常アクセス: オフページ) (2/3)

| 項 目 | 略 号 | 条 件 | MIN. | MAX. | 単 位 |
|-----------------------------|-----------------------|-----|-------------------------|------|-----|
| RASカラム・アドレス遅延時間 | <76> t _{RAD} | | $(0.5 + W_{RH}) T - 10$ | | ns |
| RAS-CAS遅延時間 | <77> t _{RCD} | | $(1 + W_{RH}) T - 10$ | | ns |
| 出力バッファ・ターン・オフ遅延時間 (対OE) | <78> t _{OEZ} | | 0 | | ns |
| 出力バッファ・ターン・オフ遅延時間 (対CAS) | <79> t _{OFF} | | 0 | | ns |

備考 1. T = t_{CYK}

2. W_{RH} : DRCn レジスタの RHCxx ビットによるウェイト数 (n = 0-3, xx = 00-03, 10-13)

(a) リード・タイミング (高速ページ DRAM アクセス, 通常アクセス : オフページ) (3/3)



〔メモ〕

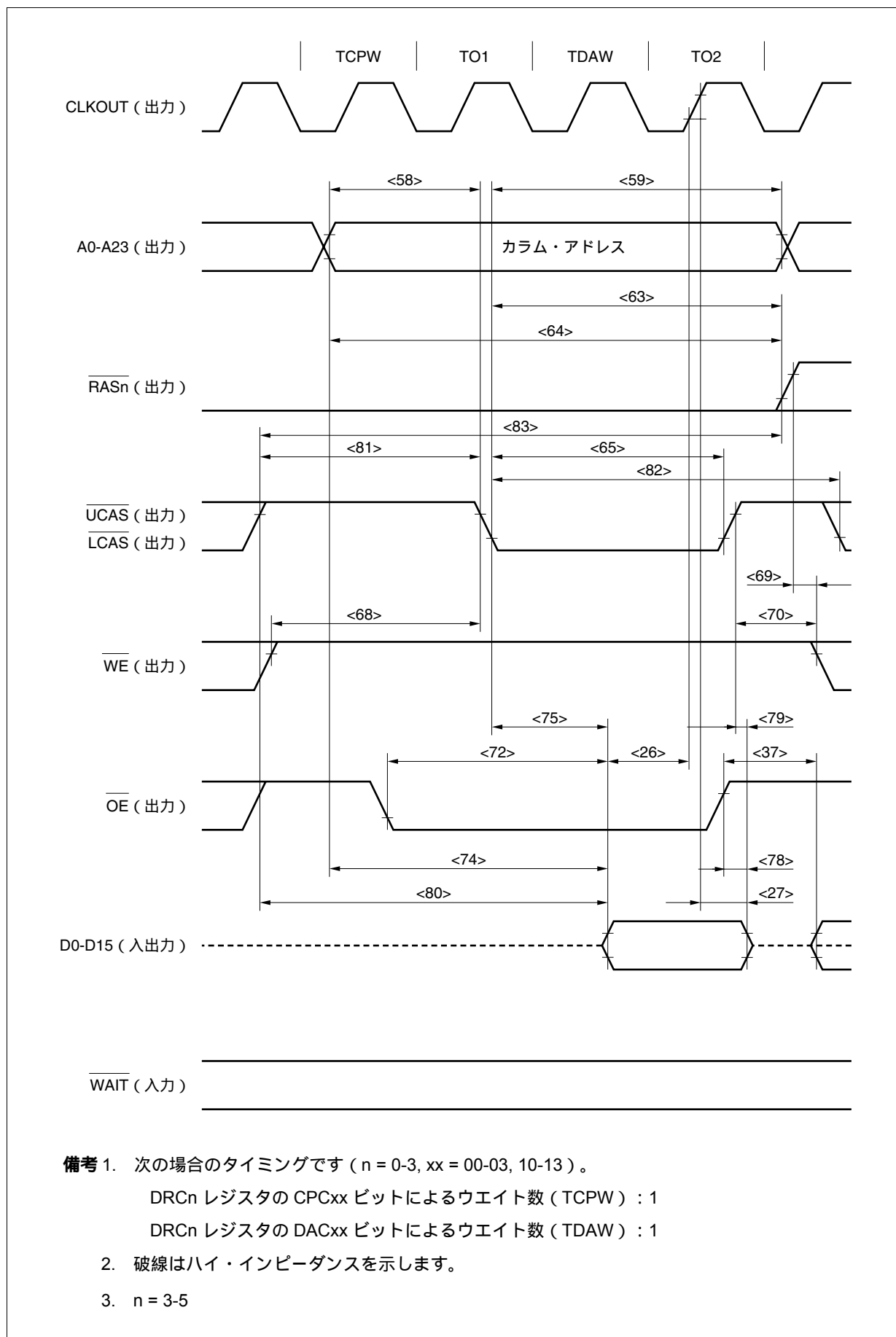
(b) リード・タイミング (高速ページ DRAM アクセス : オンページ) (1/2)

| 項目 | 略号 | 条件 | MIN. | MAX. | 単位 |
|-------------------------------|-------------------------|----|----------------------------------|----------------------------------|----|
| データ入力設定時間 (対 CLKOUT) | <26> t _{SKID} | | 18 | | ns |
| データ入力保持時間 (対 CLKOUT) | <27> t _{HKID} | | 2 | | ns |
| OE データ出力遅延時間 | <37> t _{DRDOD} | | $(0.5 + i) T - 10$ | | ns |
| コラム・アドレス設定時間 | <58> t _{ASC} | | $(0.5 + W_{CP}) T - 10$ | | ns |
| コラム・アドレス保持時間 | <59> t _{CAH} | | $(1.5 + W_{DA}) T - 10$ | | ns |
| RAS保持時間 | <63> t _{RSH} | | $(1.5 + W_{DA}) T - 10$ | | ns |
| RASに対するコラム・アドレス・リード時間 | <64> t _{RAL} | | $(2 + W_{CP} + W_{DA}) T - 10$ | | ns |
| CASパルス幅 | <65> t _{CAS} | | $(1 + W_{DA}) T - 10$ | | ns |
| WE 設定時間 (対 CAS) | <68> t _{RCS} | | $(1 + W_{CP}) T - 10$ | | ns |
| WE 保持時間 (対 RAS) | <69> t _{RRH} | | $0.5T - 10$ | | ns |
| WE 保持時間 (対 CAS) | <70> t _{RCH} | | $T - 10$ | | ns |
| 出カインエーブル・アクセス時間 | <72> t _{OEA} | | | $(1 + W_{CP} + W_{DA}) T - 28$ | ns |
| コラム・アドレスからのアクセス時間 | <74> t _{AA} | | | $(1.5 + W_{CP} + W_{DA}) T - 28$ | ns |
| CASアクセス時間 | <75> t _{CAC} | | | $(1 + W_{DA}) T - 28$ | ns |
| 出力バッファ・ターン・オフ遅延時間 (対 OE) | <78> t _{OEZ} | | 0 | | ns |
| 出力バッファ・ターン・オフ遅延時間 (対 CAS) | <79> t _{OFF} | | 0 | | ns |
| CASプリチャージからのアクセス時間 | <80> t _{ACP} | | | $(2 + W_{CP} + W_{DA}) T - 28$ | ns |
| CASプリチャージ時間 | <81> t _{CP} | | $(1 + W_{CP}) T - 10$ | | ns |
| 高速ページ・モード・サイクル時間 | <82> t _{PC} | | $(2 + W_{CP} + W_{DA}) T - 10$ | | ns |
| CASプリチャージに対するRAS保持時間 | <83> t _{RHCP} | | $(2.5 + W_{CP} + W_{DA}) T - 10$ | | ns |

備考 1. $T = t_{CYK}$

2. W_{CP} : DRCn レジスタの CPCxx ビットによるウェイト数 ($n = 0-3, xx = 00-03, 10-13$)
3. W_{DA} : DRCn レジスタの DACxx ビットによるウェイト数 ($n = 0-3, xx = 00-03, 10-13$)
4. i : リード・サイクル後にライト・サイクルが続くときに挿入されるアイドル・ステート数

(b) リード・タイミング (高速ページ DRAM アクセス : オンページ) (2/2)



(c) ライト・タイミング (高速ページ DRAM アクセス, 通常アクセス: オフページ) (1/2)

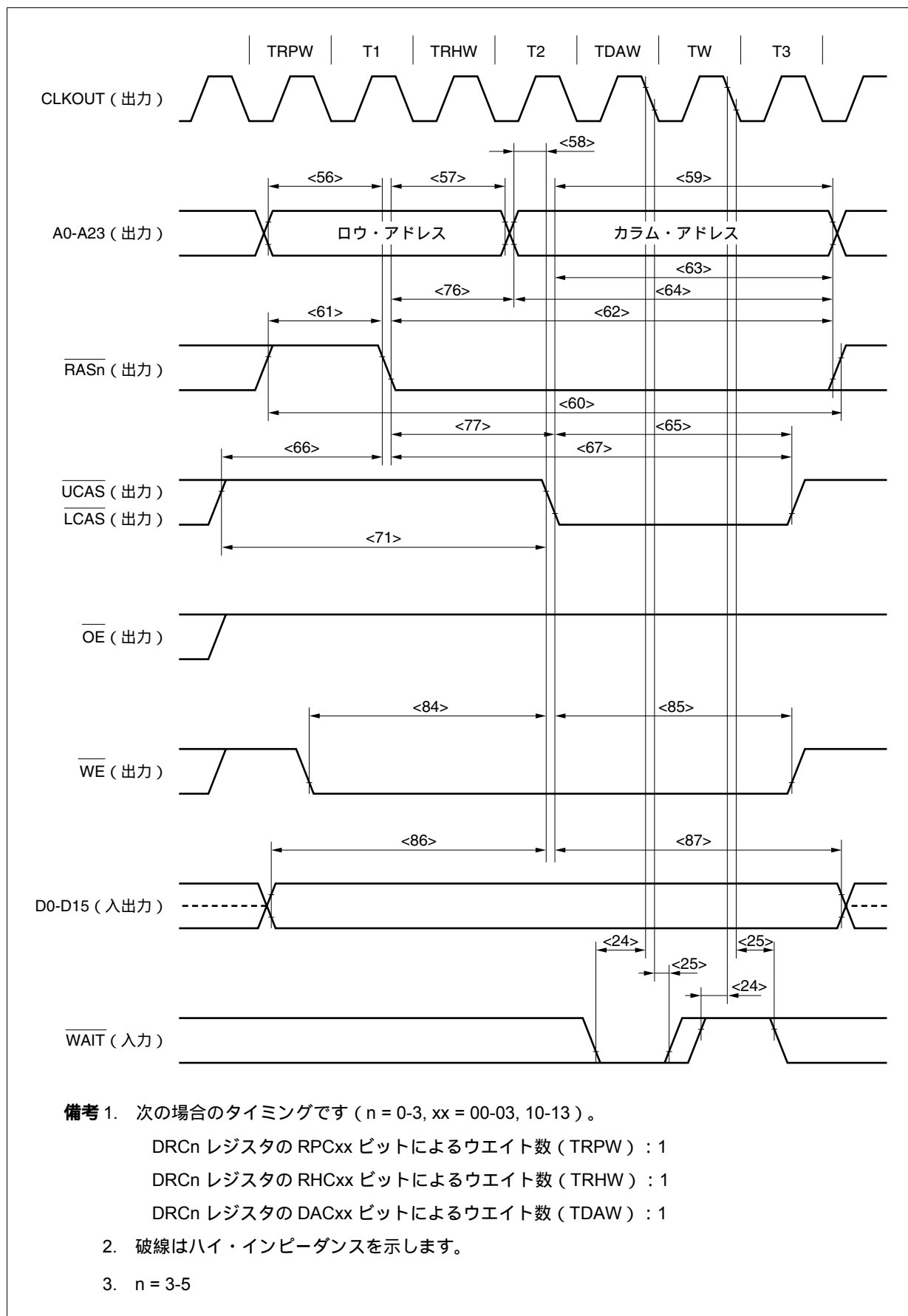
| 項目 | 略号 | 条件 | MIN. | MAX. | 単位 |
|-----------------------|-----------------------|----|--|------|----|
| WAIT設定時間 (対CLKOUT) | <24> t _{SWK} | | 15 | | ns |
| WAIT保持時間 (対CLKOUT) | <25> t _{HKW} | | 2 | | ns |
| ロウ・アドレス設定時間 | <56> t _{ASR} | | (0.5 + W _{RP}) T - 10 | | ns |
| ロウ・アドレス保持時間 | <57> t _{RAH} | | (0.5 + W _{RH}) T - 10 | | ns |
| カラム・アドレス設定時間 | <58> t _{ASC} | | 0.5T - 10 | | ns |
| カラム・アドレス保持時間 | <59> t _{CAH} | | (1.5 + W _{DA} + W) T - 10 | | ns |
| リード/ライト・サイクル時間 | <60> t _{RC} | | (3 + W _{RP} + W _{RH} + W _{DA} + W) T - 10 | | ns |
| RASプリチャージ時間 | <61> t _{RP} | | (0.5 + W _{RP}) T - 10 | | ns |
| RASパルス時間 | <62> t _{RAS} | | (2.5 + W _{RH} + W _{DA} + W) T - 10 | | ns |
| RAS保持時間 | <63> t _{RSH} | | (1.5 + W _{DA} + W) T - 10 | | ns |
| カラム・アドレス・リード時間 (対RAS) | <64> t _{RAL} | | (2 + W _{DA} + W) T - 10 | | ns |
| CASパルス幅 | <65> t _{CAS} | | (1 + W _{DA} + W) T - 10 | | ns |
| CAS-RASプリチャージ時間 | <66> t _{CRP} | | (1 + W _{RP}) T - 10 | | ns |
| CAS保持時間 | <67> t _{CSH} | | (2 + W _{RH} + W _{DA} + W) T - 10 | | ns |
| CASプリチャージ時間 | <71> t _{CPN} | | (2 + W _{RP} + W _{RH}) T - 10 | | ns |
| RASカラム・アドレス遅延時間 | <76> t _{RAD} | | (0.5 + W _{RH}) T - 10 | | ns |
| RAS-CAS遅延時間 | <77> t _{RCD} | | (1 + W _{RH}) T - 10 | | ns |
| WE設定時間 (対CAS) | <84> t _{WCS} | | (1 + W _{RP} + W _{RH}) T - 10 | | ns |
| WE保持時間 (対CAS) | <85> t _{WCH} | | (1 + W _{DA} + W) T - 10 | | ns |
| データ設定時間 (対CAS) | <86> t _{DS} | | (1.5 + W _{RP} + W _{RH}) T - 10 | | ns |
| データ保持時間 (対CAS) | <87> t _{DH} | | (1.5 + W _{DA} + W) T - 10 | | ns |

★

備考 1. T = t_{CYK}

2. w : WAITによるウェイト数
3. W_{RP} : DRCn レジスタの RPCxx ビットによるウェイト数 (n = 0-3, xx = 00-03, 10-13)
4. W_{RH} : DRCn レジスタの RHCxx ビットによるウェイト数 (n = 0-3, xx = 00-03, 10-13)
5. W_{DA} : DRCn レジスタの DACxx ビットによるウェイト数 (n = 0-3, xx = 00-03, 10-13)

(c) ライト・タイミング (高速ページ DRAM アクセス, 通常アクセス : オフページ) (2/2)



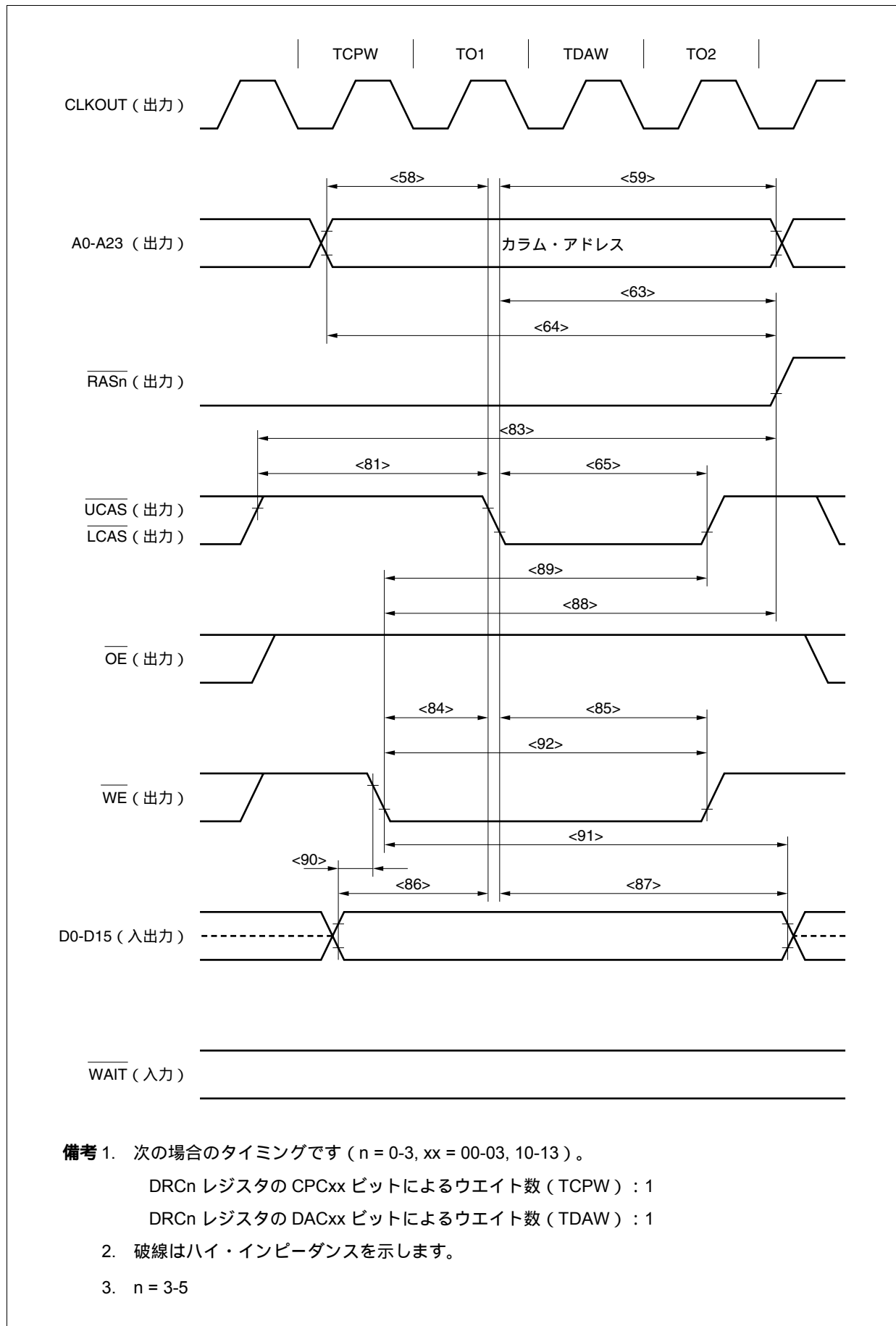
(d) ライト・タイミング (高速ページ DRAM アクセス : オンページ) (1/2)

| 項 目 | 略 号 | 条 件 | MIN. | MAX. | 単 位 |
|----------------------------|------------------------|---------------------|--|------|-----|
| カラム・アドレス設定時間 | <58> t _{ASC} | | (0.5 + W _{CP}) T - 10 | | ns |
| カラム・アドレス保持時間 | <59> t _{CAH} | | (1.5 + W _{DA}) T - 10 | | ns |
| RAS保持時間 | <63> t _{RSH} | | (1.5 + W _{DA}) T - 10 | | ns |
| カラム・アドレス・リード時間 (対RAS) | <64> t _{RAL} | | (2 + W _{CP} + W _{DA}) T - 10 | | ns |
| CASパルス幅 | <65> t _{CAS} | | (1 + W _{DA}) T - 10 | | ns |
| CASプリチャージ時間 | <81> t _{CP} | | (1 + W _{CP}) T - 10 | | ns |
| CASプリチャージに対するRAS保持 時間 | <83> t _{RHCP} | | (2.5 + W _{CP} + W _{DA}) T - 10 | | ns |
| WE 設定時間 (対CAS) | <84> t _{WCS} | W _{CP} = 1 | W _{CP} T - 10 | | ns |
| WE 保持時間 (対CAS) | <85> t _{WCH} | | (1 + W _{DA}) T - 10 | | ns |
| データ設定時間 (対CAS) | <86> t _{DS} | | (0.5 + W _{CP}) T - 10 | | ns |
| データ保持時間 (対CAS) | <87> t _{DH} | | (1.5 + W _{DA}) T - 10 | | ns |
| WE リード時間 (対RAS) | <88> t _{RWL} | W _{CP} = 0 | (1.5 + W _{DA}) T - 10 | | ns |
| WE リード時間 (対CAS) | <89> t _{CWL} | W _{CP} = 0 | (1 + W _{DA}) T - 10 | | ns |
| データ設定時間 (対WE) | <90> t _{DSWE} | W _{CP} = 0 | 0.5T - 10 | | ns |
| データ保持時間 (対WE) | <91> t _{DHWE} | W _{CP} = 0 | (1.5 + W _{DA}) T - 10 | | ns |
| WEパルス幅 | <92> t _{WP} | W _{CP} = 0 | (1 + W _{DA}) T - 10 | | ns |

備考 1. T = t_{CYK}

2. W_{CP} : DRCn レジスタの CPCxx ビットによるウェイト数 (n = 0-3, xx = 00-03, 10-13)
3. W_{DA} : DRCn レジスタの DACxx ビットによるウェイト数 (n = 0-3, xx = 00-03, 10-13)

(d) ライト・タイミング (高速ページ DRAM アクセス : オンページ) (2/2)



(e) リード・タイミング (EDO DRAM) (1/3)

| 項目 | 略号 | 条件 | MIN. | MAX. | 単位 |
|------------------------------|-------------------------|------------------------|---|---|----|
| データ入力設定時間 (対 CLKOUT) | <26> t _{SKID} | | 18 | | ns |
| データ入力保持時間 (対 CLKOUT) | <27> t _{HKID} | | 2 | | ns |
| OE データ出力遅延時間 | <37> t _{DRDOD} | | (0.5 + i) T - 10 | | ns |
| ロウ・アドレス設定時間 | <56> t _{ASR} | | (0.5 + W _{RP}) T - 10 | | ns |
| ロウ・アドレス保持時間 | <57> t _{RAH} | | (0.5 + W _{RH}) T - 10 | | ns |
| カラム・アドレス設定時間 | <58> t _{ASC} | | 0.5T - 10 | | ns |
| カラム・アドレス保持時間 | <59> t _{CAH} | | (0.5 + W _{DA}) T - 10 | | ns |
| RASプリチャージ時間 | <61> t _{RP} | | (0.5 + W _{RP}) T - 10 | | ns |
| カラム・アドレス・リード時間 (対 RAS) | <64> t _{RAL} | | (2 + W _{CP} + W _{DA}) T - 10 | | ns |
| CAS-RASプリチャージ時間 | <66> t _{CRP} | | (1 + W _{RP}) T - 10 | | ns |
| CAS保持時間 | <67> t _{CSH} | | (1.5 + W _{RH} + W _{DA}) T - 10 | | ns |
| WE設定時間 (対 CAS) | <68> t _{RCS} | | (2 + W _{RP} + W _{RH}) T - 10 | | ns |
| WE保持時間 (対 RAS) | <69> t _{RRH} | | 0.5T - 10 | | ns |
| WE保持時間 (対 CAS) | <70> t _{RCH} | | 1.5T - 10 | | ns |
| RASアクセス時間 | <73> t _{RAC} | | | (2 + W _{RH} + W _{DA}) T - 28 | ns |
| カラム・アドレスからのアクセス時間 | <74> t _{AA} | | | (1.5 + W _{DA}) T - 28 | ns |
| CASアクセス時間 | <75> t _{CAC} | | | (1 + W _{DA}) T - 28 | ns |
| RAS カラム・アドレス遅延時間 | <76> t _{RAD} | | (0.5 + W _{RH}) T - 10 | | ns |
| RAS-CAS遅延時間 | <77> t _{RCD} | | (1 + W _{RH}) T - 10 | | ns |
| 出力バッファ・ターン・オフ遅延時間 (対 OE) | <78> t _{OEZ} | | 0 | | ns |
| CASプリチャージに対するアクセス 時間 | <80> t _{ACP} | | | (1.5 + W _{CP} + W _{DA}) T - 28 | ns |
| CASプリチャージ時間 | <81> t _{CP} | | (0.5 + W _{CP}) T - 10 | | ns |
| CASプリチャージに対するRAS保持 時間 | <83> t _{RHCP} | | (2 + W _{CP} + W _{DA}) T - 10 | | ns |
| リード・サイクル時間 | <93> t _{HPC} | | (1 + W _{DA} + W _{CP}) T - 10 | | ns |
| RASパルス幅 | <94> t _{RASP} | | (2.5 + W _{RH} + W _{DA}) T - 10 | | ns |
| CASパルス幅 | <95> t _{HCAS} | | (0.5 + W _{DA}) T - 10 | | ns |
| OE CAS保持時間 | オフページ | <96> t _{OCH1} | | (2 + W _{RH} + W _{DA}) T - 10 | ns |
| | オンページ | <97> t _{OCH2} | | (0.5 + W _{DA}) T - 10 | ns |
| データ入力保持時間 (対 CAS) | <98> t _{DHC} | | 0 | | ns |

備考 1. T = t_{CYK}

2. W_{RP} : DRC_n レジスタの RPC_{xx} ビットによるウェイト数 (n = 0-3, xx = 00-03, 10-13)
3. W_{RH} : DRC_n レジスタの RHC_{xx} ビットによるウェイト数 (n = 0-3, xx = 00-03, 10-13)
4. W_{DA} : DRC_n レジスタの DAC_{xx} ビットによるウェイト数 (n = 0-3, xx = 00-03, 10-13)
5. W_{CP} : DRC_n レジスタの CPC_{xx} ビットによるウェイト数 (n = 0-3, xx = 00-03, 10-13)
6. i : リード・サイクル後にライト・サイクルが続くときに挿入されるアイドル・ステート数

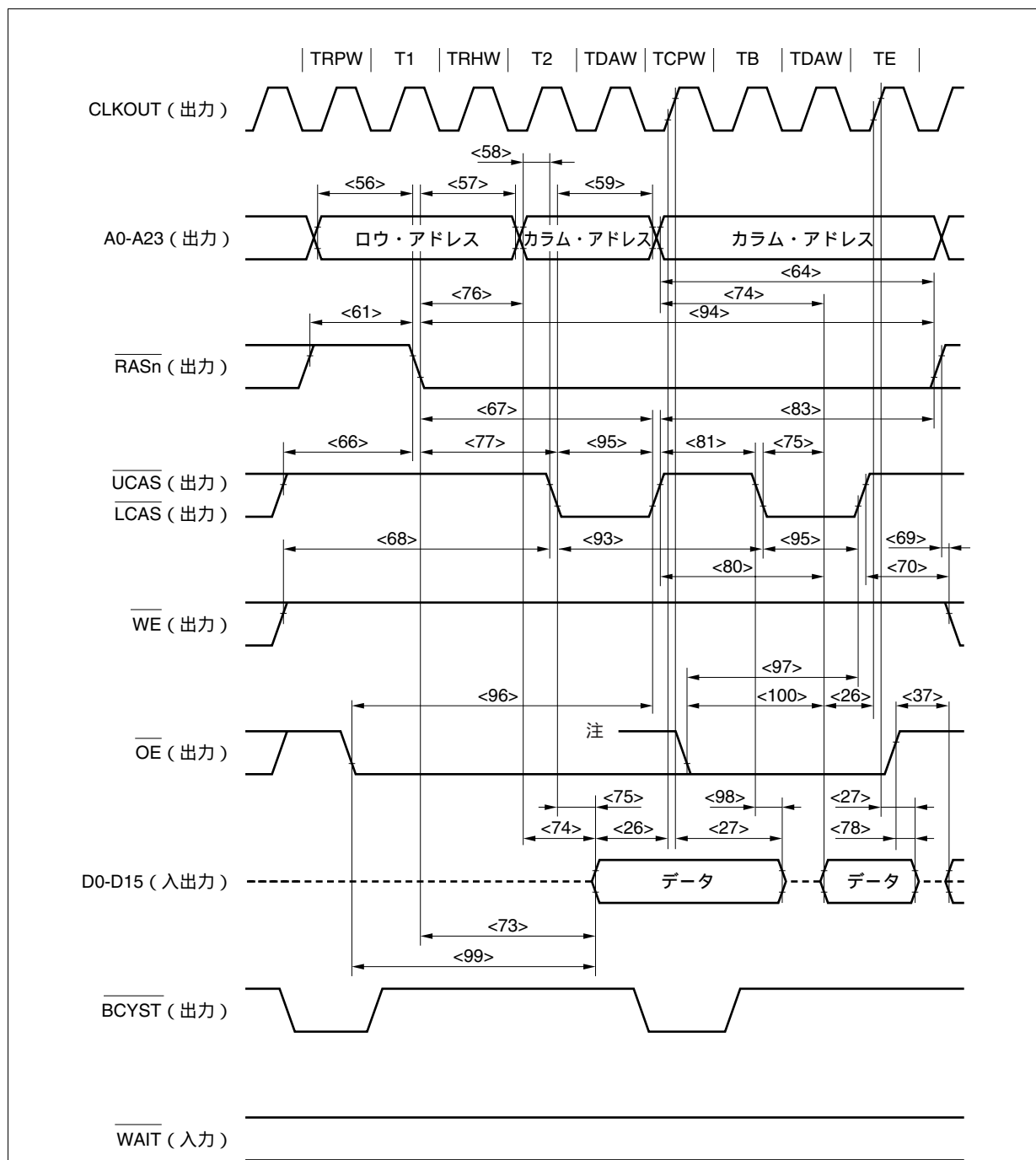
(e) リード・タイミング (EDO DRAM) (2/3)

| 項 目 | | 略 号 | | 条 件 | MIN. | MAX. | 単 位 |
|----------------|-------|-------|------------------|-----|------|--------------------------------|-----|
| 出力イネーブル・アクセス時間 | オフページ | <99> | t _{OE1} | | | $(2 + WRP + WRH + WDA) T - 28$ | ns |
| | オンページ | <100> | t _{OE2} | | | $(1 + WCP + WDA) T - 28$ | ns |

備考 1. T = t_{CYK}

2. WRP : DRCn レジスタの RPCxx ビットによるウェイト数 (n = 0-3, xx = 00-03, 10-13)
3. WRH : DRCn レジスタの RHCxx ビットによるウェイト数 (n = 0-3, xx = 00-03, 10-13)
4. WDA : DRCn レジスタの DACxx ビットによるウェイト数 (n = 0-3, xx = 00-03, 10-13)
5. WCP : DRCn レジスタの CPCxx ビットによるウェイト数 (n = 0-3, xx = 00-03, 10-13)

(e) リード・タイミング (EDO DRAM) (3/3)



注 RASnロウ・レベル時における、他のサイクルからのオンページ・アクセスの場合。

備考 1. 次の場合のタイミングです (n = 0-3, xx = 00-03, 10-13)。

DRCn レジスタの RPCxx ビットによるウェイト数 (TRPW) : 1

DRCn レジスタの RHCxx ビットによるウェイト数 (TRHW) : 1

DRCn レジスタの DACxx ビットによるウェイト数 (TDAW) : 1

DRCn レジスタの CPCxx ビットによるウェイト数 (TCPW) : 1

2. 破線はハイ・インピーダンスを示します。

3. n = 3-5

〔メモ〕

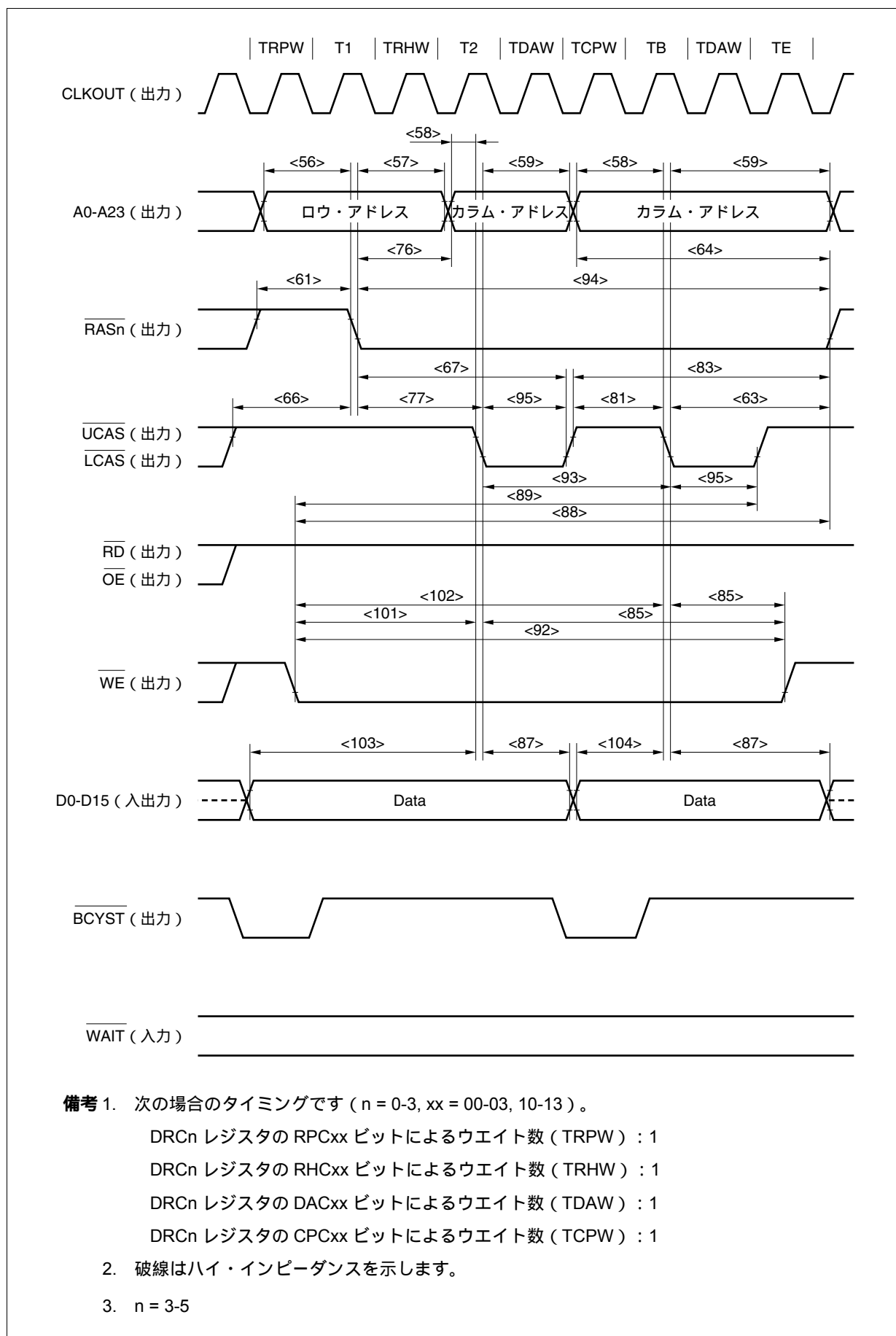
(f) ライト・タイミング (EDO DRAM) (1/2)

| 項目 | | 略号 | 条件 | MIN. | MAX. | 単位 |
|--------------------------|-------|-------|-------------------|---------------------|---|----|
| ロウ・アドレス設定時間 | | <56> | t _{ASR} | | (0.5 + W _{RP}) T - 10 | ns |
| ロウ・アドレス保持時間 | | <57> | t _{RAH} | | (0.5 + W _{RH}) T - 10 | ns |
| コラム・アドレス設定時間 | | <58> | t _{ASC} | | 0.5T - 10 | ns |
| コラム・アドレス保持時間 | | <59> | t _{CAH} | | (0.5 + W _{DA}) T - 10 | ns |
| RASプリチャージ時間 | | <61> | t _{RP} | | (0.5 + W _{RP}) T - 10 | ns |
| RAS保持時間 | | <63> | t _{RSH} | | (1.5 + W _{DA}) T - 10 | ns |
| コラム・アドレス・リード時間 (対RAS) | | <64> | t _{RAL} | | (2 + W _{CP} + W _{DA}) T - 10 | ns |
| CAS-RASプリチャージ時間 | | <66> | t _{CRP} | | (1 + W _{RP}) T - 10 | ns |
| CAS保持時間 | | <67> | t _{CSH} | | (1.5 + W _{RH} + W _{DA}) T - 10 | ns |
| RAS コラム・アドレス遅延時間 | | <76> | t _{RAD} | | (0.5 + W _{RH}) T - 10 | ns |
| RAS-CAS遅延時間 | | <77> | t _{RCD} | | (1 + W _{RH}) T - 10 | ns |
| CASプリチャージ時間 | | <81> | t _{CP} | | (0.5 + W _{CP}) T - 10 | ns |
| CASプリチャージに対するRAS保持時間 | | <83> | t _{RHCP} | | (2 + W _{CP} + W _{DA}) T - 10 | ns |
| WE保持時間 (対CAS) | | <85> | t _{WCH} | | (1 + W _{DA}) T - 10 | ns |
| データ保持時間 (対CAS) | | <87> | t _{DH} | | (0.5 + W _{DA}) T - 10 | ns |
| WEリード時間 (対RAS) | オンページ | <88> | t _{RWL} | W _{CP} = 0 | (1.5 + W _{DA}) T - 10 | ns |
| WEリード時間 (対CAS) | オンページ | <89> | t _{CWL} | W _{CP} = 0 | (0.5 + W _{DA}) T - 10 | ns |
| WEパルス幅 | オンページ | <92> | t _{WP} | W _{CP} = 0 | (1 + W _{DA}) T - 10 | ns |
| ライト・サイクル時間 | | <93> | t _{HPC} | | (1 + W _{DA} + W _{CP}) T - 10 | ns |
| RASパルス幅 | | <94> | t _{RASP} | | (2.5 + W _{RH} + W _{DA}) T - 10 | ns |
| CASパルス幅 | | <95> | t _{HCAS} | | (0.5 + W _{DA}) T - 10 | ns |
| WE設定時間 (対CAS) | オフページ | <101> | t _{WCS1} | | (1 + W _{RP} + W _{RH}) T - 10 | ns |
| | オンページ | <102> | t _{WCS2} | W _{CP} = 1 | W _{CP} T - 10 | ns |
| データ設定時間 (対CAS) | オフページ | <103> | t _{DS1} | | (1.5 + W _{RP} + W _{RH}) T - 10 | ns |
| | オンページ | <104> | t _{DS2} | | (0.5 + W _{CP}) T - 10 | ns |

備考 1. T = t_{cyk}

2. W_{RP} : DRCn レジスタの RPCxx ビットによるウエイト数 (n = 0-3, xx = 00-03, 10-13)
3. W_{RH} : DRCn レジスタの RHCxx ビットによるウエイト数 (n = 0-3, xx = 00-03, 10-13)
4. W_{DA} : DRCn レジスタの DACxx ビットによるウエイト数 (n = 0-3, xx = 00-03, 10-13)
5. W_{CP} : DRCn レジスタの CPCxx ビットによるウエイト数 (n = 0-3, xx = 00-03, 10-13)

(f) ライト・タイミング (EDO DRAM) (2/2)



備考 1. 次の場合のタイミングです (n = 0-3, xx = 00-03, 10-13)。

DRCn レジスタの RPCxx ビットによるウエイト数 (TRPW) : 1

DRCn レジスタの RHCxx ビットによるウエイト数 (TRHW) : 1

DRCn レジスタの DACxx ビットによるウエイト数 (TDAW) : 1

DRCn レジスタの CPCxx ビットによるウエイト数 (TCPW) : 1

2. 破線はハイ・インピーダンスを示します。

3. n = 3-5

(g) DMA フライバイ転送タイミング (DRAM (EDO, 高速ページ) 外部 I/O 転送) (1/3)

| 項目 | 略号 | 条件 | MIN. | MAX. | 単位 |
|-----------------------|------|--------------------|---|------|----|
| WAIT設定時間 (対 CLKOUT) | <24> | t _{SWK} | 15 | | ns |
| WAIT保持時間 (対 CLKOUT) | <25> | t _{HKW} | 2 | | ns |
| OE データ出力遅延時間 | <37> | t _{DRDOD} | (0.5 + i) T - 10 | | ns |
| アドレス IOWR 遅延時間 | <41> | t _{DAWR} | (0.5 + W _{RP}) T - 10 | | ns |
| アドレス設定時間 (対 IOWR) | <42> | t _{SAWR} | (2 + W _{RP} + W _{RH} + W _{DA} + w) T - 10 | | ns |
| IOWR アドレス遅延時間 | <43> | t _{DWRA} | 0.5T - 10 | | ns |
| IOWR RD 遅延時間 | <48> | WF = 0 | 0 | | ns |
| | | WF = 1 | T - 10 | | |
| IOWR口ウ・レベル幅 | <50> | t _{WWRL} | (2 + W _{RH} + W _{DA} + w) T - 10 | | ns |
| 口ウ・アドレス設定時間 | <56> | t _{ASR} | (0.5 + W _{RP}) T - 10 | | ns |
| 口ウ・アドレス保持時間 | <57> | t _{RAH} | (0.5 + W _{RH}) T - 10 | | ns |
| カラム・アドレス設定時間 | <58> | t _{ASC} | 0.5T - 10 | | ns |
| カラム・アドレス保持時間 | <59> | t _{CAH} | (1.5 + W _{DA} + W _F + w) T - 10 | | ns |
| リード/ライト・サイクル時間 | <60> | t _{RC} | (3 + W _{RP} + W _{RH} + W _{DA} + W _F + w) T - 10 | | ns |
| RASプリチャージ時間 | <61> | t _{RP} | (0.5 + W _{RP}) T - 10 | | ns |
| RAS保持時間 | <63> | t _{RSH} | (1.5 + W _{DA} + W _F + w) T - 10 | | ns |
| RASに対するカラム・アドレス・リード時間 | <64> | t _{RAL} | (2 + W _{CP} + W _{DA} + W _F + w) T - 10 | | ns |
| CASパルス幅 | <65> | t _{CAS} | (1 + W _{DA} + W _F + w) T - 10 | | ns |
| CAS-RASプリチャージ時間 | <66> | t _{CRP} | (1 + W _{RP}) T - 10 | | ns |
| CAS保持時間 | <67> | t _{CSH} | (2 + W _{RH} + W _{DA} + W _F + w) T - 10 | | ns |
| WE設定時間 (対 CAS) | <68> | t _{RCS} | (2 + W _{RP} + W _{RH}) T - 10 | | ns |
| WE保持時間 (対 RAS) | <69> | t _{RRH} | 0.5T - 10 | | ns |
| WE保持時間 (対 CAS) | <70> | t _{RCH} | 1.5T - 10 | | ns |
| CASプリチャージ時間 | <71> | t _{CPN} | (2 + W _{RP} + W _{RH}) T - 10 | | ns |
| RAS カラム・アドレス遅延時間 | <76> | t _{RAD} | (0.5 + W _{RH}) T - 10 | | ns |
| RAS-CAS遅延時間 | <77> | t _{RCD} | (1 + W _{RH}) T - 10 | | ns |

備考 1. T = t_{cyk}

2. w : WAITによるウェイト数
3. W_{RP} : DRCn レジスタの RPCxx ビットによるウェイト数 (n = 0-3, xx = 00-03, 10-13)
4. W_{RH} : DRCn レジスタの RHCxx ビットによるウェイト数 (n = 0-3, xx = 00-03, 10-13)
5. W_{DA} : DRCn レジスタの DACxx ビットによるウェイト数 (n = 0-3, xx = 00-03, 10-13)
6. W_{CP} : DRCn レジスタの CPCxx ビットによるウェイト数 (n = 0-3, xx = 00-03, 10-13)
7. W_F : DMA フライバイ転送時のソース側アクセスに挿入されるウェイト数
8. i : リード・サイクル後にライト・サイクルが続くときに挿入されるアイドル・ステート数

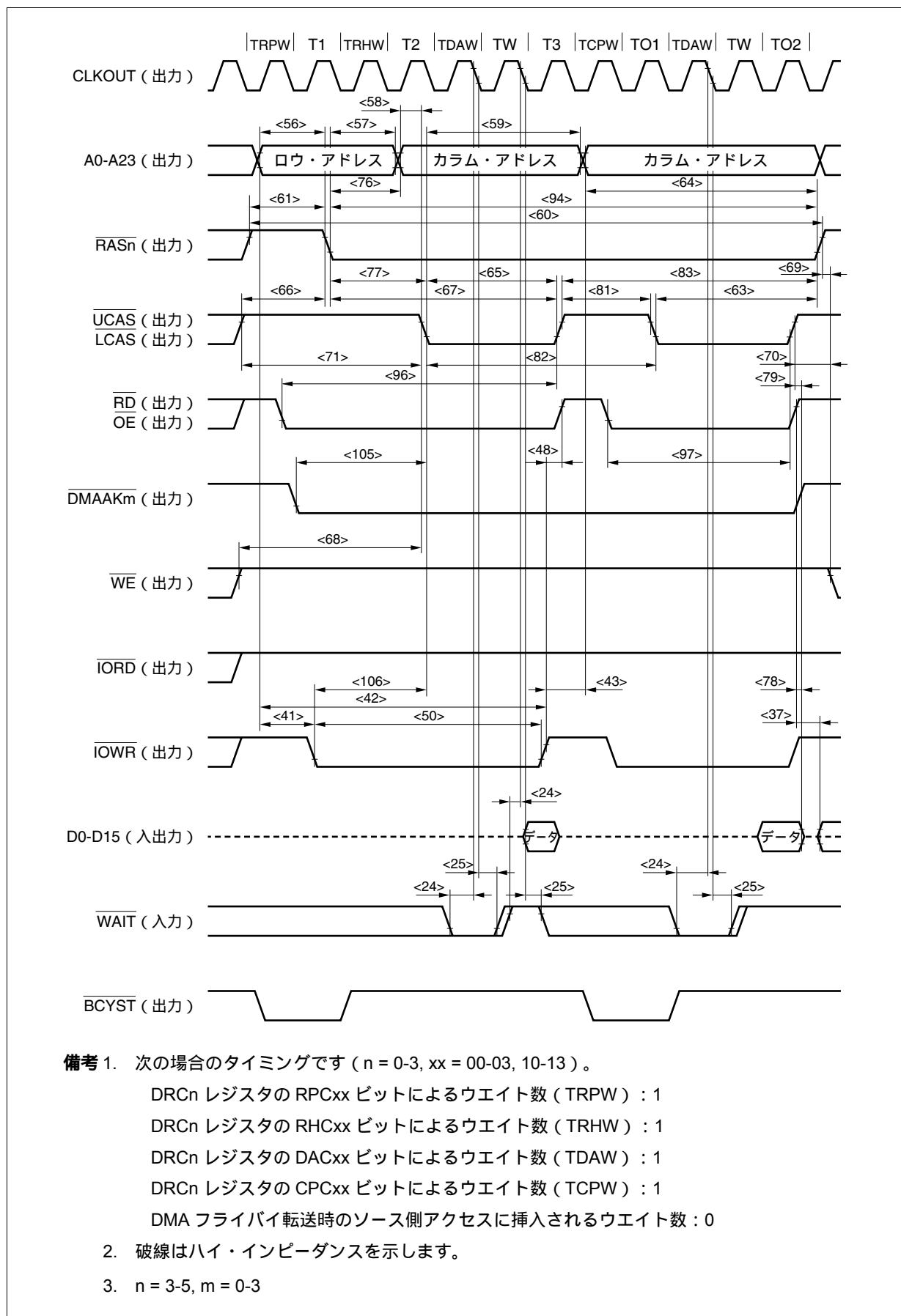
(g) DMA フライバイ転送タイミング (DRAM (EDO, 高速ページ) 外部 I/O 転送) (2/3)

| 項目 | 略号 | 条件 | MIN. | MAX. | 単位 |
|-----------------------------|--------------------------|-----------------------|---|------|----|
| 出力バッファ・ターン・オフ遅延時間 (対OE) | <78> t _{OEZ} | | 0 | | ns |
| 出力バッファ・ターン・オフ遅延時間 (対CAS) | <79> t _{OFF} | | 0 | | ns |
| CASプリチャージ時間 | <81> t _{CP} | | (0.5 + W _{CP}) T - 10 | | ns |
| 高速ページ・モード・サイクル時間 | <82> t _{PC} | | (2 + W _{CP} + W _{DA} + W _F + w) T - 10 | | ns |
| CASプリチャージに対するRAS保持時間 | <83> t _{RHCP} | | (2.5 + W _{CP} + W _{DA} + W _F + w) T - 10 | | ns |
| RASパルス幅 | <94> t _{RASP} | | (2.5 + W _{RH} + W _{DA} + W _F + w) T - 10 | | ns |
| OE CAS保持時間 (対CAS) | オフページ | <96> t _{CH1} | (2.5 + W _{RP} + W _{RH} + W _{DA} + W _F + w) T - 10 | | ns |
| | オンページ | <97> t _{CH2} | (1.5 + W _{CP} + W _{DA} + W _F + w) T - 10 | | ns |
| DMAA _{Km} CAS 遅延時間 | <105> t _{DDACS} | | (1.5 + W _{RH}) T - 10 | | ns |
| IOWR CAS 遅延時間 | <106> t _{DRDCS} | | (1 + W _{RH}) T - 10 | | ns |

備考 1. T = t_{CYK}

2. w : WAITによるウェイト数
3. W_{CP} : DRCn レジスタの CPCxx ビットによるウェイト数 (n = 0-3, xx = 00-03, 10-13)
4. W_{DA} : DRCn レジスタの DACxx ビットによるウェイト数 (n = 0-3, xx = 00-03, 10-13)
5. W_{RH} : DRCn レジスタの RHCxx ビットによるウェイト数 (n = 0-3, xx = 00-03, 10-13)
6. W_{RP} : DRCn レジスタの RPCxx ビットによるウェイト数 (n = 0-3, xx = 00-03, 10-13)
7. W_F : DMA フライバイ転送時のソース側アクセスに挿入されるウェイト数
8. m = 0-3

(g) DMA フライバイ転送タイミング (DRAM (EDO, 高速ページ) 外部 I/O 転送) (3/3)



(h) DMA フライバイ転送タイミング (外部 I/O DRAM (EDO, 高速ページ) 転送) (1/3)

| 項目 | 略号 | 条件 | MIN. | MAX. | 単位 |
|-----------------------|-------|-------------------|---|---|----|
| WAIT設定時間 (対 CLKOUT) | <24> | t _{SWK} | 15 | | ns |
| WAIT保持時間 (対 CLKOUT) | <25> | t _{HKW} | 2 | | ns |
| IORDロウ・レベル幅 | <32> | t _{WRDL} | $(2 + WRH + WDA + WF + W) T - 10$ | | ns |
| IORDハイ・レベル幅 | <33> | t _{WRDH} | $T - 10$ | | ns |
| アドレス IORD 遅延時間 | <34> | t _{DARD} | $0.5T - 10$ | | ns |
| IORD アドレス遅延時間 | <35> | t _{DRDA} | $(0.5 + i) T - 10$ | | ns |
| ロウ・アドレス設定時間 | <56> | t _{ASR} | $(0.5 + WRP) T - 10$ | | ns |
| ロウ・アドレス保持時間 | <57> | t _{RAH} | $(0.5 + WRH) T - 10$ | | ns |
| カラム・アドレス設定時間 | <58> | t _{ASC} | $0.5T - 10$ | | ns |
| カラム・アドレス保持時間 | <59> | t _{CAH} | $(1.5 + WDA + WF) T - 10$ | | ns |
| リード/ライト・サイクル時間 | <60> | t _{RC} | $(3 + WRP + WRH + WDA + WF + W) T - 10$ | | ns |
| RASプリチャージ時間 | <61> | t _{RP} | $(0.5 + WRP) T - 10$ | | ns |
| RAS保持時間 | <63> | t _{RSH} | $(1.5 + WDA + WF) T - 10$ | | ns |
| RASに対するカラム・アドレス・リード時間 | <64> | t _{RAL} | $(2 + WCP + WDA + WF + W) T - 10$ | | ns |
| CASパルス幅 | <65> | t _{CAS} | $(1 + WDA + WF) T - 10$ | | ns |
| CAS-RASプリチャージ時間 | <66> | t _{CRP} | $(1 + WRP) T - 10$ | | ns |
| CAS保持時間 | <67> | t _{CSH} | $(2 + WRH + WDA + WF + W) T - 10$ | | ns |
| CASプリチャージ時間 | <71> | t _{CPN} | $(2 + WRP + WRH + W) T - 10$ | | ns |
| RAS カラム・アドレス遅延時間 | <76> | t _{RAD} | $(0.5 + WRH) T - 10$ | | ns |
| RAS-CAS遅延時間 | <77> | t _{RCD} | $(1 + WRH + W) T - 10$ | | ns |
| CASプリチャージ時間 | <81> | t _{CP} | $(0.5 + WCP + W) T - 10$ | | ns |
| 高速ページ・モード・サイクル時間 | <82> | t _{PC} | $(2 + WCP + WDA + WF + W) T - 10$ | | ns |
| CASプリチャージに対するRAS保持時間 | <83> | t _{RHCP} | $(2.5 + WCP + WDA + W) T - 10$ | | ns |
| WE保持時間 (対CAS) | <85> | t _{WCH} | $(1 + WDA) T - 10$ | | ns |
| WEリード時間 (対RAS) | <88> | t _{RWL} | WCP = 0 $(1.5 + WDA + W) T - 10$ | | ns |
| WEリード時間 (対CAS) | <89> | t _{CWL} | WCP = 0 $(1 + WDA + W) T - 10$ | | ns |
| WEパルス幅 | <92> | t _{WP} | WCP = 0 $(1 + WDA + W) T - 10$ | | ns |
| RASパルス幅 | <94> | t _{RASP} | $(2.5 + WRH + WDA + WF + W) T - 10$ | | ns |
| WE設定時間 (対CAS) | オフページ | <101> | t _{WCS1} | WCP = 0 $(1 + WRH + WRP + W) T - 10$ | ns |
| | オンページ | <102> | t _{WCS2} | WCP = 1 $WCP T - 10$ | ns |

備考 1. T = t_{cyk}

2. w : WAITによるウェイト数
3. WRH : DRCn レジスタの RHCxx ビットによるウェイト数 (n = 0-3, xx = 00-03, 10-13)
4. WDA : DRCn レジスタの DACxx ビットによるウェイト数 (n = 0-3, xx = 00-03, 10-13)
5. WRP : DRCn レジスタの RPCxx ビットによるウェイト数 (n = 0-3, xx = 00-03, 10-13)
6. WCP : DRCn レジスタの CPCxx ビットによるウェイト数 (n = 0-3, xx = 00-03, 10-13)
7. WF : DMA フライバイ転送時のソース側アクセスに挿入されるウェイト数
8. i : リード・サイクル後にライト・サイクルが続くときに挿入されるアイドル・ステート数

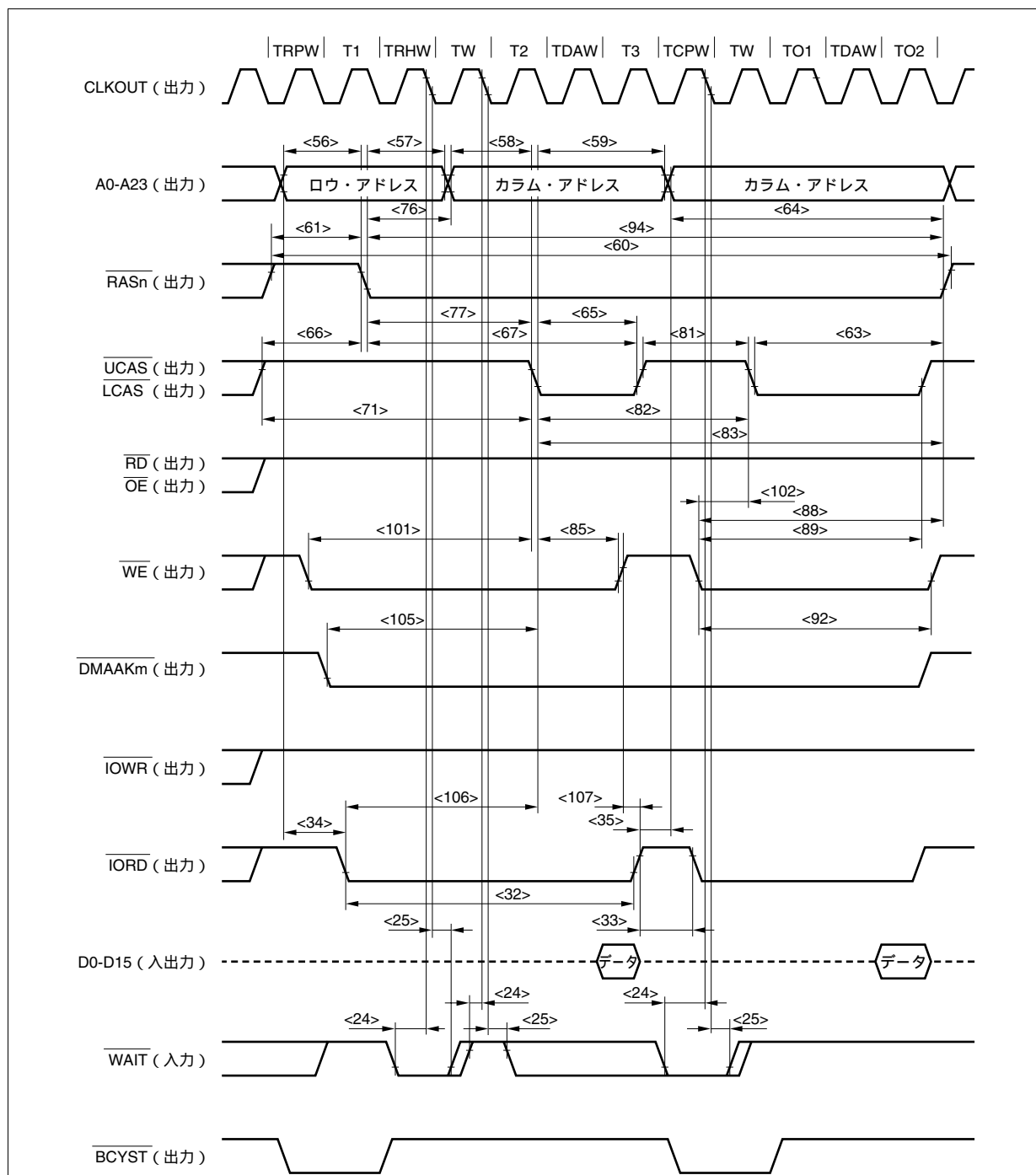
(h) DMA フライバイ転送タイミング (外部 I/O DRAM (EDO, 高速ページ) 転送) (2/3)

| 項 目 | 略 号 | 条 件 | MIN. | MAX. | 単 位 |
|--------------------------|--------------------------|--------------------|------------------------------------|------|-----|
| DMAAK \bar{m} CAS 遅延時間 | <105> t _{DDACS} | | (1.5 + W _{RH} + w) T - 10 | | ns |
| IORD CAS 遅延時間 | <106> t _{DRDCS} | | (1 + W _{RH} + w) T - 10 | | ns |
| WE IORD 遅延時間 | <107> t _{DWERD} | W _F = 0 | 0 | | ns |
| | | W _F = 1 | T - 10 | | ns |

備考 1. T = t_{CYK}

2. w : WAITによるウェイト数
3. W_{RH} : DRCh レジスタの RHCxx ビットによるウェイト数 (n = 0-3, xx = 00-03, 10-13)
4. W_F : DMA フライバイ転送時のソース側アクセスに挿入されるウェイト数
5. m = 0-3

(h) DMA フライバイ転送タイミング (外部 I/O DRAM (EDO, 高速ページ) 転送) (3/3)



備考 1. 次の場合のタイミングです (n = 0-3, xx = 00-03, 10-13)。

DRCn レジスタの RPCxx ビットによるウェイト数 (TRPW) : 1

DRCn レジスタの RHCxx ビットによるウェイト数 (TRHW) : 1

DRCn レジスタの DACxx ビットによるウェイト数 (TDAW) : 1

DRCn レジスタの CPCxx ビットによるウェイト数 (TCPW) : 1

DMA フライバイ転送時のソース側アクセスに挿入されるウェイト数 : 0

2. 破線はハイ・インピーダンスを示します。

3. n = 3-5, m = 0-3

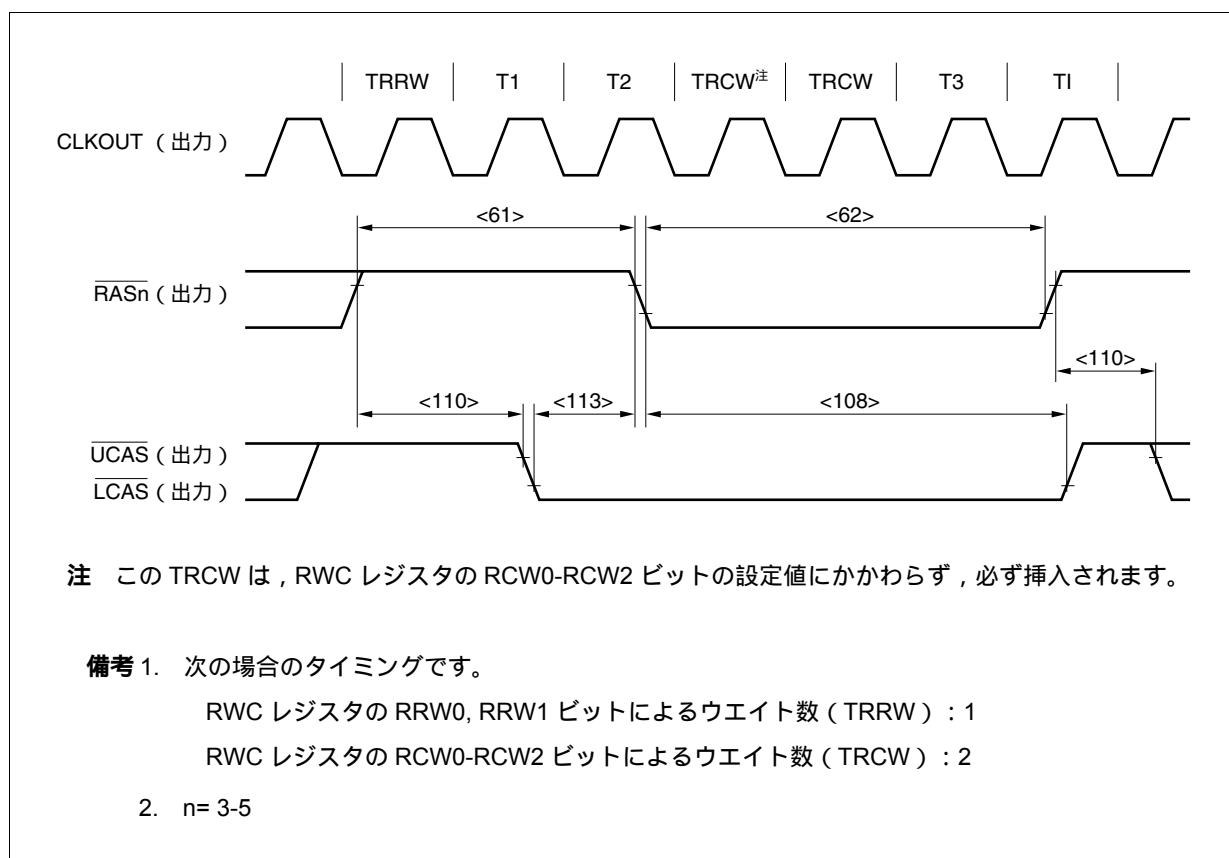
(i) CBR リフレッシュ・タイミング

| 項目 | 略号 | 条件 | MIN. | MAX. | 単位 |
|------------------|------------------------|----|---|------|----|
| RASプリチャージ時間 | <61> t _{RP} | | (1.5 + W _{RRW}) T - 10 | | ns |
| RASパルス幅 | <62> t _{RAS} | | (1.5 + W _{RCW} ^注) T - 10 | | ns |
| CAS保持時間 | <108> t _{CHR} | | (1.5 + W _{RCW} ^注) T - 10 | | ns |
| RASプリチャージCAS保持時間 | <110> t _{RPC} | | (0.5 + W _{RRW}) T - 10 | | ns |
| CAS設定時間 | <113> t _{CSR} | | T - 10 | | ns |

注 W_{RCW} は、RWCレジスタのRCW0-RCW2ビットの設定にかかわらず、デフォルトで最低1クロック挿入されます。

備考 1. T = t_{cyk}

- 2. W_{RRW} : RWCレジスタのRRW0, RRW1ビットによるウエイト数
- 3. W_{RCW} : RWCレジスタのRCW0-RCW2ビットによるウエイト数



注 このTRCWは、RWCレジスタのRCW0-RCW2ビットの設定値にかかわらず、必ず挿入されます。

備考 1. 次の場合のタイミングです。

- RWCレジスタのRRW0, RRW1ビットによるウエイト数 (TRRW) : 1
- RWCレジスタのRCW0-RCW2ビットによるウエイト数 (TRCW) : 2

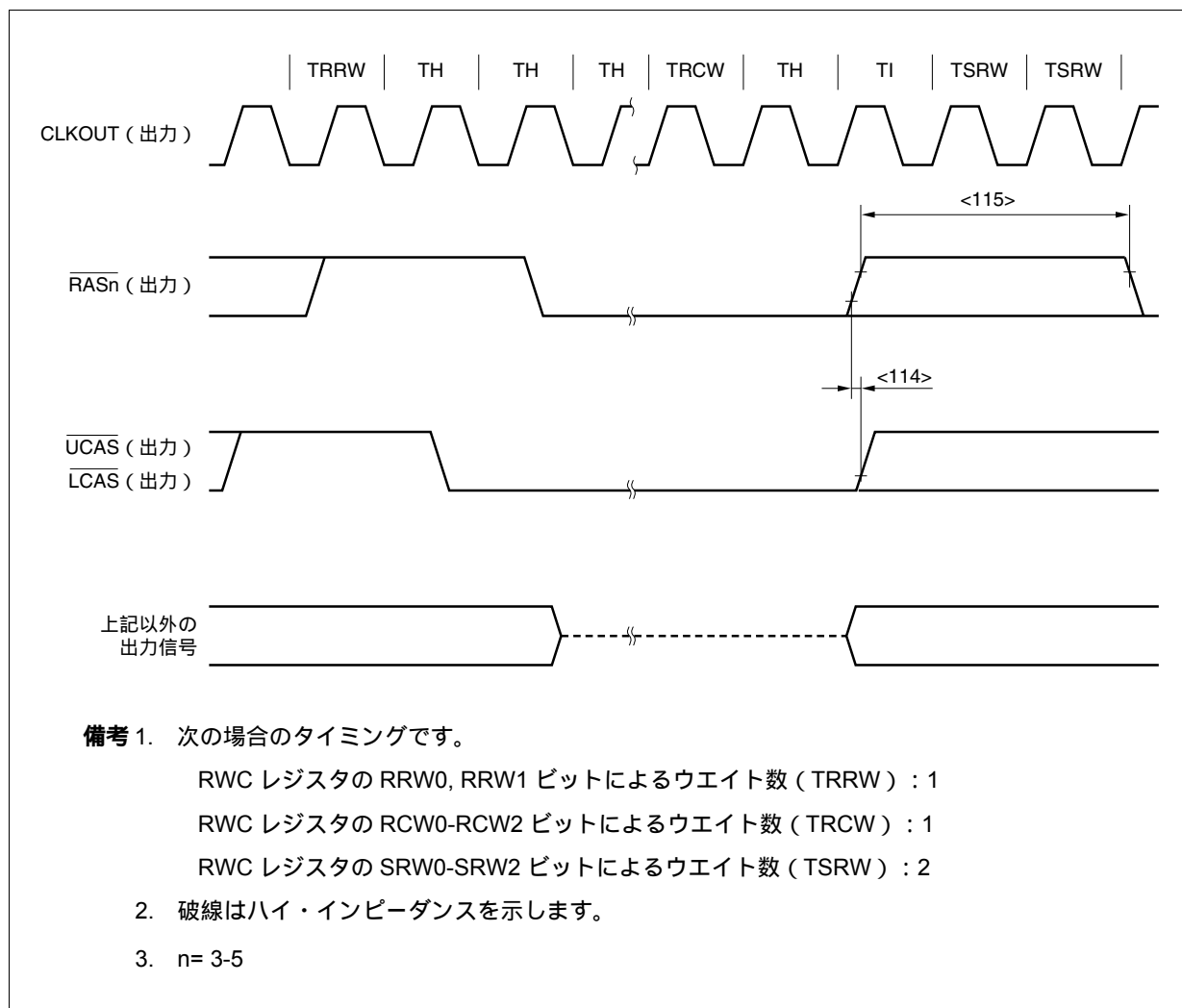
2. n = 3-5

(j) CBR セルフ・リフレッシュ・タイミング

| 項目 | 略号 | 条件 | MIN. | MAX. | 単位 |
|-------------|------------------------|----|----------------------------------|------|----|
| CAS保持時間 | <114> t _{CHS} | | - 5 | | ns |
| RASプリチャージ時間 | <115> t _{RPS} | | (1 + 2w _{SRW}) T - 10 | | ns |

備考 1. T = t_{cyk}

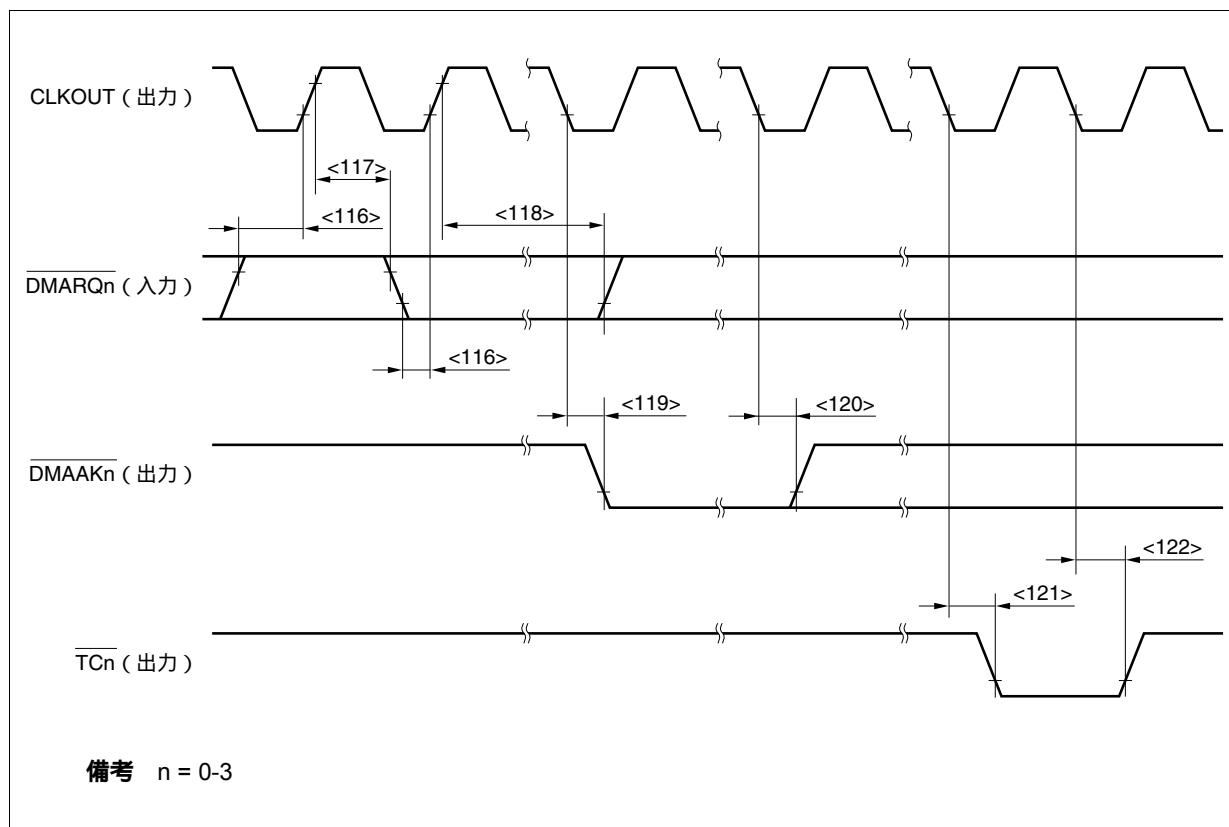
2. w_{SRW} : RWCレジスタのSRW0-SRW2ビットによるウエイト数



(7) DMAC タイミング

| 項目 | 略号 | 条件 | MIN. | MAX. | 単位 |
|-----------------------------|-------------------|----|-----------|------|----|
| DMARQn設定時間 (対 CLKOUT) | <116> t_{SDRK} | | 15 | | ns |
| DMARQn保持時間 (対 CLKOUT) | <117> t_{HKDR1} | | 2 | | ns |
| | <118> t_{HKDR2} | | DMAAKn まで | | ns |
| DMAAKn出力遅延時間 (対 CLKOUT) | <119> t_{DKDA} | | 2 | 10 | ns |
| DMAAKn出力保持時間 (対 CLKOUT) | <120> t_{HKDA} | | 2 | 10 | ns |
| TCn出力遅延時間 (対 CLKOUT) | <121> t_{DKTC} | | 2 | 10 | ns |
| TCn出力保持時間 (対 CLKOUT) | <122> t_{HKTC} | | 2 | 10 | ns |

備考 n = 0-3



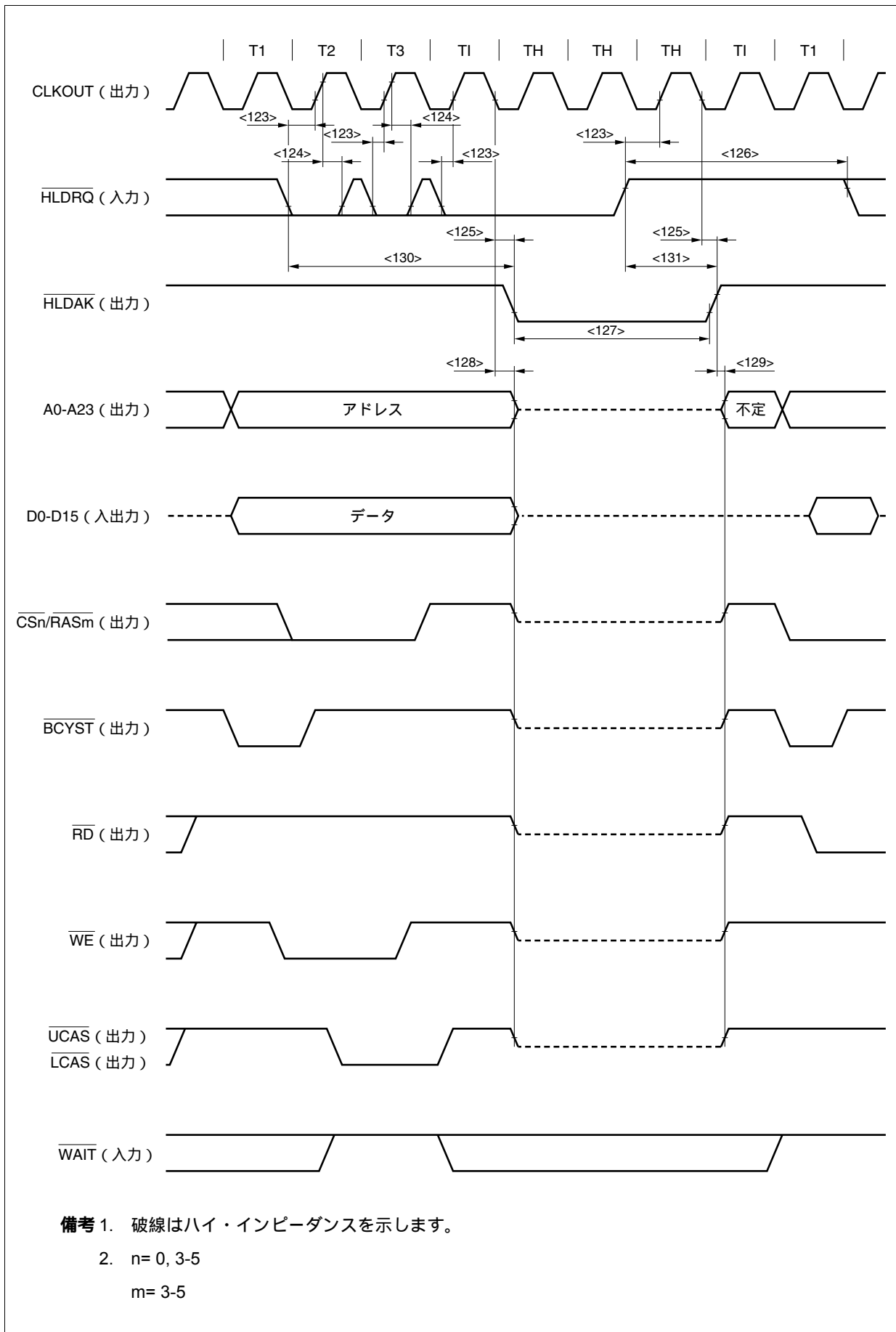
〔メモ〕

(8) バス・ホールド・タイミング (1/2)

| 項 目 | 略 号 | 条 件 | MIN. | MAX. | 単 位 |
|--|---------------------------|-----|--------|------|-----|
| HLD \overline{RQ} 設定時間 (対 CLKOUT) | <123> t _{SHRK} | | 15 | | ns |
| HLD \overline{RQ} 保持時間 (対 CLKOUT) | <124> t _{HKHR} | | 2 | | ns |
| CLKOUT HLD \overline{AK} 遅延時間 | <125> t _{DKHA} | | 2 | 10 | ns |
| HLD \overline{RQ} ハイ・レベル幅 | <126> t _{WHQH} | | T + 17 | | ns |
| HLD \overline{AK} ロウ・レベル幅 | <127> t _{WHAL} | | T - 8 | | ns |
| CLKOUT バス・フロート遅延時間 | <128> t _{DKCF} | | | 10 | ns |
| HLD \overline{AK} バス出力遅延時間 | <129> t _{DHAC} | | 0 | | ns |
| HLD \overline{RQ} HLD \overline{AK} 遅延時間 | <130> t _{DHQHA1} | | 2.5T | | ns |
| HLD \overline{RQ} HLD \overline{AK} 遅延時間 | <131> t _{DHQHA2} | | 0.5T | 1.5T | ns |

備考 T = t_{cyk}

(8) バス・ホールド・タイミング (2/2)

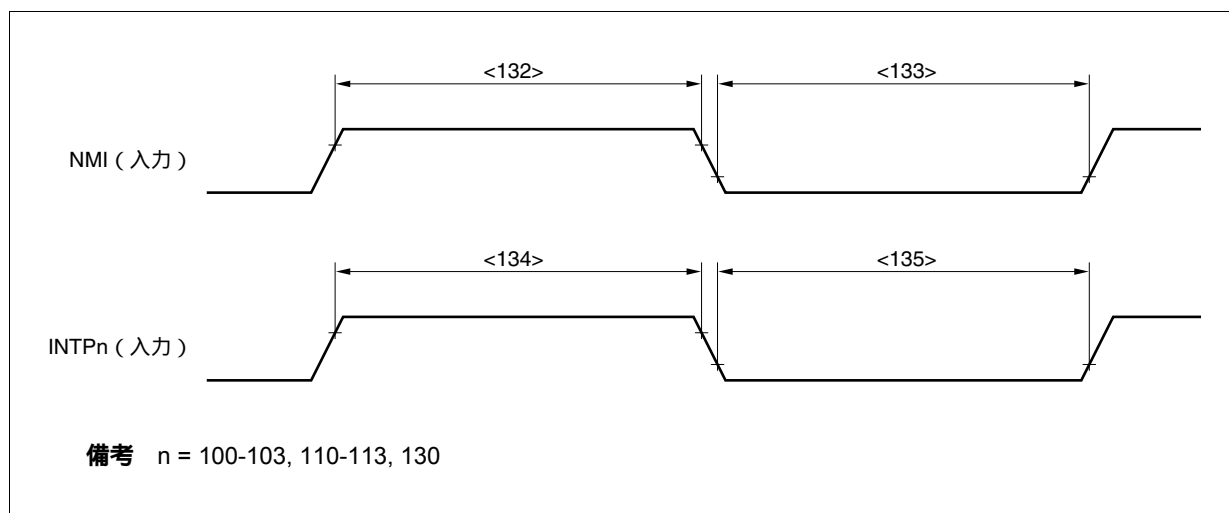


(9) 割り込みタイミング

| 項目 | 略号 | 条件 | MIN. | MAX. | 単位 |
|---------------|------------------|----|-----------|------|----|
| NMI ハイ・レベル幅 | <132> t_{WNIH} | | 500 | | ns |
| NMI ロウ・レベル幅 | <133> t_{WNIL} | | 500 | | ns |
| INTPn ハイ・レベル幅 | <134> t_{WITH} | | $4T + 10$ | | ns |
| INTPn ロウ・レベル幅 | <135> t_{WITL} | | $4T + 10$ | | ns |

備考 1. $n = 100-103, 110-113, 130$

2. $T = t_{CYK}$

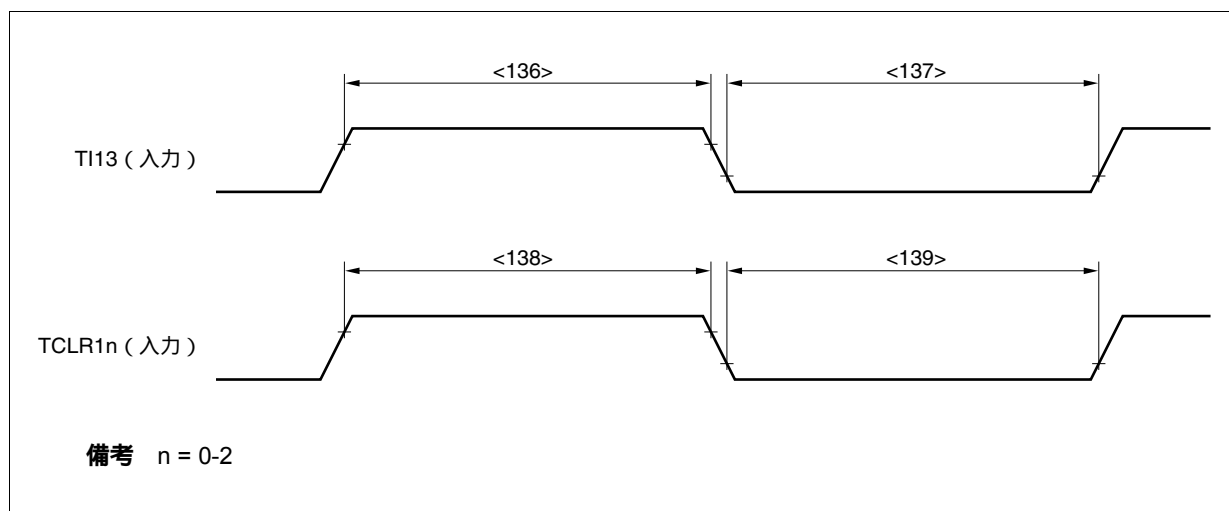


(10) RPU タイミング

| 項目 | 略号 | 条件 | MIN. | MAX. | 単位 |
|----------------|------------------|----|-----------|------|----|
| TI13 ハイ・レベル幅 | <136> t_{WTIH} | | $3T + 18$ | | ns |
| TI13 ロウ・レベル幅 | <137> t_{WTIL} | | $3T + 18$ | | ns |
| TCLR1n ハイ・レベル幅 | <138> t_{WTCH} | | $3T + 18$ | | ns |
| TCLR1n ロウ・レベル幅 | <139> t_{WTCL} | | $3T + 18$ | | ns |

備考 1. $n = 0-2$

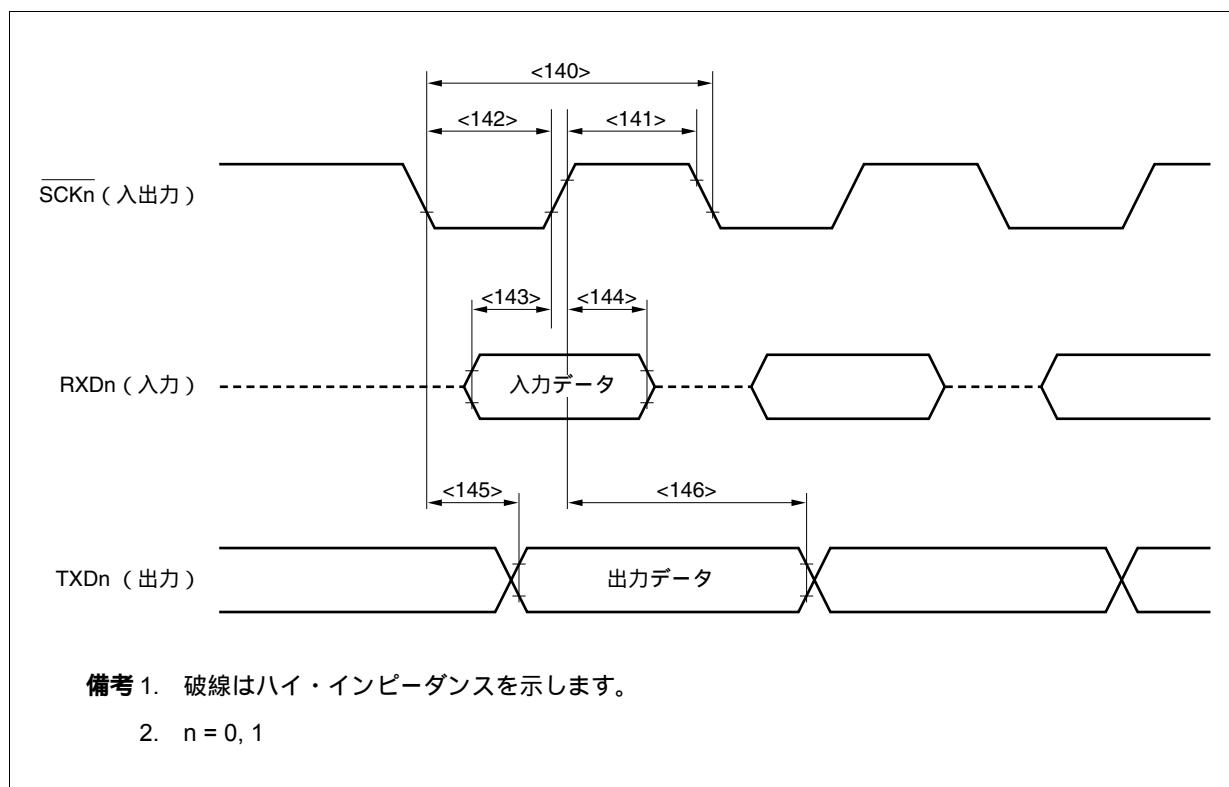
2. $T = t_{CYK}$



(11) UART0, UART1 タイミング (クロック同期, マスタ・モードのみ)

| 項目 | 略号 | 条件 | MIN. | MAX. | 単位 |
|----------------------|-------------------|----|---------------------|------|----|
| SCKn周期 | <140> t_{CYSK0} | 出力 | 250 | | ns |
| SCKnハイ・レベル幅 | <141> t_{WSK0H} | 出力 | $0.5t_{CYSK0} - 20$ | | ns |
| SCKnロウ・レベル幅 | <142> t_{WSK0L} | 出力 | $0.5t_{CYSK0} - 20$ | | ns |
| RXDn 設定時間 (対SCKn) | <143> t_{SRXSK} | | 30 | | ns |
| RXDn 保持時間 (対SCKn) | <144> t_{HSKRX} | | 0 | | ns |
| TXDn 出力遅延時間 (対SCKn) | <145> t_{DSKTX} | | | 20 | ns |
| TXDn 出力保持時間 (対SCKn) | <146> t_{HSKTX} | | $0.5t_{CYSK0} - 5$ | | ns |

備考 n = 0, 1



(12) CSI0, CSI1 タイミング

(a) マスタ・モード

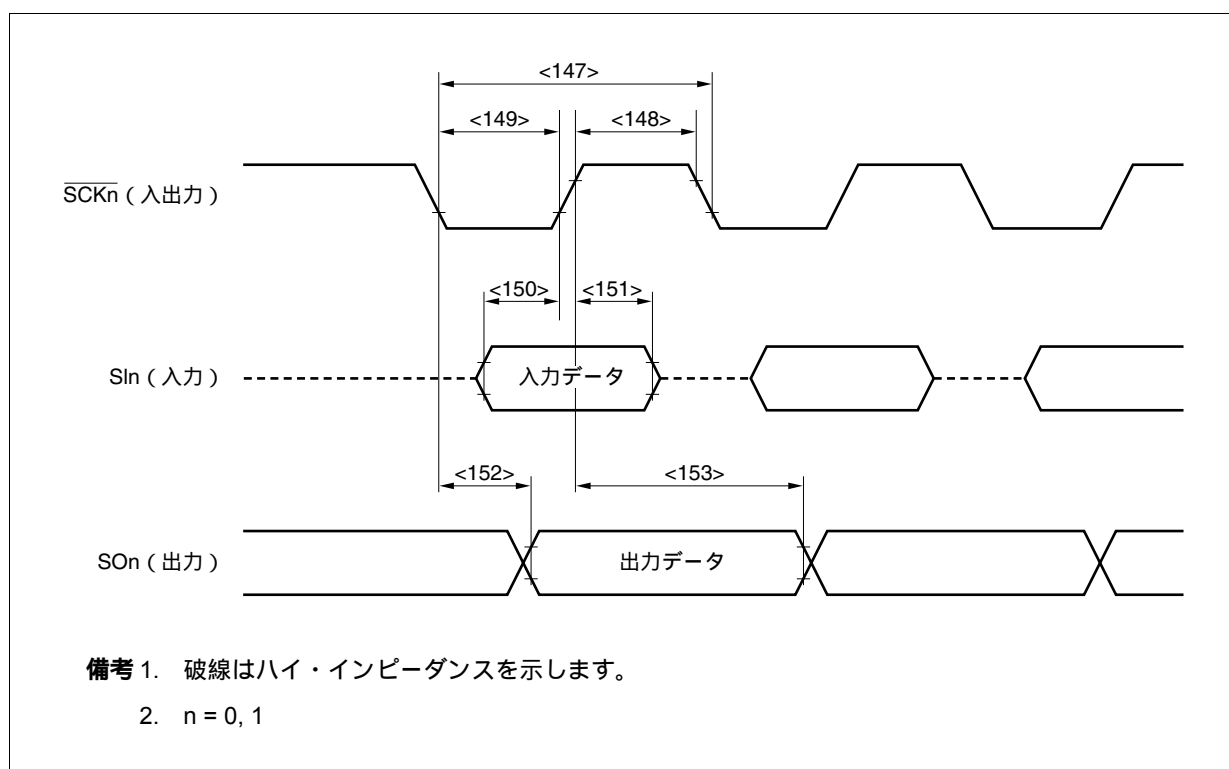
| 項目 | 略号 | 条件 | MIN. | MAX. | 単位 |
|---------------------|-------------------|----|---------------------|------|----|
| SCKn周期 | <147> t_{CYSK1} | 出力 | 100 | | ns |
| SCKnハイ・レベル幅 | <148> t_{WSK1H} | 出力 | $0.5t_{CYSK1} - 20$ | | ns |
| SCKnロウ・レベル幅 | <149> t_{WSK1L} | 出力 | $0.5t_{CYSK1} - 20$ | | ns |
| SIn 設定時間 (対SCKn) | <150> t_{SSISK} | | 30 | | ns |
| SIn 保持時間 (対SCKn) | <151> t_{HSKSI} | | 0 | | ns |
| SOn 出力遅延時間 (対SCKn) | <152> t_{DSKSO} | | | 20 | ns |
| SOn 出力保持時間 (対SCKn) | <153> t_{HSKSO} | | $0.5t_{CYSK1} - 5$ | | ns |

備考 n = 0, 1

(b) スレーブ・モード

| 項目 | 略号 | 条件 | MIN. | MAX. | 単位 |
|---------------------|-------------------|----|-------------|------|----|
| SCKn周期 | <147> t_{CYSK1} | 入力 | 100 | | ns |
| SCKnハイ・レベル幅 | <148> t_{WSK1H} | 入力 | 30 | | ns |
| SCKnロウ・レベル幅 | <149> t_{WSK1L} | 入力 | 30 | | ns |
| SIn 設定時間 (対SCKn) | <150> t_{SSISK} | | 10 | | ns |
| SIn 保持時間 (対SCKn) | <151> t_{HSKSI} | | 10 | | ns |
| SOn 出力遅延時間 (対SCKn) | <152> t_{DSKSO} | | | 30 | ns |
| SOn 出力保持時間 (対SCKn) | <153> t_{HSKSO} | | t_{WSK1H} | | ns |

備考 n = 0, 1



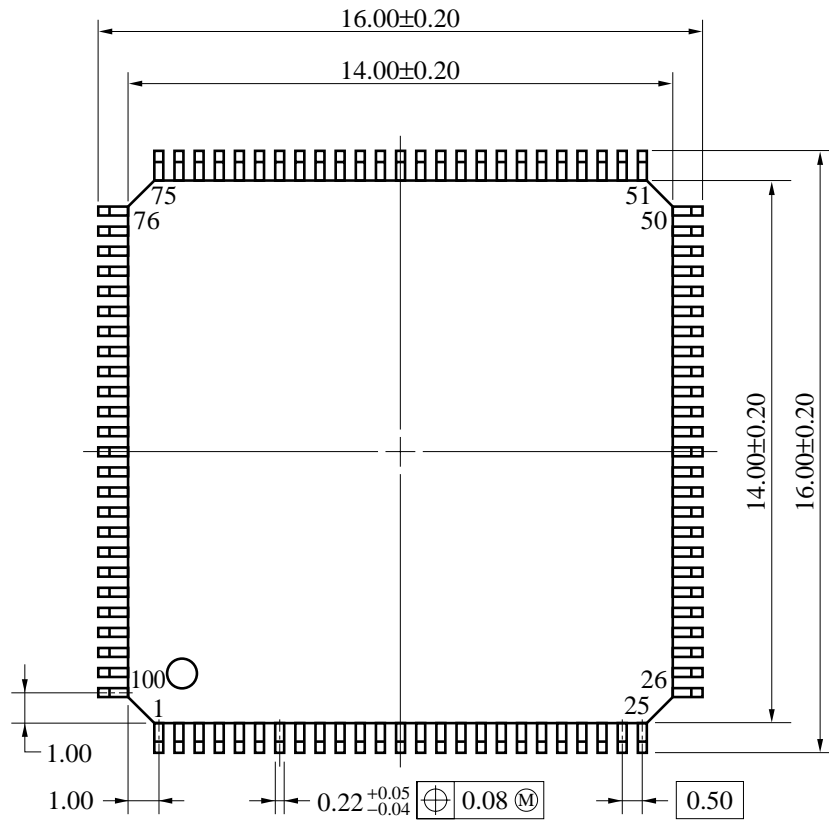
A/D コンバータ特性 (TA = -40 ~ +85 , VDD = CVDD = 3.0 ~ 3.6 V, HVDD = 5.0 V ± 10 %, VSS = 0 V,
 HVDD - 0.5 V AVDD HVDD, 出力端子の負荷容量 : CL = 50 pF)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|------------|-------|--------------|---------------------------|------|-------------|-----|
| 分解能 | - | | 10 | | | bit |
| 総合誤差 | - | | | | ± 4 | LSB |
| 量子化誤差 | - | | | | ± 1/2 | LSB |
| 変換時間 | tCONV | | 5 | | 10 | μs |
| サンプリング時間 | tSAMP | | 変換クロック ^注 /6 | | | ns |
| ゼロスケール誤差 | - | | | | ± 4 | LSB |
| スケール誤差 | - | | | | ± 4 | LSB |
| 直線性誤差 | - | | | | ± 3 | LSB |
| アナログ入力電圧 | VIAN | | - 0.3 | | AVREF + 0.3 | V |
| アナログ入力抵抗 | RAN | | | 2 | | MΩ |
| AVREF 入力電圧 | AVREF | AVREF = AVDD | 4.5 | | 5.5 | V |
| AVREF 入力電流 | AIREF | | | | 2.0 | mA |
| AVDD 電流 | AIDD | | | | 6 | mA |

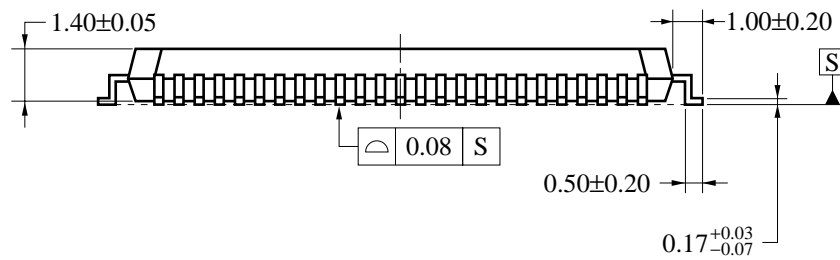
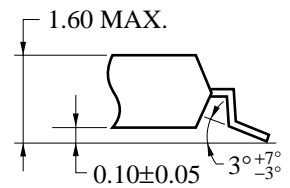
注 変換クロックは、ADM1 レジスタで設定したクロック数です。

4. 外形図

100ピン・プラスチック LQFP (ファインピッチ)(14x14) 外形図 (単位 : mm)



端子先端形状詳細図



S100GC-50-8EU, 8EA-2

★ 5. 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」 (<http://www.necel.com/pkg/ja/jissou/index.html>)

表5 - 1 表面実装タイプの半田付け条件

(1) μ PD703130GC-8EU : 100 ピン・プラスチック LQFP (ファインピッチ) (14 × 14)

| 半田付け方式 | 半田付け条件 | 推奨条件記号 |
|--------|---|------------|
| 赤外線リフロ | パッケージ・ピーク温度：235 ，時間：30秒以内 (210 以上)，回数：2回以内， 制限日数：7日間 ^注 (以降は125 プリバーク10～72時間必要) 留意事項 耐熱トレイ以外 (マガジン，テーピング，非耐熱トレイ) は，包装状態でのベーキング ができません。 | IR35-107-2 |
| VPS | パッケージ・ピーク温度：215 ，時間：25～40秒 (200 以上)，回数：2回以内， 制限日数：7日間 ^注 (以降は125 プリバーク10～72時間必要) 留意事項 耐熱トレイ以外 (マガジン，テーピング，非耐熱トレイ) は，包装状態でのベーキング ができません。 | VP15-107-2 |
| 端子部分加熱 | 端子温度：350 以下，時間：3秒以内 (デバイスの一辺当たり) | - |

注 ドライパック開封後の保管日数で，保管条件は 25 ，65 %RH 以下。

注意 半田付け方式の併用はお避けください (ただし，端子部分加熱は除く)。

備考 推奨条件以外の半田付け方式および半田付け条件については，当社販売員にお問い合わせください。

(2) μ PD703130GC-8EU-A : 100 ピン・プラスチック LQFP (ファインピッチ) (14 × 14)

| 半田付け方式 | 半田付け条件 | 推奨条件記号 |
|------------------|---|------------|
| 赤外線リフロ | パッケージ・ピーク温度：260 ，時間：60秒以内 (220 以上)，回数：3回以内 制限日数：7日間 ^注 (以降は125 プリバーク20～72時間必要) 留意事項 耐熱トレイ以外 (マガジン，テーピング，非耐熱トレイ) は，包装状態でのベーキング ができません。 | IR60-207-3 |
| ウエーブ・ソルダー リング | 詳細については，当社販売員にお問い合わせください。 | - |
| 端子部分加熱 | 端子温度：350 以下，時間：3秒以内 (デバイスの一辺当たり) | - |

注 ドライパック開封後の保管日数で，保管条件は 25 ，65 %RH 以下。

注意 半田付け方式の併用はお避けください (ただし，端子部分加熱は除く)。

備考 1. オーダ名称末尾「-A」の製品は，鉛フリー製品です。

2. 推奨条件以外の半田付け方式および半田付け条件については，当社販売員にお問い合わせください。

〔メモ〕

CMOSデバイスの一般的注意事項

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力がノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

参考資料 電気的特性の考え方 マイコン編 (U15170J)

関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。

あらかじめご了承ください。

- 本資料に記載されている内容は2005年7月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命、身体および財産に対する損害の危険を最小限度にするために、冗長設計、延焼対策設計、誤動作防止設計等安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

- (1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- (2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

M8E 02.11

【発行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話(代表)：044(435)5111

お問い合わせ先

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

【営業関係、技術関係お問い合わせ先】

半導体ホットライン

(電話：午前 9:00～12:00、午後 1:00～5:00)

電話：044-435-9494

E-mail：info@necel.com

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか、NECエレクトロニクスの販売特約店へお申し付けください。