

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

μ PD703003A, 703004A, 703025A, 703003A(A), 703025A(A)

V853

32ビット・シングルチップ・マイクロコンピュータ

μ PD703003A, 703004A, 703025A, 703003A(A), 703025A(A)は、リアルタイム制御向け32ビット・シングルチップ・マイクロコンピュータV850シリーズの製品です。32ビットCPU, ROM, RAM, 割り込みコントローラ, リアルタイム・パルス・ユニット, シリアル・インタフェース, A/Dコンバータ, D/Aコンバータ, PWMなどを1チップに集積しています。

詳しい機能説明などは次のマニュアルに記載しております。設計の際には必ずお読みください。

V853 ユーザーズ・マニュアル ハードウェア編 : U10913J

V850シリーズ ユーザーズ・マニュアル アーキテクチャ編 : U10243J

特 徴

命令数 74	高機能割り込みコントローラ内蔵
最小命令実行時間 30 ns (33 MHz動作時)	制御に適したリアルタイム・パルス・ユニット
汎用レジスタ 32ビット×32本	強力なシリアル・インタフェース(専用ポーレート・ジェネレータ内蔵)
制御用途に適した命令セット	クロック・ジェネレータ内蔵
内蔵メモリ ROM : 256 Kバイト (μ PD703025A, 703025A(A))	10ビット分解能A/Dコンバータ : 8チャンネル
128 Kバイト (μ PD703003A, 703003A(A))	8ビット分解能D/Aコンバータ : 2チャンネル
96 Kバイト (μ PD703004A)	8/9/10/12ビット分解能PWM : 2チャンネル
RAM : 8 Kバイト (μ PD703025A, 703025A(A))	パワー・セーブ機能
4 Kバイト (μ PD703003A, 703004A, 703003A(A))	

★ オータ情報

オーダ名称	パッケージ	品質水準
μ PD703003AGC-33-xxx-8EU	100ピン・プラスチックLQFP (ファインピッチ) (14×14)	標準(一般電子機器用)
μ PD703003AGC-33-xxx-8EU-A	"	"
μ PD703004AGC-33-xxx-8EU	"	"
μ PD703025AGC-33-xxx-8EU	"	"
μ PD703025AGC-33-xxx-8EU-A	"	"
μ PD703003AGC(A)-33-xxx-8EU	"	特別(高信頼度電子機器用)
μ PD703025AGC(A)-33-xxx-8EU	"	"

備考1 .xxxはROMコード番号です。

2 .オーダ名称末尾「-A」の製品は、鉛フリー製品です。

μ PD703003A, 703025Aとμ PD703003A(A), 703025A(A)では、品質水準以外の相違はありません。

品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」(資料番号 C11531J)をご覧ください。

本資料の内容は、予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。

応用分野

μ PD703003A, 703004A, 703025A : ビデオ・カメラ, VTR, PPC, LBP, プリンタ, モータ制御, NC工作機, 携帯電話など

μ PD703003A(A), 703025A(A) : 医療機器, 車載など

★ 端子接続図

・ 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

μ PD703003AGC-33-xxx-8EU

μ PD703025AGC-33-xxx-8EU

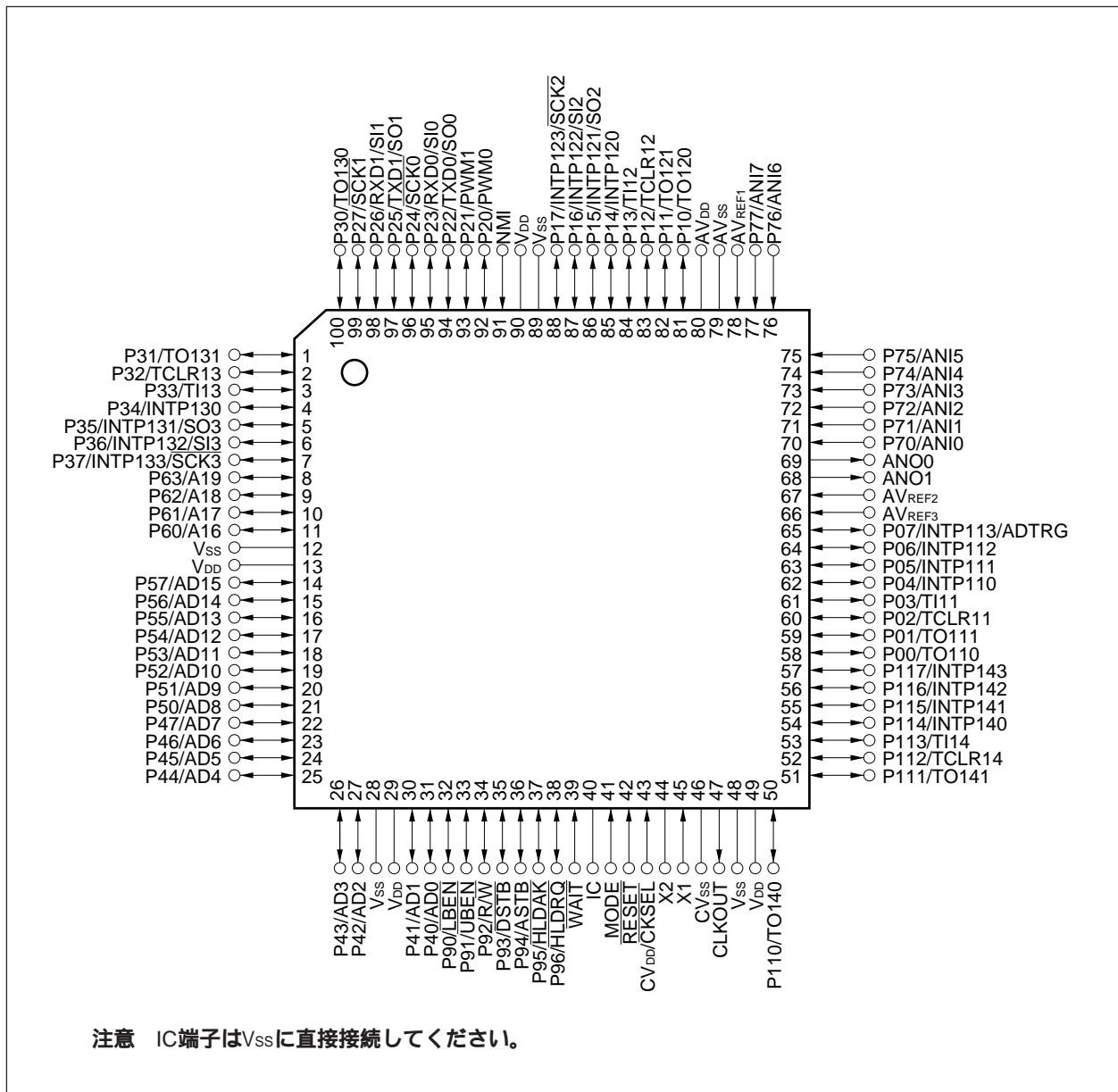
μ PD703025AGC(A)-33-xxx-8EU

μ PD703003AGC-33-xxx-8EU-A

μ PD703025AGC-33-xxx-8EU-A

μ PD703004AGC-33-xxx-8EU

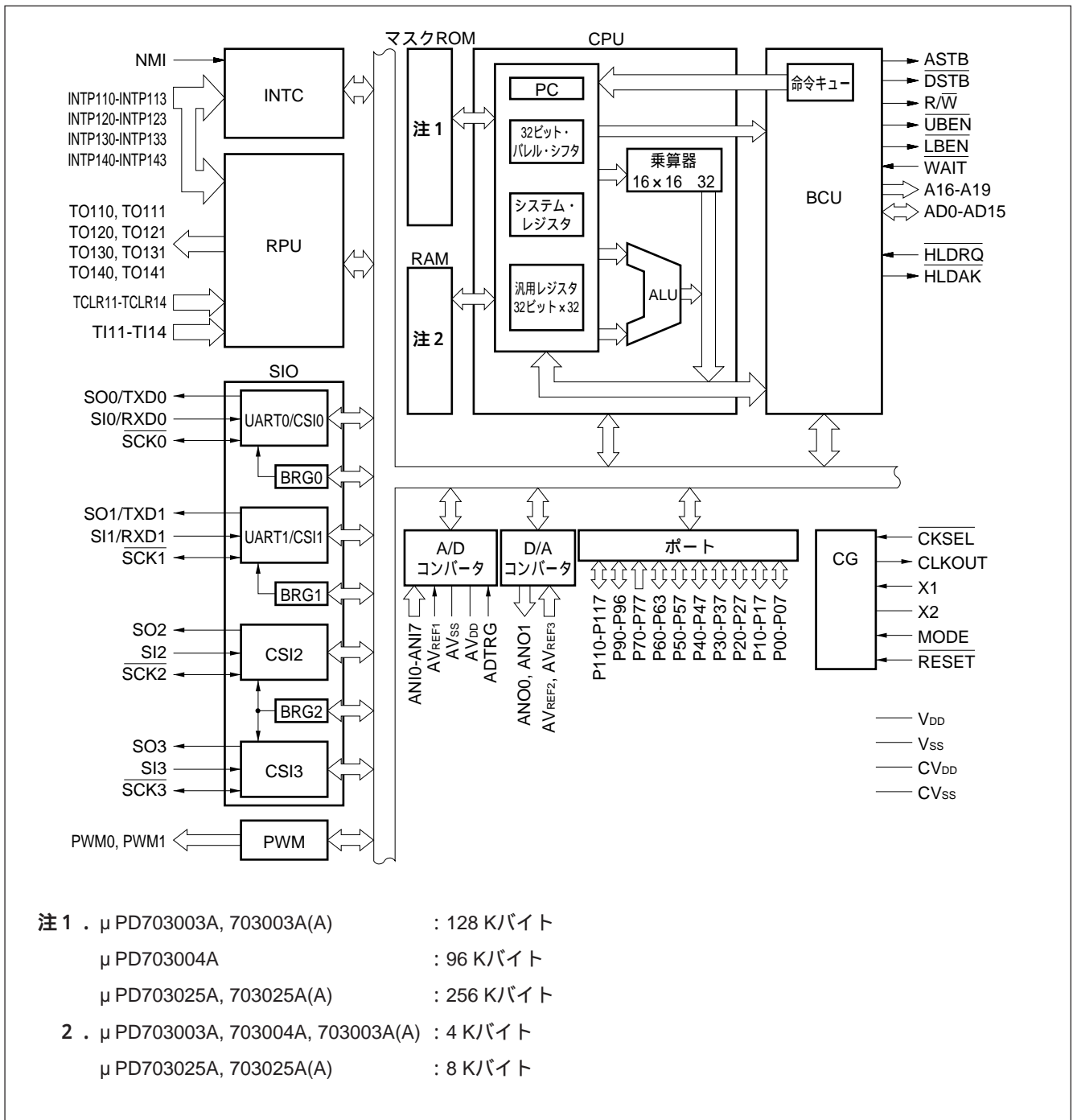
μ PD703003AGC(A)-33-xxx-8EU



## 端子名称

A16-A19	: Address Bus	P30-P37	: Port 3
AD0-AD15	: Address/Data Bus	P40-P47	: Port 4
ADTRG	: A/D Trigger Input	P50-P57	: Port 5
ANI0-ANI7	: Analog Input	P60-P63	: Port 6
ANO0, ANO1	: Analog Output	P70-P77	: Port 7
ASTB	: Address Strobe	P90-P96	: Port 9
AV <sub>DD</sub>	: Analog Power Supply	P110-P117	: Port 11
AV <sub>REF1</sub> -AV <sub>REF3</sub>	: Analog Reference Voltage	PWM0, PWM1	: Pulse Width Modulation
AV <sub>SS</sub>	: Analog Ground	$\overline{\text{RESET}}$	: Reset
CV <sub>DD</sub>	: Power Supply for Clock Generator	$\overline{\text{R/W}}$	: Read/Write Status
CV <sub>SS</sub>	: Ground for Clock Generator	RXD0, RXD1	: Receive Data
$\overline{\text{CKSEL}}$	: Clock Select	$\overline{\text{SCK0-SCK3}}$	: Serial Clock
CLKOUT	: Clock Output	SI0-SI3	: Serial Input
$\overline{\text{DSTB}}$	: Data Strobe	SO0-SO3	: Serial Output
$\overline{\text{HLDAK}}$	: Hold Acknowledge	TO110, TO111,	: Timer Output
$\overline{\text{HLDRQ}}$	: Hold Request	TO120, TO121,	
IC	: Internally Connected	TO130, TO131,	
INTP110-INTP113,	: Interrupt Request from Peripherals	TO140, TO141	
INTP120-INTP123,		TCLR11-TCLR14	: Timer Clear
INTP130-INTP133,		TI11-TI14	: Timer Input
INTP140-INTP143		TXD0, TXD1	: Transmit Data
$\overline{\text{LBEN}}$	: Lower Byte Enable	$\overline{\text{UBEN}}$	: Upper Byte Enable
MODE	: Mode	$\overline{\text{WAIT}}$	: Wait
NMI	: Non-maskable Interrupt Request	X1, X2	: Crystal
P00-P07	: Port 0	V <sub>DD</sub>	: Power Supply
P10-P17	: Port 1	V <sub>SS</sub>	: Ground
P20-P27	: Port 2		

内部ブロック図



## 目 次

1 . 各製品の違い	...	6
2 . 端子機能一覧	...	7
2.1 ポート端子	...	7
2.2 ポート以外の端子	...	9
2.3 端子の入出力回路と未使用時の処理	...	11
3 . 電気的特性	...	14
4 . 外形図	...	35
5 . 半田付け推奨条件	...	36
★ 付録 ターゲット・システム設計上の注意	...	38

1. 各製品の違い

項 目	μ PD703003A	μ PD703004A	μ PD703025A	μ PD703003A(A)	μ PD703025A(A)	μ PD70F3003A	μ PD70F3025A	μ PD70F3003A(A)
内蔵ROM	マスクROM					フラッシュ・メモリ		
	128 Kバイト	96 Kバイト	256 Kバイト	128 Kバイト	256 Kバイト	128 Kバイト	256 Kバイト	128 Kバイト
内蔵RAM	4 Kバイト		8 Kバイト	4 Kバイト	8 Kバイト	4 Kバイト	8 Kバイト	4 Kバイト
フラッシュ・メモリ・ プログラミング・モード	なし					あり		
V <sub>PP</sub> 端子	なし					あり		
品質水準	標準			特別		標準		特別
電気的特性	消費電流などが異なります (各製品のデータ・シートを参照してください)。							
その他	回路の規模やマスク・レイアウトが異なるため、ノイズ耐量、ノイズ輻射などが異なります。							

**注意** フラッシュ・メモリ製品とマスクROM製品では、ノイズ耐量やノイズ輻射が異なります。試作から量産の過程でフラッシュ・メモリ製品からマスクROM製品への置き換えを検討される場合は、マスクROM製品のCS製品 (ES製品ではなく) で十分に評価してください。



2. 端子機能一覧

2.1 ポート端子

(1/2)

端子名称	入出力	機 能	兼用端子
P00	入出力	ポート 0 8 ビット入出力ポート 1 ビット単位で入力 / 出力の指定が可能	TO110
P01			TO111
P02			TCLR11
P03			TI11
P04			INTP110
P05			INTP111
P06			INTP112
P07			INTP113/ADTRG
P10	入出力	ポート 1 8 ビット入出力ポート 1 ビット単位で入力 / 出力の指定が可能	TO120
P11			TO121
P12			TCLR12
P13			TI12
P14			INTP120
P15			INTP121/SO2
P16			INTP122/SI2
P17			INTP123/SCK2
P20	入出力	ポート 2 8 ビット入出力ポート 1 ビット単位で入力 / 出力の指定が可能	PWM0
P21			PWM1
P22			TXD0/SO0
P23			RXD0/SI0
P24			SCK0
P25			TXD1/SO1
P26			RXD1/SI1
P27			SCK1
P30	入出力	ポート 3 8 ビット入出力ポート 1 ビット単位で入力 / 出力の指定が可能	TO130
P31			TO131
P32			TCLR13
P33			TI13
P34			INTP130
P35			INTP131/SO3
P36			INTP132/SI3
P37			INTP133/SCK3
P40-P47	入出力	ポート 4 8 ビット入出力ポート 1 ビット単位で入力 / 出力の指定が可能	AD0-AD7
P50-P57	入出力	ポート 5 8 ビット入出力ポート 1 ビット単位で入力 / 出力の指定が可能	AD8-AD15

(2/2)

端子名称	入出力	機能	兼用端子
P60-P63	入出力	ポート6 4ビット入出力ポート 1ビット単位で入力/出力の指定が可能	A16-A19
P70-P77	入 力	ポート7 8ビット入力専用ポート	ANI0-ANI7
P90	入出力	ポート9 7ビット入出力ポート 1ビット単位で入力/出力の指定が可能	$\overline{\text{LBEN}}$
P91			$\overline{\text{UBEN}}$
P92			$\text{R}\overline{\text{W}}$
P93			$\overline{\text{DSTB}}$
P94			ASTB
P95			HLD $\overline{\text{AK}}$
P96			$\overline{\text{HLDRQ}}$
P110	入出力	ポート11 8ビット入出力ポート 1ビット単位で入力/出力の指定が可能	TO140
P111			TO141
P112			TCLR14
P113			TI14
P114			INTP140
P115			INTP141
P116			INTP142
P117			INTP143

2.2 ポート以外の端子

( 1/2 )

端子名称	入出力	機 能	兼用端子
TO110	出 力	タイマ11-14のパルス信号出力	P00
TO111			P01
TO120			P10
TO121			P11
TO130			P30
TO131			P31
TO140			P110
TO141			P111
TCLR11	入 力	タイマ11-14の外部クリア信号入力	P02
TCLR12			P12
TCLR13			P32
TCLR14			P112
TI11	入 力	タイマ11-14の外部カウント・クロック入力	P03
TI12			P13
TI13			P33
TI14			P113
INTP110	入 力	外部マスカブル割り込み要求入力兼 タイマ11の外部キャプチャ・トリガ入力	P04
INTP111			P05
INTP112			P06
INTP113			P07/ADTRG
INTP120	入 力	外部マスカブル割り込み要求入力兼 タイマ12の外部キャプチャ・トリガ入力	P14
INTP121			P15/SO2
INTP122			P16/SI2
INTP123			P17/SCK2
INTP130	入 力	外部マスカブル割り込み要求入力兼 タイマ13の外部キャプチャ・トリガ入力	P34
INTP131			P35/SO3
INTP132			P36/SI3
INTP133			P37/SCK3
INTP140	入 力	外部マスカブル割り込み要求入力兼 タイマ14の外部キャプチャ・トリガ入力	P114
INTP141			P115
INTP142			P116
INTP143			P117
SO0	出 力	CSI0-CSI3のシリアル送信データ出力 ( 3 線式 )	P22/TXD0
SO1			P25/TXD1
SO2			P15/INTP121
SO3			P35/INTP131
SI0	入 力	CSI0-CSI3のシリアル受信データ入力 ( 3 線式 )	P23/RXD0
SI1			P26/RXD1
SI2			P16/INTP122
SI3			P36/INTP132

端子名称	入出力	機能	兼用端子
SCK0	入出力	CSI0-CSI3のシリアル・クロック入出力(3線式)	P24
SCK1			P27
SCK2			P17/INTP123
SCK3			P37/INTP133
TXD0	出力	UART0, UART1のシリアル送信データ出力	P22/SO0
TXD1			P25/SO1
RXD0	入力	UART0, UART1のシリアル受信データ入力	P23/SI0
RXD1			P26/SI1
PWM0	出力	PWMのパルス信号出力	P20
PWM1			P21
AD0-AD7	入出力	外部にメモリを拡張する場合の16ビット・マルチプレクスト・アドレス/データ・バス	P40-P47
AD8-AD15			P50-P57
A16-A19	出力	外部にメモリを拡張する場合の上位アドレス・バス	P60-P63
LBEN	出力	外部データ・バスの下位バイト・イネーブル信号出力	P90
UBEN		外部データ・バスの上位バイト・イネーブル信号出力	P91
R/W	出力	外部リード/ライト・ステータス出力	P92
DSTB		外部データ・ストロープ信号出力	P93
ASTB		外部アドレス・ストロープ信号出力	P94
HLDAK	出力	バス・ホールド・アクノリッジ出力	P95
HLDRQ	入力	バス・ホールド要求入力	P96
ANI0-ANI7	入力	A/Dコンバータへのアナログ入力	P70-P77
ANO0, ANO1	出力	D/Aコンバータのアナログ出力	-
NMI	入力	ノンマスカブル割り込み要求入力	-
CLKOUT	出力	システム・クロック出力	-
CKSEL	入力	クロック・ジェネレータの動作モードを指定する入力	CVDD
WAIT	入力	バス・サイクルにウエイトを挿入する制御信号入力	-
MODE	入力	動作モード指定	-
RESET	入力	システム・リセット入力	-
X1	入力	システム・クロック用発振子接続。外部からクロックを供給する場合はX1に入力 します。	-
X2	-		-
ADTRG	入力	A/Dコンバータ外部トリガ入力	P07/INTP113
AVREF1	入力	A/Dコンバータ用基準電圧入力	-
AVREF2	入力	D/Aコンバータ用基準電圧入力	-
AVREF3			-
AVDD	-	A/Dコンバータ用正電源供給	-
AVSS	-	A/Dコンバータ用グランド電位	-
CVDD	-	内蔵クロック・ジェネレータ用正電源供給	CKSEL
CVSS	-	内蔵クロック・ジェネレータ用グランド電位	-
VDD	-	正電源供給	-
VSS	-	グランド電位	-
IC	-	内部接続端子 (VSSに直接接続してください)	-

2.3 端子の入出力回路と未使用時の処理

各端子の入出力回路タイプと未使用時の処理方法（推奨接続方法）を表2 - 1に、また各タイプの回路図を一部簡略化した形式を用いて図2 - 1に示します。

なお、抵抗を介してV<sub>DD</sub>、またはV<sub>SS</sub>に接続する場合、1-10 k の抵抗を使用することをお勧めします。

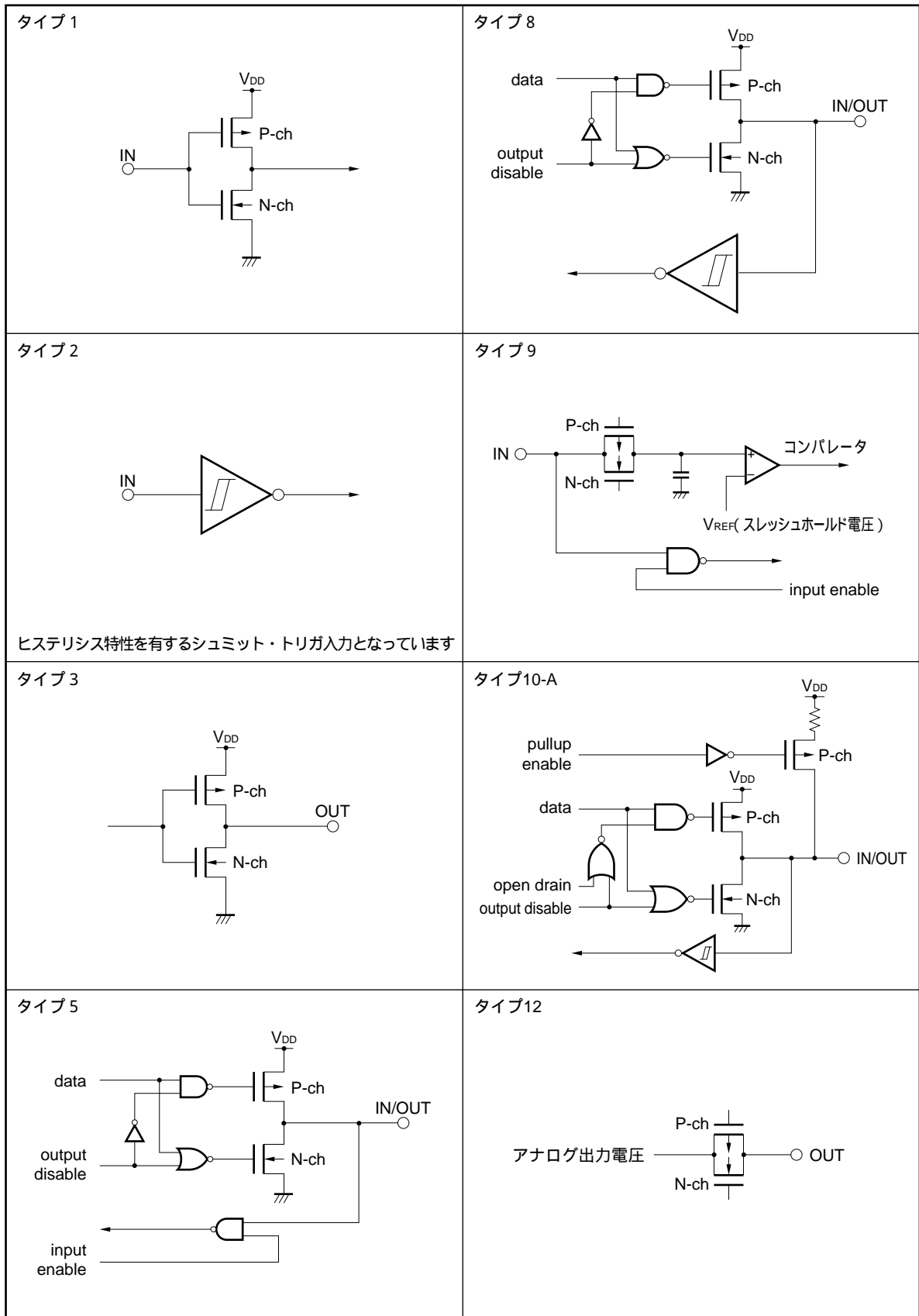
表2 - 1 各端子の入出力回路タイプと未使用時の処理（1/2）

端 子	入出力回路タイプ	推奨接続方法	
P00/TO110, P01/TO111	5	入力状態：個別に抵抗を介してV <sub>DD</sub> またはV <sub>SS</sub> に接続してください。 出力状態：オープンにしてください。	
P02/TCLR11, P03/TI11, P04/INTP110-P07/INTP113/ADTRG	8		
P10/TO120, P11/TO121	5		
P12/TCLR12, P13/TI12 P14/INTP120 P15/INTP121/SO2 P16/INTP122/SI2 P17/INTP123/ $\overline{\text{SCK2}}$	8		
P20/PWM0, P21/PWM1 P22/TXD0/SO0	5		
P23/RXD0/SI0, P24/ $\overline{\text{SCK0}}$	8		
P25/TXD1/SO1	5		
P26/RXD1/SI1, P27/ $\overline{\text{SCK1}}$	8		
P30/TO130, P31/TO131	5		
P32/TCLR13, P33/TI13 P34/INTP130	8		
P35/INTP131/SO3 P36/INTP132/SI3 P37/INTP133/ $\overline{\text{SCK3}}$	10-A		
P40/AD0-P47/AD7 P50/AD8-P57/AD15 P60/A16-P63/A19	5		
P70/ANI0-P77/ANI7	9		V <sub>SS</sub> に直接接続してください。
P90/ $\overline{\text{LBEN}}$ P91/ $\overline{\text{UBEN}}$ P92/R/ $\overline{\text{W}}$ P93/ $\overline{\text{DSTB}}$ P94/ASTB P95/HLDA $\overline{\text{K}}$ P96/HLDRQ	5		入力状態：個別に抵抗を介してV <sub>DD</sub> またはV <sub>SS</sub> に接続してください。 出力状態：オープンにしてください。
P110/TO140, P111/TO141	8		
P112/TCLR14, P113/TI14 P114/INTP140-P117/INTP143			
ANO0, ANO1	12	オープンにしてください。	
NMI	2	V <sub>SS</sub> に直接接続してください。	

表 2 - 1 各端子の入出力回路タイプと未使用時の処理 (2/2)

端 子	入出力回路タイプ	推奨接続方法
CLKOUT	3	オープンにしてください。
WAIT	1	V <sub>DD</sub> に直接接続してください。
MODE	2	-
RESET		
CV <sub>DD</sub> /CKSEL		
AV <sub>REF1</sub> -AV <sub>REF3</sub> , AV <sub>SS</sub>	-	V <sub>SS</sub> に直接接続してください。
AV <sub>DD</sub>	-	V <sub>DD</sub> に直接接続してください。
IC	-	V <sub>SS</sub> に直接接続してください。

図 2 - 1 端子の入出力回路



3. 電気的特性

絶対最大定格 (TA = 25 )

項目	略号	条件	定格	単位	
電源電圧	V <sub>DD</sub>	V <sub>DD</sub> 端子	- 0.5 ~ + 7.0	V	
	CV <sub>DD</sub>	CV <sub>DD</sub> 端子	- 0.5 ~ V <sub>DD</sub> + 0.3 <sup>注1</sup>	V	
	CV <sub>SS</sub>	CV <sub>SS</sub> 端子	- 0.5 ~ + 0.5	V	
	AV <sub>DD</sub>	AV <sub>DD</sub> 端子	- 0.5 ~ V <sub>DD</sub> + 0.3 <sup>注1</sup>	V	
	AV <sub>SS</sub>	AV <sub>SS</sub> 端子	- 0.5 ~ + 0.5	V	
入力電圧	V <sub>I1</sub>	注2, V <sub>DD</sub> = 5.0 V ± 10 %	- 0.5 ~ V <sub>DD</sub> + 0.3 <sup>注1</sup>	V	
クロック入力電圧	V <sub>K</sub>	X1端子, V <sub>DD</sub> = 5.0 V ± 10 %	- 0.5 ~ V <sub>DD</sub> + 1.0 <sup>注1</sup>	V	
ロウ・レベル出力電流	I <sub>OL</sub>	1 端子	4.0	mA	
		全端子合計	100	mA	
ハイ・レベル出力電流	I <sub>OH</sub>	1 端子	- 4.0	mA	
		全端子合計	- 100	mA	
出力電圧	V <sub>O</sub>	V <sub>DD</sub> = 5.0 V ± 10 %	- 0.5 ~ V <sub>DD</sub> + 0.3 <sup>注1</sup>	V	
アナログ入力電圧	V <sub>IAN</sub>	P70/ANI0-P77/ANI7	AV <sub>DD</sub> > V <sub>DD</sub>	- 0.5 ~ V <sub>DD</sub> + 0.3 <sup>注1</sup>	V
			V <sub>DD</sub> AV <sub>DD</sub>	- 0.5 ~ AV <sub>DD</sub> + 0.3 <sup>注1</sup>	V
アナログ基準入力電圧	AV <sub>REF</sub>	AV <sub>REF1</sub> -AV <sub>REF3</sub>	AV <sub>DD</sub> > V <sub>DD</sub>	- 0.5 ~ V <sub>DD</sub> + 0.3 <sup>注1</sup>	V
			V <sub>DD</sub> AV <sub>DD</sub>	- 0.5 ~ AV <sub>DD</sub> + 0.3 <sup>注1</sup>	V
動作周囲温度	T <sub>A</sub>		- 40 ~ + 85		
保存温度	T <sub>stg</sub>		- 65 ~ + 150		

注1. それぞれの電源電圧の絶対最大定格 (MAX.値) を越えないようにしてください。

2. X1, P70-P77, AV<sub>REF1</sub>-AV<sub>REF3</sub>とその兼用端子を除きます。

注意1. IC製品の出力(または入出力)端子同士を直結したり, V<sub>DD</sub>またはV<sub>CC</sub>やGNDに直結したりしないでください。  
ただし, オープン・ドレイン端子やオープン・コレクタ端子同士は直結できます。また, ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路でも直結可能です。

2. 各項目のうち1項目でも, また一瞬でも絶対最大定格を越えると, 製品の品質を損なう恐れがあります。つまり絶対最大定格とは, 製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づかない状態で, 製品をご使用ください。

DC特性とAC特性に示す規格や条件が, 製品の正常動作, 品質保証の範囲です。

容量 (TA = 25, V<sub>DD</sub> = V<sub>SS</sub> = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	C <sub>i</sub>	f <sub>c</sub> = 1 MHz			15	pF
入出力容量	C <sub>IO</sub>	被測定ピン以外は0 V			15	pF
出力容量	C <sub>o</sub>				15	pF



動作条件

動作モード	内部システム・クロック周波数 ( )	動作周囲温度 (TA)	電源電圧 (VDD)
ダイレクト・モード, PLLモード	2 ~ 33 MHz <sup>注1</sup>	- 40 ~ + 85	5.0 V ± 10 %
	5 ~ 33 MHz <sup>注2</sup>	- 40 ~ + 85	5.0 V ± 10 %

注1 . A/Dコンバータ未使用時

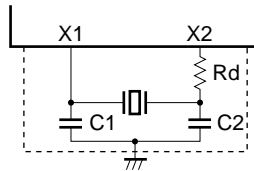
2 . A/Dコンバータ使用時

推奨発振回路

注意 μ PD703003A(A), 703025A(A)の発振子選択および発振回路定数については, 発振子メーカーに評価を依頼してください。

( 1 ) セラミック発振子接続 (TA = - 40 ~ + 85 )

( a ) μ PD703003A, 703004A



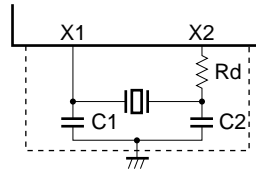
メーカー	品名	発振周波数 f <sub>xx</sub> (MHz)	推奨回路定数			発振電圧範囲		発振安定時間 (MAX.) T <sub>OST</sub> (ms)
			C1 (pF)	C2 (pF)	Rd ( )	MIN. (V)	MAX. (V)	
京セラ	PBRC5.00B	5.0	内蔵	内蔵	680	4.5	5.5	0.14
	PBRC6.60B	6.6	内蔵	内蔵	-	4.5	5.5	0.08
TDK	CCR5.0MC3	5.0	内蔵	内蔵	-	4.5	5.5	0.19
	FCR5.0MC5	5.0	内蔵	内蔵	-	4.5	5.5	0.16
	CCR6.6MC3	6.6	内蔵	内蔵	-	4.5	5.5	0.17
村田製作所	CSA5.00MG040	5.0	100	100	-	4.5	5.5	0.32
	CST5.00MGW040	5.0	内蔵	内蔵	-	4.5	5.5	0.32
	CSA6.60MTZ040	6.6	100	100	-	4.5	5.5	0.72
	CST6.60MTW040	6.6	内蔵	内蔵	-	4.5	5.5	0.72

注意1 . 発振回路はX1, X2端子にできるかぎり近づけてください。

2 . 破線の範囲にほかの信号線を通さないでください。

3 . μ PD703003A, 703004Aと発振子のマッチングについては, 十分に評価してください。

(b) μ PD703025A



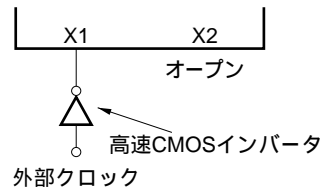
メーカー	品名	発振周波数 f <sub>xx</sub> (MHz)	推奨回路定数			発振電圧範囲		発振安定時間 (MAX.) T <sub>OST</sub> (ms)
			C1 (pF)	C2 (pF)	Rd ( )	MIN. (V)	MAX. (V)	
京セラ	PBRC4.00HR	4.0	内蔵	内蔵	-	4.5	5.5	0.08
	PBRC5.00HR	5.0	内蔵	内蔵	-	4.5	5.5	0.06
	PBRC6.00HR	6.0	内蔵	内蔵	-	4.5	5.5	0.08
	PBRC6.60HR	6.6	内蔵	内蔵	-	4.5	5.5	0.08
TDK	CCR4.0MC3	4.0	内蔵	内蔵	-	4.5	5.5	0.22
	CCR5.0MC3	5.0	内蔵	内蔵	-	4.5	5.5	0.28
村田製作所	CSA4.00MG040	4.0	100	100	-	4.5	5.5	0.40
	CST4.00MGW040	4.0	内蔵	内蔵	-	4.5	5.5	0.40
	CSTS0400MG06	4.0	内蔵	内蔵	-	4.5	5.5	0.16
	CSA6.60MTZ040	6.6	100	100	-	4.5	5.5	0.50
	CST6.60MTW040	6.6	内蔵	内蔵	-	4.5	5.5	0.50
	CSTS0660MG06	6.6	内蔵	内蔵	-	4.5	5.5	0.20

注意 1 . 発振回路はX1, X2端子にできるかぎり近づけてください。

2 . 破線の範囲にほかの信号線を通さないでください。

3 . μ PD703025Aと発振子のマッチングについては,十分に評価してください。

(2) 外部クロック入力



注意 1 . 高速CMOSインバータはX1端子にできるかぎり近づけてください。

2 . μ PD703003A, 703004A, 703025A, 703003A(A), 703025A(A)と高速CMOSインバータのマッチングについては,十分な評価を行ってください。

DC特性 (TA = -40 ~ +85 , VDD = 5.0 V ± 10 % , VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル入力電圧	VIH	X1, 注1を除く	2.2		VDD + 0.3	V	
		注1	0.8 VDD		VDD + 0.3	V	
ロウ・レベル入力電圧	VIL	X1, 注1を除く	- 0.5		+ 0.8	V	
		注1	- 0.5		0.2 VDD	V	
ハイ・レベル・クロック入力電圧	VXH	X1	0.8 VDD		VDD + 0.5	V	
ロウ・レベル・クロック入力電圧	VXL	X1	- 0.5		+ 0.6	V	
シュミット・トリガ入力	VT+	注1, 立ち上がり		3.0		V	
スレッシュホールド電圧	VT-	注1, 立ち下がり		2.0		V	
シュミット・トリガ入力ヒステリシス幅	VT+ - VT-	注1	0.5			V	
ハイ・レベル出力電圧	VOH	IOH = - 2.5 mA	0.7 VDD			V	
		IOH = - 100 μA	VDD - 0.4			V	
ロウ・レベル出力電圧	VOL	IOL = 2.5 mA			0.45	V	
ハイ・レベル入力リーク電流	IUIH	VI = VDD			10	μA	
ロウ・レベル入力リーク電流	IUIL	VI = 0 V			- 10	μA	
ハイ・レベル出力リーク電流	ILOH	VO = VDD			10	μA	
ロウ・レベル出力リーク電流	ILOL	VO = 0 V			- 10	μA	
ソフトウェア・プルアップ抵抗	R	P35-P37とその兼用端子	15	40	90	k	
電源電流	μ PD703003A, 703004A, 703003A(A)	動作時	IDD1	ダイレクト・モード	1.9 x +5	2.1 x +17	mA
				PLLモード	2.0 x +7	2.2 x +20	mA
		HALT時	IDD2	ダイレクト・モード	1.2 x +5	1.3 x +13	mA
				PLLモード	1.3 x +7	1.4 x +15	mA
		IDLE時	IDD3	ダイレクト・モード	8 x +300	10 x +500	μA
				PLLモード	0.1 x +2	0.2 x +3	mA
		STOP時	IDD4	注2	2	50	μA
				注3	2	200	μA
	μ PD703025A, 703025A(A)	動作時	IDD1	ダイレクト・モード	2.5 x +2	2.8 x +16.5	mA
				PLLモード	2.6 x +4	2.9 x +19.5	mA
		HALT時	IDD2	ダイレクト・モード	1.3 x +5	1.4 x +13	mA
				PLLモード	1.3 x +10	1.4 x +18	mA
		IDLE時	IDD3	ダイレクト・モード	8 x +300	10 x +500	μA
				PLLモード	0.1 x +2	0.2 x +3	mA
STOP時	IDD4	注2	2	50	μA		
		注3	2	200	μA		

注1 . P02-P07, P12-P17, P23, P24, P26, P27, P32-P37, P112-P117, RESET, NMI, MODEとその兼用端子

2 . - 40 TA + 50

3 . 50 < TA 85

備考1 . TYP.値はTA = 25 (注3の条件時を除く) , VDD = 5.0 V時の参考値です。電源電流にはAVREF1-AVREF3 , ソフトウェア・プルアップ抵抗に流れる電流は含みません。

2 . : 内部システム・クロック周波数

データ保持特性 ( $T_A = -40 \sim +85$  ,  $V_{DD} = V_{DDDR}$ )

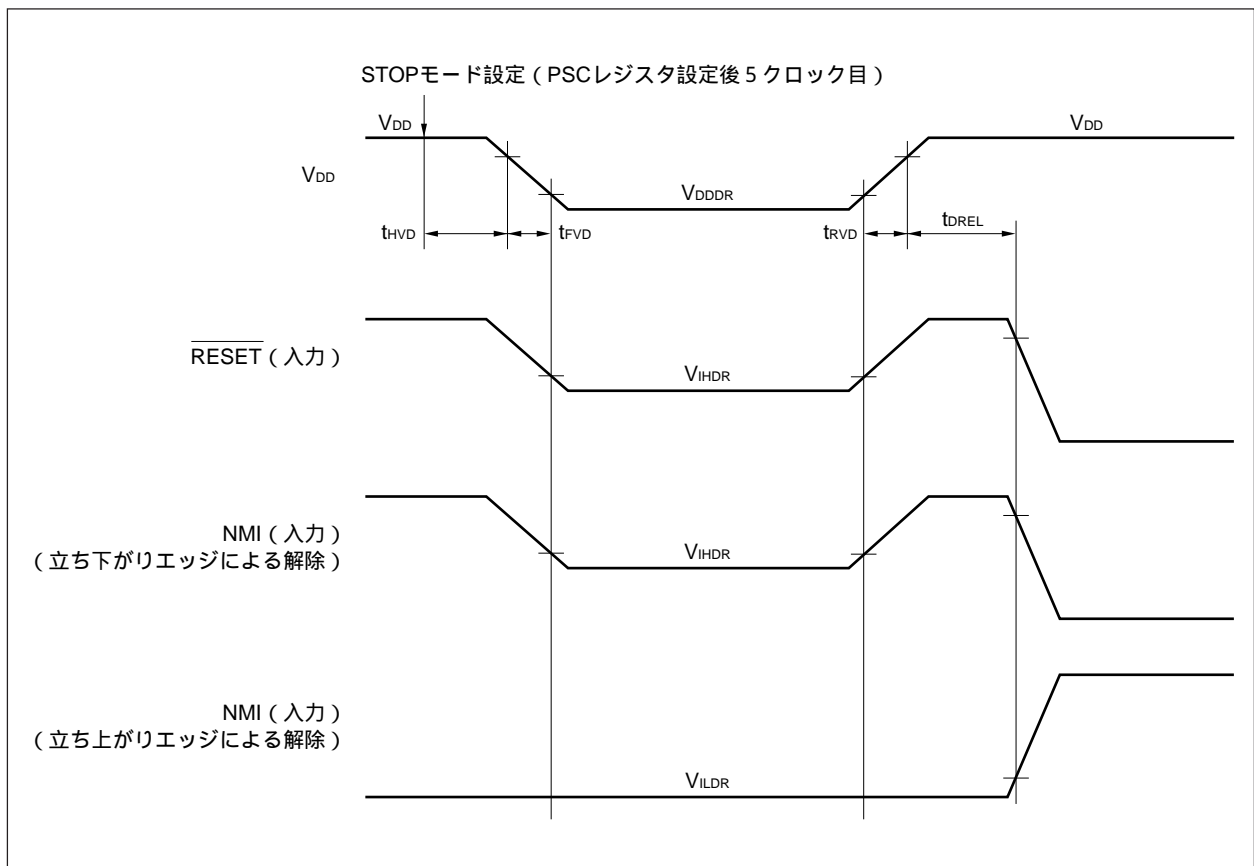
項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電圧	$V_{DDDR}$	STOPモード	1.5		5.5	V
データ保持電流	$I_{DDDR}$	注1		$0.4V_{DDDR}$	50	$\mu A$
		注2		$0.4V_{DDDR}$	200	$\mu A$
電源電圧立ち上がり時間	$t_{RVD}$		200			$\mu s$
電源電圧立ち下がり時間	$t_{FVD}$		200			$\mu s$
電源電圧保持時間 (対STOPモード設定)	$t_{HVD}$		0			ms
STOPモード解除信号入力時間	$t_{DREL}$	注3	0			ns
データ保持ハイ・レベル入力電圧	$V_{IHDR}$	注3	$0.9V_{DDDR}$		$V_{DDDR}$	V
データ保持ロウ・レベル入力電圧	$V_{ILDR}$		0		$0.1V_{DDDR}$	V

注1 .  $-40 < T_A < +50$

2 .  $50 < T_A < 85$

3 . P02-P07, P12-P17, P23, P24, P26, P27, P32-P37, P112-P117, RESET, NMI, MODE, X1とその兼用端子

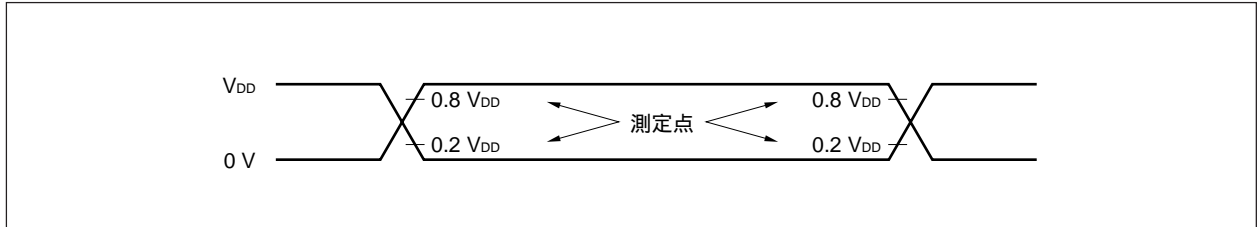
備考 TYP.値は $T_A = 25$  (注2の条件時を除く),  $V_{DD} = 5.0$  V時の参考値です。



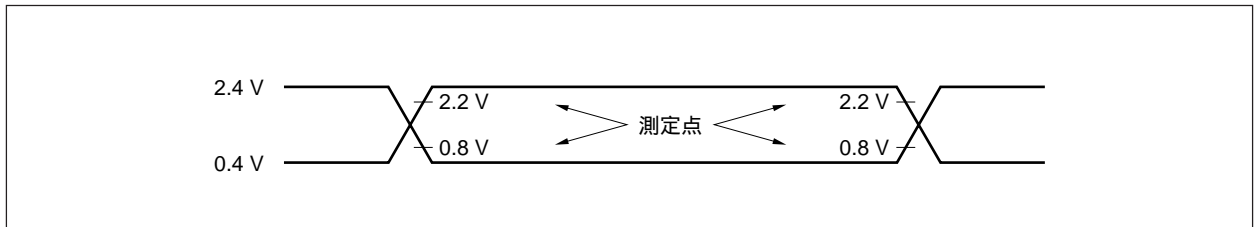
AC特性 (TA = -40 ~ +85 , VDD = 5.0 V ± 10 % , VSS = 0 V)

ACテスト入力測定点

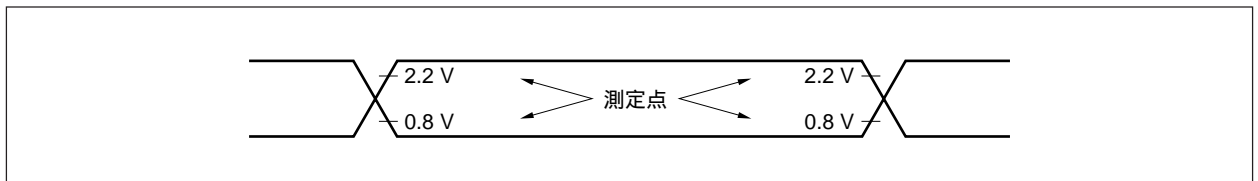
( a ) P02-P07, P12-P17, P23, P24, P26, P27, P32-P37, P112-P117, RESET, NMI, MODE, X1とその兼用端子



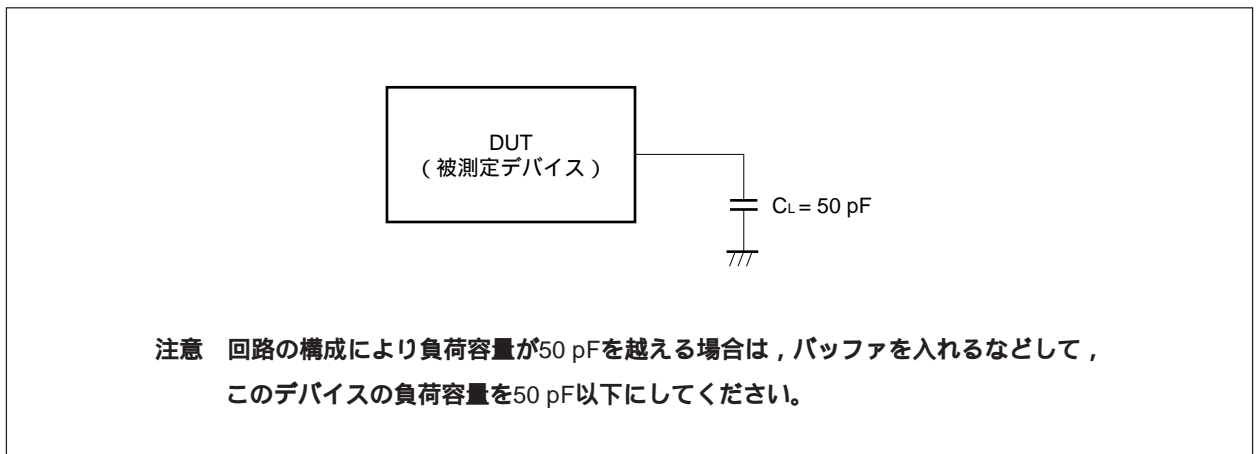
( b ) 上記 ( a ) 以外



ACテスト出力測定点



負荷条件



(1) クロック・タイミング

項目	略号	条件	MIN.	MAX.	単位
X1入力周期	① t <sub>CYX</sub>	ダイレクト・モード	15	注1	ns
		PLLモード(PLLロック状態)	151 <sup>注2</sup>	注3	ns
X1入力ハイ・レベル幅	② t <sub>WXH</sub>	ダイレクト・モード	6		ns
		PLLモード	60		ns
X1入力ロウ・レベル幅	③ t <sub>WXL</sub>	ダイレクト・モード	6		ns
		PLLモード	60		ns
X1入力立ち上がり時間	④ t <sub>xR</sub>	ダイレクト・モード		7	ns
		PLLモード		10	ns
X1入力立ち下がり時間	⑤ t <sub>xF</sub>	ダイレクト・モード		7	ns
		PLLモード		10	ns
CPU動作周波数	-		注4	33	MHz
CLKOUT出力周期	⑥ t <sub>CYK</sub>		30	注5	ns
CLKOUTハイ・レベル幅	⑦ t <sub>WKH</sub>		0.5T - 5		ns
CLKOUTロウ・レベル幅	⑧ t <sub>WKL</sub>		0.5T - 5		ns
CLKOUT立ち上がり時間	⑨ t <sub>kR</sub>			5	ns
CLKOUT立ち下がり時間	⑩ t <sub>kF</sub>			5	ns
X1 CLKOUT遅延時間	⑪ t <sub>DXK</sub>	ダイレクト・モード	3	17	ns

注1 . A/Dコンバータ使用時 : 100 ns

A/Dコンバータ未使用時 : 250 ns

2 . A/Dコンバータ使用時 :  $= 5 \times f_{xx}$ ,  $= f_{xx}$ 設定時の値。  $= 1/2 \times f_{xx}$ の設定は禁止です。

A/Dコンバータ未使用時 :  $= 5 \times f_{xx}$ ,  $= f_{xx}$ ,  $= 1/2 \times f_{xx}$ 設定時の値。

3 . A/Dコンバータ使用時 : 250 ns (  $= 5 \times f_{xx}$ 設定時 ) , 200 ns (  $= f_{xx}$ 設定時 ) 。  $= 1/2 \times f_{xx}$ の設定は禁止です。

A/Dコンバータ未使用時 : 250 ns (  $= 5 \times f_{xx}$ ,  $= f_{xx}$ ,  $= 1/2 \times f_{xx}$ 設定時 )

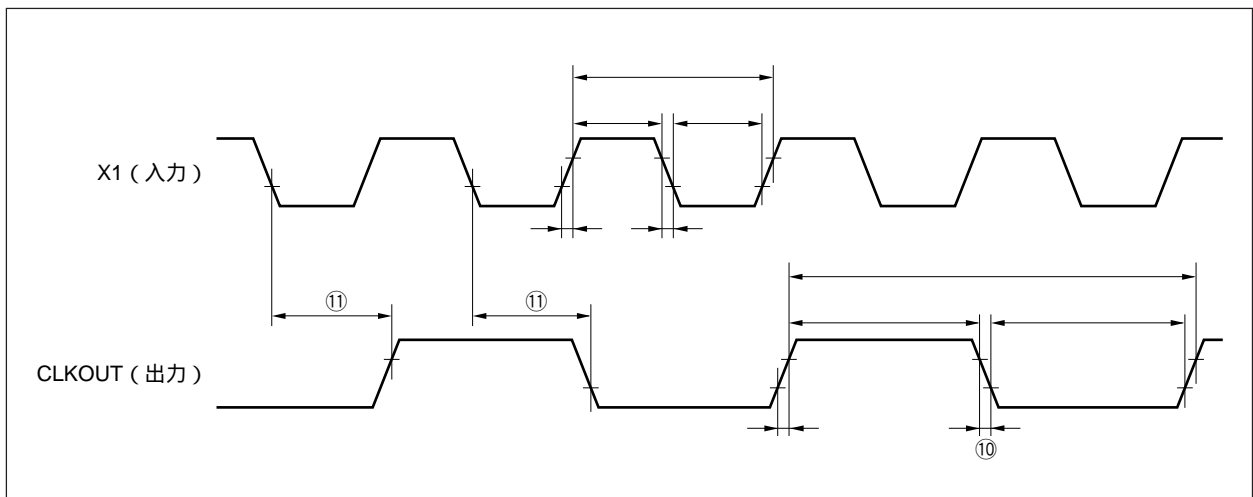
4 . A/Dコンバータ使用時 : 5 MHz

A/Dコンバータ未使用時 : 2 MHz

5 . A/Dコンバータ使用時 : 200 ns

A/Dコンバータ未使用時 : 500 ns

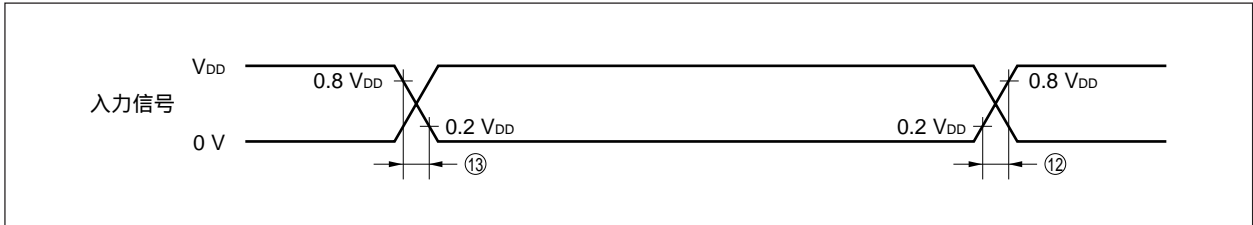
備考 T = t<sub>CYK</sub>



(2) 入力波形

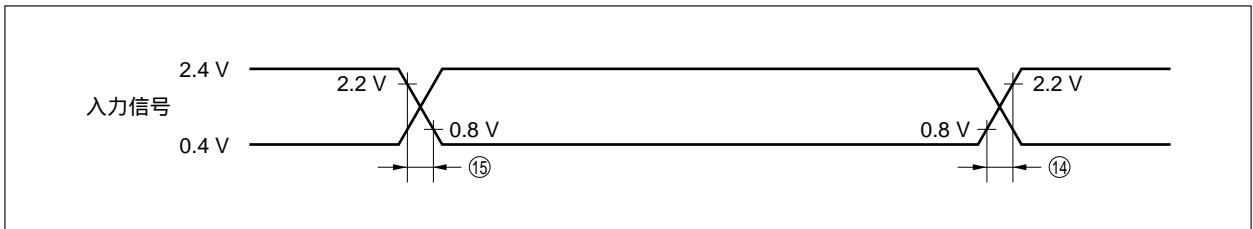
(a) P02-P07, P12-P17, P23, P24, P26, P27, P32-P37, P112-P117, RESET, NMI, MODEとその兼用端子

項目	略号	条件	MIN.	MAX.	単位
入力立ち上がり時間	⑫	$t_{IR2}$		20	ns
入力立ち下がり時間	⑬	$t_{IF2}$		20	ns



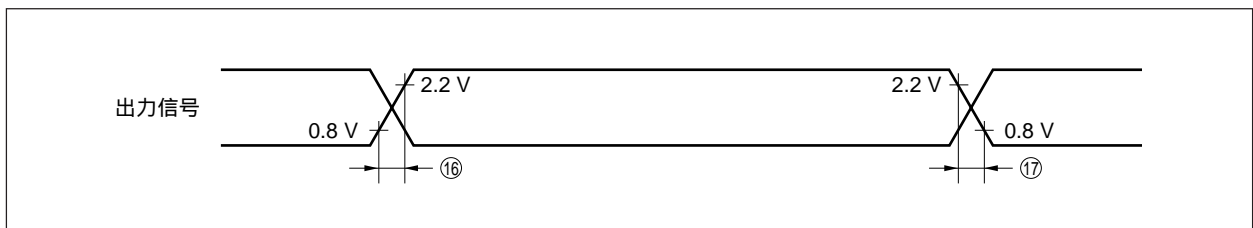
(b) 上記(a)以外

項目	略号	条件	MIN.	MAX.	単位
入力立ち上がり時間	⑭	$t_{IR1}$		10	ns
入力立ち下がり時間	⑮	$t_{IF1}$		10	ns



(3) 出力波形 (CLKOUT以外)

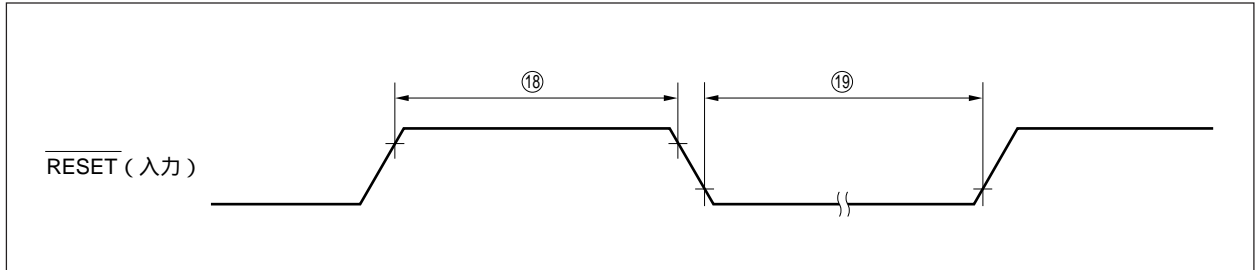
項目	略号	条件	MIN.	MAX.	単位
出力立ち上がり時間	⑯	$t_{OR}$		10	ns
出力立ち下がり時間	⑰	$t_{OF}$		10	ns



(4) リセット・タイミング

項目	略号	条件	MIN.	MAX.	単位
RESETハイ・レベル幅	⑱ tWRSH		500		ns
RESETロウ・レベル幅	⑲ tWRSL	電源オン時, STOPモード解除時	500 + T <sub>OST</sub>		ns
		電源オン時, STOPモード解除時を除く	500		ns

備考 T<sub>OST</sub> : 発振安定時間





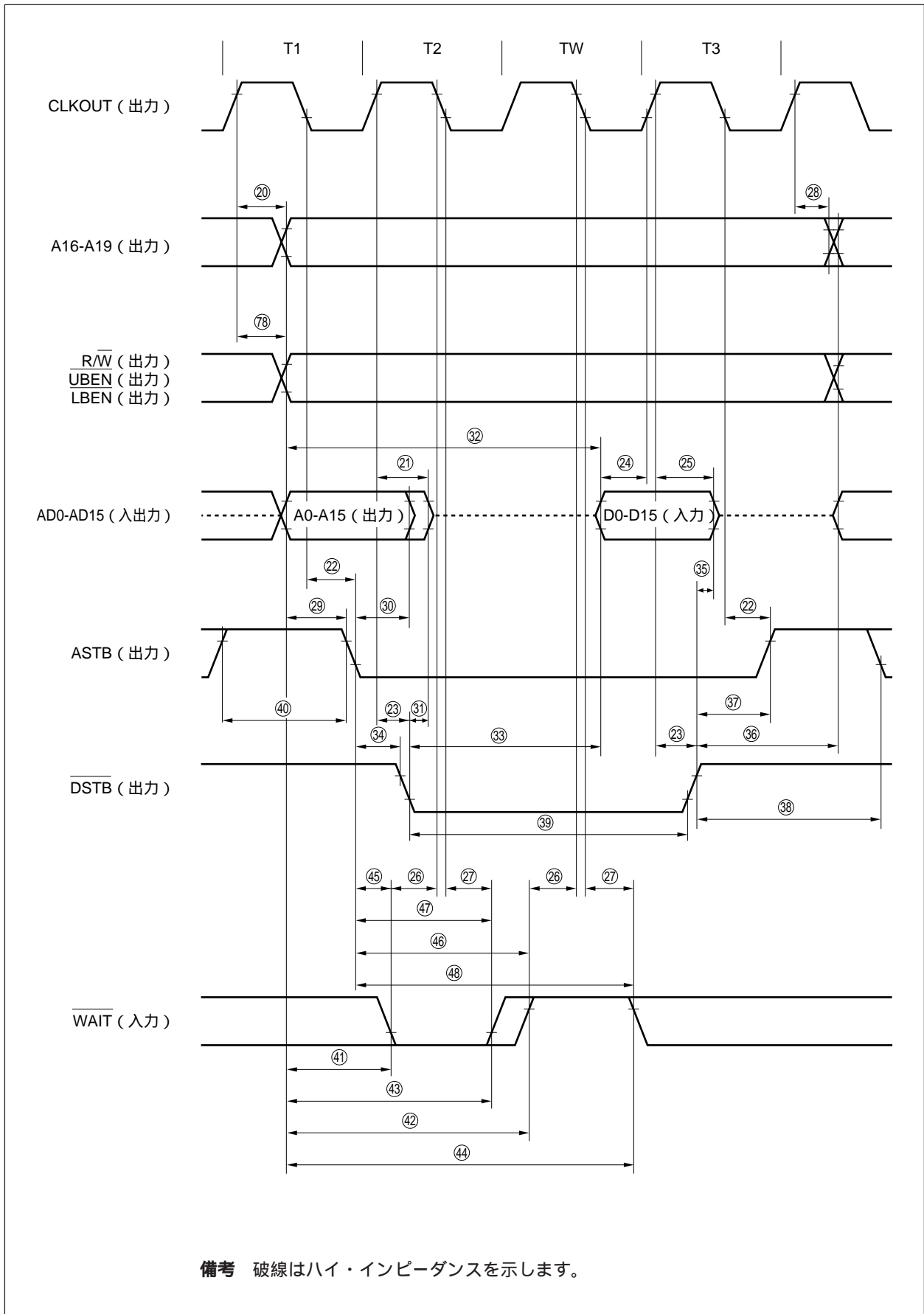
(5) リード・タイミング (1/2)

項 目	略 号	条 件	MIN.	MAX.	単 位
CLKOUT アドレス遅延時間	⑳ tDKA		3	20	ns
CLKOUT R/W, UBEN, LBEN遅延時間	㉑ tDKA2		- 2	+ 13	ns
CLKOUT アドレス・フロート遅延時間	㉒ tFKA		3	15	ns
CLKOUT ASTB遅延時間	㉓ tDKST		3	15	ns
CLKOUT $\overline{\text{DSTB}}$ 遅延時間	㉔ tDKD		3	15	ns
データ入力設定時間 (対CLKOUT )	㉕ tSIDK		5		ns
データ入力保持時間 (対CLKOUT )	㉖ tHKID		5		ns
$\overline{\text{WAIT}}$ 設定時間 (対CLKOUT )	㉗ tSWTK		5		ns
$\overline{\text{WAIT}}$ 保持時間 (対CLKOUT )	㉘ tHKWT		5		ns
アドレス保持時間 (対CLKOUT )	㉙ tHKA		0		ns
アドレス設定時間 (対ASTB )	㉚ tsAST	- 40 T <sub>A</sub> + 70	0.5T - 10		ns
		70 < T <sub>A</sub> 85	0.5T - 12		ns
アドレス保持時間 (対ASTB )	㉛ tHSTA		0.5T - 10		ns
$\overline{\text{DSTB}}$ アドレス・フロート遅延時間	㉜ tFDA			0	ns
データ入力設定時間 (対アドレス)	㉝ tsAID	- 40 T <sub>A</sub> + 70		(2 + n)T - 22	ns
		70 < T <sub>A</sub> 85		(2 + n)T - 25	ns
データ入力設定時間 (対 $\overline{\text{DSTB}}$ )	㉞ tsDID	- 40 T <sub>A</sub> + 70		(1 + n)T - 20	ns
		70 < T <sub>A</sub> 85		(1 + n)T - 24	ns
ASTB $\overline{\text{DSTB}}$ 遅延時間	㉟ tDSTD		0.5T - 10		ns
データ入力保持時間 (対 $\overline{\text{DSTB}}$ )	㊱ tHDID		0		ns
$\overline{\text{DSTB}}$ アドレス出力遅延時間	㊲ tDDA		(1 + i)T		ns
$\overline{\text{DSTB}}$ ASTB 遅延時間	㊳ tDDSTH		0.5T - 10		ns
$\overline{\text{DSTB}}$ ASTB 遅延時間	㊴ tDDSTL		(1.5 + i)T - 10		ns
					ns
$\overline{\text{DSTB}}$ 口ウ・レベル幅	㊵ tWDL	- 40 T <sub>A</sub> + 70	(1 + n)T - 10		ns
		70 < T <sub>A</sub> 85	(1 + n)T - 13		ns
ASTBハイ・レベル幅	㊶ tWSTH		T - 10		ns
$\overline{\text{WAIT}}$ 設定時間 (対アドレス)	㊷ tsAWT1	n 1, - 40 T <sub>A</sub> + 70		1.5T - 20	ns
		n 1, 70 < T <sub>A</sub> 85		1.5T - 24	ns
	㊸ tsAWT2	n 1, - 40 T <sub>A</sub> + 70		(1.5 + n)T - 20	ns
		n 1, 70 < T <sub>A</sub> 85		(1.5 + n)T - 24	ns
$\overline{\text{WAIT}}$ 保持時間 (対アドレス)	㊹ tHAWT1	n 1		(0.5 + n)T	ns
	㊺ tHAWT2	n 1		(1.5 + n)T	ns
$\overline{\text{WAIT}}$ 設定時間 (対ASTB )	㊻ tsSTWT1	n 1, - 40 T <sub>A</sub> + 70		T - 18	ns
		n 1, 70 < T <sub>A</sub> 85		T - 20	ns
	㊼ tsSTWT2	n 1		(1 + n)T - 15	ns
$\overline{\text{WAIT}}$ 保持時間 (対ASTB )	㊽ tHSTWT1	n 1	nT		ns
	㊾ tHSTWT2	n 1	(1 + n)T		ns

備考 1 . T = tc<sub>YK</sub>

- 2 . nはバス・サイクルに挿入されるウェイト・クロック数を示します。プログラマブル・ウェイト挿入時は、サンプリング・タイミングが変わります。
- 3 . iは、リード・サイクル後に挿入されるアイドル・ステート数 (0または1) を示します。
- 4 . データ入力保持時間t<sub>HKID</sub> ( ㉖ ) , t<sub>HDID</sub> ( ㉞ ) は、少なくともどちらか1つを守ってください。

(5) リード・タイミング(2/2) : 1ウエイト



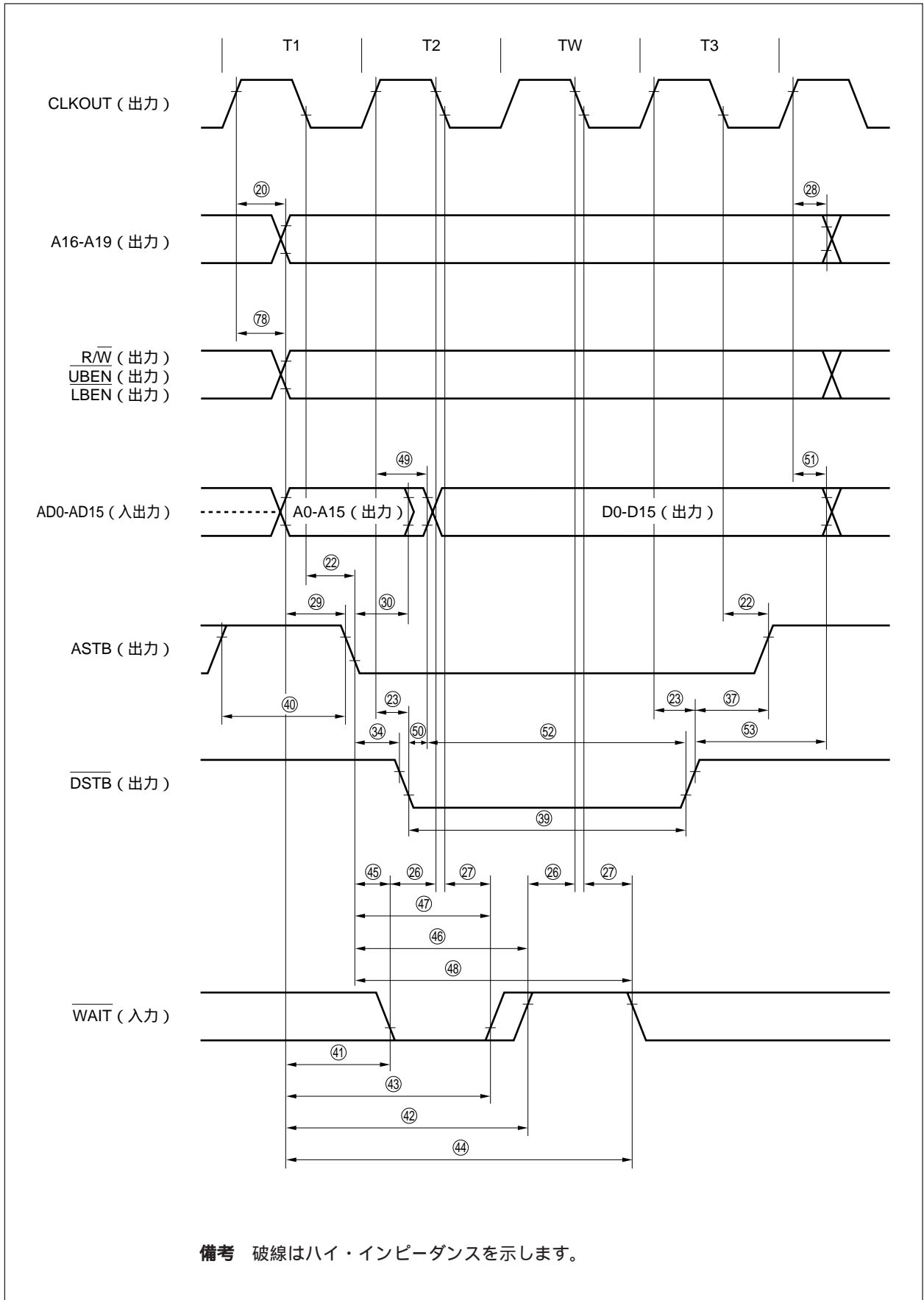
(6) ライト・タイミング (1/2)

項 目	略 号	条 件	MIN.	MAX.	単 位
CLKOUT アドレス遅延時間	⑳ tDKA		3	20	ns
CLKOUT R/W, UBEN, LBEN遅延時間	㉗ tDKA2		- 2	+ 13	ns
CLKOUT ASTB遅延時間	㉘ tDKST		3	15	ns
CLKOUT $\overline{\text{DSTB}}$ 遅延時間	㉙ tDKD		3	15	ns
WAIT設定時間 (対CLKOUT )	㉚ tSWTK		5		ns
WAIT保持時間 (対CLKOUT )	㉛ tHKWT		5		ns
アドレス保持時間 (対CLKOUT )	㉜ tHKA		0		ns
アドレス設定時間 (対ASTB )	㉝ tSAST	- 40 $T_A$ + 70	0.5T - 10		ns
		70 < $T_A$ 85	0.5T - 12		ns
アドレス保持時間 (対ASTB )	㉞ tHSTA		0.5T - 10		ns
ASTB $\overline{\text{DSTB}}$ 遅延時間	㉟ tDSTD		0.5T - 10		ns
$\overline{\text{DSTB}}$ ASTB 遅延時間	㊱ tDDSTH		0.5T - 10		ns
$\overline{\text{DSTB}}$ ロウ・レベル幅	㊲ tWDL	- 40 $T_A$ + 70	(1+n)T - 10		ns
		70 < $T_A$ 85	(1+n)T - 13		ns
ASTBハイ・レベル幅	㊳ tWSTH		T - 10		ns
WAIT設定時間 (対アドレス)	㊴ tSAWT1	n 1, - 40 $T_A$ + 70		1.5T - 20	ns
		n 1, 70 < $T_A$ 85		1.5T - 24	ns
	㊵ tSAWT2	n 1, - 40 $T_A$ + 70		(1.5+n)T - 20	ns
		n 1, 70 < $T_A$ 85		(1.5+n)T - 24	ns
WAIT保持時間 (対アドレス)	㊶ tHAWT1	n 1	(0.5+n)T		ns
	㊷ tHAWT2	n 1	(1.5+n)T		ns
WAIT設定時間 (対ASTB )	㊸ tSSTWT1	n 1, - 40 $T_A$ + 70		T - 18	ns
		n 1, 70 < $T_A$ 85		T - 20	ns
	㊹ tSSTWT2	n 1		(1+n)T - 15	ns
WAIT保持時間 (対ASTB )	㊺ tHSTWT1	n 1	nT		ns
	㊻ tHSTWT2	n 1	(1+n)T		ns
アドレス保持時間 (対CLKOUT )	㊼ tDKOD	- 40 $T_A$ + 70		20	ns
		70 < $T_A$ 85		23	ns
$\overline{\text{DSTB}}$ データ出力遅延時間	㊽ tDDOD			10	ns
データ出力保持時間 (対CLKOUT )	㊾ tHKOD		0		ns
データ出力設定時間 (対 $\overline{\text{DSTB}}$ )	㊿ tSODD		(1+n)T - 15		ns
データ出力保持時間 (対 $\overline{\text{DSTB}}$ )	㉀ tHDOD		T - 10		ns

備考 1 . T = tCYK

2 . nはバス・サイクルに挿入されるウエイト・クロック数を示します。プログラマブル・ウエイト挿入時は、サンプリング・タイミングが変わります。

(6) ライト・タイミング (2/2) : 1 ウェイト



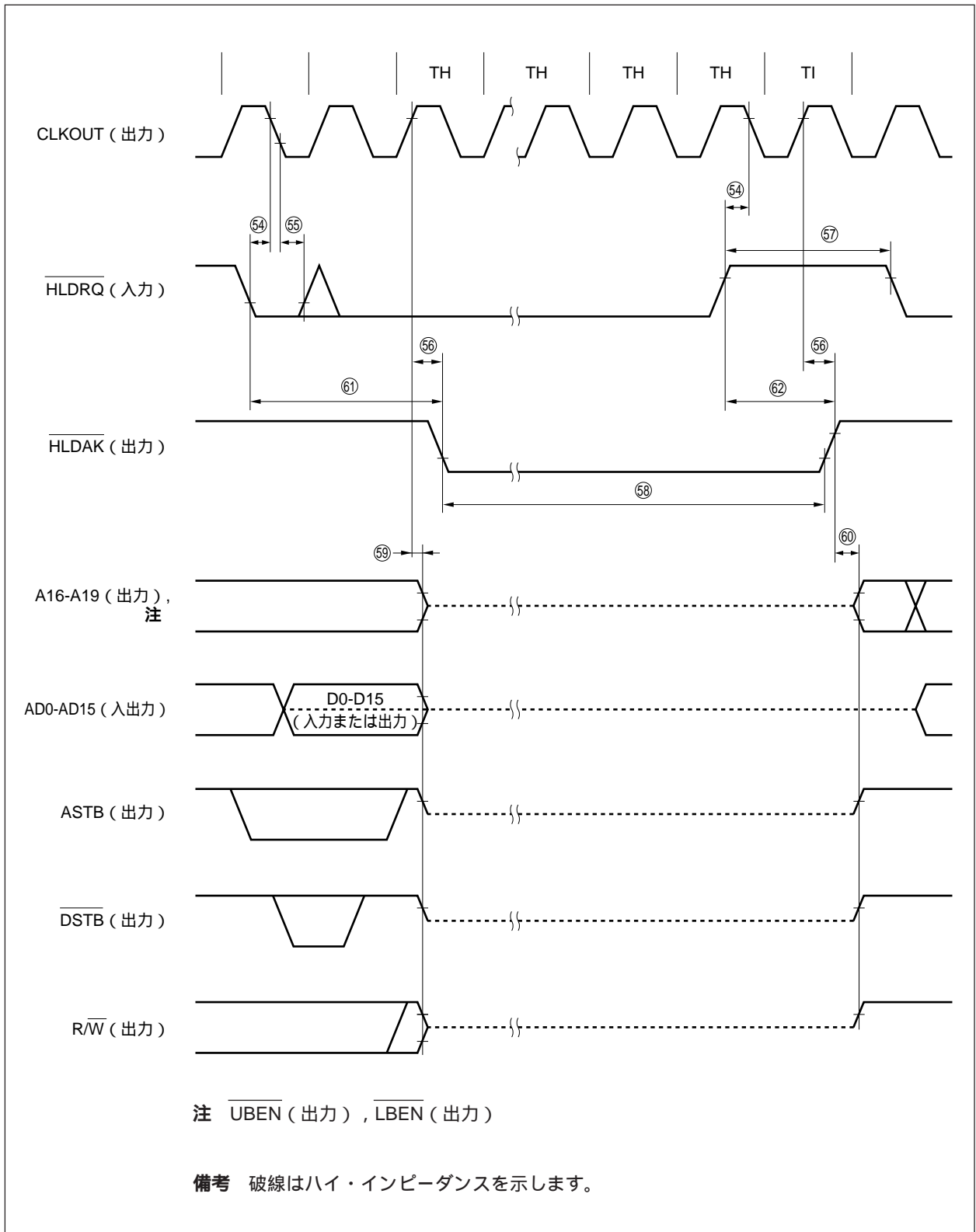
(7) バス・ホールド・タイミング (1/2)

項 目	略 号	条 件	MIN.	MAX.	単 位
HLD $\overline{\text{RQ}}$ 設定時間 (対CLKOUT )	⑤4	t <sub>SHQK</sub>	5		ns
HLD $\overline{\text{RQ}}$ 保持時間 (対CLKOUT )	⑤5	t <sub>HKHQ</sub>	5		ns
CLKOUT HLD $\overline{\text{AK}}$ 遅延時間	⑤6	t <sub>DKHA</sub>		20	ns
HLD $\overline{\text{RQ}}$ ハイ・レベル幅	⑤7	t <sub>WHQH</sub>	T + 10		ns
HLD $\overline{\text{AK}}$ ロウ・レベル幅	⑤8	- 40 T <sub>A</sub> + 70	T - 10		ns
		70 < T <sub>A</sub> 85	T - 12		ns
CLKOUT バス・フロート遅延時間	⑤9	t <sub>DKF</sub>		20	ns
HLD $\overline{\text{AK}}$ バス出力遅延時間	⑥0	t <sub>DHAC</sub>	- 3		ns
HLD $\overline{\text{RQ}}$ HLD $\overline{\text{AK}}$ 遅延時間	⑥1	t <sub>DHQHA1</sub>		( 2n + 7.5 )T + 20	ns
HLD $\overline{\text{RQ}}$ HLD $\overline{\text{AK}}$ 遅延時間	⑥2	t <sub>DHQHA2</sub>	0.5T	1.5T + 20	ns

備考 1 . T = t<sub>cyk</sub>

- 2 . nはバス・サイクルに挿入されるウエイト・クロック数を示します。プログラマブル・ウエイト挿入時は、サンプリング・タイミングが変わります。

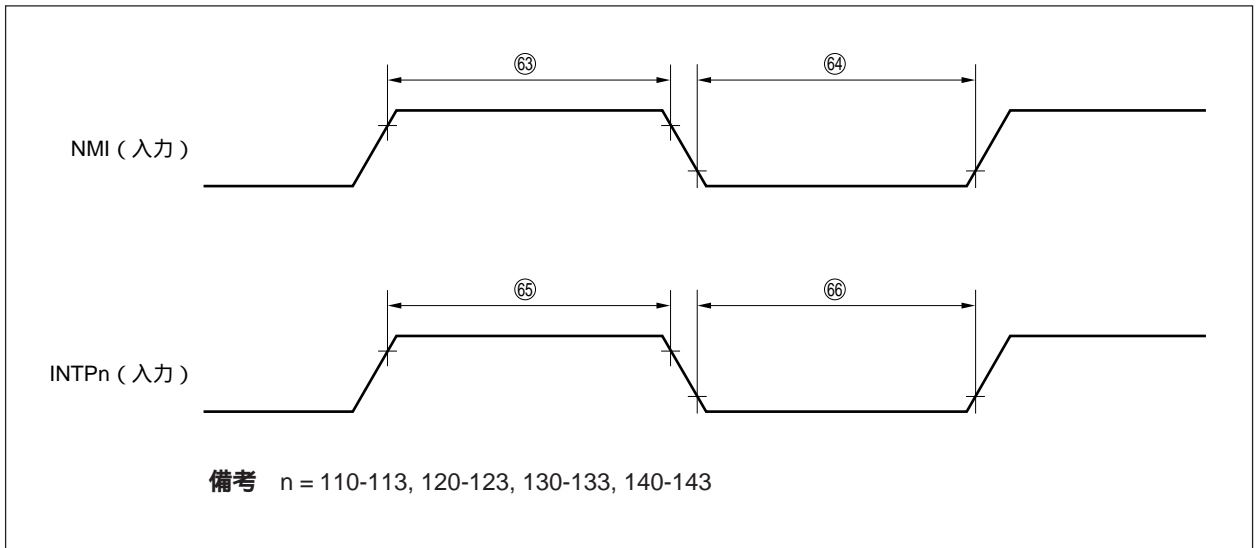
(7) バス・ホールド・タイミング (2/2)



(8) 割り込みタイミング

項 目	略 号	条 件	MIN.	MAX.	単 位
NMIハイ・レベル幅	⑥③	$t_{WNIH}$	500		ns
NMIロウ・レベル幅	⑥④	$t_{WNIL}$	500		ns
INTPnハイ・レベル幅	⑥⑤	$t_{WITh}$	$n = 110-113, 120-123, 130-133, 140-143$ $3T + 10$		ns
INTPnロウ・レベル幅	⑥⑥	$t_{WITL}$	$n = 110-113, 120-123, 130-133, 140-143$ $3T + 10$		ns

備考 T = t<sub>cyk</sub>



(9) CSIタイミング (1/2)

(a) マスタ・モード

(i) CSI0-CSI2のタイミング

項 目	略 号	条 件	MIN.	MAX.	単 位
SCKn周期	⑥7 tcYSK1	出力	120		ns
SCKnハイ・レベル幅	⑥8 tWSKH1	出力	0.5tcYSK1 - 20		ns
SCKnロウ・レベル幅	⑥9 tWSKL1	出力	0.5tcYSK1 - 20		ns
SIn設定時間 (対SCKn )	⑦0 tSSISK1		30		ns
SIn保持時間 (対SCKn )	⑦1 tHSKS11		0		ns
SO <sub>n</sub> 出力遅延時間 (対SCKn )	⑦2 tDSKS01			18	ns
SO <sub>n</sub> 出力保持時間 (対SCKn )	⑦3 tHSKS01		0.5tcYSK1 - 5		ns

備考 n = 0-2

(ii) CSI3のタイミング

項 目	略 号	条 件	MIN.	MAX.	単 位
SCK3周期	⑥7 tcYSK3	出力	500		ns
SCK3ハイ・レベル幅	⑥8 tWSKH3	出力			
SCK3ロウ・レベル幅	⑥9 tWSKL3	出力			
SI3設定時間 (対SCK3 )	⑦0 tSSISK3		100		ns
SI3保持時間 (対SCK3 )	⑦1 tHSKS13		50		ns
SO3出力遅延時間 (対SCK3 )	⑦2 tDSKS03	RL = 1.5 k		150	ns
SO3出力保持時間 (対SCK3 )	⑦3 tHSKS03	CL = 50 pF	0.5tcYSK3 - 5		

備考 RL, CLは, SCK3, SO3出力ラインの負荷抵抗, 負荷容量です。

(b) スレーブ・モード

(i) CSI0-CSI2のタイミング

項 目	略 号	条 件	MIN.	MAX.	単 位
SCKn周期	⑥7 tcYSK2	入力	120		ns
SCKnハイ・レベル幅	⑥8 tWSKH2	入力	30		ns
SCKnロウ・レベル幅	⑥9 tWSKL2	入力	30		ns
SIn設定時間 (対SCKn )	⑦0 tSSISK2		10		ns
SIn保持時間 (対SCKn )	⑦1 tHSKS12		10		ns
SO <sub>n</sub> 出力遅延時間 (対SCKn )	⑦2 tDSKS02			30	ns
SO <sub>n</sub> 出力保持時間 (対SCKn )	⑦3 tHSKS02		tWSKH2		ns

備考 n = 0-2

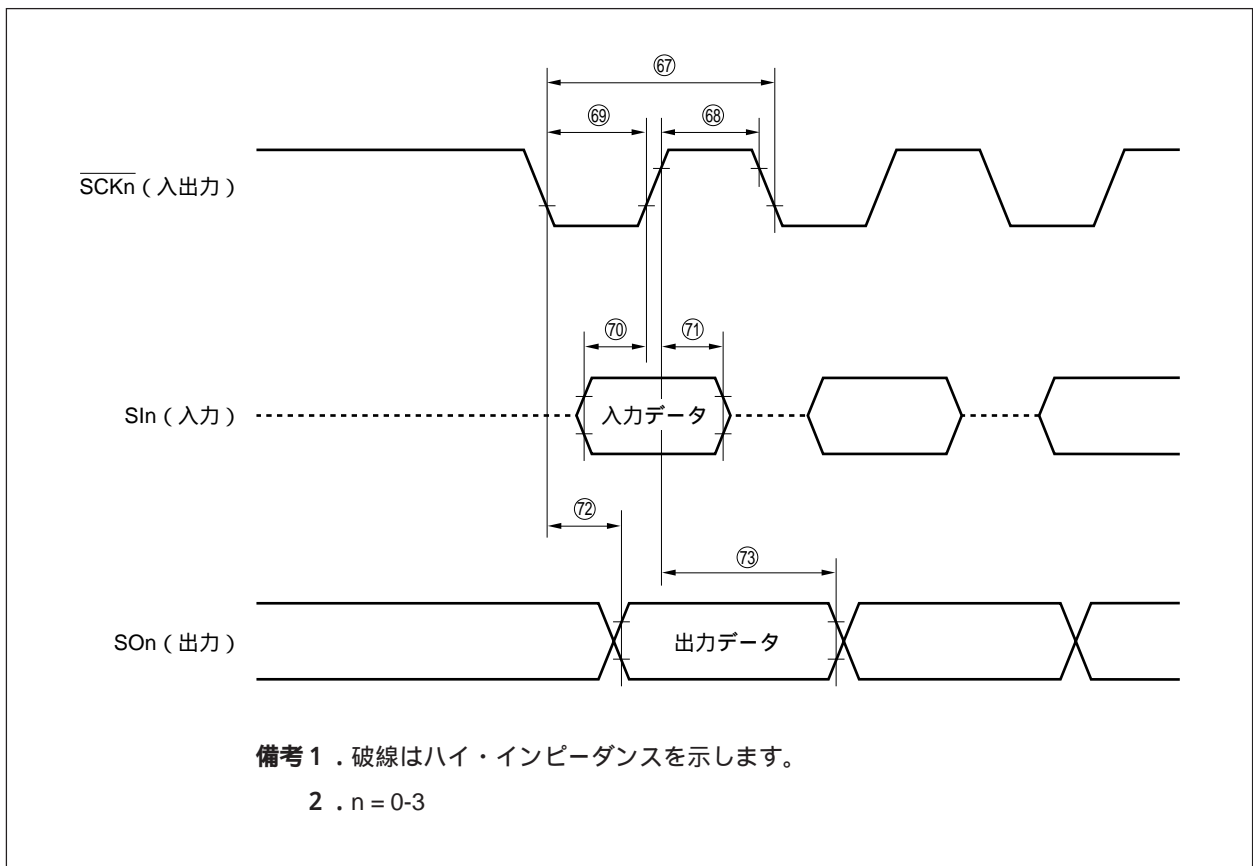


( 9 ) CSIタイミング (2/2)

( ii ) CSI3のタイミング

項 目	略 号	条 件	MIN.	MAX.	単 位
SCK3周期	⑥7	$t_{CYSK4}$ 入力	500		ns
SCK3ハイ・レベル幅	⑥8	$t_{WSKH4}$ 入力	180		ns
SCK3ロウ・レベル幅	⑥9	$t_{WSKL4}$ 入力	180		ns
SI3設定時間 (対SCK3 )	⑦0	$t_{SSIS4}$	100		ns
SI3保持時間 (対SCK3 )	⑦1	$t_{HSKS4}$	50		ns
SO3出力遅延時間 (対SCK3 )	⑦2	$t_{DSKS04}$ $R_L = 1.5 k$		150	ns
SO3出力保持時間 (対SCK3 )	⑦3	$t_{HSKS04}$ $C_L = 50 pF$	$t_{WSKH4}$		ns

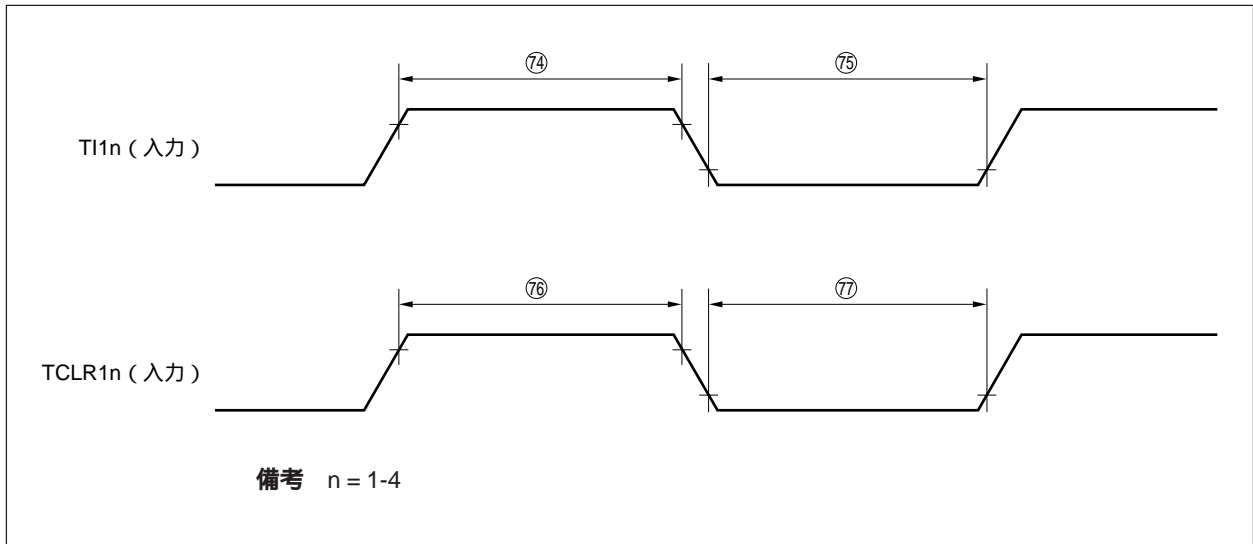
備考  $R_L$ ,  $C_L$ は, SCK3, SO3出力ラインの負荷抵抗, 負荷容量です。



(10) RPUタイミング

項目	略号	条件	MIN.	MAX.	単位
Tl1nハイ・レベル幅	⑦④	t <sub>WTH</sub>	3T + 10		ns
Tl1nロウ・レベル幅	⑦⑤	t <sub>WTL</sub>	3T + 10		ns
TCLR1nハイ・レベル幅	⑦⑥	t <sub>WTCH</sub>	3T + 10		ns
TCLR1nロウ・レベル幅	⑦⑦	t <sub>WTCL</sub>	3T + 10		ns

備考 T = t<sub>cyk</sub>



A/Dコンバータ特性

( $T_A = -40 \sim +85$  ,  $V_{DD} = AV_{DD} = 5V \pm 10\%$ ,  $V_{SS} = AV_{SS} = 0V$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	-		10	10	10	bit
総合誤差 <sup>注1</sup>	-	4.5V $AV_{REF1}$ $AV_{DD}$			$\pm 0.4$	%FSR
	-	3.5V $AV_{REF1}$ $AV_{DD}$			$\pm 0.7$	%FSR
量子化誤差	-				$\pm 1/2$	LSB
変換時間	$t_{CONV}$	4.5V $AV_{REF1}$ $AV_{DD}$	60			$t_{CYK}$
		3.5V $AV_{REF1}$ $AV_{DD}$	60			$t_{CYK}$
サンプリング時間	$t_{SAMP}$	4.5V $AV_{REF1}$ $AV_{DD}$	10			$t_{CYK}$
		3.5V $AV_{REF1}$ $AV_{DD}$	10			$t_{CYK}$
ゼロ・スケール誤差 <sup>注1</sup>	-	4.5V $AV_{REF1}$ $AV_{DD}$		$\pm 1.5$	$\pm 3.5$	LSB
	-	3.5V $AV_{REF1}$ $AV_{DD}$		$\pm 1.5$	$\pm 4.5$	LSB
フルスケール誤差 <sup>注1</sup>	-	4.5V $AV_{REF1}$ $AV_{DD}$		$\pm 1.5$	$\pm 2.5$	LSB
	-	3.5V $AV_{REF1}$ $AV_{DD}$		$\pm 1.5$	$\pm 4.5$	LSB
非直線性誤差 <sup>注1</sup>	-	4.5V $AV_{REF1}$ $AV_{DD}$		$\pm 1.5$	$\pm 2.5$	LSB
	-	3.5V $AV_{REF1}$ $AV_{DD}$		$\pm 1.5$	$\pm 4.5$	LSB
アナログ入力電圧 <sup>注2</sup>	$V_{IAN}$		-0.3		$AV_{DD} + 0.3$	V
基準電圧	$AV_{REF1}$		3.5		$AV_{DD}$	V
$AV_{REF1}$ 電流	$AI_{REF1}$			1.2	3.0	mA
$AV_{DD}$ 電源電流	$AI_{DD}$			2.3	6.0	mA

注1 . 量子化誤差は除きます。

2 .  $V_{IAN} = 0$  のときは、変換結果が000Hになります。

$0 < V_{IAN} < AV_{REF1}$  のときは、10ビット分解能で変換します。

$AV_{REF1} < V_{IAN} < AV_{DD}$  のときは、変換結果が3FFHになります。

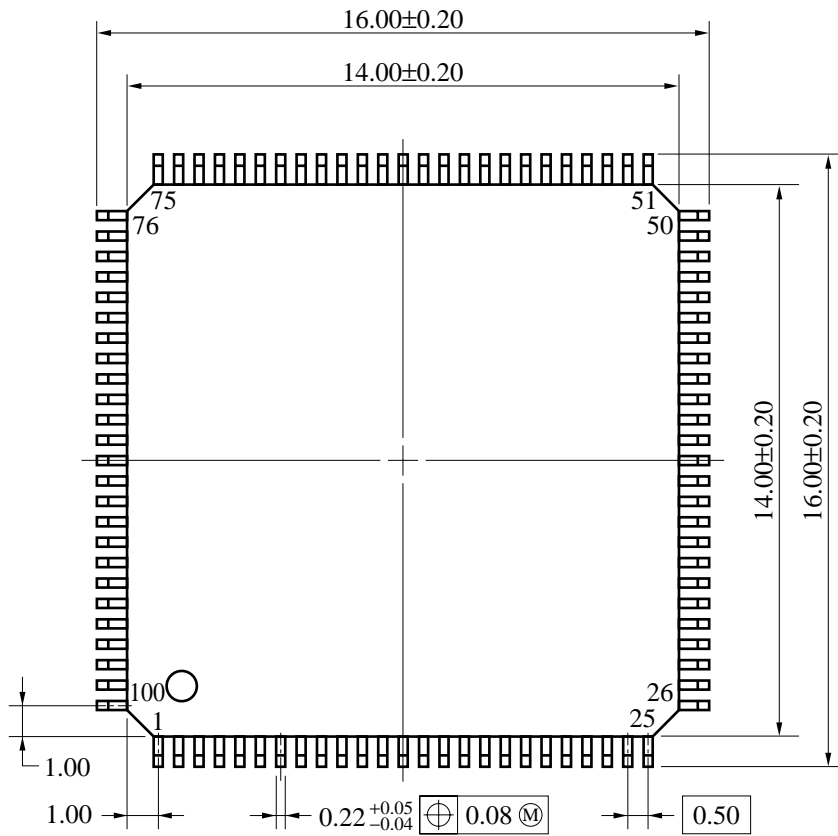
D/Aコンバータ特性

( $T_A = -40 \sim +85$  ,  $V_{DD} = AV_{DD} = 5V \pm 10\%$  ,  $V_{SS} = AV_{SS} = 0V$ )

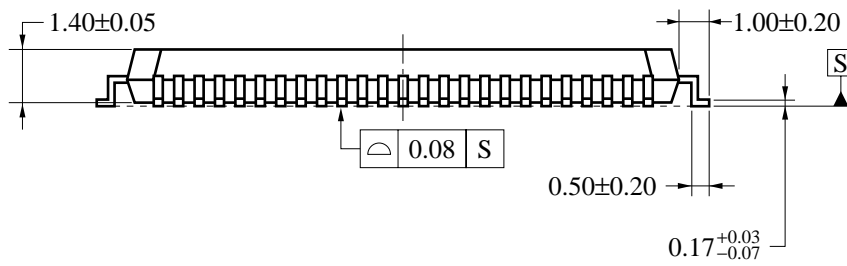
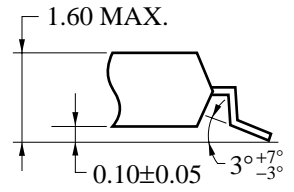
項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
分解能	-		8	8	8	bit
総合誤差	-	負荷条件 : 2 M , 30 pF AVREF2 = VDD AVREF3 = 0			0.8	%
	-	負荷条件 : 2 M , 30 pF AVREF2 = 0.75 VDD AVREF3 = 0.25 VDD			1.0	%
	-	負荷条件 : 4 M , 30 pF AVREF2 = VDD AVREF3 = 0			0.6	%
	-	負荷条件 : 4 M , 30 pF AVREF2 = 0.75 VDD AVREF3 = 0.25 VDD			0.8	%
セットリング・タイム	-	負荷条件 : 2 M , 30 pF			10	μs
出力抵抗	RO			8		k
AVREF2入力電圧	AVREF2		0.75 VDD		VDD	V
AVREF3入力電圧	AVREF3		0		0.25 VDD	V
AVREF2-AVREF3抵抗値	RAIREF	DACS0, DACS1 = 55H	2	4		k

★ 4.外形図

100ピン・プラスチック LQFP (ファインピッチ)(14x14) 外形図 (単位 : mm)



端子先端形状詳細図



S100GC-50-8EU, 8EA-2



表 5 - 1 表面実装タイプの半田付け条件 (2/2)

- ★ (2) μPD703003AGC-33-xxx-8EU-A 100ピン・プラスチックLQFP (ファインピッチ) (14×14)  
 μPD703025AGC-33-xxx-8EU-A #

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260 ，時間：60秒以内 (220 以上) ，回数：3回以内 制限日数：7日間 <sup>注</sup> (以降は125 プリベーク20~72時間必要) <留意事項> 耐熱トレイ以外 (マガジン, テーピング, 非耐熱トレイ) は, 包装状態でのベーキング ができません。	IR60-207-3
ウエーブ・ソルダーリング	詳細については, 当社販売員にお問い合わせください。	-
端子部分加熱	端子温度：350 以下, 時間：3秒以内 (デバイスの一辺当たり)	-

注 ドライパック開封後の保管日数で, 保管条件は25 , 65 %RH以下。

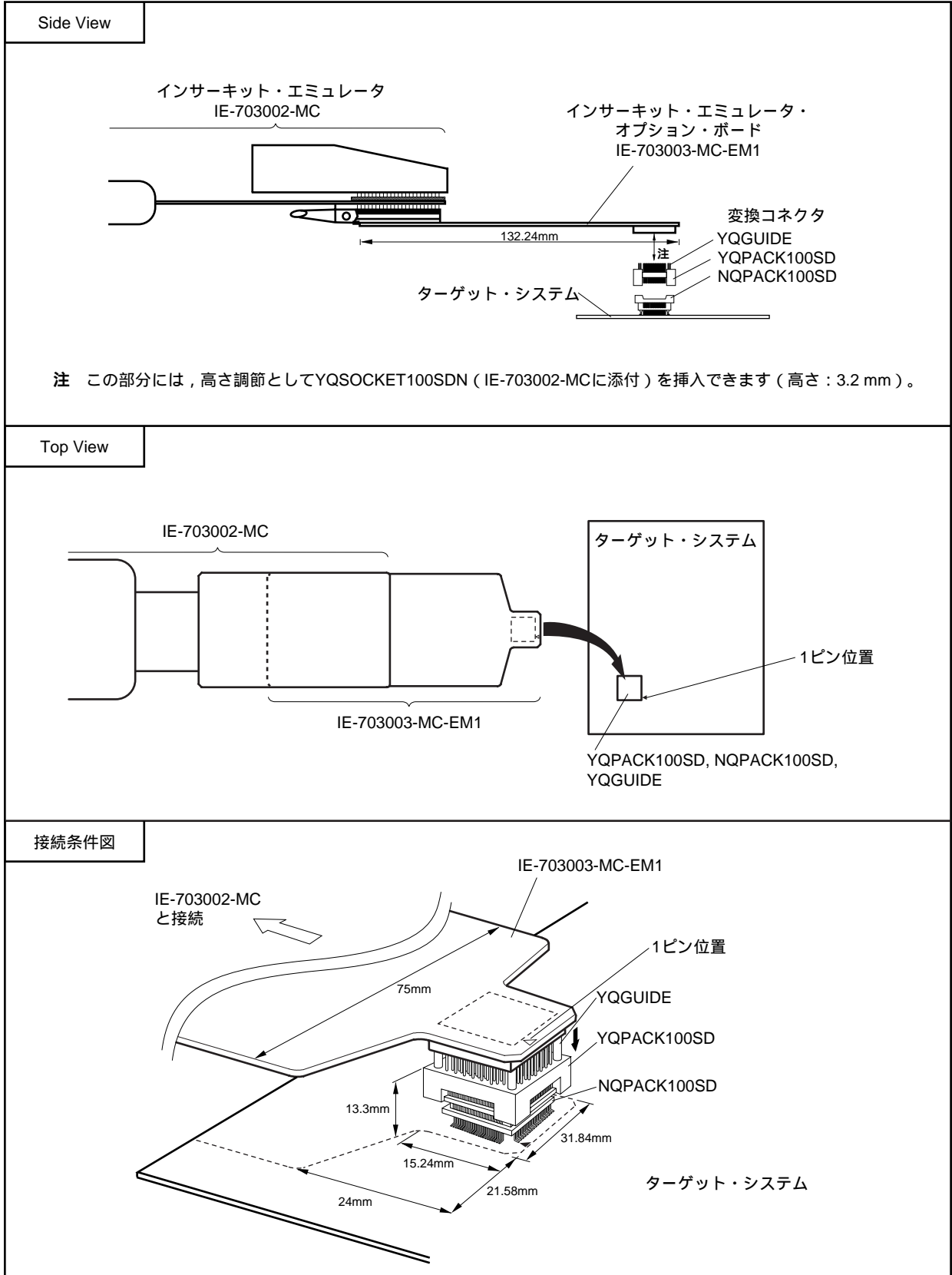
注意 半田付け方式の併用はお避けください (ただし, 端子部分加熱は除く)。

備考 1 . オーダ名称末尾「-A」の製品は, 鉛フリー製品です。

2 . 推奨条件以外の半田付け方式および半田付け条件については, 当社販売員にお問い合わせください。

★ 付録 ターゲット・システム設計上の注意

インサーキット・エミュレータ・オプション・ボードと変換コネクタの接続条件図を次に示します。この構成を基にターゲット・システム上に実装する部品の形状などを考慮してシステム設計をしてください。





〔メ モ〕

〔メ モ〕

[メ モ]

## CMOSデバイスの一般的注意事項

### 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力がノイズなどに起因して、 $V_{IL}$  (MAX.) から  $V_{IH}$  (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 $V_{IL}$  (MAX.) から  $V_{IH}$  (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

### 未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して  $V_{DD}$  または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

### 静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

### 初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

### 電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

### 電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

関連資料 μ PD70F3003A, 70F3025A, 70F3003A(A) データ・シート U13189J

参考資料 電気的特性の考え方 マイコン編 U15170J

関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。

あらかじめご了承ください。

本製品が外国為替及び外国貿易法の規定により規制貨物等（または役務）に該当するか否かは、ユーザ（仕様を決定した者）が判定してください。該当する場合、日本国外に輸出する際には日本国政府の輸出許可が必要です。

- 本資料に記載されている内容は2005年7月現在のものです。今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命、身体および財産に対する損害の危険を最小限度にするために、冗長設計、延焼対策設計、誤動作防止設計等安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

- (1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- (2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

**【発 行】****NECエレクトロニクス株式会社**

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）： **044(435)5111**

---

**お問い合わせ先**

---

**【ホームページ】**

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) **<http://www.necel.co.jp/>****【営業関係、技術関係お問い合わせ先】**

半導体ホットライン

(電話：午前 9:00～12:00, 午後 1:00～5:00)

電 話 : **044-435-9494**E-mail : **info@necel.com****【資料請求先】**

NECエレクトロニクスのホームページよりダウンロードいただくか、NECエレクトロニクスの販売特約店へお申し付けください。