

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

μ PD703000, 703001

V851™

32/16ビット・シングルチップ・マイクロコンピュータ

保守 / 廃止

μ PD703000は、リアルタイム制御向け32ビット・シングルチップ・マイクロコンピュータV850ファミリ™の製品です。32ビットCPU, ROM, RAM, 割り込みコントローラ, リアルタイム・パルス・ユニット, シリアル・インタフェースなどを1チップに集積しています。

μ PD703001は、 μ PD703000のROMレス品です。

詳しい機能説明などは次のマニュアルに記載しております。設計の際には必ずお読みください。

V851 ユーザーズ・マニュアル ハードウェア編 : U10935J

V850ファミリ ユーザーズ・マニュアル アーキテクチャ編 : U10243J

特 徴

命令数 74

最小命令実行時間 30 ns (33 MHz動作時)

汎用レジスタ 32ビット×32本

制御用途に適した命令セット

内蔵メモリ ROM : 32 Kバイト (μ PD703000)

RAM : 1 Kバイト (μ PD703000, 703001)

高機能割り込みコントローラ内蔵

制御に適したリアルタイム・パルス・ユニット

強力なシリアル・インタフェース (専用ポー・レート・ジェネレータ内蔵)

クロック・ジェネレータ内蔵

パワー・セーブ機能

応用分野

サーボ・モータを使用したシステム制御分野 (PPC, プリンタ, NC工作機など)

その他, 高速応答が必要な制御分野 (エンジン制御など)

この資料では、 μ PD703000を代表製品として説明します。

本資料の内容は、後日変更する場合があります。

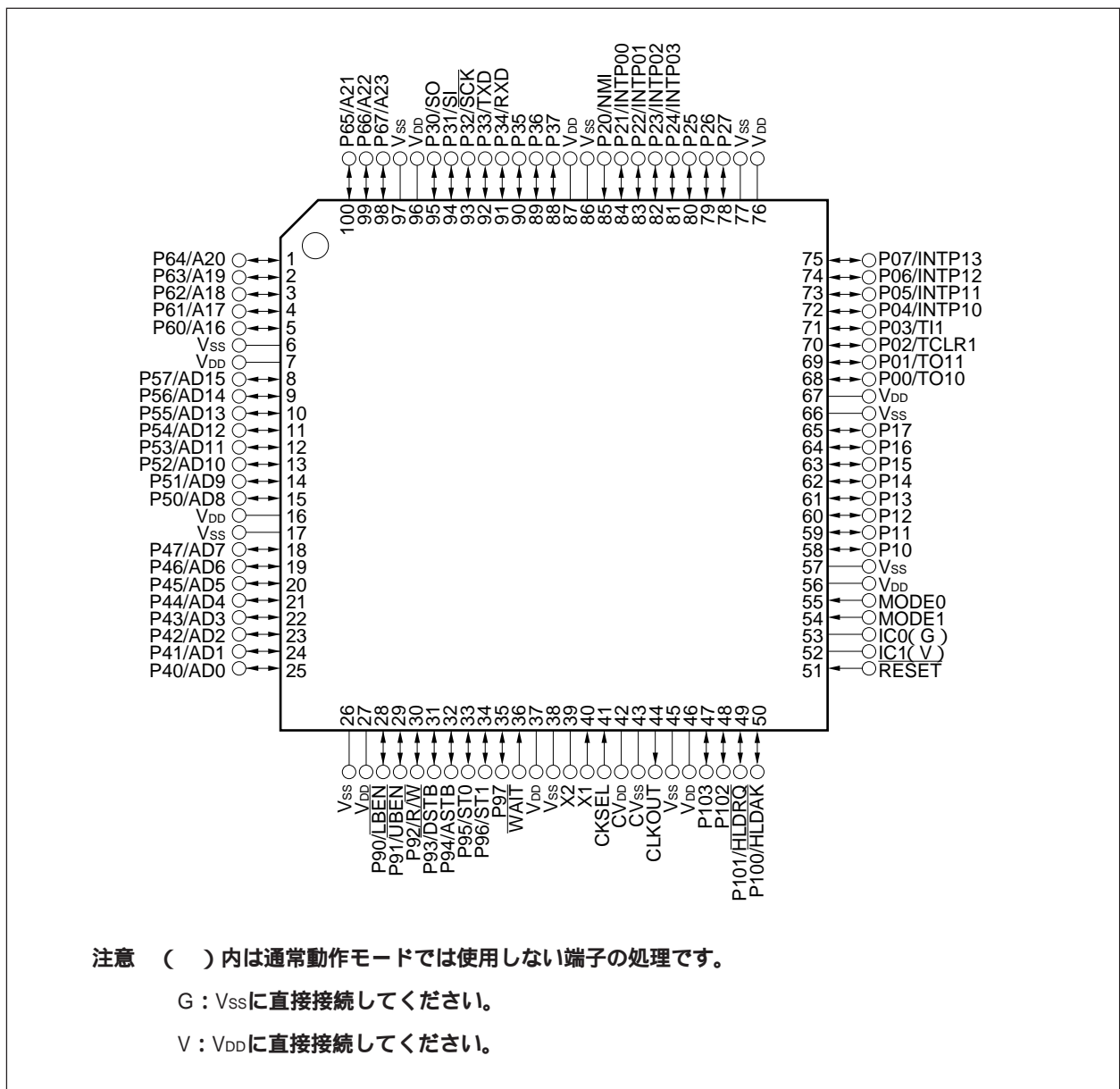
オーダ情報

オーダ名称	パッケージ	最大動作周波数(MHz)	内蔵ROM
μ PD703000GC-25-xxx-7EA	100ピン・プラスチックQFP(ファインピッチ) (14 mm)	25	32 Kバイト
μ PD703000GC-33-xxx-7EA	"	33	"
μ PD703001GC-25-7EA	"	25	なし
μ PD703001GC-33-7EA	"	33	"

備考 xxxはROMコード番号です。

端子接続図

100ピン・プラスチックQFP (ファインピッチ) (14 mm)



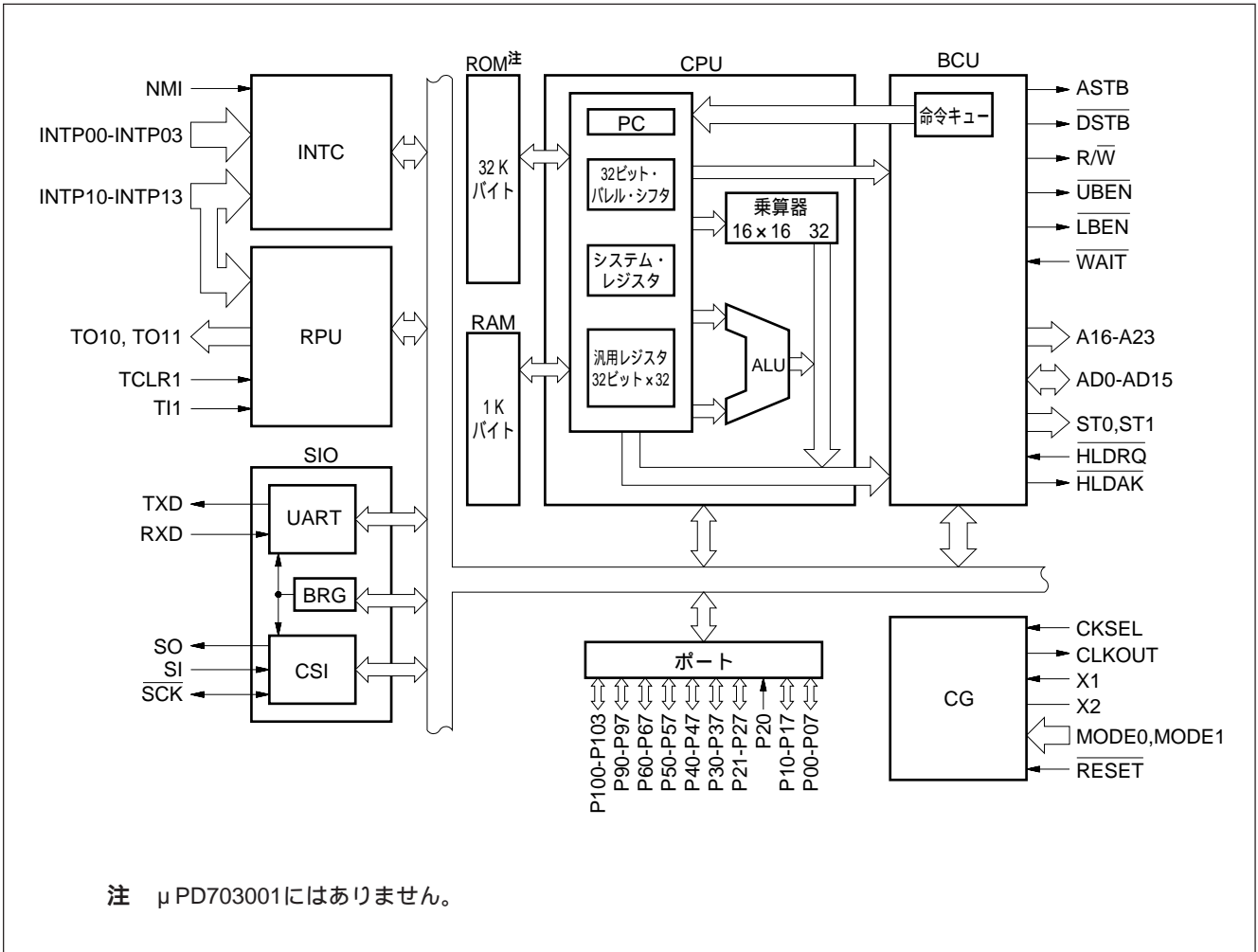
注意 ()内は通常動作モードでは使用しない端子の処理です。

G : V_{SS}に直接接続してください。

V : V_{DD}に直接接続してください。

P00-P07	: Port0	A16-A23	: Address Bus
P10-P17	: Port1	$\overline{\text{LBEN}}$: Lower Byte Enable
P20-P27	: Port2	$\overline{\text{UBEN}}$: Upper Byte Enable
P30-P37	: Port3	$\overline{\text{R/W}}$: Read/Write Status
P40-P47	: Port4	$\overline{\text{DSTB}}$: Data Strobe
P50-P57	: Port5	ASTB	: Address Strobe
P60-P67	: Port6	ST0,ST1	: Status
P90-P97	: Port9	$\overline{\text{HLDAK}}$: Hold Acknowledge
P100-P103	: Port10	$\overline{\text{HLDRQ}}$: Hold Request
TO10,TO11	: Timer Output	CLKOUT	: Clock Output
TCLR1	: Timer Clear	CKSEL	: Clock Select
TI1	: Timer Input	$\overline{\text{WAIT}}$: Wait
INTP00-INTP03,	: Interrupt Request From Peripherals	MODE0, MODE1	: Mode
INTP10-INTP13		$\overline{\text{RESET}}$: Reset
NMI	: Non-maskable Interrupt Request	X1,X2	: Crystal
SO	: Serial Output	CV _{DD}	: Power Supply for Clock Generator
SI	: Serial Input	CV _{SS}	: Ground for Clock Generator
$\overline{\text{SCK}}$: Serial Clock	V _{DD}	: Power Supply
TXD	: Transmit Data	V _{SS}	: Ground
RXD	: Receive Data	IC0, IC1	: Internally Connected
AD0-AD15	: Address/Data Bus		

内部ブロック図



★

目 次

1 . 端子機能一覧 ...	7
1.1 ポート端子 ...	7
1.2 ポート以外の端子 ...	9
1.3 端子の入出力回路と未使用端子の処理 ...	11
2 . 機能ブロック構成 ...	13
2.1 内部ユニット ...	13
2.1.1 CPU ...	13
2.1.2 バス・コントロール・ユニット (BCU) ...	13
2.1.3 ROM ...	13
2.1.4 RAM ...	13
2.1.5 ポ ー ト ...	13
2.1.6 割り込みコントローラ ...	13
2.1.7 クロック・ジェネレータ ...	13
2.1.8 リアルタイム・パルス・ユニット (RPU) ...	13
2.1.9 シリアル・インタフェース ...	14
3 . CPU機能 ...	15
3.1 特 徴 ...	15
4 . バス制御機能 ...	16
4.1 特 徴 ...	16
5 . 割り込み/例外処理機能 ...	17
5.1 特 徴 ...	17
5.2 構 成 ...	17
6 . クロック発生機能 ...	19
6.1 特 徴 ...	19
6.2 構 成 ...	19
7 . タイマ/カウンタ機能 (リアルタイム・パルス・ユニット) ...	20
7.1 特 徴 ...	20
7.2 構 成 ...	21
8 . シリアル・インタフェース機能 (SIO) ...	22
8.1 特 徴 ...	22
8.2 アシクロナス・シリアル・インタフェース (UART) ...	22
8.2.1 特 徴 ...	22
8.2.2 構 成 ...	23
8.3 クロック同期式シリアル・インタフェース (CSI) ...	24

8.3.1	特 徴 ...	24
8.3.2	構 成 ...	24
8.4	ポー・レート・ジェネレータ (BRG) ...	25
8.4.1	特 徴 ...	25
8.4.2	構 成 ...	25
9	ポート機能 ...	26
9.1	特 徴 ...	26
9.2	構 成 ...	26
10	リセット機能 ...	38
10.1	特 徴 ...	38
11	命令セット ...	39
11.1	命令セット一覧表 ...	39
12	電気的特性 ...	46
12.1	$V_{DD} = 5.0 V \pm 10\%$ のとき ...	46
12.2	$V_{DD} = 3.0 \sim 3.6 V$ のとき ...	65
13	特性曲線 (参考値) ...	83
14	外形図 ...	84
15	半田付け推奨条件 ...	85

1. 端子機能一覧

1.1 ポート端子

(1/2)

端子名称	入出力	機 能	兼用端子
P00	入出力	ポート 0 8 ビット入出力ポート 1 ビット単位で入 / 出力の指定が可能	TO10
P01			TO11
P02			TCLR1
P03			TI1
P04			INTP10
P05			INTP11
P06			INTP12
P07			INTP13
P10-P17	入出力	ポート 1 8 ビット入出力ポート 1 ビット単位で入 / 出力の指定が可能	-
P20	入力	ポート 2 P20は入力専用ポート 有効エッジが入力されるとNMI入力として動作します。 また、P2レジスタのビット 0 でNMI入力の状態を示します。 P21-P27は 7 ビット入出力ポート 1 ビット単位で入 / 出力の指定が可能	NMI
P21	入出力		INTP00
P22			INTP01
P23			INTP02
P24			INTP03
P25-P27			-
P30	入出力	ポート 3 8 ビット入出力ポート 1 ビット単位で入 / 出力の指定が可能	SO
P31			SI
P32			SK
P33			TXD
P34			RXD
P35-P37			-
P40-P47	入出力	ポート 4 8 ビット入出力ポート 1 ビット単位で入 / 出力の指定が可能	AD0-AD7
P50-P57	入出力	ポート 5 8 ビット入出力ポート 1 ビット単位で入 / 出力の指定が可能	AD8-AD15
P60-P67	入出力	ポート 6 8 ビット入出力ポート 1 ビット単位で入 / 出力の指定が可能	A16-A23

(2/2)

端子名称	入出力	機能	兼用端子
P90	入出力	ポート9 8ビット入出力ポート 1ビット単位で入/出力の指定が可能	$\overline{\text{LBEN}}$
P91			$\overline{\text{UBEN}}$
P92			$\overline{\text{R/W}}$
P93			$\overline{\text{DSTB}}$
P94			$\overline{\text{ASTB}}$
P95			$\overline{\text{ST0}}$
P96			$\overline{\text{ST1}}$
P97			-
P100	入出力	ポート10 4ビット入出力ポート 1ビット単位で入/出力の指定が可能	$\overline{\text{HLDAK}}$
P101			$\overline{\text{HLDRQ}}$
P102			-
P103			-

1.2 ポート以外の端子

(1/2)

端子名称	入出力	機能	兼用端子
TO10	出力	タイマ1のバルス信号出力	P00
TO11			P01
TCLR1	入力	タイマ1の外部クリア信号入力	P02
TI1		タイマ1の外部カウント・クロック入力	P03
INTP10	入力	外部マスカブル割り込み要求入力兼 タイマ1の外部キャプチャ・トリガ入力	P04
INTP11			P05
INTP12			P06
INTP13			P07
NMI	入力	ノンマスカブル割り込み要求入力	P20
INTP00	入力	外部マスカブル割り込み要求入力	P21
INTP01			P22
INTP02			P23
INTP03			P24
SO	出力	CSIのシリアル送信データ出力	P30
SI	入力	CSIのシリアル受信データ入力	P31
SCK	入出力	CSIのシリアル・クロック入出力	P32
TXD	出力	UARTのシリアル送信データ出力	P33
RXD	入力	UARTのシリアル受信データ入力	P34
AD0-AD7	入出力	外部にメモリを拡張する場合の16ビット・マルチプレクスト・アドレス/データ・バス	P40-P47
AD8-AD15			P50-P57
A16-A23	出力	外部にメモリを拡張する場合の上位アドレス・バス	P60-P67
LBEN	出力	外部データ・バスの下位バイト・イネーブル信号出力	P90
UBEN		外部データ・バスの上位バイト・イネーブル信号出力	P91
R/W		外部リード/ライト・ステータス出力	P92
DSTB		外部データ・ストロブ信号出力	P93
ASTB		外部アドレス・ストロブ信号出力	P94
ST0		外部バス・サイクル・ステータス出力	P95
ST1			P96
HLDAK	出力	バス・ホールド・アクノリッジ出力	P100
HLDRQ	入力	バス・ホールド要求入力	P101
CLKOUT	出力	システム・クロック出力	-
CKSEL	入力	クロック・ジェネレータの動作モードを指定する入力端子	-
WAIT	入力	バス・サイクルにウエイトを挿入する制御信号入力	-
MODE0, MODE1	入力	動作モード指定	-
RESET	入力	システム・リセット入力	-
X1	入力	システム・クロック用振動子接続。外部からクロックを供給する場合はX1に入力しま	-
X2			す。
CV _{DD}	-	内蔵クロック・ジェネレータ用正電源供給	-
CV _{SS}	-	内蔵クロック・ジェネレータ用グラウンド電位	-

(2/2)

端子名称	入出力	機能	兼用端子
V _{DD}	-	正電源供給	-
V _{SS}	-	グランド電位	-
IC0, IC1	-	内部接続	-

1.3 端子の入出力回路と未使用端子の処理

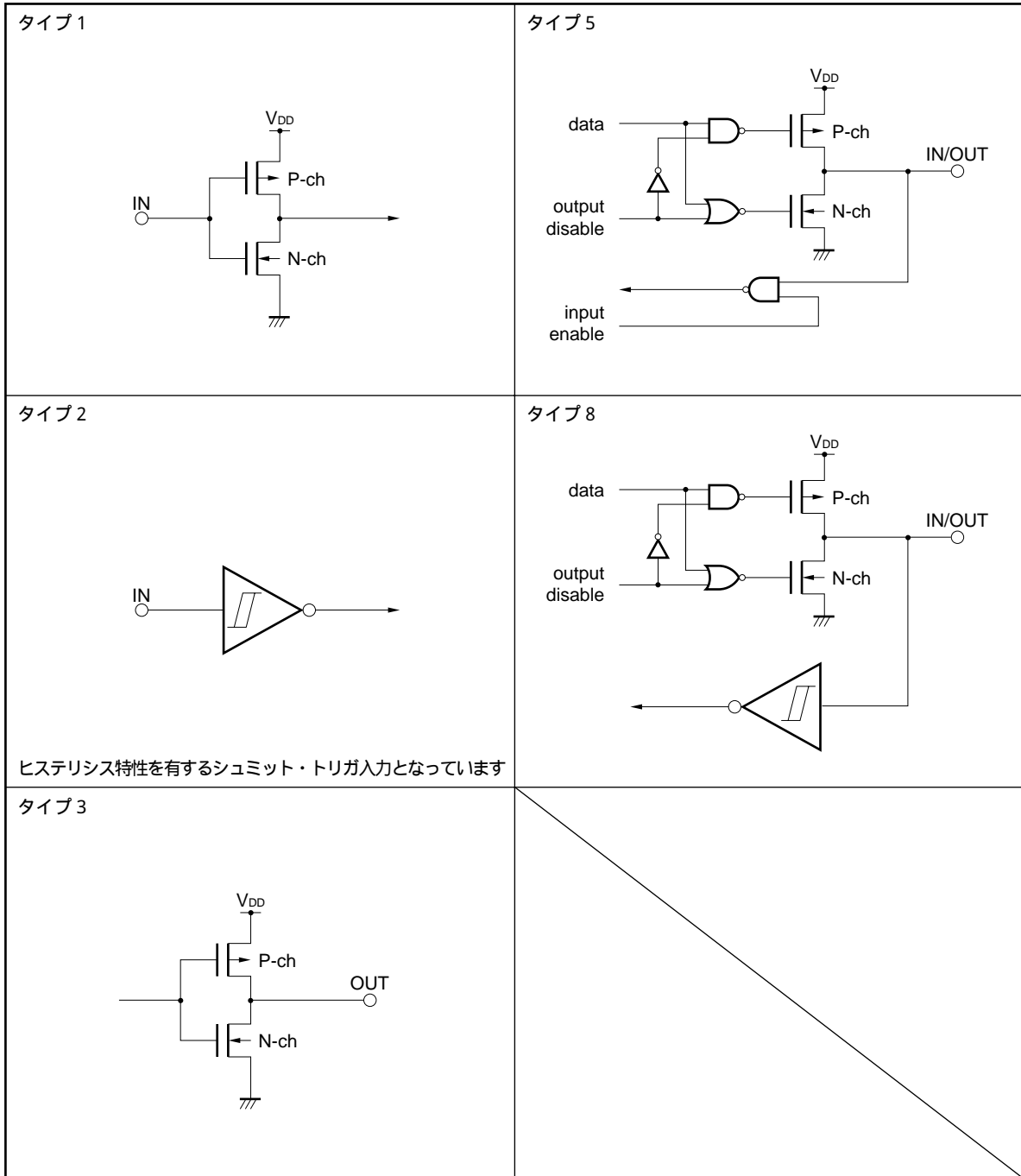
通常動作モード時の各端子の入出力回路タイプと未使用時の処理方法（推奨接続方法）を表1-1に、また、各タイプの回路図を一部簡略化した形式を用いて図1-1に示します。

なお、抵抗を介してV_{DD}、またはV_{SS}に接続する場合、3-10 k の抵抗を使用することをお勧めします。

表1-1 各端子の入出力回路タイプと未使用時の処理

端 子	入出力回路タイプ	推奨接続方法
P00/TO10,P01/TO11	5	入力状態：個別に抵抗を介してV _{DD} またはV _{SS} に接続 出力状態：オープン
P02/TCLR1,P03/TI1, P04/INTP10-P07/INTP13	8	
P10-P17	5	
P20/NMI	2	V _{SS} に直接接続
P21/INTP00-P24/INTP03	8	入力状態：個別に抵抗を介してV _{DD} またはV _{SS} に接続 出力状態：オープン
P25	5	
P26,P27	8	
P30/SO	5	
P31/SI,P32/SCK	8	
P33/TXD,P34/RXD,P35	5	
P36,P37	8	
P40/AD0-P47/AD7	5	
P50/AD8-P57/AD15		
P60/A16-P67/A23		
P90/LBEN		
P91/UBEN		
P92/R \bar{W}		
P93/DSTB		
P94/ASTB		
P95/ST0,P96/ST1		
P97		
P100/HLDAK		
P101/HLDRQ		
P102		
P103		
CLKOUT	3	オープン
CKSEL	2	-
WAIT	1	V _{DD} に直接接続
MODE0,MODE1	2	-
RESET		
IC0	-	V _{SS} に直接接続
IC1	-	V _{DD} に直接接続

図 1 - 1 端子の入出力回路



2. 機能ブロック構成

2.1 内部ユニット

2.1.1 CPU

アドレス計算, 算術論理演算, データ転送などのほとんどの命令処理を5段パイプライン制御により1クロックで実行します。

乗算器(16×16), バレル・シフタ(32ビット)などの専用ハードウェアを内蔵し, 複雑な命令処理の高速化を図っています。また, 内蔵のROM(32 Kバイト), RAM(1 Kバイト)は, CPUから1クロックでアクセス可能です。

2.1.2 バス・コントロール・ユニット(BCU)

- ★ CPUで得られた物理アドレスに基づいて必要な外部バス・サイクルを起動します。外部メモリ領域から命令フェッチするときに, CPUからのバス・サイクル起動の要求がない場合は, プリフェッチ・アドレスを生成し, 命令コードのプリフェッチを行います。プリフェッチされた命令コードは内部の命令キューに取り込まれます。

2.1.3 ROM

00000000H番地からマッピングされる32 KバイトのROMで, MODE0, MODE1端子によりアクセス禁止/許可の指定が可能です。

このROMは, 命令フェッチ時にCPUから1クロックでアクセスされます。

2.1.4 RAM

FFFFE000H番地からマッピングされる1 KバイトのRAMです。このRAMは, データ・アクセス時にCPUから1クロックでアクセスすることができます。

2.1.5 ポート

ポート0から10の合計68本の入出力ポート(うち1本は入力専用ポート)を備え, ポート端子とコントロール端子の機能を選択して使用することができます。

2.1.6 割り込みコントローラ

内蔵周辺ハードウェアおよび, 外部からのハードウェア割り込み要求(NMI, INTP00-INTP03, INTP10-INTP13)を処理します。これらの割り込み要求は, 8レベルの割り込み優先順位を指定ことができ, 割り込み要因に対し多重処理制御を行うことができます。

2.1.7 クロック・ジェネレータ

X1, X2端子に接続された発振子の5倍(内蔵PLL使用時)または, 1/2倍(内蔵PLL未使用時)の周波数をCPUの動作クロックとして供給します。また, 発振子を接続する代わりに外部クロックを入力することもできます。

2.1.8 リアルタイム・パルス・ユニット(RPU)

16ビットのタイマ/イベント・カウンタと, 16ビットのインターバル・タイマを内蔵し, パルス間隔や周波数の計測, プログラマブルなパルスの出力が可能になっています。

2.1.9 シリアル・インタフェース

シリアル・インタフェースとして、アシンクロナス・シリアル・インタフェース (UART) とクロック同期式シリアル・インタフェース (CSI) を各 1 チャンネル備えています。

UARTは、TXD, RXD端子によりデータ転送を行います。ボー・レートは、内蔵のボー・レート・ジェネレータで発生させます。CSIは、SO, SI, $\overline{\text{SCK}}$ 端子によりデータ転送を行います。ボー・レートは内蔵ボー・レート・ジェネレータと外部からの供給を選択できます。

3 . CPU機能

μPD703000のCPUは、RISCアーキテクチャをベースとし、5段パイプラインの制御によりほとんどの命令を1クロックで実行します。

3.1 特 徴

最小命令実行時間 30 ns (内部33 MHz動作時)

アドレス空間 : 16 Mバイト・リニア

汎用レジスタ 32ビット×32本

内部32ビット・アーキテクチャ

5段パイプライン制御

乗除算命令

飽和演算命令

32ビット・シフト命令 : 1クロック

ロング/ショート・フォーマット

内蔵メモリ

・ROM 32 Kバイト

・RAM 1 Kバイト

ビット操作命令4種

・セット

・クリア

・ノット

・テスト

4. バス制御機能

4.1 特 徴

ポートとの兼用端子で、外部デバイスとの接続が可能

ウェイト機能

- ・ 2ブロックごとに最大3ステートのプログラマブル・ウェイト機能
- ・ $\overline{\text{WAIT}}$ 端子による外部ウェイト機能

アイドル・ステート挿入機能

バス使用权調停機能

バス・ホールド機能

5. 割り込み / 例外処理機能

5.1 特 徴

割り込み

- ・ノンマスクブル割り込み 1 要因
- ・マスクブル割り込み 14 要因
- ・8 レベルのプログラマブル優先順位制御
- ・優先順位に従った割り込み多重処理制御
- ・個々のマスクブル割り込み要求に対するマスク指定
- ・外部割り込み要求の有効エッジ指定

例外

- ・ソフトウェア例外 32 要因
- ・例外トラップ 1 要因 (不正命令コード例外)

5.2 構 成

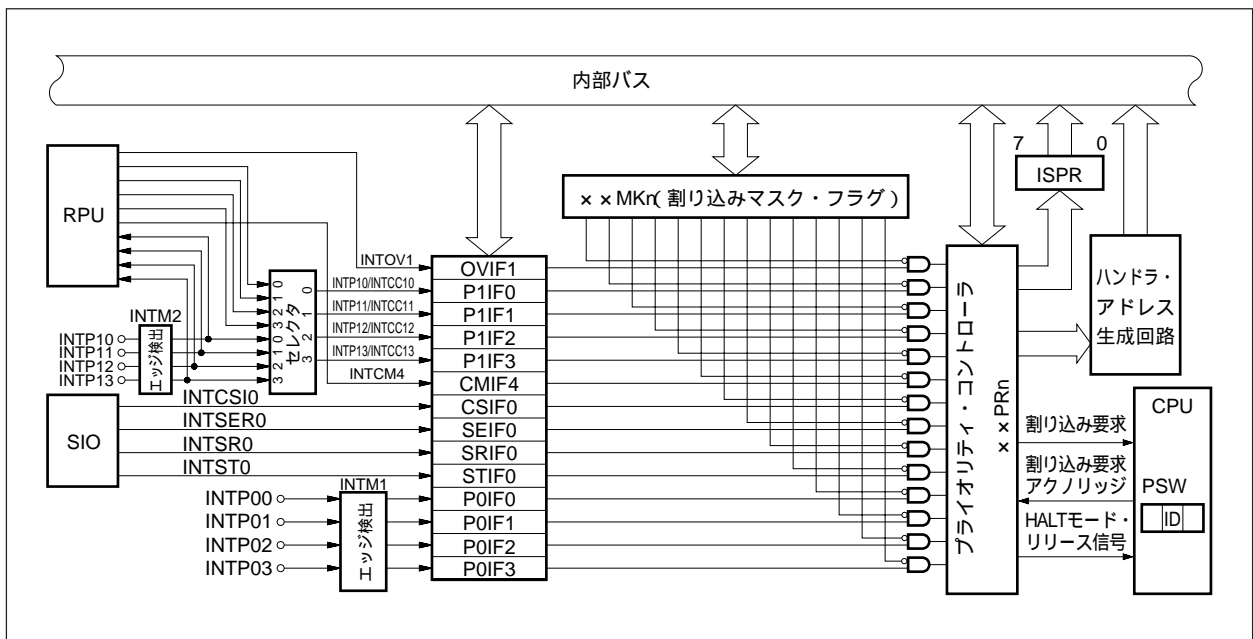


表 5 - 1 割り込み一覧

種類	分類	割り込み / 例外要因				デフォルト・ プライオリティ	例外 コード	ハンドラ・ アドレス	復帰PC
		名称	制御レジスタ	発生要因	発生ユニット				
リセット	割り込み	RESET	-	リセット入力	-	-	0000H	00000000H	不定
ノンマスクابل	割り込み	NMI	-	MMI入力	-	-	0010H	00000010H	next PC
ソフトウェア例外	例外	TRAP0 ^注	-	TRAP命令	-	-	004 ^注 H	00000040H	next PC
	例外	TRAP1 ^注	-	TRAP命令	-	-	005 ^注 H	00000050H	next PC
例外トラップ	例外	ILGOP	-	不正命令コード	-	-	0060H	00000060H	next PC
マスクابل	割り込み	INTOV1	OVIC1	タイマ 1 オーバフロー	RPU	0	0080H	00000080H	next PC
	割り込み	INTP10/ INTCC10	P1IC0	INTP10端子/CC10一致	端子/RPU	1	0090H	00000090H	next PC
	割り込み	INTP11/ INTCC11	P1IC1	INTP11端子/CC11一致	端子/RPU	2	00A0H	000000A0H	next PC
	割り込み	INTP12/ INTCC12	P1IC2	INTP12端子/CC12一致	端子/RPU	3	00B0H	000000B0H	next PC
	割り込み	INTP13/ INTCC13	P1IC3	INTP13端子/CC13一致	端子/RPU	4	00C0H	000000C0H	next PC
	割り込み	INTCM4	CMIC4	CM4一致	RPU	5	00D0H	000000D0H	next PC
	割り込み	INTCSI0	CSIC0	CSI0送受信完了	SIO	6	00E0H	000000E0H	next PC
	割り込み	INTSER0	SEIC0	UART0受信エラー	SIO	7	00F0H	000000F0H	next PC
	割り込み	INTSR0	SRIC0	UART0受信完了	SIO	8	0100H	00000100H	next PC
	割り込み	INTST0	STIC0	UART0送信完了	SIO	9	0110H	00000110H	next PC
	割り込み	INTP00	P0IC0	INTP00端子	端子	10	0120H	00000120H	next PC
	割り込み	INTP01	P0IC1	INTP01端子	端子	11	0130H	00000130H	next PC
	割り込み	INTP02	P0IC2	INTP02端子	端子	12	0140H	00000140H	next PC
	割り込み	INTP03	P0IC3	INTP03端子	端子	13	0150H	00000150H	next PC

注 nは0-FHの値

備考 1 . デフォルト・プライオリティ : 複数のマスクابل割り込み要求が同時に発生している場合に優先される順位です。0 が最高優先順位です。

復帰PC : 割り込み / 例外処理起動時にEIPCまたはFEPCにセーブされるPC値のことです。ただし, DIVH (除算) 命令実行中に割り込みを受け付けたときセーブされる復帰PC値は, カレントの命令 (DIVH) のPC値となります。

2 . 不正命令コード例外時の不正命令の実行アドレスは, (復帰PC - 4) で求められます。

6. クロック発生機能

6.1 特 徴

PLLクロック・シンセサイザによる通倍機能 ($f_{xx} = \frac{1}{5} \times$)

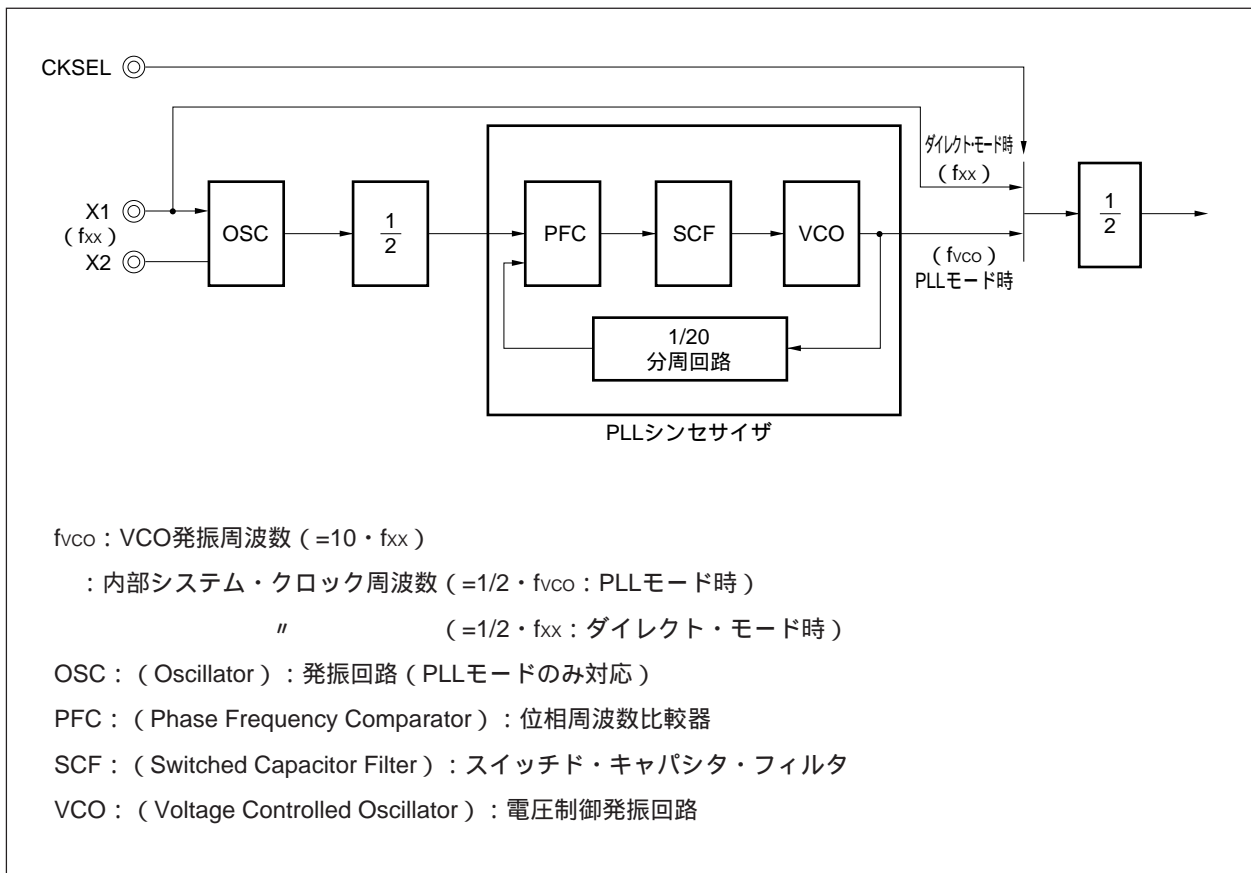
外部クロックを直接入力するダイレクト・モード

パワー・セーブ・モード

- ・ HALTモード
- ・ IDLEモード
- ・ ソフトウェアSTOPモード

クロック出力インヒビット機能

6.2 構 成



7. タイマ/カウンタ機能 (リアルタイム・パルス・ユニット)

7.1 特 徴

パルス間隔や周波数の計測および、プログラマブルなパルスの出力

- ・16ビット計測可能
- ・多彩な形状のパルスを発生可能 (インターバル・パルス, ワンショット・パルス)

タイマ1

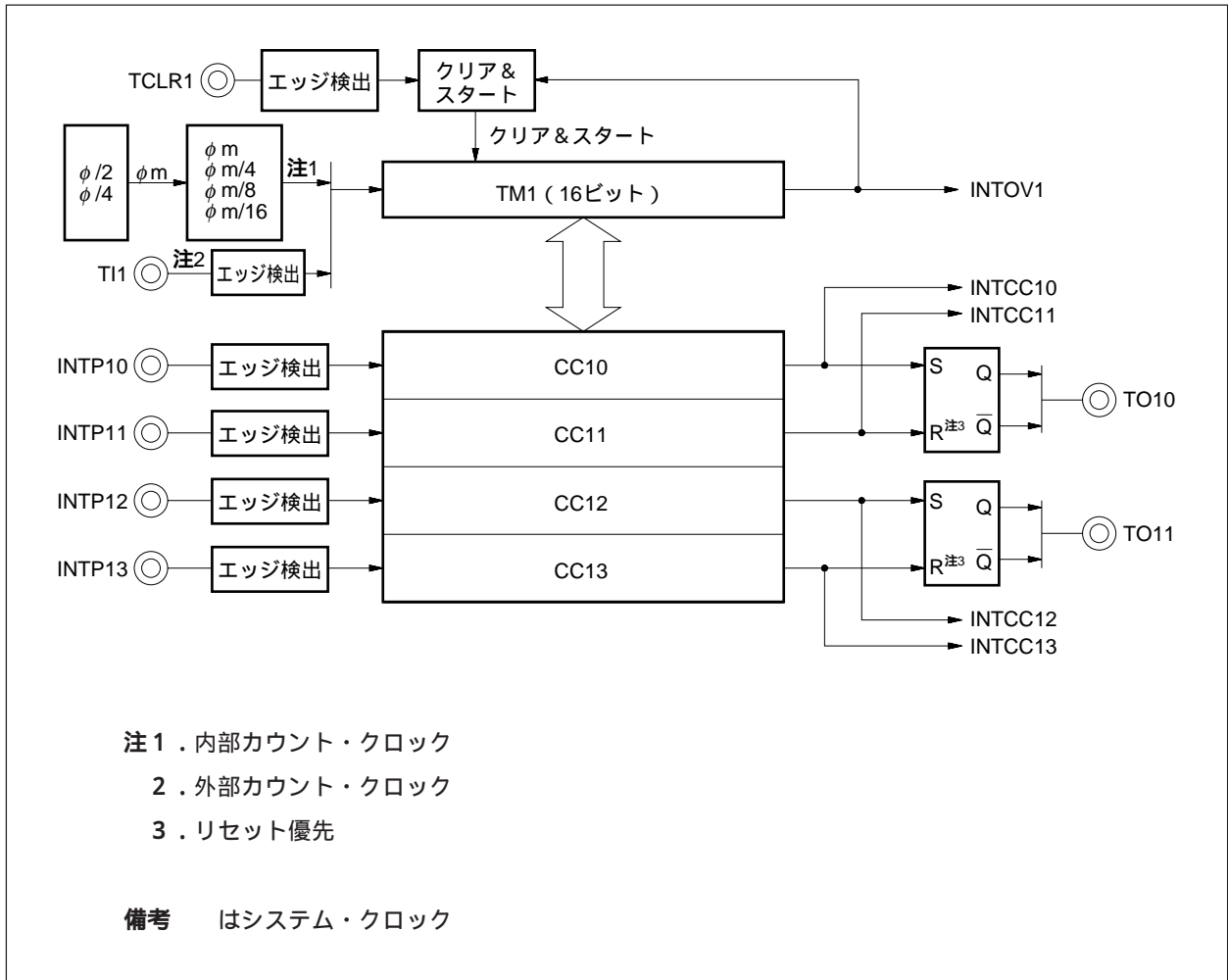
- ・16ビット・タイマ/イベント・カウンタ
- ・カウント・クロックのソース: 2種 (システム・クロックの分周を選択, 外部パルス入力)
- ・キャプチャ/コンペア共用レジスタ: 4本
- ・カウント・クリア端子: TCLR1
- ・割り込みソース: 5種
- ・外部パルス出力: 2本

タイマ4

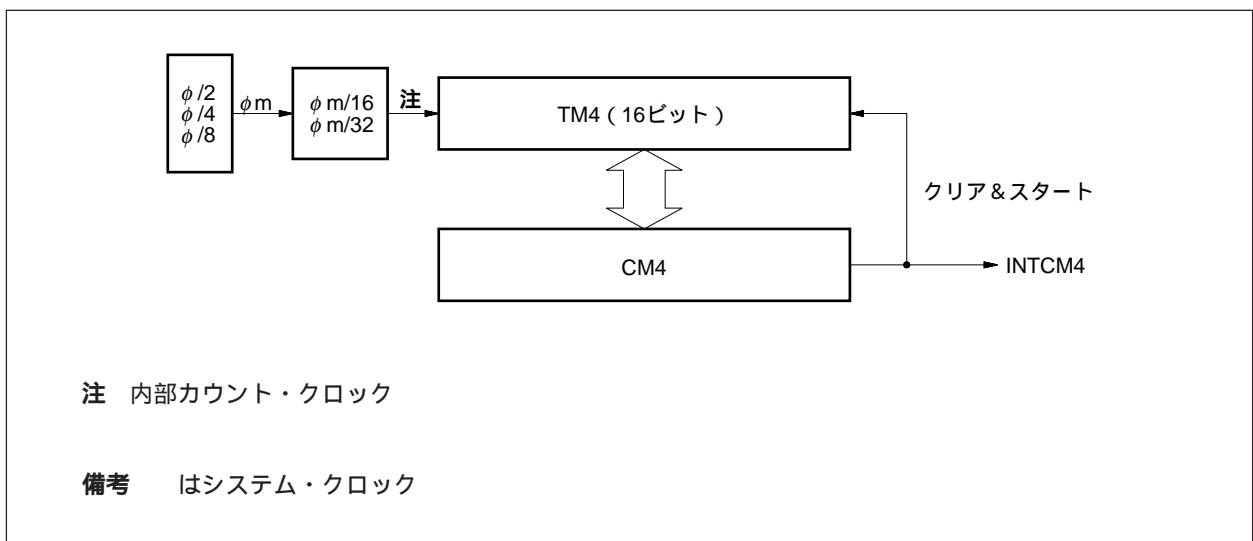
- ・16ビット・インターバル・タイマ
- ・カウント・クロックは, システム・クロックの分周から選択
- ・コンペア・レジスタ: 1本
- ・割り込みソース: 1種

7.2 構成

(1) タイマ1 (16ビット・タイマ/イベント・カウンタ)



(2) タイマ4 (16ビット・インターバル・タイマ)



8. シリアル・インタフェース機能 (SIO)

8.1 特 徴

μPD703000は、独立した2チャンネルのシリアル・インタフェースを備えています。

- (1) アシクロナス・シリアル・インタフェース (UART)
- (2) クロック同期式シリアル・インタフェース (CSI)

8.2 アシクロナス・シリアル・インタフェース (UART)

8.2.1 特 徴

転送速度

150 bps ~ 76800 bps (システム・クロック 33 MHz時)

全二重通信

2端子構成

TXD 送信データの出力端子

RXD 受信データの入力端子

受信エラー検出機能

- ・パリティ・エラー
- ・フレーミング・エラー
- ・オーバラン・エラー

割り込みソース3種

- ・受信エラー割り込み (INTSER0)
- ・受信完了割り込み (INTSR0)
- ・送信割り込み (INTST0)

送受信データのキャラクタ長は、ASIM0, 1レジスタで指定

キャラクタ長: 7, 8ビット

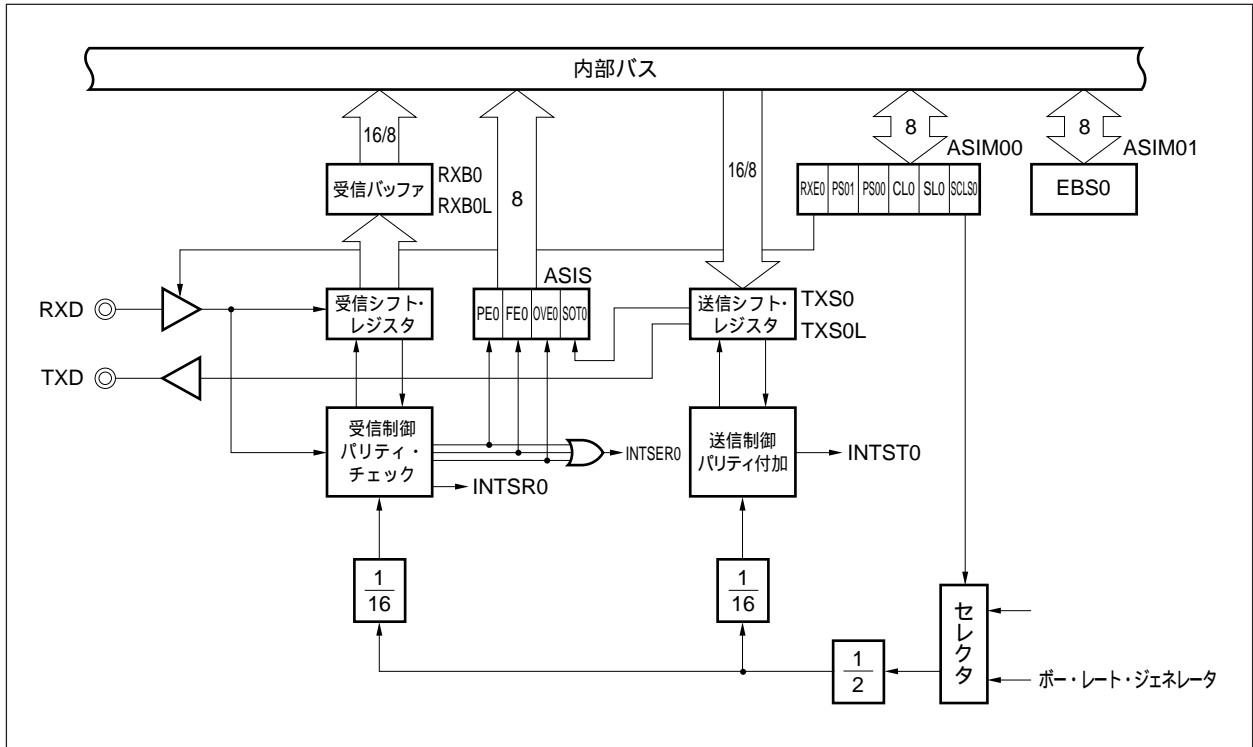
9ビット (拡張ビット付加時)

パリティ機能: 奇数, 偶数, 0, なし

送信ストップ・ビット: 1, 2ビット

ポー・レート・ジェネレータ内蔵

8.2.2 構成



8.3 クロック同期式シリアル・インタフェース (CSI)

8.3.1 特徴

高速転送

MAX 8.25 Mbps (システム・クロック 33 MHz動作時)

半二重通信

データ長は8ビット単位

外部・内部クロック選択可能

3端子使用

SO : シリアル・データ出力端子

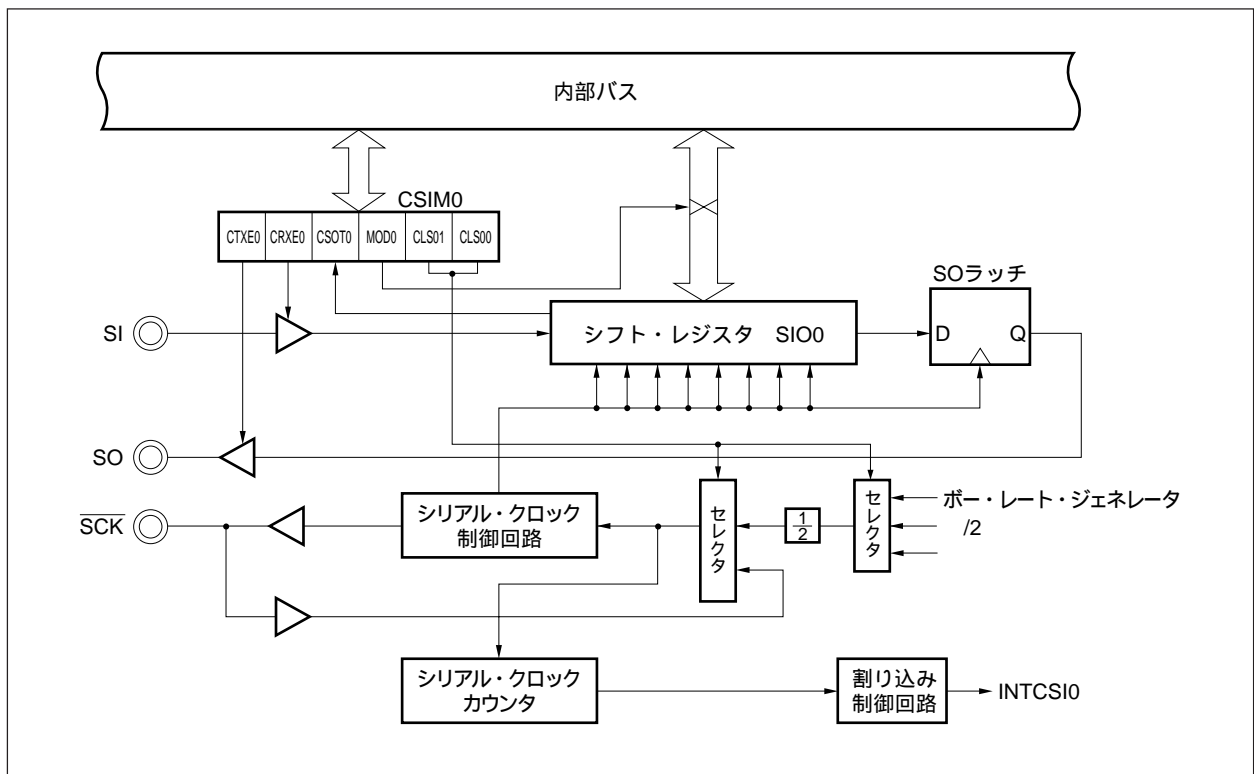
SI : シリアル・データ入力端子

SCK : シリアル・クロック入出力端子

割り込みソース1種

- ・ 割り込み要求信号 (INTCSI0)

8.3.2 構成

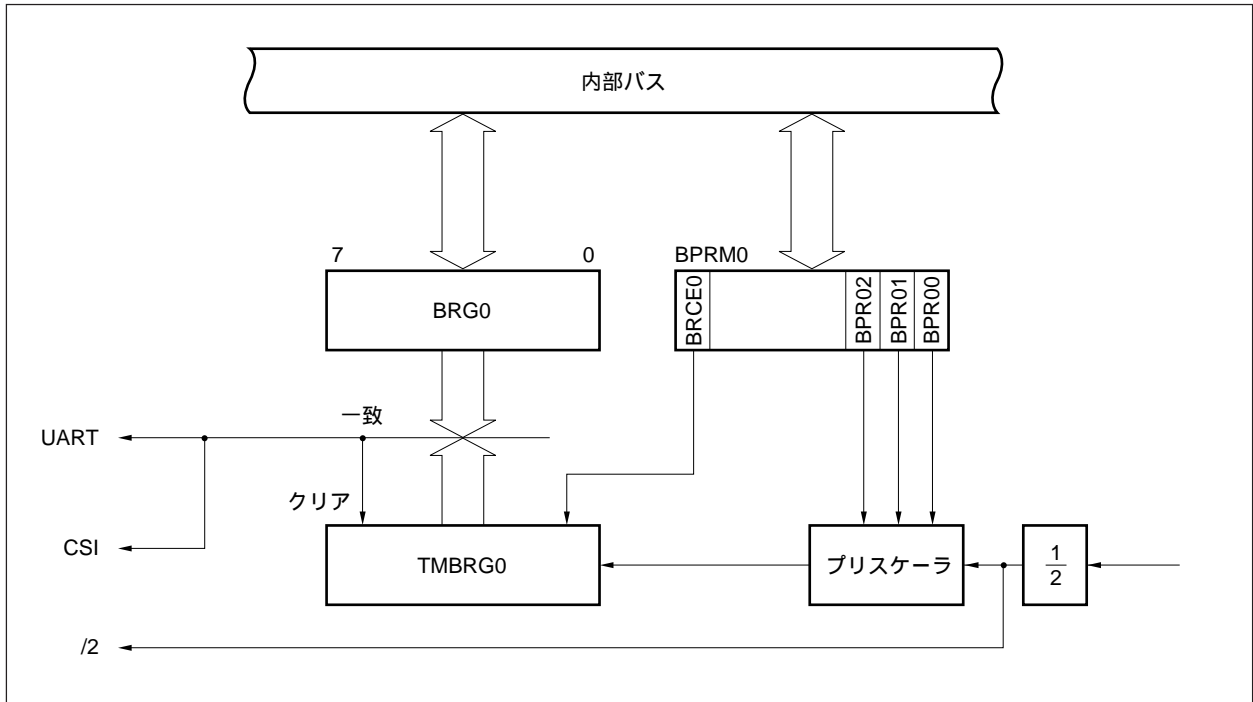


8.4 ポー・レート・ジェネレータ (BRG)

8.4.1 特 徴

シリアル・クロックをポー・レート・ジェネレータ出力と (システム・クロック) から選択可能
送受信のポー・レートは同一

8.4.2 構 成



9. ポート機能

9.1 特徴

μPD703000のポートには、以下のような特徴があります。

本数

入力専用ポート 1本

入出力ポート 67本

ほかの周辺機能の入出力端子と兼用

ビット単位で入力/出力指定可能

ノイズ除去

エッジ検出

9.2 構成

図9-1 P00, P01 (ポート0) のブロック図

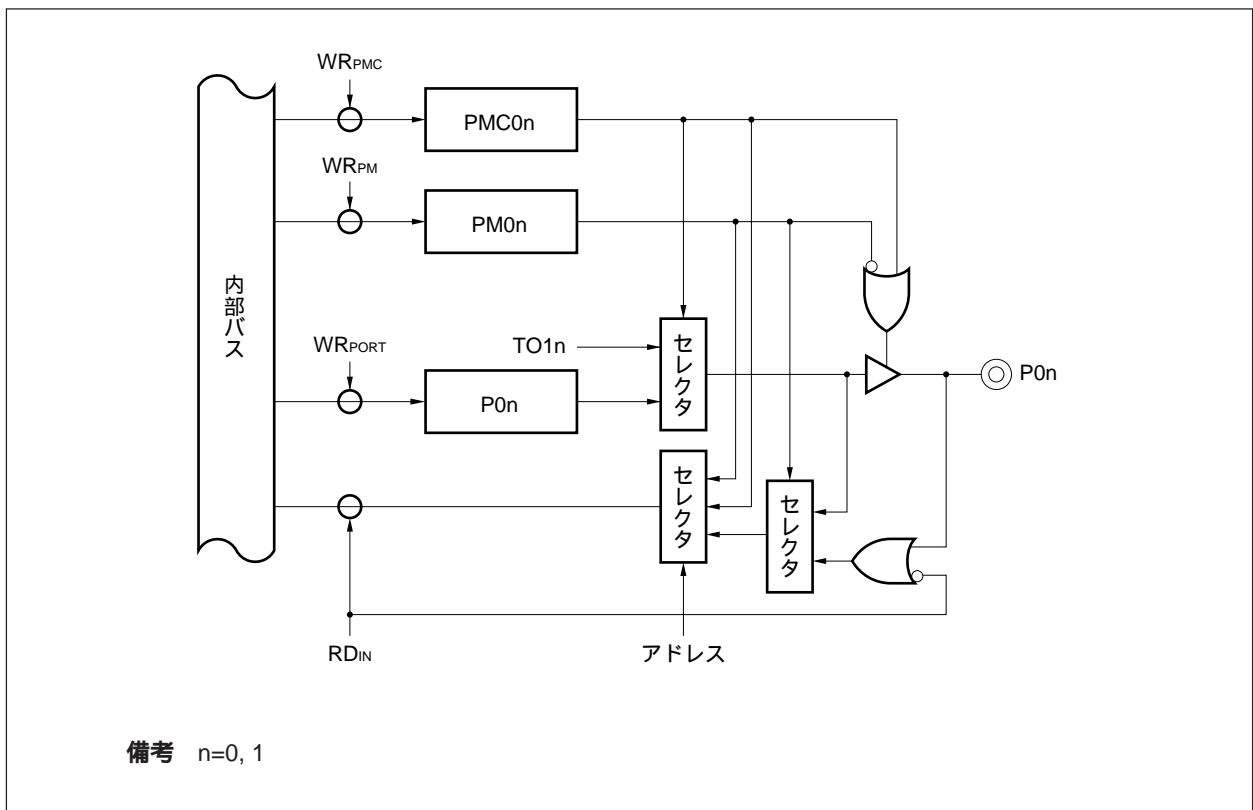


図9-2 P02-P07 (ポート0) のブロック図

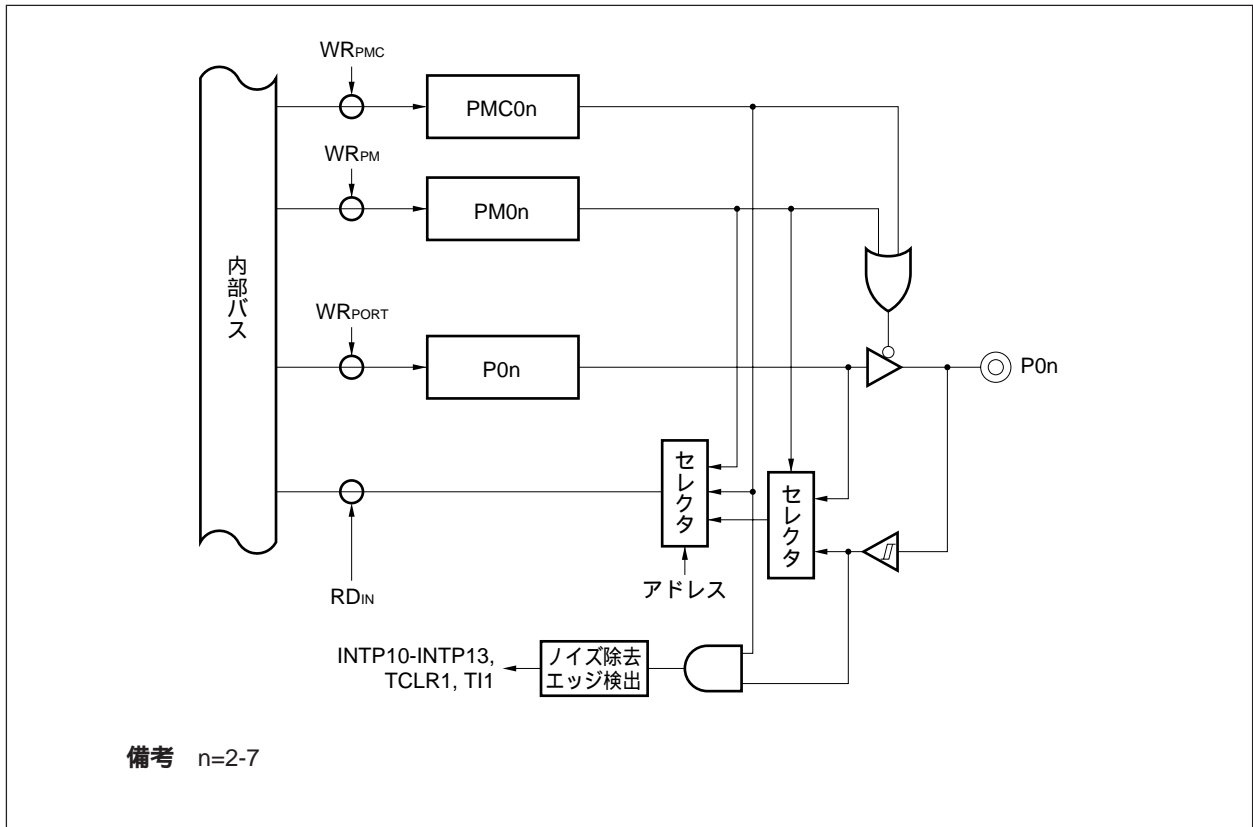


図9-3 P10-P17 (ポート1) のブロック図

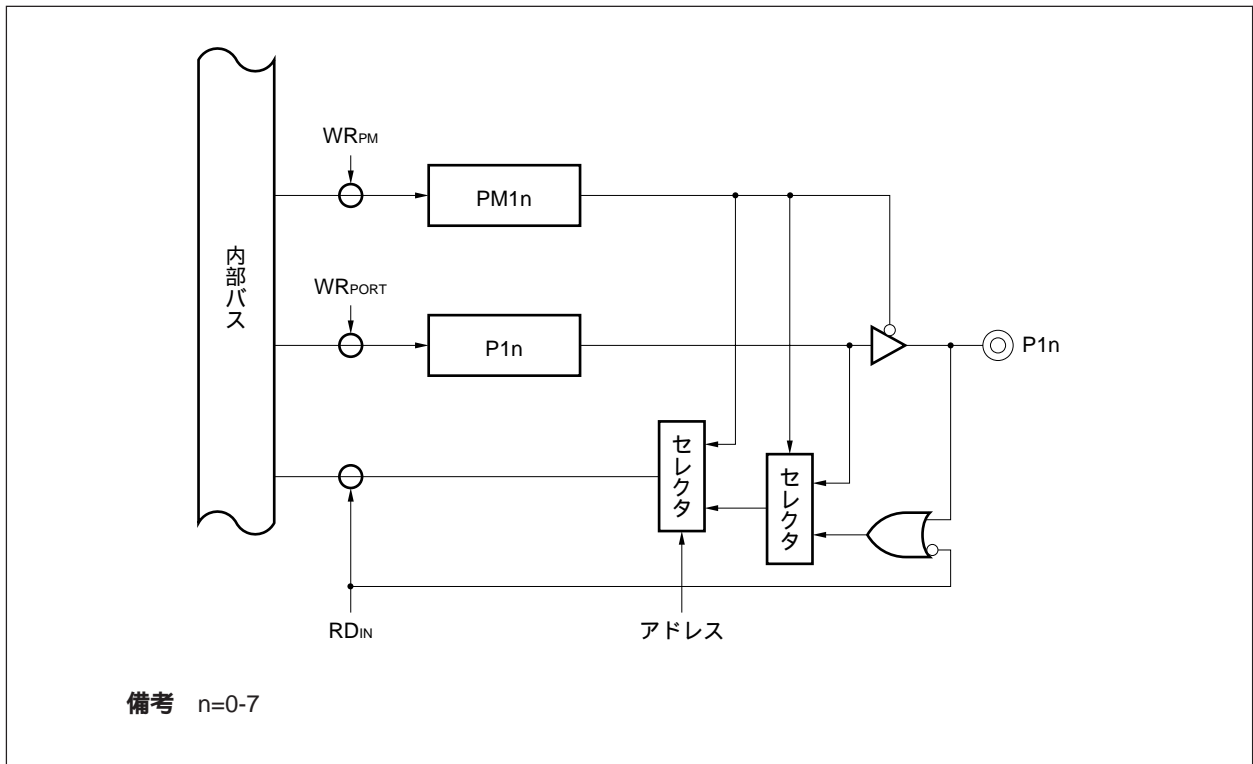


図9 - 4 P20 (ポート2) のブロック図

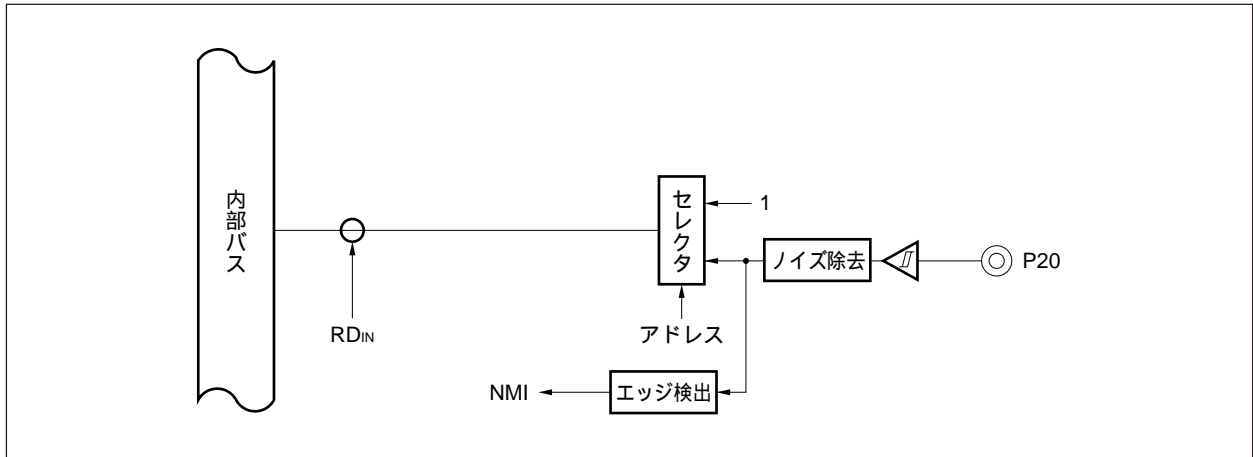


図9 - 5 P21-P24 (ポート2) のブロック図

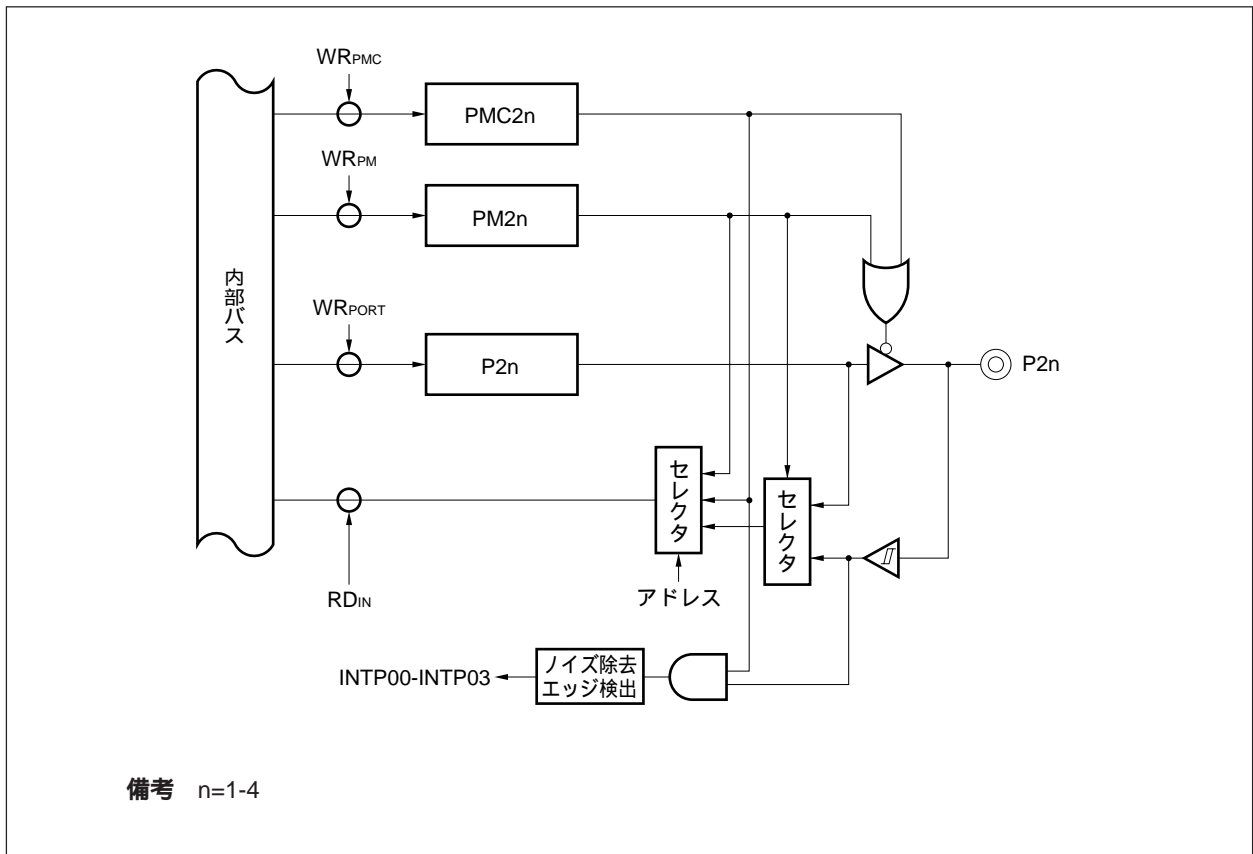


図9 - 6 P25 (ポート2) のブロック図

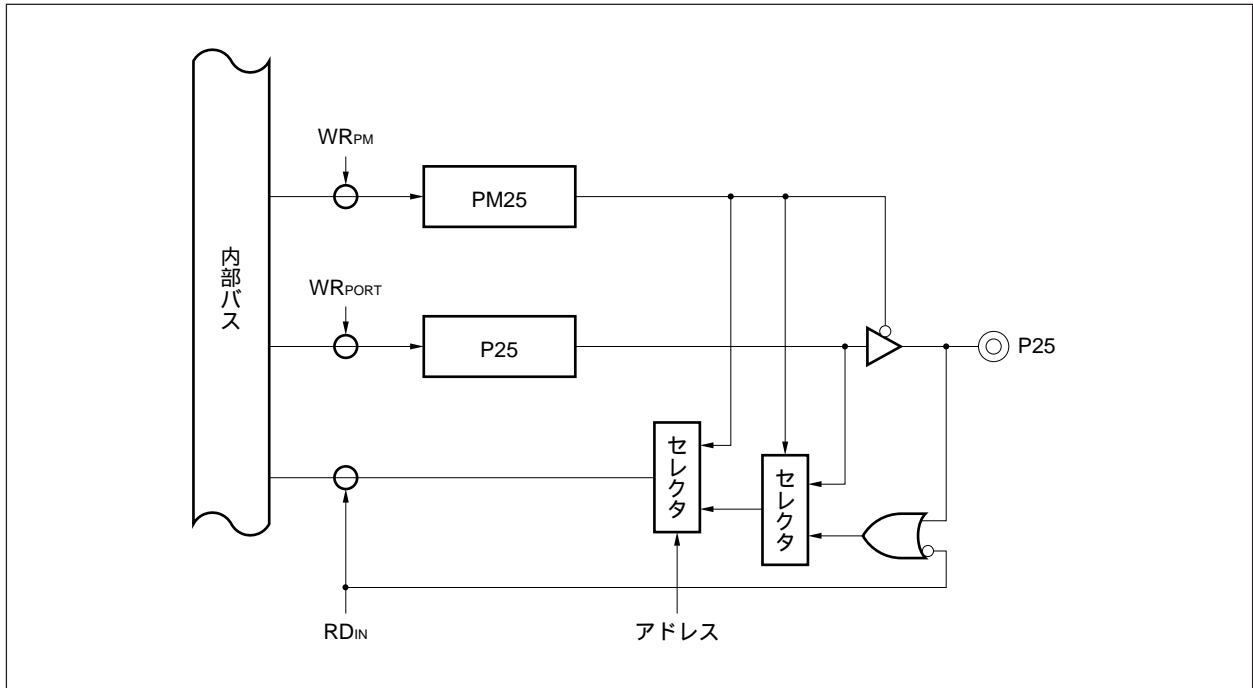


図9 - 7 P26, P27 (ポート2) のブロック図

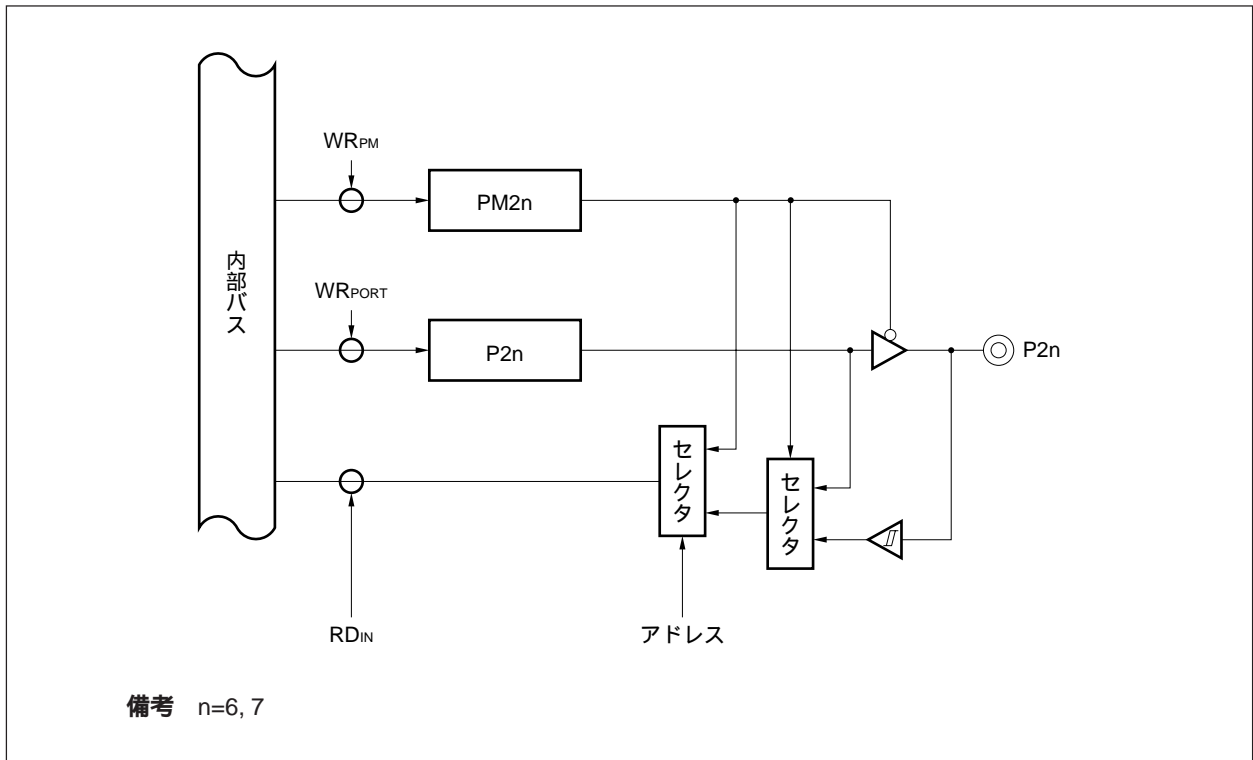


図9 - 8 P30,P33 (ポート3) のブロック図

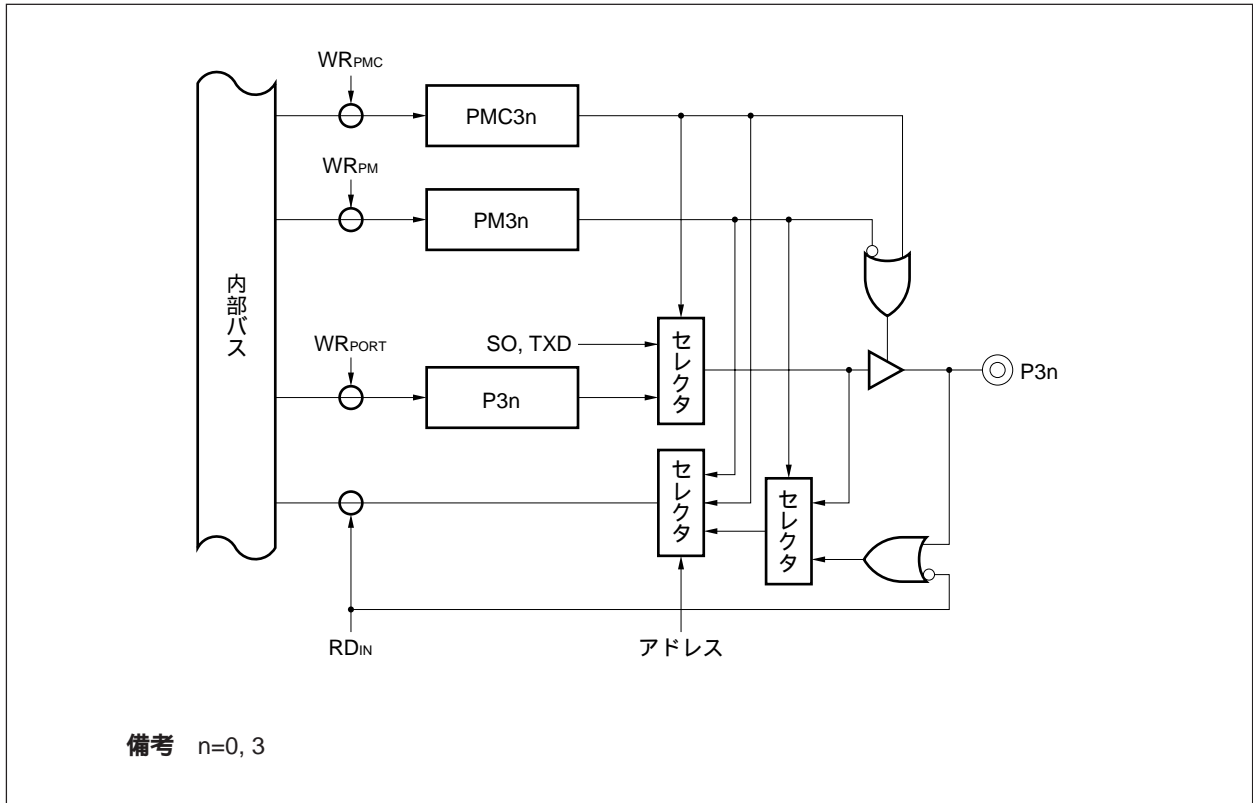


図9 - 9 P31 (ポート3) のブロック図

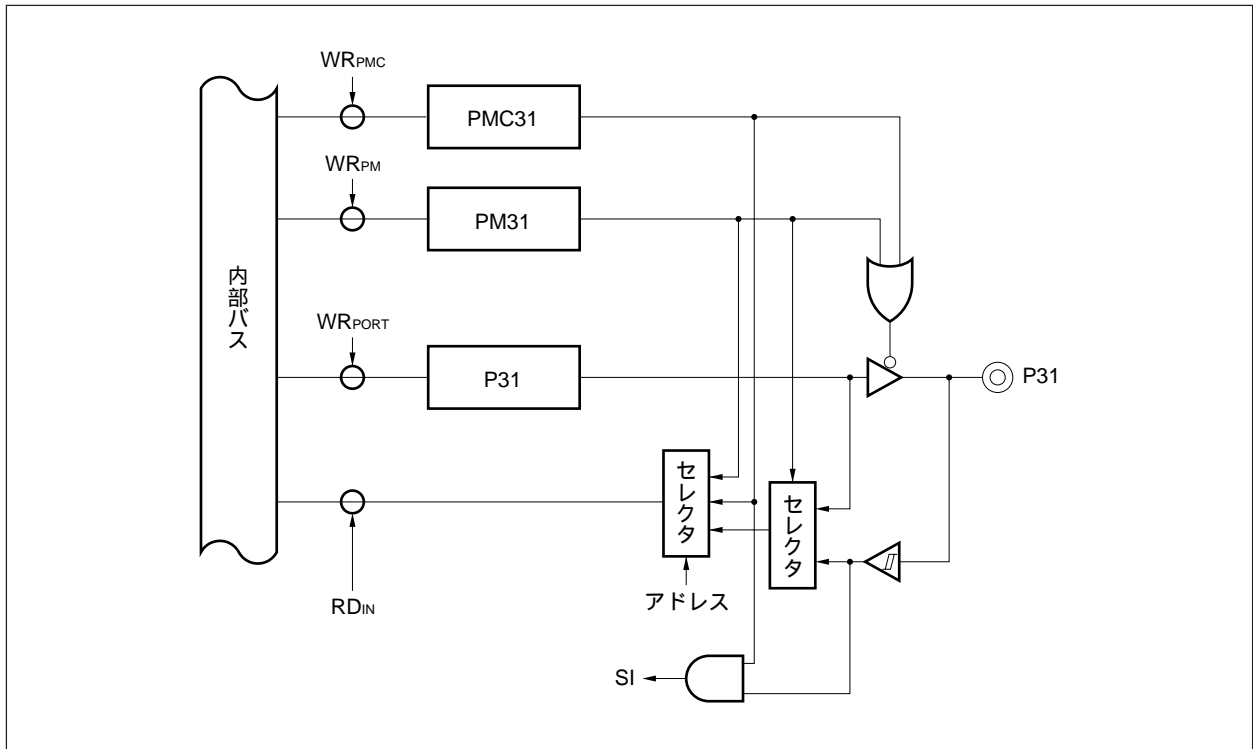


図9 - 10 P32 (ポート3) のブロック図

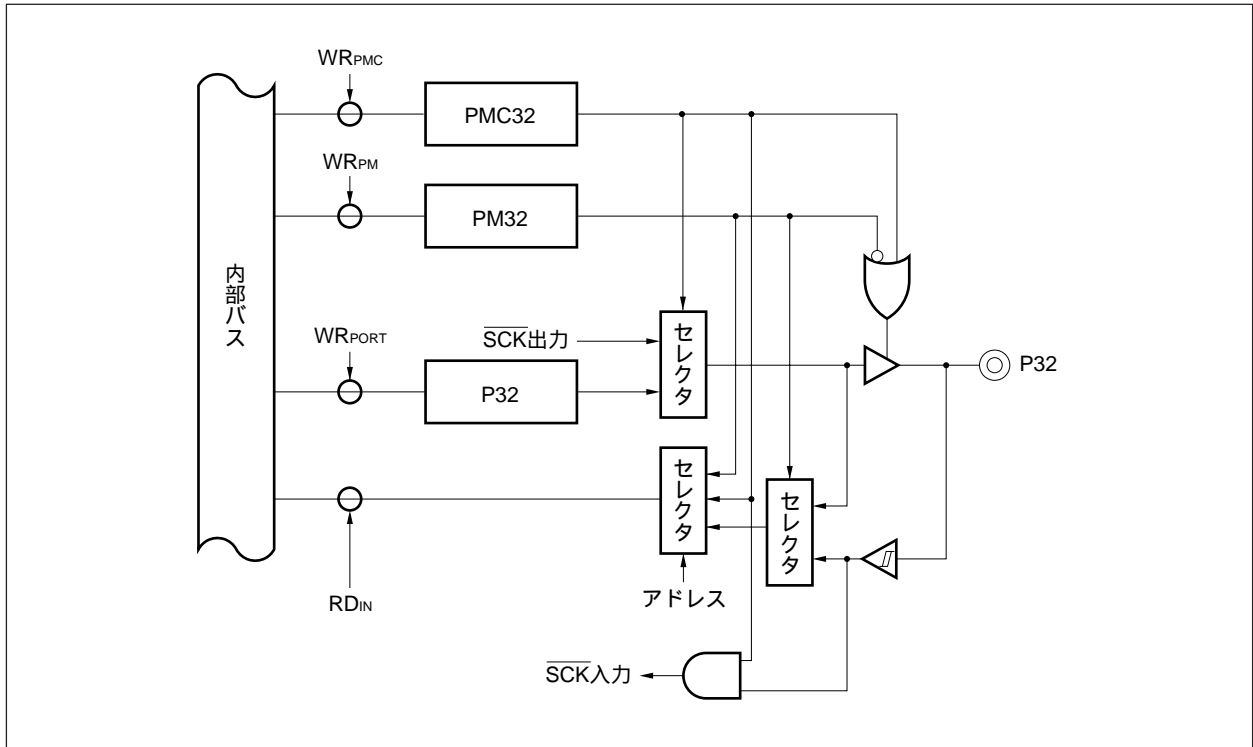


図9 - 11 P34 (ポート3) のブロック図

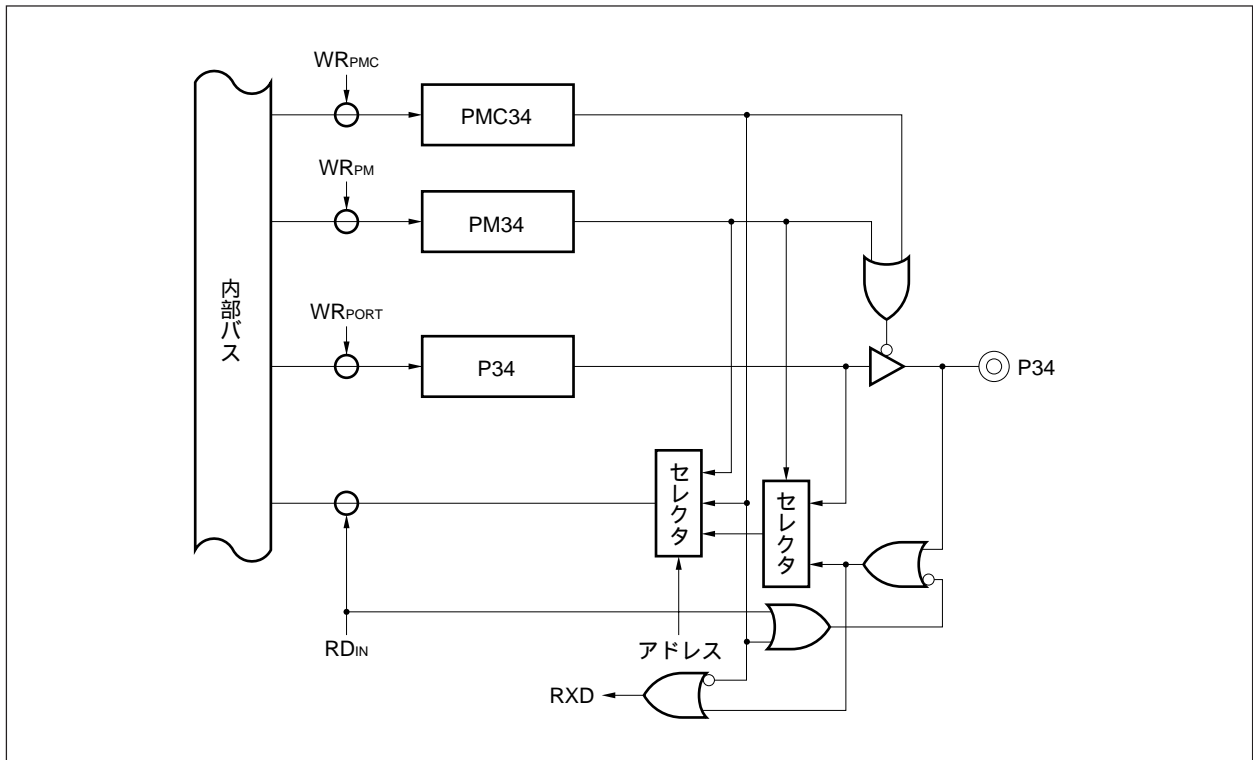


図9 - 12 P35 (ポート3) のブロック図

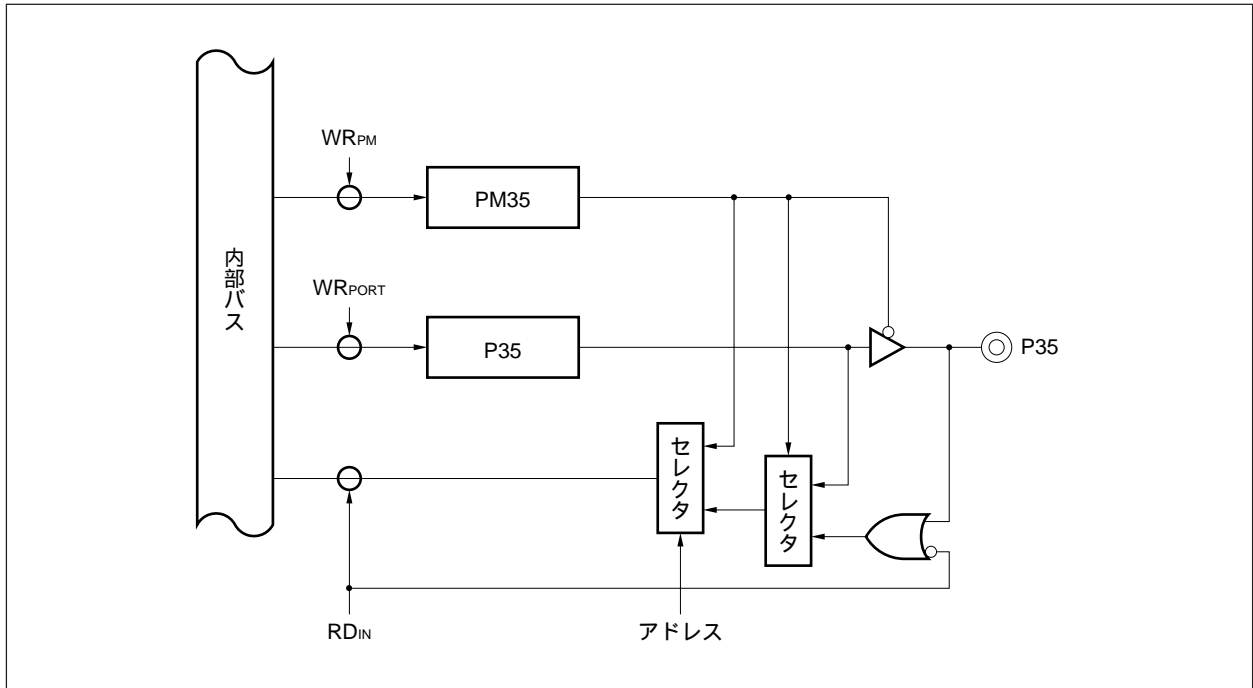


図9 - 13 P36, P37 (ポート3) のブロック図

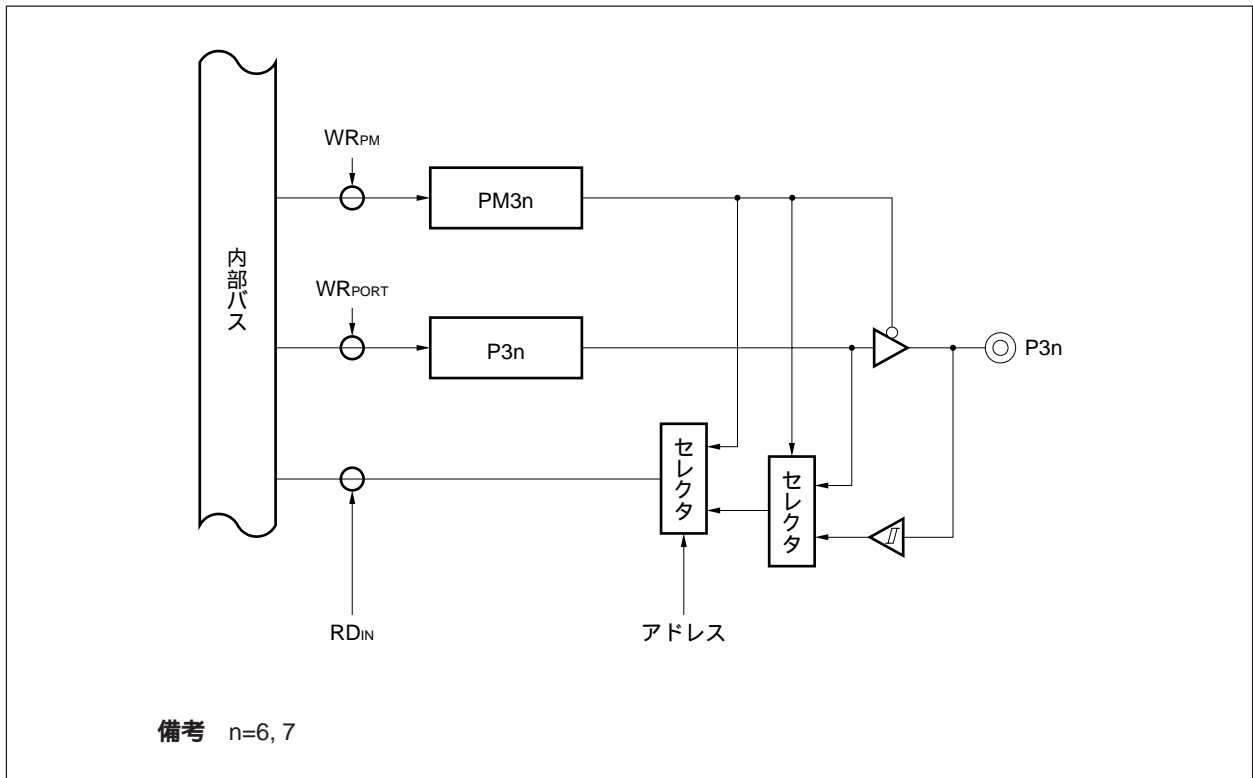


図9 - 14 P40-P47 (ポート4) のブロック図

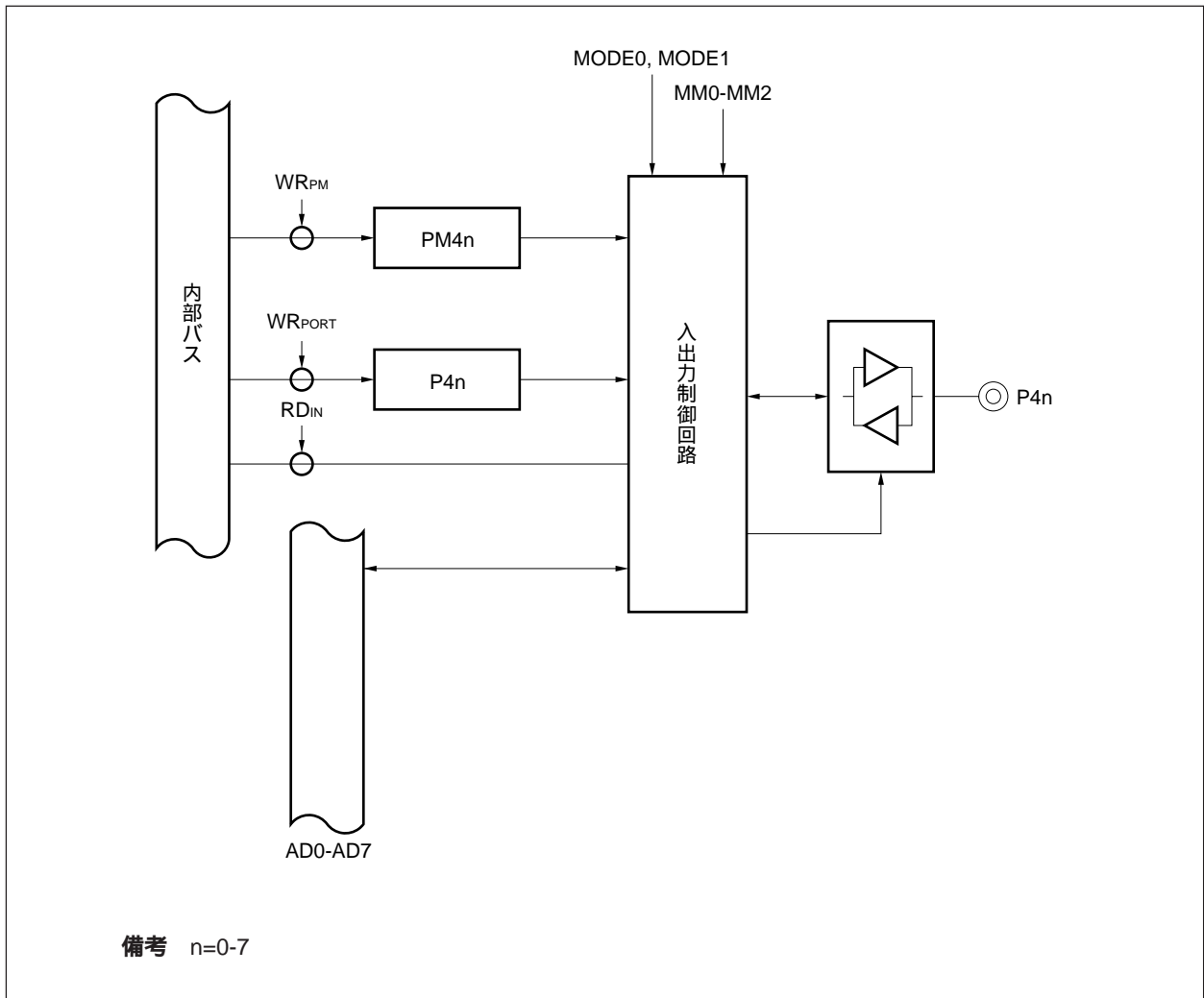


図9 - 15 P50-P57 (ポート5) のブロック図

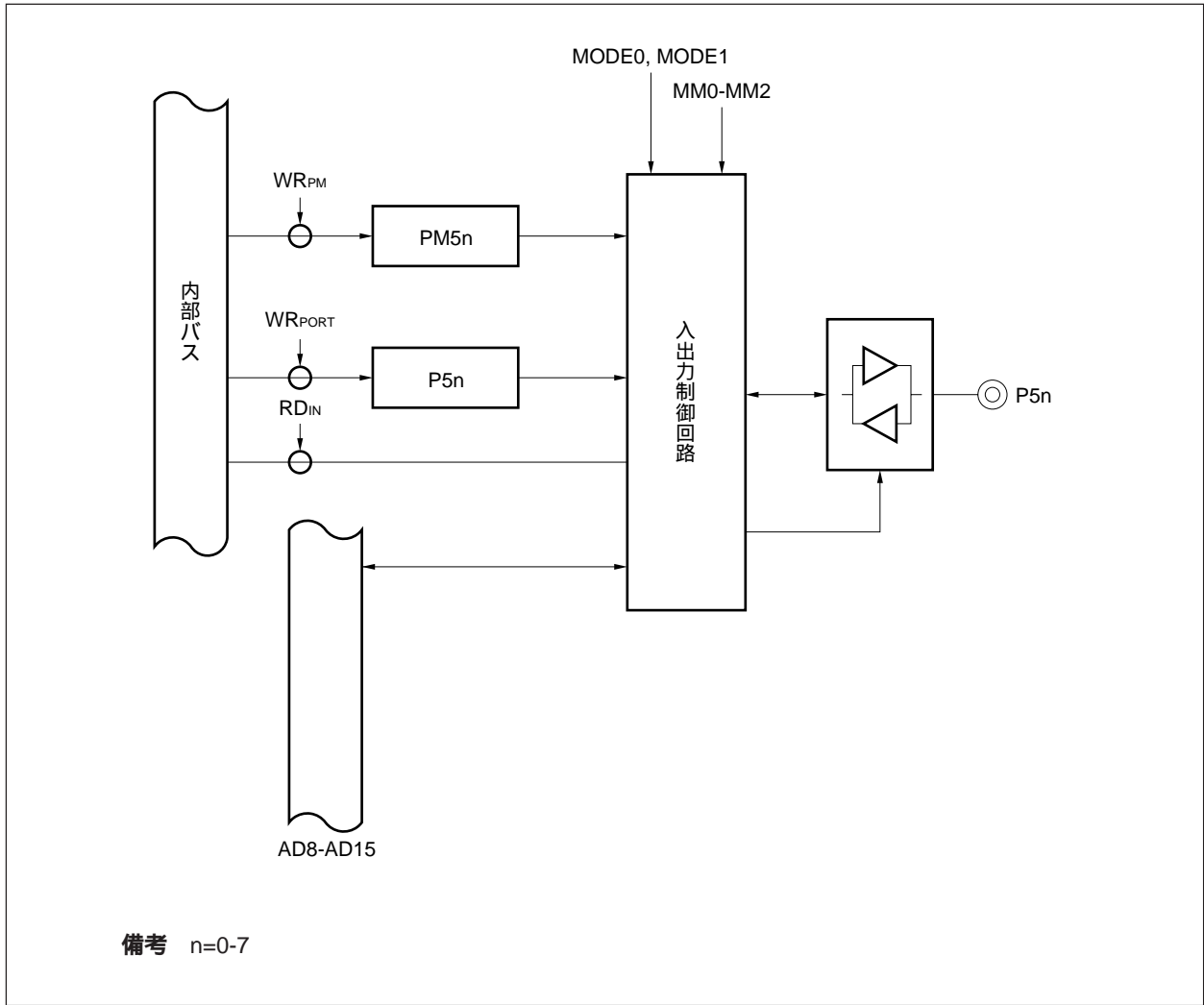


図9 - 16 P60-P67 (ポート6) のブロック図

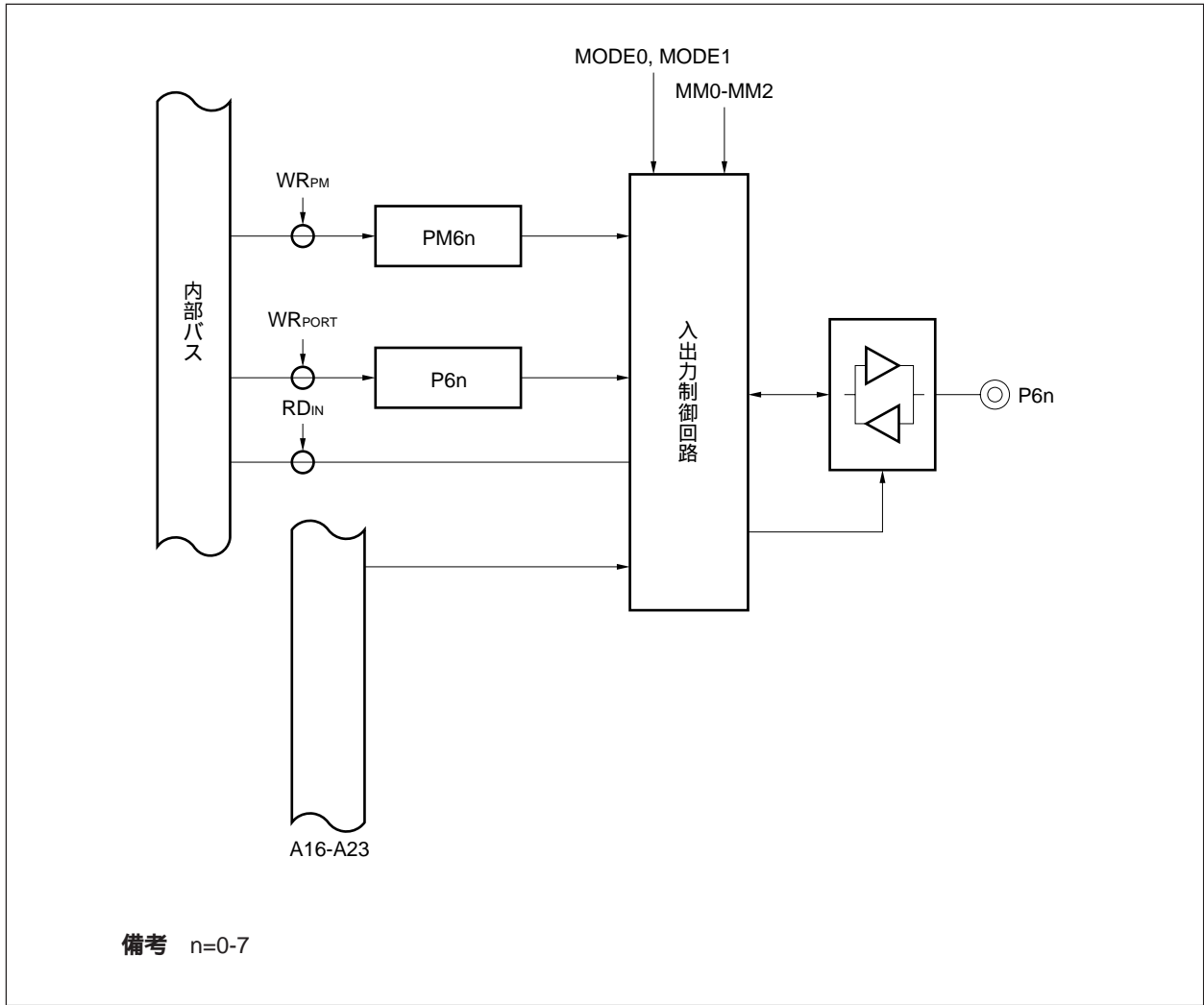


図9 - 17 P90-P97 (ポート9) のブロック図

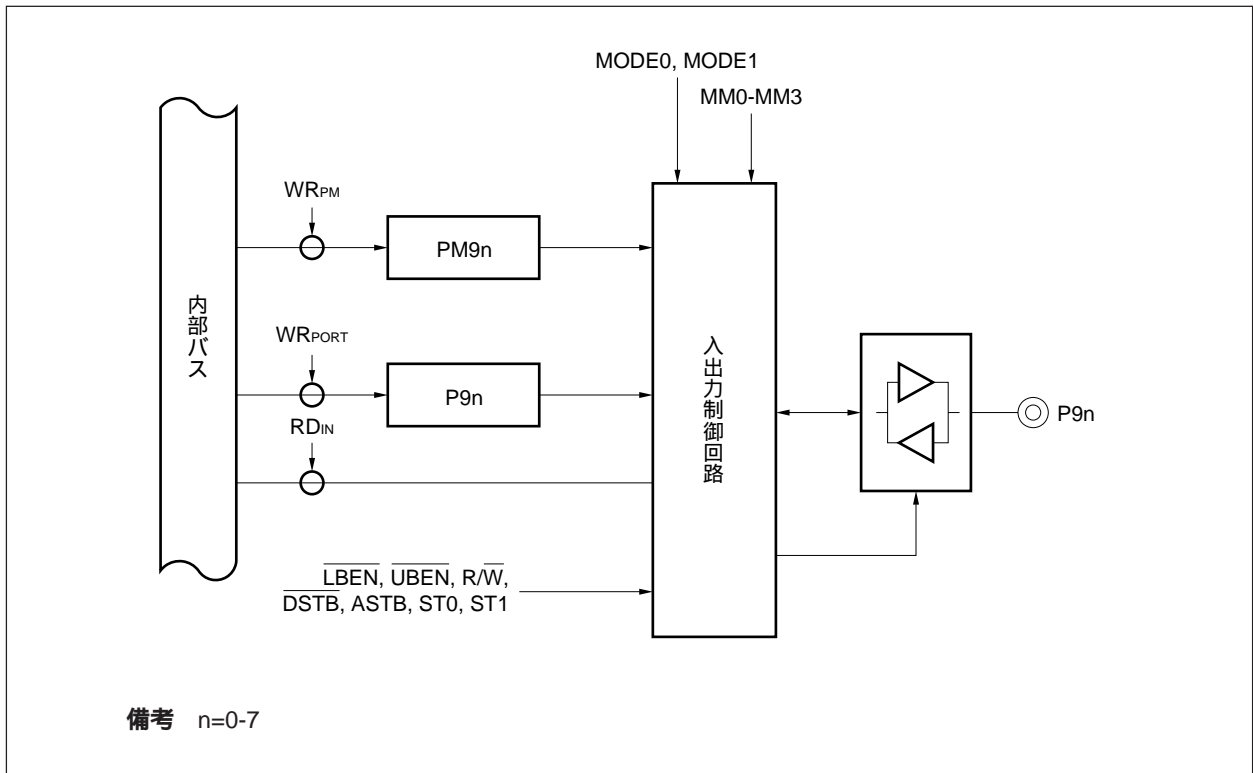


図9 - 18 P100, P103 (ポート10) のブロック図

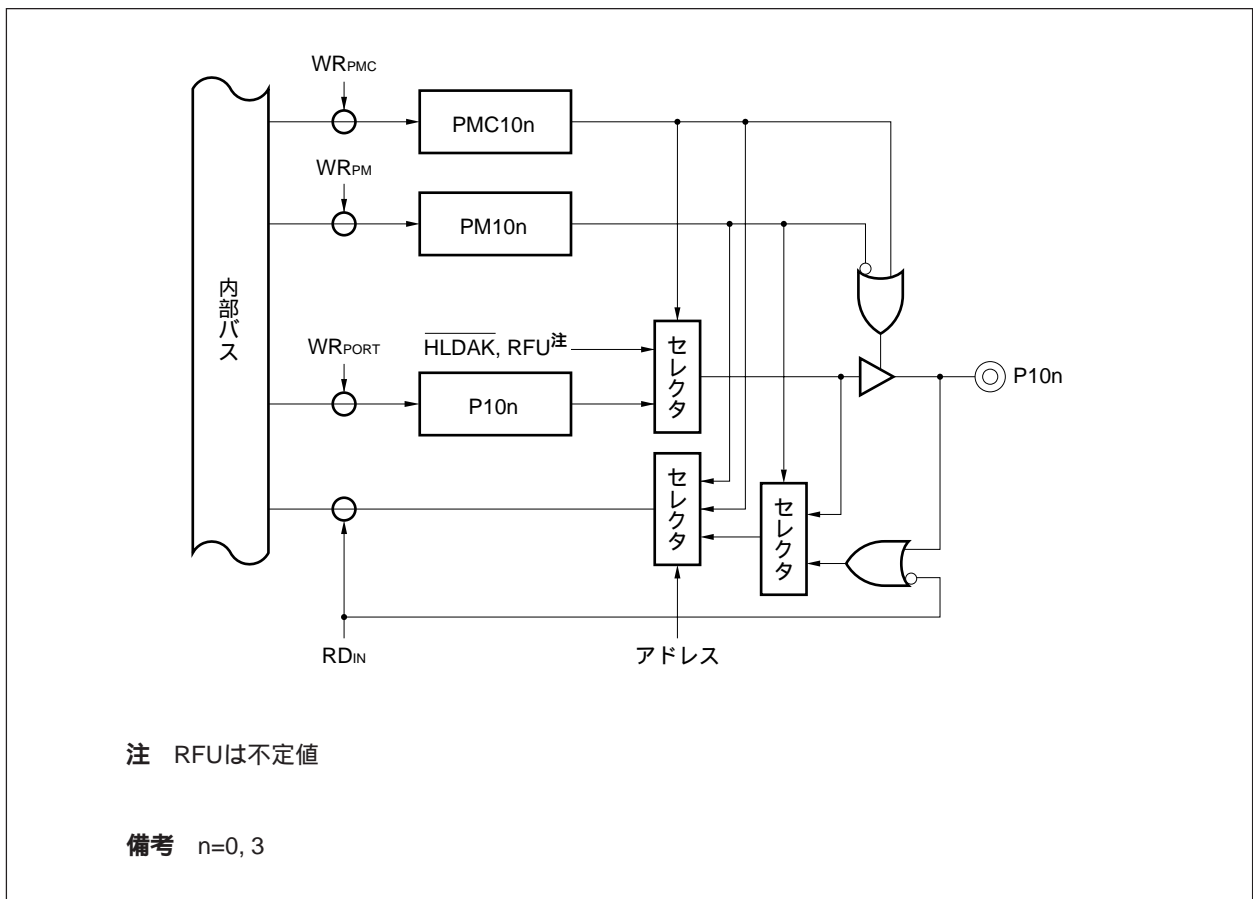


図9 - 19 P101 (ポート10) のブロック図

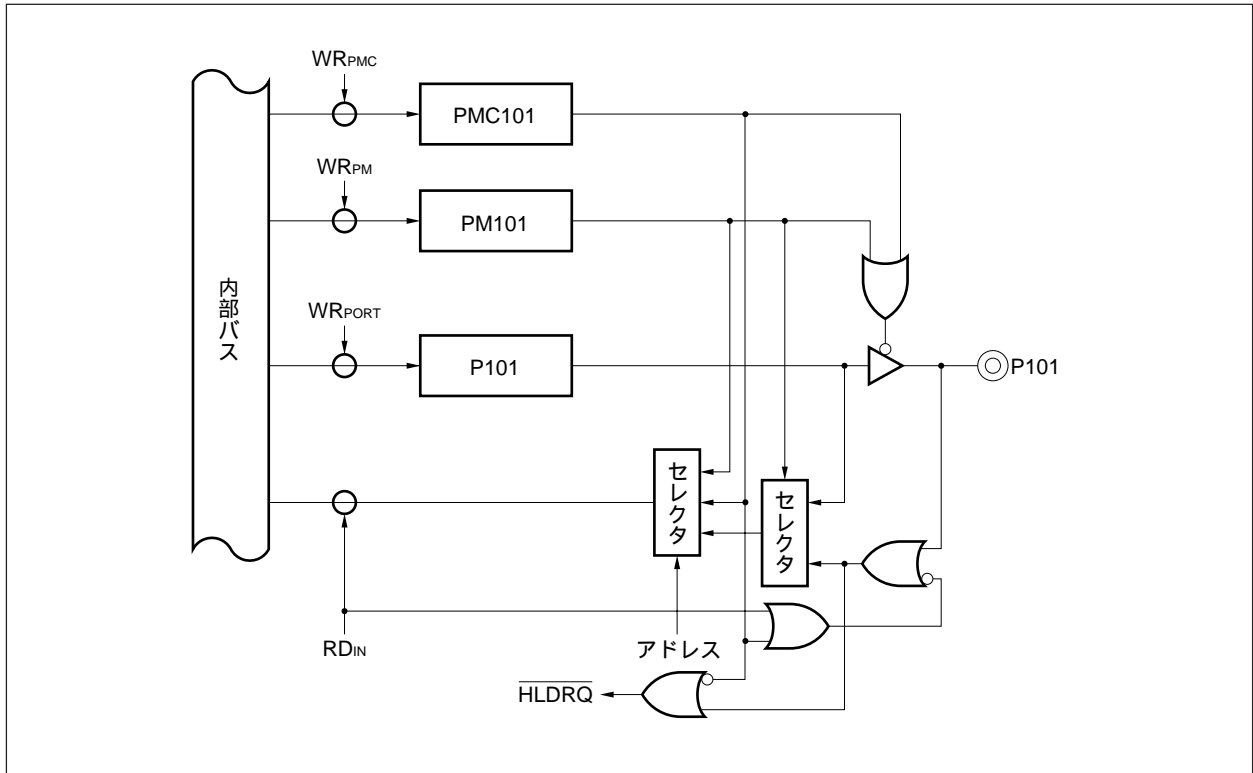
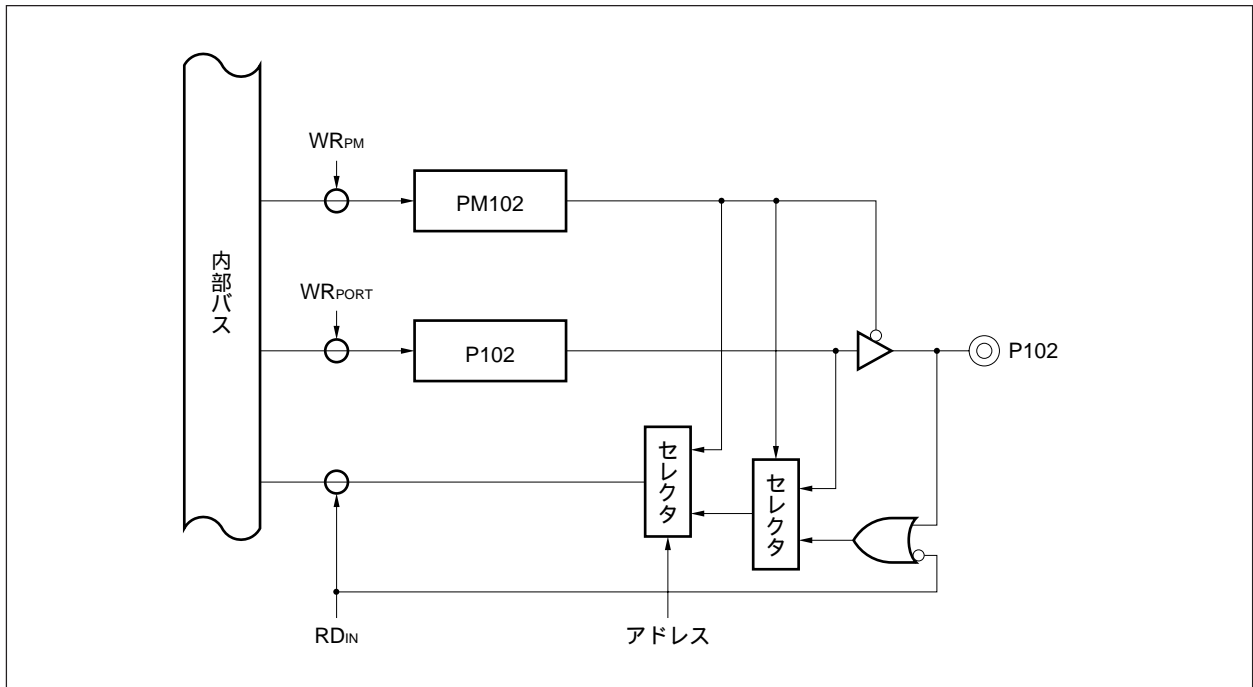


図9 - 20 P102 (ポート10) のブロック図



10. リセット機能

$\overline{\text{RESET}}$ 信号をロウ・レベルにするとシステム・リセットがかかり、オンチップの各ハードウェアは初期状態になります。

$\overline{\text{RESET}}$ 信号をハイ・レベルにするとリセット状態が解除され、CPUはプログラムの実行を開始します。各レジスタの内容は、プログラム中で必要に応じてイニシャライズしてください。

10.1 特 徴

リセット端子にアナログ・ディレイ (60 ns) によるノイズ除去回路を内蔵

11. 命令セット

11.1 命令セット一覧表

・命令セット一覧表の読み方

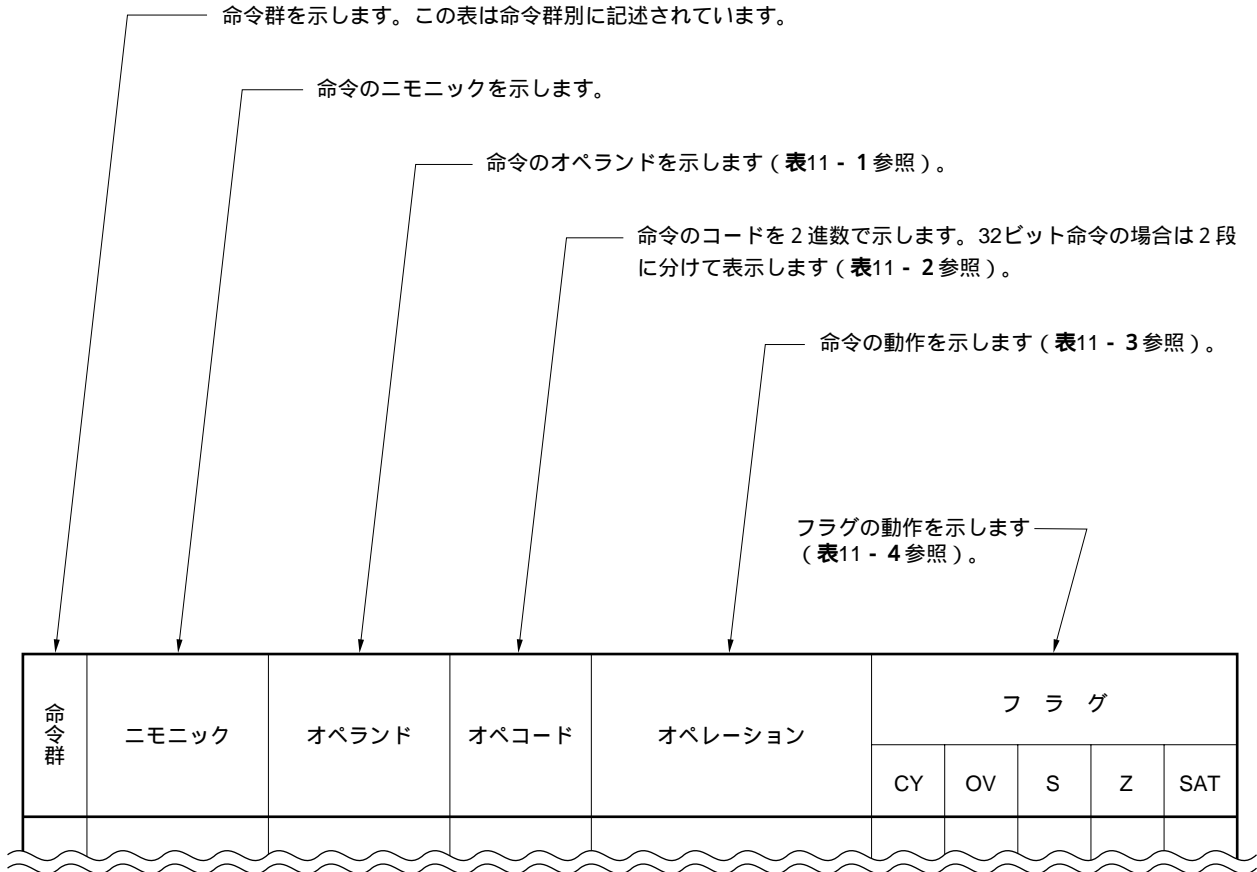


表11 - 1 オペランド記述に使われる略号

略号	説明
reg1	汎用レジスタ (ソース・レジスタとして使用する)
reg2	汎用レジスタ (おもにデスティネーション・レジスタとして使用する。一部でソース・レジスタとしても使用する)
ep	エレメント・ポインタ
bit#3	ビット・ナンバ指定用3ビット・データ
imm x	xビット・イミューディアット
disp x	xビット・ディスプレイースメント
regID	システム・レジスタ番号
vector	トラップ・ベクタ (00H-1FH) を指定する5ビット・データ
cccc	条件コードを示す4ビット・データ

★

表11 - 2 オペコード欄に使われる略号

略号	意味
R	reg1またはregIDを指定するコードの1ビット分データ
r	reg2を指定するコードの1ビット分データ
d	ディスプレイメントの1ビット分データ
i	イミディエトの1ビット分データ
cccc	条件コードを示す4ビット・データ
bbb	ビット・ナンバ指定3ビット・データ

表11 - 3 オペレーション欄に使われる略号

略号	意味
	代入
GR []	汎用レジスタ
SR []	システム・レジスタ
zero-extend (n)	nを,ワード長までゼロ拡張する。
sign-extend (n)	nを,ワード長まで符号拡張する。
load-memory (a, b)	アドレスaから,サイズbのデータを読み出す。
store-memory (a, b, c)	アドレスaにデータbをサイズcで書き込む。
load-memory-bit (a, b)	アドレスaのビットbを読み出す。
store-memory-bit (a, b, c)	アドレスaのビットbにcを書き込む。
saturated (n)	nの飽和处理を行う (nは2の補数)。 nが計算の結果, n 7FFFFFFFHとなった場合,7FFFFFFFHとする。 n 80000000Hとなった場合,80000000Hとする。
result	結果をフラグに反映する。
Byte	バイト (8ビット)
Halfword	ハーフワード (16ビット)
Word	ワード (32ビット)
+	加算
-	減算
	ビット連結
×	乗算
÷	除算
AND	論理積
OR	論理和
XOR	排他的論理和
NOT	論理否定
logically shift left by	論理左シフト
logically shift right by	論理右シフト
arithmetically shift right by	算術右シフト

表11 - 4 フラグの動作

識別子	説 明
(ブランク)	変化なし
0	0にクリア
×	結果に従ってセットまたはクリアされる
R	以前に退避した値がリストアされる

表11 - 5 条件コード

条件名 (cond)	条件コード (cccc)	条 件 式	説 明
V	0000	$OV=1$	Overflow
NV	1000	$OV=0$	No overflow
C/L	0001	$CY=1$	Carry Lower (Less than)
NC/NL	1001	$CY=0$	No carry No lower (Greater than or equal)
Z/E	0010	$Z=1$	Zero Equal
NZ/NE	1010	$Z=0$	Not zero Not equal
NH	0011	$(CY OR Z) = 1$	Not higher (Less than or equal)
H	1011	$(CY OR Z) = 0$	Higher (Greater than)
N	0100	$S=1$	Negative
P	1100	$S=0$	Positive
T	0101	-	Always (無条件)
SA	1101	$SAT=1$	Saturated
LT	0110	$(S XOR OV) = 1$	Less than signed
GE	1110	$(S XOR OV) = 0$	Greater than or equal signed
LE	0111	$((S XOR OV) OR Z) = 1$	Less than or equal signed
GT	1111	$((S XOR OV) OR Z) = 0$	Greater than signed

命令セット一覧表

命令群	二モニック	オペランド	オペコード	オペレーション	フラグ				
					CY	OV	S	Z	SAT
ロード/ストア命令	SLD.B	disp7[ep] reg2	rrrrr0110ddddddd	adr ep + zero-extend(disp7) GR[reg2] sign-extend(Load-memory(adr, Byte))					
	SLD.H	disp8[ep] reg2	rrrrr1000ddddddd 注1	adr ep + zero-extend(disp8) GR[reg2] sign-extend(Load-memory(adr, Halfword))					
	SLD.W	disp8[ep] reg2	rrrrr1010ddddddd0 注2	adr ep + zero-extend(disp8) GR[reg2] Load-memory(adr, Word)					
	LD.B	disp16[reg1] reg2	rrrrr11100RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend(disp16) GR[reg2] sign-extend(Load-memory(adr, Byte))					
	LD.H	disp16[reg1] reg2	rrrrr111001RRRRR ddddddddddddddd0 注3	adr GR[reg1] + sign-extend(disp16) GR[reg2] sign-extend(Load-memory(adr, Halfword))					
	LD.W	disp16[reg1] reg2	rrrrr111001RRRRR ddddddddddddddd1 注3	adr GR[reg1] + sign-extend(disp16) GR[reg2] Load-memory(adr, Word)					
	SST.B	reg2, disp7[ep]	rrrrr0111ddddddd	adr ep + zero-extend(disp7) Store-memory(adr, GR[reg2] Byte)					
	SST.H	reg2, disp8[ep]	rrrrr1001ddddddd 注1	adr ep + zero-extend(disp8) Store-memory(adr, GR[reg2] Halfword)					
	SST.W	reg2, disp8[ep]	rrrrr1010ddddddd1 注2	adr ep + zero-extend(disp8) Store-memory(adr, GR[reg2] Word)					
	ST.B	reg2, disp16[reg1]	rrrrr111010RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend(disp16) Store-memory(adr, GR[reg2] Byte)					
	ST.H	reg2, disp16[reg1]	rrrrr111011RRRRR ddddddddddddddd0 注3	adr GR[reg1] + sign-extend(disp16) Store-memory(adr, GR[reg2] Halfword)					
ST.W	reg2, disp16[reg1]	rrrrr111011RRRRR ddddddddddddddd1 注3	adr GR[reg1] + sign-extend(disp16) Store-memory(adr, GR[reg2] Word)						
算術演算命令	MOV	reg1, reg2	rrrrr00000RRRRR	GR[reg2] GR[reg1]					
	MOV	imm5, reg2	rrrrr010000iiii	GR[reg2] sign-extend(imm5)					
	MOVHI	imm16, reg1, reg2	rrrrr110010RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + (imm16 0 ¹⁶)					
	MOVEA	imm16, reg1, reg2	rrrrr110001RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + sign-extend(imm16)					
	ADD	reg1, reg2	rrrrr001110RRRRR	GR[reg2] GR[reg2] + GR[reg1]	x	x	x	x	
	ADD	imm5, reg2	rrrrr010010iiii	GR[reg2] GR[reg2] + sign-extend(imm5)	x	x	x	x	
	ADDI	imm16, reg1, reg2	rrrrr110000RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + sign-extend(imm16)	x	x	x	x	
	SUB	reg1, reg2	rrrrr001101RRRRR	GR[reg2] GR[reg2] - GR[reg1]	x	x	x	x	
SUBR	reg1, reg2	rrrrr001100RRRRR	GR[reg2] GR[reg1] - GR[reg2]	x	x	x	x		

- 注1 . ddddddd=disp8の上位7ビット
- 2 . ddddddd=disp8の上位6ビット
- 3 . ddddddddddddddd=disp16の上位15ビット

命令群	二モニック	オペランド	オペコード	オペレーション	フラグ				
					CY	OV	S	Z	SAT
算術演算命令	MULH	reg1, reg2	rrrrr000111RRRRR	$GR[reg2] \times GR[reg2] \times GR[reg1]$ (符号付き乗算)					
	MULH	imm5, reg2	rrrrr010111iiii	$GR[reg2] \times GR[reg2] \times \text{sign-extend}(imm5)$ (符号付き乗算)					
	MULHI	imm16, reg1, reg2	rrrrr110111RRRRR iiiiiiiiiiiiiiii	$GR[reg2] \times GR[reg1] \times imm16$ (符号付き乗算)					
	DIVH	reg1, reg2	rrrrr000010RRRRR	$GR[reg2] \div GR[reg1]$ (符号付き除算)		x	x	x	
	CMP	reg1, reg2	rrrrr001111RRRRR	result $GR[reg2] - GR[reg1]$	x	x	x	x	
	CMP	imm5, reg2	rrrrr010011iiii	result $GR[reg2] - \text{sign-extend}(imm5)$	x	x	x	x	
	SETF	cccc, reg2	rrrrr111110cccc 0000000000000000	if conditions are satisfied then $GR[reg2] \ll 00000001H$ else $GR[reg2] \ll 00000000H$					
飽和演算命令	SATADD	reg1, reg2	rrrrr000110RRRRR	$GR[reg2] \text{ saturated}(GR[reg2] + GR[reg1])$	x	x	x	x	x
	SATADD	imm5, reg2	rrrrr010001iiii	$GR[reg2] \text{ saturated}(GR[reg2] + \text{sign-extend}(imm5))$	x	x	x	x	x
	SATSUB	reg1, reg2	rrrrr000101RRRRR	$GR[reg2] \text{ saturated}(GR[reg2] - GR[reg1])$	x	x	x	x	x
	SATSUBI	imm16, reg1, reg2	rrrrr110011RRRRR iiiiiiiiiiiiiiii	$GR[reg2] \text{ saturated}(GR[reg1] - \text{sign-extend}(imm16))$	x	x	x	x	x
	SATSUBR	reg1, reg2	rrrrr000100RRRRR	$GR[reg2] \text{ saturated}(GR[reg1] - GR[reg2])$	x	x	x	x	x
論理演算命令	TST	reg1, reg2	rrrrr001011RRRRR	result $GR[reg2] \text{ AND } GR[reg1]$		0	x	x	
	OR	reg1, reg2	rrrrr001000RRRRR	$GR[reg2] \text{ OR } GR[reg1]$		0	x	x	
	ORI	imm16, reg1, reg2	rrrrr110100RRRRR iiiiiiiiiiiiiiii	$GR[reg2] \text{ OR zero-extend}(imm16)$		0	x	x	
	AND	reg1, reg2	rrrrr001010RRRRR	$GR[reg2] \text{ AND } GR[reg1]$		0	x	x	
	ANDI	imm16, reg1, reg2	rrrrr110110RRRRR iiiiiiiiiiiiiiii	$GR[reg2] \text{ AND zero-extend}(imm16)$		0	0	x	
	XOR	reg1, reg2	rrrrr001001RRRRR	$GR[reg2] \text{ XOR } GR[reg1]$		0	x	x	
	XORI	imm16, reg1, reg2	rrrrr110101RRRRR iiiiiiiiiiiiiiii	$GR[reg2] \text{ XOR zero-extend}(imm16)$		0	x	x	
	NOT	reg1, reg2	rrrrr000001RRRRR	$GR[reg2] \text{ NOT}(GR[reg1])$		0	x	x	
	SHL	reg1, reg2	rrrrr111111RRRRR 0000000011000000	$GR[reg2] \text{ logically shift left by } GR[reg1]$	x	0	x	x	
	SHL	imm5, reg2	rrrrr010110iiii	$GR[reg2] \text{ logically shift left by zero-extend}(imm5)$	x	0	x	x	
	SHR	reg1, reg2	rrrrr111111RRRRR 0000000010000000	$GR[reg2] \text{ logically shift right by } GR[reg1]$	x	0	x	x	
	SHR	imm5, reg2	rrrrr010100iiii	$GR[reg2] \text{ logically shift right by zero-extend}(imm5)$	x	0	x	x	
	SAR	reg1, reg2	rrrrr111111RRRRR 0000000010100000	$GR[reg2] \text{ arithmetically shift right by } GR[reg1]$	x	0	x	x	
SAR	imm5, reg2	rrrrr010101iiii	$GR[reg2] \text{ arithmetically shift right by zero-extend}(imm5)$	x	0	x	x		

注 下位ハーフワード・データのみ有効

命令群	二モニック	オペランド	オペコード	オペレーション	フラグ				
					CY	OV	S	Z	SAT
分岐命令	JMP	[reg1]	00000000011RRRRR	PC GR[reg1]					
	JR	disp22	0000011110dddd dddddddddddddd0 注1	PC PC + sign-extend(disp22)					
	JARL	disp22, reg2	rrrrr11110dddd dddddddddddddd0 注1	GR[reg2] PC + 4 PC PC + sign-extend(disp22)					
	Bcond	disp9	dddd1011ddcccc 注2	if conditions are satisfied then PC PC + sign-extend(disp9)					
ビット操作命令	SET1	bit#3, disp16[reg1]	00bbb11110RRRRR dddddddddddddd	adr GR[reg1]+ sign-extend(disp16) Zフラグ No(Load-memory-bit(adr, bit#3)) Store-memory-bit(adr, bit#3, 1)				×	
	CLR1	bit#3, disp16[reg1]	10bbb11110RRRRR dddddddddddddd	adr GR[reg1]+ sign-extend(disp16) Zフラグ No(Load-memory-bit(adr, bit#3)) Store-memory-bit(adr, bit#3, 0)				×	
	NOT1	bit#3, disp16[reg1]	01bbb11110RRRRR dddddddddddddd	adr GR[reg1]+ sign-extend(disp16) Zフラグ No(Load-memory-bit(adr, bit#3)) Store-memory-bit(adr, bit#3, Z フラグ)				×	
	TST1	bit#3, disp16[reg1]	11bbb11110RRRRR dddddddddddddd	adr GR[reg1]+ sign-extend(disp16) Zフラグ No(Load-memory-bit(adr, bit#3))				×	

注1 . ddddddddddddddddddd=disp22の上位21ビット

2 . ddddddd=disp9の上位 8 ビット

命令群	二モニク	オペランド	オペコード	オペレーション	フラグ					
					CY	OV	S	Z	SAT	
特殊命令	LDSR	reg2, regID	rrrrr11111RRRRR 000000000100000 注	SR[regID] GR[reg2] regID=EIPC, FEPC regID=EIPSW, FEPSW regID=PSW						
	STSR	regID, reg2	rrrrr11111RRRRR 000000000100000	GR[reg2] SR[regID]						
	TRAP	vector	00000111111iiii 0000000100000000	EIPC PC + 4(復帰PC) EIPSW PSW ECR.EICC 割り込みコード PSW.EP 1 PSW.ID 1 PC 0000040H(vectorが00H-0FHのとき) 0000050H(vectorが10H-1FHのとき)						
	RETI		0000011111100000 0000000101000000	if PSW.EP= 1 then PC EIPC PSW EIPSW else if PSW.NP= 1 then PC FEPC PSW FEPSW else PC EIPC PSW EIPSW	R	R	R	R	R	
	HALT		0000011111100000 0000000100100000	停止する						
	DI		0000011111100000 0000000101100000	PSW.ID 1 (マスカブル割り込みの禁止)						
	EI		1000011111100000 0000000101100000	PSW.ID 0 (マスカブル割り込みの許可)						
NOP		0000000000000000	何もせず最低1クロック費やします							

注 本命令では、二モニクの記述の都合上、ソース・レジスタをreg2としていますが、オペコード上はreg1のフィールドを使用しています。したがって、二モニク記述とオペコードにおいてレジスタ指定の意味付けがほかの命令と異なります。

rrrrr=regID指定 RRRRR=reg2指定

12. 電気的特性

対応する電気的特性

オーダ名称	V _{DD} = 5.0 V ± 10 %	V _{DD} = 3.0 ~ 3.6 V
μ PD703000GC-25-xxx-7EA	電気的特性あり	動作保証範囲外
μ PD703001GC-25-7EA	"	"
μ PD703000GC-33-xxx-7EA	"	電気的特性あり
μ PD703001GC-33-7EA	"	"

備考 xxxはROMコード番号です。

12.1 V_{DD} = 5.0 V ± 10 % のとき

絶対最大定格 (T_A = 25)

項 目	略 号	条 件	定 格	単 位
電源電圧	V _{DD}	V _{DD} 端子	- 0.5 ~ + 7.0	V
	CV _{DD}	CV _{DD} 端子	- 0.5 ~ + 7.0	V
	CV _{SS}	CV _{SS} 端子	- 0.5 ~ + 0.5	V
入力電圧	V _{I1}	X1端子を除く, V _{DD} = 5.0 V ± 10 %	- 0.5 ~ V _{DD} + 0.3	V
クロック入力電圧	V _X	X1端子, V _{DD} = 5.0 V ± 10 %	- 0.5 ~ V _{DD} + 1.0	V
ロウ・レベル出力電流	I _{OL}	1 端子	4.0	mA
		全端子合計	100	mA
ハイ・レベル出力電流	I _{OH}	1 端子	- 4.0	mA
		全端子合計	- 100	mA
出力電圧	V _O	V _{DD} = 5.0 V ± 10 %	- 0.5 ~ V _{DD} + 0.3	V
動作周囲温度	T _A	25 MHz動作時	- 40 ~ + 85	
		33 MHz動作時	- 20 ~ + 70	
保存温度	T _{sig}		- 65 ~ + 150	

注意 1. IC製品の出力（または入出力）端子同士を直結したり、V_{DD}またはV_{CC}やGNDに直結したりしないでください。

ただし、オープン・ドレーン端子やオープン・コレクタ端子同士は直結できます。また、ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路でも直結可能です。

2. 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づかない状態で、製品をご使用ください。

DC特性とAC特性に示す規格や条件が、製品の正常動作、品質保証の範囲です。

容量 (T_A = 25 , V_{DD} = V_{SS} = 0 V)

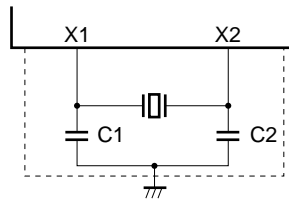
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
入力容量	C _i	f _c = 1 MHz			15	pF
入出力容量	C _{IO}	被測定ピン以外は0 V			15	pF
出力容量	C _o				15	pF

動作条件

動作モード	内部動作クロック周波数 ()	動作周囲温度 (T _A)	電源電圧 (V _{DD})
ダイレクト・モード	0 ~ 25 MHz	- 40 ~ + 85	5.0 V ± 10 %
	0 ~ 33 MHz	- 20 ~ + 70	
PLLモード	自走発振周波数 ~ 25 MHz	- 40 ~ + 85	5.0 V ± 10 %
	自走発振周波数 ~ 33 MHz	- 20 ~ + 70	

推奨発振回路

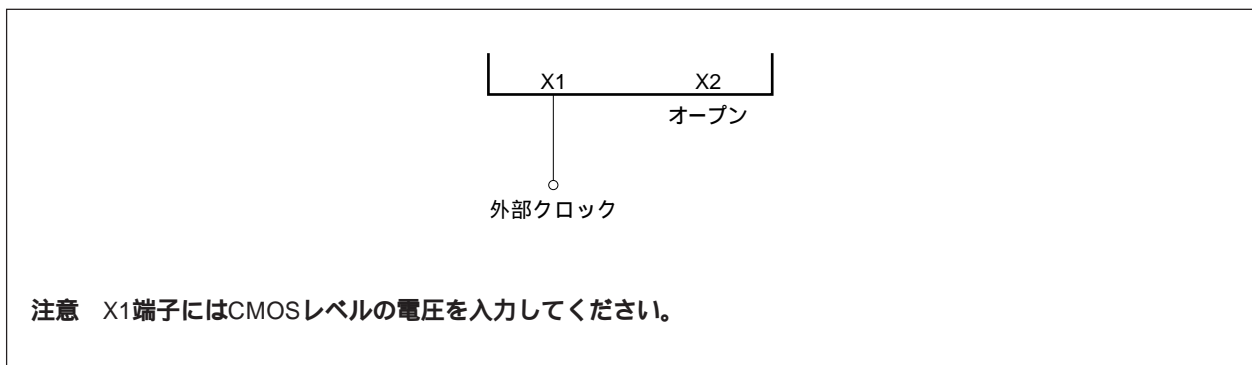
(a) セラミック発振子接続 (TDK , 村田製作所 : T_A = - 40 ~ + 85 , 京セラ : T_A = - 20 ~ + 80)



メーカー	品名	発振周波数 f _{xx} (MHz)	推奨回路定数		発振電圧範囲		発振安定時間 (MAX.) T _{OST} (ms)
			C1 (pF)	C2 (pF)	MIN. (V)	MAX. (V)	
TDK	FCR2.0MC3	2.0	内蔵	内蔵	4.5	5.5	0.26
	CCR3.2MC3	3.2	内蔵	内蔵	4.5	5.5	0.62
	FCR5.0MC5	5.0	内蔵	内蔵	4.5	5.5	0.30
	CCR5.0MC3	5.0	内蔵	内蔵	4.5	5.5	0.38
	CCR6.6MC3	6.6	内蔵	内蔵	4.5	5.5	0.32
京セラ	KBR-2.0MS	2.0	82	82	4.5	5.5	1.2
	KBR-2.7MS	2.7	68	68	4.5	5.5	0.8
	KBR-3.2MS	3.2	47	47	4.5	5.5	0.3
	KBR-5.0MSA	5.0	33	33	4.5	5.5	0.4
	KBR-6.6M	6.6	33	33	4.5	5.5	0.2
村田製作所	CSA5.00MG	5.0	30	30	4.5	5.5	0.13
	CST5.00MGW	5.0	内蔵	内蔵	4.5	5.5	0.13
	CSA6.60MTZ	6.6	30	30	4.5	5.5	0.10
	CST6.60MTW	6.6	内蔵	内蔵	4.5	5.5	0.10

- 注意 1 . 発振回路はX1 , X2端子にできるかぎり近づけてください。**
- 2 . 破線の範囲にほかの信号線を通さないでください。**
- 3 . μPD703000と発振子のマッチングについては , 十分に評価してください。**

(b) 外部クロック入力



DC特性 (TA = -40 ~ +85 , VDD = 5.0 V ± 10 % , VSS = 0 V) : μPD703000GC-25
 (TA = -20 ~ +70 , VDD = 5.0 V ± 10 % , VSS = 0 V) : μPD703000GC-33

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル入力電圧	VIH	X1, 注1を除く	2.2		VDD	V	
		注1	0.8 VDD		VDD	V	
ロウ・レベル入力電圧	VIL	X1, 注1を除く	0		+0.8	V	
		注1	0		0.2 VDD	V	
ハイ・レベルX1クロック入力電圧	VXH	ダイレクト・モード	0.8 VDD		VDD	V	
		PLLモード	0.8 VDD		VDD	V	
ロウ・レベルX1クロック入力電圧	VXL	ダイレクト・モード	0		0.6	V	
		PLLモード	0		0.6	V	
シュミット・トリガ入力	VT+	注1, 立ち上がり		3.0		V	
スレッシュホールド電圧	VT-	注1, 立ち下がり		2.0		V	
シュミット・トリガ入力ヒステリシス幅	VT+ - VT-	注1	0.5			V	
ハイ・レベル出力電圧	VOH	IOH = -2.5 mA	0.7 VDD			V	
		IOH = -100 μA	VDD - 0.4			V	
ロウ・レベル出力電圧	VOL	IOL = 2.5 mA			0.45	V	
ハイ・レベル入力リーク電流	IUIH	VI = VDD			10	μA	
ロウ・レベル入力リーク電流	IUIL	VI = 0 V			-10	μA	
ハイ・レベル出力リーク電流	ILOH	VO = VDD			10	μA	
ロウ・レベル出力リーク電流	ILOL	VO = 0 V			-10	μA	
電源電流	動作時	IDD1	ダイレクト・モード		1.5x +5	1.8x +10	mA
			PLLモード		1.6x +7	2.0x +13	mA
	HALT時	IDD2	ダイレクト・モード		0.5x +3	0.7x +10	mA
			PLLモード		0.6x +5	0.9x +13	mA
	IDLE時	IDD3	ダイレクト・モード		8x +300	10x +500	μA
			PLLモード		0.1x +2	0.2x +3	mA
	STOP時	IDD4	注2		1	50	μA
			注3			200	μA

注1 . RESET, P02/TCLR1, P03/TI1, P04/INTP10-P07/INTP13, P20/NMI, P21/INTP00-P24/INTP03, P26, P27, P31/SI, P32/SCK, P36, P37, MODE0, MODE1, CKSEL

2 . 25 MHz動作時 : -40 TA +50

33 MHz動作時 : -20 TA +50

3 . 25 MHz動作時 : 50 < TA 85

33 MHz動作時 : 50 < TA 70

備考1 . TYP.値はTA = 25 , VDD = 5.0 V時の参考値です。

2 . : 内部動作クロック周波数

データ保持特性 (TA = -40 ~ +85) : μPD703000GC-25
 (TA = -20 ~ +70) : μPD703000GC-33

項目	略号	条件	MIN.	TYP.	MAX.	単位	
データ保持電圧	V _{DDDR}	STOPモード	1.5		5.5	V	
データ保持電流	I _{DDDR}	V _{DD} = V _{DDDR}		注1	0.2V _{DDDR}	50	μA
				注2	0.2V _{DDDR}	200	μA
電源電圧立ち上がり時間	t _{rVD}		200			μs	
電源電圧立ち下がり時間	t _{fVD}		200			μs	
電源電圧保持時間 (対STOPモード設定)	t _{HVD}		0			ms	
STOPモード解除信号入力時間	t _{DREL}		0			ns	
データ保持ハイ・レベル入力電圧	V _{IHDR}	注3	0.9V _{DDDR}		V _{DDDR}	V	
データ保持ロウ・レベル入力電圧	V _{ILDR}	注3	0		0.1V _{DDDR}	V	

注1 .25 MHz動作時 : -40 TA +50

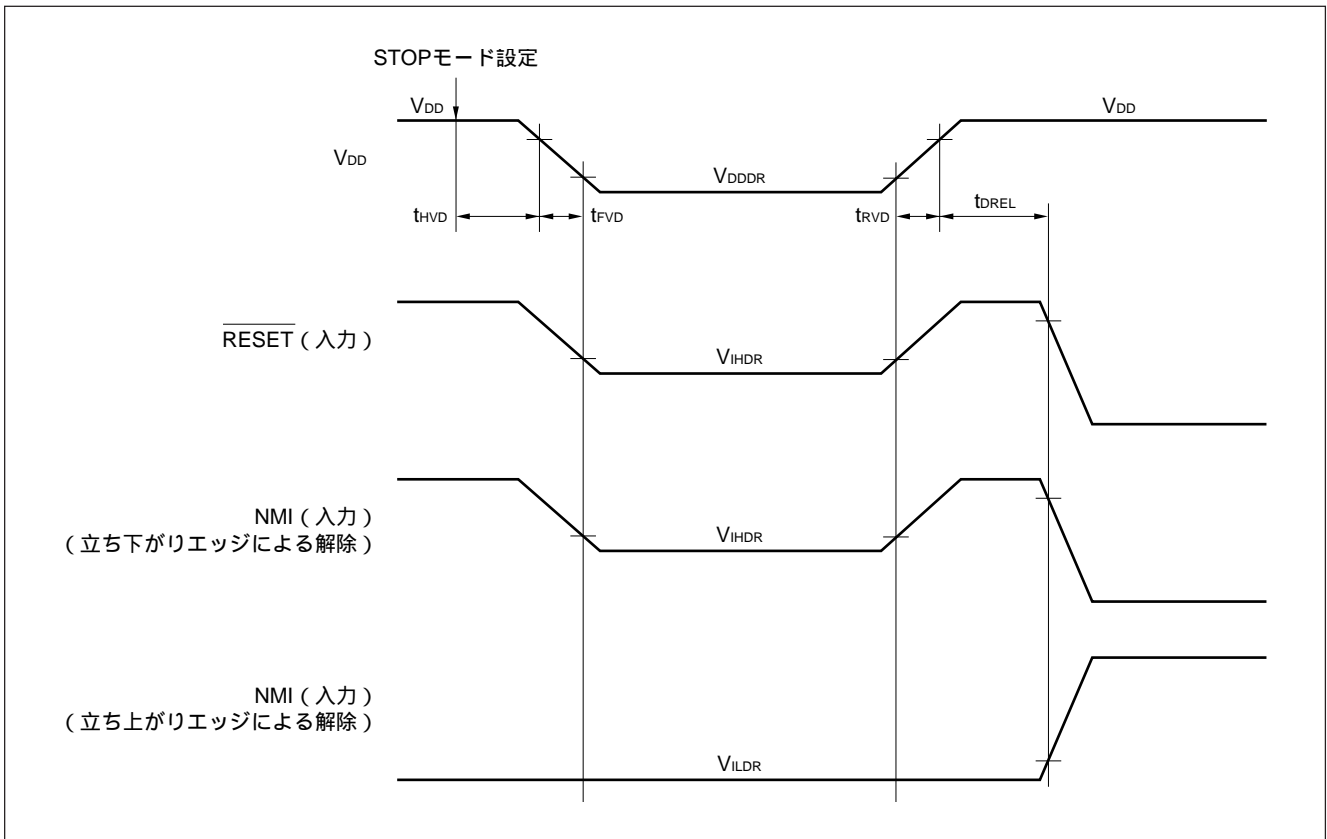
33 MHz動作時 : -20 TA +50

2 .25 MHz動作時 : 50 < TA 85

33 MHz動作時 : 50 < TA 70

3 $\overline{\text{RESET}}$, P02/TCLR1, P03/TI1, P04/INTP10-P07/INTP13, P20/NMI, P21/INTP00-P24/INTP03, P26, P27, P31/SI, P32/ $\overline{\text{SCK}}$, P36, P37, MODE0, MODE1, CKSEL, X1

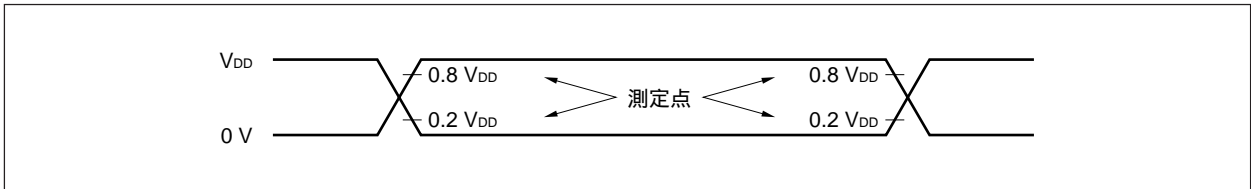
備考 TYP.値はTA = 25 , V_{DD} = 5.0 V時の参考値です。



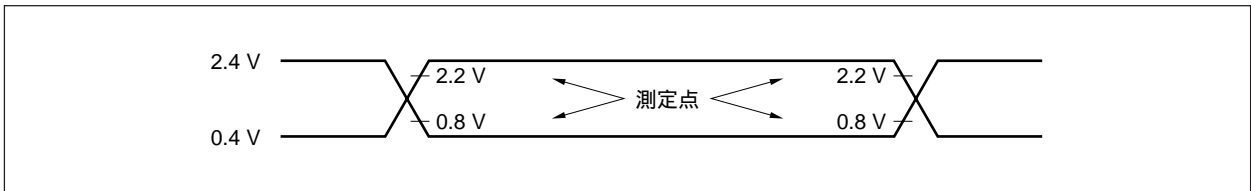
AC特性 ($T_A = -40 \sim +85$, $V_{DD} = 5.0\text{ V} \pm 10\%$, $V_{SS} = 0\text{ V}$) : μPD703000GC-25
 ($T_A = -20 \sim +70$, $V_{DD} = 5.0\text{ V} \pm 10\%$, $V_{SS} = 0\text{ V}$) : μPD703000GC-33

ACテスト入力波形

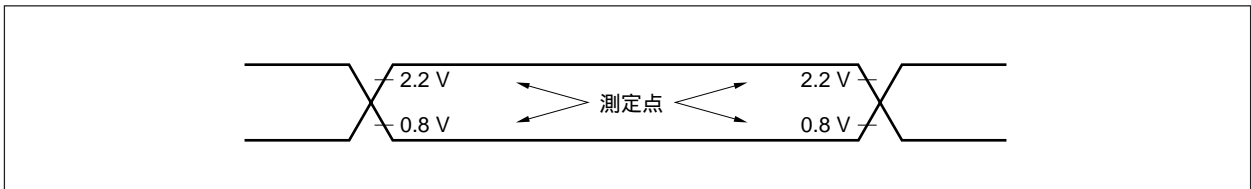
(a) $\overline{\text{RESET}}$, P02/ $\overline{\text{TCLR1}}$, P03/ $\overline{\text{TI1}}$, P04/ $\overline{\text{INTP10}}$ -P07/ $\overline{\text{INTP13}}$, P20/ $\overline{\text{NMI}}$, P21/ $\overline{\text{INTP00}}$ -P24/ $\overline{\text{INTP03}}$, P26, P27, P31/ $\overline{\text{SI}}$, P32/ $\overline{\text{SCK}}$, P36, P37, MODE0, MODE1, CKSEL, X1



(b) 上記 (a) 以外



ACテスト出力測定点



負荷条件

DUT
(被測定デバイス)

$C_L = 50\text{ pF}$

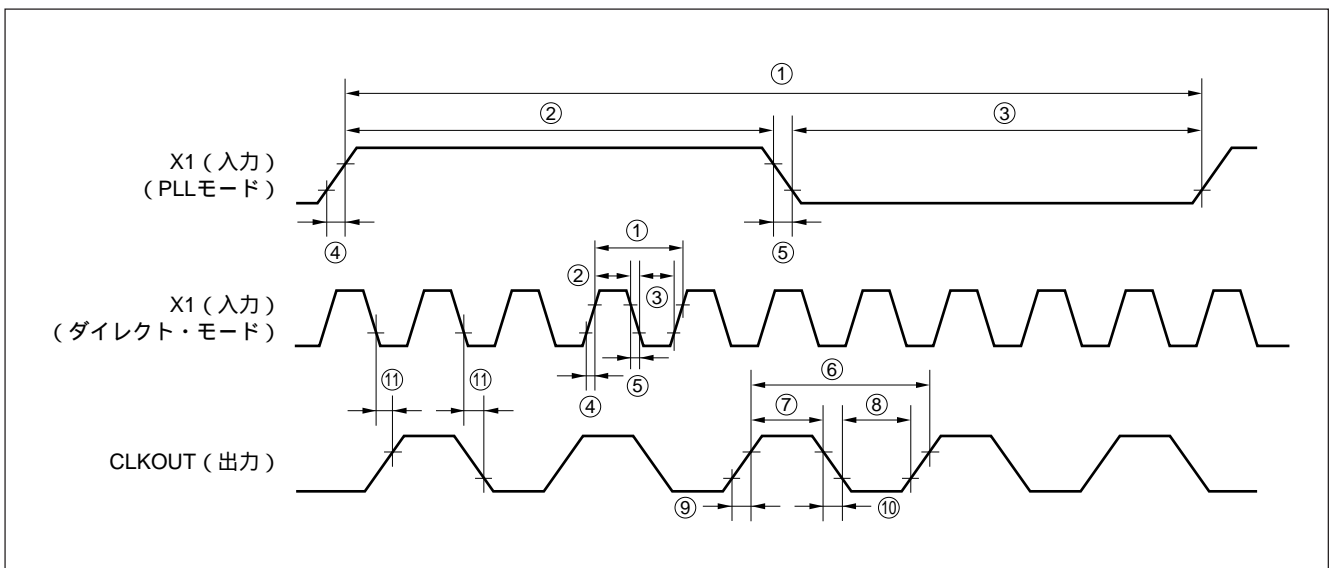
注意 回路の構成により負荷容量が50 pFを越える場合は、バッファを入れるなどして、このデバイスの負荷容量を50 pF以下にしてください。

(1) クロック・タイミング

項 目	略 号	条 件	μ PD703000-25		μ PD703000-33		単 位
			MIN.	MAX.	MIN.	MAX.	
X1入力周期	① t _{CYX}	ダイレクト・モード	20	DC	15	DC	ns
		PLLモード	200	315	150	334	ns
X1入力ハイ・レベル幅	② t _{WXH}	ダイレクト・モード	7		6		ns
		PLLモード	80		60		ns
X1入力ロウ・レベル幅	③ t _{WXL}	ダイレクト・モード	7		6		ns
		PLLモード	80		60		ns
X1入力立ち上がり時間	④ t _{xR}	ダイレクト・モード		7		7	ns
		PLLモード		15		10	ns
X1入力立ち下がり時間	⑤ t _{xF}	ダイレクト・モード		7		7	ns
		PLLモード		15		10	ns
CPU動作周波数	-		0	25	0	33	MHz
CLKOUT出力周期	⑥ t _{CYK}		40	DC	30	DC	ns
CLKOUTハイ・レベル幅	⑦ t _{WKH}		0.5T - 5		0.5T - 5		ns
CLKOUTロウ・レベル幅	⑧ t _{WKL}		0.5T - 5		0.5T - 5		ns
CLKOUT立ち上がり時間	⑨ t _{KR}			5		5	ns
CLKOUT立ち下がり時間	⑩ t _{KF}			5		5	ns
X1 CLKOUT遅延時間	⑪ t _{DXK}	ダイレクト・モード	3	17	3	17	ns

備考 T = t_{CYK}

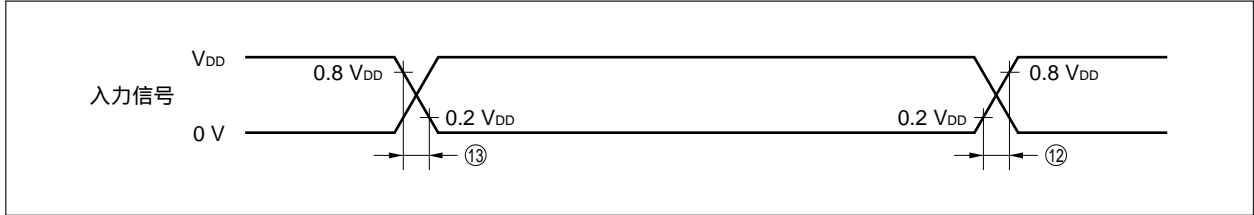
項 目	略 号	条 件	μ PD703000-25	μ PD703000-33	単 位
			TYP.	TYP.	
自走発振周波数	- P	PLLモード	2.8	2.8	MHz



(2) 入力波形

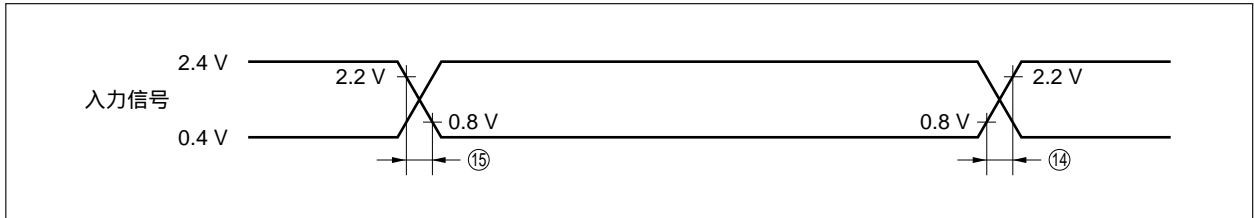
(a) RESET, P02/TCLR1, P03/TI1, P04/INTP10-P07/INTP13, P20/NMI, P21/INTP00-P24/INTP03, P26, P27, P31/SI, P32/SCK, P36, P37, MODE0, MODE1, CKSEL, X1

項目	略号	条件	μPD703000-25		μPD703000-33		単位
			MIN.	MAX.	MIN.	MAX.	
入力立ち上がり時間	⑫	t _{IR2}		20		20	ns
入力立ち下がり時間	⑬	t _{IF2}		20		20	ns



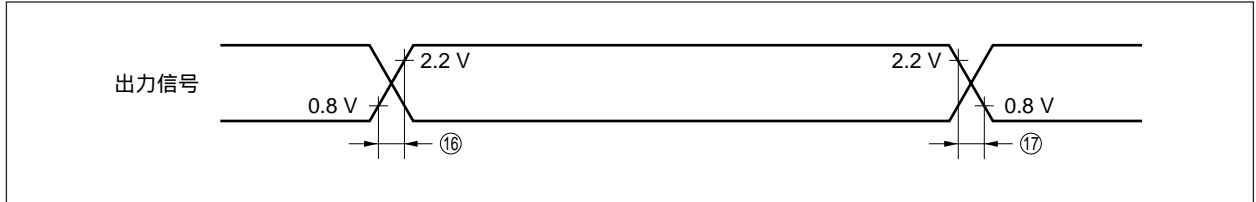
(b) 上記(a)以外

項目	略号	条件	μPD703000-25		μPD703000-33		単位
			MIN.	MAX.	MIN.	MAX.	
入力立ち上がり時間	⑭	t _{IR1}		10		10	ns
入力立ち下がり時間	⑮	t _{IF1}		10		10	ns



(3) 出力波形 (CLKOUT以外)

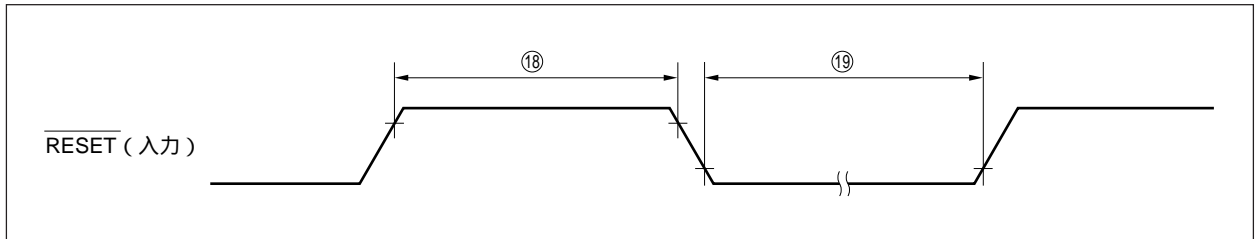
項目	略号	条件	μPD703000-25		μPD703000-33		単位
			MIN.	MAX.	MIN.	MAX.	
出力立ち上がり時間	⑯	toR		10		10	ns
出力立ち下がり時間	⑰	toF		10		10	ns



(4) リセット・タイミング

項目	略号	条件	μPD703000-25		μPD703000-33		単位
			MIN.	MAX.	MIN.	MAX.	
RESETハイ・レベル幅	⑱	tWRSH	500		500		ns
RESETロウ・レベル幅	⑲	電源オン時, STOPモード解除時	500 + T _{OST}		500 + T _{OST}		ns
		電源オン時, STOPモード解除時を除く	500		500		ns

備考 T_{OST} : 発振安定時間



[X E]

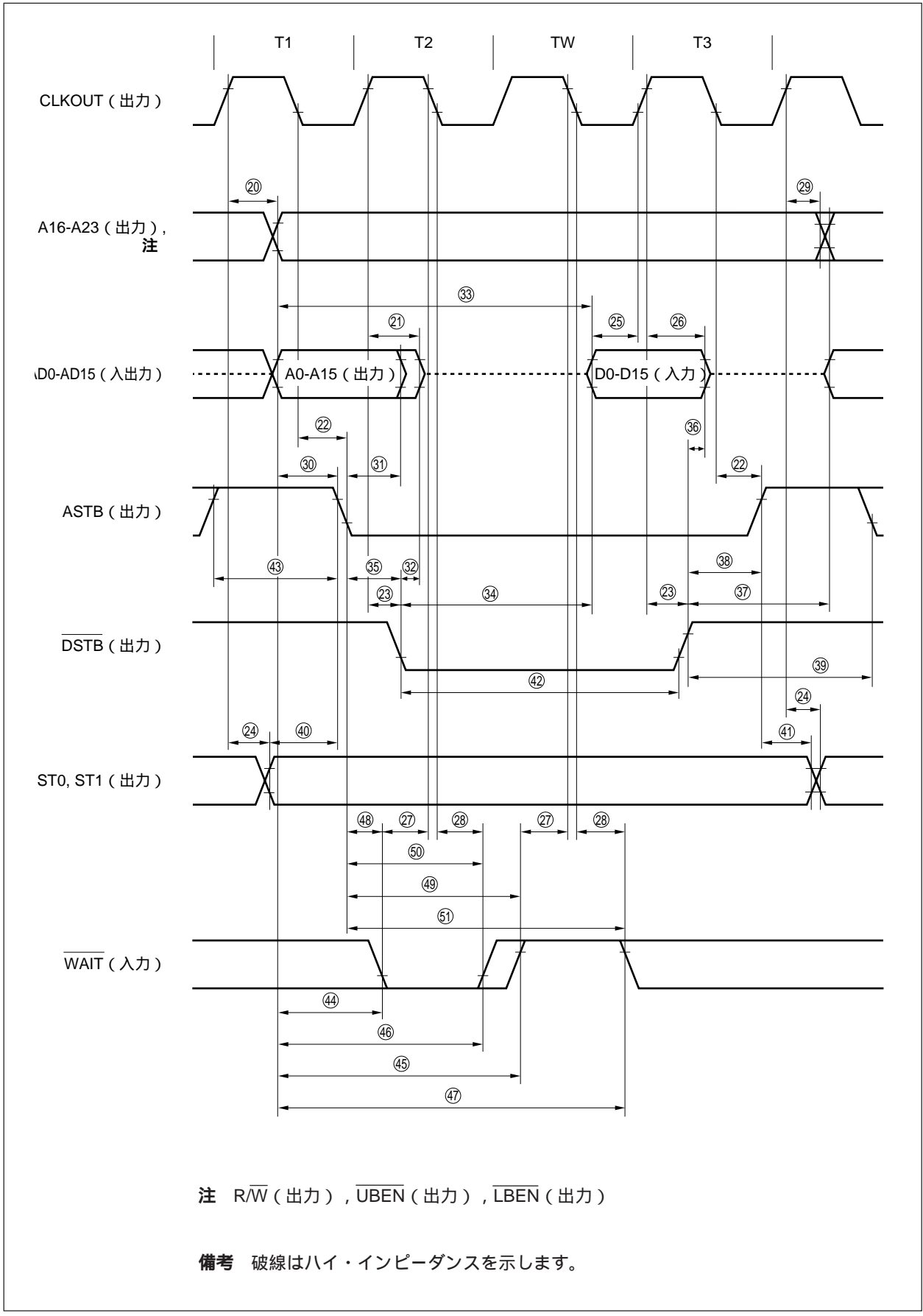
(5) リード・タイミング (1/2)

項 目	略 号	条 件	μPD703000-25		μPD703000-33		単 位
			MIN.	MAX.	MIN.	MAX.	
CLKOUT アドレス遅延時間	⑳ tDKA		3	20	3	20	ns
CLKOUT アドレス・フロート遅延時間	㉑ tFKA		3	15	3	15	ns
CLKOUT ASTB遅延時間	㉒ tDKST		3	15	3	15	ns
CLKOUT $\overline{\text{DSTB}}$ 遅延時間	㉓ tDKD		3	15	3	15	ns
CLKOUT ステータス遅延時間	㉔ tDKS		3	15	3	15	ns
データ入力設定時間 (対CLKOUT)	㉕ tSIDK		5		5		ns
データ入力保持時間 (対CLKOUT)	㉖ tHKID		5		5		ns
$\overline{\text{WAIT}}$ 設定時間 (対CLKOUT)	㉗ tSWTK		5		5		ns
$\overline{\text{WAIT}}$ 保持時間 (対CLKOUT)	㉘ tHKWT		5		5		ns
アドレス保持時間 (対CLKOUT)	㉙ tHKA		0		0		ns
アドレス設定時間 (対ASTB)	㉚ tSAST		0.5T - 10		0.5T - 10		ns
アドレス保持時間 (対ASTB)	㉛ tHSTA		0.5T - 10		0.5T - 10		ns
$\overline{\text{DSTB}}$ アドレス・フロート遅延時間	㉜ tFDA			0		0	ns
データ入力設定時間 (対アドレス)	㉝ tSAID			$(2+n)T - 20$		$(2+n)T - 20$	ns
データ入力設定時間 (対 $\overline{\text{DSTB}}$)	㉞ tSDID			$(1+n)T - 20$		$(1+n)T - 20$	ns
ASTB $\overline{\text{DSTB}}$ 遅延時間	㉟ tDSTD		0.5T - 10		0.5T - 10		ns
データ入力保持時間 (対 $\overline{\text{DSTB}}$)	㊱ tHDID		0		0		ns
$\overline{\text{DSTB}}$ アドレス出力遅延時間	㊲ tDDA		$(1+i)T$		$(1+i)T$		ns
$\overline{\text{DSTB}}$ ASTB 遅延時間	㊳ tDDSTH		0.5T - 10		0.5T - 10		ns
$\overline{\text{DSTB}}$ ASTB 遅延時間	㊴ tDDSTL		$(1.5+i)T - 10$		$(1.5+i)T - 10$		ns
ステータス設定時間 (対ASTB)	㊵ tSSST		0.5T - 10		0.5T - 10		ns
ステータス保持時間 (対ASTB)	㊶ tHSTS		0.5T - 10		0.5T - 10		ns
$\overline{\text{DSTB}}$ ロウ・レベル幅	㊷ tWDL		$(1+n)T - 10$		$(1+n)T - 10$		ns
ASTBハイ・レベル幅	㊸ tWSTH		T - 10		T - 10		ns
$\overline{\text{WAIT}}$ 設定時間 (対アドレス)	㊹ tSAWT1	n 1		1.5T - 20		1.5T - 20	ns
	㊺ tSAWT2			$(1.5+n)T - 20$		$(1.5+n)T - 20$	ns
$\overline{\text{WAIT}}$ 保持時間 (対アドレス)	㊻ tHAWT1	n 1	$(0.5+n)T$		$(0.5+n)T$		ns
	㊼ tHAWT2		$(1.5+n)T$		$(1.5+n)T$		ns
$\overline{\text{WAIT}}$ 設定時間 (対ASTB)	㊽ tSSWT1	n 1		T - 15		T - 15	ns
	㊾ tSSWT2			$(1+n)T - 15$		$(1+n)T - 15$	ns
$\overline{\text{WAIT}}$ 保持時間 (対ASTB)	㊿ tHSTWT1	n 1	nT		nT		ns
	① tHSTWT2		$(1+n)T$		$(1+n)T$		ns

備考 1 . T = tcyk

- 2 . nはバス・サイクルに挿入されるウエイト・クロック数を示します。プログラマブル・ウエイト挿入時は、サンプリング・タイミングが変わります。
- 3 . iは、リード・サイクル後に挿入されるアイドル・ステート数 (0または1) を示します。
- 4 . データ入力保持時間tHKID (㉖) , tHDID (㉞) は、少なくともどちらか1つを守ってください。

(5) リード・タイミング (2/2) : 1 ウェイト



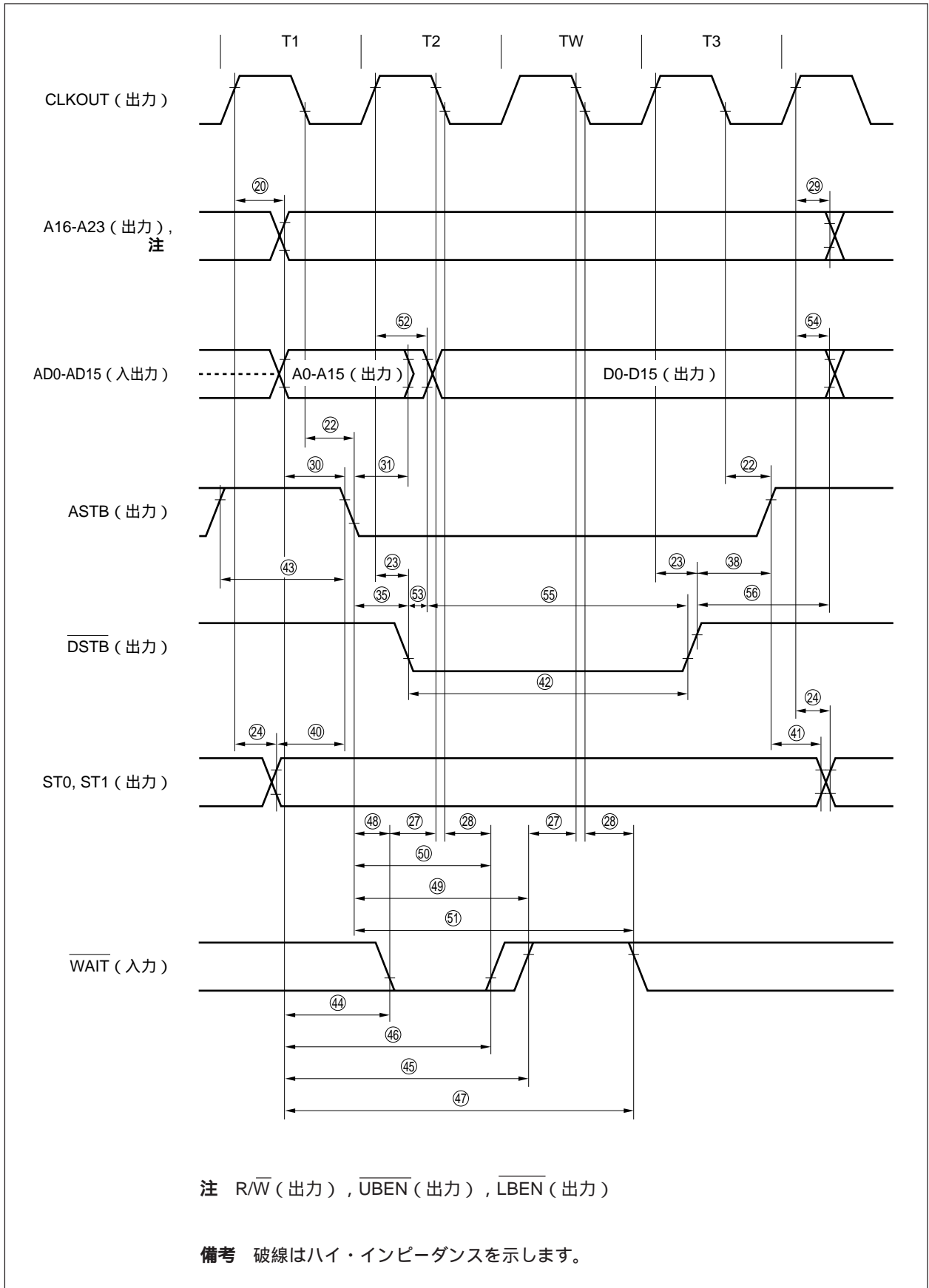
(6) ライト・タイミング (1/2)

項 目	略 号	条 件	μ PD703000-25		μ PD703000-33		単 位
			MIN.	MAX.	MIN.	MAX.	
CLKOUT アドレス遅延時間	⑳ tDKA		3	20	3	20	ns
CLKOUT ASTB遅延時間	㉑ tDKST		3	15	3	15	ns
CLKOUT $\overline{\text{DSTB}}$ 遅延時間	㉒ tDKD		3	15	3	15	ns
CLKOUT ステータス遅延時間	㉓ tDKS		3	15	3	15	ns
WAIT設定時間 (対CLKOUT)	㉔ tSWTK		5		5		ns
WAIT保持時間 (対CLKOUT)	㉕ tHKWT		5		5		ns
アドレス保持時間 (対CLKOUT)	㉖ tHKA		0		0		ns
アドレス設定時間 (対ASTB)	㉗ tSAST		0.5T - 10		0.5T - 10		ns
アドレス保持時間 (対ASTB)	㉘ tHSTA		0.5T - 10		0.5T - 10		ns
ASTB $\overline{\text{DSTB}}$ 遅延時間	㉙ tDSTD		0.5T - 10		0.5T - 10		ns
$\overline{\text{DSTB}}$ ASTB 遅延時間	㉚ tDDSTH		0.5T - 10		0.5T - 10		ns
ステータス設定時間 (対ASTB)	㉛ tSSST		0.5T - 10		0.5T - 10		ns
ステータス保持時間 (対ASTB)	㉜ tHSTS		0.5T - 10		0.5T - 10		ns
$\overline{\text{DSTB}}$ ロウ・レベル幅	㉝ tWDL		$(1+n)T - 10$		$(1+n)T - 10$		ns
ASTBハイ・レベル幅	㉞ tWSTH		T - 10		T - 10		ns
WAIT設定時間 (対アドレス)	㉟ tSAWT1	n 1		1.5T - 20		1.5T - 20	ns
	㊱ tSAWT2			$(1.5+n)T - 20$		$(1.5+n)T - 20$	ns
WAIT保持時間 (対アドレス)	㊲ tHAWT1	n 1	$(0.5+n)T$		$(0.5+n)T$		ns
	㊳ tHAWT2		$(1.5+n)T$		$(1.5+n)T$		ns
WAIT設定時間 (対ASTB)	㊴ tSSWT1	n 1		T - 15		T - 15	ns
	㊵ tSSWT2			$(1+n)T - 15$		$(1+n)T - 15$	ns
WAIT保持時間 (対ASTB)	㊶ tHSTWT1	n 1	nT		nT		ns
	㊷ tHSTWT2		$(1+n)T$		$(1+n)T$		ns
CLKOUT データ出力遅延時間	㊸ tDKOD			20		20	ns
$\overline{\text{DSTB}}$ データ出力遅延時間	㊹ tDOD			10		10	ns
データ出力保持時間 (対CLKOUT)	㊺ tHKOD		0		0		ns
データ出力設定時間 (対 $\overline{\text{DSTB}}$)	㊻ tSODD		$(1+n)T - 15$		$(1+n)T - 15$		ns
データ出力保持時間 (対 $\overline{\text{DSTB}}$)	㊼ tHDOD		T - 10		T - 10		ns

備考 1 . T = tcyk

2 . nはバス・サイクルに挿入されるウェイト・クロック数を示します。プログラマブル・ウェイト挿入時は、サンプリング・タイミングが変わります。

(6) ライト・タイミング (2/2) : 1 ウェイト



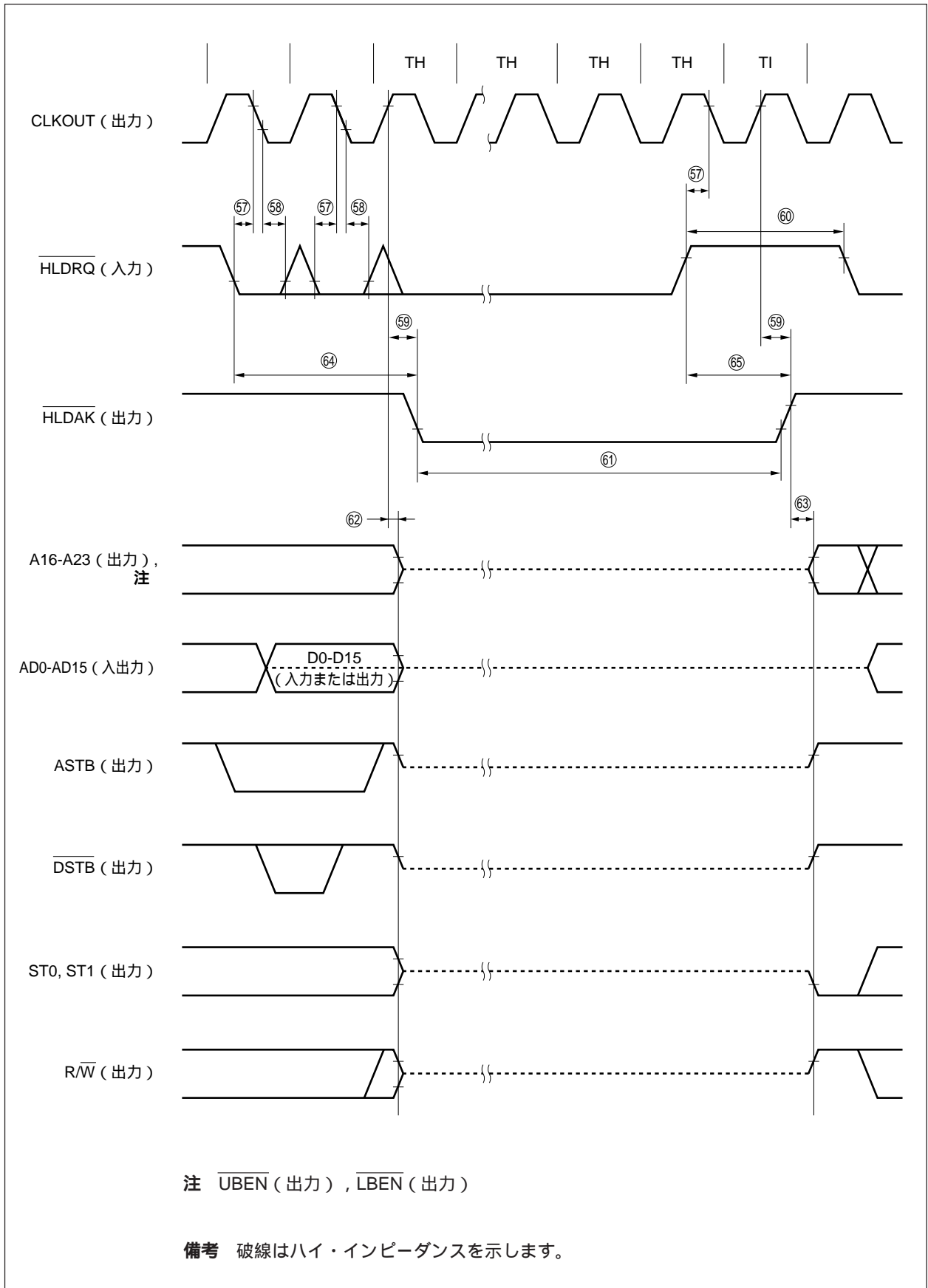
(7) バス・ホールド・タイミング (1/2)

項 目	略 号	条 件	μ PD703000-25		μ PD703000-33		単 位
			MIN.	MAX.	MIN.	MAX.	
HLD $\overline{\text{RQ}}$ 設定時間 (対CLKOUT)	⑤7	tSHQK	5		5		ns
HLD $\overline{\text{RQ}}$ 保持時間 (対CLKOUT)	⑤8	tHKHQ	5		5		ns
CLKOUT HLD $\overline{\text{AK}}$ 遅延時間	⑤9	tdKHA		20		20	ns
HLD $\overline{\text{RQ}}$ ハイ・レベル幅	⑥0	tWHQH	T + 10		T + 10		ns
HLD $\overline{\text{AK}}$ ロウ・レベル幅	⑥1	tWHAL	T - 10		T - 10		ns
★ CLKOUT バス・フロート遅延時間	⑥2	tdKF		20		20	ns
HLD $\overline{\text{AK}}$ バス出力遅延時間	⑥3	tdHAC	- 3		- 3		ns
HLD $\overline{\text{RQ}}$ HLD $\overline{\text{AK}}$ 遅延時間	⑥4	tdHQHA1		(2n + 7.5)T + 20		(2n + 7.5)T + 20	ns
HLD $\overline{\text{RQ}}$ HLD $\overline{\text{AK}}$ 遅延時間	⑥5	tdHQHA2	0.5T	1.5T + 20	0.5T	1.5T + 20	ns

備考 1 . T = tc_{YK}

2 . nはバス・サイクルに挿入されるウエイト・クロック数を示します。プログラマブル・ウエイト挿入時は、サンプリング・タイミングが変わります。

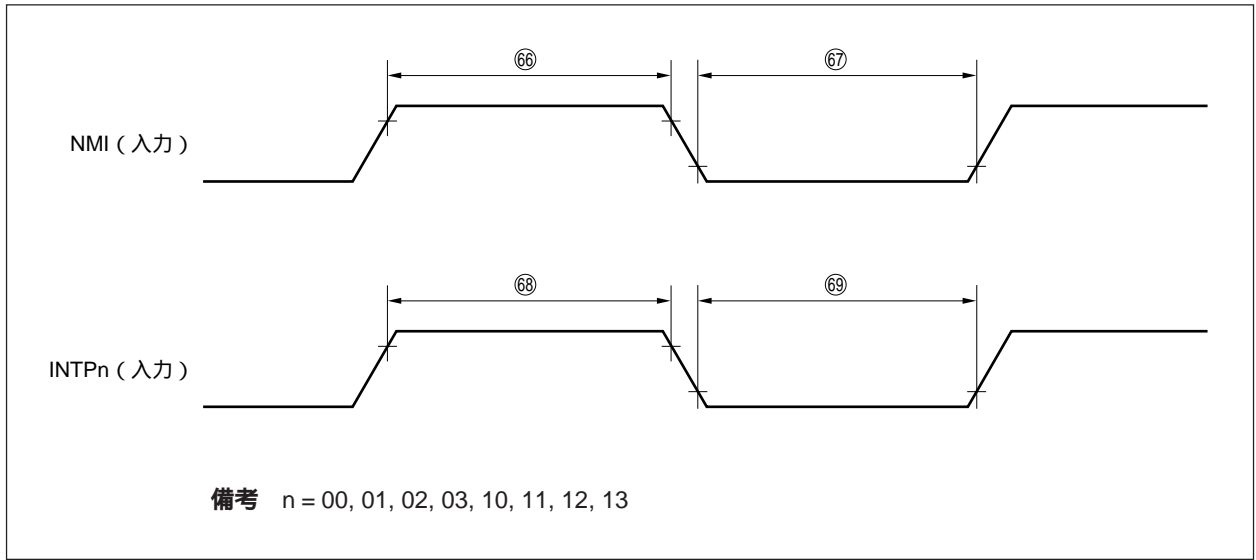
(7) バス・ホールド・タイミング (2/2)



(8) 割り込みタイミング

項目	略号	条件	μPD703000-25		μPD703000-33		単位
			MIN.	MAX.	MIN.	MAX.	
NMIハイ・レベル幅	⑥⑥	t _{WNH}	500		500		ns
NMIロウ・レベル幅	⑥⑦	t _{WNL}	500		500		ns
INTPnハイ・レベル幅	⑥⑧	t _{WnH}	nT + 10		3T + 10		ns
INTPnロウ・レベル幅	⑥⑨	t _{WnL}	nT + 10		3T + 10		ns

備考 T = t_{cyk}



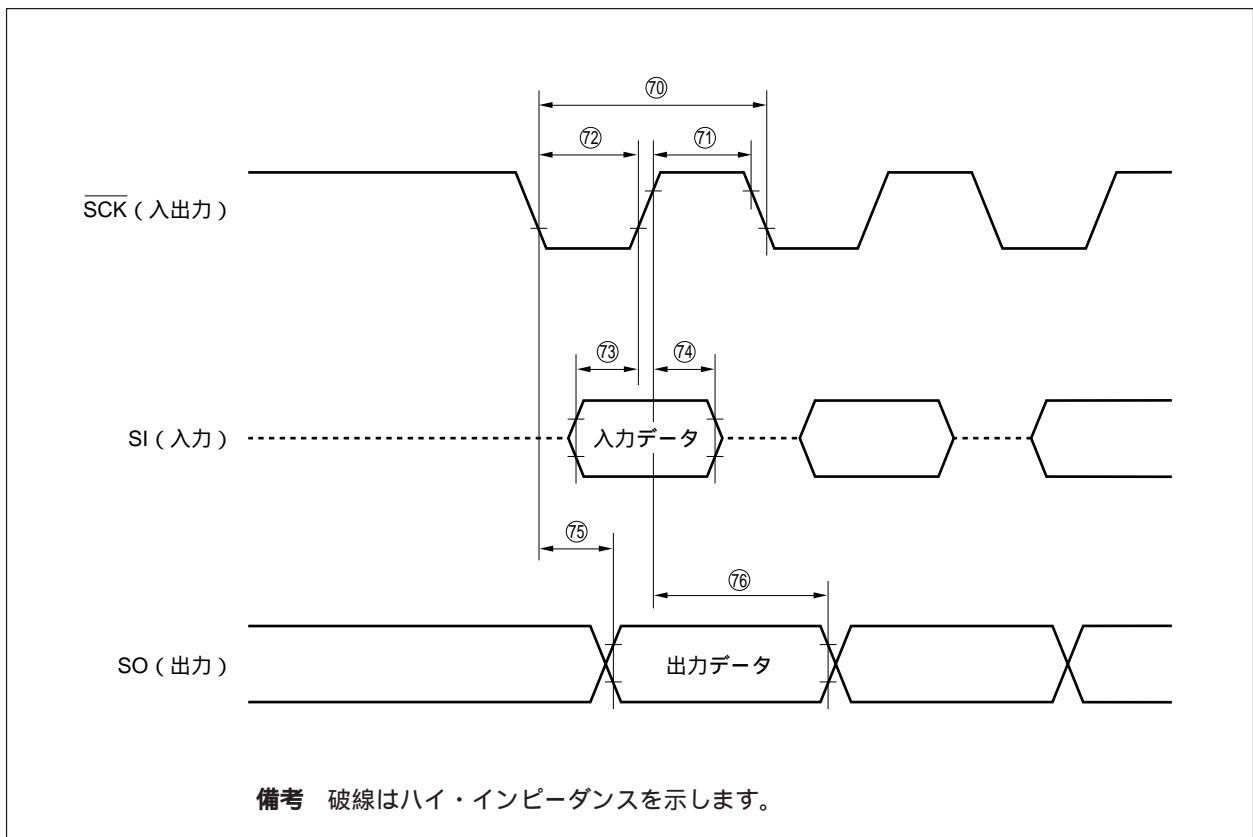
(9) CSIタイミング

(a) マスタ・モード

項目	略号	条件	μPD703000-25		μPD703000-33		単位	
			MIN.	MAX.	MIN.	MAX.		
SCK周期	⑦⑩	t _{CYSK}	出力	160		120		ns
SCKハイ・レベル幅	⑦①	t _{WSKH}	出力	0.5t _{CYSK} - 20		0.5t _{CYSK} - 20		ns
SCKロウ・レベル幅	⑦②	t _{WSKL}	出力	0.5t _{CYSK} - 20		0.5t _{CYSK} - 20		ns
SI設定時間 (対SCK)	⑦③	t _{SSISK}		30		30		ns
SI保持時間 (対SCK)	⑦④	t _{HSKSI}		0		0		ns
SO出力遅延時間 (対SCK)	⑦⑤	t _{DSKSO}			18		18	ns
SO出力保持時間 (対SCK)	⑦⑥	t _{HSKSO}		0.5t _{CYSK} - 5		0.5t _{CYSK} - 5		ns

(b) スレーブ・モード

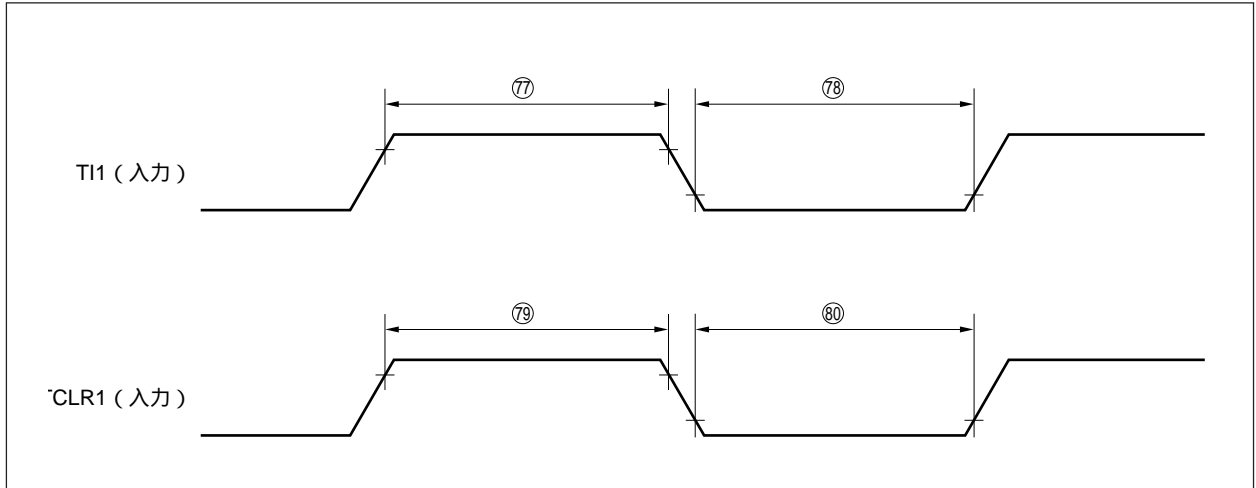
項目	略号	条件	μPD703000-25		μPD703000-33		単位	
			MIN.	MAX.	MIN.	MAX.		
SCK周期	⑦⑩	t _{CYSK}	入力	160		120		ns
SCKハイ・レベル幅	⑦①	t _{WSKH}	入力	50		30		ns
SCKロウ・レベル幅	⑦②	t _{WSKL}	入力	50		30		ns
SI設定時間 (対SCK)	⑦③	t _{SSISK}		10		10		ns
SI保持時間 (対SCK)	⑦④	t _{HSKSI}		10		10		ns
SO出力遅延時間 (対SCK)	⑦⑤	t _{DSKSO}			30		30	ns
SO出力保持時間 (対SCK)	⑦⑥	t _{HSKSO}		t _{WSKH}		t _{WSKH}		ns



(10) RPUタイミング

項 目	略 号	条 件	μ PD703000-25		μ PD703000-33		単 位
			MIN.	MAX.	MIN.	MAX.	
T11ハイ・レベル幅	⑦⑦	t _{WTIH}	3T + 10		3T + 10		ns
T11ロウ・レベル幅	⑦⑧	t _{WTIL}	3T + 10		3T + 10		ns
TCLR1ハイ・レベル幅	⑦⑨	t _{WTCH}	3T + 10		3T + 10		ns
TCLR1ロウ・レベル幅	⑧⑩	t _{WTCL}	3T + 10		3T + 10		ns

備考 T = t_{cyk}



12.2 $V_{DD} = 3.0 \sim 3.6 V$ のとき

絶対最大定格 ($T_A = 25$)

項目	略号	条件	定格	単位
電源電圧	V_{DD}	V_{DD} 端子	- 0.5 ~ + 7.0	V
	CV_{DD}	CV_{DD} 端子	- 0.5 ~ + 7.0	V
	CV_{SS}	CV_{SS} 端子	- 0.5 ~ + 0.5	V
入力電圧	V_{I1}	X1端子を除く, $V_{DD} = 3.0 \sim 3.6 V$	- 0.5 ~ $V_{DD} + 0.3$	V
クロック入力電圧	V_X	X1端子, $V_{DD} = 3.0 \sim 3.6 V$	- 0.5 ~ $V_{DD} + 1.0$	V
ロウ・レベル出力電流	I_{OL}	1端子	4.0	mA
		全端子合計	100	mA
ハイ・レベル出力電流	I_{OH}	1端子	- 4.0	mA
		全端子合計	- 100	mA
出力電圧	V_O	$V_{DD} = 3.0 \sim 3.6 V$	- 0.5 ~ $V_{DD} + 0.3$	V
動作周囲温度	T_A		- 20 ~ + 70	
保存温度	T_{stg}		- 65 ~ + 150	

注意 1. IC製品の出力（または入出力）端子同士を直結したり、 V_{DD} または V_{CC} やGNDに直結したりしないでください。
ただし、オープン・ドレイン端子やオープン・コレクタ端子同士は直結できます。また、ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路でも直結可能です。

2. 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づかない状態で、製品をご使用ください。

DC特性とAC特性に示す規格や条件が、製品の正常動作、品質保証の範囲です。

容量 ($T_A = 25$, $V_{DD} = V_{SS} = 0 V$)

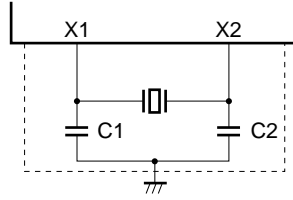
項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	C_i	$f_c = 1 \text{ MHz}$			15	pF
入出力容量	C_{iO}	被測定ピン以外は0V			15	pF
出力容量	C_o				15	pF

動作条件

動作モード	内部動作クロック周波数 ()	動作周囲温度 (T_A)	電源電圧 (V_{DD})
ダイレクト・モード	0 ~ 12 MHz	- 20 ~ + 70	3.0 ~ 3.6 V
PLLモード	自走発振周波数 ~ 12 MHz	- 20 ~ + 70	3.0 ~ 3.6 V

推奨発振回路

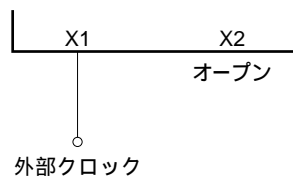
(a) セラミック発振子接続 ($T_A = -40 \sim +85$)



メーカー	品名	発振周波数 f_{xx} (MHz)	推奨回路定数		発振電圧範囲		発振安定時間 (MAX.) T_{OST} (ms)
			C1 (pF)	C2 (pF)	MIN. (V)	MAX. (V)	
TDK	FCR2.0MC3	2.0	内蔵	内蔵	3.0	3.6	0.26
	CCR3.2MC3	3.2	内蔵	内蔵	3.0	3.6	0.62
村田製作所	CSA2.00MG	2.0	30	30	3.0	3.6	0.24
	CST2.00MG	2.0	内蔵	内蔵	3.0	3.6	0.24
	CSA2.70MG	2.7	30	30	3.0	3.6	0.16
	CST2.70MGW	2.7	内蔵	内蔵	3.0	3.6	0.16
	CSA3.20MG	3.2	30	30	3.0	3.6	0.13
	CST3.20MGW	3.2	内蔵	内蔵	3.0	3.6	0.13

- 注意 1 . 発振回路はX1 , X2端子にできるかぎり近づけてください。
 2 . 破線の範囲にほかの信号線を通さないでください。
 3 . μPD703000と発振子のマッチングについては、十分に評価してください。

(b) 外部クロック入力



注意 X1端子にはCMOSレベルの電圧を入力してください。

DC特性 (TA = -20 ~ +70 , VDD = 3.0 ~ 3.6 V , VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル入力電圧	VIH	X1, 注を除く	0.7 VDD		VDD	V	
		注	0.8 VDD		VDD	V	
ロウ・レベル入力電圧	VIL	X1, 注を除く	0		0.2 VDD	V	
		注	0		0.2 VDD	V	
ハイ・レベルX1クロック入力電圧	VXH	ダイレクト・モード	0.8 VDD		VDD	V	
		PLLモード	0.8 VDD		VDD	V	
ロウ・レベルX1クロック入力電圧	VXL	ダイレクト・モード	0		0.6	V	
		PLLモード	0		0.6	V	
シュミット・トリガ入力	VT+	注, 立ち上がり		3.0		V	
スレッシュホールド電圧	VT-	注, 立ち下がり		2.0		V	
シュミット・トリガ入力ヒステリシス幅	VT+ - VT-	注	0.5			V	
ハイ・レベル出力電圧	VOH	IOH = - 2.5 mA	0.7 VDD			V	
		IOH = - 100 μA	VDD - 0.5			V	
ロウ・レベル出力電圧	VOL	IOL = 2.5 mA			0.45	V	
ハイ・レベル入力リーク電流	IUIH	VI = VDD			10	μA	
ロウ・レベル入力リーク電流	IUIL	VI = 0 V			- 10	μA	
ハイ・レベル出力リーク電流	ILOH	VO = VDD			10	μA	
ロウ・レベル出力リーク電流	ILOL	VO = 0 V			- 10	μA	
電源電流	動作時	IDD1	ダイレクト・モード		1.0 x +3.5	1.2 x +6.5	mA
			PLLモード		1.1 x +5	1.3 x +8.5	mA
	HALT時	IDD2	ダイレクト・モード		0.3 x +2	0.5 x +6.5	mA
			PLLモード		0.4 x +3.5	0.6 x +8.5	mA
	IDLE時	IDD3	ダイレクト・モード		5.3 x +200	6.5 x +325	μA
			PLLモード		0.07 x +1.5	0.15 x +2	mA
	STOP時	IDD4	- 20 TA + 50		1	40	μA
			50 < TA 70			200	μA

注 RESET, P02/TCLR1, P03/TI1, P04/INTP10-P07/INTP13, P20/NMI, P21/INTP00-P24/INTP03, P26, P27, P31/SI, P32/SCK, P36, P37, MODE0, MODE1, CKSEL

備考 1 . TYP.値はTA = 25 , VDD = 3.3 V時の参考値です。

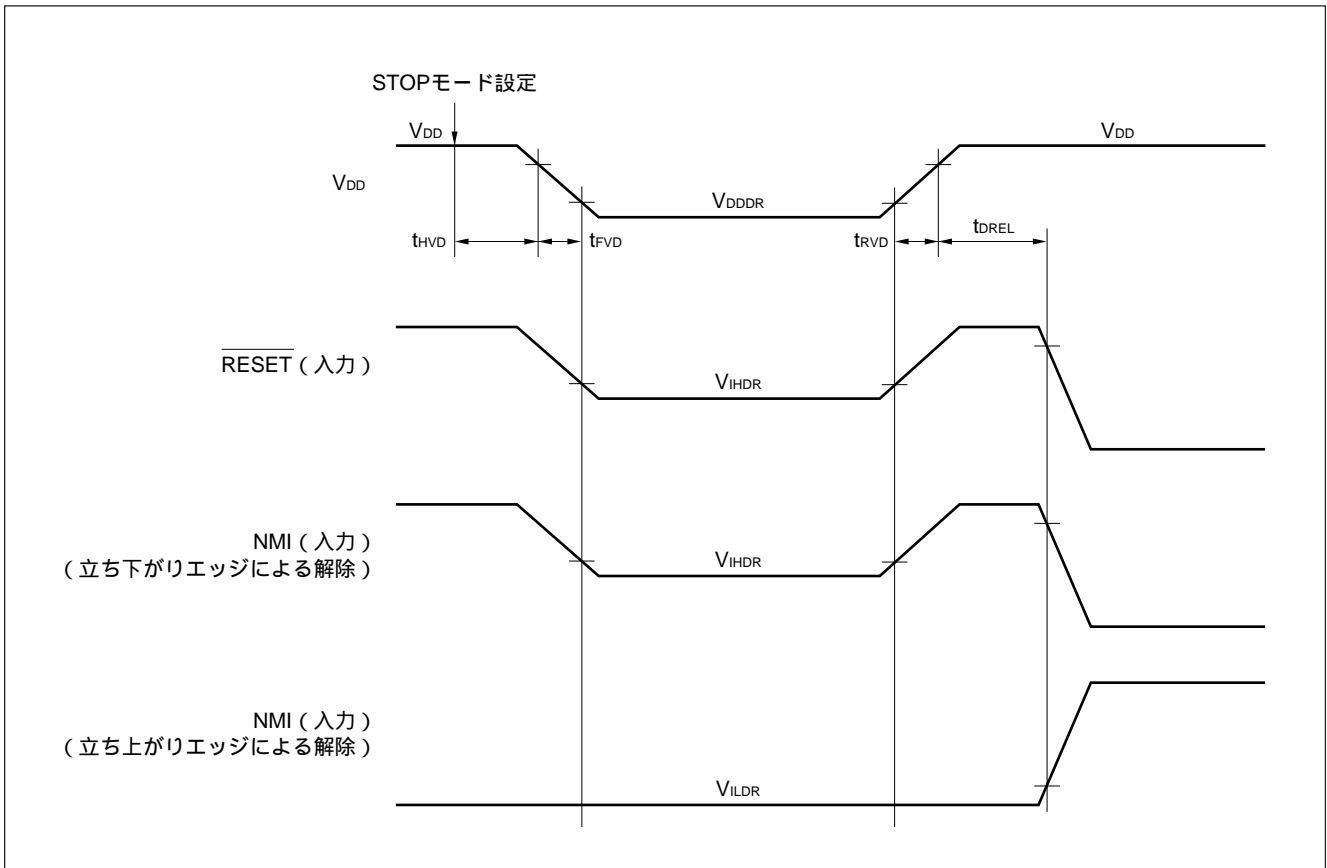
2 . : 内部動作クロック周波数

データ保持特性 (TA = -20 ~ +70)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電圧	V _{DDDR}	STOPモード	1.5		3.6	V
データ保持電流	I _{DDDR}	V _{DD} = V _{DDDR}	-20 < T _A < +50	0.2V _{DDDR}	40	μA
			50 < T _A < 70	0.2V _{DDDR}	200	μA
電源電圧立ち上がり時間	t _{RV} D		200			μs
電源電圧立ち下がり時間	t _{FV} D		200			μs
電源電圧保持時間 (対STOPモード設定)	t _{HV} D		0			ms
STOPモード解除信号入力時間	t _{DREL}		0			ns
データ保持ハイ・レベル入力電圧	V _{IHDR}	注	0.9V _{DDDR}		V _{DDDR}	V
データ保持ロウ・レベル入力電圧	V _{ILDR}	注	0		0.1V _{DDDR}	V

注 RESET, P02/TCLR1, P03/TI1, P04/INTP10-P07/INTP13, P20/NMI, P21/INTP00-P24/INTP03, P26, P27, P31/SI, P32/SCK, P36, P37, MODE0, MODE1, CKSEL, X1

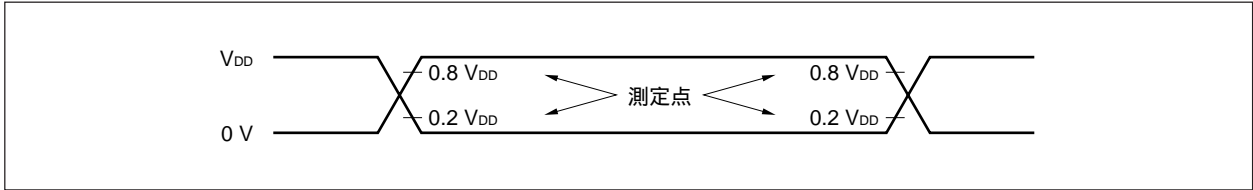
備考 TYP.値はTA = 25 , VDD = 3.3 V時の参考値です。



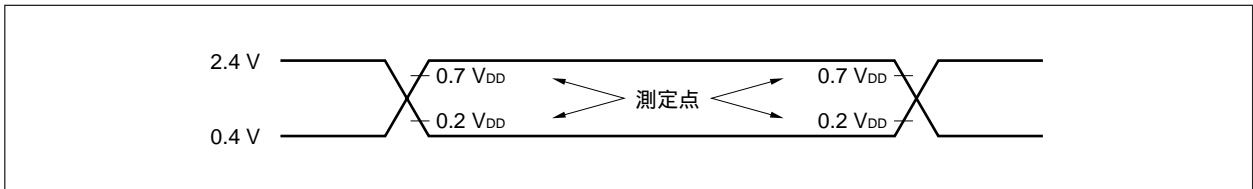
AC特性 ($T_A = -20 \sim +70$, $V_{DD} = 3.0 \sim 3.6 V$, $V_{SS} = 0 V$)

ACテスト入力波形

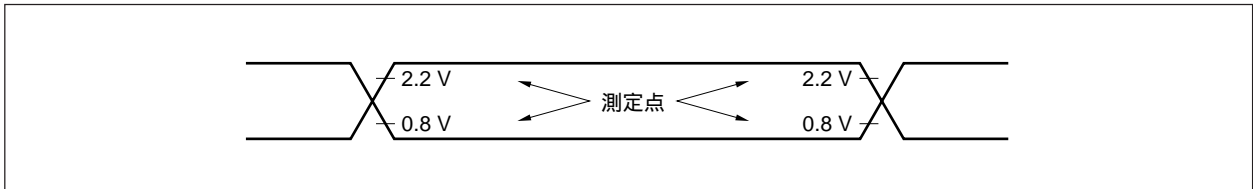
(a) $\overline{\text{RESET}}$, P02/ $\overline{\text{TCLR1}}$, P03/ $\overline{\text{TI1}}$, P04/ $\overline{\text{INTP10}}$ -P07/ $\overline{\text{INTP13}}$, P20/ $\overline{\text{NMI}}$, P21/ $\overline{\text{INTP00}}$ -P24/ $\overline{\text{INTP03}}$, P26, P27, P31/ $\overline{\text{SI}}$, P32/ $\overline{\text{SCK}}$, P36, P37, MODE0, MODE1, CKSEL, X1



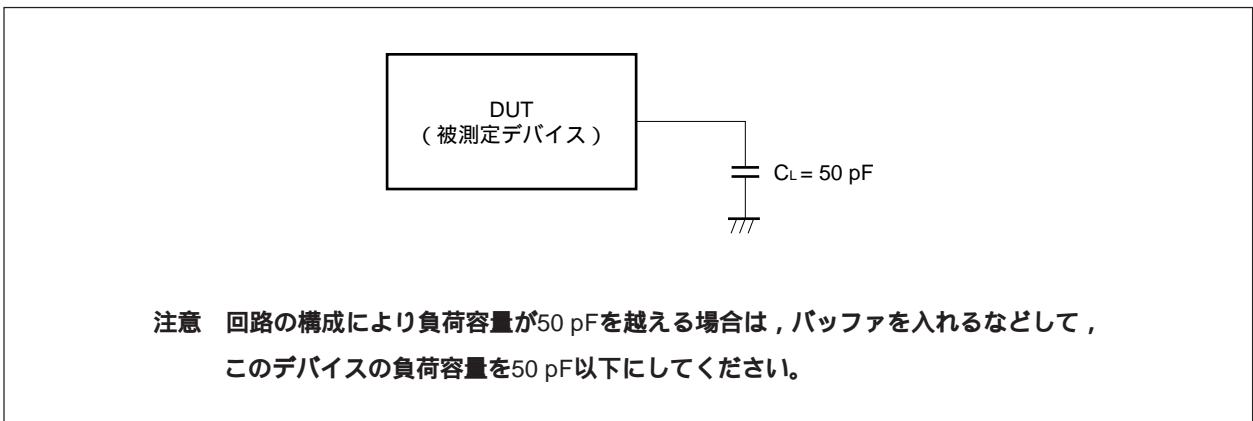
(b) 上記 (a) 以外



ACテスト出力測定点



負荷条件

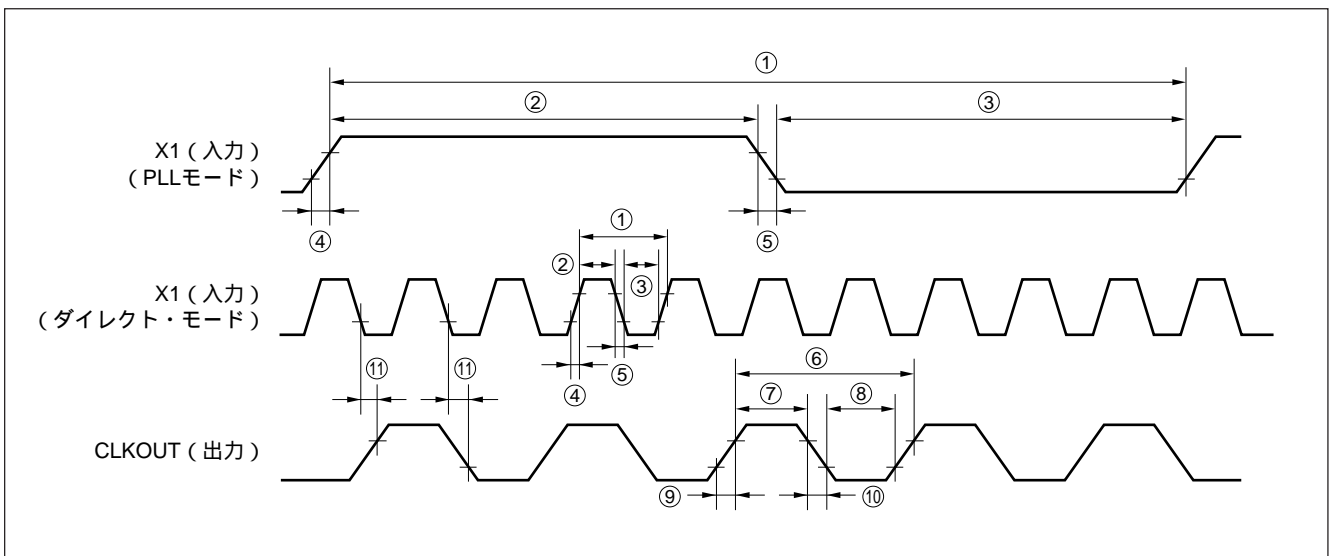


(1) クロック・タイミング

項目	略号	条件	MIN.	MAX.	単位
X1入力周期	① t _{CYX}	ダイレクト・モード	41	DC	ns
		PLLモード	416	500	ns
X1入力ハイ・レベル幅	② t _{WXH}	ダイレクト・モード	7		ns
		PLLモード	170		ns
X1入力ロウ・レベル幅	③ t _{WXL}	ダイレクト・モード	7		ns
		PLLモード	170		ns
X1入力立ち上がり時間	④ t _{xR}	ダイレクト・モード		7	ns
		PLLモード		15	ns
X1入力立ち下がり時間	⑤ t _{xF}	ダイレクト・モード		7	ns
		PLLモード		15	ns
CPU動作周波数	-		0	12	MHz
CLKOUT出力周期	⑥ t _{CYK}		82	DC	ns
CLKOUTハイ・レベル幅	⑦ t _{WKH}		0.5T - 15		ns
CLKOUTロウ・レベル幅	⑧ t _{WKL}		0.5T - 15		ns
CLKOUT立ち上がり時間	⑨ t _{kR}			15	ns
CLKOUT立ち下がり時間	⑩ t _{kF}			15	ns
X1 CLKOUT遅延時間	⑪ t _{DXK}	ダイレクト・モード	3	30	ns

備考 T = t_{CYK}

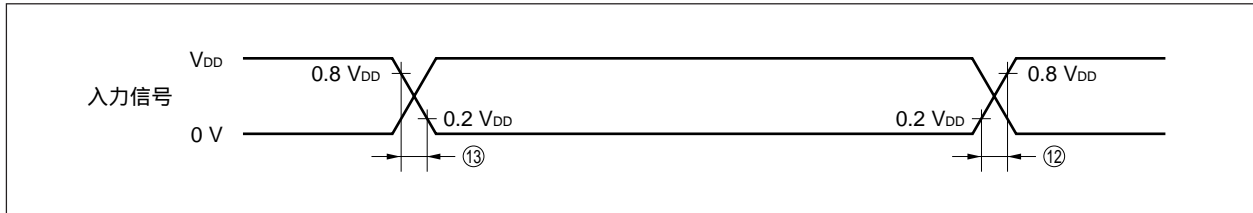
項目	略号	条件	TYP.	単位
自走発振周波数	- P	PLLモード	2.8	MHz



(2) 入力波形

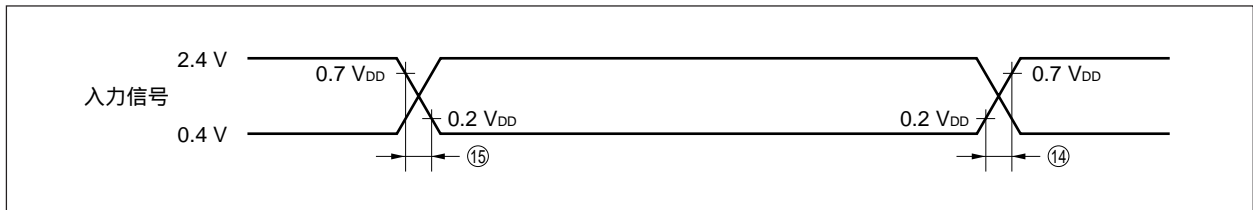
(a) $\overline{\text{RESET}}$, P02/ $\overline{\text{TCLR1}}$, P03/ $\overline{\text{TI1}}$, P04/ $\overline{\text{INTP10}}$ -P07/ $\overline{\text{INTP13}}$, P20/ $\overline{\text{NMI}}$, P21/ $\overline{\text{INTP00}}$ -P24/ $\overline{\text{INTP03}}$, P26, P27, P31/ $\overline{\text{SI}}$, P32/ $\overline{\text{SCK}}$, P36, P37, MODE0, MODE1, CKSEL, X1

項目	略号	条件	MIN.	MAX.	単位
入力立ち上がり時間	⑫	t_{IR2}		20	ns
入力立ち下がり時間	⑬	t_{IF2}		20	ns



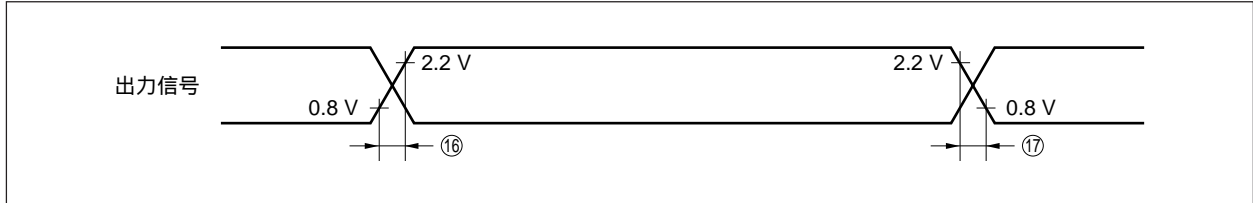
(b) 上記(a)以外

項目	略号	条件	MIN.	MAX.	単位
入力立ち上がり時間	⑭	t_{IR1}		10	ns
入力立ち下がり時間	⑮	t_{IF1}		10	ns



(3) 出力波形 (CLKOUT以外)

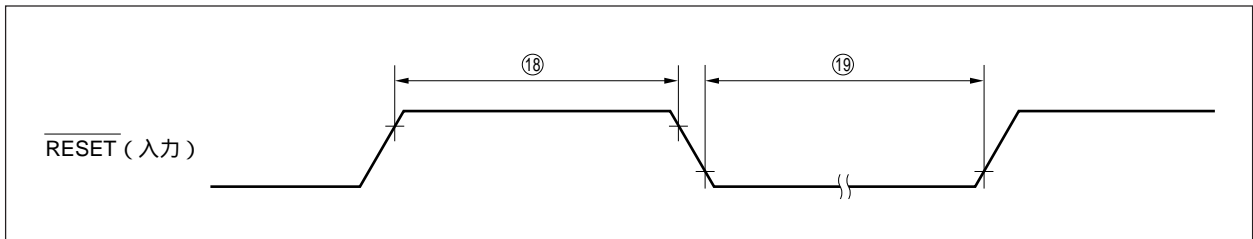
項目	略号	条件	MIN.	MAX.	単位
出力立ち上がり時間	⑩ t _{OR}			20	ns
出力立ち下がり時間	⑪ t _{OF}			20	ns



(4) リセット・タイミング

項目	略号	条件	MIN.	MAX.	単位
RESETハイ・レベル幅	⑫ t _{WRSH}		500		ns
RESETロウ・レベル幅	⑬ t _{WRSL}	電源オン時, STOPモード解除時	500 + T _{OST}		ns
		電源オン時, STOPモード解除時を除く	500		ns

備考 T_{OST} : 発振安定時間



[X E]

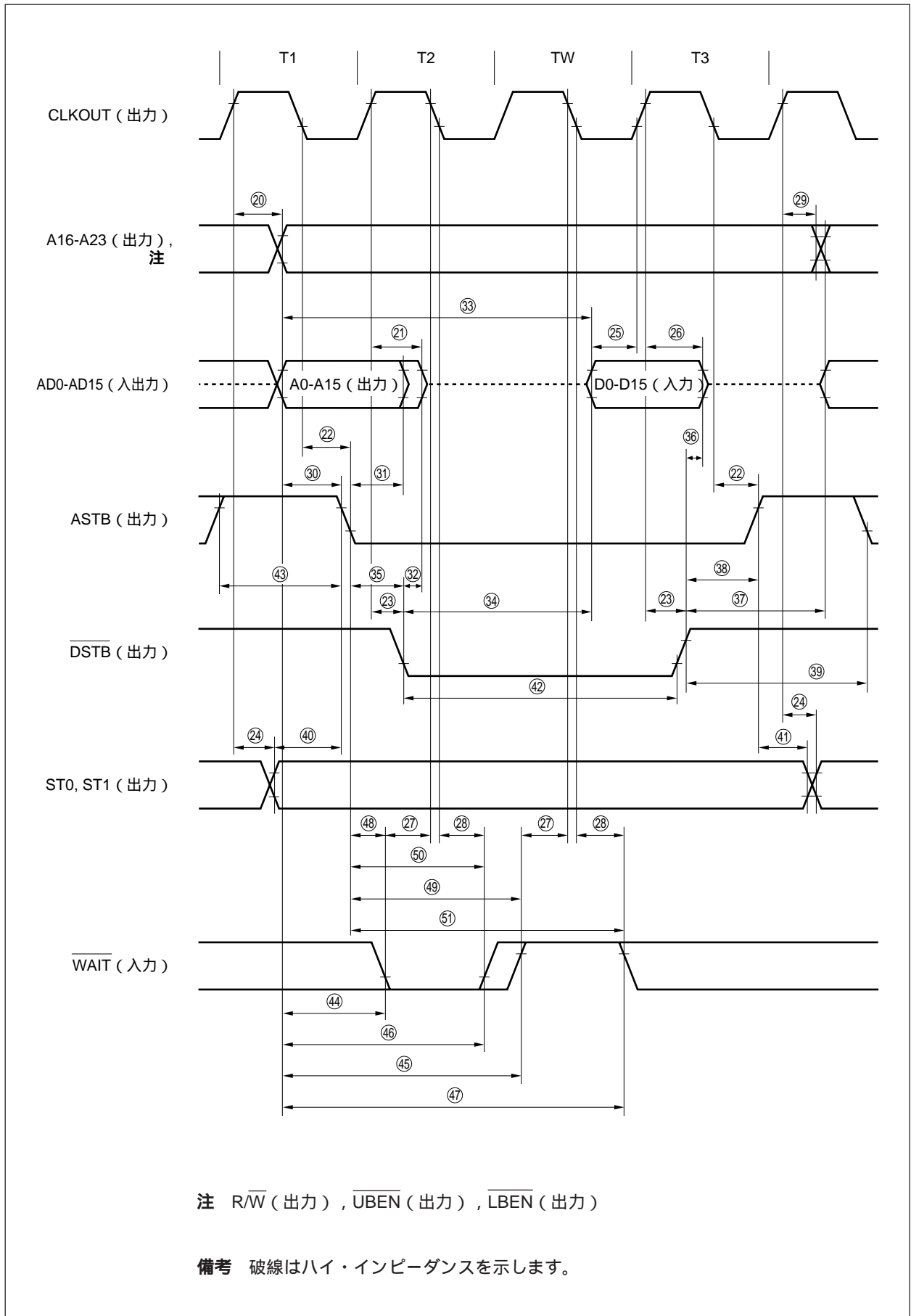
(5) リード・タイミング (1/2)

項 目	略 号	条 件	MIN.	MAX.	単 位
CLKOUT アドレス遅延時間	⑳ tDKA		3	32	ns
CLKOUT アドレス・フロート遅延時間	㉑ tFKA		3	32	ns
CLKOUT ASTB遅延時間	㉒ tDKST		3	32	ns
CLKOUT $\overline{\text{DSTB}}$ 遅延時間	㉓ tDKD		3	32	ns
CLKOUT ステータス遅延時間	㉔ tDKS		3	32	ns
データ入力設定時間 (対CLKOUT)	㉕ tSIDK		5		ns
データ入力保持時間 (対CLKOUT)	㉖ tHKID		5		ns
WAIT設定時間 (対CLKOUT)	㉗ tSWTK		7		ns
WAIT保持時間 (対CLKOUT)	㉘ tHKWT		7		ns
アドレス保持時間 (対CLKOUT)	㉙ tHKA		0		ns
アドレス設定時間 (対ASTB)	㉚ tSAST		0.5T - 25		ns
アドレス保持時間 (対ASTB)	㉛ tHSTA		0.5T - 15		ns
$\overline{\text{DSTB}}$ アドレス・フロート遅延時間	㉜ tFDA			0	ns
データ入力設定時間 (対アドレス)	㉝ tSAID			$(2+n)T - 45$	ns
データ入力設定時間 (対 $\overline{\text{DSTB}}$)	㉞ tSDID			$(1+n)T - 35$	ns
ASTB $\overline{\text{DSTB}}$ 遅延時間	㉟ tDSTD		0.5T - 15		ns
データ入力保持時間 (対 $\overline{\text{DSTB}}$)	㊱ tHDID		0		ns
$\overline{\text{DSTB}}$ アドレス出力遅延時間	㊲ tDDA		$(1+i)T$		ns
$\overline{\text{DSTB}}$ ASTB 遅延時間	㊳ tDDSTH		0.5T - 15		ns
$\overline{\text{DSTB}}$ ASTB 遅延時間	㊴ tDDSTL		$(1.5+i)T - 15$		ns
ステータス設定時間 (対ASTB)	㊵ tSSST		0.5T - 15		ns
ステータス保持時間 (対ASTB)	㊶ tHSTS		0.5T - 20		ns
$\overline{\text{DSTB}}$ ロウ・レベル幅	㊷ tWDL		$(1+n)T - 15$		ns
ASTBハイ・レベル幅	㊸ tWSTH		T - 20		ns
WAIT設定時間 (対アドレス)	㊹ tSAWT1	n 1		1.5T - 50	ns
	㊺ tSAWT2			$(1.5+n)T - 50$	ns
WAIT保持時間 (対アドレス)	㊻ tHAWT1	n 1	$(0.5+n)T$		ns
	㊼ tHAWT2		$(1.5+n)T$		ns
WAIT設定時間 (対ASTB)	㊽ tSSTWT1	n 1		T - 35	ns
	㊾ tSSTWT2			$(1+n)T - 35$	ns
WAIT保持時間 (対ASTB)	㊿ tHSTWT1	n 1	nT		ns
	① tHSTWT2		$(1+n)T$		ns

備考 1 . T = tc_{YK}

- 2 . nはバス・サイクルに挿入されるウェイト・クロック数を示します。プログラマブル・ウェイト挿入時は、サンプリング・タイミングが変わります。
- 3 . iは、リード・サイクル後に挿入されるアイドル・ステート数 (0または1) を示します。
- 4 . データ入力保持時間t_{HKID} (㉖) , t_{HDID} (㉞) は、少なくともどちらか1つを守ってください。

(5) リード・タイミング (2/2) : 1ウエイト



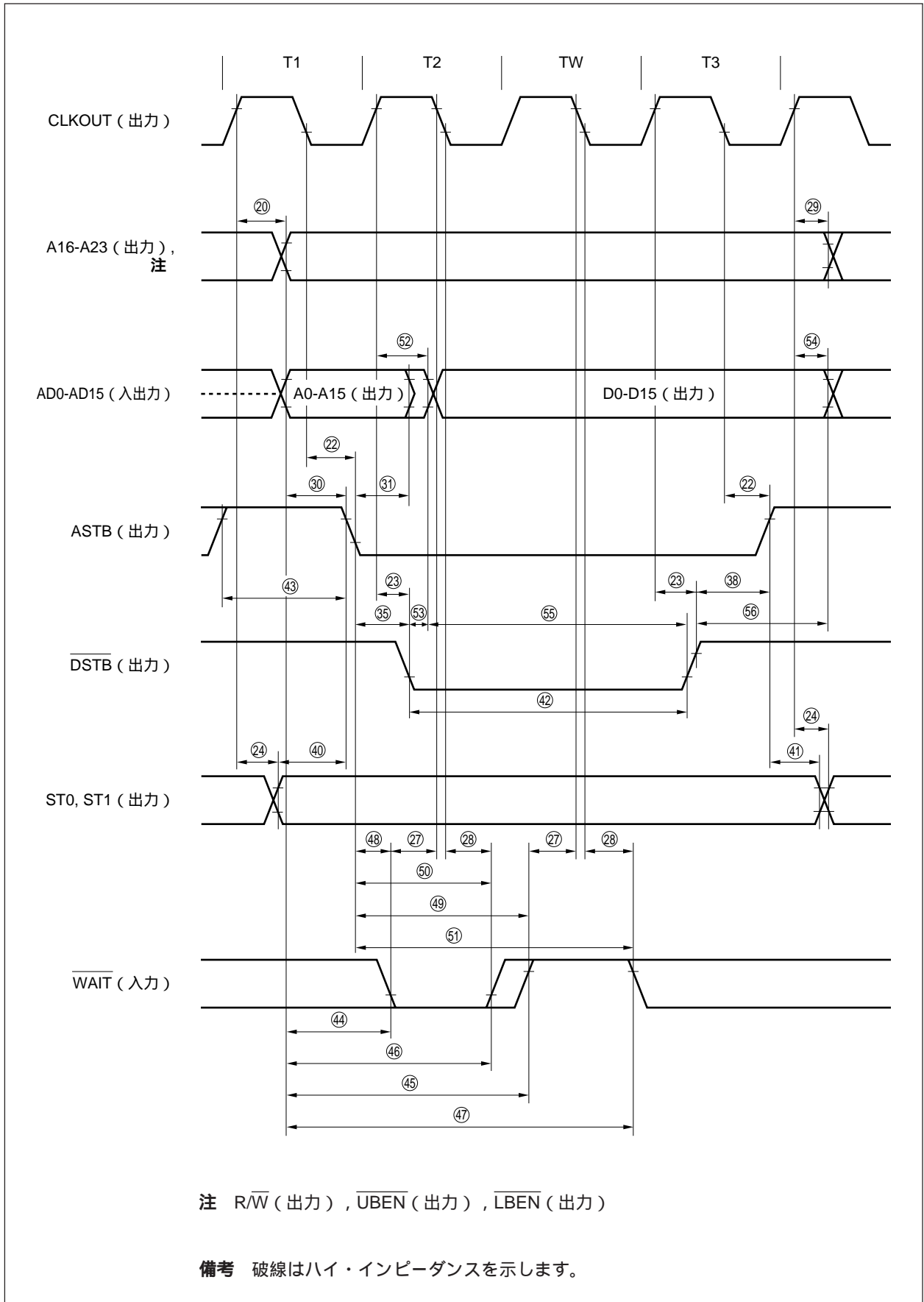
(6) ライト・タイミング (1/2)

項 目	略 号	条 件	MIN.	MAX.	単 位
CLKOUT アドレス遅延時間	⑳ tDKA		3	32	ns
CLKOUT ASTB遅延時間	㉑ tDKST		3	32	ns
CLKOUT $\overline{\text{DSTB}}$ 遅延時間	㉒ tDKD		3	32	ns
CLKOUT ステータス遅延時間	㉓ tDKS		3	32	ns
$\overline{\text{WAIT}}$ 設定時間 (対CLKOUT)	㉔ tSWTK		7		ns
$\overline{\text{WAIT}}$ 保持時間 (対CLKOUT)	㉕ tHKWT		7		ns
アドレス保持時間 (対CLKOUT)	㉖ tHKA		0		ns
アドレス設定時間 (対ASTB)	㉗ tsAST		0.5T - 25		ns
アドレス保持時間 (対ASTB)	㉘ tHSTA		0.5T - 15		ns
ASTB $\overline{\text{DSTB}}$ 遅延時間	㉙ tDSTD		0.5T - 15		ns
$\overline{\text{DSTB}}$ ASTB 遅延時間	㉚ tDDSTH		0.5T - 15		ns
ステータス設定時間 (対ASTB)	㉛ tSSST		0.5T - 15		ns
ステータス保持時間 (対ASTB)	㉜ tHSTS		0.5T - 20		ns
$\overline{\text{DSTB}}$ ロウ・レベル幅	㉝ tWDL		$(1+n)T - 15$		ns
ASTBハイ・レベル幅	㉞ tWSTH		T - 20		ns
$\overline{\text{WAIT}}$ 設定時間 (対アドレス)	㉟ tsAWT1	n 1		1.5T - 50	ns
	㊱ tsAWT2			$(1.5+n)T - 50$	ns
$\overline{\text{WAIT}}$ 保持時間 (対アドレス)	㊲ tHAWT1	n 1	$(0.5+n)T$		ns
	㊳ tHAWT2		$(1.5+n)T$		ns
$\overline{\text{WAIT}}$ 設定時間 (対ASTB)	㊴ tsSSTW1	n 1		T - 35	ns
	㊵ tsSSTW2			$(1+n)T - 35$	ns
$\overline{\text{WAIT}}$ 保持時間 (対ASTB)	㊶ tHSTW1	n 1	nT		ns
	㊷ tHSTW2		$(1+n)T$		ns
CLKOUT データ出力遅延時間	㊸ tDKOD			32	ns
$\overline{\text{DSTB}}$ データ出力遅延時間	㊹ tDDOD			20	ns
データ出力保持時間 (対CLKOUT)	㊺ tHKOD		0		ns
データ出力設定時間 (対 $\overline{\text{DSTB}}$)	㊻ tsODD		$(1+n)T - 30$		ns
データ出力保持時間 (対 $\overline{\text{DSTB}}$)	㊼ tHDOD		T - 15		ns

備考 1 . T = tcyk

2 . nはバス・サイクルに挿入されるウエイト・クロック数を示します。プログラマブル・ウエイト挿入時は、サンプリング・タイミングが変わります。

(6) ライト・タイミング (2/2) : 1 ウェイト



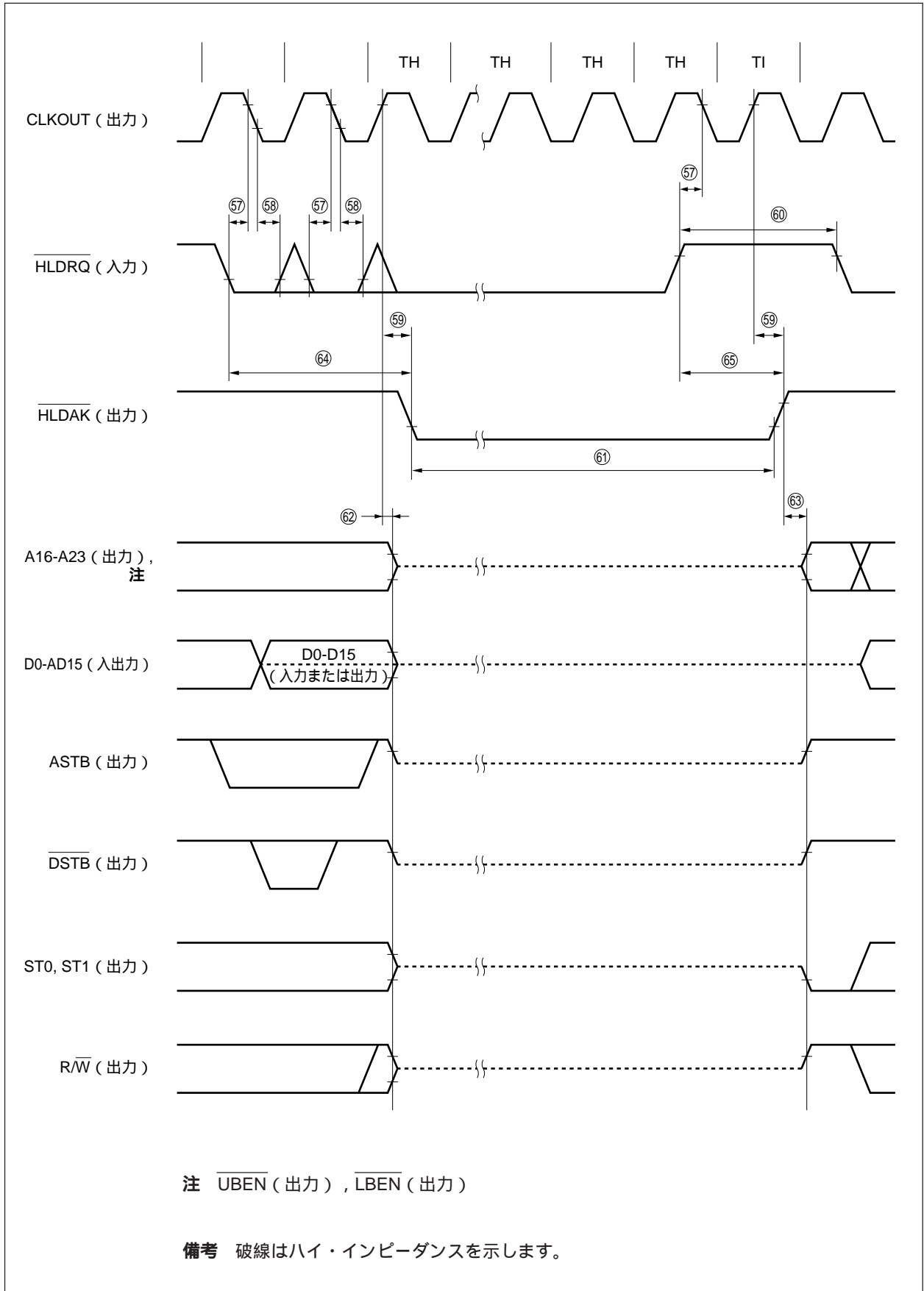
(7) バス・ホールド・タイミング (1/2)

項 目	略 号	条 件	MIN.	MAX.	単 位
HLD $\overline{\text{RQ}}$ 設定時間 (対CLKOUT)	⑤7	t _{SHQK}	7		ns
HLD $\overline{\text{RQ}}$ 保持時間 (対CLKOUT)	⑤8	t _{HKHQ}	7		ns
CLKOUT HLD $\overline{\text{AK}}$ 遅延時間	⑤9	t _{DKHA}		32	ns
HLD $\overline{\text{RQ}}$ ハイ・レベル幅	⑥0	t _{WHQH}	T + 15		ns
HLD $\overline{\text{AK}}$ ロウ・レベル幅	⑥1	t _{WHAL}	T - 15		ns
★ CLKOUT バス・フロート遅延時間	⑥2	t _{DKF}		32	ns
HLD $\overline{\text{AK}}$ バス出力遅延時間	⑥3	t _{DHAC}	- 5		ns
HLD $\overline{\text{RQ}}$ HLD $\overline{\text{AK}}$ 遅延時間	⑥4	t _{DHQHA1}		(2n+7.5)T+40	ns
HLD $\overline{\text{RQ}}$ HLD $\overline{\text{AK}}$ 遅延時間	⑥5	t _{DHQHA2}	0.5T	1.5T + 40	ns

備考 1 . T = t_{cyk}

2 . nはバス・サイクルに挿入されるウエイト・クロック数を示します。プログラマブル・ウエイト挿入時は、サンプリング・タイミングが変わります。

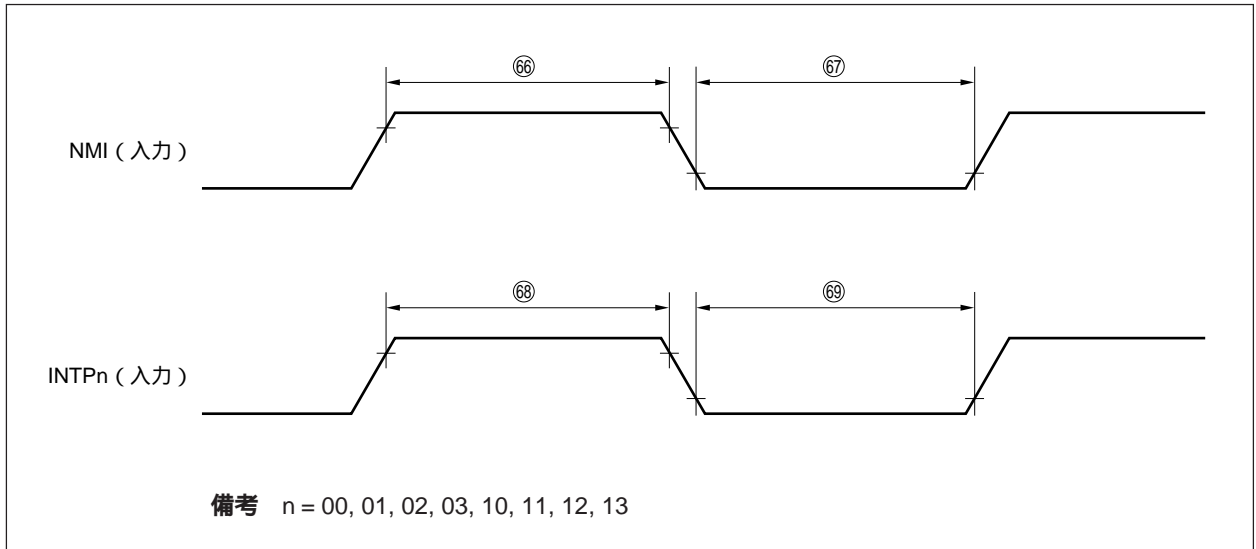
(7) バス・ホールド・タイミング (2/2)



(8) 割り込みタイミング

項目	略号	条件	MIN.	MAX.	単位
NMIハイ・レベル幅	⑥⑥ t _{WNH}		500		ns
NMIロウ・レベル幅	⑥⑦ t _{WNL}		500		ns
INTPnハイ・レベル幅	⑥⑧ t _{WITH}	n = 00, 01, 02, 03, 10, 11, 12, 13	3T + 10		ns
INTPnロウ・レベル幅	⑥⑨ t _{WITL}	n = 00, 01, 02, 03, 10, 11, 12, 13	3T + 10		ns

備考 T = t_{cyk}



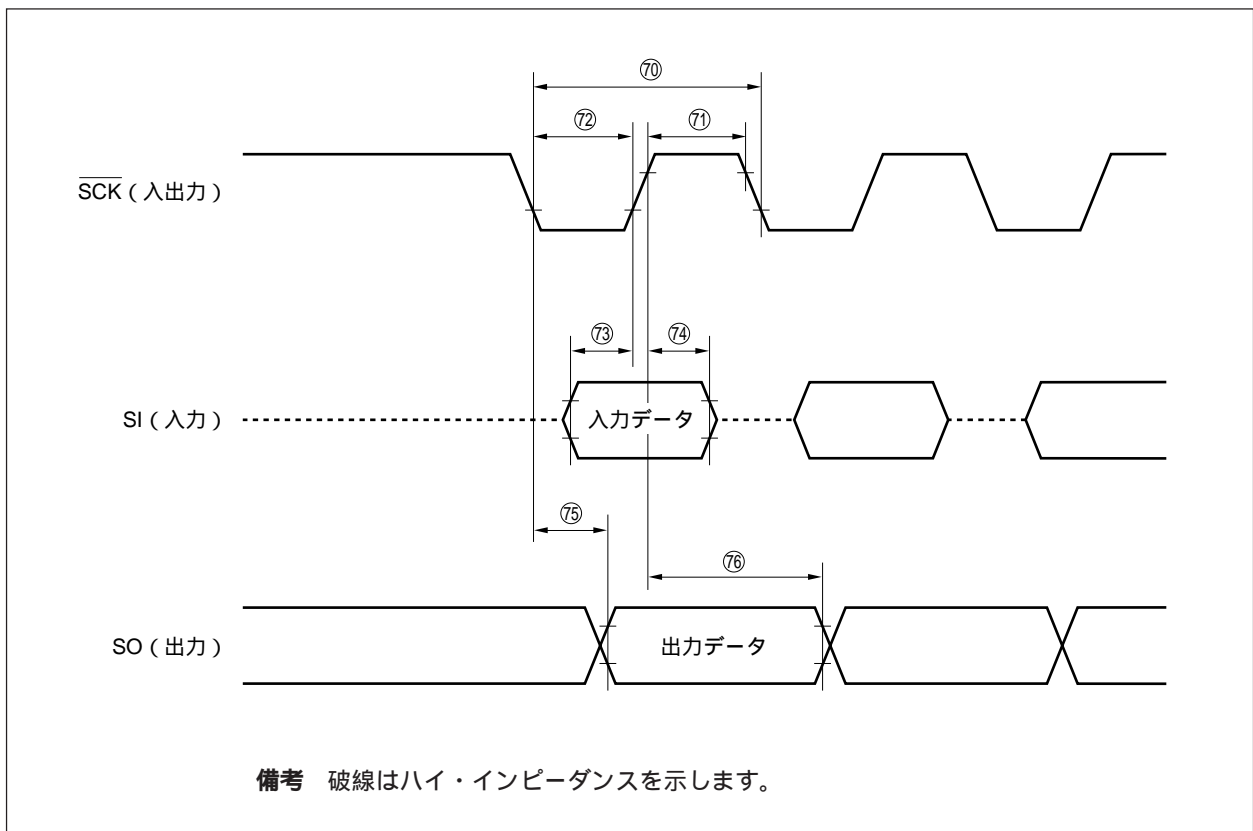
(9) CSIタイミング

(a) マスタ・モード

項目	略号	条件	MIN.	MAX.	単位
SCK周期	⑦⑩ t _{CYSK}	出力	330		ns
SCKハイ・レベル幅	⑦① t _{WSKH}	出力	0.5t _{CYSK} - 40		ns
SCKロウ・レベル幅	⑦② t _{WSKL}	出力	0.5t _{CYSK} - 40		ns
SI設定時間 (対SCK)	⑦③ t _{SSISK}		60		ns
SI保持時間 (対SCK)	⑦④ t _{HSKSI}		0		ns
SO出力遅延時間 (対SCK)	⑦⑤ t _{DSKSO}			40	ns
SO出力保持時間 (対SCK)	⑦⑥ t _{HSKSO}		0.5t _{CYSK} - 15		ns

(b) スレーブ・モード

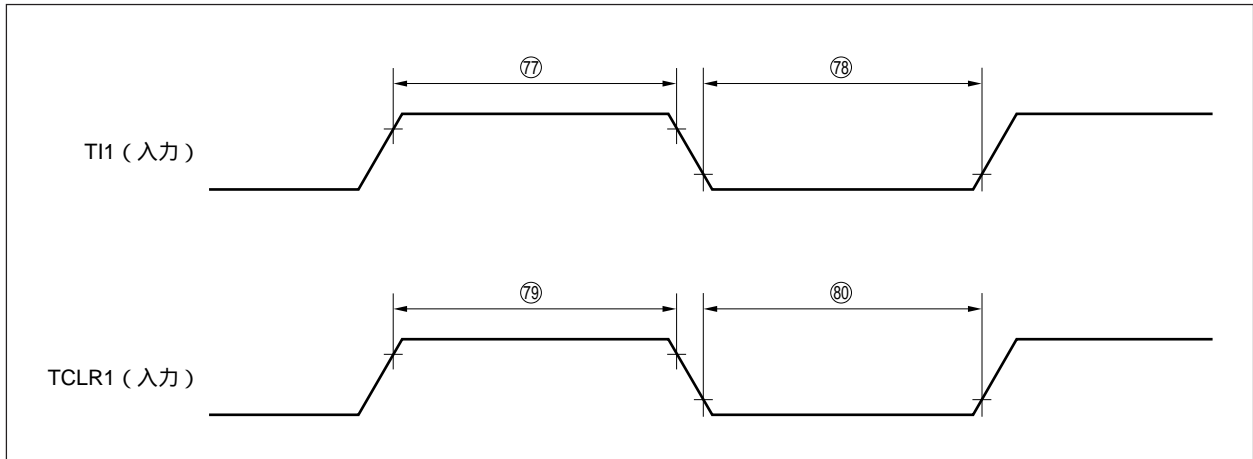
項目	略号	条件	MIN.	MAX.	単位
SCK周期	⑦⑩ t _{CYSK}	入力	330		ns
SCKハイ・レベル幅	⑦① t _{WSKH}	入力	110		ns
SCKロウ・レベル幅	⑦② t _{WSKL}	入力	110		ns
SI設定時間 (対SCK)	⑦③ t _{SSISK}		20		ns
SI保持時間 (対SCK)	⑦④ t _{HSKSI}		20		ns
SO出力遅延時間 (対SCK)	⑦⑤ t _{DSKSO}			60	ns
SO出力保持時間 (対SCK)	⑦⑥ t _{HSKSO}		t _{WSKH}		ns



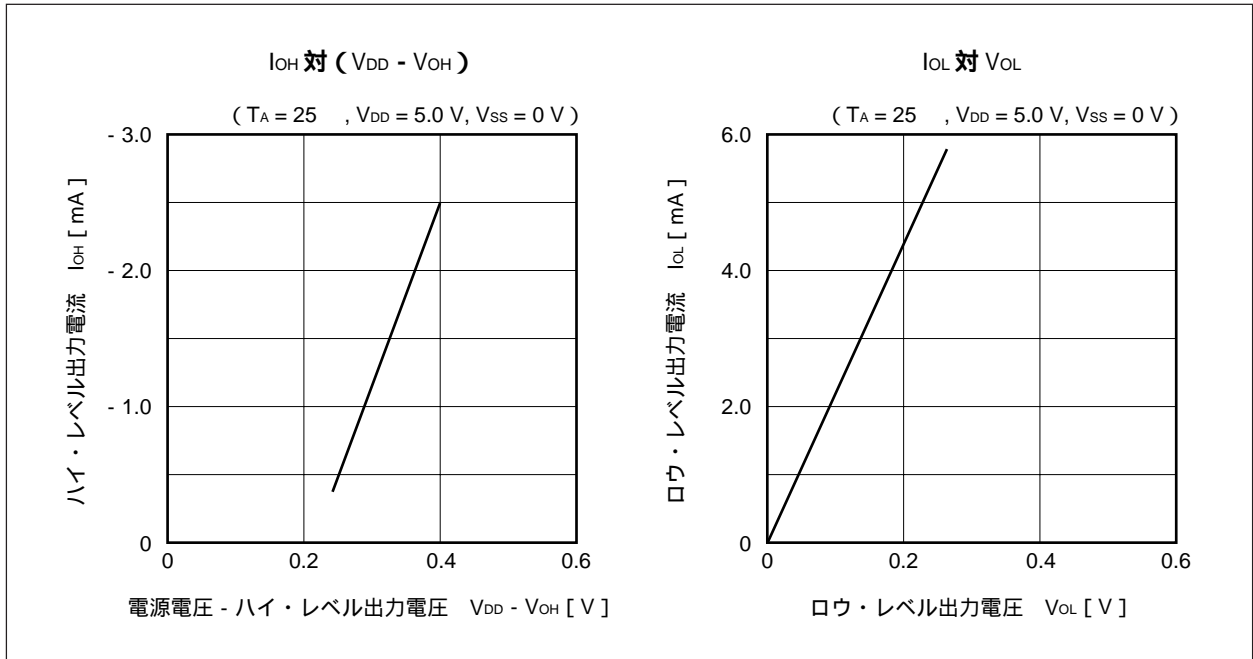
(10) RPUタイミング

項 目	略 号	条 件	MIN.	MAX.	単 位
TI1ハイ・レベル幅	⑦⑦ t_{WTH}		$3T + 10$		ns
TI1ロウ・レベル幅	⑦⑧ t_{WTL}		$3T + 10$		ns
TCLR1ハイ・レベル幅	⑦⑨ t_{WCH}		$3T + 10$		ns
TCLR1ロウ・レベル幅	⑧⑩ t_{WCL}		$3T + 10$		ns

備考 T = t_{cyk}

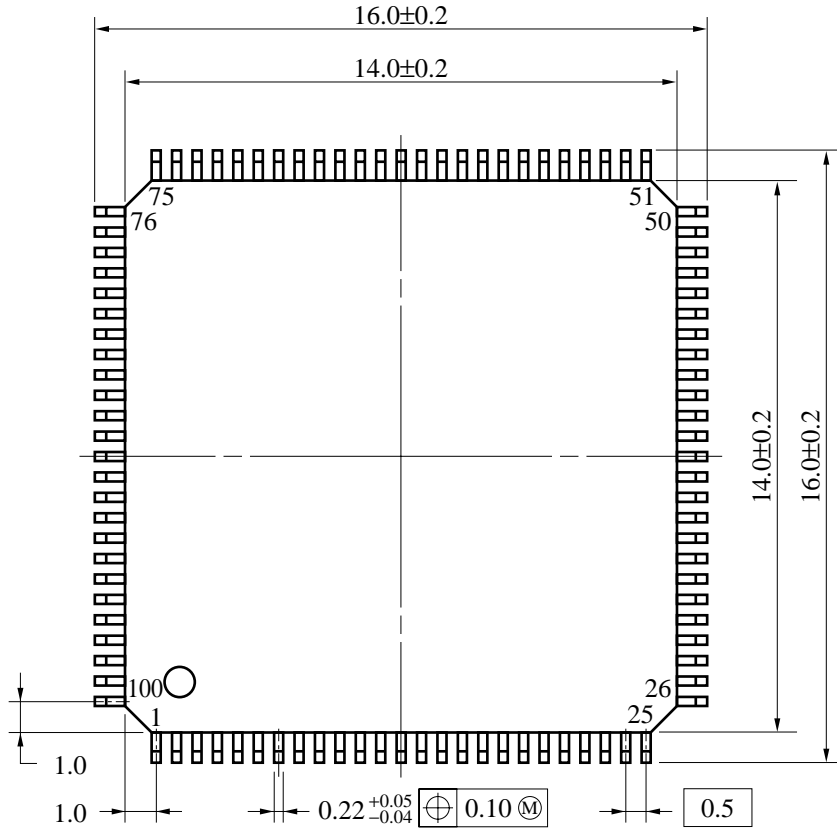


13. 特性曲線 (参考値)

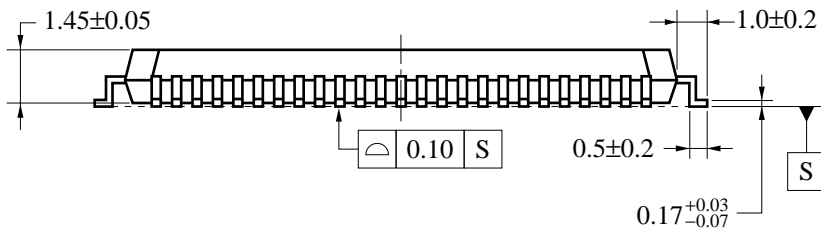
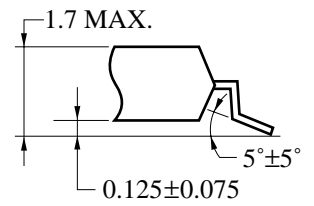


14. 外形図

100ピン・プラスチック QFP (ファインピッチ) (14) 外形図 (単位 : mm)



端子先端形状詳細図



P100GC-50-7EA-3

15. 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の詳細は、インフォメーション資料「半導体デバイス実装マニュアル」(C10535J)を参照してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

表15 - 1 表面実装タイプの半田付け条件

μPD703000GC-xx-xxx-7EA : 100ピン・プラスチックQFP (ファインピッチ) (14 mm)

μPD703001GC-xx-7EA : "

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 ，時間：30秒以内（210 以上），回数：2回以内 制限日数：7日間 ^注 （以降は125 プリバーク10時間必要） 留意事項 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR35-107-2
VPS	パッケージ・ピーク温度：215 ，時間：40秒以内（200 以上），回数：2回以内 制限日数：7日間 ^注 （以降は125 プリバーク10時間必要） 留意事項 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	VP15-107-2
端子部分加熱	端子温度：300 以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライパック開封後の保管日数で，保管条件は25 ，65 %RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱は除く）。

[X E]

CMOSデバイスの一般的注意事項

静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

関連資料 μPD70P3000 データ・シート U10988J
V850ファミリ インストラクション活用表 U10229J
V851 レジスタ活用表 U10662J

参考資料 電气的特性の考え方 マイコン編 IEI-601

関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。
あらかじめご了承ください。

V850ファミリ、V851は日本電気株式会社の商標です。

本製品のうち、外国為替および外国貿易管理法の規定により戦略物資等（または役務）に該当するものについては、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

非該当品 : μPD703001GC-xx-7EA

ユーザ判定品 : μPD703000GC-xx-xxx-7EA

文書による当社の承諾なしに本資料の転載複製を禁じます。

本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的所有権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。

当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。

当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災／防犯装置、各種安全装置、生命維持を直接の目的としない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート／データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

この製品は耐放射線設計をしておりません。

M4 94.11

— お問い合わせは、最寄りのNECへ —

【営業関係お問い合わせ先】

半導体第一販売事業部 半導体第二販売事業部 半導体第三販売事業部	〒108-01 東京都港区芝五丁目7番1号（NEC本社ビル）	東京 (03)3454-1111 (大代表)
中部支社 半導体第一販売部 半導体第二販売部	〒460 名古屋市中区錦一丁目17番1号（NEC中部ビル）	名古屋 (052)222-2170 名古屋 (052)222-2190
関西支社 半導体第一販売部 半導体第二販売部 半導体第三販売部	〒540 大阪市中央区城見一丁目4番24号（NEC関西ビル）	大阪 (06) 945-3178 大阪 (06) 945-3200 大阪 (06) 945-3208
北海道支社 東北支社 岩手支店 郡山支店 いわき支店 長岡支店 土浦支店 水戸支店 神奈川支社 群馬支店	札幌 (011)251-5599 仙台 (022)267-8740 盛岡 (019)651-4344 郡山 (0249)23-5511 いわき (0246)21-5511 長岡 (0258)36-2155 土浦 (0298)23-6161 水戸 (029)226-1717 横浜 (045)682-4524 高崎 (0273)26-1255	太田支店 太田 (0276)46-4011 宇都宮支店 宇都宮 (028)621-2281 小山支店 小山 (0285)24-5011 長野支社 松本 (0263)35-1662 甲府支店 甲府 (0552)24-4141 埼玉支社 大宮 (048)649-1415 立川支社 立川 (0425)26-5981 千葉支社 千葉 (043)238-8116 静岡支社 静岡 (054)254-4794 北陸支社 金沢 (076)232-7303
福井支店 富山支店 三重支店 京都支社 神戸支社 中国支社 鳥取支店 岡山支店 松山支店 九州支社	福井 (0776)22-1866 富山 (0764)31-8461 津 (0592)25-7341 京都 (075)344-7824 神戸 (078)333-3854 広島 (082)242-5504 鳥取 (0857)27-5311 岡山 (086)225-4455 松山 (089)945-4149 福岡 (092)261-2806	

【本資料に関する技術お問い合わせ先】

半導体ソリューション技術本部 マイクロコンピュータ技術部	〒210 川崎市幸区塚越三丁目484番地	川崎 (044)548-7924	半導体 インフォメーションセンター FAX(044)548-7900 (FAXにてお願い致します)
半導体販売技術本部 東日本販売技術部	〒108-01 東京都港区芝五丁目7番1号（NEC本社ビル）	東京 (03)3798-9619	
半導体販売技術本部 中部販売技術部	〒460 名古屋市中区錦一丁目17番1号（NEC中部ビル）	名古屋 (052)222-2125	
半導体販売技術本部 西日本販売技術部	〒540 大阪市中央区城見一丁目4番24号（NEC関西ビル）	大阪 (06) 945-3383	