

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

 μ PD70208H, 70216H

V40HL™, V50HL™

16/8, 16ビット・マイクロプロセッサ

μ PD70208H (別名称V40HL) は、16ビット・アーキテクチャに8ビット・データ・バスを備え汎用周辺機能を内蔵した μ PD70208 (別名称V40™) を高速、低電力化した16/8ビット・マイクロプロセッサです。

μ PD70216H (別名称V50HL) は、16ビット・アーキテクチャに16ビット・データ・バスを備え汎用周辺機能を内蔵した μ PD70216 (別名称V50™) を高速、低電力化した、16ビット・マイクロプロセッサです。

V40HL, V50HLは、20 MHz動作を実現し、また従来のスタンバイ機能に加え、内部回路をフルスタティック化することによってクロック・ストップができ、大幅な低消費電力化を実現しています。さらに、動作電源電圧を従来の5 Vに加え、3 V電源に対応させており、バッテリー駆動のシステムなどに最適です。

詳しい機能説明などは次のマニュアルに記載しております。設計の際は必ずお読みください。

- ・V40HL, V50HL ユーザーズ・マニュアル ハードウェア編 U11610J
- ・16ビットVシリーズ™ ユーザーズ・マニュアル 命令編 U11301J

特 徴

○V40, V50の高速、低電力化製品

○高性能CPU (V20™, V30™ソフトウェア・コンパチブル)

- ・最小命令実行時間：100 ns (20 MHz, 5 V)
200 ns (10 MHz, 3 V)
- ・メモリ・アドレッシング空間：1 Mバイト
- ・高速乗除算命令：0.95-2.8 μ s (20 MHz, 5 V)
1.9-5.6 μ s (10 MHz, 3 V)
- ・マスクブル (ICU)、ノンマスクブル (NMI) 割り込み入力
- ・ μ PD8080AFエミュレーション機能
- ・スタンバイ機能、クロック・ストップ可能

○標準周辺LSI機能を内蔵

- ・クロック・ジェネレータ (CG)
- ・シリアル制御ユニット (SCU) … μ PD71051サブセット
- ・プログラマブル・ウェイト制御ユニット (WCU)
- ・割り込み制御ユニット (ICU) … μ PD71059サブセット
- ・リフレッシュ制御ユニット (REFU)
- ・DMA制御ユニット (DMAU) … μ PD71071, 71037サブセット (どちらかの機能を選択可能)
- ・タイマ/カウンタ・ユニット (TCU) … μ PD71054サブセット

○動作周波数：10, 12.5, 16, 20 MHz (5 V, 外部供給20, 25, 32, 40 MHz時)

5, 6.25, 8, 10 MHz (3 V, 外部供給10, 12.5, 16, 20 MHz時)

本資料の内容は、予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。

オーダ情報

(1) V40HL

オーダ名称	パッケージ	最大動作周波数 (MHz)
μPD70208HGF-10-3B9	80ピン・プラスチックQFP (14×20 mm) (樹脂厚2.7 mm)	10
μPD70208HGF-12-3B9	〃	12.5
μPD70208HGF-16-3B9	〃	16
μPD70208HGF-20-3B9	〃	20
μPD70208HGK-10-9EU	80ピン・プラスチックTQFP(ファインピッチ)(□12 mm) (樹脂厚1.0 mm)	10
μPD70208HGK-12-9EU	〃	12.5
μPD70208HGK-16-9EU	〃	16
μPD70208HGK-20-9EU	〃	20
μPD70208HLP-10	68ピン・プラスチックQFJ (□950 mil)	10
μPD70208HLP-12	〃	12.5
μPD70208HLP-16	〃	16
μPD70208HLP-20	〃	20

(2) V50HL

オーダ名称	パッケージ	最大動作周波数 (MHz)
μPD70216HGF-10-3B9	80ピン・プラスチックQFP (14×20 mm) (樹脂厚2.7 mm)	10
μPD70216HGF-12-3B9	〃	12.5
μPD70216HGF-16-3B9	〃	16
μPD70216HGF-20-3B9	〃	20
μPD70216HGK-10-9EU	80ピン・プラスチックTQFP(ファインピッチ)(□12 mm) (樹脂厚1.0 mm)	10
μPD70216HGK-12-9EU	〃	12.5
μPD70216HGK-16-9EU	〃	16
μPD70216HGK-20-9EU	〃	20
μPD70216HLP-10	68ピン・プラスチックQFJ (□950 mil)	10
μPD70216HLP-12	〃	12.5
μPD70216HLP-16	〃	16
μPD70216HLP-20	〃	20

端子接続図 (Top View)

(1) V40HL

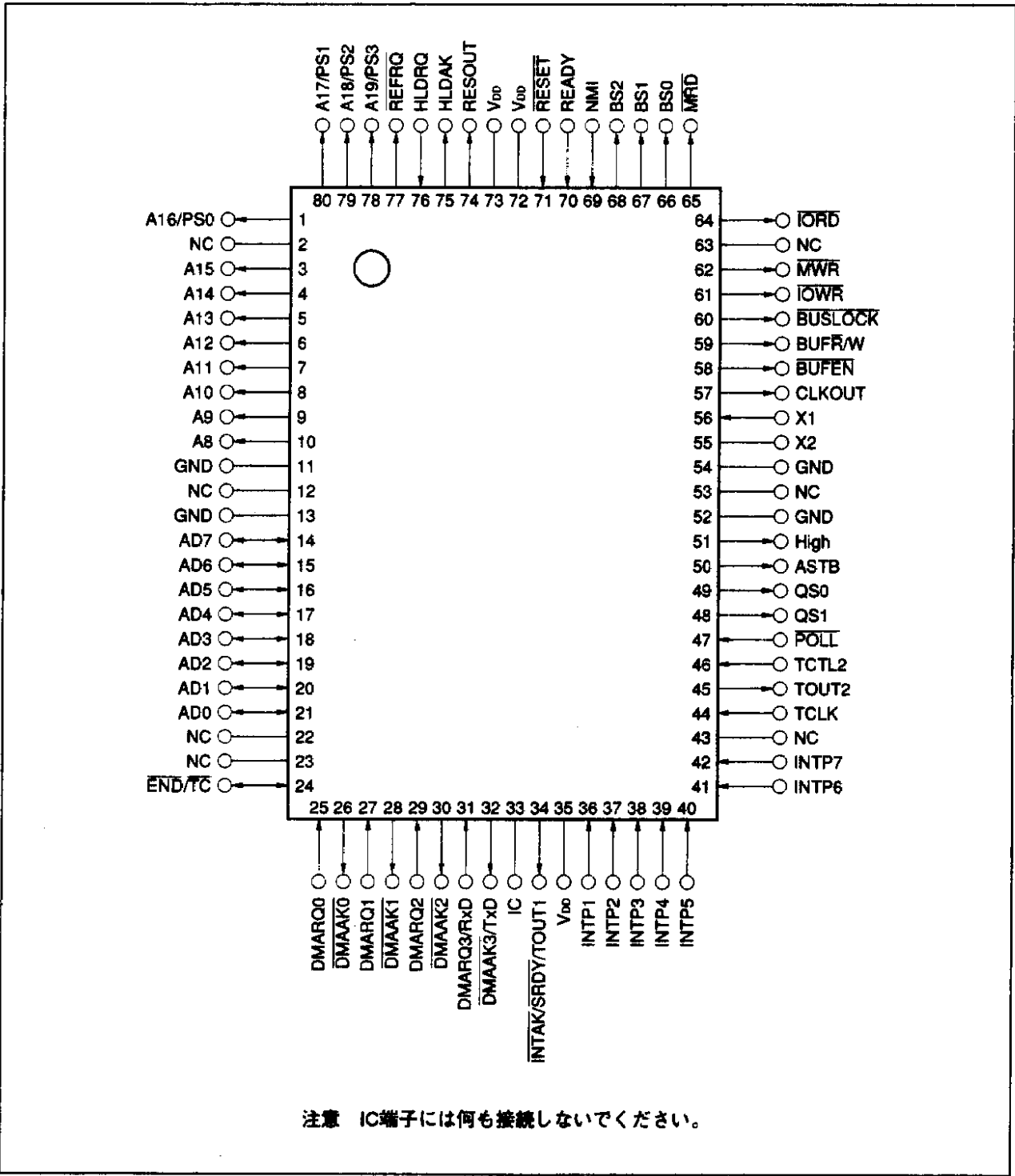
80ピン・プラスチックQFP (14X20 mm)

μPD70208HGF-10-3B9

μPD70208HGF-12-3B9

μPD70208HGF-16-3B9

μPD70208HGF-20-3B9



注意 IC端子には何も接続しないでください。

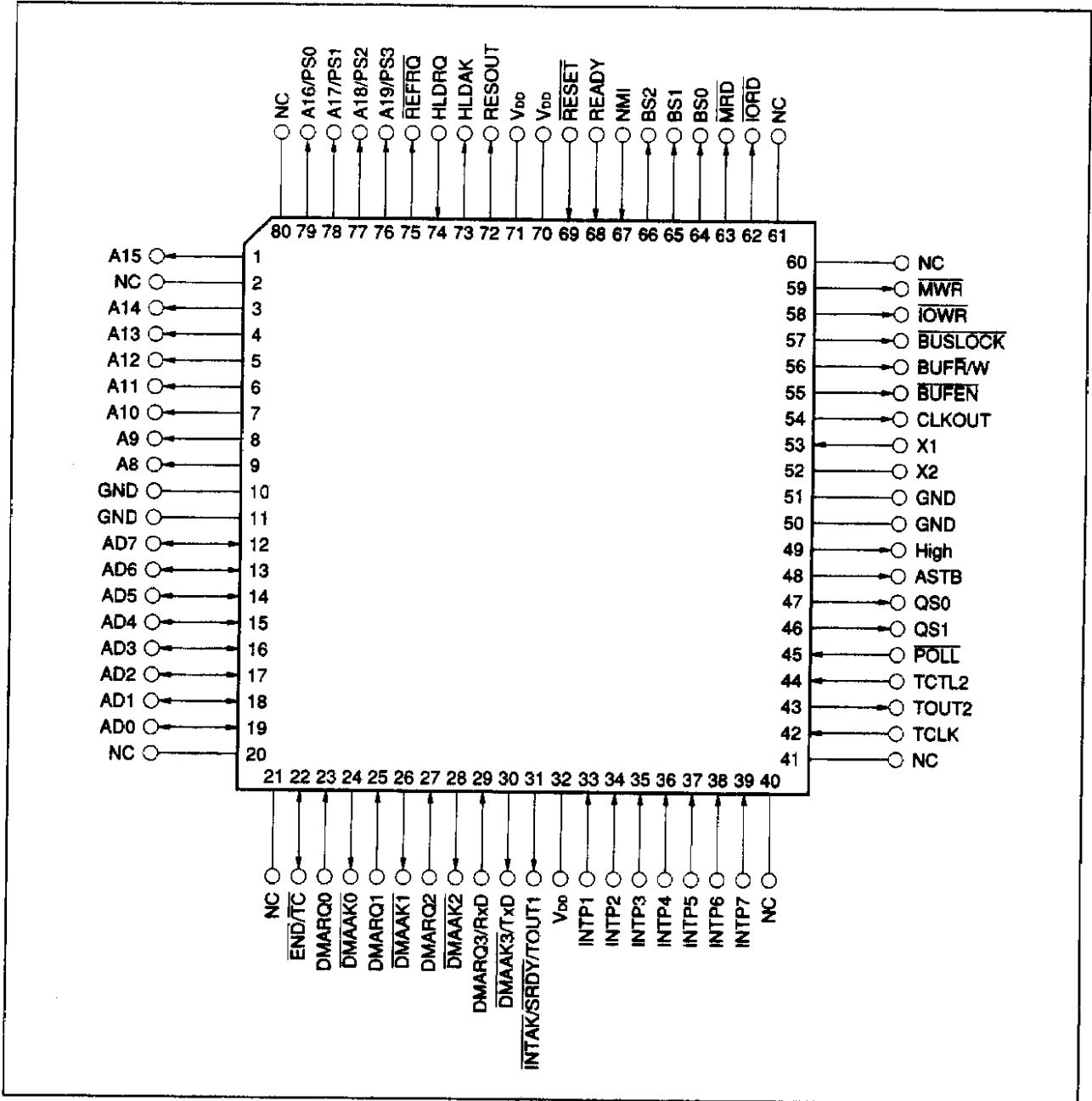
80ピン・プラスチックTQFP (ファインピッチ) (□12 mm)

μPD70208HGK-10-9EU

μPD70208HGK-12-9EU

μPD70208HGK-16-9EU

μPD70208HGK-20-9EU



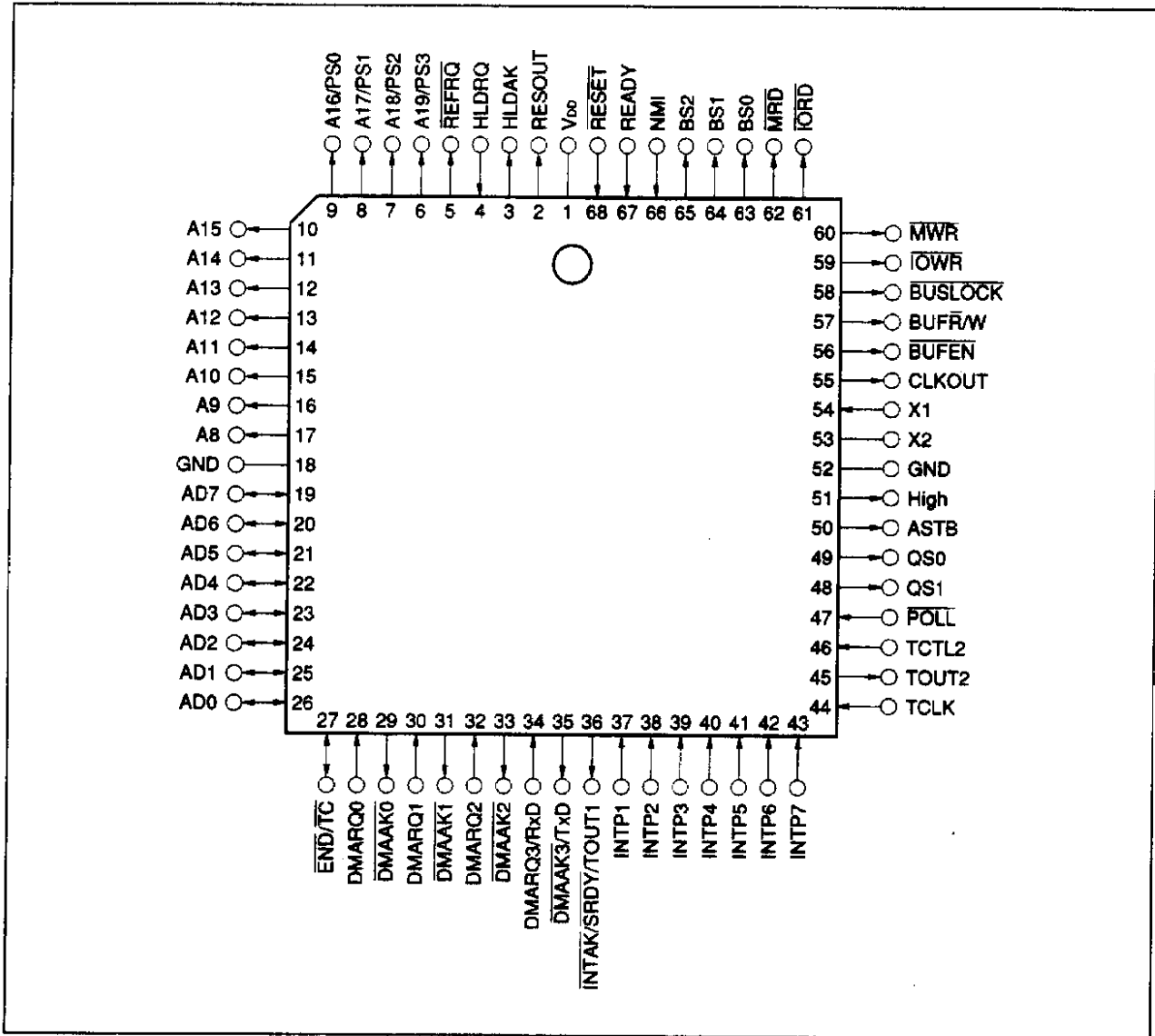
68ピン・プラスチックQFJ (□950 mil)

μPD70208HLP-10

μPD70208HLP-12

μPD70208HLP-16

μPD70208HLP-20



(2) V50HL

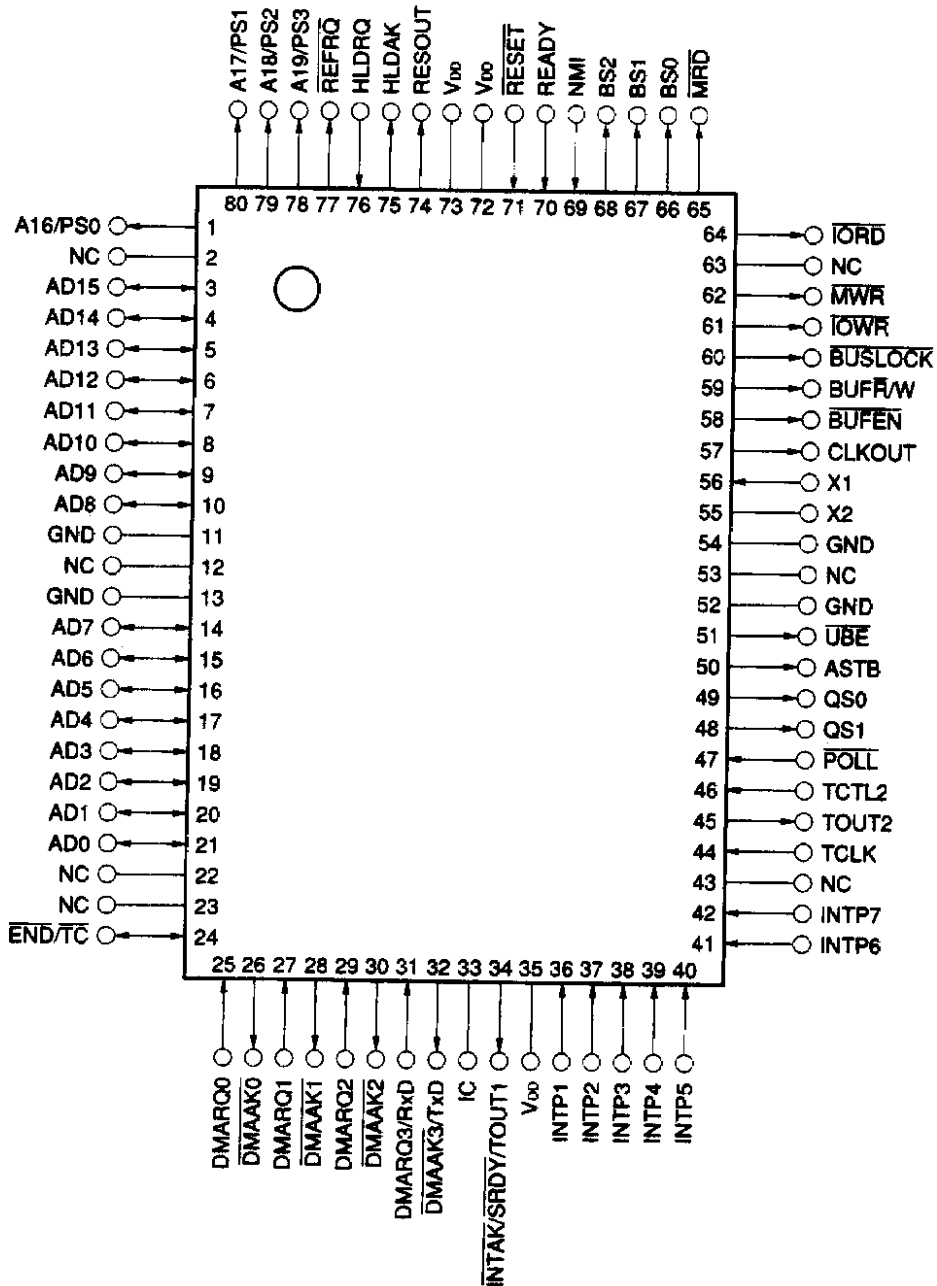
80ピン・プラスチックQFP (14×20 mm)

μPD70216HGF-10-3B9

μPD70216HGF-12-3B9

μPD70216HGF-16-3B9

μPD70216HGF-20-3B9



注意 IC端子には何も接続しないでください。

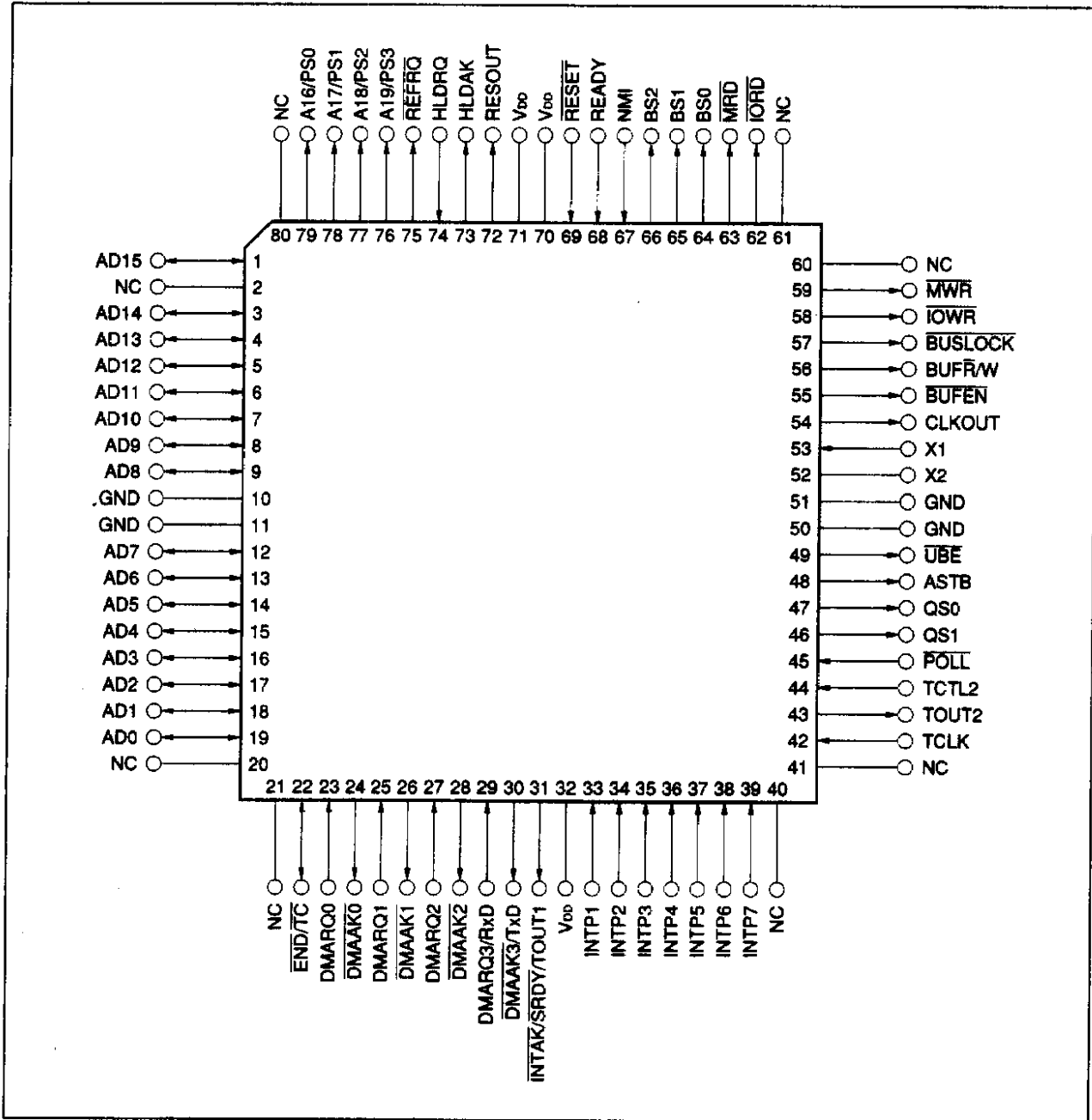
80ピン・プラスチックTQFP (ファインピッチ) (□12 mm)

μPD70216HGK-10-9EU

μPD70216HGK-12-9EU

μPD70216HGK-16-9EU

μPD70216HGK-20-9EU



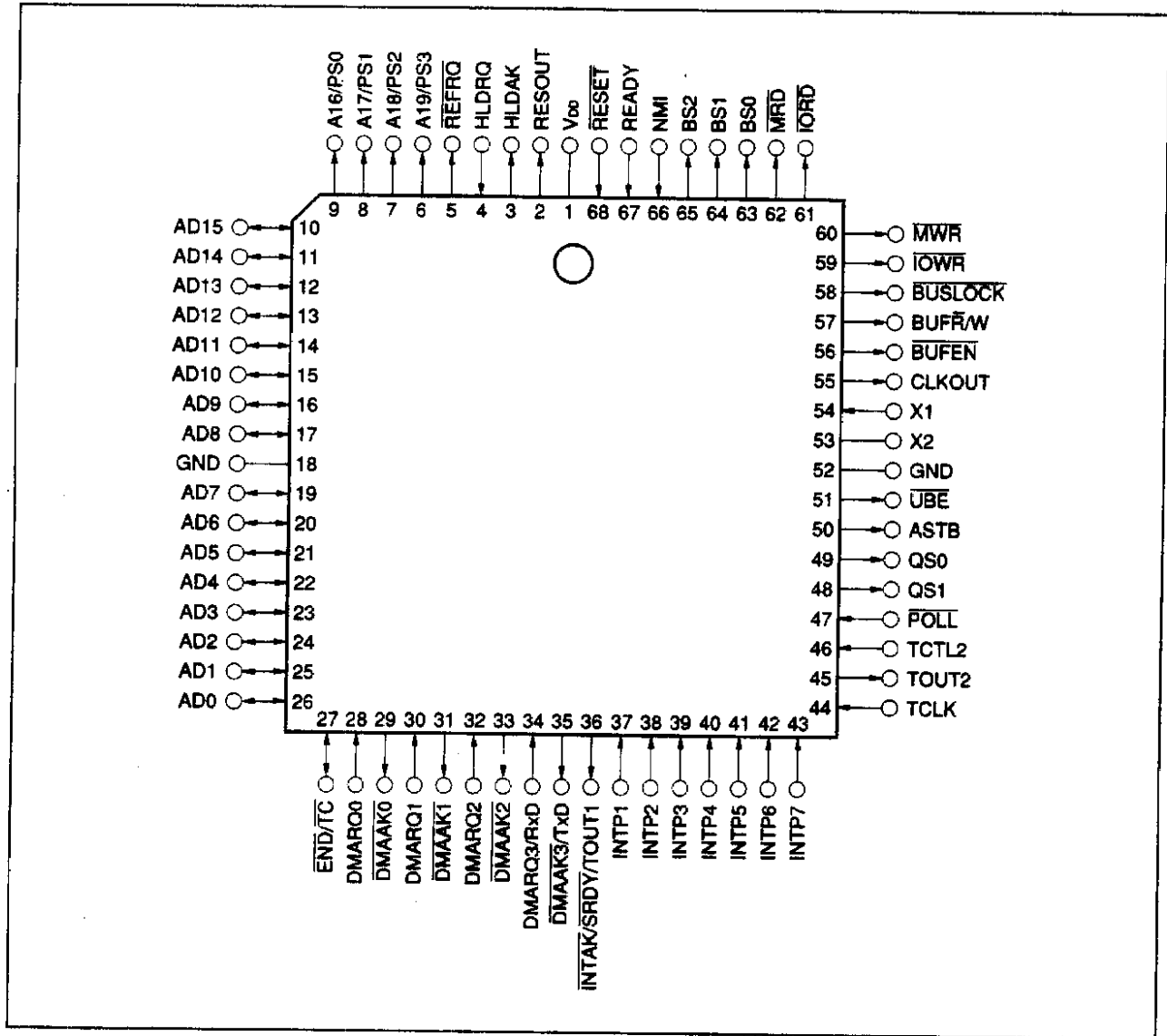
68ピン・プラスチックQFJ (□950 mil)

μPD70216HLP-10

μPD70216HLP-12

μPD70216HLP-16

μPD70216HLP-20

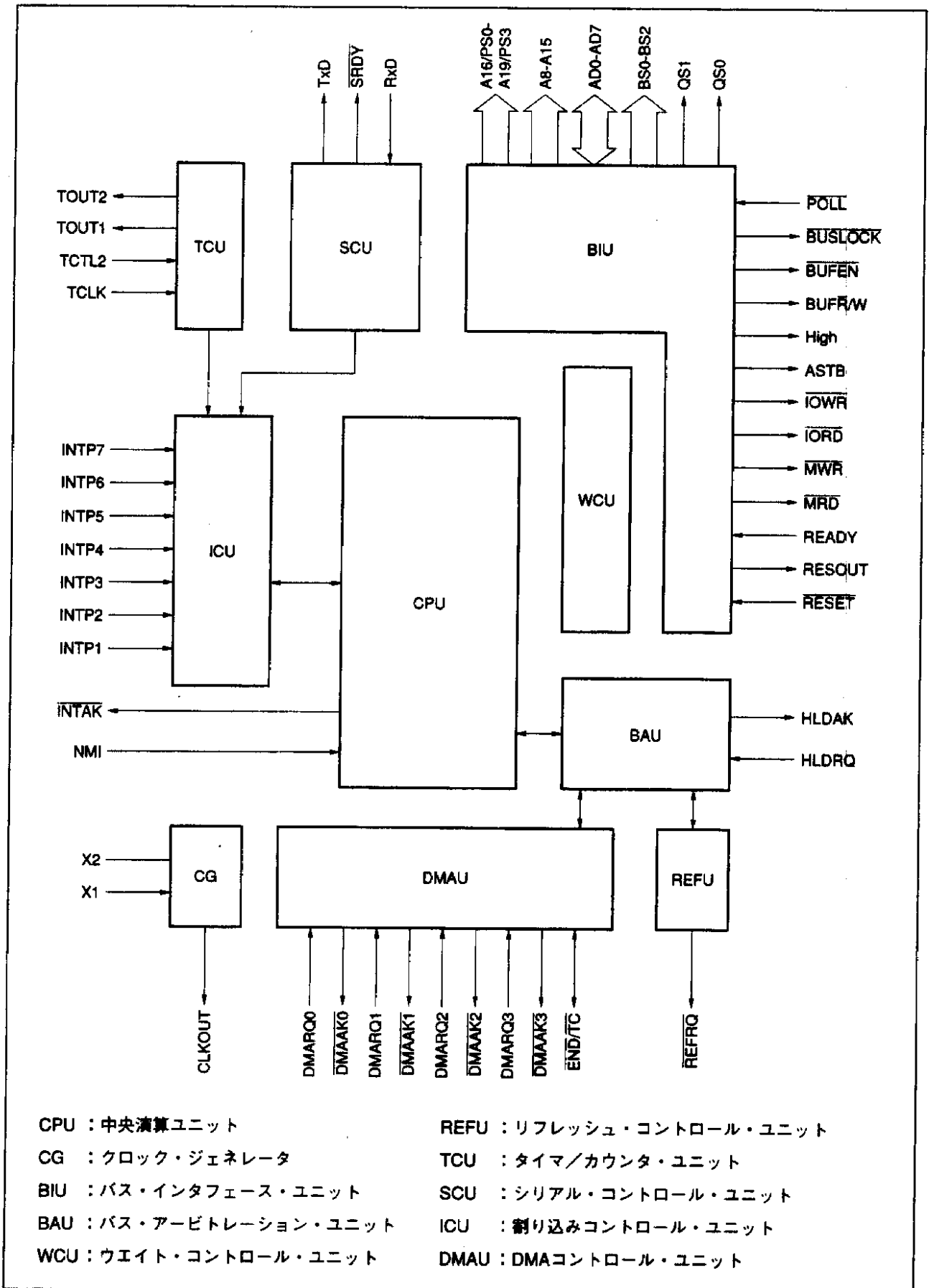


端子名称

A8-A15	: Address Bus
A16/PS0-A19/PS3	: Address/Processor Status
AD0-AD15	: Address Bus/Data Bus
ASTB	: Address Strobe
BS0-BS2	: Bus Status
$\overline{\text{BUFEN}}$: Buffer Enable
$\overline{\text{BUFFR/W}}$: Buffer Read/Write
$\overline{\text{BUSLOCK}}$: Bus Lock
CLKOUT	: Clock Output
$\overline{\text{DMAAK0-DMAAK2}}$: DMA Acknowledge
$\overline{\text{DMAAK3/TxD}}$: DMA Acknowledge/Transmit Data
DMARQ0-DMARQ2	: DMA Request
DMARQ3/RxD	: DMA Request/Receive Data
$\overline{\text{END/TC}}$: End/Terminal Count
GND	: Ground
High	: High Level Output
HLDK	: Hold Acknowledge
HLDRQ	: Hold Request
IC	: Internally Connected
$\overline{\text{INTAK/SRDY/TOUT1}}$: Interrupt Acknowledge/Serial Ready/Timer Output 1
INTP1-INTP7	: Interrupt Request from Peripherals
$\overline{\text{IOR}}$: I/O Read
$\overline{\text{IOWR}}$: I/O Write
$\overline{\text{MRD}}$: Memory Read
$\overline{\text{MWR}}$: Memory Write
NC	: No Connection
NMI	: Non-Maskable Interrupt Request
$\overline{\text{POLL}}$: Poll
QS0, QS1	: Queue Status
READY	: Ready
$\overline{\text{REFRQ}}$: Refresh Request
$\overline{\text{RESET}}$: Reset
RESOUT	: Reset Output
TCLK	: Timer Clock
TCTL2	: Timer Control 2
TOUT2	: Timer Output 2
$\overline{\text{UBE}}$: Upper Byte Enable
V _{DD}	: Power Supply
X1, X2	: Crystal

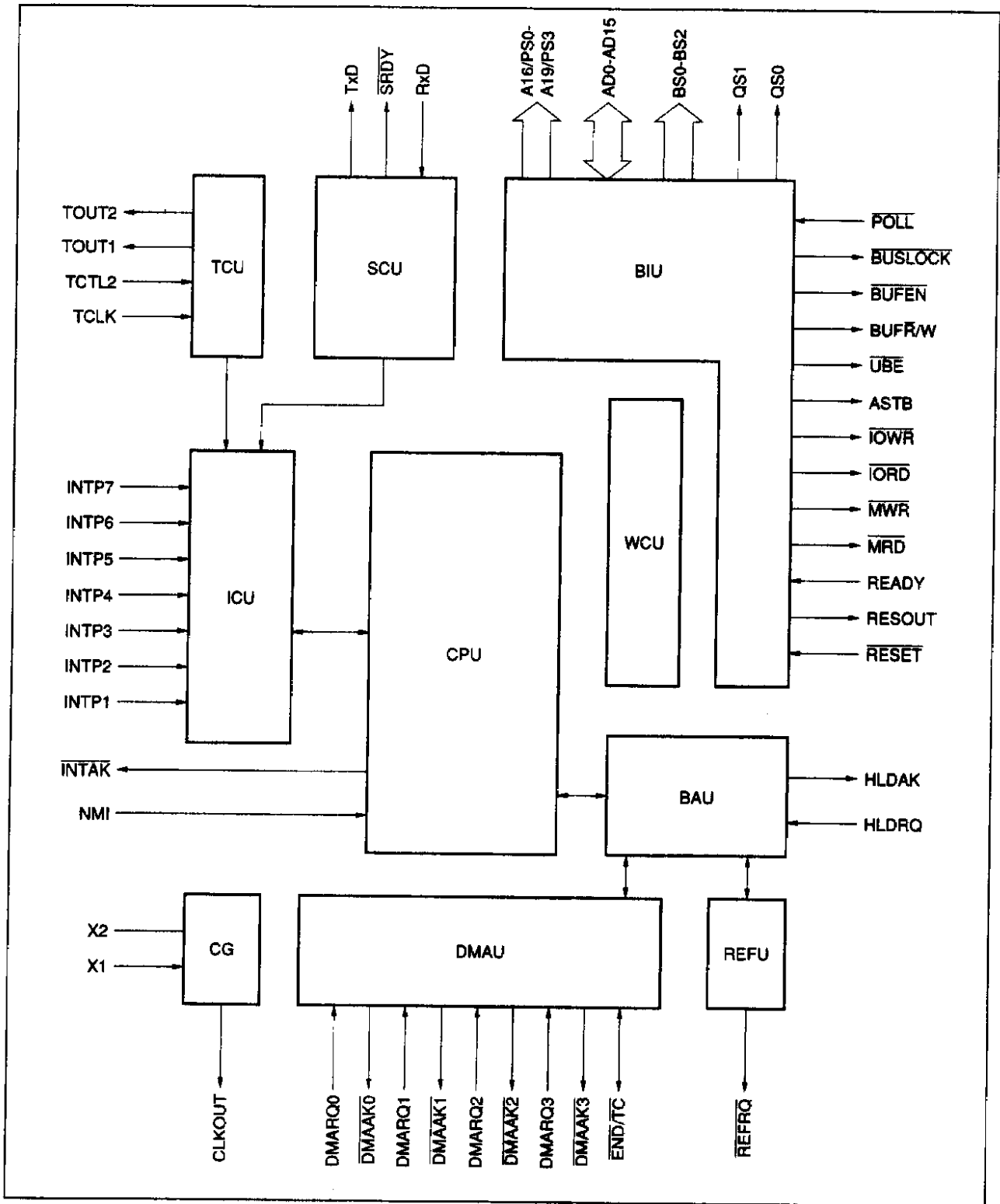
ブロック図

(1) V40HL



- | | |
|-------------------------|---------------------------|
| CPU : 中央演算ユニット | REFU : リフレッシュ・コントロール・ユニット |
| CG : クロック・ジェネレータ | TCU : タイマ/カウンタ・ユニット |
| BIU : バス・インタフェース・ユニット | SCU : シリアル・コントロール・ユニット |
| BAU : バス・アービトレーション・ユニット | ICU : 割り込みコントロール・ユニット |
| WCU : ウェイト・コントロール・ユニット | DMAU : DMAコントロール・ユニット |

(2) V50HL



V40, V50との相違点一覧

項 目	V40HL, V50HL	V40, V50
動作電源電圧	3 V, 5 V	5 V
動作周波数	V _{DD} = 5 V時 MAX. : 10, 12.5, 16, 20 MHz MIN. : DC	MAX. : 8, 10 MHz MIN. : 2 MHz
	V _{DD} = 3 V時 MAX. : 5, 6.25, 8, 10 MHz MIN. : DC	動作せず
クロック・ジェネレータ (CG)	分周比可変	分周比固定
	インストラクション・サイクル時間変更可能	インストラクション・サイクル時間固定
	最高入力周波数…40 MHz	最高入力周波数…20 MHz
内部I/O再配置機能	8ビット・バウンダリ, または16ビット・バウンダリに再配置機能を切り替え可能	V40…8ビット・バウンダリに再配置可能 V50…16ビット・バウンダリに再配置可能
ウェイト・コントロール・ ユニット (WCU)	メモリ空間…5分割 ^{注1}	メモリ空間…3分割
	I/O空間…3分割 ^{注2}	I/O空間…分割なし
リフレッシュ・コントロール・ ユニット (REFU)	リフレッシュ・アドレス…16ビット	リフレッシュ・アドレス…9ビット
	REFRQ拡張タイミングをサポート	REFRQ拡張タイミングなし
シリアル・コントロール・ ユニット (SCU)	専用ポー・レート・ジェネレータ内蔵	専用ポー・レート・ジェネレータなし
DMAコントロール・ユニット (DMAU)	μPD71071, 71037 サブセット (どちらかの機能を選択可能)	μPD71071サブセット
スタンバイ機能	HALTモード, STOPモード	HALTモードのみ

注1. リセット時には3分割されます。

2. リセット時には分割されません。

目 次

1. 端子機能	… 15
1.1 端子機能一覧	… 15
1.2 各端子の未使用時の処理	… 17
2. メモリとI/Oの構成	… 19
2.1 メモリ空間	… 19
2.2 I/O空間	… 21
3. CPU	… 22
4. CG (クロック・ジェネレータ)	… 24
5. BIU (バス・インタフェース・ユニット)	… 24
6. BAU (バス・アービトレーション・ユニット)	… 25
7. WCU (ウエイト・コントロール・ユニット)	… 27
7.1 特 徴	… 27
7.2 WCUとREADY端子の関係	… 28
8. REFU (リフレッシュ・コントロール・ユニット)	… 29
8.1 特 徴	… 29
8.2 リフレッシュ動作	… 29
9. TCU (タイマ/カウンタ・ユニット)	… 30
9.1 特 徴	… 30
9.2 TCU内部ブロック図	… 30
10. SCU (シリアル・コントロール・ユニット)	… 31
10.1 特 徴	… 31
10.2 SCU内部ブロック図	… 31
11. ICU (割り込みコントロール・ユニット)	… 32
11.1 特 徴	… 32
11.2 ICU内部ブロック図	… 32
12. DMAU (DMAコントロール・ユニット)	… 33
12.1 特 徴	… 33
12.2 DMAU内部ブロック図	… 33

- 13. スタンバイ機能 … 34
- 14. リセット動作 … 34
- 15. インストラクション・セット … 35
- 16. 電気的特性 … 72
 - 16.1 5V動作時 … 72
 - 16.2 3V動作時 … 81
- 17. 外形図 … 106
- 18. 半田付け推奨条件 … 109

1. 端子機能

1.1 端子機能一覧

端子名	入出力	機能
AD0-AD15 ^{注1, 3}	3ステート入出力	時分割のアドレス/データ・バス
AD0-AD7 ^{注2, 3}	3ステート入出力	時分割のアドレス/データ・バス
A8-A15 ^{注2, 3}	3ステート出力	アドレス・バス
A16/PS0-A19/PS3 ^{注3}	3ステート出力	時分割のアドレス/プロセッサ・ステータス
REFRQ	出力	リフレッシュ要求
HLDREQ	入力	バス・ホールド要求
HLDACK	出力	バス・ホールド・アクノリッジ
RESET	入力	リセット
RESOUT	出力	システム・リセット出力
READY	入力	バス・サイクル終了
NMI	入力	マスク不可割り込み
MRD ^{注3}	3ステート出力	メモリ・リード・ストロブ
MWR ^{注3}	3ステート出力	メモリ・ライト・ストロブ
IORD ^{注3}	3ステート出力	I/Oリード・ストロブ
IOWR ^{注3}	3ステート出力	I/Oライト・ストロブ
ASTB	出力	アドレス・ストロブ
UBE ^{注1, 3}	3ステート出力	データ・バス上位バイト・イネーブル
High ^{注2}	3ステート出力	ハイ・レベル出力
BUSLOCK ^{注3}	3ステート出力	バス・ロック
POLL	入力	浮動小数点演算用コプロセッサのポーリング
BUFR/W ^{注3}	3ステート出力	バッファ・リード/ライト
BUFEN ^{注3}	3ステート出力	バッファ・イネーブル
X1	入力	クリスタル/外部クロック
X2	-	
CLKOUT	出力	クロック出力
BS0-BS2 ^{注3}	3ステート出力	バス・ステータス
QS0, QS1	出力	キュー・ステータス
TOUT2	出力	タイマ2出力
TCTL2	入力	タイマ2制御
TCLK	入力	タイマ・クロック
INTP1-INTP7	入力	マスク可割り込み
INTAK/SRDY/TOUT1	出力	割り込みアクノリッジ/シリアル受信可/タイマ1出力

注1. V50HLのみ。

2. V40HLのみ。

3. ラッチを内蔵しています。このため、Hi-Z時には外部からドライブされるまで、Hi-Zとなる以前の状態を保持します。したがって、データ・バスをプルアップまたはプルダウンする必要はありません。またHi-Z状態で外部から端子レベルを反転させるには、ラッチ反転電流 (I_{LH}, I_{LL}) 以上のドライブ能力が必要です。

端子名	入出力	機能
DMAAK3/TxD	出力	DMAアクノリッジ3/シリアル送信データ
DMARQ3/RxD	入力	DMA要求3/シリアル受信データ
DMAAK0-DMAAK2	出力	DMAアクノリッジ
DMARQ0-DMARQ2	入力	DMA要求
END/ \overline{TC}	入出力	DMAサービス強制終了/DMAサービス完了
V _{DD}	—	正電源供給端子
GND	—	グランド電位端子
IC	—	内部接続端子 (外部接続不可)

1.2 各端子の未使用時の処理

各端子の未使用時の処理方法（推奨接続方法）を表1-1に示します。

なお、抵抗を介してV_{DD}、またはGNDに接続する場合、1-10kΩの抵抗を使用することをお勧めします。

表1-1 各端子の未使用時の処理

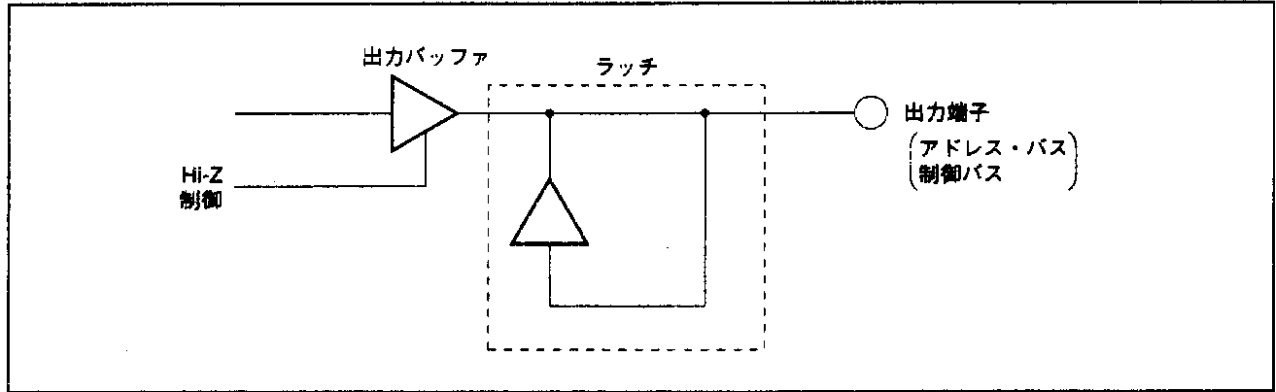
端子名	入出力	未使用時の推奨接続方法	
AD0-AD15 ^{注1}	3ステート入出力	オープンにしてください。	
AD0-AD7 ^{注2}	3ステート入出力		
A8-A15 ^{注2}	3ステート出力		
A16/PS0-A19/PS3	3ステート出力		
REFRQ	出力		
HLDRQ	入力	抵抗を介してGNDに接続してください。	
HLDAK	出力	オープンにしてください。	
RESOUT	出力	オープンにしてください。	
READY	入力	抵抗を介してV _{DD} に接続してください。	
NMI	入力	抵抗を介してGNDに接続してください。	
M \overline{RD}	3ステート出力	オープンにしてください。	
M \overline{WR}	3ステート出力		
I \overline{OR}	3ステート出力		
I \overline{OWR}	3ステート出力		
ASTB	出力		
UBE ^{注1}	3ステート出力		
High ^{注2}	出力		
BUSLOCK	3ステート出力		
POLL	入力		抵抗を介してGNDに接続してください。
BU \overline{F} R/W	3ステート出力		オープンにしてください。
BU \overline{F} EN	3ステート出力		
CLKOUT	出力	オープンにしてください。	
BS0-BS2	3ステート出力		
QS0, QS1	出力		
TOUT2	出力		
TCTL2	入力		抵抗を介してGNDに接続してください。
TCLK	入力		
INTP1-INTP7	入力	オープンにしてください。	
I \overline{NTAK} /SRDY/TOUT1	出力		
DMAAK3/TxD	出力		
DMARQ3/RxD	入力	抵抗を介してGNDに接続してください。	
DMAAK0-DMAAK2	出力	オープンにしてください。	
DMARQ0-DMARQ2	入力	抵抗を介してGNDに接続してください。	
END/TC	入出力	個別に抵抗を介してV _{DD} に接続してください。	

注1. V50HLのみ

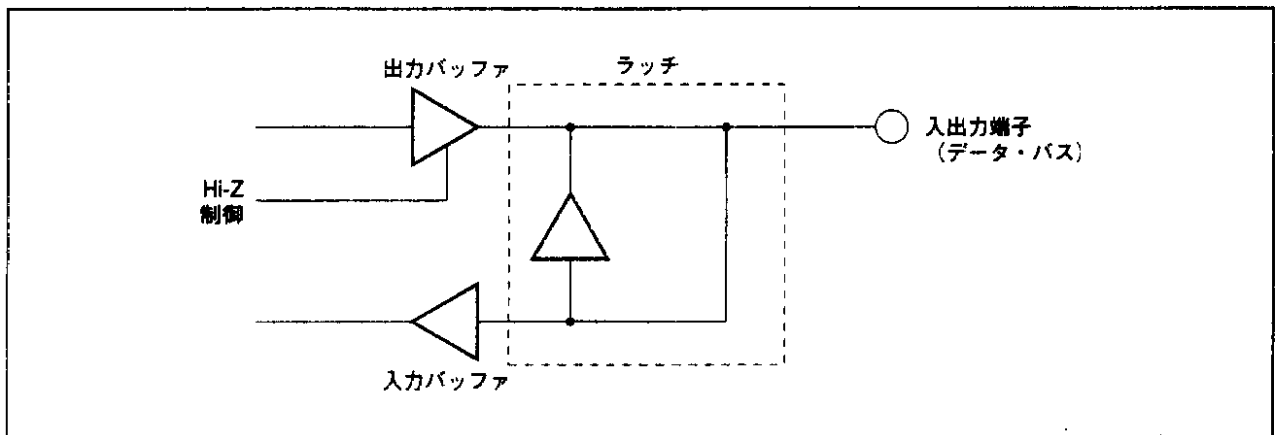
2. V40HLのみ

備考 ラッチは次に示すような回路構成になっています。ラッチのついた端子を反転させる場合は、ラッチ反転電流以上のドライブ能力が必要です。

(1) 出力端子



(2) 入出力端子



2. メモリとI/Oの構成

2.1 メモリ空間

V40HL, V50HLは1Mバイト（512Kワード）のメモリ空間をアクセスできます。

図2-1 メモリ・マップ

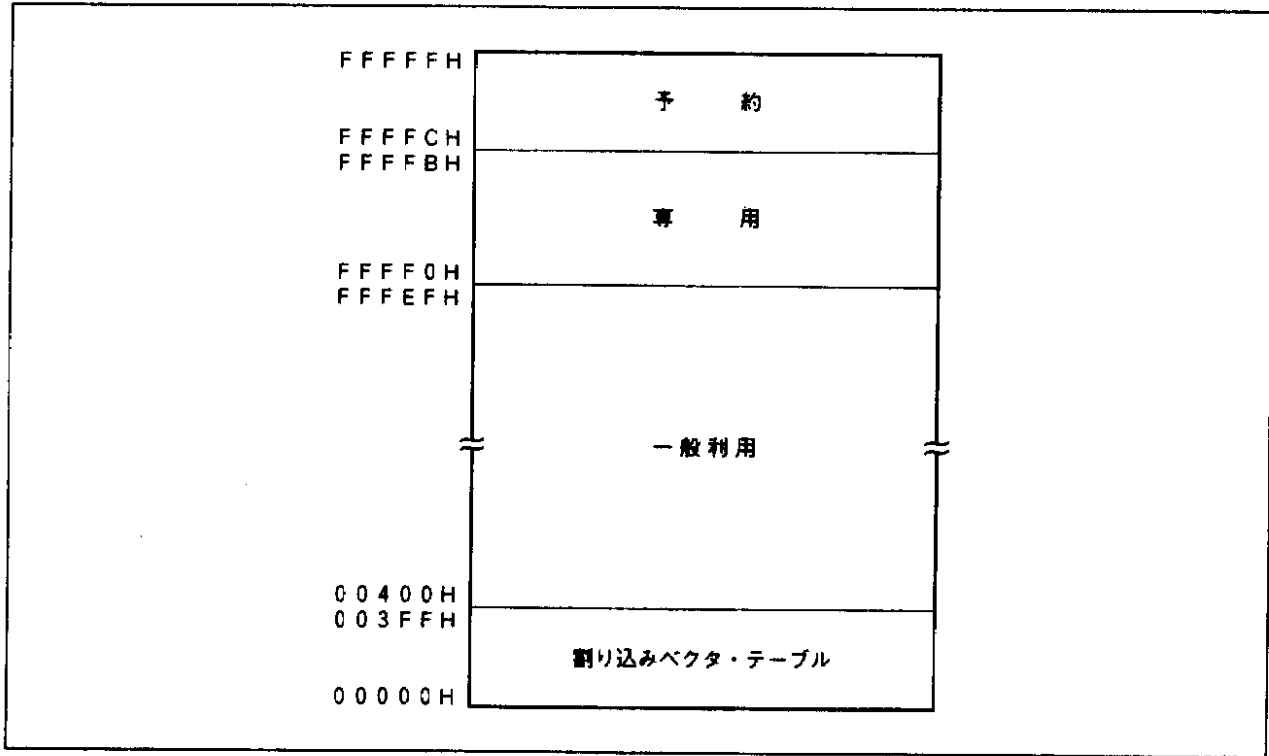


図2-2 メモリとのインタフェース (1/2)

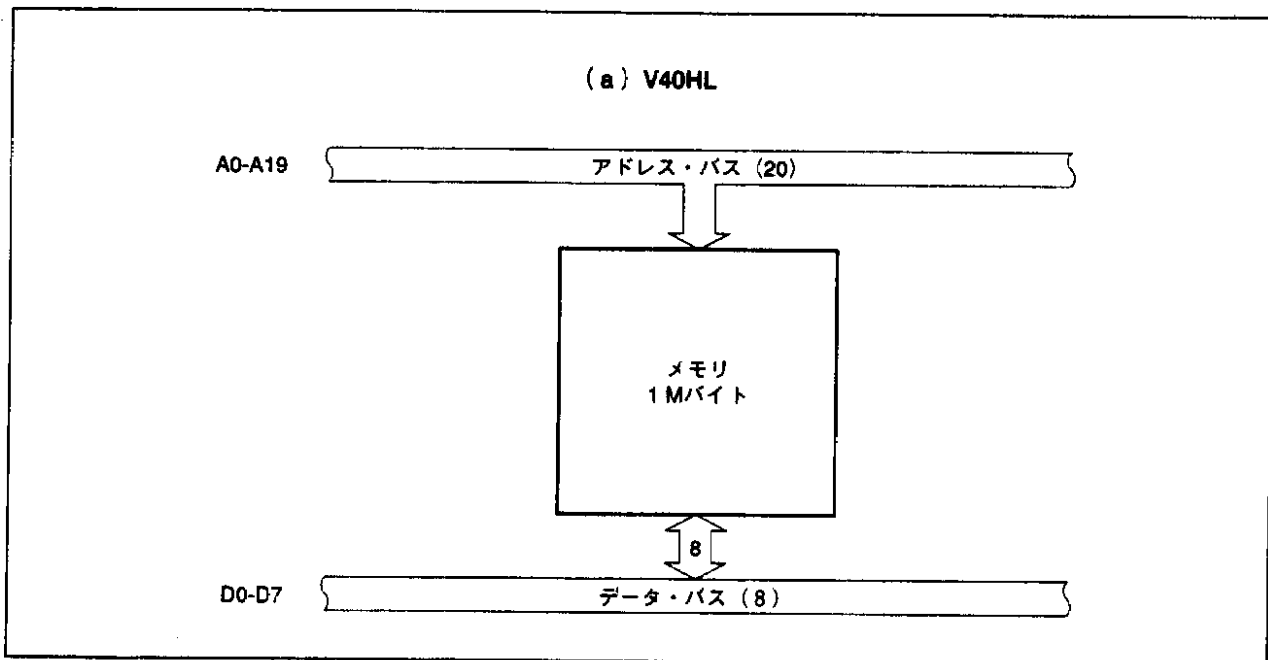
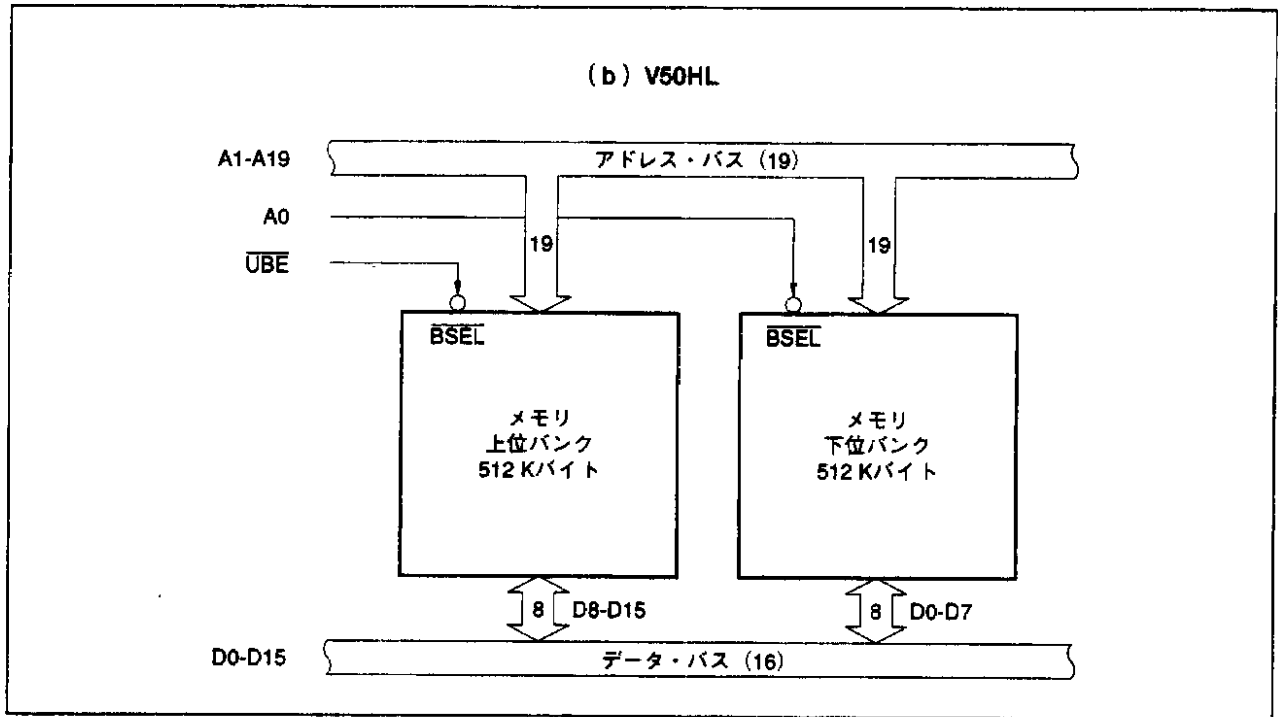


図 2-2 メモリとのインタフェース (2/2)



2.2 I/O空間

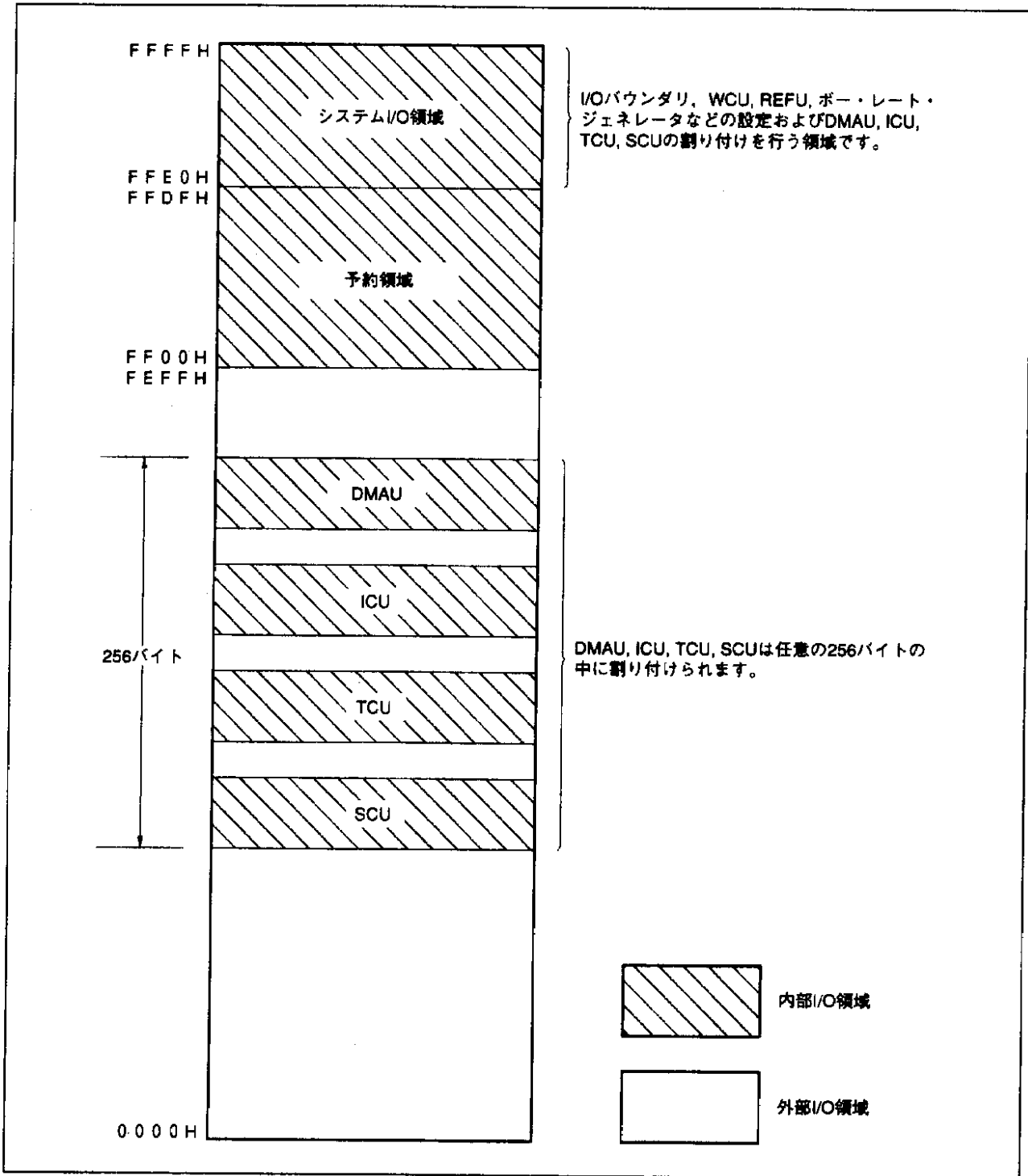
V40HL, V50HLは、64 Kバイト (32 Kワード) までのI/Oをメモリと独立なエリアでアクセスできます。

内蔵されている各種周辺LSIは、システムI/O領域をアクセスすることによりセッティングされます。

V40, V50に対して追加された拡張機能は、V40, V50の未使用レジスタ、および予約領域にマッピングされています。

図2-3にI/Oマップを示します。

図2-3 I/Oマップ



3. CPU

CPUはV20HL™, V30HL™と同等の機能を持っています。ハードウェア的には、内蔵ペリフェラルとのバス使用の関係上一部変更されているところもありますが、ソフトウェア的にはフルコンパチブルとなっています。

図3-1にCPUの内部ブロック図を示します。

図3-1 CPU内部ブロック図 (1/2)

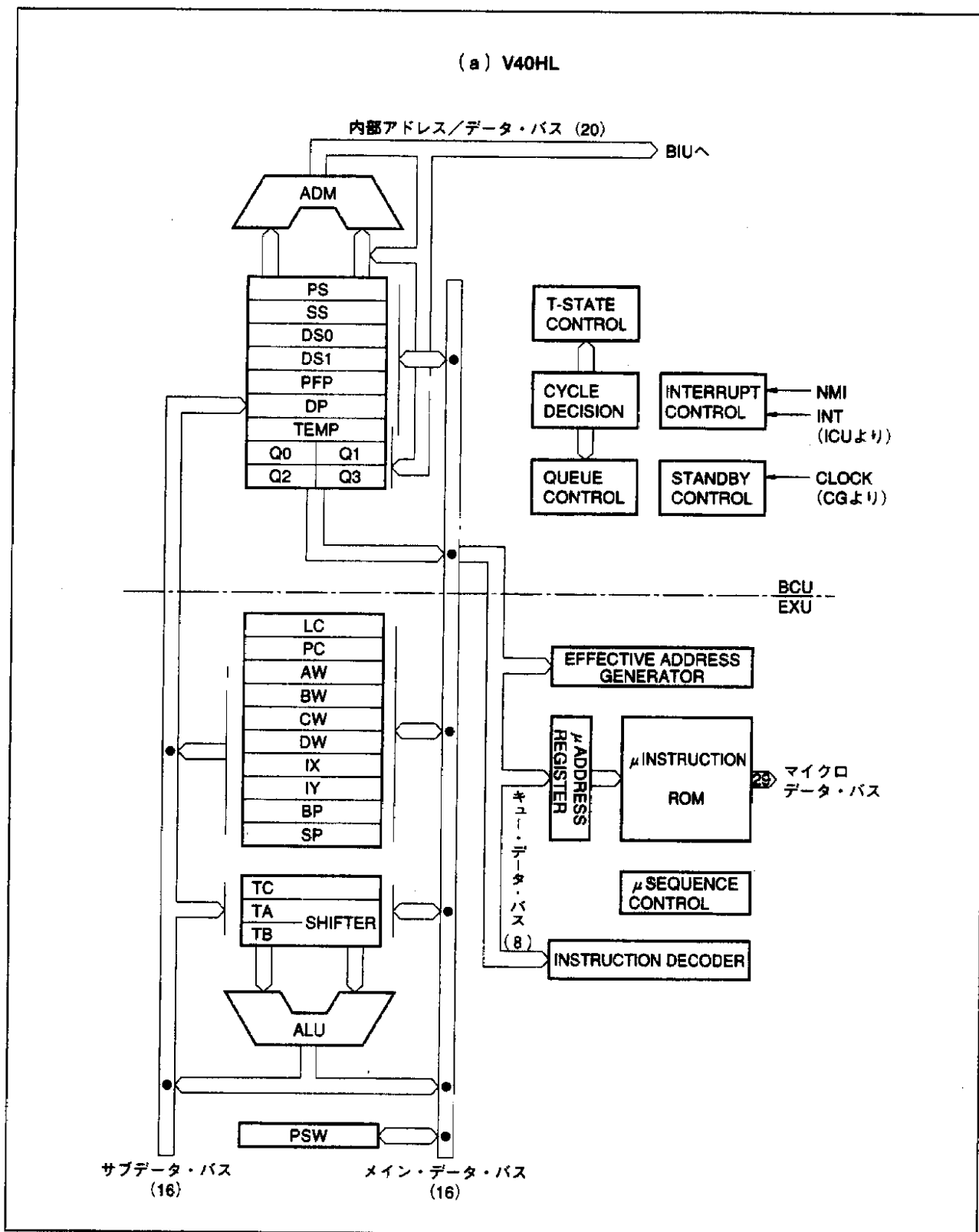
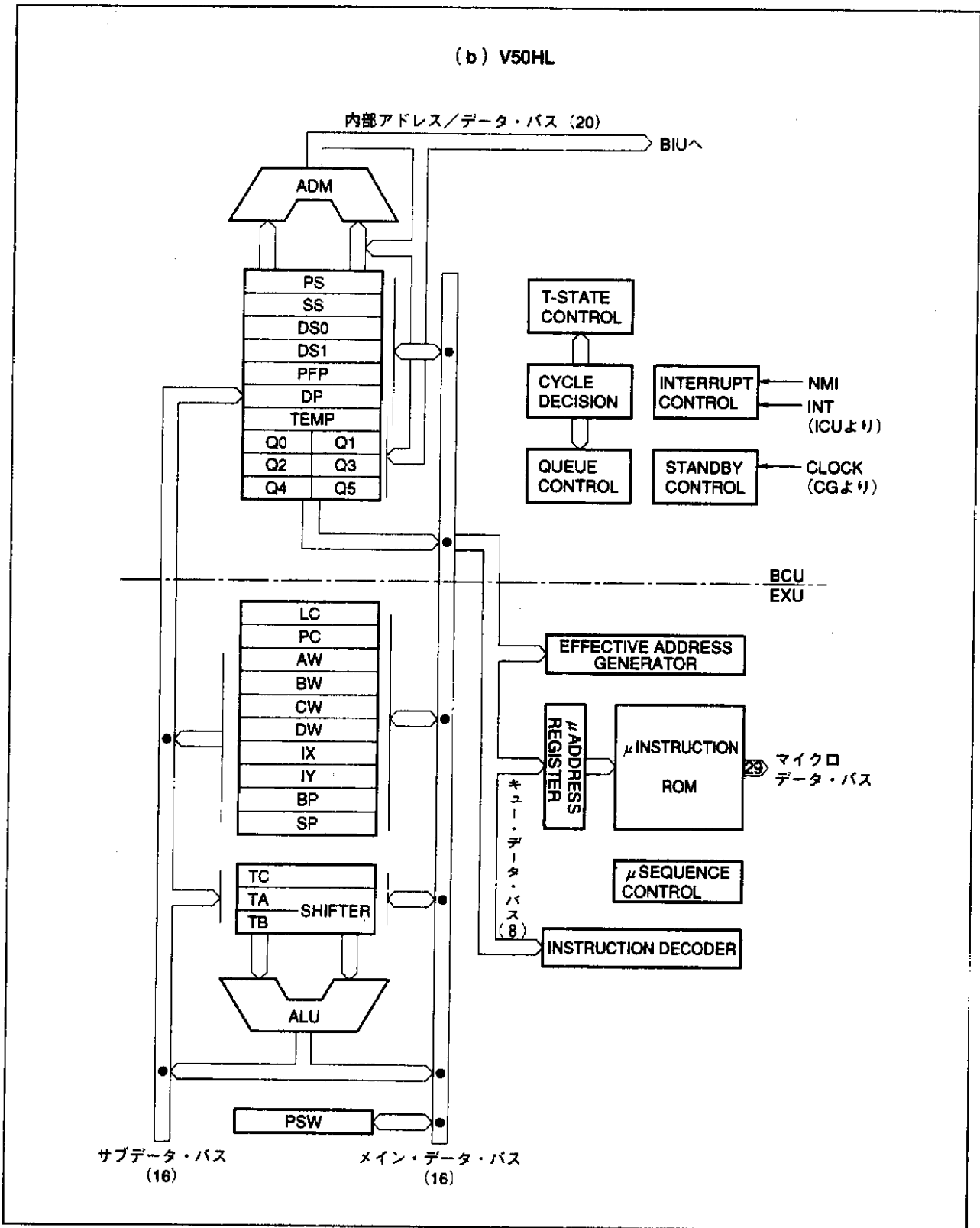


図 3-1 CPU内部ブロック図 (2/2)

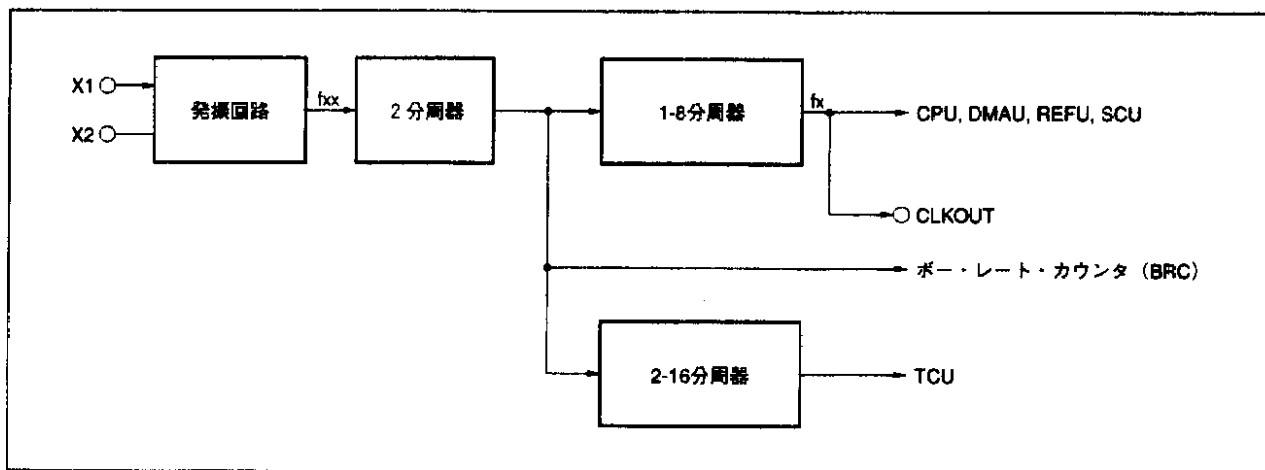


4. CG (クロック・ジェネレータ)

X1, X2端子に接続されたクリスタルおよび発振器の1/2, 1/4, 1/8, 1/16の周波数のクロックを発生し、CPU動作クロックとして供給するとともに、CLKOUT端子として外部へ出力します。

また、発振器の分周比に従って、インストラクション・サイクル時間を変えることができます。分周比はシステムIO領域のレジスタで設定します。

図4-1 CG内部ブロック図

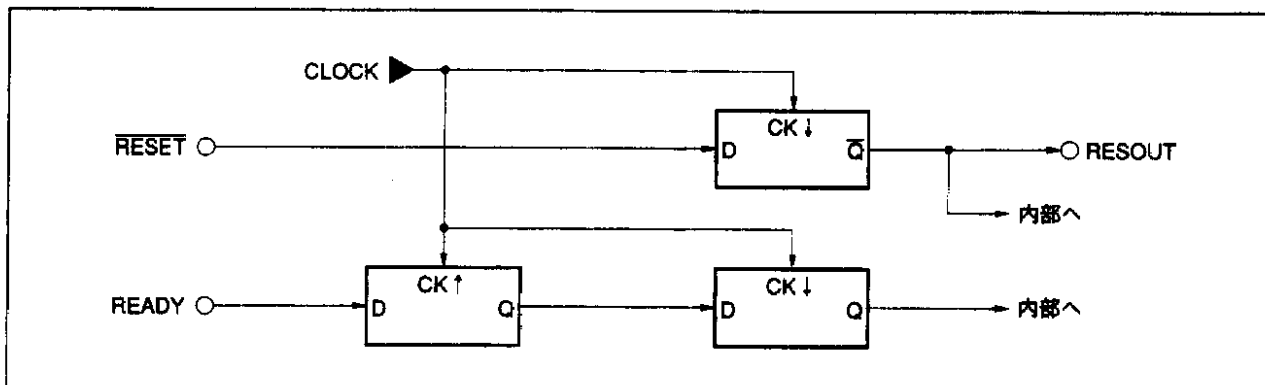


5. BIU (バス・インタフェース・ユニット)

BIUはデータ・バス、アドレス・バス、制御バスの端子を制御します。これらのバスはCPU, DMAU (DMAコントロール・ユニット), REFU (リフレッシュ・コントロール・ユニット) の3つによって使用されます。

また、このBIUではクロック・ジェネレータ (CG) で作られたCLOCK信号を用いて、RESET入力信号、READY入力信号を同期化します。同期化されたリセット信号はアクティブ・ハイとなってV40HL, V50HL内部に供給されるほか、外部にもRESOUT端子から出力されます。同期化されたREADY信号は内部のCPU, DMAU, REFUにそれぞれ供給されます。

図5-1 RESETとREADY信号の同期化



6. BAU (バス・アービトレーション・ユニット)

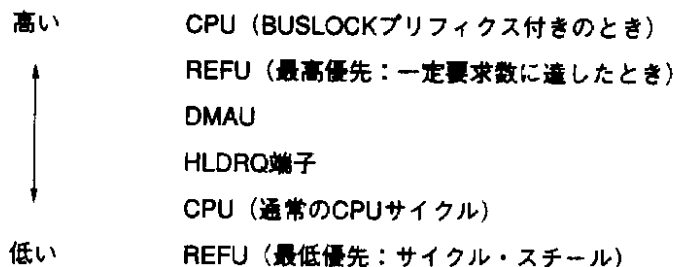
BAUは、バス・マスタ間でバス使用権の調停を行います。

次に、バス・マスタ (バスの制御権を有することができるもの) 一覧を示します。

表 6-1 バス・マスタ一覧

バス・マスタ	バス・サイクル
CPU	プログラムのフェッチ、データのリード/ライト
DMAU	DMAサイクル
REFU	リフレッシュ・サイクル
外部バス・マスタ (HLDRQ端子入力)	外部デバイスが駆動する バス・サイクル

各バス・マスタ間の優先順位は次のようになっています。



BAUのバス使用権の調停は次のように行います。

CPU, DMAU, REFUなどのV40HL, V50HLに内蔵されているバス・マスタは、通常は図6-1に示すように現在実行中のバス・サイクルが終了次第、バスを開放します。

HLDRQ端子に接続した外部バス・マスタやカスケードの外部DMAコントローラなどの場合は、図6-2のようになります。V40HL, V50HLは、アクノリッジ信号 (HLDAK) をインアクティブにしてバスの返還を要求しますので、バス使用権を有している外部バス・マスタは、それを受けてバス・ホールド要求信号 (HLDRQ) を取り下げてバスを開放するようにしてください。V40HL, V50HL内部の優先順位の高いバス・マスタは、バス・ホールド要求信号が取り下げられるまで待たされています。このような状態をバス待ち動作といいます。

図 6-1 内部バス・サイクル

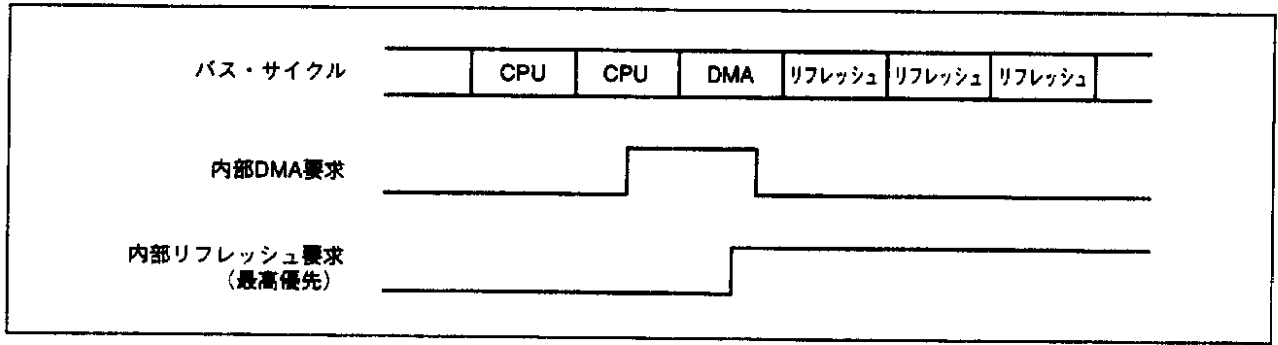
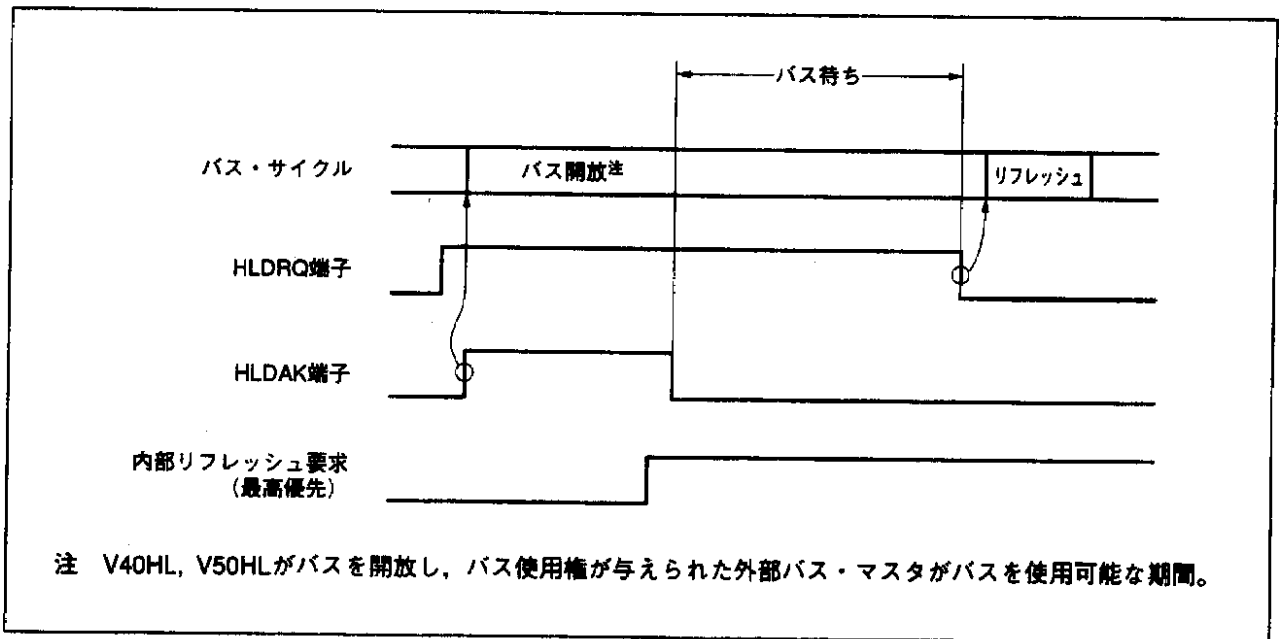


図 6-2 バス待ち動作



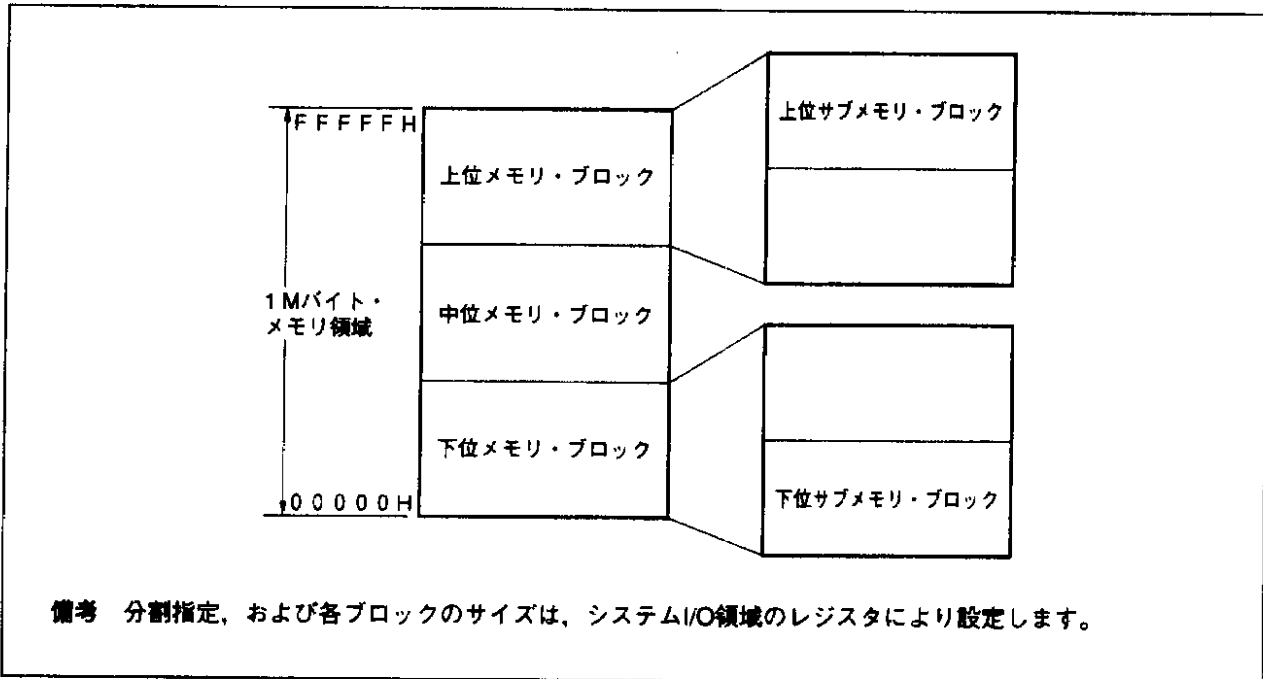
7. WCU (ウェイト・コントロール・ユニット)

WCUは、CPU, DMAU, REFUの各バス・サイクルに対し、0-3クロック分のウェイト・ステート (TW) を自動挿入する機能を持っています。

7.1 特 徴

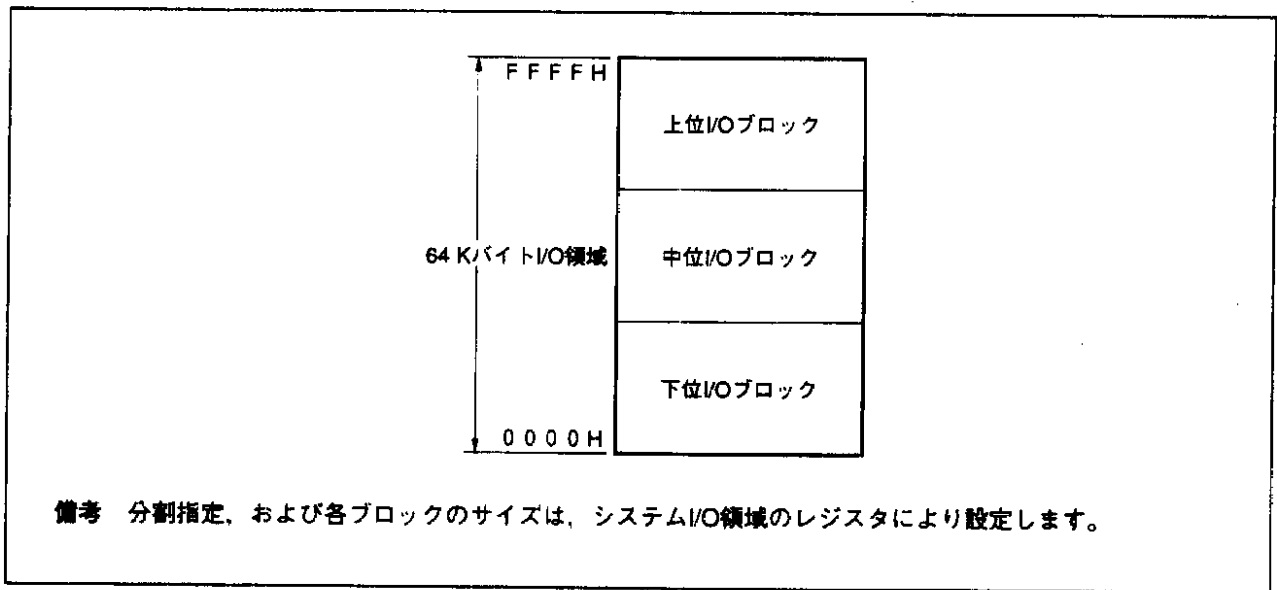
- CPUメモリ・バス・サイクルに対する0-3ウェイトの自動設定
- 1 Mバイトのメモリ空間を5分割可能
- 64 KバイトのI/O空間を3分割可能
- 外部I/Oサイクルに対する0-3ウェイトの自動設定
- DMAサイクルに対する0-3ウェイトの自動設定
- リフレッシュ・サイクルに対する0-3ウェイトの自動設定
- リセット直後はV40, V50と同一 (メモリ空間3分割, I/O空間分割なし)

図7-1 メモリ空間の分割例



備考 分割指定, および各ブロックのサイズは, システムI/O領域のレジスタにより設定します。

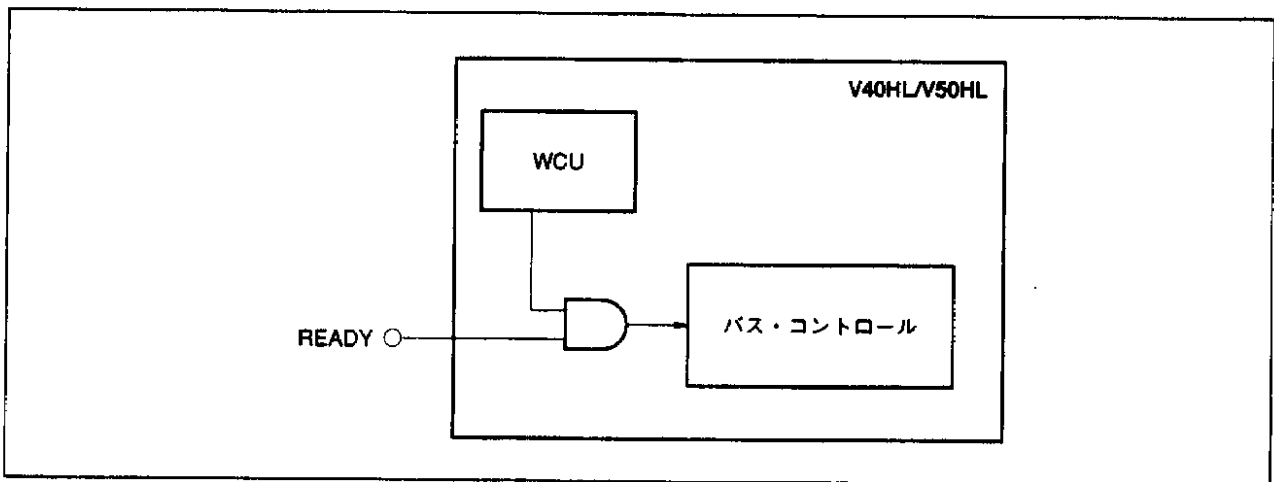
図 7-2 I/O空間の分割例



7.2 WCUとREADY端子の関係

0-3クロック以上のウエイト・サイクルが必要な場合には、このWCUとREADY信号を組み合わせる使用することができます。WCUの設定値によるウエイト・サイクルとREADY制御によるウエイト・サイクルは、どちらが多い方のウエイト・サイクル数だけ挿入されます。

図 7-3 WCUとREADY制御



8. REFU (リフレッシュ・コントロール・ユニット)

REFUは、外部DRAMのリフレッシュ動作に必要なリフレッシュ・サイクルを発生します。リフレッシュの許可/禁止、およびリフレッシュ間隔をプログラマブルに設定することができます。

8.1 特 徴

- 最低優先リフレッシュ/最高優先リフレッシュ
- 7リフレッシュ・キュー
- 16ビット・リフレッシュ・アドレス
- REFRQ拡張タイミングをサポート (T1ステートからREFRQがアクティブ)

8.2 リフレッシュ動作

REFUには2種類の優先順位があります。通常は最低優先で、バスが完全にアイドル状態でなければリフレッシュ・サイクルを起動できません。しかし、保留されたリフレッシュ要求が7つ以上になると最高優先になり、バス使用中のバス・マスタに対してバスの明け渡しを要求します(6. BAU参照)。

リフレッシュ・アドレスはA0-A15のアドレスを出力します。1回のリフレッシュ・サイクルごとに、リフレッシュ・アドレスをV40HLは1ずつ、V50HLは2ずつインクリメントし、次のリフレッシュ・アドレスを生成します。

また、リフレッシュ・サイクルでの上位アドレス(A16-A19)は、ロウ・レベルを出力します。

このリフレッシュ・アドレスはリセットで影響を受けません。また、パワーオン時のリフレッシュ・アドレスは不定です。

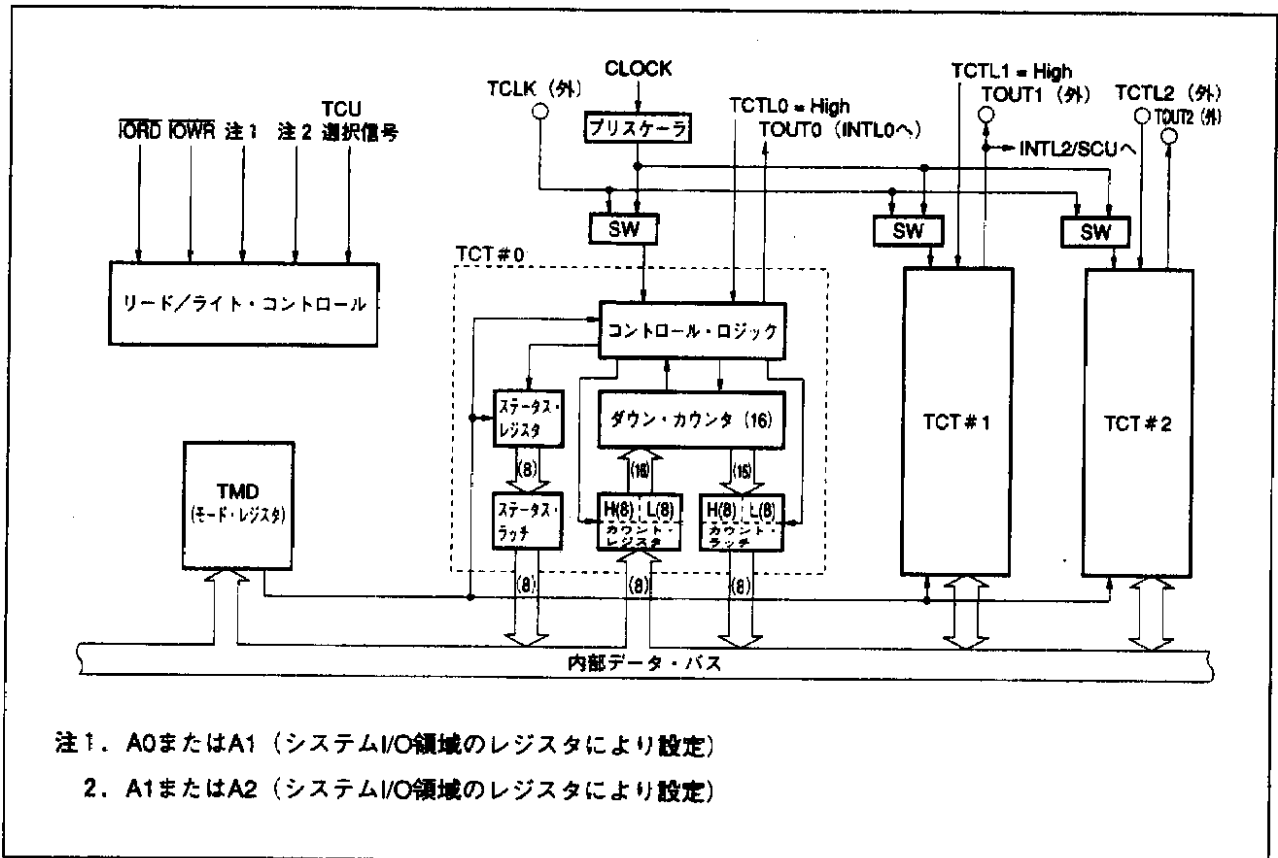
9. TCU (タイマ/カウンタ・ユニット)

TCUは、3個のカウンタを持っており、タイマ、イベント・カウンタ、レート・ジェネレータ等に使用されます。機能的にはμPD71054のサブセットになっています。

9.1 特徴

- 3×16ビット・カウンタ
- プログラマブルな6つのカウント・モード
- バイナリ/BCDカウント
- マルチプル・ラッチ・コマンド
- 入力クロックは内部/外部の2通り

9.2 TCU内部ブロック図



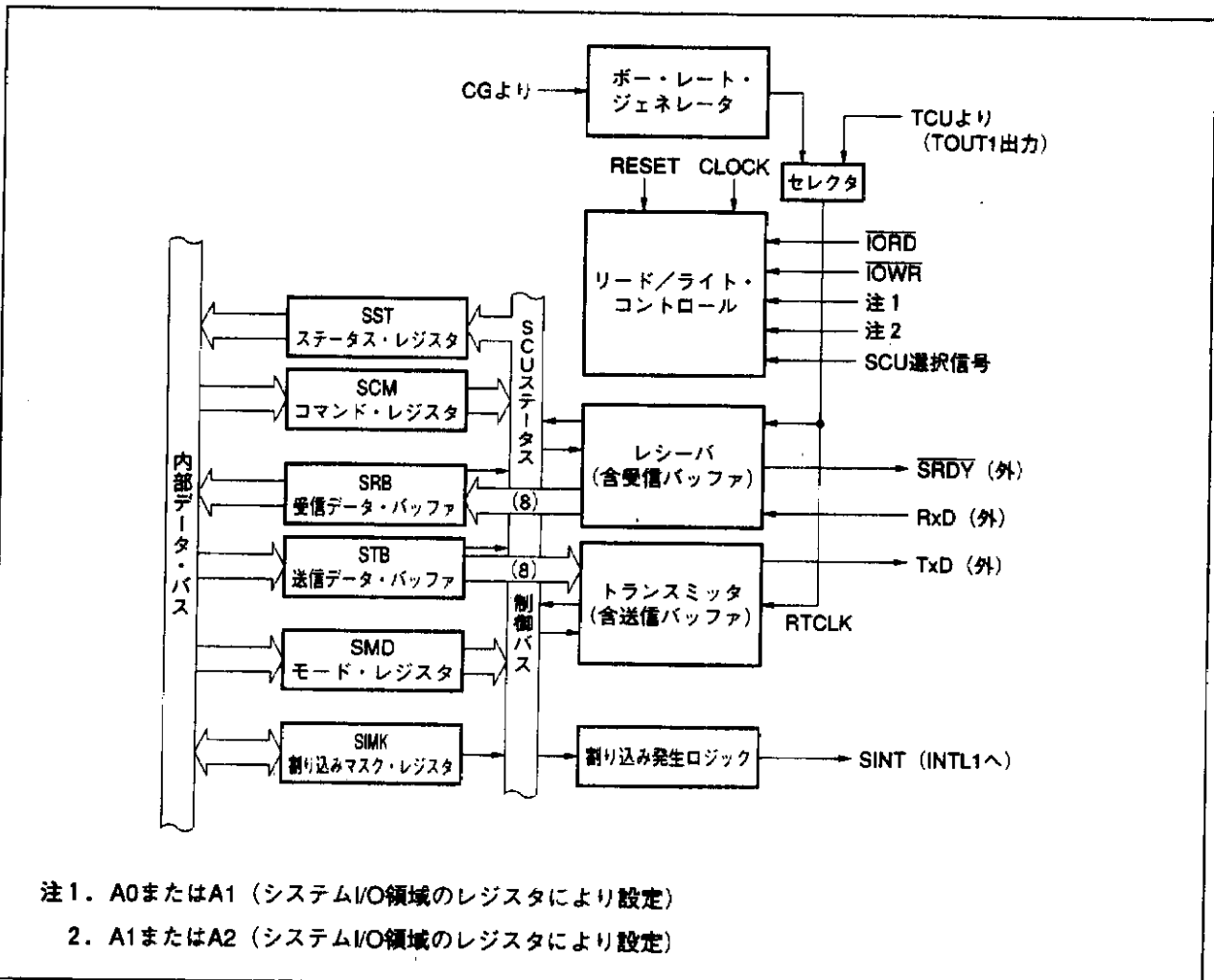
10. SCU (シリアル・コントロール・ユニット)

SCUはシリアル通信 (調歩同期方式) の制御を行います。機能はμPD71051から同期方式を除いたサブセットとなっています。また、μPD71051ではコントロール・ワード・レジスタだったものが、コマンド・レジスタとモード・レジスタの2つに分かれてより使いやすくなっています。

10.1 特 徴

- 専用ポー・レート・ジェネレータ内蔵 (内部クロック使用)
- 調歩同期方式シリアル通信
- クロック・レート: ポー・レート×16, ×64
- ポー・レート: DC-500 Kビット/秒
- キャラクタ長: 7, 8 ビット
- 送信ストップ・ビット: 1, 2 ビット
- ブ레이크送信
- 自動ブ레이크検出
- 全二重ダブル・バッファ方式
- パリティ付加/チェック
- エラー検出: パリティ, オーバラン, フレーミング
- 割り込み発生はマスクابل

10.2 SCU内部ブロック図



注1. A0またはA1 (システムI/O領域のレジスタにより設定)
 2. A1またはA2 (システムI/O領域のレジスタにより設定)

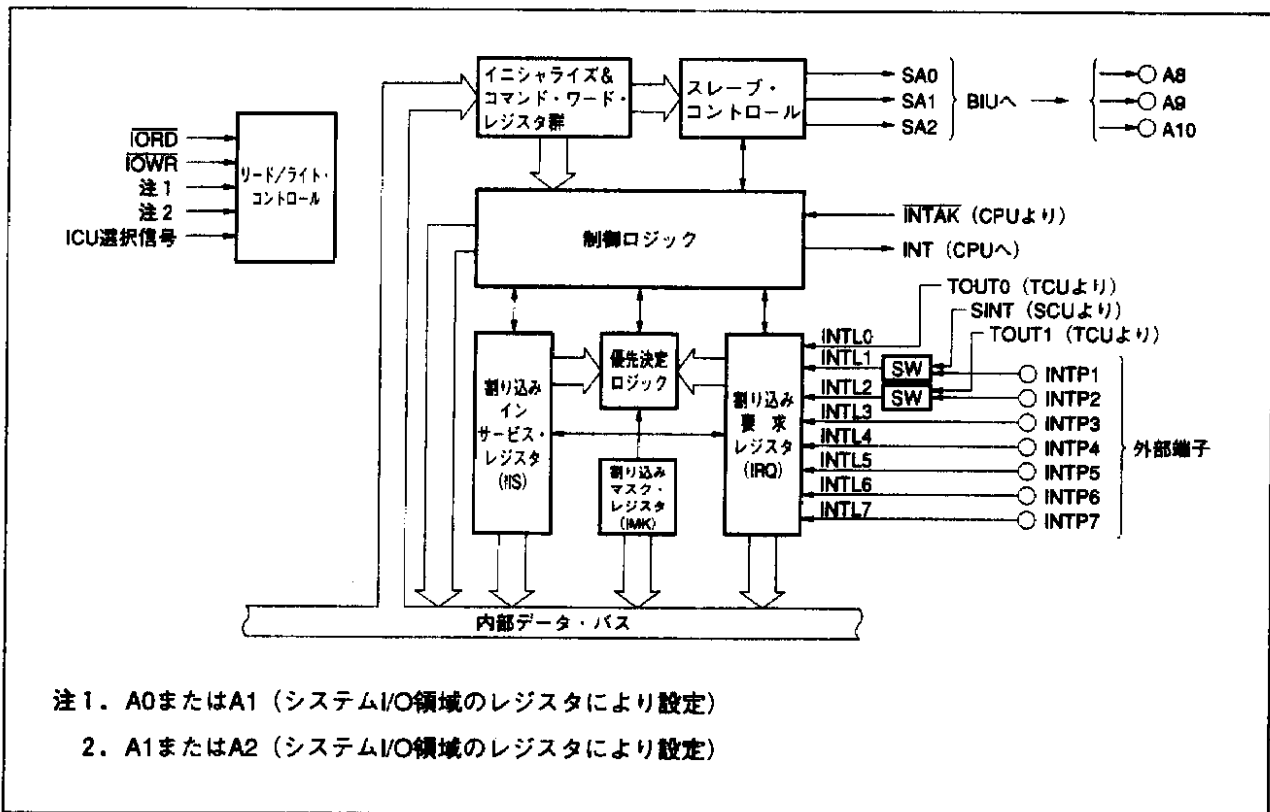
11. ICU (割り込みコントロール・ユニット)

ICUはV40HL, V50HLの内外で発生する8本までの割り込み要求(マスクابل割り込み)を調停し、その中の1つをCPUへ伝えます。ICUの機能は、V40HL, V50HLでは必要のない機能をμPD71059から取り除いたものとなっています。

11.1 特 徴

- 8割り込み入力
- μPD71059をカスケード接続可能
- エッジまたはレベル・トリガ要求入力
(ただし、内部接続したTCUからの入力はエッジ・トリガ固定)
- 割り込み要求は個々にマスク可能
- プログラマブル割り込み要求優先順位
- ポーリング動作可能

11.2 ICU内部ブロック図



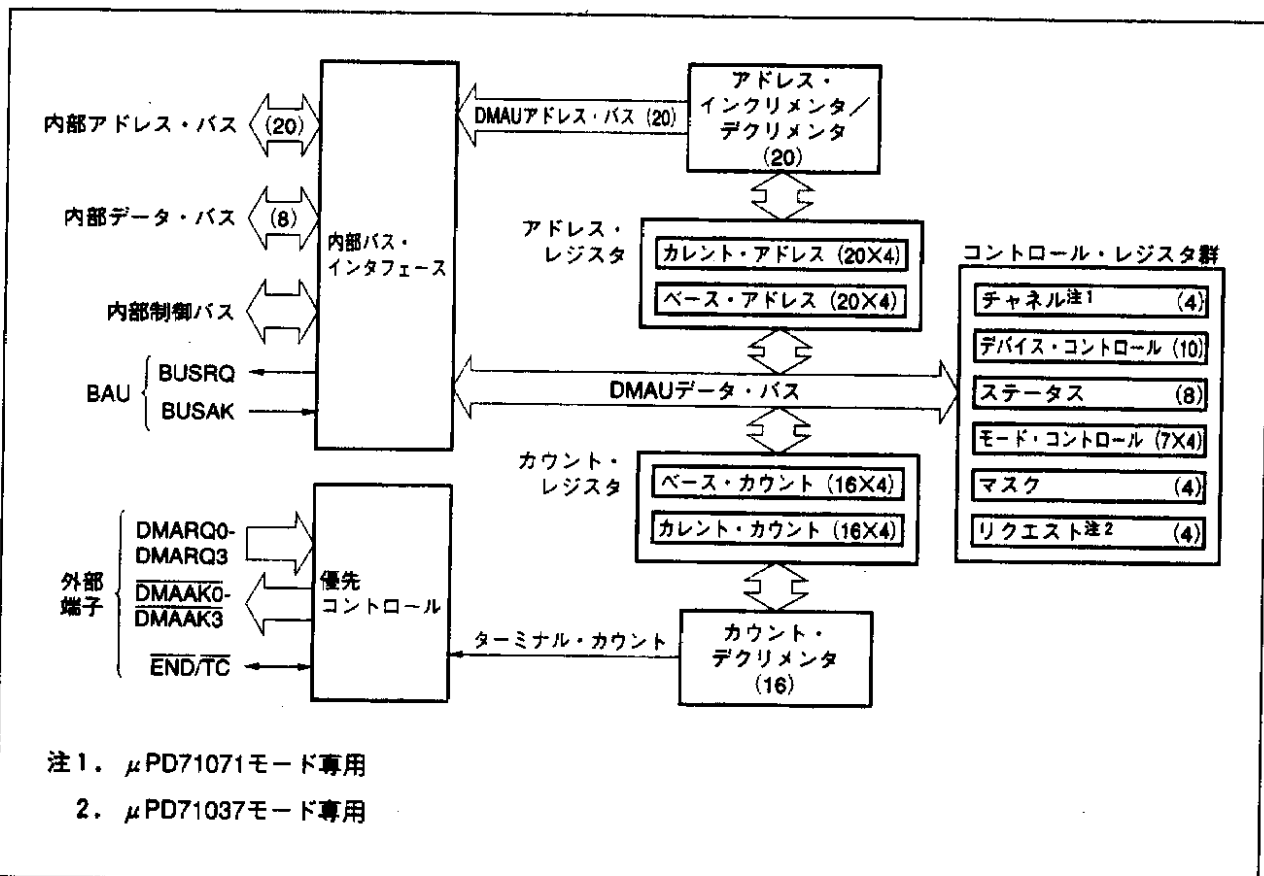
12. DMAU (DMAコントロール・ユニット)

DMAUは4本のDMAチャンネルを持ち、2種類のLSI μPD71071, μPD71037の機能(サブセット)を提供します。

12.1 特徴

- 2つの動作モード (μPD71071モード, μPD71037モード)
- 20ビット長のアドレス・レジスタ
- 16ビット長のカウント・レジスタ
- 4つの独立なDMAチャンネル
- バイト転送/ワード転送選択可能
- 3種類の転送モード (チャンネルごとに設定可能)
 シングル転送モード, ディマンド転送モード, ブロック転送モード
- 2種類のバス・モード (全チャンネル共通; μPD71037モードではバス・リリース・モードのみ)
 バス・リリース・モード
 バス・ホールド・モード
- チャンネルごとにDMA要求をマスク可能
- オートイニシャライズ機能
- 転送アドレスのインクリメント/デクリメント
- 2種類のチャンネル優先順位 (固定優先順位/回転優先順位)
- 転送終了時のTC出力
- END入力によるサービスの強制終了
- カスケード接続可能

12.2 DMAU内部ブロック図



13. スタンバイ機能

V40HL, V50HLはスタンバイ機能として、HALTモードとSTOPモードの2種類があります。

(1) HALTモード

HALT命令の実行によって、CPU内部（HALTモード解除用回路を除く）へのクロックを停止します。

(2) STOPモード

HALT命令の実行によって、CPUおよび内部I/Oへのクロックをすべて停止します。

STOPモードは、X1, X2端子に発振子を接続した場合に使用してください。

備考 HALTモードとSTOPモードはシステムI/O領域のレジスタをセットすることによって切り替えます。

14. リセット動作

$\overline{\text{RESET}}$ 端子をロウ・レベルにし、その立ち下がりから4クロック以上保つと、CPUおよび内蔵周辺LSIはリセットされます。

その後、 $\overline{\text{RESET}}$ 端子をハイ・レベルに戻すと、CPUはFFFF0H番地より命令のプリフェッチを開始します。

V40HL, V50HLがリセットされると、その状態はV40, V50とフルコンパチブルとなります。

V40, V50に対して追加された拡張機能は、V40, V50の未使用レジスタ、および予約領域にマッピングされています。

表14-1に内蔵周辺LSIのリセット時の主な状態を示します。

表14-1 内蔵周辺LSIのリセット時の主な状態

WCU	メモリ、外部I/O, DMAおよびリフレッシュ : 3ウエイト挿入 上位、下位メモリ・ブロック : 512KBに設定
REFU	リフレッシュ周期 : 72クロックに設定 リフレッシュ許可/禁止 : リセットに影響されない
SCU	ポー・レート : X64 キャラクタ : 7ビット パリティ : なし ストップ・ビット : 1ビット ブレーク検出 : なし
DMAU	μPD71071モード ダイヤモンド・モード オート・イニシャライズ禁止 ベリファイ転送、バイト転送 バス・リリース・モード DMA許可

注意 リセット時、SCU, TCU, ICU, およびDMAUは使用不可となっています。

15. インストラクション・セット

表15-1 オペランド・タイプの凡例

識別子	説明
reg	8/16ビット汎用レジスタ (8/16ビット汎用レジスタを2つ用いる命令における、デスティネーション側レジスタ)
reg'	8/16ビット汎用レジスタを2つ用いる命令における、ソース側レジスタ
reg8	8ビット汎用レジスタ (8ビット汎用レジスタを2つ用いる命令における、デスティネーション側レジスタ)
reg8'	8ビット汎用レジスタを2つ用いる命令における、ソース側レジスタ
reg16	16ビット汎用レジスタ (16ビット汎用レジスタを2つ用いる命令における、デスティネーション側レジスタ)
reg16'	16ビット汎用レジスタを2つ用いる命令における、ソース側レジスタ
dmem	8/16ビット・メモリ・ロケーション
mem	8/16ビット・メモリ・ロケーション
mem8	8ビット・メモリ・ロケーション
mem16	16ビット・メモリ・ロケーション
mem32	32ビット・メモリ・ロケーション
imm	0 - FFFFHの範囲の定数
imm3	0 - 7の範囲の定数
imm4	0 - FHの範囲の定数
imm8	0 - FFHの範囲の定数
imm16	0 - FFFFHの範囲の定数
acc	レジスタAWまたはAL
sreg	セグメント・レジスタ
src-table	256バイト変換テーブルの名称
src-block	レジスタIXでアドレスされるブロックの名称
dst-block	レジスタIYでアドレスされるブロックの名称
near-proc	現在のプログラム・セグメント内のプロシージャ
far-proc	別のプログラム・セグメント内のプロシージャ
near-label	現在のプログラム・セグメント内のレーベル
short-label	命令の終わりから-128~+127バイトの範囲のレーベル
far-label	別のプログラム・セグメント内のレーベル
memptr16	制御が移されようとしている現在のプログラム・セグメント内のロケーションのオフセットを含むワード
memptr32	制御が移されようとしている別のプログラム・セグメント内のロケーションのオフセットとセグメント・ベース・アドレスを含むダブル・ワード
regptr16	制御が移されようとしている別のプログラム・セグメント内のロケーションのオフセットを含む16ビット汎用レジスタ
pop-value	スタックから捨てるバイト数 (0 - 64K, 通常は偶数)
fp-op	外部の浮動小数点演算用コプロセッサの命令コードを判別するイミディエイト値
R	レジスタ・セット

表15-2 オペレーション・コードの凡例

識別子	説明
W	バイト/ワード指定ビット (0:バイト, 1:ワード)。ただしs=1のときは、W=1であってもサイン拡張のバイト・データを16ビット・オペランドとします。
reg	レジスタ・フィールド (000-111)
reg'	レジスタ・フィールド (000-111) (レジスタを2つ用いる命令における、ソース側レジスタ)
mem	メモリ・フィールド (000-111)
mod	モード・フィールド (00-10)
s	サイン拡張指定ビット (0:サイン拡張なし, 1:サイン拡張あり)
X, XXX, YYY, ZZZ	外部の浮動小数点演算用コプロセッサの命令コードを判別するためのデータ

表15-3 オペレーション説明上の凡例 (1/2)

識別子	説明
AW	アキュムレータ (16ビット)
AH	〃 (上位バイト)
AL	〃 (下位バイト)
BW	レジスタBW (16ビット)
CW	レジスタCW (〃)
CL	〃 (下位バイト)
DW	レジスタDW (16ビット)
BP	ベース・ポインタ (16ビット)
SP	スタック・ポインタ (16ビット)
PC	プログラム・カウンタ (16ビット)
PSW	プログラム・ステータス・ワード (16ビット)
IX	インデクス・レジスタ (ソース) (16ビット)
IY	〃 (デスティネーション) (16ビット)
PS	プログラム・セグメント・レジスタ (16ビット)
SS	スタック・セグメント・レジスタ (16ビット)
DS0	データ・セグメント0・レジスタ (16ビット)
DS1	データ・セグメント1・レジスタ (16ビット)
AC	補助キャリー・フラグ
CY	キャリー・フラグ
P	パリティ・フラグ
S	サイン・フラグ
Z	ゼロ・フラグ
DIR	方向フラグ
IE	割り込み許可フラグ
V	オーバフロー・フラグ
BRK	ブレーク・フラグ
MD	モード・フラグ
(...)	() 内で示されるメモリの内容
disp	ディスプレイメント (8/16ビット)
ext-disp8	8ビット・ディスプレイメントをサイン拡張した16ビット
temp	テンポラリ・レジスタ (8/16/32ビット)
TA	テンポラリ・レジスタA (16ビット)
TB	テンポラリ・レジスタB (16ビット)
TC	テンポラリ・レジスタC (16ビット)
tmpcy	テンポラリ・キャリー・フラグ (1ビット)
seg	イミューディエト・セグメント・データ (16ビット)
offset	イミューディエト・オフセット・データ (16ビット)
←	転送方向
+	加算
-	減算

表15-3 オペレーション説明上の凡例 (2/2)

識別子	説明
×	乗算
÷	除算
%	モジュロ
^	論理積
∨	論理和
⊕	排他的論理和
XXH	16進数 2 桁の数値
XXXXH	16進数 4 桁の数値

表15-4 フラグの動作の凡例

識別子	説明
(ブランク)	変化なし
0	0にクリアされる
1	1にセットされる
×	結果に従ってセットまたはクリアされる
U	不定
R	以前に退避した値がリストアされる

表15-5 メモリ・アドレッシング

mem \ mod	00	01	10
000	BW+IX	BW+IX+disp8	BW+IX+disp16
001	BW+IY	BW+IY+disp8	BW+IY+disp16
010	BP+IX	BP+IX+disp8	BP+IX+disp16
011	BP+IY	BP+IY+disp8	BP+IY+disp16
100	IX	IX+disp8	IX+disp16
101	IY	IY+disp8	IY+disp16
110	ダイレクト・アドレス	BP+disp8	BP+disp16
111	BW	BW+disp8	BW+disp16

表15-6 8/16ビット汎用レジスタの選択

reg, reg'	W = 0	W = 1
000	AL	AW
001	CL	CW
010	DL	DW
011	BL	BW
100	AH	SP
101	CH	BP
110	DH	IX
111	BH	IY

表15-7 セグメント・レジスタの選択

sreg	
00	DS1
01	PS
10	SS
11	DS0

次にインストラクション・セットを表形式で説明します。

表の中で示されているクロック数は、実行ユニットが命令実行に必要なとする時間で、次の条件に基づいています。

- ・プリフェッチ時間、バス使用のための待ち時間などは含みません。
- ・メモリ・アクセスは、0 ウェイトを想定しています。つまり、1バス・サイクルのクロック数は4クロックです。
- ・I/Oアクセスは、0 ウェイトを想定しています。
- ・プリミティブ・ブロック転送命令、プリミティブ入出力命令は、リピート・プリフィクスも含んでいます。

バイト処理とワード処理がある命令 (Wビットを持つ) のクロック数は次のように示します。

(1) V40HL

／の左側：バイト処理 (W = 0) に対する値

／の右側：ワード処理 (W = 1) に対する値

V40HLのブロック転送関連命令のクロック数については、表15-8を参照してください。

表15-8 ブロック転送関連命令のクロック数 (V40HL)

命令	クロック数	
	バイト処理 (W = 0)	ワード処理 (W = 1)
MOVBK	9+8×rep (9)	9+16×rep (17)
CMPBK	7+14×rep (13)	7+22×rep (21)
CMPM	7+10×rep (7)	7+14×rep (11)
LDM	7+9×rep (7)	7+13×rep (11)
STM	5+4×rep (5)	5+8×rep (9)
INM	9+8×rep (10)	9+16×rep (18)
OUTM	9+8×rep (10)	9+16×rep (18)

備考 () 内は1回だけの処理の場合に適用されます。

(2) V50HL

／の左側：バイト処理 (W = 0) に対する値、または偶数アドレスのワード処理 (W = 1) に対する値
 ／の右側：奇数アドレスのワード処理 (W = 1) に対する値

V50HLのブロック転送関連命令のクロック数については、表15-9を参照してください。

表15-9 ブロック転送関連命令のクロック数 (V50HL) (1/2)

命令	クロック数			
	バイト処理 (W = 0)	ワード処理 (W = 1)		
		奇数、奇数アドレス	奇数、偶数アドレス	偶数、偶数アドレス
MOVBK	9+8×rep (9)	9+16×rep (17)	9+12×rep (13)	9+8×rep (9)
CMPBK	7+14×rep (13)	7+22×rep (21)	7+18×rep (17)	7+14×rep (13)
INM	9+8×rep (10)	9+16×rep (18)	9+12×rep (14)	9+8×rep (10)
OUTM	9+8×rep (10)	9+16×rep (18)	9+12×rep (14)	9+8×rep (10)

備考 () 内は1回だけの処理の場合に適用されます。

表15-9 ブロック転送関連命令のクロック数 (V50HL) (2/2)

命令	クロック数		
	バイト処理 (W = 0)	ワード処理 (W = 1)	
		奇数アドレス	偶数アドレス
CMPM	7+10×rep (7)	7+14×rep (11)	7+10×rep (7)
LDM	7+9×rep (7)	7+13×rep (11)	7+9×rep (7)
STM	5+4×rep (5)	5+8×rep (9)	5+4×rep (5)

備考 () 内は1回だけの処理の場合に適用されます。

保守/廃止

命令群	ニモニック	オペランド	オペレーション・コード		バイト数	ブロック数		オペレーション	フラグ					
			7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0		V40HL	V50HL		AC	CY	V	P	S	Z
データ転送命令	MOV	reg, reg'	1 0 0 0 1 0 1 W	1 1 reg reg'	2	2	2	reg←reg'						
		mem, reg	1 0 0 0 1 0 0 W	mod reg mem	2-4	7/11	7/11	(mem)←reg						
		reg, mem	1 0 0 0 1 0 1 W	mod reg mem	2-4	10/14	10/14	reg←(mem)						
		mem, imm	1 1 0 0 0 1 1 W	mod 0 0 0 mem	3-6	9/13	9/13	(mem)←imm						
		reg, imm	1 0 1 1 W reg		2-3	4	4	reg←imm						
		acc, dmem	1 0 1 0 0 0 0 W		3	10/14	10/14	W=0のとき AL←(dmem) W=1のとき AH←(dmem+1), AL←(dmem)						
		dmem, acc	1 0 1 0 0 0 1 W		3	9/13	9/13	W=0のとき (dmem)←AL W=1のとき (dmem+1)←AH, (dmem)←AL						
		sreg, reg16	1 0 0 0 1 1 1 0	1 1 0 sreg reg	2	2	2	sreg←reg16	sreg: SS, DS0, DS1					
		sreg, mem16	1 0 0 0 1 1 1 0	mod 0 sreg mem	2-4	14	10/14	sreg←(mem16)	sreg: SS, DS0, DS1					
		reg16, sreg	1 0 0 0 1 1 0 0	1 1 0 sreg reg	2	2	2	reg16←sreg						
		mem16, sreg	1 0 0 0 1 1 0 0	mod 0 sreg mem	2-4	12	8/12	(mem16)←sreg						
		DS0, reg16, mem32	1 1 0 0 0 1 0 1	mod reg mem	2-4	25	17/25	reg16←(mem32) DS0←(mem32+2)						
		DS1, reg16, mem32	1 1 0 0 0 1 0 0	mod reg mem	2-4	25	17/25	reg16←(mem32) DS1←(mem32+2)						
		AH, PSW	1 0 0 1 1 1 1 1		1	2	2	AH←S, Z, X, AC, X, P, X, CY						
		PSW, AH	1 0 0 1 1 1 1 0		1	3	3	S, Z, X, AC, X, P, X, CY←AH	X	X		X	X	X
LDEA	reg16, mem16	1 0 0 0 1 1 0 1	mod reg mem	2-4	4	4	reg16←mem16							
TRANS	src-table	1 1 0 1 0 1 1 1		1	9	9	AL←(BW+AL)							
XCH	reg, reg'	1 0 0 0 0 1 1 W	1 1 reg reg'	2	3	3	reg↔reg'							
	mem, reg	1 0 0 0 0 1 1 W	mod reg mem	2-4	13/21	13/21	(mem)↔reg							
	reg, mem													
	AW, reg16	1 0 0 1 0 reg		1	3	3	AW↔reg16							
	reg16, AW													

保守/廃止

命令群	ニモニック	オペランド	オペレーション・コード		バイト 数	クロック数		オペレーション	フ ラ グ							
			7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0		V40HL	V50HL		AC	CY	V	P	S	Z		
リピート・プリフィクス	REPC		0 1 1 0 0 1 0 1		1	2	2	CW≠0の間、続くバイトのプリミティブ・ブロック転送命令を実行し、CWをデクリメント (-1) する。 保留割り込みがあれば処理する。 CY≠1のときループを抜け出る。								
	REPNC		0 1 1 0 0 1 0 0		1	2	2	同上 CY≠0のときループを抜け出る。								
	REP REPE REPZ		1 1 1 1 0 0 1 1		1	2	2	CW≠0の間、続くバイトのプリミティブ・ブロック転送命令を実行し、CWをデクリメント (-1) する。 保留割り込みがあれば処理する。 プリミティブ・ブロック転送命令がCMPBKまたはCMPMでかつ、Z≠1のときループを抜け出る。								
	REPNE REPNZ		1 1 1 1 0 0 1 0		1	2	2	同上 Z≠0のときループを抜け出る。								
	プリミティブ・ブロック転送命令	MOVBK	dst-block, src-block	1 0 1 0 0 1 0 W		1	表15-8 参照	表15-9 参照	W = 0のとき (IY) ← (IX) DIR = 0 : IX←IX+1, IY←IY+1 DIR = 1 : IX←IX-1, IY←IY-1 W = 1のとき (IY+1, IY) ← (IX+1, IX) DIR = 0 : IX←IX+2, IY←IY+2 DIR = 1 : IX←IX-2, IY←IY-2							
CMPBK		src-block, dst-block	1 0 1 0 0 1 1 W		1	↗	↗	W = 0のとき (IX) ← (IY) DIR = 0 : IX←IX+1, IY←IY+1 DIR = 1 : IX←IX-1, IY←IY-1 W = 1のとき (IX+1, IX) ← (IY+1, IY) DIR = 0 : IX←IX+2, IY←IY+2 DIR = 1 : IX←IX-2, IY←IY-2	X	X	X	X	X	X	X	

保守/廃止

命令群	ニモニック	オペランド	オペレーション・コード		バイト 数	クロック数		オペレーション	フ ラ グ					
			7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0		V40HL	V50HL		AC	CY	V	P	S	Z
プリミティブ・ブロック転送命令	CMPM	dst-block	1 0 1 0 1 1 1 W		1	表15-8 参照	表15-9 参照	W=0のとき AL←(IY) DIR=0: IY←IY+1; DIR=1: IY←IY-1 W=1のとき AW←(IY+1, IY) DIR=0: IY←IY+2; DIR=1: IY←IY-2	X	X	X	X	X	X
	LDM	src-block	1 0 1 0 1 1 0 W		1	◇	◇	W=0のとき AL←(IX) DIR=0: IX←IX+1; DIR=1: IX←IX-1 W=1のとき AW←(IX+1, IX) DIR=0: IX+2; DIR=1: IX←IX-2						
	STM	dst-block	1 0 1 0 1 0 1 W		1	◇	◇	W=0のとき (IY)←AL DIR=0: IY←IY+1; DIR=1: IY←IY-1 W=1のとき (IY+1, IY)←AW DIR=0: IY←IY+2; DIR=1: IY←IY-2						
ビット・フィールド操作命令	INS	reg8, reg8'	0 0 0 0 1 1 1 1	0 0 1 1 0 0 0 1	3	35 - 133	31 - 117/ 35 - 133	16ビット・フィールド←AW						
			1 1 reg' reg											
	reg8, imm4	0 0 0 0 1 1 1 1	0 0 1 1 1 0 0 1	4	◇	◇	16ビット・フィールド←AW							
		1 1 0 0 0 reg												
EXT	reg8, reg8'	reg8, reg8'	0 0 0 0 1 1 1 1	0 0 1 1 0 0 1 1	3	34 - 59	26 - 55/ 34 - 59	AW←16ビット・フィールド						
			1 1 reg' reg											
	reg8, imm4	0 0 0 0 1 1 1 1	0 0 1 1 1 0 1 1	4	◇	◇	AW←16ビット・フィールド							
		1 1 0 0 0 reg												

保守/廃止

命令群	ニモニク	オペランド	オペレーション・コード		バイト 数	クロック数		オペレーション	フ ラ グ						
			7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0		V40HL	V50HL		AC	CY	V	P	S	Z	
入出力命令	IN	acc, imm8	1 1 1 0 0 1 0 W		2	9/13	9/13 ^注	W = 0のとき AL ← (imm8) W = 1のとき AH ← (imm8+1), AL ← (imm8)							
		acc, DW	1 1 1 0 1 1 0 W		1	8/12	8/12 ^注	W = 0のとき AL ← (DW) W = 1のとき AH ← (DW+1), AL ← (DW)							
	OUT	imm8, acc	1 1 1 0 0 1 1 W		2	8/12	8/12 ^注	W = 0のとき (imm8) ← AL W = 1のとき (imm8+1) ← AH, (imm8) ← AL							
		DW, acc	1 1 1 0 1 1 1 W		1	8/12	8/12 ^注	W = 0のとき (DW) ← AL W = 1のとき (DW+1) ← AH, (DW) ← AL							
プリミティブ入出力命令	INM	dst-block, DW	0 1 1 0 1 1 0 W		1	表15-8 参照	表15-9 参照	W = 0のとき (IY) ← (DW) DIR = 0 : IY ← IY+1 ; DIR = 1 : IY ← IY-1 W = 1のとき (IY+1, IY) ← (DW+1, DW) DIR = 0 : IY ← IY+2 ; DIR = 1 : IY ← IY-2							
		OUTM	DW, src-block	0 1 1 0 1 1 1 W		1	◇	◇	W = 0のとき (DW) ← (IX) DIR = 0 : IX ← IX+1 ; DIR = 1 : IX ← IX-1 W = 1のとき (DW+1, DW) ← (IX+1, IX) DIR = 0 : IX ← IX+2 ; DIR = 1 : IX ← IX-2						

注 内蔵DMAUへのIN/OUT命令の場合、ワード処理のクロック数は常に/の右側が適用されます。

保守/廃止

命令群	二モニク	オペランド	オペレーション・コード						バイト 数	クロック数		オペレーション	フ ラ グ													
			7 6 5 4 3 2 1 0			7 6 5 4 3 2 1 0				V40HL	V50HL		AC	CY	V	P	S	Z								
			7	6	5	4	3	2		1	0		7	6	5	4	3	2	1	0						
加減算命令	ADD	reg, reg'	0	0	0	0	0	0	1	W	1	1	reg	reg'	2	2	2	reg←reg+reg'	X	X	X	X	X	X		
		mem, reg	0	0	0	0	0	0	0	W	mod	reg	mem	2-4	13/21	13/21	(mem) ← (mem) + reg	X	X	X	X	X	X			
		reg, mem	0	0	0	0	0	0	1	W	mod	reg	mem	2-4	10/14	10/14	reg←reg+ (mem)	X	X	X	X	X	X			
		reg, imm	1	0	0	0	0	0	s	W	1	1	0	0	reg	3-4	4	4	reg←reg+imm	X	X	X	X	X	X	
		mem, imm	1	0	0	0	0	0	s	W	mod	0	0	0	mem	3-6	15/23	15/23	(mem) ← (mem) + imm	X	X	X	X	X	X	
		acc, imm	0	0	0	0	0	1	0	W						2-3	4	4	W = 0のとき AL←AL+imm W = 1のとき AW←AW+imm	X	X	X	X	X	X	
	ADDC	reg, reg'	0	0	0	1	0	0	1	W	1	1	reg	reg'	2	2	2	reg←reg+reg'+CY	X	X	X	X	X	X		
		mem, reg	0	0	0	1	0	0	0	W	mod	reg	mem	2-4	13/21	13/21	(mem) ← (mem) + reg + CY	X	X	X	X	X	X			
		reg, mem	0	0	0	1	0	0	1	W	mod	reg	mem	2-4	10/14	10/14	reg←reg+ (mem) + CY	X	X	X	X	X	X			
		reg, imm	1	0	0	0	0	0	s	W	1	1	0	1	0	reg	3-4	4	4	reg←reg+imm+CY	X	X	X	X	X	X
		mem, imm	1	0	0	0	0	0	s	W	mod	0	1	0	mem	3-6	15/23	15/23	(mem) ← (mem) + imm + CY	X	X	X	X	X	X	
		acc, imm	0	0	0	1	0	1	0	W						2-3	4	4	W = 0のとき AL←AL+imm+CY W = 1のとき AW←AW+imm+CY	X	X	X	X	X	X	
SUB	reg, reg'	0	0	1	0	1	0	1	W	1	1	reg	reg'	2	2	2	reg←reg-reg'	X	X	X	X	X	X			
	mem, reg	0	0	1	0	1	0	0	W	mod	reg	mem	2-4	13/21	13/21	(mem) ← (mem) - reg	X	X	X	X	X	X				
	reg, mem	0	0	1	0	1	0	1	W	mod	reg	mem	2-4	10/14	10/14	reg←reg- (mem)	X	X	X	X	X	X				
	reg, imm	1	0	0	0	0	0	s	W	1	1	1	0	1	reg	3-4	4	4	reg←reg-imm	X	X	X	X	X	X	
	mem, imm	1	0	0	0	0	0	s	W	mod	1	0	1	mem	3-6	15/23	15/23	(mem) ← (mem) - imm	X	X	X	X	X	X		
	acc, imm	0	0	1	0	1	1	0	W						2-3	4	4	W = 0のとき AL←AL-imm W = 1のとき AW←AW-imm	X	X	X	X	X	X		

保守/廃止

命令群	ニモニック	オペランド	オペレーション・コード						バイト数	クロック数		オペレーション	フラグ																					
			7 6 5 4 3 2 1 0			7 6 5 4 3 2 1 0				V40HL	V50HL		AC	CY	V	P	S	Z																
			7	6	5	4	3	2		1	0		7	6	5	4	3	2	1	0														
加減算命令	SUBC	reg, reg'	0	0	0	1	1	0	1	W	1	1	reg	reg'	2	2	2	reg←reg-reg'-CY	X	X	X	X	X	X										
		mem, reg	0	0	0	1	1	0	0	W	mod	reg	mem	2-4	13/21	13/21	(mem) ← (mem) - reg - CY	X	X	X	X	X	X											
		reg, mem	0	0	0	1	1	0	1	W	mod	reg	mem	2-4	10/14	10/14	reg←reg-(mem)-CY	X	X	X	X	X	X											
		reg, imm	1	0	0	0	0	0	s	W	1	1	0	1	1	reg	3-4	4	4	reg←reg-imm-CY	X	X	X	X	X	X								
		mem, imm	1	0	0	0	0	0	s	W	mod	0	1	1	mem	3-6	15/23	15/23	(mem) ← (mem) - imm - CY	X	X	X	X	X	X									
		acc, imm	0	0	0	1	1	1	0	W					2-3	4	4	W=0のとき AL←AL-imm-CY W=1のとき AW←AW-imm-CY	X	X	X	X	X	X										
BCD演算命令	ADD4S		0	0	0	0	1	1	1	1	0	0	1	0	0	0	0	0	2	19Xn+7	19Xn+7	dst BCD string←dst BCD string+src BCD string	*	U	X	U	U	U	X					
		SUB4S	0	0	0	0	1	1	1	1	0	0	1	0	0	0	1	0	2	∕	∕	dst BCD string←dst BCD string-src BCD string	*	U	X	U	U	U	X					
		CMP4S	0	0	0	0	1	1	1	1	0	0	1	0	0	1	1	0	2	∕	∕	dst BCD string-src BCD string	*	U	X	U	U	U	X					
	ROL4	reg8	0	0	0	0	1	1	1	1	1	1	0	0	0	reg	0	0	1	0	1	0	0	0	3	13	13							
		mem8	0	0	0	0	1	1	1	1	mod	0	0	0	mem	3-5	25	25																
	ROR4	reg8	0	0	0	0	1	1	1	1	1	1	0	0	0	reg	0	0	1	0	1	0	1	0	3	17	17							
mem8		0	0	0	0	1	1	1	1	mod	0	0	0	mem	3-5	29	29																	

n : BCD桁数の1/2

* : BCD桁数はCLレジスタで与えられ、1から254の値が設定可能です。

保守/廃止

命令群	ニモニック	オペランド	オペレーション・コード										バイト 数	ブロック数		オペレーション	フラグ					
			7 6 5 4 3 2 1 0					7 6 5 4 3 2 1 0						V40HL	V50HL		AC	CY	V	P	S	Z
増減命令	INC	reg8	1 1 1 1 1 1 1 0	1 1 0 0 0	reg	2	2	2	reg8←reg8+1	X		X	X	X	X							
		mem	1 1 1 1 1 1 1 W	mod 0 0 0	mem	2-4	13/21	13/21	(mem) ← (mem) +1	X		X	X	X	X							
		reg16	0 1 0 0 0	reg		1	2	2	reg16←reg16+1	X		X	X	X	X							
	DEC	reg8	1 1 1 1 1 1 1 0	1 1 0 0 1	reg	2	2	2	reg8←reg8-1	X		X	X	X	X							
		mem	1 1 1 1 1 1 1 W	mod 0 0 1	mem	2-4	13/21	13/21	(mem) ← (mem) -1	X		X	X	X	X							
		reg16	0 1 0 0 1	reg		1	2	2	reg16←reg16-1	X		X	X	X	X							
乗算命令	MULU	reg8	1 1 1 1 0 1 1 0	1 1 1 0 0	reg	2	21-22	21-22	AW←AL×reg8 AH=0: CY←0, V←0 AH≠0: CY←1, V←1	U	X	X	U	U	U							
		mem8	1 1 1 1 0 1 1 0	mod 1 0 0	mem	2-4	26-27	26-27	AW←AL×(mem8) AH=0: CY←0, V←0 AH≠0: CY←1, V←1	U	X	X	U	U	U							
		reg16	1 1 1 1 0 1 1 1	1 1 1 0 0	reg	2	29-30	29-30	DW, AW←AW×reg16 DW=0: CY←0, V←0 DW=1: CY←1, V←1	U	X	X	U	U	U							
		mem16	1 1 1 1 0 1 1 1	mod 1 0 0	mem	2-4	38-39	34-35/ 38-39	DW, AW←AW×(mem16) DW=0: CY←0, V←0 DW=1: CY←1, V←1	U	X	X	U	U	U							

データシート U13225JL4V0D500

保守 / 廃止

命令群	ニモニック	オペランド	オペレーション・コード		バイト数	クロック数		オペレーション	フ ラ グ					
			7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0		V40HL	V50HL		AC	CY	V	P	S	Z
乗算命令	MUL	reg8	1 1 1 1 0 1 1 0	1 1 1 0 1 reg	2	33 - 39	33 - 39	AW←AL×reg8 AH = ALのサイン拡張 : CY←0, V←0 AH≠ALのサイン拡張 : CY←1, V←1	U	X	X	U	U	U
		mem8	1 1 1 1 0 1 1 0	mod 1 0 1 mem	2 - 4	38 - 44	38 - 44	AW←AL× (mem8) AH = ALのサイン拡張 : CY←0, V←0 AH≠ALのサイン拡張 : CY←1, V←1	U	X	X	U	U	U
		reg16	1 1 1 1 0 1 1 1	1 1 1 0 1 reg	2	41 - 47	41 - 47	DW, AW←AW×reg16 DW = AWのサイン拡張 : CY←0, V←0 DW≠AWのサイン拡張 : CY←1, V←1	U	X	X	U	U	U
		mem16	1 1 1 1 0 1 1 1	mod 1 0 1 mem	2 - 4	50 - 56	46 - 52/ 50 - 56	DW, AW←AW× (mem16) DW = AWのサイン拡張 : CY←0, V←0 DW≠AWのサイン拡張 : CY←1, V←1	U	X	X	U	U	U
		reg16, (reg16') * imm8	0 1 1 0 1 0 1 1	1 1 reg reg'	3	28 - 34	28 - 34	reg16←reg16'×imm8 積≤16ビット : CY←0, V←0 積>16ビット : CY←1, V←1	U	X	X	U	U	U
		reg16, mem16, imm8	0 1 1 0 1 0 1 1	mod reg mem	3 - 5	37 - 43	33 - 39/ 37 - 43	reg16← (mem16) ×imm8 積≤16ビット : CY←0, V←0 積>16ビット : CY←1, V←1	U	X	X	U	U	U
		reg16, (reg16') * imm16	0 1 1 0 1 0 0 1	1 1 reg reg'	4	36 - 42	36 - 42	reg16←reg16'×imm16 積≤16ビット : CY←0, V←0 積>16ビット : CY←1, V←1	U	X	X	U	U	U
		reg16, mem16, imm16	0 1 1 0 1 0 0 1	mod reg mem	4 - 6	45 - 51	41 - 47/ 45 - 51	reg16← (mem16) ×imm16 積≤16ビット : CY←0, V←0 積>16ビット : CY←1, V←1	U	X	X	U	U	U

* : 第2オペランドは省略可。省略した場合は第1オペランドと同じレジスタを指定したことになります。

保守/廃止

命令群	二モニック	オペランド	オペレーション・コード										バイト数	レジスタ		オペレーション	フラグ					
			7 6 5 4 3 2 1 0					7 6 5 4 3 2 1 0						V40HL	V50HL		AC	CY	V	P	S	Z
符号なし除算命令	DIVU	reg8	1 1 1 1 0 1 1 0	1 1 1 1 0	reg	2	19	19	temp ← AW temp ÷ reg8 ≤ FFH のとき AH ← temp % reg8, AL ← temp ÷ reg8 temp ÷ reg8 > FFH のとき TA ← (001H, 000H), TC ← (003H, 002H) SP ← SP - 2, (SP + 1, SP) ← PSW, IE ← 0, BRK ← 0 SP ← SP - 2, (SP + 1, SP) ← PS, PS ← TC SP ← SP - 2, (SP + 1, SP) ← PC, PC ← TA						U	U	U	U	U	U		
		mem8	1 1 1 1 0 1 1 0	mod 1 1 0	mem	2-4	24	24	temp ← AW temp ÷ (mem8) ≤ FFH のとき AH ← temp % (mem8), AL ← temp ÷ (mem8) temp ÷ (mem8) > FFH のとき TA ← (001H, 000H), TC ← (003H, 002H) SP ← SP - 2, (SP + 1, SP) ← PSW, IE ← 0, BRK ← 0 SP ← SP - 2, (SP + 1, SP) ← PS, PS ← TC SP ← SP - 2, (SP + 1, SP) ← PC, PC ← TA						U	U	U	U	U	U		
		reg16	1 1 1 1 0 1 1 1	1 1 1 1 0	reg	2	25	25	temp ← DW, AW temp ÷ reg16 ≤ FFFFH のとき DW ← temp % reg16, AW ← temp ÷ reg16 temp ÷ reg16 > FFFFH のとき TA ← (001H, 000H), TC ← (003H, 002H) SP ← SP - 2, (SP + 1, SP) ← PSW, IE ← 0, BRK ← 0 SP ← SP - 2, (SP + 1, SP) ← PS, PS ← TC SP ← SP - 2, (SP + 1, SP) ← PC, PC ← TA						U	U	U	U	U	U		

データシート U13225L14V0D500

保守 / 廃止

命令群	ニモニク	オペランド	オペレーション・コード		バイト 数	クロック数		オペレーション	フ ラ グ					
			7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0		V40HL	V50HL		AC	CY	V	P	S	Z
			符号なし除算命令	DIVU		mem16	1 1 1 1 0 1 1 1		mod 1 1 0 mem	2-4	34	30/34	temp←DW, AW temp÷ (mem16) ≤FFFFHのとき DW←temp% (mem16), AW←temp÷ (mem16) temp÷ (mem16) > FFFFHのとき TA← (001H, 000H), TC← (003H, 002H) SP←SP-2, (SP+1, SP) ←PSW, IE←0, BRK←0 SP←SP-2, (SP+1, SP) ←PS, PS←TC SP←SP-2, (SP+1, SP) ←PC, PC←TA	U
符号付き除算命令	DIV	reg8	1 1 1 1 0 1 1 0	1 1 1 1 1 reg	2	29-34	29-34	temp←AW temp÷reg8 > 0でtemp÷reg8 ≤7FHまたは temp÷reg8 < 0でtemp÷reg8 > 0-7FH-1のとき AH←temp%reg8, AL←temp÷reg8 temp÷reg8 > 0でtemp÷reg8 > 7FHまたは temp÷reg8 < 0でtemp÷reg8 ≤0-7FH-1のとき TA← (001H, 000H), TC← (003H, 002H) SP←SP-2, (SP+1, SP) ←PSW, IE←0, BRK←0 SP←SP-2, (SP+1, SP) ←PS, PS←TC SP←SP-2, (SP+1, SP) ←PC, PC←TA	U	U	U	U	U	U

保守/廃止

命令群	二モニック	オペランド	オペレーション・コード						バイト 数	ブロック数		オペレーション	フラグ					
			7 6 5 4 3 2 1 0			7 6 5 4 3 2 1 0				V40HL	V50HL		AC	CY	V	P	S	Z
			mod 1 1 1 mem			reg												
符号付き除算命令	DIV	mem8	1 1 1 1 0 1 1 0	mod 1 1 1	mem			2 - 4	34 - 39	34 - 39	temp←AW temp÷(mem8) > 0でtemp÷(mem8) ≤ 7FHまたは temp÷(mem8) < 0でtemp÷(mem8) > 0-7FH-1のとき AH←temp%(mem8), AL←temp÷(mem8) temp÷(mem8) > 0でtemp÷(mem8) > 7FHまたは temp÷(mem8) < 0でtemp÷(mem8) ≤ 0-7FH-1のとき TA←(001H, 000H), TC←(003H, 002H) SP←SP-2, (SP+1, SP) ←PSW, IE←0, BRK←0 SP←SP-2, (SP+1, SP) ←PS, PS←TC SP←SP-2, (SP+1, SP) ←PC, PC←TA	U	U	U	U	U	U	
		reg16	1 1 1 1 0 1 1 1	1 1 1 1 1	reg			2	38 - 43	38 - 43	temp←DW, AW temp÷reg16 > 0でtemp÷reg16 ≤ 7FFFHまたは temp÷reg16 < 0でtemp÷reg16 > 0-7FFFH-1のとき DW←temp%reg16, AW←temp÷reg16 temp÷reg16 > 0でtemp÷reg16 > 7FFFHまたは temp÷reg16 < 0でtemp÷reg16 ≤ 0-7FFFH-1のとき TA←(001H, 000H), TC←(003H, 002H) SP←SP-2, (SP+1, SP) ←PSW, IE←0, BRK←0 SP←SP-2, (SP+1, SP) ←PS, PS←TC SP←SP-2, (SP+1, SP) ←PC, PC←TA	U	U	U	U	U	U	

保守/廃止

命令群	二モニック	オペランド	オペレーション・コード		バイト数	クロック数		オペレーション	フラグ					
			7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0		V40HL	V50HL		AC	CY	V	P	S	Z
符号付き除算命令	DIV	mem16	1 1 1 1 0 1 1 1	mod 1 1 1 mem	2-4	47-52	43-48/ 47-52	temp←DW, AW temp÷ (mem16) > 0でtemp÷ (mem16) ≤7FFFHまたは temp÷ (mem16) < 0でtemp÷ (mem16) > 0-7FFFH-1のとき DW←temp% (mem16), AW←temp÷ (mem16) temp÷ (mem16) > 0でtemp÷ (mem16) > 7FFFHまたは temp÷ (mem16) < 0でtemp÷ (mem16) ≤0-7FFFH-1のとき TA← (001H, 000H), TC← (003H, 002H) SP←SP-2, (SP+1, SP) ←PSW, IE←0, BRK←0 SP←SP-2, (SP+1, SP) ←PS, PS←TC SP←SP-2, (SP+1, SP) ←PC, PC←TA	U	U	U	U	U	U
BCD補正命令	ADJBA		0 0 1 1 0 1 1 1		1	7	7	AL ∧ 0FH > 9 or AC = 1のときAL←AL+6 AH←AH+1, AC←1, CY←AC, AL←AL ∧ 0FH	X	X	U	U	U	U
	ADJ4A		0 0 1 0 0 1 1 1		1	3	3	AL ∧ 0FH > 9 or AC = 1のとき AL←AL+6, AC←1 AL > 9FH or CY = 1のとき AL←AL+60H, CY←1	X	X	U	X	X	X
	ADJBS		0 0 1 1 1 1 1 1		1	7	7	AL ∧ 0FH > 9 or AC = 1のとき AL←AL-6, AH←AH-1, AC←1 CY←AC, AL←AL ∧ 0FH	X	X	U	U	U	U
	ADJ4S		0 0 1 0 1 1 1 1		1	3	3	AL ∧ 0FH > 9 or AC = 1のとき AL←AL-6, AC←1 AL > 9FH or CY = 1のとき AL←AL-60H, CY←1	X	X	U	X	X	X

保守/廃止

命令群	ニモニク	オペランド	オペレーション・コード		バイト数	オペレーション		フラグ						
			7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0		V40HL	V50HL	AC	CY	V	P	S	Z	
データ交換命令	CVTBD		1 1 0 1 0 1 0 0	0 0 0 0 1 0 1 0	2	15	15	AH←AL÷0AH, AL←AL%0AH	U	U	U	X	X	X
	CVTDB		1 1 0 1 0 1 0 1	0 0 0 0 1 0 1 0	2	7	7	AL←AH×0AH+AL, AH←0	U	U	U	X	X	X
	CVTBW		1 0 0 1 1 0 0 0		1	2	2	AL < 80HのときAH←0, それ以外のときAH←FFH						
	CVTWL		1 0 0 1 1 0 0 1		1	4-5	4-5	AW < 8000HのときDW←0, それ以外のときDW←FFFFH						
比較命令	CMP	reg, reg'	0 0 1 1 1 0 1 W	1 1 reg reg'	2	2	2	reg-reg'	X	X	X	X	X	X
		mem, reg	0 0 1 1 1 0 0 W	mod reg mem	2-4	10/14	10/14	(mem) - reg	X	X	X	X	X	X
		reg, mem	0 0 1 1 1 0 1 W	mod reg mem	2-4	10/14	10/14	reg - (mem)	X	X	X	X	X	X
		reg, imm	1 0 0 0 0 0 s W	1 1 1 1 1 reg	3-4	4	4	reg-imm	X	X	X	X	X	X
		mem, imm	1 0 0 0 0 0 s W	mod 1 1 1 mem	3-6	12/16	12/16	(mem) - imm	X	X	X	X	X	X
		acc, imm	0 0 1 1 1 1 0 W		2-3	4	4	W = 0のとき AL-imm W = 1のとき AW-imm	X	X	X	X	X	X
補数演算命令	NOT	reg	1 1 1 1 0 1 1 W	1 1 0 1 0 reg	2	2	2	reg- \overline{reg}						
		mem	1 1 1 1 0 1 1 W	mod 0 1 0 mem	2-4	13/21	13/21	(mem) ← $\overline{(mem)}$						
	NEG	reg	1 1 1 1 0 1 1 W	1 1 0 1 1 reg	2	2	2	reg- $\overline{reg}+1$	X	X	X	X	X	X
		mem	1 1 1 1 0 1 1 W	mod 0 1 1 mem	2-4	13/21	13/21	(mem) ← $\overline{(mem)} + 1$	X	X	X	X	X	X
論理演算命令	TEST	reg, reg'	1 0 0 0 0 1 0 W	1 1 reg' reg	2	2	2	reg ^ reg'	U	0	0	X	X	X
		mem, reg	1 0 0 0 0 1 0 W	mod reg mem	2-4	9/13	9/13	(mem) ^ reg	U	0	0	X	X	X
		reg, mem												
		reg, imm	1 1 1 1 0 1 1 W	1 1 0 0 0 reg	3-4	4	4	reg ^ imm	U	0	0	X	X	X
		mem, imm	1 1 1 1 0 1 1 W	mod 0 0 0 mem	3-6	10/14	10/14	(mem) ^ imm	U	0	0	X	X	X
		acc, imm	1 0 1 0 1 0 0 W		2-3	4	4	W = 0のとき AL ^ imm8 W = 1のとき AW ^ imm16	U	0	0	X	X	X

保守/廃止

命令群	二モニツク	オペランド	オペレーション・コード						バイト 数	クロック数		オペレーション	フ ラ グ													
			7 6 5 4 3 2 1 0			7 6 5 4 3 2 1 0				V40HL	V50HL		AC	CY	V	P	S	Z								
			7	6	5	4	3	2		1	0		7	6	5	4	3	2	1	0						
論理演算命令	AND	reg, reg'	0	0	1	0	0	0	1	W	1	1	reg	reg'	2	2	2	reg←reg ∧ reg'	U	0	0	X	X	X		
		mem, reg	0	0	1	0	0	0	0	W	mod	reg	mem	2-4	13/21	13/21	(mem) ← (mem) ∧ reg	U	0	0	X	X	X			
		reg, mem	0	0	1	0	0	0	1	W	mod	reg	mem	2-4	10/14	10/14	reg←reg ∧ (mem)	U	0	0	X	X	X			
		reg, imm	1	0	0	0	0	0	0	W	1	1	1	0	0	reg	3-4	4	4	reg←reg ∧ imm	U	0	0	X	X	X
		mem, imm	1	0	0	0	0	0	0	W	mod	1	0	0	mem	3-6	15/23	15/23	(mem) ← (mem) ∧ imm	U	0	0	X	X	X	
		acc, imm	0	0	1	0	0	1	0	W						2-3	4	4	W = 0のとき AL←AL ∧ imm8 W = 1のとき AW←AW ∧ imm16	U	0	0	X	X	X	
	OR	reg, reg'	0	0	0	0	1	0	1	W	1	1	reg	reg'	2	2	2	reg←reg ∨ reg'	U	0	0	X	X	X		
		mem, reg	0	0	0	0	1	0	0	W	mod	reg	mem	2-4	13/21	13/21	(mem) ← (mem) ∨ reg	U	0	0	X	X	X			
		reg, mem	0	0	0	0	1	0	1	W	mod	reg	mem	2-4	10/14	10/14	reg←reg ∨ (mem)	U	0	0	X	X	X			
		reg, imm	1	0	0	0	0	0	0	W	1	1	0	0	1	reg	3-4	4	4	reg←reg ∨ imm	U	0	0	X	X	X
		mem, imm	1	0	0	0	0	0	0	W	mod	0	0	1	mem	3-6	15/23	15/23	(mem) ← (mem) ∨ imm	U	0	0	X	X	X	
		acc, imm	0	0	0	0	1	1	0	W						2-3	4	4	W = 0のとき AL←AL ∨ imm8 W = 1のとき AW←AW ∨ imm16	U	0	0	X	X	X	
XOR	reg, reg'	0	0	1	1	0	0	1	W	1	1	reg	reg'	2	2	2	reg←reg ⊕ reg'	U	0	0	X	X	X			
	mem, reg	0	0	1	1	0	0	0	W	mod	reg	mem	2-4	13/21	13/21	(mem) ← (mem) ⊕ reg	U	0	0	X	X	X				
	reg, mem	0	0	1	1	0	0	1	W	mod	reg	mem	2-4	10/14	10/14	reg←reg ⊕ (mem)	U	0	0	X	X	X				
	reg, imm	1	0	0	0	0	0	0	W	1	1	1	1	0	reg	3-4	4	4	reg←reg ⊕ imm	U	0	0	X	X	X	
	mem, imm	1	0	0	0	0	0	0	W	mod	1	1	0	mem	3-6	15/23	15/23	(mem) ← (mem) ⊕ imm	U	0	0	X	X	X		
	acc, imm	0	0	1	1	0	1	0	W						2-3	4	4	W = 0のとき AL←AL ⊕ imm8 W = 1のとき AW←AW ⊕ imm16	U	0	0	X	X	X		

保守 / 廃止

命令群	二モニック	オペランド	オペレーション・コード		バイト数	ブロック数		オペレーション	フラグ							
			7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0		V40HL	V50HL		AC	CY	V	P	S	Z		
			7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0												
ビット操作命令	TEST1	reg8, CL	0 0 0 1 0 0 0 0	1 1 0 0 0	reg	3	3	3	reg8のビットNO.CL = 0 : Z←1 * = 1 : Z←0	U	0	0	U	U	X	
		mem8, CL	0 0 0 0	mod 0 0 0	mem	3-5	7	7	(mem8)のビットNO.CL = 0 : Z←1 * = 1 : Z←0	U	0	0	U	U	X	
		reg16, CL	0 0 0 1	1 1 0 0 0	reg	3	3	3	reg16のビットNO.CL = 0 : Z←1 * = 1 : Z←0	U	0	0	U	U	X	
		mem16, CL	0 0 0 1	mod 0 0 0	mem	3-5	11	7/11	(mem16)のビットNO.CL = 0 : Z←1 * = 1 : Z←0	U	0	0	U	U	X	
		reg8, imm3	1 0 0 0	1 1 0 0 0	reg	4	4	4	reg8のビットNO.imm3 = 0 : Z←1 * = 1 : Z←0	U	0	0	U	U	X	
		mem8, imm3	1 0 0 0	mod 0 0 0	mem	4-6	8	8	(mem8)のビットNO.imm3 = 0 : Z←1 * = 1 : Z←0	U	0	0	U	U	X	
		reg16, imm4	1 0 0 1	1 1 0 0 0	reg	4	4	4	reg16のビットNO.imm4 = 0 : Z←1 * = 1 : Z←0	U	0	0	U	U	X	
		mem16, imm4	1 0 0 1	mod 0 0 0	mem	4-6	12	8/12	(mem16)のビットNO.imm4 = 0 : Z←1 * = 1 : Z←0	U	0	0	U	U	X	
	NOT1	reg8, CL	0 1 1 0	1 1 0 0 0	reg	3	4	4	reg8のビットNO.CL←reg8のビットNO.CL							
		mem8, CL	0 1 1 0	mod 0 0 0	mem	3-5	10	10	(mem8)のビットNO.CL←(mem8)のビットNO.CL							
		reg16, CL	0 1 1 1	1 1 0 0 0	reg	3	4	4	reg16のビットNO.CL←reg16のビットNO.CL							
		mem16, CL	0 1 1 1	mod 0 0 0	mem	3-5	18	10/18	(mem16)のビットNO.CL←(mem16)のビットNO.CL							
		reg8, imm3	1 1 1 0	1 1 0 0 0	reg	4	5	5	reg8のビットNO.imm3←reg8のビットNO.imm3							
		mem8, imm3	1 1 1 0	mod 0 0 0	mem	4-6	11	11	(mem8)のビットNO.imm3←(mem8)のビットNO.imm3							
reg16, imm4		1 1 1 1	1 1 0 0 0	reg	4	5	5	reg16のビットNO.imm4←reg16のビットNO.imm4								
mem16, imm4		1 1 1 1	mod 0 0 0	mem	4-6	19	11/19	(mem16)のビットNO.imm4←(mem16)のビットNO.imm4								

2バイト目*

3バイト目*

* : 1バイト目=0FH

NOT1	CY	1 1 1 1 0 1 0 1		1	2	2	CY← $\bar{C}Y$	X				
------	----	-----------------	--	---	---	---	----------------	---	--	--	--	--

保守/廃止

命令群	ニモニク	オペランド	オペレーション・コード						バイト 数	クロック数		オペレーション	フ ラ グ													
			7 6 5 4 3 2 1 0			7 6 5 4 3 2 1 0				V40HL	V50HL		AC	CY	V	P	S	Z								
			7	6	5	4	3	2											1	0						
ビット操作命令	CLR1	reg8, CL	0	0	0	1	0	0	1	0	1	1	0	0	0	reg	3	5	5	reg8のビットNO.CL←0						
		mem8, CL				0	0	1	0	mod	0	0	0	0	mem	3-5	11	11	(mem8)のビットNO.CL←0							
		reg16, CL				0	0	1	1	1	1	1	0	0	0	reg	3	5	5	reg16のビットNO.CL←0						
		mem16, CL				0	0	1	1	mod	0	0	0	0	mem	3-5	19	11/19	(mem16)のビットNO.CL←0							
		reg8, imm3				1	0	1	0	1	1	1	0	0	0	reg	4	6	6	reg8のビットNO.imm3←0						
		mem8, imm3				1	0	1	0	mod	0	0	0	0	mem	4-6	12	12	(mem8)のビットNO.imm3←0							
		reg16, imm4				1	0	1	1	1	1	1	0	0	0	reg	4	6	6	reg16のビットNO.imm4←0						
		mem16, imm4				1	0	1	1	mod	0	0	0	0	mem	4-6	20	12/20	(mem16)のビットNO.imm4←0							
	SET1	reg8, CL				0	1	0	0	1	1	1	0	0	0	reg	3	4	4	reg8のビットNO.CL←1						
		mem8, CL				0	1	0	0	mod	0	0	0	0	mem	3-5	10	10	(mem8)のビットNO.CL←1							
		reg16, CL				0	1	0	1	1	1	1	0	0	0	reg	3	4	4	reg16のビットNO.CL←1						
		mem16, CL				0	1	0	1	mod	0	0	0	0	mem	3-5	18	10/18	(mem16)のビットNO.CL←1							
		reg8, imm3				1	1	0	0	1	1	1	0	0	0	reg	4	5	5	reg8のビットNO.imm3←1						
		mem8, imm3				1	1	0	0	mod	0	0	0	0	mem	4-6	11	11	(mem8)のビットNO.imm3←1							
reg16, imm4					1	1	0	1	1	1	1	0	0	0	reg	4	5	5	reg16のビットNO.imm4←1							
mem16, imm4					1	1	0	1	mod	0	0	0	0	mem	4-6	19	11/19	(mem16)のビットNO.imm4←1								

2バイト目* 3バイト目* *:1バイト目=0FH

CLR1	CY	1	1	1	1	1	0	0	0		1	2	2	CY←0		0				
	DIR	1	1	1	1	1	1	0	0		1	2	2	DIR←0						
SET1	CY	1	1	1	1	1	0	0	1		1	2	2	CY←1		1				
	DIR	1	1	1	1	1	1	0	1		1	2	2	DIR←1						

保守/廃止

命令群	二モニック	オペランド	オペレーション・コード		バイト数	クロック数		オペレーション	フラグ						
			7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0		V40HL	V50HL		AC	CY	V	P	S	Z	
シフト命令	SHL	reg, 1	1 1 0 1 0 0 0 W	1 1 1 0 0	reg	2	6	6	CY←regのMSB, reg←reg×2 regのMSB≠CYのときV←1 regのMSB = CYのときV←0	U	X	X	X	X	X
		mem, 1	1 1 0 1 0 0 0 W	mod 1 0 0	mem	2-4	13/21	13/21	CY←(mem)のMSB, (mem)←(mem)×2 (mem)のMSB≠CYのときV←1 (mem)のMSB = CYのときV←0	U	X	X	X	X	X
		reg, CL	1 1 0 1 0 0 1 W	1 1 1 0 0	reg	2	7+n	7+n	temp←CL, temp≠0の間、次の動作をくり返す CY←regのMSB, reg←reg×2 temp←temp-1	U	X	U	X	X	X
		mem, CL	1 1 0 1 0 0 1 W	mod 1 0 0	mem	2-4	16/24 +n	16/24 +n	temp←CL, temp≠0の間、次の動作をくり返す CY←(mem)のMSB, (mem)←(mem)×2 temp←temp-1	U	X	U	X	X	X
		reg, imm8	1 1 0 0 0 0 0 W	1 1 1 0 0	reg	3	7+n	7+n	temp←imm8, temp≠0の間、次の動作をくり返す CY←regのMSB, reg←reg×2 temp←temp-1	U	X	U	X	X	X
		mem, imm8	1 1 0 0 0 0 0 W	mod 1 0 0	mem	3-5	16/24 +n	16/24 +n	temp←imm8, temp≠0の間、次の動作をくり返す CY←(mem)のMSB, (mem)←(mem)×2 temp←temp-1	U	X	U	X	X	X

n: シフト数

保守/廃止

命令群	ニモニック	オペランド	オペレーション・コード		バイト数	クロック数		オペレーション	フ ラ グ					
			7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0		V40HL	V50HL		AC	CY	V	P	S	Z
シフト命令	SHR	reg, 1	1 1 0 1 0 0 0 W	1 1 1 0 1 reg	2	6	6	CY←regのLSB, reg←reg÷2 regのMSB≠regのMSBの次のビット: V←1 regのMSB=regのMSBの次のビット: V←0	U	X	X	X	X	X
		mem, 1	1 1 0 1 0 0 0 W	mod 1 0 1 mem	2-4	13/21	13/21	CY←(mem)のLSB, (mem)←(mem)÷2 (mem)のMSB≠(mem)のMSBの次のビット: V←1 (mem)のMSB=(mem)のMSBの次のビット: V←0	U	X	X	X	X	X
		reg, CL	1 1 0 1 0 0 1 W	1 1 1 0 1 reg	2	7+n	7+n	temp←CL, temp≠0の間, 次の動作をくり返す CY←regのLSB, reg←reg÷2 temp←temp-1	U	X	U	X	X	X
		mem, CL	1 1 0 1 0 0 1 W	mod 1 0 1 mem	2-4	16/24 +n	16/24 +n	temp←CL, temp≠0の間, 次の動作をくり返す CY←(mem)のLSB, (mem)←(mem)÷2 temp←temp-1	U	X	U	X	X	X
		reg, imm8	1 1 0 0 0 0 0 W	1 1 1 0 1 reg	3	7+n	7+n	temp←imm8, temp≠0の間, 次の動作をくり返す CY←regのLSB, reg←reg÷2 temp←temp-1	U	X	U	X	X	X
		mem, imm8	1 1 0 0 0 0 0 W	mod 1 0 1 mem	3-5	16/24 +n	16/24 +n	temp←imm8, temp≠0の間, 次の動作をくり返す CY←(mem)のLSB, (mem)←(mem)÷2 temp←temp-1	U	X	U	X	X	X

n: シフト数

保守 / 廃止

命令群	ニモニック	オペランド	オペレーション・コード		バイト数	クロック数		オペレーション	フ ラ グ					
			7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0		V40HL	V50HL		AC	CY	V	P	S	Z
シフト命令	SHRA	reg, 1	1 1 0 1 0 0 0 W	1 1 1 1 1 reg	2	6	6	CY←regのLSB, reg←reg÷2, V←0 オペランドのMSBは変化しません。	U	X	0	X	X	X
		mem, 1	1 1 0 1 0 0 0 W	mod 1 1 1 mem	2-4	13/21	13/21	CY←(mem)のLSB, (mem)←(mem)÷2, V←0 オペランドのMSBは変化しません。	U	X	0	X	X	X
		reg, CL	1 1 0 1 0 0 1 W	1 1 1 1 1 reg	2	7+n	7+n	temp←CL, temp≠0の間、次の動作をくり返す CY←regのLSB, reg←reg÷2 temp←temp-1, オペランドのMSBは変化しません。	U	X	U	X	X	X
		mem, CL	1 1 0 1 0 0 1 W	mod 1 1 1 mem	2-4	16/24 +n	16/24 +n	temp←CL, temp≠0の間、次の動作をくり返す CY←(mem)のLSB, (mem)←(mem)÷2 temp←temp-1, オペランドのMSBは変化しません。	U	X	U	X	X	X
		reg, imm8	1 1 0 0 0 0 0 W	1 1 1 1 1 reg	3	7+n	7+n	temp←imm8, temp≠0の間、次の動作をくり返す CY←regのLSB, reg←reg÷2 temp←temp-1, オペランドのMSBは変化しません。	U	X	U	X	X	X
		mem, imm8	1 1 0 0 0 0 0 W	mod 1 1 1 mem	3-5	16/24 +n	16/24 +n	temp←imm8, temp≠0の間、次の動作をくり返す CY←(mem)のLSB, (mem)←(mem)÷2 temp←temp-1, オペランドのMSBは変化しません。	U	X	U	X	X	X

n: シフト数

保守/廃止

命令群	ニモニク	オペラント	オペレーション・コード		バイト数	クロック数		オペレーション	フ ラ グ						
			7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0		V40HL	V50HL		AC	CY	V	P	S	Z	
ローテート命令	ROL	reg, 1	1 1 0 1 0 0 0 W	1 1 0 0 0 reg	2	6	6	CY←regのMSB, reg←reg×2+CY regのMSB≠CY : V←1 regのMSB = CY : V←0		X	X				
		mem, 1	1 1 0 1 0 0 0 W	mod 0 0 0 mem	2-4	13/21	13/21	CY← (mem) のMSB, (mem) ← (mem) ×2+CY (mem) のMSB≠CY : V←1 (mem) のMSB = CY : V←0		X	X				
		reg, CL	1 1 0 1 0 0 1 W	1 1 0 0 0 reg	2	7+n	7+n	temp←CL, temp≠0の間, 次の動作をくり返す CY←regのMSB, reg←reg×2+CY temp←temp-1		X	U				
		mem, CL	1 1 0 1 0 0 1 W	mod 0 0 0 mem	2-4	16/24 +n	16/24 +n	temp←CL, temp≠0の間, 次の動作をくり返す CY← (mem) のMSB, (mem) ← (mem) ×2+CY temp←temp-1		X	U				
		reg, imm8	1 1 0 0 0 0 0 W	1 1 0 0 0 reg	3	7+n	7+n	temp←imm8, temp≠0の間, 次の動作をくり返す CY←regのMSB, reg←reg×2+CY temp←temp-1		X	U				
		mem, imm8	1 1 0 0 0 0 0 W	mod 0 0 0 mem	3-5	16/24 +n	16/24 +n	temp←imm8, temp≠0の間, 次の動作をくり返す CY← (mem) のMSB, (mem) ← (mem) ×2+CY temp←temp-1		X	U				

n : シフト数

保守 / 廃止

命令群	二モニック	オペランド	オペレーション・コード		バイト数	クロック数		オペレーション	フ ラ グ						
			7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0		V40HL	V50HL		AC	CY	V	P	S	Z	
ローテート命令	ROR	reg, 1	1 1 0 1 0 0 0 W	1 1 0 0 1 reg	2	6	6	CY←regのLSB, reg←reg÷2 regのMSB←CY regのMSB≠regのMSBの次のビット: V←1 regのMSB=regのMSBの次のビット: V←0		X	X				
		mem, 1	1 1 0 1 0 0 0 W	mod 0 0 1 mem	2-4	13/21	13/21	CY←(mem)のLSB, (mem)←(mem)÷2 (mem)のMSB←CY (mem)のMSB≠(mem)のMSBの次のビット: V←1 (mem)のMSB=(mem)のMSBの次のビット: V←0		X	X				
		reg, CL	1 1 0 1 0 0 1 W	1 1 0 0 1 reg	2	7+n	7+n	temp←CL, temp≠0の間, 次の動作をくり返す CY←regのLSB, reg←reg÷2 regのMSB←CY temp←temp-1		X	U				
		mem, CL	1 1 0 1 0 0 1 W	mod 0 0 1 mem	2-4	16/24 +n	16/24 +n	temp←CL, temp≠0の間, 次の動作をくり返す CY←(mem)のLSB, (mem)←(mem)÷2 (mem)のMSB←CY temp←temp-1		X	U				
		reg, imm8	1 1 0 0 0 0 0 W	1 1 0 0 1 reg	3	7+n	7+n	temp←imm8, temp≠0の間, 次の動作をくり返す CY←regのLSB, reg←reg÷2 regのMSB←CY temp←temp-1		X	U				
		mem, imm8	1 1 0 0 0 0 0 W	mod 0 0 1 mem	3-5	16/24 +n	16/24 +n	temp←imm8, temp≠0の間, 次の動作をくり返す CY←(mem)のLSB, (mem)←(mem)÷2 (mem)のMSB←CY temp←temp-1		X	U				

n: シフト数

保守/廃止

命令群	ニモニク	オペランド	オペレーション・コード		バイト数	クロック数		オペレーション	フラグ						
			7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0		V40HL	V50HL		AC	CY	V	P	S	Z	
			ローテータ命令	ROLC		reg, 1	1 1 0 1 0 0 0 W		1 1 0 1 0 reg	2	6	6	tmpcy←CY, CY←regのMSB reg←reg×2+tmpcy regのMSB≠CY: V←1 regのMSB = CY: V←0		X
		mem, 1	1 1 0 1 0 0 0 W	mod 0 1 0 mem	2-4	13/21	13/21	tmpcy←CY, CY←(mem)のMSB (mem) ← (mem) ×2+tmpcy (mem)のMSB≠CY: V←1 (mem)のMSB = CY: V←0		X	X				
		reg, CL	1 1 0 1 0 0 1 W	1 1 0 1 0 reg	2	7+n	7+n	temp←CL, temp≠0の間、次の動作をくり返す tmpcy←CY, CY←regのMSB reg←reg×2+tmpcy temp←temp-1		X	U				
		mem, CL	1 1 0 1 0 0 1 W	mod 0 1 0 mem	2-4	16/24 +n	16/24 +n	temp←CL, temp≠0の間、次の動作をくり返す tmpcy←CY, CY←(mem)のMSB (mem) ← (mem) ×2+tmpcy temp←temp-1		X	U				
		reg, imm8	1 1 0 0 0 0 0 W	1 1 0 1 0 reg	3	7+n	7+n	temp←imm8, temp≠0の間、次の動作をくり返す tmpcy←CY, CY←regのMSB reg←reg×2+tmpcy temp←temp-1		X	U				
		mem, imm8	1 1 0 0 0 0 0 W	mod 0 1 0 mem	3-5	16/24 +n	16/24 +n	temp←imm8, temp≠0の間、次の動作をくり返す tmpcy←CY, CY←(mem)のMSB (mem) ← (mem) ×2+tmpcy temp←temp-1		X	U				

n: シフト数

保守 / 廃止

命令群	ニモニック	オペランド	オペレーション・コード		バイト 数	アドレス		オペレーション	フ ラ グ						
			7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0		V40HL	V50HL		AC	CY	V	P	S	Z	
ローテート命令	RORC	reg, 1	1 1 0 1 0 0 0 W	1 1 0 1 1 reg	2	6	6	tmpcy ← CY, CY ← regのLSB reg ← reg ÷ 2 regのMSB ← tmpcy regのMSB ≠ regのMSBの次のビット: V ← 1 regのMSB = regのMSBの次のビット: V ← 0		X	X				
		mem, 1	1 1 0 1 0 0 0 W	mod 0 1 1 mem	2-4	13/21	13/21	tmpcy ← CY, CY ← (mem) のLSB (mem) ← (mem) ÷ 2 (mem) のMSB ← tmpcy (mem) のMSB ≠ (mem) のMSBの次のビット: V ← 1 (mem) のMSB = (mem) のMSBの次のビット: V ← 0		X	X				
		reg, CL	1 1 0 1 0 0 1 W	1 1 0 1 1 reg	2	7+n	7+n	temp ← CL, temp ≠ 0の間、次の動作をくり返す tmpcy ← CY, CY ← regのLSB reg ← reg ÷ 2 regのMSB ← tmpcy temp ← temp - 1		X	U				
		mem, CL	1 1 0 1 0 0 1 W	mod 0 1 1 mem	2-4	16/24 +n	16/24 +n	temp ← CL, temp ≠ 0の間、次の動作をくり返す tmpcy ← CY, CY ← (mem) のLSB (mem) ← (mem) ÷ 2 (mem) のMSB ← tmpcy temp ← temp - 1		X	U				

n: シフト数

保守/廃止

命令群	ニモニック	オペランド	オペレーション・コード		バイト数	クロック数		オペレーション	フ ラ グ						
			7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0		V40HL	V50HL		AC	CY	V	P	S	Z	
			ローテート命令	RORC		reg, imm8	1 1 0 0 0 0 0 W		1 1 0 1 1 reg	3	7+n	7+n	temp←imm8, temp≠0の間、次の動作をくり返す tmpcy←CY, CY←regのLSB reg←reg÷2 regのMSB←tmpcy temp←temp-1		X
		mem, imm8	1 1 0 0 0 0 0 W	mod 0 1 1 mem	3-5	16/24 +n	16/24 +n	temp←imm8, temp≠0の間、次の動作をくり返す tmpcy←CY, CY←(mem)のLSB (mem) ← (mem) ÷ 2 (mem)のMSB←tmpcy temp←temp-1		X	U				

n: シフト数

保守/廃止

命令群	二モニック	オペランド	オペレーション・コード										バイト 数	VHL		オペレーション	フ ラ グ									
			7 6 5 4 3 2 1 0					7 6 5 4 3 2 1 0						V40HL	V50HL		AC	CY	V	P	S	Z				
			7	6	5	4	3	2	1	0	7	6		5	4		3	2	1	0	reg	mem				
サブルーチン制御命令	CALL	near-proc	1	1	1	0	1	0	0	0					3	20	16/20	SP←SP-2, (SP+1, SP) ←PC PC←PC+disp								
		regptr16	1	1	1	1	1	1	1	1	1	1	0	1	0	reg	2	18	14/18	SP←SP-2, (SP+1, SP) ←PC PC←regptr16						
		memptr16	1	1	1	1	1	1	1	1	1	1	0	1	0	reg	2-4	31	23/31	TA←(memptr16) SP←SP-2, (SP+1, SP) ←PC, PC←TA						
		far-proc	1	0	0	1	1	0	1	0						5	29	21/29	SP←SP-2, (SP+1, SP) ←PS, PS←seg SP←SP-2, (SP+1, SP) ←PC, PC←offset							
		memptr32	1	1	1	1	1	1	1	1	1	1	1	0	1	1	mem	2-4	47	31/47	TA←(memptr32), TB←(memptr32+2) SP←SP-2, (SP+1, SP) ←PS, PS←TB SP←SP-2, (SP+1, SP) ←PC, PC←TA					
RET			1	1	0	0	0	0	1	1				1	19	15/19	PC←(SP+1, SP) SP←SP+2									
	pop-value		1	1	0	0	0	0	1	0				3	24	20/24	PC←(SP+1, SP) SP←SP+2, SP←SP+pop-value									
			1	1	0	0	1	0	1	1				1	29	21/29	PC←(SP+1, SP) PS←(SP+3, SP+2) SP←SP+4									
	pop-value		1	1	0	0	1	0	1	0				3	32	24/32	PC←(SP+1, SP) PS←(SP+3, SP+2) SP←SP+4, SP←SP+pop-value									

保守/廃止

命令群	ニモニク	オペランド	オペレーション・コード		バイト 数	クロック数		オペレーション	フ ラ グ					
			7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0		V40HL	V50HL		AC	CY	V	P	S	Z
			スタック 操作命令	PUSH		mem16	1 1 1 1 1 1 1 1		mod 1 1 0 mem	2-4	23	15/23	SP←SP-2 (SP+1, SP) ← (mem16)	
reg16	0 1 0 1 0 reg				1	10	6/10	SP←SP-2 (SP+1, SP) ←reg16						
sreg	0 0 0 sreg 1 1 0				1	10	6/10	SP←SP-2 (SP+1, SP) ←sreg						
PSW	1 0 0 1 1 1 0 0				1	10	6/10	SP←SP-2 (SP+1, SP) ←PSW						
R	0 1 1 0 0 0 0 0				1	65	33/65	Push registers on the stack						
imm8	0 1 1 0 1 0 1 0				2	9	5/9	(SP-1, SP-2) ←imm8のサイン拡張 SP←SP-2						
imm16	0 1 1 0 1 0 0 0				3	10	6/10	(SP-1, SP-2) ←imm16 SP←SP-2						
	POP	mem16	1 0 0 0 1 1 1 1	mod 0 0 0 mem	2-4	24	16/24	SP←SP+2 (mem16) ← (SP-1, SP-2)						
		reg16	0 1 0 1 1 reg		1	12	8/12	SP←SP+2 reg16← (SP-1, SP-2)						
		sreg	0 0 0 sreg 1 1 1		1	12	8/12	SP←SP+2 sreg← (SP-1, SP-2) sreg : SS, DS0, DS1						
		PSW	1 0 0 1 1 1 0 1		1	12	8/12	SP←SP+2 PSW← (SP-1, SP-2)	R	R	R	R	R	R
		R	0 1 1 0 0 0 0 1		1	75	43/75	Pop registers from the stack						

保守 / 廃止

命令群	二モニック	オペランド	オペレーション・コード		バイト 数	アドレス		オペレーション	フ ラ グ						
			7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0		V40HL	V50HL		AC	CY	V	P	S	Z	
実行命令	PREPAPE	imm16, imm8	1 1 0 0 1 0 0 0		4	注1	注2	Prepare New Stack Frame							
	DISPOSE		1 1 0 0 1 0 0 1		1	10	6/10	Dispose of Stack Frame							
ブランチ命令	BR	near-label	1 1 1 0 1 0 0 1		3	13	13	PC←PC+disp							
		short-label	1 1 1 0 1 0 1 1		2	12	12	PC←PC+ext-disp8							
		regptr16	1 1 1 1 1 1 1 1	1 1 1 0 0	reg	2	11	11	PC←regptr16						
		memptr16	1 1 1 1 1 1 1 1	mod 1 0 0	mem	2-4	23	19/23	PC←(memptr16)						
		far-label	1 1 1 0 1 0 1 0			5	15	15	PS←seg PC←offset						
		memptr32	1 1 1 1 1 1 1 1	mod 1 0 1	mem	2-4	34	26/34	PS←(memptr32+2) PC←(memptr32)						

- 注1. imm8 = 0のとき16
imm8 ≥ 1のとき21+16 (imm8-1)
2. imm8 = 0のとき12/16
imm8 ≥ 1のとき {17+8 (imm8-1)} / {21+16 (imm8-1)}

保守/廃止

命令群	二モニック	オペランド	オペレーション・コード		バイト 数	クロック数 ^注		オペレーション	フ ラ グ						
			7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0		V40HL	V50HL		AC	CY	V	P	S	Z	
条件付きジャンプ命令	BV	short-label	0 1 1 1 0 0 0 0		2	14/4	14/4	if V = 1	PC←PC+ext-disp8						
	BNV	°		0 0 0 1	°	°	°	if V = 0	°						
	BC	°		0 0 1 0	°	°	°	if CY = 1	°						
	BL														
	BNC	°		0 0 1 1	°	°	°	if CY = 0	°						
	BNL														
	BE	°		0 1 0 0	°	°	°	if Z = 1	°						
	BZ														
	BNE	°		0 1 0 1	°	°	°	if Z = 0	°						
	BNZ														
	BNH	°		0 1 1 0	°	°	°	if CY ∨ Z = 1	°						
	BH	°		0 1 1 1	°	°	°	if CY ∨ Z = 0	°						
	BN	°		1 0 0 0	°	°	°	if S = 1	°						
	BP	°		1 0 0 1	°	°	°	if S = 0	°						
	BPE	°		1 0 1 0	°	°	°	if P = 1	°						
	BPO	°		1 0 1 1	°	°	°	if P = 0	°						
	BLT	°		1 1 0 0	°	°	°	if S ≠ V = 1	°						
	BGE	°		1 1 0 1	°	°	°	if S ≠ V = 0	°						
	BLE	°		1 1 1 0	°	°	°	if (S ≠ V) ∨ Z = 1	°						
	BGT	°		1 1 1 1	°	°	°	if (S ≠ V) ∨ Z = 0	°						
DBNZNE	°		1 1 1 0 0 0 0 0		°	14/5	14/5	CW = CW-1	°						
								if Z = 0 and CW ≠ 0	°						
DBNZE	°		1 1 1 0 0 0 0 1		°	°	°	CW = CW-1	°						
								if Z = 1 and CW ≠ 0	°						

注 コンディション判定：真/偽

保守/廃止

命令群	ニモニック	オペランド	オペレーション・コード		バイト数	V40HL		V50HL	オペレーション	フラグ					
			7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0						AC	CY	V	P	S	Z
条件付き ブランチ命令	DBNZ	short-label	1 1 1 0 0 0 1 0		2	13/5	13/5	CW ← CW-1 if CW ≠ 0	PC ← PC + ext-disp8						
	BCWZ	∅	1 1 1 0 0 0 1 1		∅	∅	∅	if CW = 0	∅						
割り込み命令	BRK	3	1 1 0 0 1 1 0 0		1	50	38/50	TA ← (00DH, 00CH), TC ← (00FH, 00EH) SP ← SP-2, (SP+1, SP) ← PSW, IE ← 0, BRK ← 0 SP ← SP-2, (SP+1, SP) ← PS, PS ← TC SP ← SP-2, (SP+1, SP) ← PC, PC ← TA							
		imm8 (=3)	1 1 0 0 1 1 0 1		2	50	38/50	TA ← (4n+1, 4n), TC ← (4n+3, 4n+2) n = imm8 SP ← SP-2, (SP+1, SP) ← PSW, IE ← 0, BRK ← 0 SP ← SP-2, (SP+1, SP) ← PS, PS ← TC SP ← SP-2, (SP+1, SP) ← PC, PC ← TA							
	BRKV		1 1 0 0 1 1 1 0		1	注1	注2	V = 1のとき TA ← (011H, 010H), TC ← (013H, 012H) SP ← SP-2, (SP+1, SP) ← PSW, IE ← 0, BRK ← 0 SP ← SP-2, (SP+1, SP) ← PS, PS ← TC SP ← SP-2, (SP+1, SP) ← PC, PC ← TA							
	RETI		1 1 0 0 1 1 1 1		1	39	27/39	PC ← (SP+1, SP), PS ← (SP+3, SP+2) PSW ← (SP+5, SP+4), SP ← SP+6		R	R	R	R	R	R

注1. V=1のとき: 52

V=0のとき: 3

2. V=1のとき: 40/52

V=0のとき: 3

保守/廃止

命令群	二モニク	オペランド	オペレーション・コード		バイト 数	クロック数		オペレーション	フ ラ グ					
			7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0		V40HL	V50HL		AC	CY	V	P	S	Z
			割り込み命令	BRKEM		imm8	0 0 0 0 1 1 1 1		1 1 1 1 1 1 1 1	3	50	38/50	TA← (4n+1, 4n) , TC← (4n+3, 4n+2) n = imm8 SP←SP-2, (SP+1, SP) ←PSW, MD←0 MDを書き込み許可にする SP←SP-2, (SP+1, SP) ←PS, PS←TC SP←SP-2, (SP+1, SP) ←PC, PC←TA	
CHKIND	reg16, mem32	0 1 1 0 0 0 1 0	mod reg mem	2-4	注1	注2	(mem32) >reg16または (mem32+2) <reg16のとき TA← (015H, 014H) , TC← (017H, 016H) SP←SP-2, (SP+1, SP) ←PSW, IE←0, BRK←0 SP←SP-2, (SP+1, SP) ←PS, PS←TC SP←SP-2, (SP+1, SP) ←PC, PC←TA							

- 注1. 割り込み条件成立のとき：72-75
 割り込み条件不成立のとき：25
2. 割り込み条件成立のとき：(52-55) / (72-75)
 割り込み条件不成立のとき：17/25

保守/廃止

命令群	モニック	オペランド	オペレーション・コード		バイト数	クロック数		オペレーション	フラグ						
			7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0		V40HL	V50HL		AC	CY	V	P	S	Z	
			CPU制御命令	HALT			1 1 1 1 0 1 0 0			1	2	2	CPU Halt		
POLL		1 0 0 1 1 0 1 1			1	2+5n	2+5n	Poll and wait n: POLL端子サンプリング回数							
DI		1 1 1 1 1 0 1 0			1	2	2	IE←0							
EI		1 1 1 1 1 0 1 1			1	2	2	IE←1							
BUSLOCK		1 1 1 1 0 0 0 0			1	2	2	Bus Lock Prefix							
FPO1	fp-op			1 1 0 1 1 X X X	1 1 Y Y Y Z Z Z	2	2	2	No Operation						
	fp-op, mem			1 1 0 1 1 X X X	mod Y Y Y mem	2-4	14	10/14	data bus← (mem)						
FPO2	fp-op			0 1 1 0 0 1 1 X	1 1 Y Y Y Z Z Z	2	2	2	No Operation						
	fp-op, mem			0 1 1 0 0 1 1 X	mod Y Y Y mem	2-4	14	10/14	data bus← (mem)						
NOP				1 0 0 1 0 0 0 0		1	3	3	No Operation						

	*		0 0 1 sreg 1 1 0		1	2	2	セグメント・オーバーライド・プリフィクス						
--	---	--	------------------	--	---	---	---	----------------------	--	--	--	--	--	--

* : DS0 :, DS1 :, PS :, SS :

命令群	モニック	オペランド	オペレーション・コード		バイト数	クロック数		オペレーション	フラグ					
			7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0		V40HL	V50HL		AC	CY	V	P	S	Z
			8080	RETEM			1 1 1 0 1 1 0 1		1 1 1 1 1 1 0 1	2	39	27/39	PC← (SP+1, SP), PS← (SP+3, SP+2), PSW← (SP+5, SP+4), SP←SP+6, MDを書き込み禁止にする	R
CALLN	imm8	1 1 1 0 1 1 0 1		1 1 1 0 1 1 0 1	3	58	38/58	TA← (4n+1, 4n), TC← (4n+3, 4n+2) n=imm8 SP←SP-2, (SP+1, SP) ←PSW, MD←1 SP←SP-2, (SP+1, SP) ←PS, PS←TC SP←SP-2, (SP+1, SP) ←PC, PC←TA						

データシート U13225J14V00S00

16. 電気的特性

対象規格

この電気的特性は、旧製品であるK規格品以外のデバイスを対象としています。
 したがって、K規格品のものとは内容が異なります。K規格品の電気的特性については、NEC販売員にご相談ください。
 なお、表中の「その他」とは、E, P, X, M規格品以外 (L, F規格品など) の製品を示します。

16.1 5V動作時

動作範囲

	E, P, X, M規格品	その他
μPD70208H, 70216H-10/12/16	V _{DD} = 5 V ± 10 %	
μPD70208H, 70216H-20	—	V _{DD} = 5 V ± 5 %

絶対最大定格 (T_A = 25 °C)

項 目	略 号	条 件	定 格	単 位
電源電圧	V _{DD}		-0.5 ~ +7.0	V
入力電圧	V _I	V _{DD} = 5 V ± 10 % (μPD70208H, 70216H-10/12/16)	-0.5 ~ V _{DD} + 0.3	V
クロック入力電圧	V _K		-0.5 ~ V _{DD} + 1.0	V
出力電圧	V _O	V _{DD} = 5 V ± 5 % (μPD70208H, 70216H-20)	-0.5 ~ V _{DD} + 0.3	V
動作周囲温度	T _A		-40 ~ +85	°C
保存温度	T _{stg}		-65 ~ +150	°C

- 注意 1. IC製品の出力 (または入出力) 端子同士を直結したり、V_{DD}またはV_{CC}やGNDに直結したりしないでください。
 ただし、オープン・ドレイン端子やオープン・コレクタ端子同士は直結できます。また、ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路でも直結可能です。
2. 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると製品の品質を損なう恐れがあります。
 つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づかない状態で、製品をご使用ください。
- DC特性とAC特性に示す規格や条件が、製品の正常動作、品質保証の範囲です。

DC特性 (TA = -40~+85 °C, VDD = 5 V ± 10 % (μPD70208H, 70216H-10/12/16), VDD = 5 V ± 5 % (μPD70208H, 70216H-20))

項目	略号	条件	MIN.	TYP.	MAX.	単位	
高レベル入力電圧	V _{IH}	E, P, X, M 規格品	RESET以外	2.2		V _{DD} +0.3	V
			RESET	0.8 V _{DD}		V _{DD} +0.3	
		その他	RESET, INTP1-INTP7以外	2.2		V _{DD} +0.3	
			RESET	0.8 V _{DD}		V _{DD} +0.3	
			INTP1-INTP7	2.4		V _{DD} +0.3	
低レベル入力電圧	V _{IL}	RESET以外	-0.5		+0.8	V	
		RESET	-0.5		0.2 V _{DD}		
高レベル・クロック入力電圧	V _{KH}		3.9		V _{DD} +1.0	V	
低レベル・クロック入力電圧	V _{KL}		-0.5		+0.6	V	
高レベル出力電圧	V _{OH}	I _{OH} = -2.5 mA	0.7 V _{DD}			V	
		I _{OH} = -100 μA	V _{DD} -0.4				
低レベル出力電圧	V _{OL}	END/TC以外: I _{OL} = 2.5 mA			0.4	V	
		END/TC : I _{OL} = 5.0 mA					
高レベル入力リーク電流	I _{IH}	V _I = V _{DD}			10	μA	
低レベル入力リーク電流	I _{IL}	INTP以外: V _I = 0 V			-10	μA	
低レベルINTP入力電流	I _{IPL}	INTP入力: V _I = 0 V			-300	μA	
高レベル出力リーク電流	I _{LOH}	V _O = V _{DD}			10	μA	
低レベル出力リーク電流	I _{LOL}	V _O = 0 V			-10	μA	
高レベル・ラッチ・リーク電流	I _{LLH}	V _I = 3.0 V	-50		-300	μA	
低レベル・ラッチ・リーク電流	I _{LLL}	V _I = 0.8 V	50		300	μA	
ラッチ反転電流 (L→H)	I _{LH}				400	μA	
ラッチ反転電流 (H→L)	I _{HL}				-400	μA	
電源電流 ^注	I _{DD}	E, P, X, M 規格品	動作時		5.5 f _x	9.0 f _x	mA
			スタンバイ時 (HALT)		1.5 f _x	2.5 f _x	
			スタンバイ時 (STOP)			50	
		その他	動作時		4.5 f _x	6.0 f _x	mA
			スタンバイ時 (HALT)		1.5 f _x	2.2 f _x	
			スタンバイ時 (STOP)			50	

注 値の定数 (1.5, 2.2, 2.5, 4.5, 5.5, 6.0, 9.0) の単位はmA/MHzです。

容量 (TA = 25 °C, V_{DD} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	C _I	f _c = 1 MHz			10	pF
入出力容量	C _{IO}	測定ピン以外は 0 V			15	pF

AC特性

(1) μPD70208H, 70216H-10/12/16 (TA = -40~+85℃, VDD = 5V±10%) (1/3)

出力端子の負荷容量: CL = 100 pF

項目	略号	μPD70208H-10		μPD70208H-12		μPD70208H-16		単位
		μPD70216H-10		μPD70216H-12		μPD70216H-16		
		MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
external clock入力周期	① tcyx	50	DC	40	DC	31.25	DC	ns
external clock入力ハイ・レベル幅 (VKH = 3.0 V)	② boxH	19		14		12		ns
external clock入力ロウ・レベル幅 (VKL = 1.5 V)	③ boxL	19		14		12		ns
external clock入力立ち上がり時間 (1.5→3.0 V)	④ tbr		5		5		5	ns
external clock入力立ち下がり時間 (3.0→1.5 V)	⑤ tbf		5		5		5	ns
クロック出力周期	⑥ tcyk	100	DC	80	DC	62.5	DC	ns
クロック出力ハイ・レベル幅 (VOH = 3.0 V)	⑦ boxH	0.5tcyk-5		0.5tcyk-5		0.5tcyk-5		ns
クロック出力ロウ・レベル幅 (VOL = 1.5 V)	⑧ boxL	0.5tcyk-5		0.5tcyk-5		0.5tcyk-5		ns
クロック出力立ち上がり時間 (1.5→3.0 V)	⑨ tbr		5		5		5	ns
クロック出力立ち下がり時間 (3.0→1.5 V)	⑩ tbf		5		5		5	ns
CLKOUT遅延時間 (対external clock)	⑪ tbox		40		35		20	ns
入力立ち上がり時間 (external clockを除く) (0.8→2.2 V)	⑫ tr		15		15		15	ns
入力立ち下がり時間 (external clockを除く) (2.2→0.8 V)	⑬ tf		10		10		10	ns
出力立ち上がり時間 (CLKOUTを除く) (0.8→2.2 V)	⑭ ton	E, P, X, M規格品			15		15	ns
		その他			10		10	ns
出力立ち下がり時間 (CLKOUTを除く) (2.2→0.8 V)	⑮ tof		10		10		10	ns
RESET設定時間 (対CLKOUT↓) 注1	⑯ tRESK	20		20		20		ns
RESET保持時間 (対CLKOUT↓) 注1	⑰ tKRES	25		25		15		ns
RESOUT出力遅延時間 (対CLKOUT↓)	⑱ tDKRES	5	50	5	40	5	30	ns
READYインアクティブ設定時間 (対CLKOUT↑)	⑲ tSRYLK	15		10		7		ns
READYインアクティブ保持時間 (対CLKOUT↑)	⑳ tDKRYL	20		15		15		ns
READYアクティブ設定時間 (対CLKOUT↑)	㉑ tSRYHK	15		10		7		ns
READYアクティブ保持時間 (対CLKOUT↑)	㉒ tDKRYH	20		20		15		ns
NMI設定時間 (対CLKOUT↑)	㉓ tSNMK	15		15		15		ns
POLL設定時間 (対CLKOUT↑)	㉔ tSPOLK	20		20		20		ns
データ設定時間 (対CLKOUT↓)	㉕ tSDK	15		10		7		ns
データ保持時間 (対CLKOUT↓)	㉖ tDKD	5		5		5		ns
CLKOUT→アドレス遅延時間注2	㉗ tDKA	5	50	5	40	5	28	ns
★ CLKOUT→アドレス保持時間	㉘ tDKA	5		5		5		ns
CLKOUT↓→PS遅延時間	㉙ tDKP	5	50	5	40	5	30	ns
CLKOUT↓→PSフロート遅延時間	㉚ tFKP	5	50	5	40	5	30	ns
アドレス設定時間 (対ASTB↓)	㉛ tAST	tboxL-20		tboxL-10		tboxL-10		ns
CLKOUT↓→アドレス・フロート遅延時間注3	㉜ tFKA	tboxL	50	tboxL	40	tboxL	30	ns

注1. 最低パルス幅でリセットする場合、またはRESOUT出力タイミングを保証する場合

2. QS0, QS1, BUSLOCK信号、およびHLDRQ/HLDAKタイミングにおけるA16/PS0-A19/PS3, UBE, BUFEN, BUFR/W, MRD, IORD, MWR, IOWR, BS0-BS2信号にも対応する規格です。

3. HLDRQ/HLDAKタイミングにおけるA16/PS0-A19/PS3, UBE, BUFEN, BUFR/W, MRD, IORD, MWR, IOWR, BS0-BS2信号にも対応する規格です。

(1) μPD70208H, 70216H-10/12/16 (T_A = -40~+85 °C, V_{DD} = 5 V ± 10 %) (2/3)

出力端子の負荷容量: C_L = 100 pF

項 目	略 号	μPD70208H-10		μPD70208H-12		μPD70208H-16		単 位	
		μPD70216H-10		μPD70216H-12		μPD70216H-16			
		MIN.	MAX.	MIN.	MAX.	MIN.	MAX.		
CLKOUT ↓ → ASTB ↑ 遅延時間	③③	tDKSTH	40		30		25	ns	
CLKOUT ↑ → ASTB ↓ 遅延時間	③④	tDKSTL	45		35		30	ns	
ASTBハイ・レベル幅	③⑤	tSTST	t _{KKL} -10		t _{KKL} -10		t _{KKL} -10	ns	
ASTB ↓ → アドレス保持時間	③⑥	tHSTA	t _{KKH} -20		t _{KKH} -10		t _{KKH} -10	ns	
CLKOUT → コントロール ¹ 注 ¹ 遅延時間	③⑦	tDKCT1	5	60	5	50	5	40	ns
CLKOUT → コントロール ² 注 ² 遅延時間	③⑧	tDKCT2	5	55	5	45	5	35	ns
アドレス・フロート → RD ↓ 遅延時間	③⑨	tDAFRL	0		0		0	ns	
CLKOUT ↓ → RD ↓ 遅延時間	④①	tDKRL	5	65	5	50	5	40	ns
CLKOUT ↓ → RD ↑ 遅延時間	④①	tDKRH	5	60	5	45	5	35	ns
RD ↑ → アドレス遅延時間	④②	tDRHA	t _{cyk} -40		t _{cyk} -20		t _{cyk} -10	ns	
RDロウ・レベル幅	④③	tRR	2t _{cyk} -40		2t _{cyk} -20		2t _{cyk} -20	ns	
BUFEN ↑ → BUF _R /W 遅延時間 (リード・サイクル時)	④④	tDBECT	t _{KKL} -20		t _{KKL} -10		t _{KKL} -10	ns	
CLKOUT ↓ → データ出力遅延時間	④⑤	tDKD	5	55	5	40	5	30	ns
CLKOUT ↓ → データ・フロート遅延時間	④⑥	tPKD	5	55	5	40	5	30	ns
WRロウ・レベル幅	④⑦	tWW	2t _{cyk} -40		2t _{cyk} -20		2t _{cyk} -20	ns	
WR ↑ → BUFEN ↑ OR BUF _R /W ↓ (ライト・サイクル時)	④⑧	tDWCT	t _{KKL} -20		t _{KKL} -10		t _{KKL} -10	ns	
CLKOUT ↑ → BS ↓ 遅延時間	④⑨	tDKBL	5	55	5	40	5	30	ns
CLKOUT ↓ → BS ↑ 遅延時間	⑤①	tDKBH	5	55	5	40	5	30	ns
HLD _{RQ} 設定時間 (対CLKOUT ↓)	⑤①	tSHOK	15		10		7	ns	
CLKOUT ↓ → HLD _{AK} 遅延時間	⑤②	tDKHA	5	60	5	50	5	40	ns
CLKOUT ↑ → DMA _{AK} 遅延時間	⑤③	tDKHDA	5	55	5	45	5	35	ns
CLKOUT ↓ → DMA _{AK} 遅延時間 (カスケード・モード時)	⑤④	tDKLDA	5	80	5	70	5	55	ns
WRロウ・レベル幅 (DMAサイクル)	DMA拡張ライト	⑤⑤	tWW1	2t _{cyk} -40		2t _{cyk} -20		2t _{cyk} -20	ns
	DMA通常ライト	⑤⑥	tWW2	t _{cyk} -40		t _{cyk} -20		t _{cyk} -15	ns
RD ↓, WR ↓ 遅延時間 (対DMA _{AK} ↓)	⑤⑦	tDDARW	t _{KKH} -30		t _{KKH} -20		t _{KKH} -15	ns	
DMA _{AK} ↑ 遅延時間 (対RD ↑)	⑤⑧	tDRHAD	t _{KKL} -30		t _{KKL} -20		t _{KKL} -15	ns	
RD ↑ 遅延時間 (対WR ↑)	⑤⑨	tDWRH	3		3		3	ns	
TC出力遅延時間 (対CLKOUT ↑)	⑥①	tDKTCL		55		45		35	ns
TC OFF遅延時間 (対CLKOUT ↑)	⑥①	tDKTCF		55		45		35	ns
TCロウ・レベル幅	⑥②	tTCTCL	t _{cyk} -15		t _{cyk} -10		t _{cyk} -10	ns	
TCプル・アップ遅延時間 (対CLKOUT ↑)	⑥③	tDKTCH		注3		注4		注4	ns
END設定時間 (対CLKOUT ↑)	⑥④	tSEDK	30		25		20	ns	
ENDロウ・レベル幅	⑥⑤	tEDEEL	80		65		50	ns	
DMA _{RQ} 設定時間 (対CLKOUT ↑)	⑥⑥	tSDOK	30		20		15	ns	

注1. DMAサイクル時のMWR, IOWR信号

2. BUFEN, BUF_R/W, INTAK, REFRQおよびCPUサイクル時のMWR, IOWR信号

3. t_{KKH}+2t_{cyk}-10 (プルアップ抵抗1.1 kΩをつけた場合の参考値)

4. t_{KKH}+2t_{cyk}-5 (プルアップ抵抗1.1 kΩをつけた場合の参考値)

(1) μPD70208H, 70216H-10/12/16 (TA = -40~+85℃, VDD = 5V±10%) (3/3)

出力端子の負荷容量: CL = 100 pF

項目	略号	μPD70208H-10		μPD70208H-12		μPD70208H-16		単位
		μPD70216H-10		μPD70216H-12		μPD70216H-16		
		MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
INTPnロウ・レベル幅	⑥⑦	tIPIPL	80		80		80	ns
RxD設定時間 (対SCU内部クロック↓)	⑥⑧	tSRX	500		500		500	ns
RxD保持時間 (対SCU内部クロック↓)	⑥⑨	tHRX	500		500		500	ns
CLKOUT↓→SRDY遅延時間	⑦⑩	tDKSR		100		100		100
TOUT1↓→TxD遅延時間	⑦⑪	tDTX		200		200		200
TCTL2設定時間 (対CLKOUT↓)	⑦⑫	tSGK	40		40		40	ns
TCTL2設定時間 (対TCLK↑)	⑦⑬	tSGTK	40		40		40	ns
TCTL2保持時間 (対CLKOUT↓)	⑦⑭	tHKG	80		80		80	ns
TCTL2保持時間 (対TCLK↑)	⑦⑮	tHTKG	40		40		40	ns
TCTL2ハイ・レベル幅	⑦⑯	tGGH	40		40		40	ns
TCTL2ロウ・レベル幅	⑦⑰	tGGL	40		40		40	ns
TOUT出力遅延時間 (対CLKOUT↓)	⑦⑱	tDKTO		150		150		150
TOUT出力遅延時間 (対TCLK↓)	⑦⑲	tDTKTO		100		100		100
TOUT出力遅延時間 (対TCTL2↓)	⑦⑳	tDGTO		90		90		90
TCLK立ち上がり時間	⑧①	tTKR		25		25		25
TCLK立ち下がり時間	⑧②	tTKF		25		25		25
TCLKハイ・レベル幅	⑧③	tTKKH	45		40		30	ns
TCLKロウ・レベル幅	⑧④	tTKKL	45		40		30	ns
TCLK周期	⑧⑤	tCYTK	100	DC	80	DC	62.5	DC
アクセス間隔 ^{注1}	⑧⑥	tA	2tcyk-40		2tcyk-25		2tcyk-20	ns
REFRQ↑遅延時間 (対MRD↑) ^{注2}	⑧⑦	tDRQPH	tAKL-30		tAKL-15		tAKL-10	ns
RESETパルス幅 ^{注3}	⑧⑧	tWRESL	4tcyk		4tcyk		4tcyk	ns

注1. I/Oデバイスに対するリード・ライト回復時間を保証するための規格です。

2. REFRQ↑がMRD↑より常に遅れることを保証するための規格です。

SCTLレジスタのEREFビットが0のときのみ保証されます。

3. X1, X2端子に発振子を接続して内部クロック・ジェネレータを使用する場合、パワーオン時に発振安定時間を加算する必要があります。

なお、発振安定時間は、使用する発振子と発振回路の特性に依存するため、実際に使用する発振子と発振回路で評価してください。

(2) μPD70208H, 70216H-20 (TA = -40~+85 °C, VDD = 5 V ± 5 %) (1/3)

出力端子の負荷容量: CL = 100 pF

項 目	略 号	μPD70208H-20		単 位
		μPD70216H-20		
		MIN.	MAX.	
external clock入力周期	① tcyx	25	DC	ns
external clock入力ハイ・レベル幅 (VKH = 3.0 V)	② txxH	10		ns
external clock入力ロウ・レベル幅 (VKL = 1.5 V)	③ txxL	10		ns
external clock入力立ち上がり時間 (1.5→3.0 V)	④ tXH		5	ns
external clock入力立ち下がり時間 (3.0→1.5 V)	⑤ tXF		5	ns
クロック出力周期	⑥ tcyk	50	DC	ns
クロック出力ハイ・レベル幅 (VOH = 3.0 V)	⑦ txxH	0.5tcyk-5		ns
クロック出力ロウ・レベル幅 (VOL = 1.5 V)	⑧ txxL	0.5tcyk-5		ns
クロック出力立ち上がり時間 (1.5→3.0 V)	⑨ tXH		5	ns
クロック出力立ち下がり時間 (3.0→1.5 V)	⑩ tXF		5	ns
CLKOUT遅延時間 (対external clock)	⑪ tDXX		20	ns
入力立ち上がり時間 (external clockを除く) (0.8→2.2 V)	⑫ tIR		15	ns
入力立ち下がり時間 (external clockを除く) (2.2→0.8 V)	⑬ tIF		10	ns
出力立ち上がり時間 (CLKOUTを除く) (0.8→2.2 V)	⑭ tOR		10	ns
出力立ち下がり時間 (CLKOUTを除く) (2.2→0.8 V)	⑮ tOF		10	ns
RESET設定時間 (対CLKOUT ↓) 注1	⑯ tSRESK	20		ns
RESET保持時間 (対CLKOUT ↓) 注1	⑰ tHKRES	10		ns
RESOUT出力遅延時間 (対CLKOUT ↓)	⑱ tDKRES	5	25	ns
READYインアクティブ設定時間 (対CLKOUT ↑)	⑲ tSRYLK	7		ns
READYインアクティブ保持時間 (対CLKOUT ↑)	⑳ tHKRYL	10		ns
READYアクティブ設定時間 (対CLKOUT ↑)	㉑ tSRYHK	7		ns
READYアクティブ保持時間 (対CLKOUT ↑)	㉒ tHKRYH	10		ns
NMI設定時間 (対CLKOUT ↑)	㉓ tSNMIK	10		ns
POLL設定時間 (対CLKOUT ↑)	㉔ tSPOLK	20		ns
データ設定時間 (対CLKOUT ↓)	㉕ tSDK	7		ns
データ保持時間 (対CLKOUT ↓)	㉖ tHKD	5		ns
CLKOUT→アドレス遅延時間注2	㉗ tDKA	5	25	ns
★ CLKOUT→アドレス保持時間	㉘ tHKA	5		ns
CLKOUT ↓ → PS遅延時間	㉙ tDKP	5	30	ns
CLKOUT ↓ → PSフロート遅延時間	㉚ tFKP	5	30	ns
アドレス設定時間 (対ASTB ↓)	㉛ tSAST	txxL-10		ns
CLKOUT ↓ → アドレス・フロート遅延時間注3	㉜ tFKA	tHKA	25	ns
CLKOUT ↓ → ASTB ↑ 遅延時間	㉝ tDKSTH		20	ns

注1. 最低パルス幅でリセットする場合、またはRESOUT出カタイミングを保証する場合

2. QS0, QS1, BUSLOCK信号、およびHLDRQ/HLDAKタイミングにおけるA16/PS0-A19/PS3, UBE, BUFEN, BUFR/W, MRD, IORD, MWR, IOWR, BS0-BS2信号にも対応する規格です。

3. HLDRQ/HLDAKタイミングにおけるA16/PS0-A19/PS3, UBE, BUFEN, BUFR/W, MRD, IORD, MWR, IOWR, BS0-BS2信号にも対応する規格です。

(2) μPD70208H, 70216H-20 (TA = -40~+85 °C, VDD = 5 V±5 %) (2/3)

出力端子の負荷容量: CL = 100 pF

項 目	略 号	μPD70208H-20		単 位
		MIN.	MAX.	
CLKOUT↑→ASTB↓遅延時間	②④ tDKSTL		20	ns
ASTBハイ・レベル幅	②⑤ tTSTBT	tCKL-10		ns
ASTB↓→アドレス保持時間	②⑤ tHSTA	tCKH-10		ns
CLKOUT→コントロール1注1遅延時間	②⑦ tDKCT1	5	25	ns
CLKOUT→コントロール2注2遅延時間	②⑧ tDKCT2	5	30	ns
アドレス・フロート→RD↓遅延時間	②⑨ tDAFRL	0		ns
CLKOUT↓→RD↓遅延時間	②⑩ tDKRL	5	25	ns
CLKOUT↓→RD↑遅延時間	②⑪ tDKRH	5	28	ns
RD↑→アドレス遅延時間	②⑫ tDRHA	tCYK-5		ns
RDロウ・レベル幅	②⑬ tRR	2tCYK-15		ns
BUFEN↑→BUF \bar{R} /W遅延時間 (リード・サイクル時)	②⑭ tDBECT	tCKL-10		ns
CLKOUT↓→データ出力遅延時間	②⑮ tDKD	5	25	ns
CLKOUT↓→データ・フロート遅延時間	②⑯ tPKD	5	25	ns
WRロウ・レベル幅	②⑰ tWW	2tCYK-15		ns
WR↑→BUFEN↑OR BUF \bar{R} /W↓ (ライト・サイクル時)	②⑱ tDWCT	tCKL-10		ns
CLKOUT↑→BS↓遅延時間	②⑲ tDKBL	5	30	ns
CLKOUT↓→BS↑遅延時間	②⑳ tDKBH	5	25	ns
HLDRO設定時間 (対CLKOUT↓)	②㉑ tSHQK	7		ns
CLKOUT↓→HLD \bar{A} K遅延時間	②㉒ tDKHA	5	25	ns
CLKOUT↑→DMA \bar{A} K遅延時間	②㉓ tDKHDA	5	25	ns
CLKOUT↓→DMA \bar{A} K遅延時間 (カスケード・モード時)	②㉔ tDKLDA	5	45	ns
WRロウ・レベル幅 (DMAサイクル)	DMA拡張ライト	②㉕ tWW1	2tCYK-15	ns
	DMA通常ライト	②㉖ tWW2	tCYK-15	ns
RD↓, WR↓遅延時間 (対DMA \bar{A} K↓)	②㉗ tDDARW	tCKH-10		ns
DMA \bar{A} K↑遅延時間 (対RD↑)	②㉘ tDRD \bar{A} H	tCKL-10		ns
RD↑遅延時間 (対WR↑)	②㉙ tDWRH	3		ns
T \bar{C} 出力遅延時間 (対CLKOUT↑)	②㉚ tDKTCL		25	ns
T \bar{C} OFF遅延時間 (対CLKOUT↑)	②㉛ tDKTCF		25	ns
T \bar{C} ロウ・レベル幅	②㉜ tTGTCL	tCYK-10		ns
T \bar{C} プル・アップ遅延時間 (対CLKOUT↑)	②㉝ tDKTCH		注3	ns
EN \bar{D} 設定時間 (対CLKOUT↑)	②㉞ tSEDK	20		ns
EN \bar{D} ロウ・レベル幅	②㉟ tEEDL	40		ns
DMARQ設定時間 (対CLKOUT↑)	②㊱ tSDOK	10		ns
INTPnロウ・レベル幅	②㊲ tPIPL	60		ns
RxD設定時間 (対SCU内部クロック↓)	②㊳ tSRX	500		ns

注1. DMAサイクル時のMWR, IOWR信号

2. BUFEN, BUF \bar{R} /W, INTAK, REFRQおよびCPUサイクル時のMWR, IOWR信号

3. tCKH+2tCYK-5 (プルアップ抵抗1.1kΩをつけた場合の参考値)

(2) μPD70208H, 70216H-20 (T_A = -40~+85℃, V_{DD} = 5V±5%) (3/3)

出力端子の負荷容量: C_L = 100 pF

項 目	略 号	μPD70208H-20		単 位	
		μPD70216H-20			
		MIN.	MAX.		
RxD保持時間 (対SCU内部クロック↓)	⑥⑨	t _{HRX}	500		ns
CLKOUT↓→SRDY遅延時間	⑦⑩	t _{DKSR}		100	ns
TOUT1↓→TxD遅延時間	⑦⑪	t _{DTX}		200	ns
TCTL2設定時間 (対CLKOUT↓)	⑦⑫	t _{SGK}	40		ns
TCTL2設定時間 (対TCLK↑)	⑦⑬	t _{SGTK}	40		ns
TCTL2保持時間 (対CLKOUT↓)	⑦⑭	t _{HKG}	80		ns
TCTL2保持時間 (対TCLK↑)	⑦⑮	t _{HTKG}	40		ns
TCTL2ハイ・レベル幅	⑦⑯	t _{GH}	40		ns
TCTL2ロウ・レベル幅	⑦⑰	t _{GL}	40		ns
TOUT出力遅延時間 (対CLKOUT↓)	⑦⑱	t _{DKTO}		150	ns
TOUT出力遅延時間 (対TCLK↓)	⑦⑲	t _{DTKTO}		100	ns
TOUT出力遅延時間 (対TCTL2↓)	⑦⑳	t _{DGTO}		90	ns
TCLK立ち上がり時間	⑧①	t _{TKR}		25	ns
TCLK立ち下がり時間	⑧②	t _{TKF}		25	ns
TCLKハイ・レベル幅	⑧③	t _{TKKH}	23		ns
TCLKロウ・レベル幅	⑧④	t _{TKKL}	23		ns
TCLK周期	⑧⑤	t _{CYTK}	50	DC	ns
アクセス間隔 ^{注1}	⑧⑥	t _A	2t _{CYK} -15		ns
REFRQ↑遅延時間 (対MRD↑) ^{注2}	⑧⑦	t _{DRQPH}	t _{GA} -10		ns
RESETパルス幅 ^{注3}	⑧⑧	t _{WRESL}	4t _{CYK}		ns

注1. I/Oデバイスに対するリード・ライト回復時間を保証するための規格です。

2. REFRQ↑がMRD↑より常に遅れることを保証するための規格です。

SCTLレジスタのEREFビットが0のときのみ保証されます。

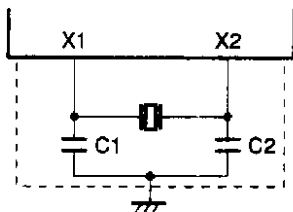
3. X1, X2端子に発振子を接続して内部クロック・ジェネレータを使用する場合、パワーオン時に発振安定時間を加算する必要があります。

なお、発振安定時間は、使用する発振子と発振回路の特性に依存するため、実際に使用する発振子と発振回路で評価してください。

推奨発振回路

クロック入力には次の(1)、(2)の回路を推奨します。

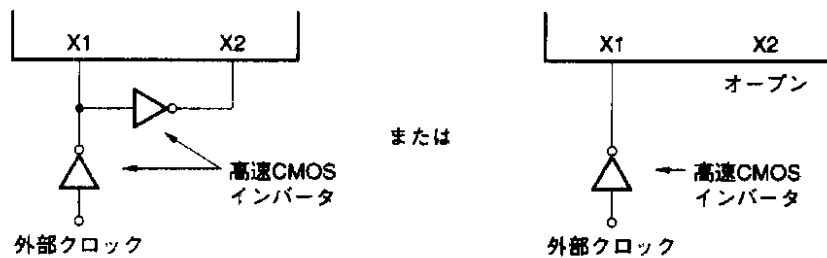
- (1) セラミック発振子接続 ($T_A = -40 \sim +85 \text{ } ^\circ\text{C}$, $V_{DD} = 5 \text{ V} \pm 10 \%$ ($\mu\text{PD70208H, 70216H-10/12/16}$), $V_{DD} = 5 \text{ V} \pm 5 \%$ ($\mu\text{PD70208H, 70216H-20}$))



- 注意 1. 発振回路はX1, X2端子にできるかぎり近づけてください。
 2. 破線の範囲に他の信号線を通さないでください。
 3. V40HL, V50HLと発振子のマッチングについては、十分な評価を行ってください。
 4. 発振回路定数C1, C2の値は、使用する発振子の特性に依存します。実際に使用する発振子で評価してください。

メーカー	周波数 (f _{osc}) [MHz]	品名	推奨定数	
			C1 [pF]	C2 [pF]
村田製作所	40	CSA40.00MXZ040	3	3
	32	CSA32.00MXZ040	5	5
	25	CSA25.00MXZ040	5	5
	20	CSA20.00MXZ040	10	10
TDK	32	FCR32.0M2G	5	5
	25	FCR25.0M2G	5	5
	20	FCR20.0M2G	10	10

(2) 外部クロック入力



注意 高速CMOSインバータはX1, X2端子にできるかぎり近づけてください。

16.2 3V動作時

動作範囲

	E, P, X, M規格品	その他
μPD70208H, 70216H-10/12/16	V _{DD} = 3 V ± 10 %	
μPD70208H, 70216H-20	—	V _{DD} = 3 V ± 10 %

絶対最大定格 (T_A = 25 °C)

項 目	略 号	条 件	定 格	単 位
電源電圧	V _{DD}		-0.5 ~ +7.0	V
入力電圧	V _I	V _{DD} = 3 V ± 10 %	-0.5 ~ V _{DD} + 0.3	V
クロック入力電圧	V _K		-0.5 ~ V _{DD} + 1.0	V
出力電圧	V _O		-0.5 ~ V _{DD} + 0.3	V
動作周囲温度	T _A		-40 ~ +85	°C
保存温度	T _{STG}		-65 ~ +150	°C

- 注意 1. IC製品の出力（または入出力）端子同士を直結したり、V_{DD}またはV_{CC}やGNDに直結したりしないでください。ただし、オープン・ドレイン端子やオープン・コレクタ端子同士は直結できます。また、ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路でも直結可能です。
2. 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づかない状態で、製品をご使用ください。
- DC特性とAC特性に示す規格や条件が、製品の正常動作、品質保証の範囲です。

DC特性 (TA = -40~+85 °C, VDD = 3V±10%)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
高レベル入力電圧	V _{IH}	RESET以外	0.7 V _{DD}		V _{DD} +0.3	V	
		RESET	0.8 V _{DD}		V _{DD} +0.3		
低レベル入力電圧	V _{IL}	RESET以外	-0.5		0.2 V _{DD}	V	
		RESET					
高レベル・クロック入力電圧	V _{KH}		0.8 V _{DD}		V _{DD} +0.5	V	
低レベル・クロック入力電圧	V _{KL}		-0.5		0.2 V _{DD}	V	
高レベル出力電圧	V _{OH}	I _{OH} = -2.5 mA	0.7 V _{DD}			V	
		I _{OH} = -100 μA	V _{DD} -0.4				
低レベル出力電圧	V _{OL}	END/TC以外 : I _{OL} = 2.5 mA			0.4	V	
		END/TC : I _{OL} = 5.0 mA					
高レベル入力リーク電流	I _{LH}	V _i = V _{DD}			10	μA	
低レベル入力リーク電流	I _{LIL}	INTP以外 : V _i = 0 V			-10	μA	
低レベルINTP入力電流	I _{LIPL}	INTP入力 : V _i = 0 V			-300	μA	
高レベル出力リーク電流	I _{LOH}	V _o = V _{DD}			10	μA	
低レベル出力リーク電流	I _{LOL}	V _o = 0 V			-10	μA	
高レベル・ラッチ・リーク電流	I _{LHH}	V _i = 3.0 V	-50		-300	μA	
低レベル・ラッチ・リーク電流	I _{LHL}	V _i = 0.8 V	50		300	μA	
ラッチ反転電流 (L→H)	I _{LH}				400	μA	
ラッチ反転電流 (H→L)	I _{HL}				-400	μA	
電源電流 ^注	I _{DD}	E, P, X, M 規格品	動作時		3.0 f _x	5.5 f _x	mA
			スタンバイ時 (HALT)		0.9 f _x	1.5 f _x	
			スタンバイ時 (STOP)			30	
		その他	動作時		2.5 f _x	4.0 f _x	mA
			スタンバイ時 (HALT)		0.9 f _x	1.5 f _x	
			スタンバイ時 (STOP)			30	

注 値の定数 (0.9, 1.5, 2.5, 3.0, 4.0, 5.5) の単位はmA/MHzです。

容量 (TA = 25 °C, VDD = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	C _i	f _c = 1 MHz			10	pF
入出力容量	C _{io}	測定ピン以外は0 V			15	pF

AC特性

(1) μPD70208H, 70216H-10/12/16 (TA = -40~+85℃, VDD = 3V±10%) (1/3)

出力端子の負荷容量: CL = 100 pF

項目	略号	μPD70208H-10		μPD70208H-12		μPD70208H-16		単位
		μPD70216H-10		μPD70216H-12		μPD70216H-16		
		MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
external clock入力周期	① t _{cyx}	100	DC	83	DC	62.5	DC	ns
external clock入力ハイ・レベル幅 (V _{KH} = 0.8 V _{DD})	② t _{bxH}	40		30		20		ns
external clock入力ロウ・レベル幅 (V _{KL} = 0.2 V _{DD})	③ t _{bxL}	40		30		20		ns
external clock入力立ち上がり時間 (0.2 V _{DD} →0.8 V _{DD})	④ t _{bxR}		10		10		10	ns
external clock入力立ち下がり時間 (0.8 V _{DD} →0.2 V _{DD})	⑤ t _{bxF}		10		10		10	ns
クロック出力周期	⑥ t _{cyk}	200	DC	166	DC	125	DC	ns
クロック出力ハイ・レベル幅 (V _{OH} = 0.7 V _{DD})	⑦ t _{bxH}	0.5t _{cyk} -7		0.5t _{cyk} -7		0.5t _{cyk} -7		ns
クロック出力ロウ・レベル幅 (V _{OL} = 0.2 V _{DD})	⑧ t _{bxL}	0.5t _{cyk} -7		0.5t _{cyk} -7		0.5t _{cyk} -7		ns
クロック出力立ち上がり時間 (0.2 V _{DD} →0.7 V _{DD})	⑨ t _{bxR}		7		7		7	ns
クロック出力立ち下がり時間 (0.7 V _{DD} →0.2 V _{DD})	⑩ t _{bxF}		7		7		7	ns
CLKOUT遅延時間 (対external clock)	⑪ t _{bxk}		75		65		55	ns
入力立ち上がり時間 (external clockを除く) (0.2 V _{DD} →0.7 V _{DD})	⑫ t _{ir}		20		20		20	ns
入力立ち下がり時間 (external clockを除く) (0.7 V _{DD} →0.2 V _{DD})	⑬ t _{if}		12		12		12	ns
出力立ち上がり時間 (CLKOUTを除く) (0.2 V _{DD} →0.7 V _{DD})	⑭ t _{or}		20		20		20	ns
出力立ち下がり時間 (CLKOUTを除く) (0.7 V _{DD} →0.2 V _{DD})	⑮ t _{of}		12		12		12	ns
RESET設定時間 (対CLKOUT↓) 注1	⑯ t _{sRES}	25		25		25		ns
RESET保持時間 (対CLKOUT↓) 注1	⑰ t _{hRES}	35		35		35		ns
RESOUT出力遅延時間 (対CLKOUT↓)	⑱ t _{dxRES}	5	80	5	70	5	60	ns
READYインアクティブ設定時間 (対CLKOUT↑)	⑲ t _{sRYLK}	20		20		15		ns
READYインアクティブ保持時間 (対CLKOUT↑)	⑳ t _{hRYL}	30		30		25		ns
READYアクティブ設定時間 (対CLKOUT↑)	㉑ t _{sRYK}	20		20		15		ns
READYアクティブ保持時間 (対CLKOUT↑)	㉒ t _{hRYH}	30		30		25		ns
NMI設定時間 (対CLKOUT↑)	㉓ t _{sNMK}	15		15		15		ns
POLL設定時間 (対CLKOUT↑)	㉔ t _{sPOLK}	20		20		20		ns
データ設定時間 (対CLKOUT↓)	㉕ t _{sDK}	20		20		15		ns
データ保持時間 (対CLKOUT↓)	㉖ t _{hKD}	5		5		5		ns
CLKOUT→アドレス遅延時間注2	㉗ t _{DKA}	5	75	5	65	5	55	ns
★ CLKOUT→アドレス保持時間	㉘ t _{hKA}	5		5		5		ns
CLKOUT↓→PS遅延時間	㉙ t _{DKP}	5	80	5	70	5	60	ns
CLKOUT↓→PSフロート遅延時間	㉚ t _{PKP}	5	80	5	70	5	60	ns
アドレス設定時間 (対ASTB↓)	㉛ t _{sAST}	t _{KL} -30		t _{KL} -30		t _{KL} -30		ns
CLKOUT↓→アドレス・フロート遅延時間注3	㉜ t _{PKA}	5	80	5	70	5	60	ns

注1. 最低パルス幅でリセットする場合、またはRESOUT出力タイミングを保証する場合

2. QS0, QS1, BUSLOCK信号、およびHLDRQ/HLDAKタイミングにおけるA16/PS0-A19/PS3, \overline{UBE} , \overline{BUFEN} , $\overline{BUF\overline{R}W}$, \overline{MRD} , \overline{IORD} , \overline{MWR} , \overline{IOWR} , BS0-BS2信号にも対応する規格です。

3. HLDRQ/HLDAKタイミングにおけるA16/PS0-A19/PS3, \overline{UBE} , \overline{BUFEN} , $\overline{BUF\overline{R}W}$, \overline{MRD} , \overline{IORD} , \overline{MWR} , \overline{IOWR} , BS0-BS2信号にも対応する規格です。

(1) μPD70208H, 70216H-10/12/16 (T_A = -40~+85 °C, V_{DD} = 3 V±10 %) (2/3)

出力端子の負荷容量: C_L = 100 pF

項 目	略 号		μPD70208H-10		μPD70208H-12		μPD70208H-16		単 位
			μPD70216H-10		μPD70216H-12		μPD70216H-16		
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
CLKOUT ↓ → ASTB ↑ 遅延時間	③③	t _{DKSTH}	5	65	5	55	5	45	ns
CLKOUT ↑ → ASTB ↓ 遅延時間	③④	t _{DKSTL}	5	70	5	60	5	50	ns
ASTBハイ・レベル幅	③⑤	t _{STST}	t _{CKL} -10		t _{CKL} -10		t _{CKL} -10		nsns
ASTB ↓ → アドレス保持時間	③⑥	t _{HSTA}	t _{CKH} -30		t _{CKH} -30		t _{CKH} -20		ns
CLKOUT → コントロール ¹ 遅延時間	③⑦	t _{DKCT1}	5	90	5	80	5	70	ns
CLKOUT → コントロール ² 遅延時間	③⑧	t _{DKCT2}	5	80	5	70	5	60	ns
アドレス・フロート → RD ↓ 遅延時間	③⑨	t _{DAFRL}	0		0		0		ns
CLKOUT ↓ → RD ↓ 遅延時間	④⑩	t _{DKRL}	5	95	5	85	5	75	ns
CLKOUT ↓ → RD ↑ 遅延時間	④⑪	t _{DKRH}	5	90	5	80	5	70	ns
RD ↑ → アドレス遅延時間	④⑫	t _{DRHA}	t _{CYK} -70		t _{CYK} -60		t _{CYK} -50		ns
RDロウ・レベル幅	④⑬	t _{DR}	2t _{CYK} -70		2t _{CYK} -60		2t _{CYK} -50		ns
BUFEN ↑ → BUF \bar{R} /W 遅延時間 (リード・サイクル時)	④⑭	t _{DBECT}	t _{CKL} -30		t _{CKL} -30		t _{CKL} -20		ns
CLKOUT ↓ → データ出力遅延時間	④⑮	t _{DKD}	5	80	5	70	5	60	ns
CLKOUT ↓ → データ・フロート遅延時間	④⑯	t _{FKD}	5	80	5	70	5	60	ns
WRロウ・レベル幅	④⑰	t _{WR}	2t _{CYK} -50		2t _{CYK} -50		2t _{CYK} -40		ns
WR ↑ → BUFEN ↑ OR BUF \bar{R} /W ↓ (ライト・サイクル時)	④⑱	t _{DWCT}	t _{CKL} -30		t _{CKL} -30		t _{CKL} -20		ns
CLKOUT ↑ → BS ↓ 遅延時間	④⑲	t _{DKBL}	5	80	5	70	5	60	ns
CLKOUT ↓ → BS ↑ 遅延時間	④⑳	t _{DKBH}	5	80	5	70	5	60	ns
HLD \bar{R} Q設定時間 (対CLKOUT ↓)	⑤①	t _{SHQK}	25		25		20		ns
CLKOUT ↓ → HLD \bar{A} K 遅延時間	⑤②	t _{DKHA}	5	90	5	80	5	70	ns
CLKOUT ↑ → DMA \bar{A} K 遅延時間	⑤③	t _{DKHDA}	5	80	5	70	5	60	ns
CLKOUT ↓ → DMA \bar{A} K 遅延時間 (カスケード・モード時)	⑤④	t _{DKLDA}	5	110	5	100	5	90	ns
WRロウ・レベル幅 (DMAサイクル)	DMA拡張ライト	⑤⑤	t _{WR1}	2t _{CYK} -50		2t _{CYK} -50		2t _{CYK} -40	ns
	DMA通常ライト	⑤⑥	t _{WR2}	t _{CYK} -50		t _{CYK} -50		t _{CYK} -40	ns
RD ↓, WR ↓ 遅延時間 (対DMA \bar{A} K ↓)	⑤⑦	t _{DDARW}	t _{CKH} -40		t _{CKH} -40		t _{CKH} -30		ns
DMA \bar{A} K ↑ 遅延時間 (対RD ↑)	⑤⑧	t _{DDAH}	t _{CKL} -40		t _{CKL} -40		t _{CKL} -30		ns
RD ↑ 遅延時間 (対WR ↑)	⑤⑨	t _{DWRH}	5		5		5		ns
T \bar{C} 出力遅延時間 (対CLKOUT ↑)	⑥⑩	t _{DKTCL}	5	80	5	70	5	60	ns
T \bar{C} OFF遅延時間 (対CLKOUT ↑)	⑥⑪	t _{DKTCF}	5	80	5	70	5	60	ns
T \bar{C} ロウ・レベル幅	⑥⑫	t _{TCCL}	t _{CYK} -25		t _{CYK} -25		t _{CYK} -15		ns
T \bar{C} プル・アップ遅延時間 (対CLKOUT ↑)	⑥⑬	t _{DKTCH}		注3		注4		注4	ns
END設定時間 (対CLKOUT ↑)	⑥⑭	t _{BEDK}	45		40		35		ns
ENDロウ・レベル幅	⑥⑮	t _{BEDEL}	140		120		100		ns
DMA \bar{R} Q設定時間 (対CLKOUT ↑)	⑥⑯	t _{SDOK}	45		40		35		ns
INTPhロウ・レベル幅	⑥⑰	t _{IPPL}	100		100		100		ns

注1. DMAサイクル時のM \bar{W} R, I \bar{O} WR信号

2. BUFEN, BUF \bar{R} /W, INTAK, REFR \bar{Q} およびCPUサイクル時のM \bar{W} R, I \bar{O} WR信号

3. t_{CKH}+2t_{CYK}-20 (プルアップ抵抗1.1 kΩをつけた場合の参考値)

4. t_{CKH}+2t_{CYK}-10 (プルアップ抵抗1.1 kΩをつけた場合の参考値)

(1) μPD70208H, 70216H-10/12/16 (T_A = -40~+85 °C, V_{DD} = 3 V±10 %) (3/3)

出力端子の負荷容量 : C_L = 100 pF

項 目	略 号	μPD70208H-10		μPD70208H-12		μPD70208H-16		単 位
		μPD70216H-10		μPD70216H-12		μPD70216H-16		
		MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
RxD設定時間 (対SCU内部クロック↓)	②⑨	tSRX	1000		1000		1000	ns
RxD保持時間 (対SCU内部クロック↓)	③⑨	tHRX	1000		1000		1000	ns
CLKOUT↓→SRDY遅延時間	④⑩	tDKSR		150		150	150	ns
TOUT1↓→TxD遅延時間	⑤⑩	tDTX		500		500	500	ns
TCTL2設定時間 (対CLKOUT↓)	⑥⑪	tSGK	50		50		50	ns
TCTL2設定時間 (対TCLK↑)	⑦⑪	tSGTK	50		50		50	ns
TCTL2保持時間 (対CLKOUT↓)	⑧⑪	tHKG	100		100		100	ns
TCTL2保持時間 (対TCLK↑)	⑨⑪	tHTKG	50		50		50	ns
TCTL2ハイ・レベル幅	⑩⑫	tGGH	50		50		50	ns
TCTL2ロウ・レベル幅	⑪⑫	tGQL	50		50		50	ns
TOUT出力遅延時間 (対CLKOUT↓)	⑫⑬	tDKTO		200		200	200	ns
TOUT出力遅延時間 (対TCLK↓)	⑬⑬	tDTKTO		150		150	150	ns
TOUT出力遅延時間 (対TCTL2↓)	⑭⑬	tDGTO		120		120	120	ns
TCLK立ち上がり時間	⑮⑭	tTKR		25		25	25	ns
TCLK立ち下がり時間	⑯⑭	tTKF		25		25	25	ns
TCLKハイ・レベル幅	⑰⑮	tTKKH	60		55		50	ns
TCLKロウ・レベル幅	⑱⑮	tTKKL	60		55		50	ns
TCLK周期	⑳⑯	tCYK	200	DC	166	DC	125	DC
アクセス間隔 ^{注1}	㉑⑰	t _W	2tcyk-70		2tcyk-60		2tcyk-50	ns
REFRQ↑遅延時間 (対MRD↑) ^{注2}	㉒⑰	tDRQFH	t _{KL} -50		t _{KL} -40		t _{KL} -30	ns
RESETパルス幅 ^{注3}	㉓⑰	tWRESL	4tcyk		4tcyk		4tcyk	ns

注1. I/Oデバイスに対するリード・ライト回復時間を保証するための規格です。

2. REFRQ↑がMRD↑より常に遅れることを保証するための規格です。

SCTLレジスタのEREFビットが0のときのみ保証されます。

3. X1, X2端子に発振子を接続して内部クロック・ジェネレータを使用する場合、パワーオン時に発振安定時間を加算する必要があります。

なお、発振安定時間は、使用する発振子と発振回路の特性に依存するため、実際に使用する発振子と発振回路で評価してください。

(2) μPD70208H, 70216H-20 (TA = -40~+85 °C, VDD = 3V±10%) (1/3)

出力端子の負荷容量: CL = 100 pF

項目	略号	μPD70208H-20 μPD70216H-20		単位
		MIN.	MAX.	
external clock入力周期	① t _{cyx}	50	DC	ns
external clock入力ハイ・レベル幅 (V _{KH} = 0.8 V _{DD})	② t _{b0H}	19		ns
external clock入力ロウ・レベル幅 (V _{KL} = 0.2 V _{DD})	③ t _{b0L}	19		ns
external clock入力立ち上がり時間 (0.2 V _{DD} →0.8 V _{DD})	④ t _{xr}		5	ns
external clock入力立ち下がり時間 (0.8 V _{DD} →0.2 V _{DD})	⑤ t _{xf}		5	ns
クロック出力周期	⑥ t _{cyx}	100	DC	ns
クロック出力ハイ・レベル幅 (V _{OH} = 0.7 V _{DD})	⑦ t _{b0H}	0.5t _{cyx} -7		ns
クロック出力ロウ・レベル幅 (V _{OL} = 0.2 V _{DD})	⑧ t _{b0L}	0.5t _{cyx} -7		ns
クロック出力立ち上がり時間 (0.2 V _{DD} →0.7 V _{DD})	⑨ t _{kr}		7	ns
クロック出力立ち下がり時間 (0.7 V _{DD} →0.2 V _{DD})	⑩ t _{kf}		7	ns
CLKOUT遅延時間 (対external clock)	⑪ t _{0xk}		45	ns
入力立ち上がり時間 (external clockを除く) (0.2 V _{DD} →0.7 V _{DD})	⑫ t _{ir}		15	ns
入力立ち下がり時間 (external clockを除く) (0.7 V _{DD} →0.2 V _{DD})	⑬ t _{if}		10	ns
出力立ち上がり時間 (CLKOUTを除く) (0.2 V _{DD} →0.7 V _{DD})	⑭ t _{or}		15	ns
出力立ち下がり時間 (CLKOUTを除く) (0.7 V _{DD} →0.2 V _{DD})	⑮ t _{of}		10	ns
RESET設定時間 (対CLKOUT↓) 注1	⑯ t _{sRESK}	25		ns
RESET保持時間 (対CLKOUT↓) 注1	⑰ t _{hKRES}	25		ns
RESOUT出力遅延時間 (対CLKOUT↓)	⑱ t _{0KRES}	5	50	ns
READYインアクティブ設定時間 (対CLKOUT↑)	⑲ t _{sRYLK}	15		ns
READYインアクティブ保持時間 (対CLKOUT↑)	⑳ t _{hKRYL}	20		ns
READYアクティブ設定時間 (対CLKOUT↑)	㉑ t _{sRYHK}	15		ns
READYアクティブ保持時間 (対CLKOUT↑)	㉒ t _{hKRYH}	20		ns
NMI設定時間 (対CLKOUT↑)	㉓ t _{sNMIK}	15		ns
POLL設定時間 (対CLKOUT↑)	㉔ t _{sPOLK}	20		ns
データ設定時間 (対CLKOUT↓)	㉕ t _{sDK}	15		ns
データ保持時間 (対CLKOUT↓)	㉖ t _{hKD}	5		ns
CLKOUT→アドレス遅延時間注2	㉗ t _{0KA}	5	50	ns
★ CLKOUT→アドレス保持時間	㉘ t _{hKA}	5		ns
CLKOUT↓→PS遅延時間	㉙ t _{0KP}	5	50	ns
CLKOUT↓→PSフロート遅延時間	㉚ t _{fkP}	5	50	ns
アドレス設定時間 (対ASTB↓)	㉛ t _{sAST}	t _{b0L} -20		ns
CLKOUT↓→アドレス・フロート遅延時間注3	㉜ t _{fKA}	t _{hKA}	50	ns
CLKOUT↓→ASTB↑遅延時間	㉝ t _{0KSTH}		40	ns
CLKOUT↑→ASTB↓遅延時間	㉞ t _{0KSTL}		45	ns

注1. 最低パルス幅でリセットする場合、またはRESOUT出力タイミングを保証する場合

2. QS0, QS1, BUSLOCK信号、およびHLDRQ/HLDAKタイミングにおけるA16/PS0-A19/PS3, UBE, BUFEN, BUFR/W, MRD, IORD, MWR, IOWR, BS0-BS2信号にも対応する規格です。

3. HLDRQ/HLDAKタイミングにおけるA16/PS0-A19/PS3, UBE, BUFEN, BUFR/W, MRD, IORD, MWR, IOWR, BS0-BS2信号にも対応する規格です。

(2) μPD70208H, 70216H-20 (T_A = -40~+85 °C, V_{DD} = 3V±10%) (2/3)

出力端子の負荷容量: C_L = 100 pF

項 目	略 号	μPD70208H-20		単 位	
		μPD70216H-20			
		MIN.	MAX.		
ASTBハイ・レベル幅	③	tSTBT	t _{KKL} -10	ns	
ASTB↓→アドレス保持時間	④	tHSTA	t _{KKH} -20	ns	
CLKOUT→コントロール1 ^{注1} 遅延時間	⑦	tDKCT1	5	60	ns
CLKOUT→コントロール2 ^{注2} 遅延時間	⑧	tDKCT2	5	55	ns
アドレス・フロート→RD↓遅延時間	⑨	tDAFRL	0		ns
CLKOUT↓→RD↓遅延時間	⑩	tDKRL	5	65	ns
CLKOUT↓→RD↑遅延時間	⑪	tDKRH	5	60	ns
RD↑→アドレス遅延時間	⑫	tDRHA	t _{CVK} -40	ns	
RDロウ・レベル幅	⑬	tRR	2t _{CVK} -40	ns	
BUFEN↑→BUF _{R/W} 遅延時間 (リード・サイクル時)	⑭	tDBECT	t _{KKL} -20	ns	
CLKOUT↓→データ出力遅延時間	⑮	tDKD	5	55	ns
CLKOUT↓→データ・フロート遅延時間	⑯	tFKD	5	55	ns
WRロウ・レベル幅	⑰	tWW	2t _{CVK} -40	ns	
WR↑→BUFEN↑ OR BUF _{R/W} ↓ (ライト・サイクル時)	⑱	tDWCT	t _{KKL} -20	ns	
CLKOUT↑→BS↓遅延時間	⑲	tDKBL	5	55	ns
CLKOUT↓→BS↑遅延時間	⑳	tDKBH	5	55	ns
HLD _{RQ} 設定時間 (対CLKOUT↓)	㉑	tSMOK	15		ns
CLKOUT↓→HLD _{AK} 遅延時間	㉒	tDKHA	5	60	ns
CLKOUT↑→DMA _{AK} 遅延時間	㉓	tDKHDA	5	55	ns
CLKOUT↓→DMA _{AK} 遅延時間 (カスケード・モード時)	㉔	tDKLDA	5	80	ns
WRロウ・レベル幅 (DMAサイクル)	DMA拡張ライト	㉕	tDW1	2t _{CVK} -40	ns
	DMA通常ライト	㉖	tDW2	t _{CVK} -40	ns
RD↓, WR↓遅延時間 (対DMA _{AK} ↓)	㉗	tD _{ARW}	t _{KKH} -30	ns	
DMA _{AK} ↑遅延時間 (対RD↑)	㉘	tDRHDAH	t _{KKL} -30	ns	
RD↑遅延時間 (対WR↑)	㉙	tD _{WRH}	3		ns
TC出力遅延時間 (対CLKOUT↑)	㉚	tDKTCL		55	ns
TC OFF遅延時間 (対CLKOUT↑)	㉛	tDKTCF		55	ns
TCロウ・レベル幅	㉜	tCTCL	t _{CVK} -15		ns
TCプル・アップ遅延時間 (対CLKOUT↑)	㉝	tDKTCH		注3	ns
END設定時間 (対CLKOUT↑)	㉞	tSEDK	30		ns
ENDロウ・レベル幅	㉟	tEEDL	80		ns
DMA _{RQ} 設定時間 (対CLKOUT↑)	㊱	tSDOK	30		ns
INTP _n ロウ・レベル幅	㊲	tIPL	80		ns
RxD設定時間 (対SCU内部クロック↓)	㊳	tSRX	500		ns
RxD保持時間 (対SCU内部クロック↓)	㊴	tHRX	500		ns
CLKOUT↓→SRDY遅延時間	㊵	tDKBR		100	ns

注1. DMAサイクル時のM_{WR}, I_{OWR}信号

2. BUFEN, BUF_{R/W}, INTAK, REFRQおよびCPUサイクル時のM_{WR}, I_{OWR}信号

3. t_{KKH}+2t_{CVK}-10 (プルアップ抵抗1.1 kΩをつけた場合の参考値)

(2) μPD70208H, 70216H-20 (T_A = -40~+85 °C, V_{DD} = 3V±10%) (3/3)

出力端子の負荷容量: C_L = 100 pF

項 目	略 号	μPD70208H-20, μPD70216H-20		単 位
		MIN.	MAX.	
TOUT1 ↓ → TxD 遅延時間	㉑ t _{DTX}		200	ns
TCTL2 設定時間 (対CLKOUT ↓)	㉒ t _{SAK}	40		ns
TCTL2 設定時間 (対TCLK ↑)	㉓ t _{SA TK}	40		ns
TCTL2 保持時間 (対CLKOUT ↓)	㉔ t _{HKG}	80		ns
TCTL2 保持時間 (対TCLK ↑)	㉕ t _{H TKG}	40		ns
TCTL2 ハイ・レベル幅	㉖ t _{GMH}	40		ns
TCTL2 ロウ・レベル幅	㉗ t _{GLL}	40		ns
TOUT 出力遅延時間 (対CLKOUT ↓)	㉘ t _{DTKO}		150	ns
TOUT 出力遅延時間 (対TCLK ↓)	㉙ t _{DTKTO}		100	ns
TOUT 出力遅延時間 (対TCTL2 ↓)	㉚ t _{DGTO}		90	ns
TCLK 立ち上がり時間	㉛ t _{TKR}		25	ns
TCLK 立ち下がり時間	㉜ t _{TKF}		25	ns
TCLK ハイ・レベル幅	㉝ t _{TKTH}	45		ns
TCLK ロウ・レベル幅	㉞ t _{TKTL}	45		ns
TCLK 周期	㉟ t _{CVTK}	100	DC	ns
アクセス間隔 ^{注1}	㊱ t _A	2t _{CVK} -40		ns
REFRQ ↑ 遅延時間 (対MRD ↑) ^{注2}	㊲ t _{DRQMH}	t _{CKL} -30		ns
RESET パルス幅 ^{注3}	㊳ t _{WRESL}	4t _{CVK}		ns

注1. I/Oデバイスに対するリード・ライト回復時間を保証するための規格です。

2. REFRQ ↑ が MRD ↑ より常に遅れることを保証するための規格です。

SCTLレジスタのEREFビットが0のときのみ保証されます。

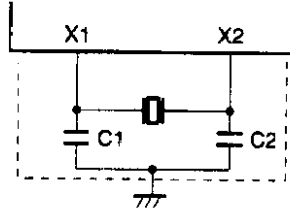
3. X1, X2端子に発振子を接続して内部クロック・ジェネレータを使用する場合、パワーオン時に発振安定時間を加算する必要があります。

なお、発振安定時間は、使用する発振子と発振回路の特性に依存するため、実際に使用する発振子と発振回路で評価してください。

推奨発振回路

クロック入力には次の(1)、(2)の回路を推奨します。

(1) セラミック発振子接続 ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = 3 \text{ V} \pm 10 \%$ ※)

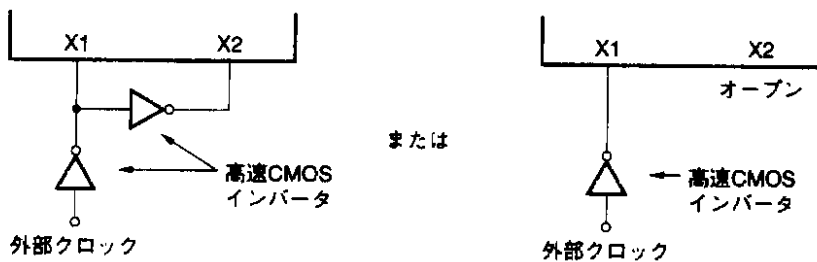


- 注意 1. 発振回路はX1, X2端子にできるかぎり近づけてください。
- 2. 破線の範囲に他の信号線を通さないでください。
- 3. V40HL, V50HLと発振子のマッチングについては、十分な評価を行ってください。
- 4. 発振回路定数C1, C2の値は、使用する発振子の特性に依存します。実際に使用する発振子で評価してください。

メーカー	周波数 (f _{osc}) [MHz]	品名	推奨定数	
			C1 [pF]	C2 [pF]
村田製作所	20	CSA20.00MXZ040 [※]	10	10
	16	CSA16.00MXZ040	15	15
		CST16.00MXW0C3	—	—
	12.5	CSA12.5MTZ	30	30
		CST12.5MTW	—	—
	10	CSA10.0MTZ	30	30
CST10.0MTW		—	—	
TDK	20	FCR20.0M2G	10	10
	16	FCR16.0M2G	15	15
	10	FCR10.0MC	—	—

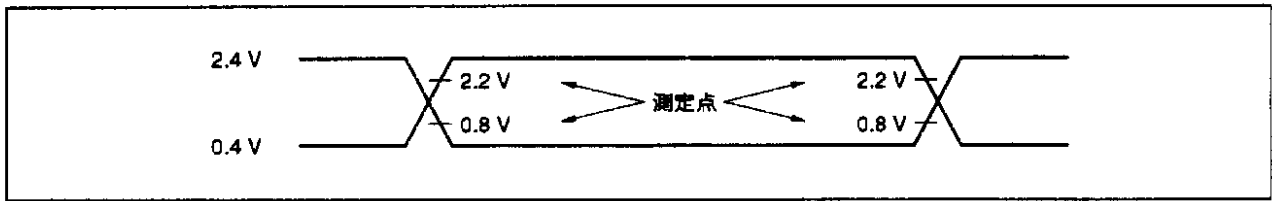
注 CAS20.00MXZ040はV_{DD} = 2.9-3.3 Vの範囲で使用してください。

(2) 外部クロック入力

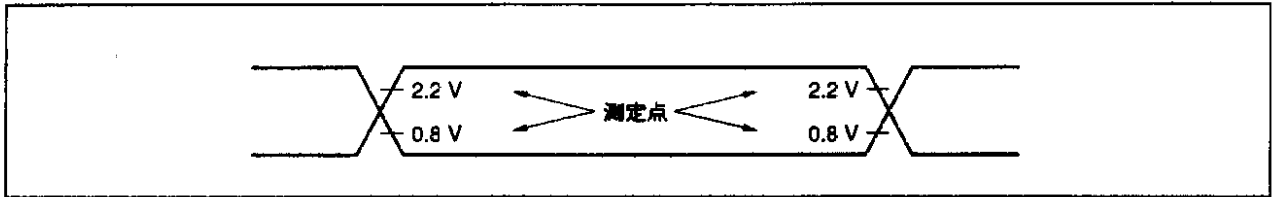


注意 高速CMOSインバータはX1, X2端子にできるかぎり近づけてください。

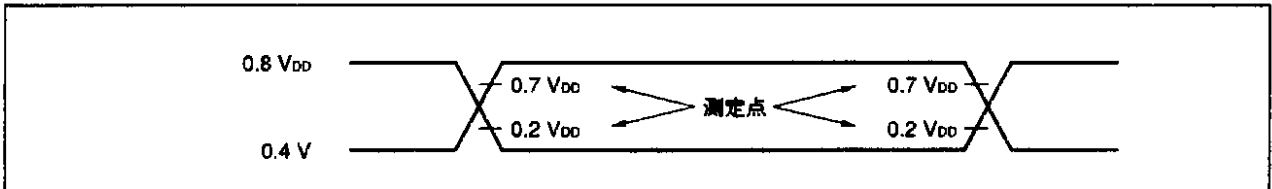
ACテスト入力波形 (X1, X2を除く) (5V動作時)



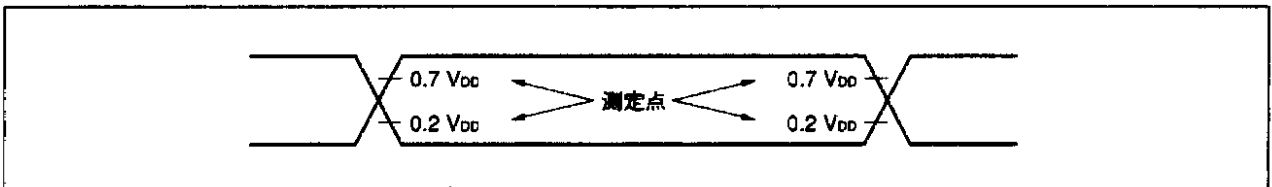
ACテスト出力測定点 (5V動作時)



ACテスト入力波形 (X1, X2を除く) (3V動作時)



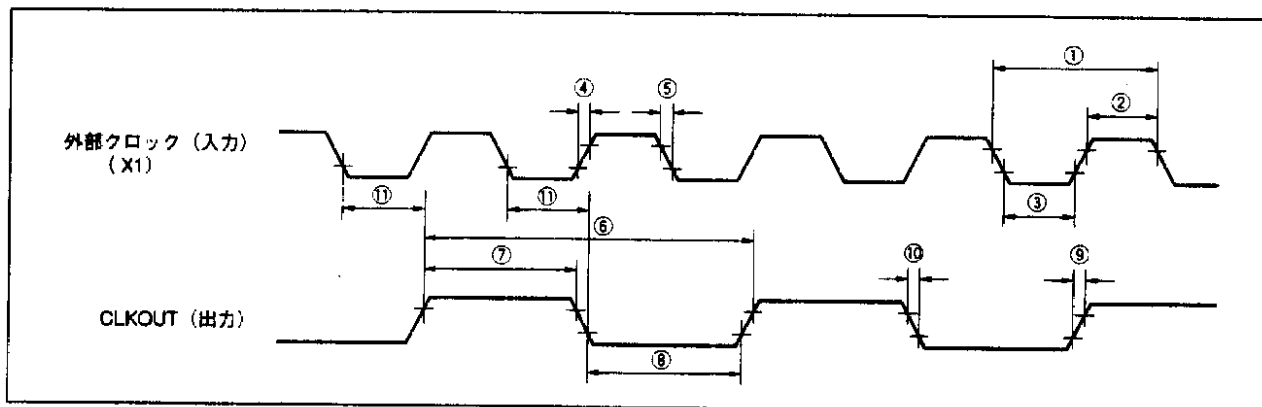
ACテスト出力測定点 (3V動作時)



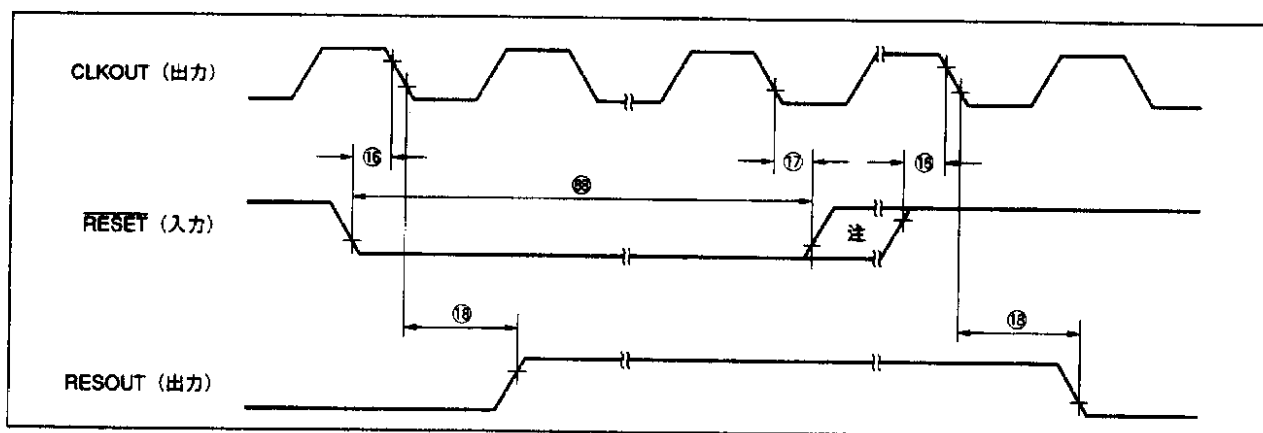
負荷条件

注意 回路の構成により負荷容量が100 pFを超える場合は、バッファを入れるなどして、このデバイスの負荷容量を100 pF以下にしてください。

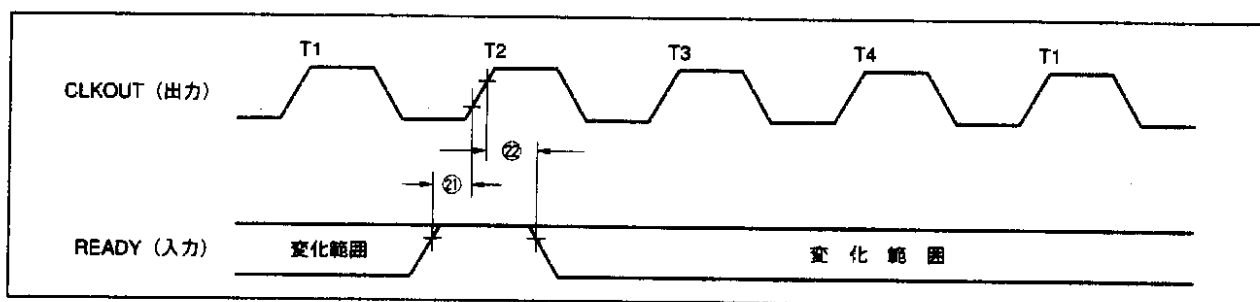
クロック・タイミング



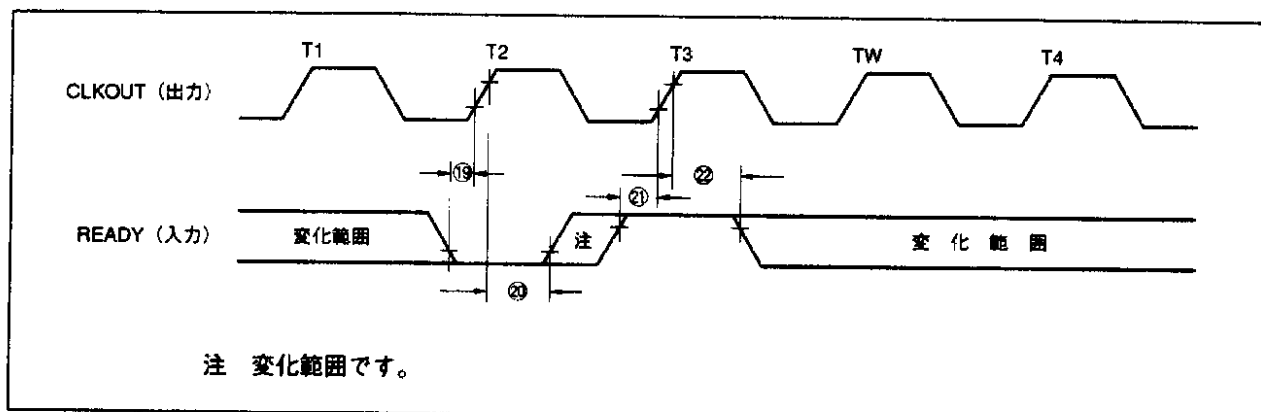
リセット・タイミング



レディ・タイミング (1)

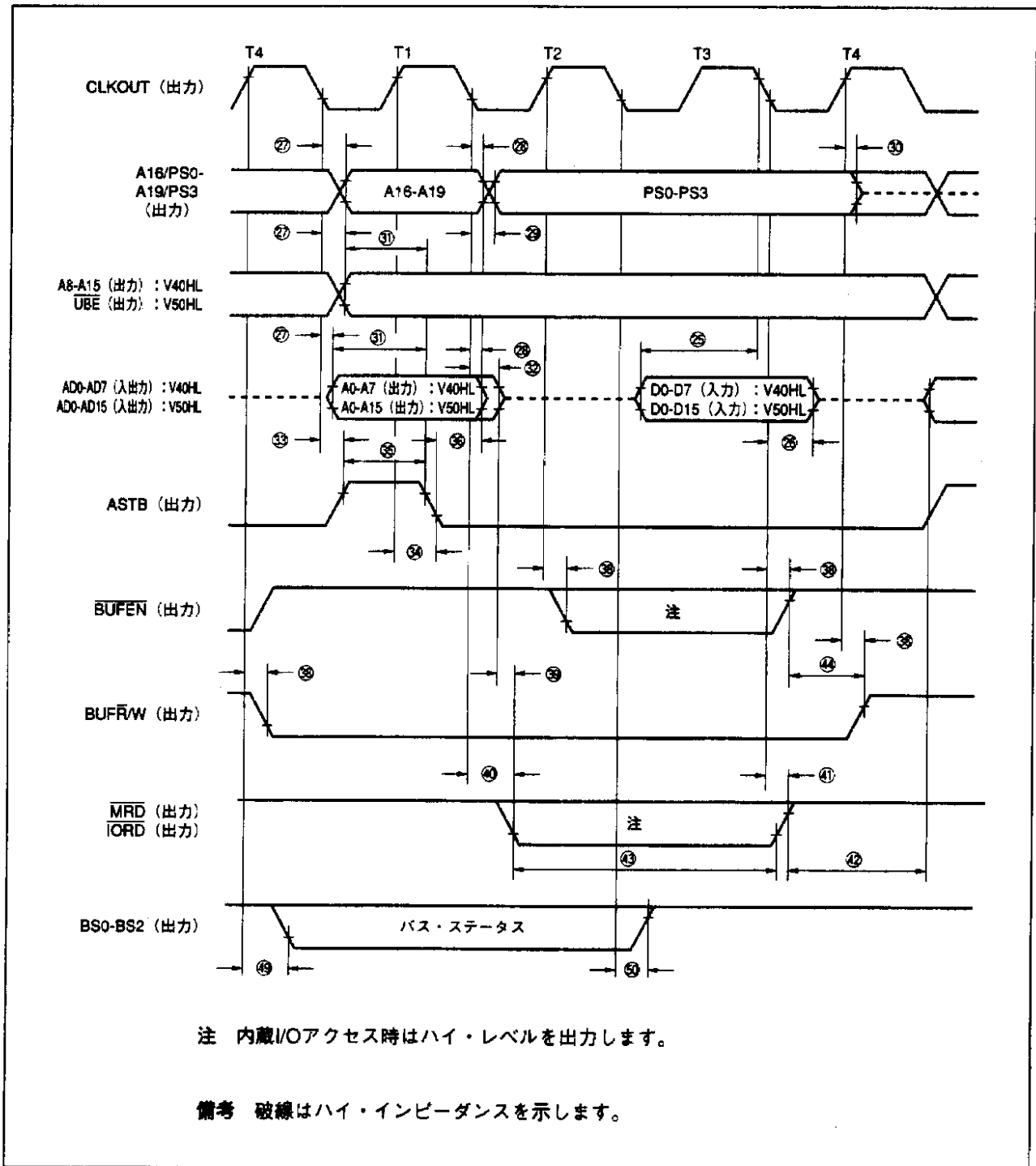


レディ・タイミング (2)



注 変化範囲です。

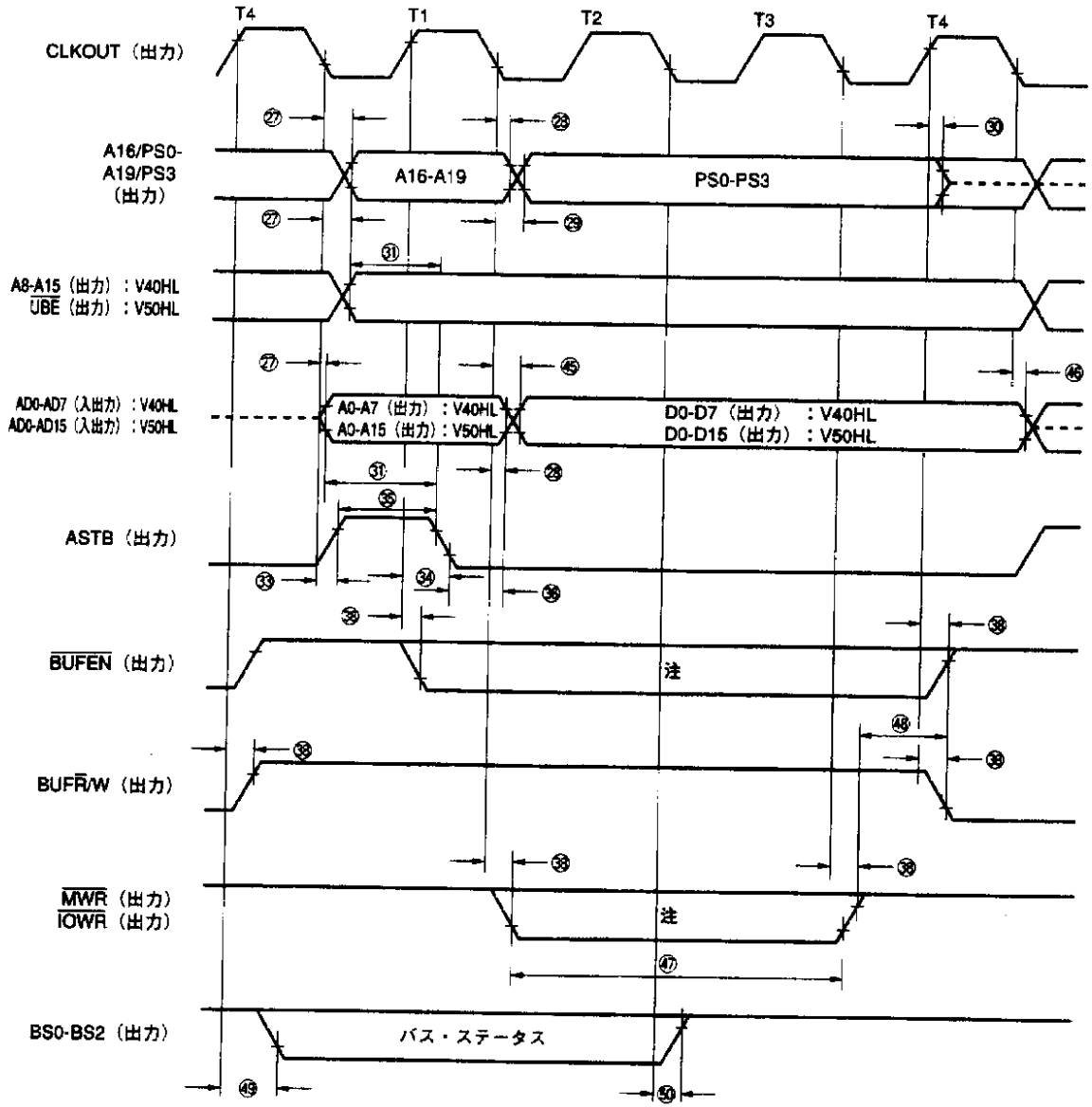
リード・タイミング



注 内蔵I/Oアクセス時はハイ・レベルを出力します。

備考 破線はハイ・インピーダンスを示します。

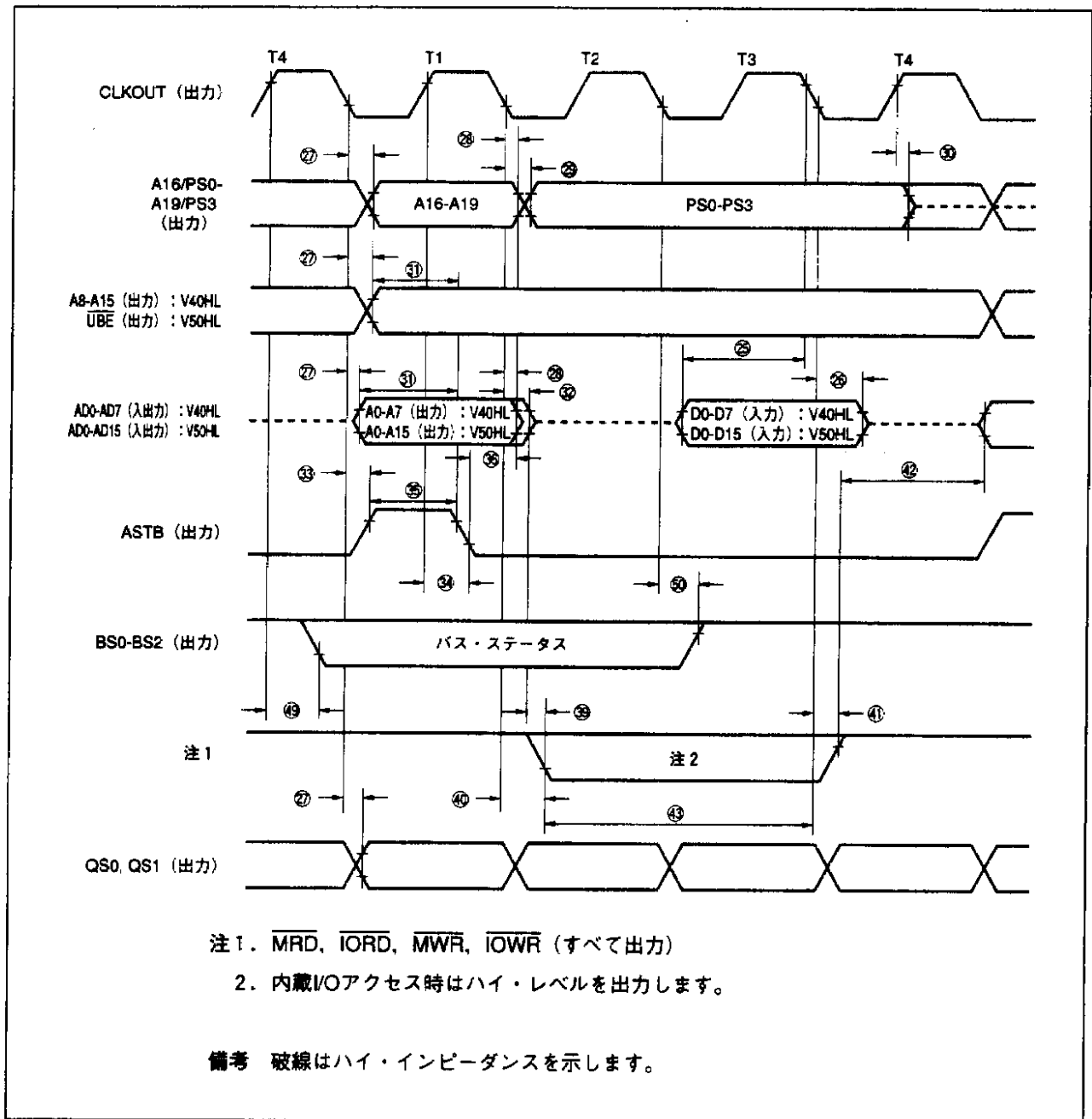
ライト・タイミング



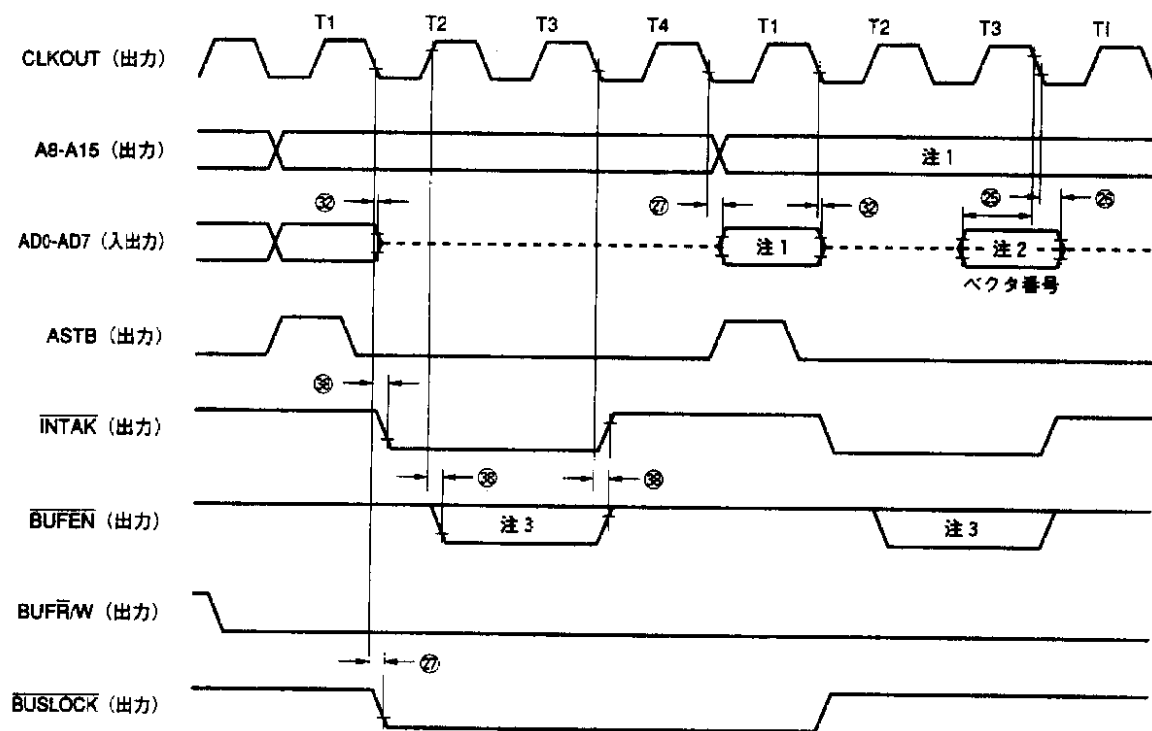
注 内蔵I/Oアクセス時はハイ・レベルを出力します。

備考 破線はハイ・インピーダンスを示します。

ステータス・タイミング



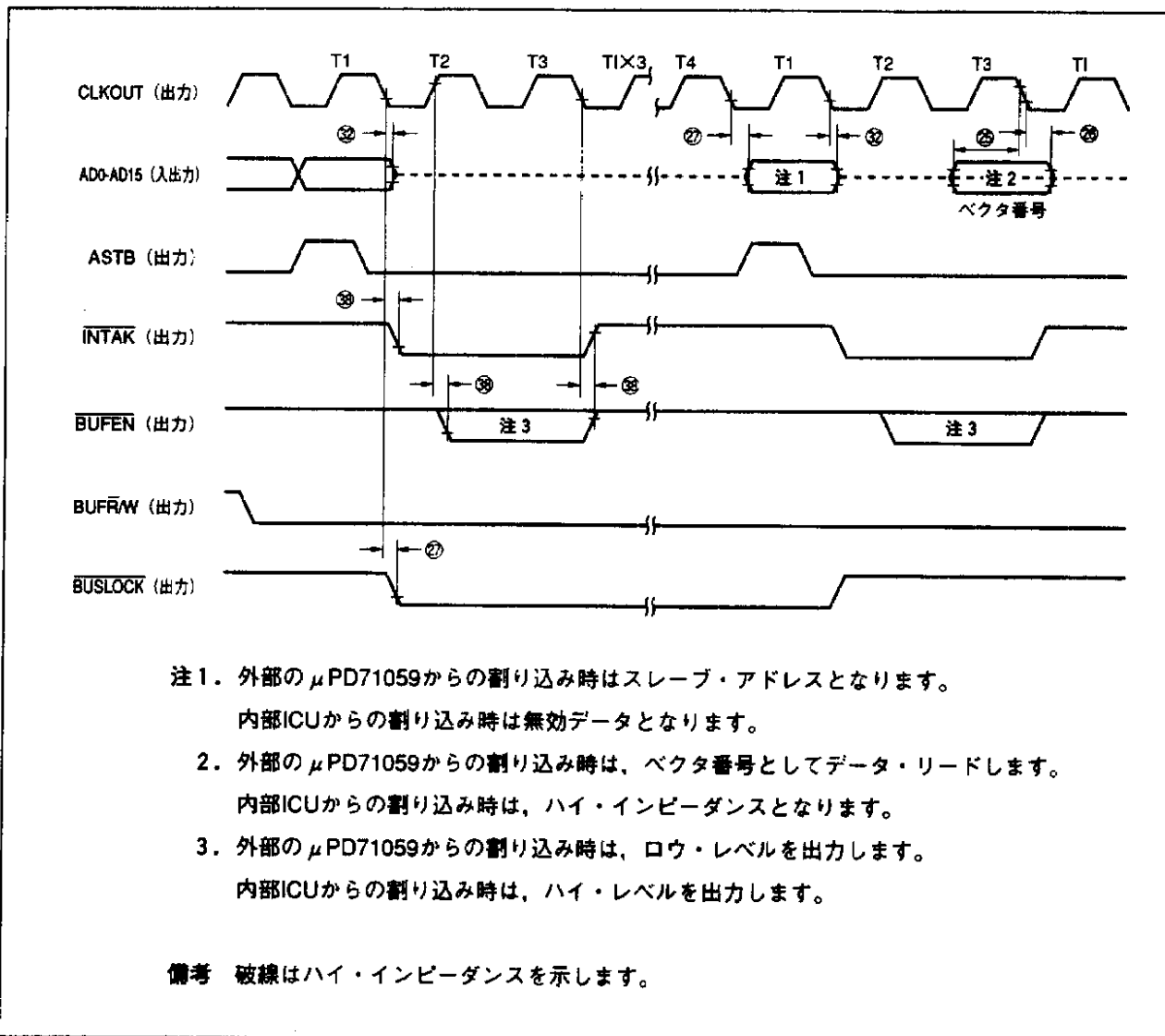
割り込みアクノリッジ・タイミング (V40HL)



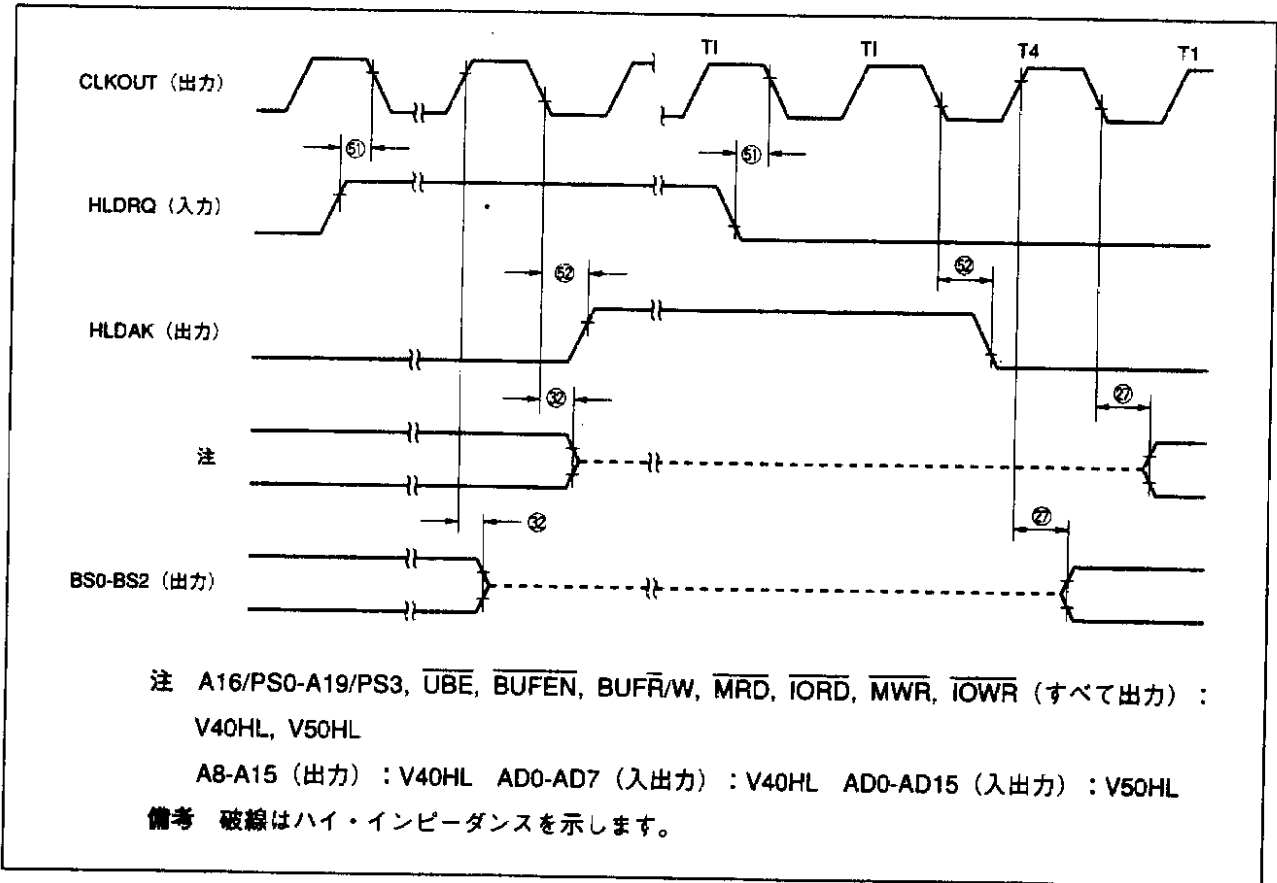
- 注1. 外部のμPD71059からの割り込み時はスレーブ・アドレスとなります。
内部ICUからの割り込み時は無効データとなります。
- 2. 外部のμPD71059からの割り込み時は、ベクタ番号としてデータ・リードします。
内部ICUからの割り込み時は、ハイ・インピーダンスとなります。
- 3. 外部のμPD71059からの割り込み時は、ロウ・レベルを出力します。
内部ICUからの割り込み時は、ハイ・レベルを出力します。

備考 破線はハイ・インピーダンスを示します。

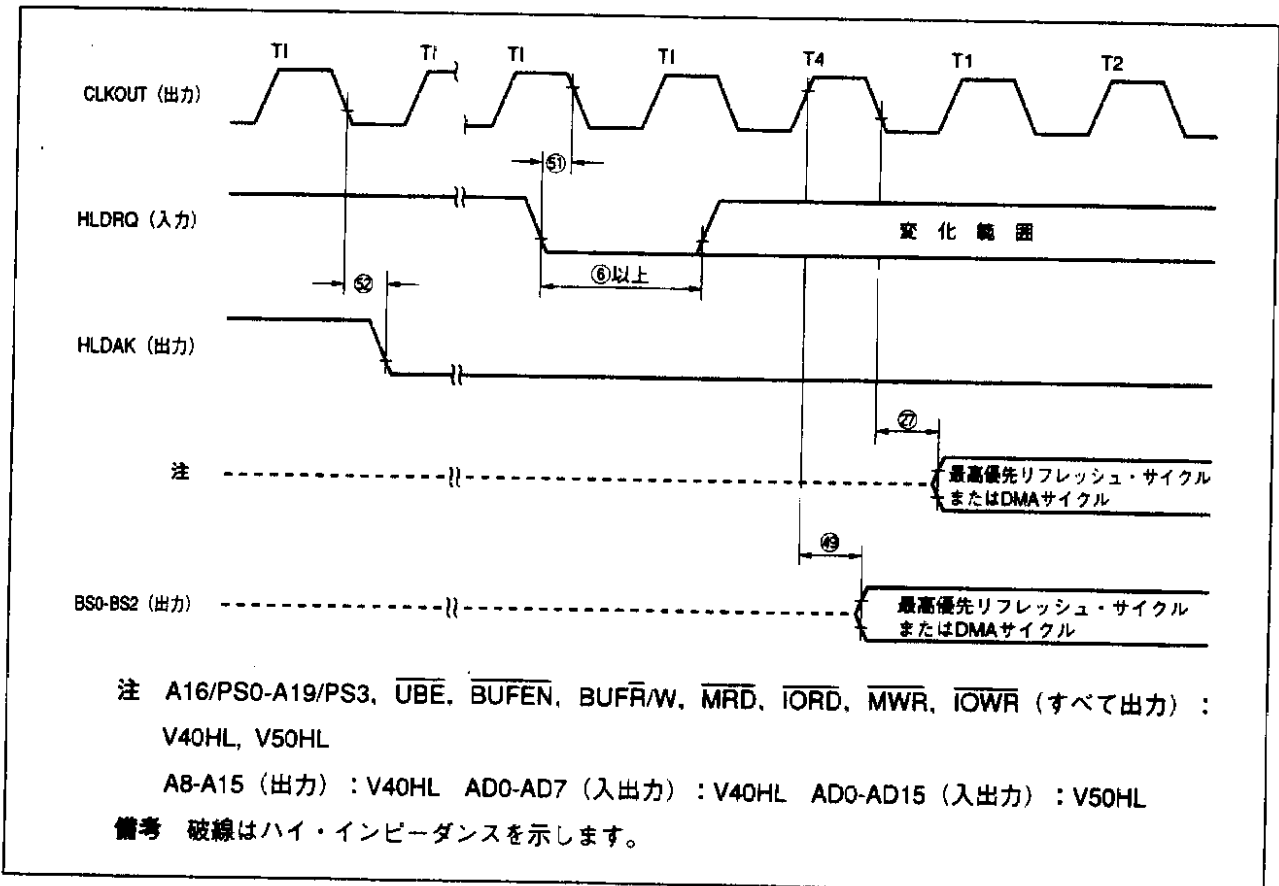
割り込みアクノリッジ・タイミング (V50HL)



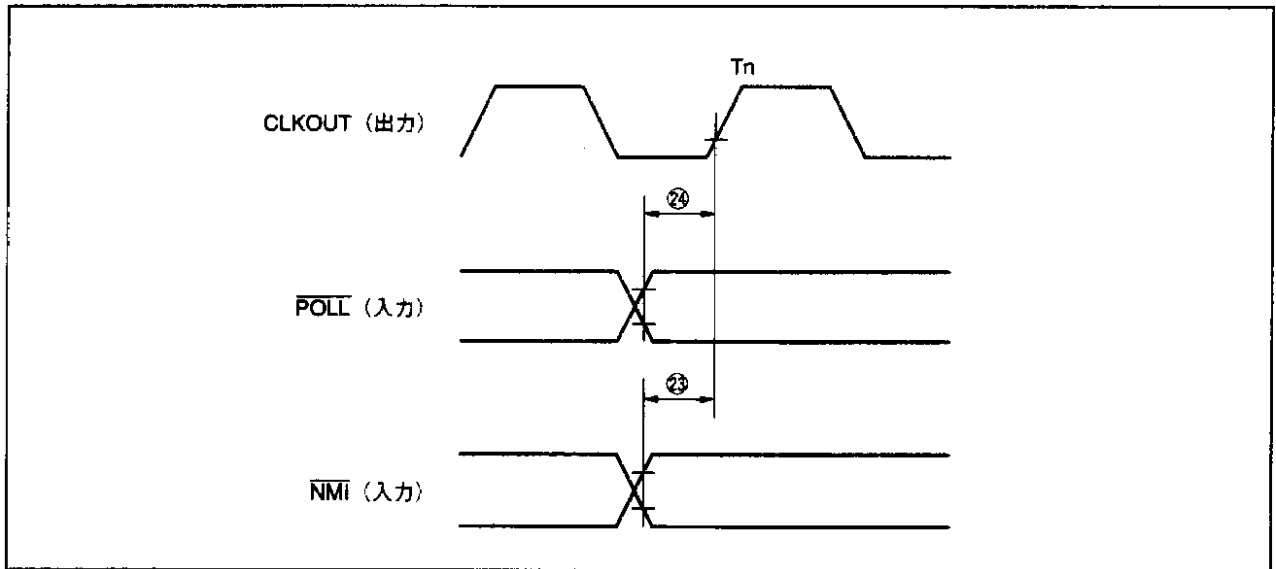
HLDRO/HLDAKタイミング (1)



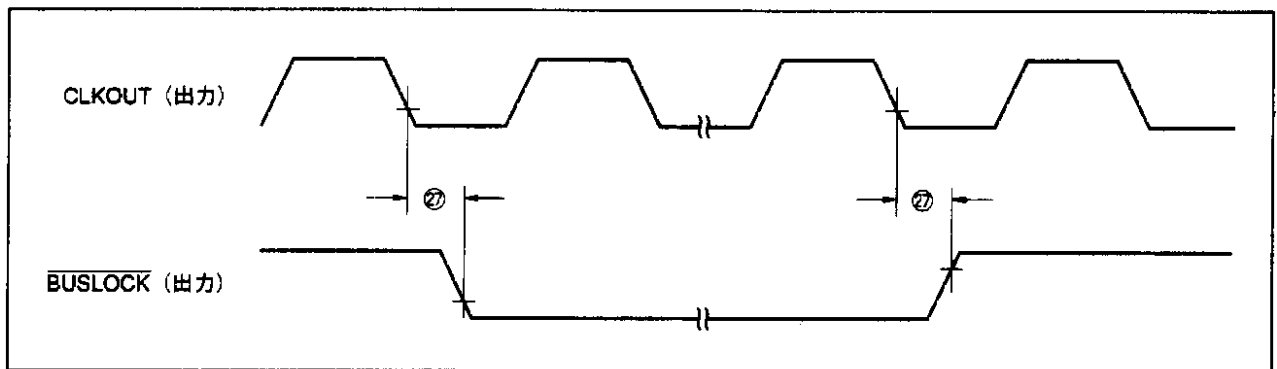
HLDRO/HLDAKタイミング (2)



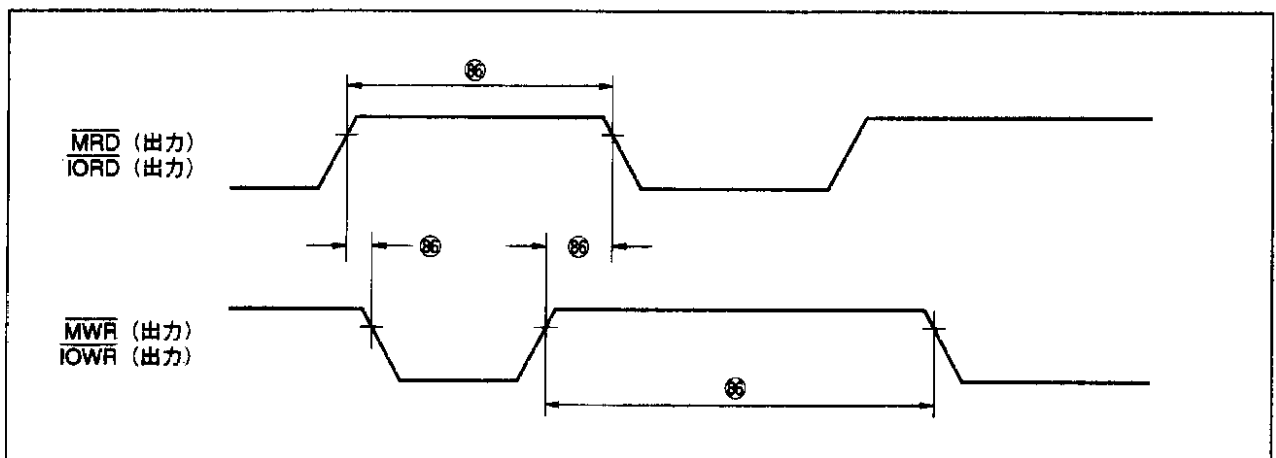
\overline{POLL} , NMI入力タイミング



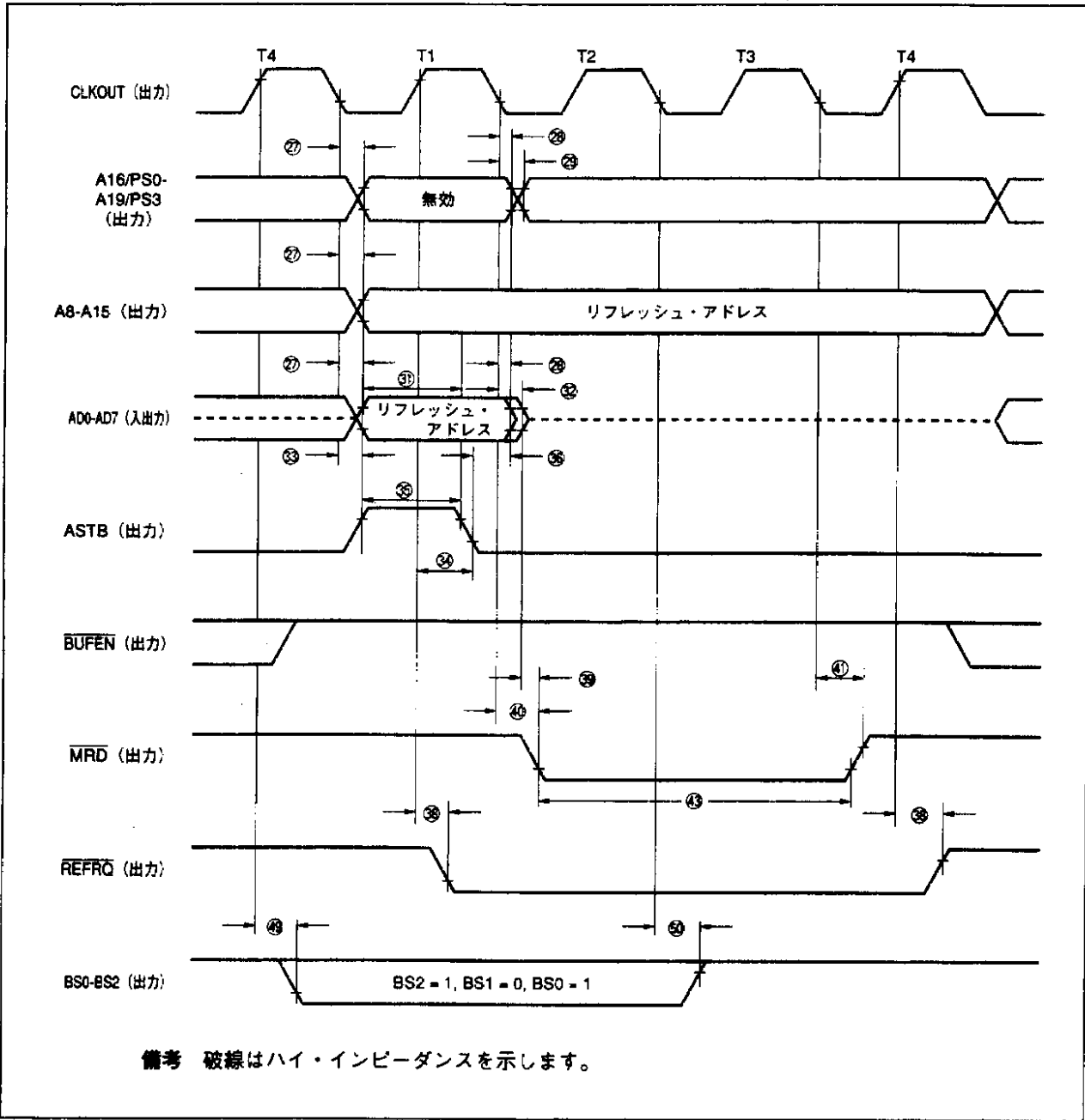
BUSLOCK出力タイミング



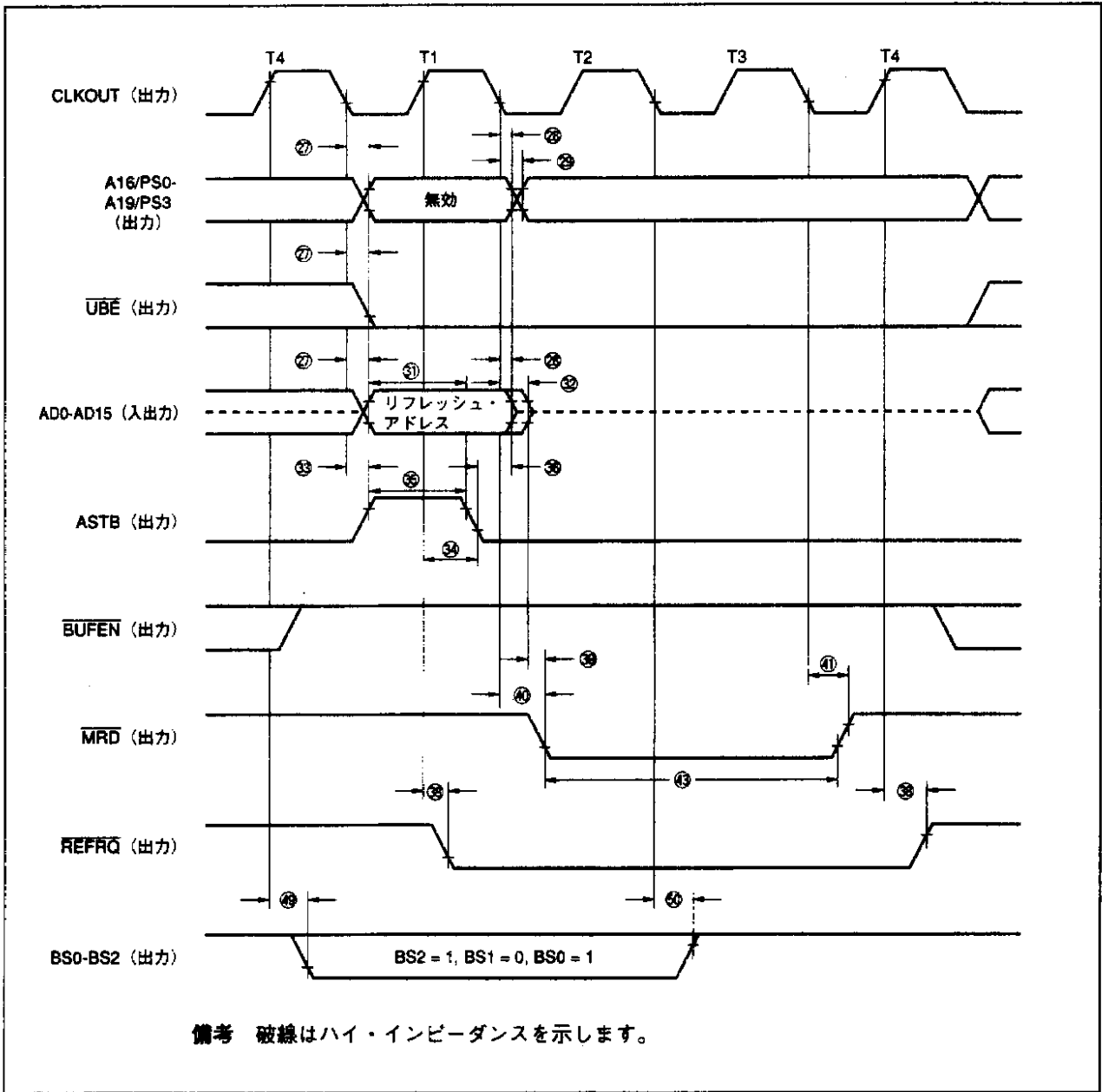
アクセス間隔



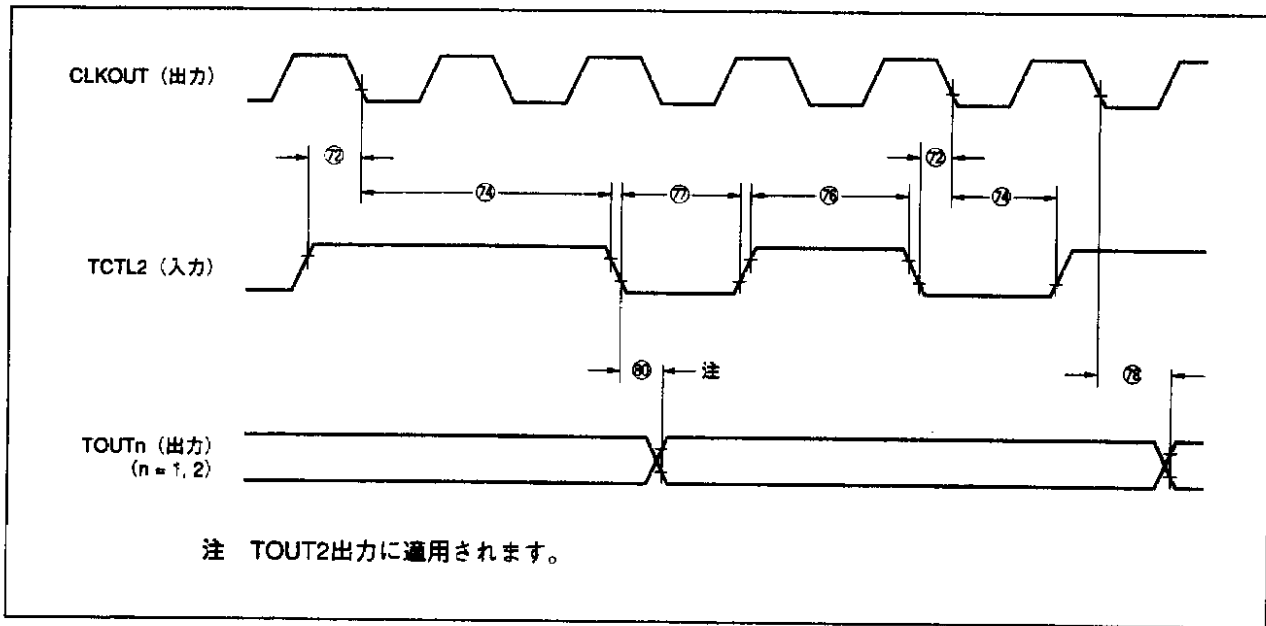
リフレッシュ・タイミング (V40HL)



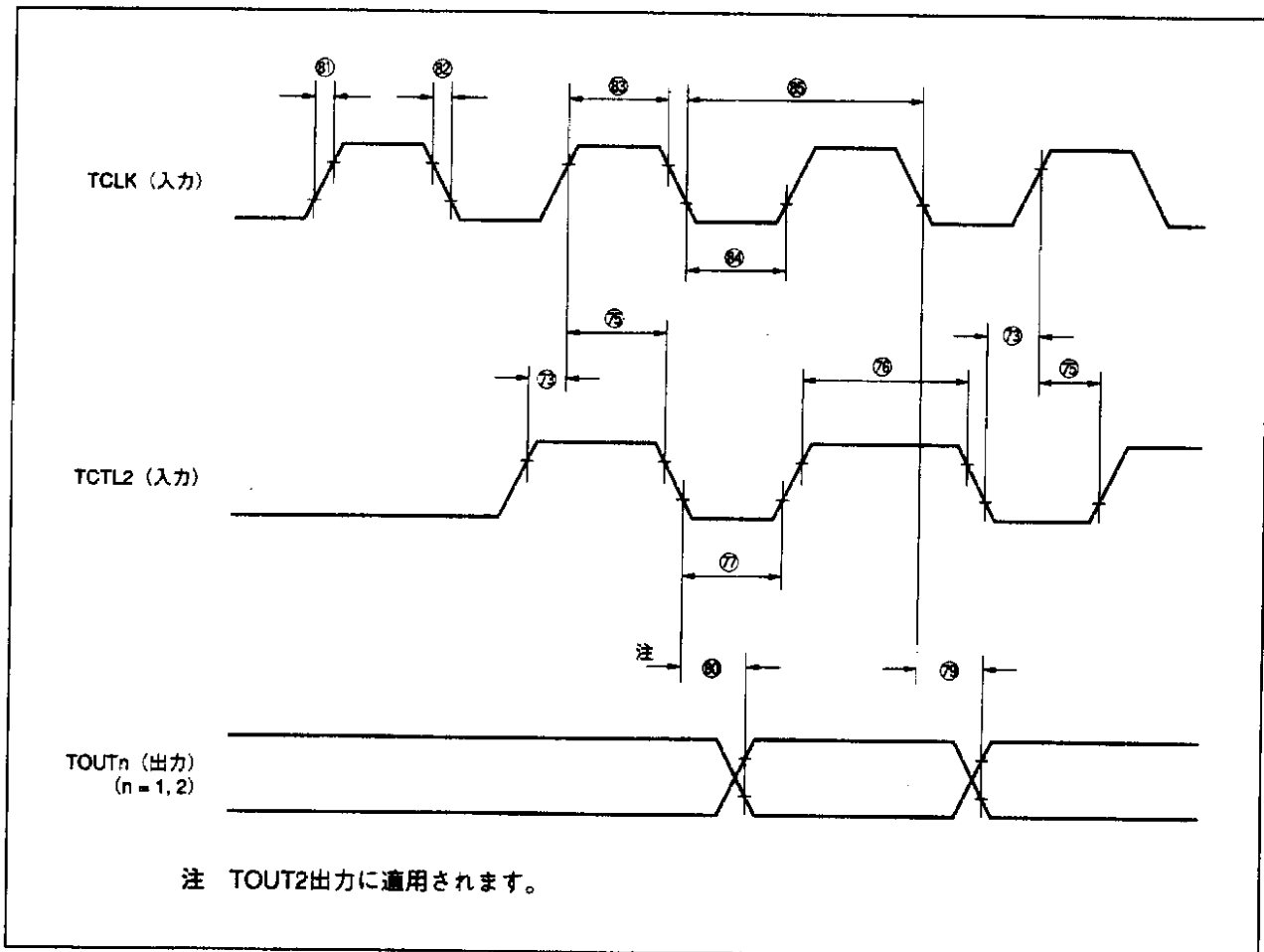
リフレッシュ・タイミング (V50HL)



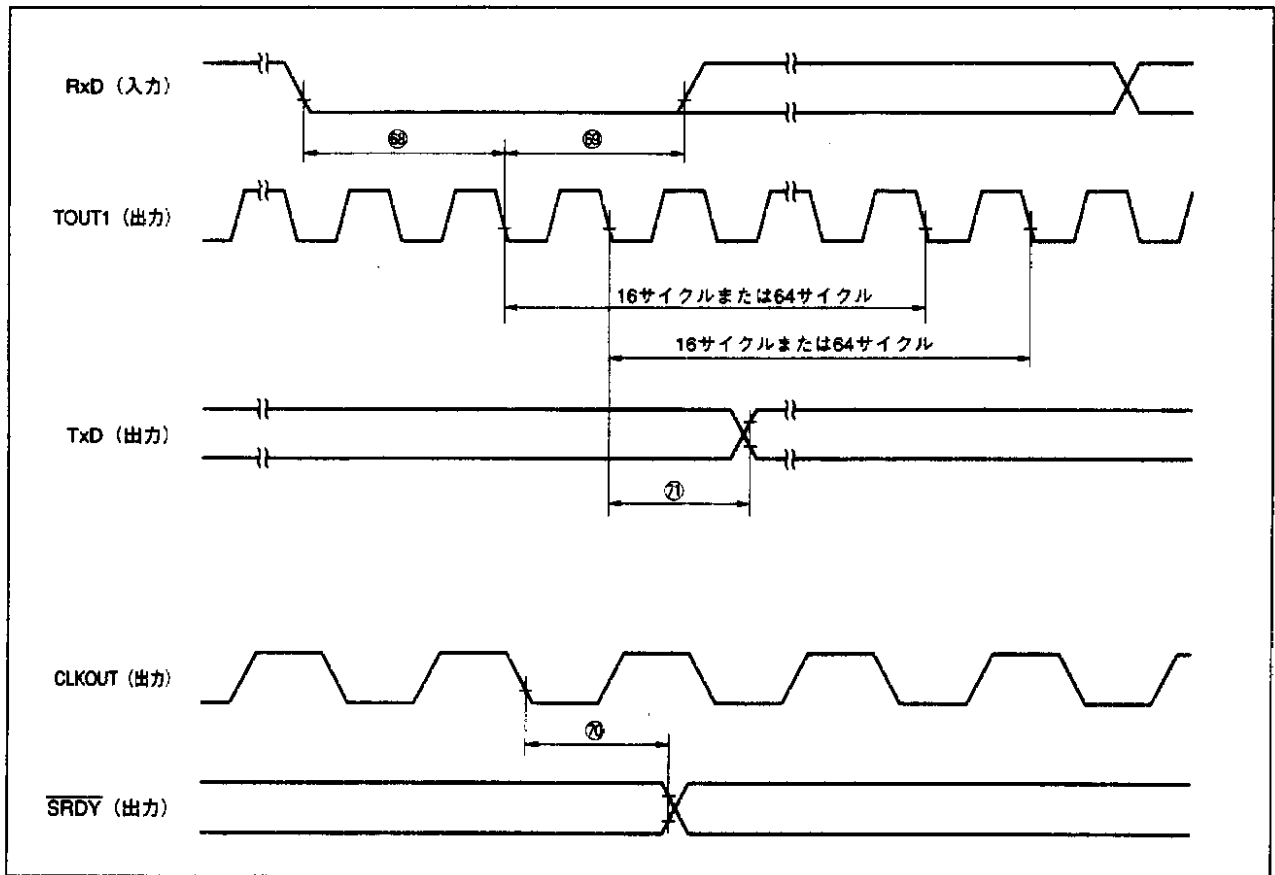
TCUタイミング (1)



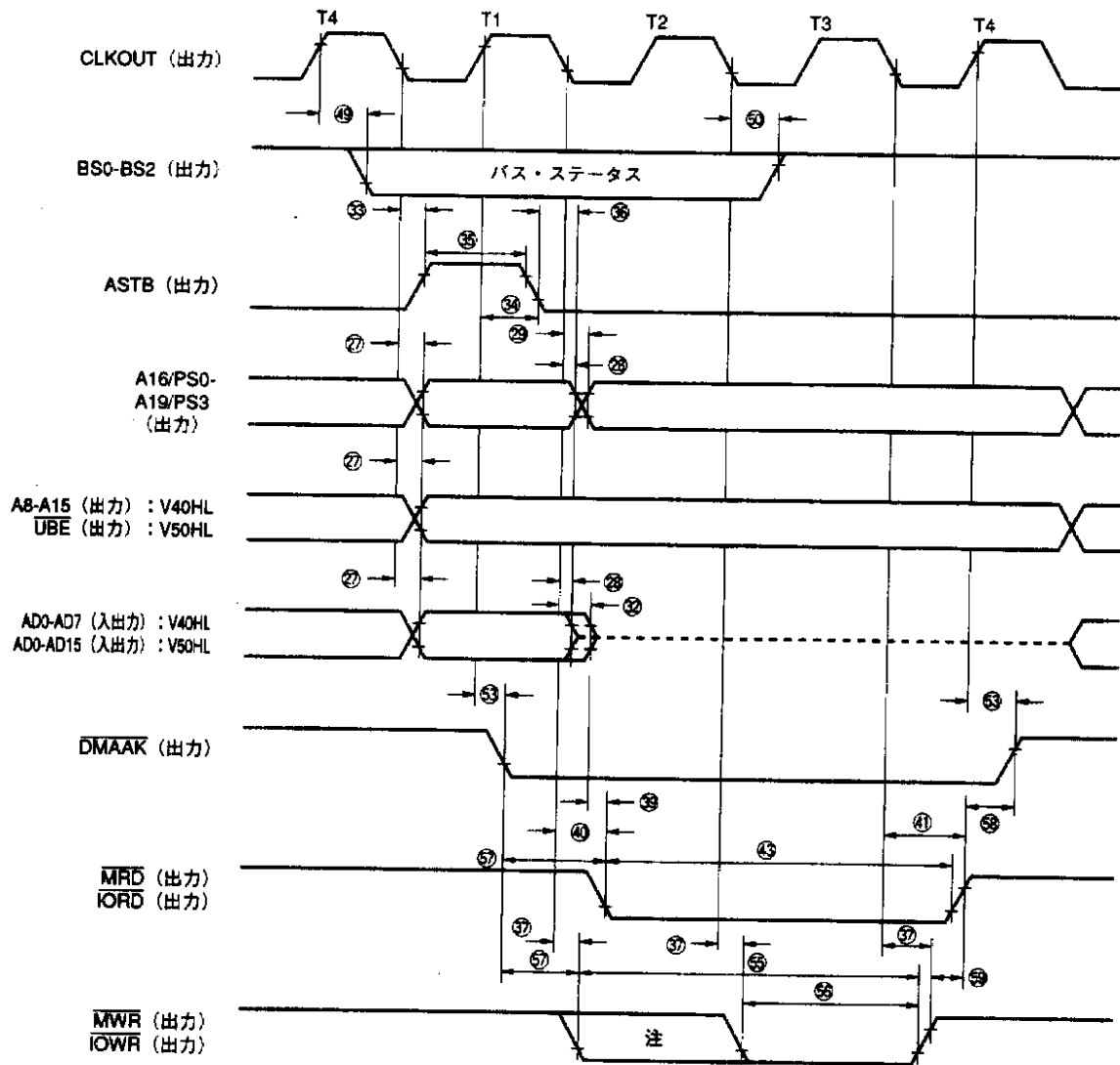
TCUタイミング (2)



SCUタイミング



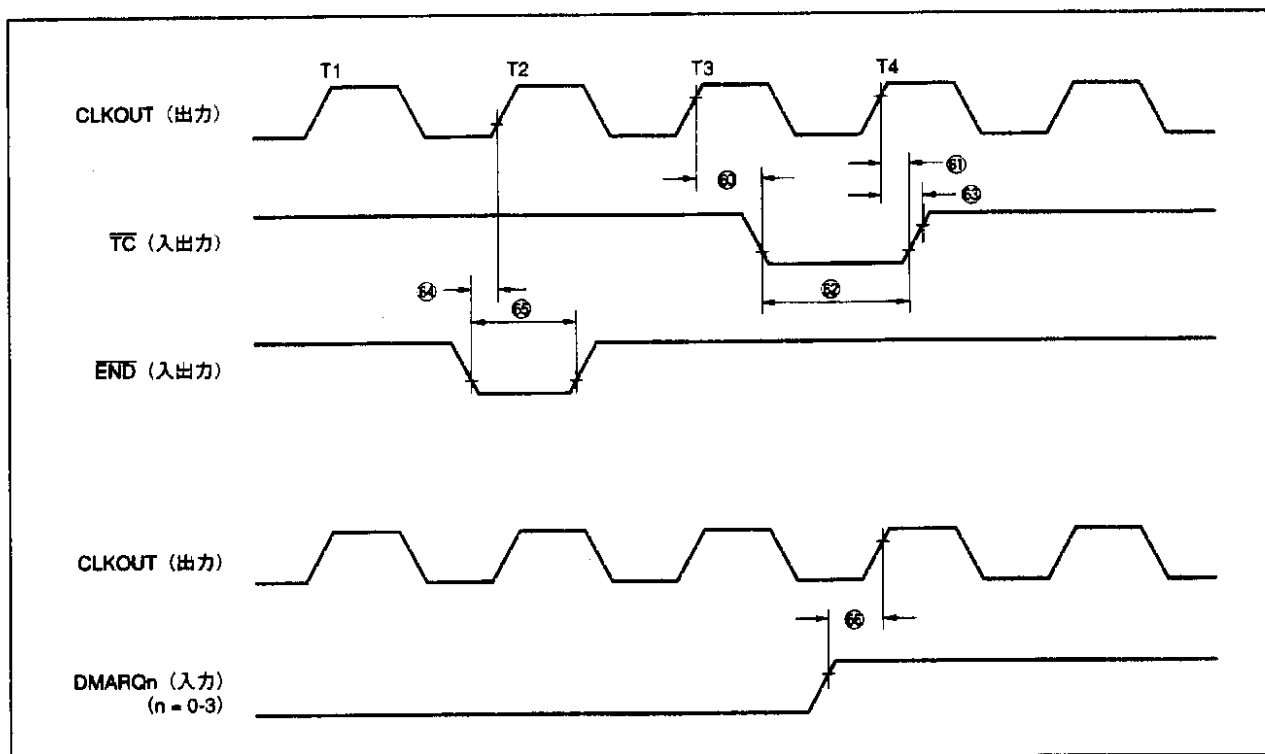
DMAUタイミング (1)



注 拡張ライト・モード時はロウ・レベルを出力します。

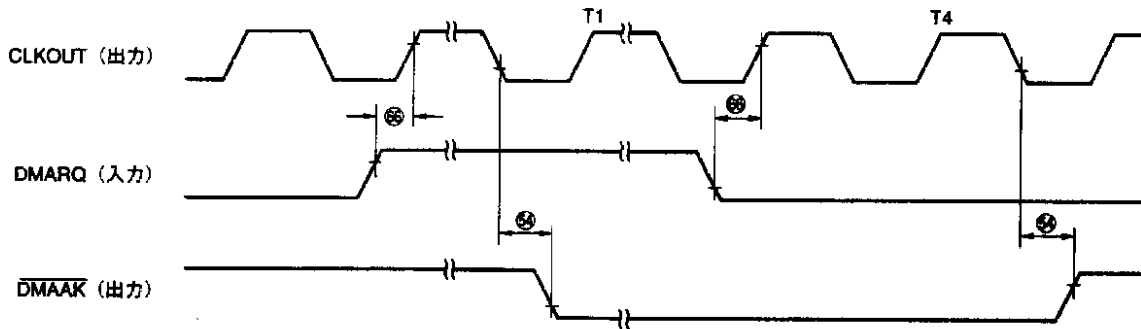
備考 破線はハイ・インピーダンスを示します。

DMAU タイミング (2)

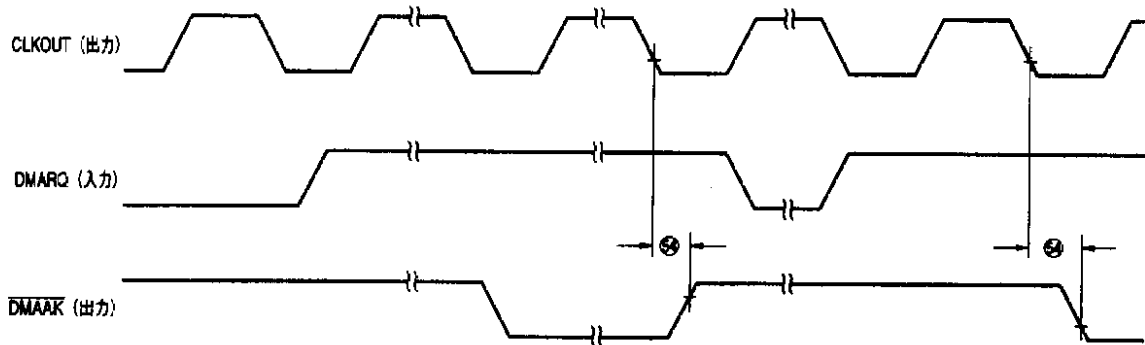


DMAU タイミング (3) (カスケード・モード)

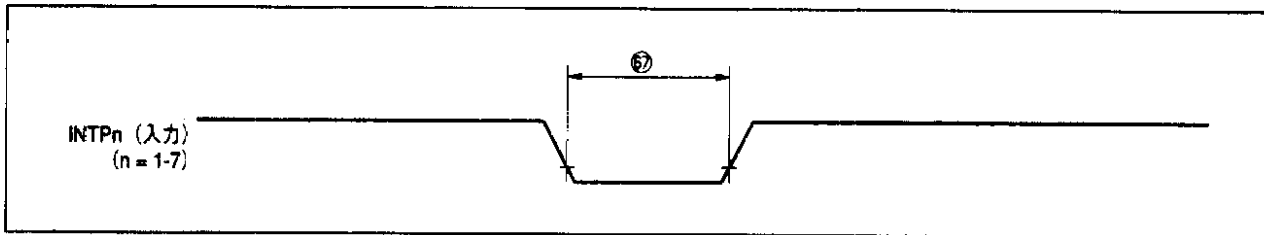
通常動作時:



リフレッシュ・サイクルが挿入された場合:

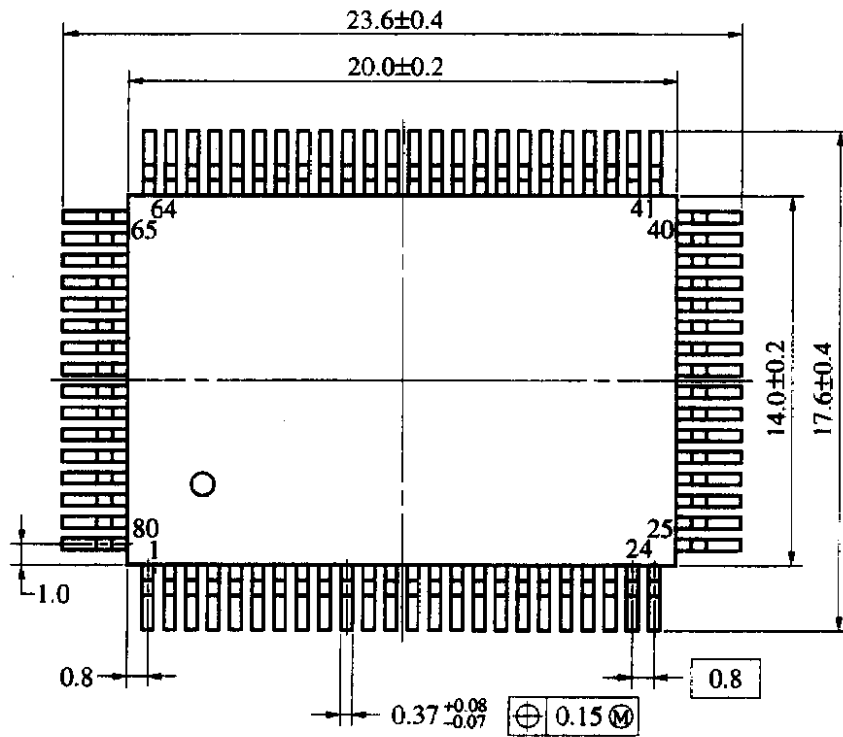


ICU タイミング

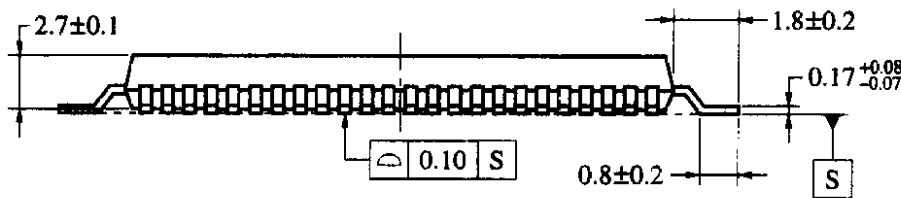
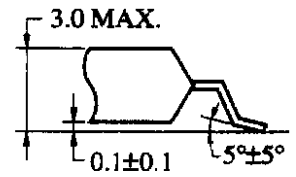


17. 外形図

80ピン・プラスチック QFP (14×20) 外形図 (単位: mm)

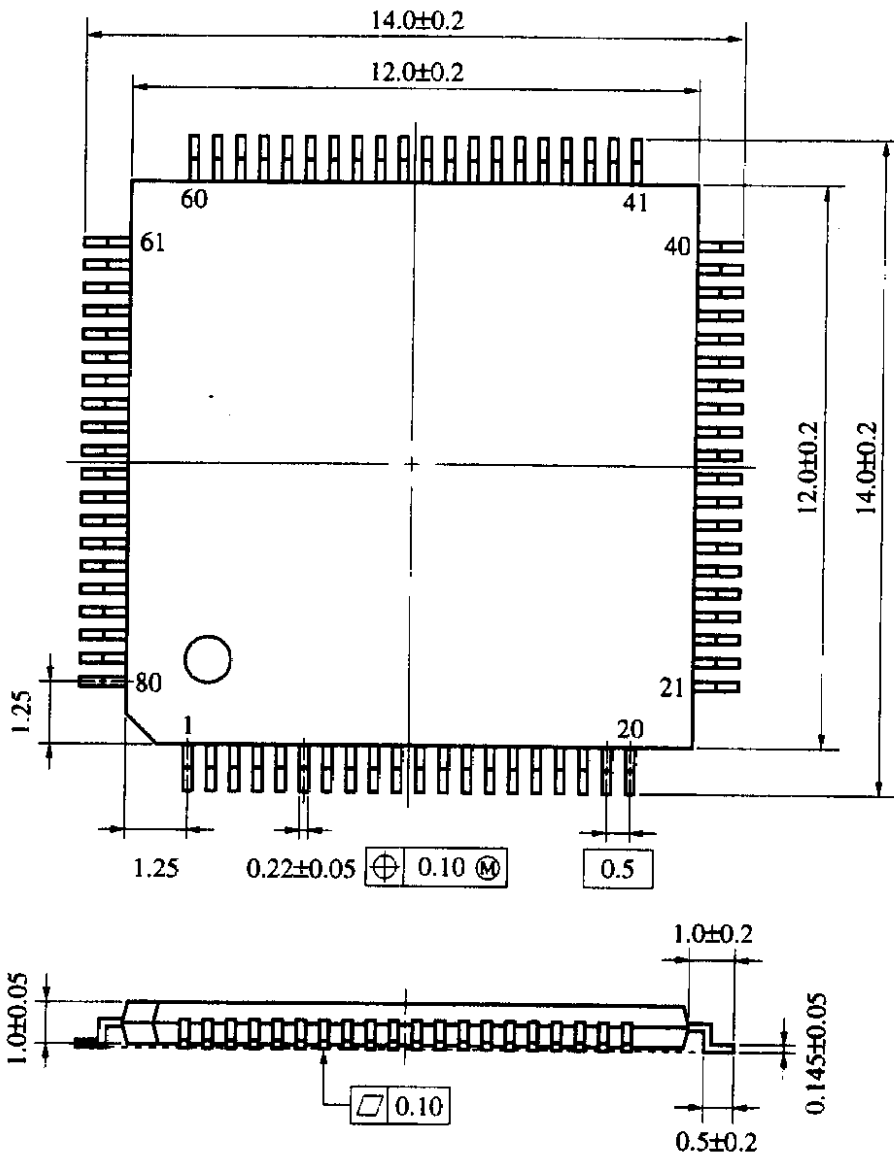


端子先端形状詳細図

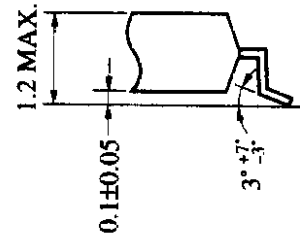


P80GF-80-3B9-4

80ピン・プラスチック TQFP (ファインピッチ) (□12) 外形図 (単位: mm)

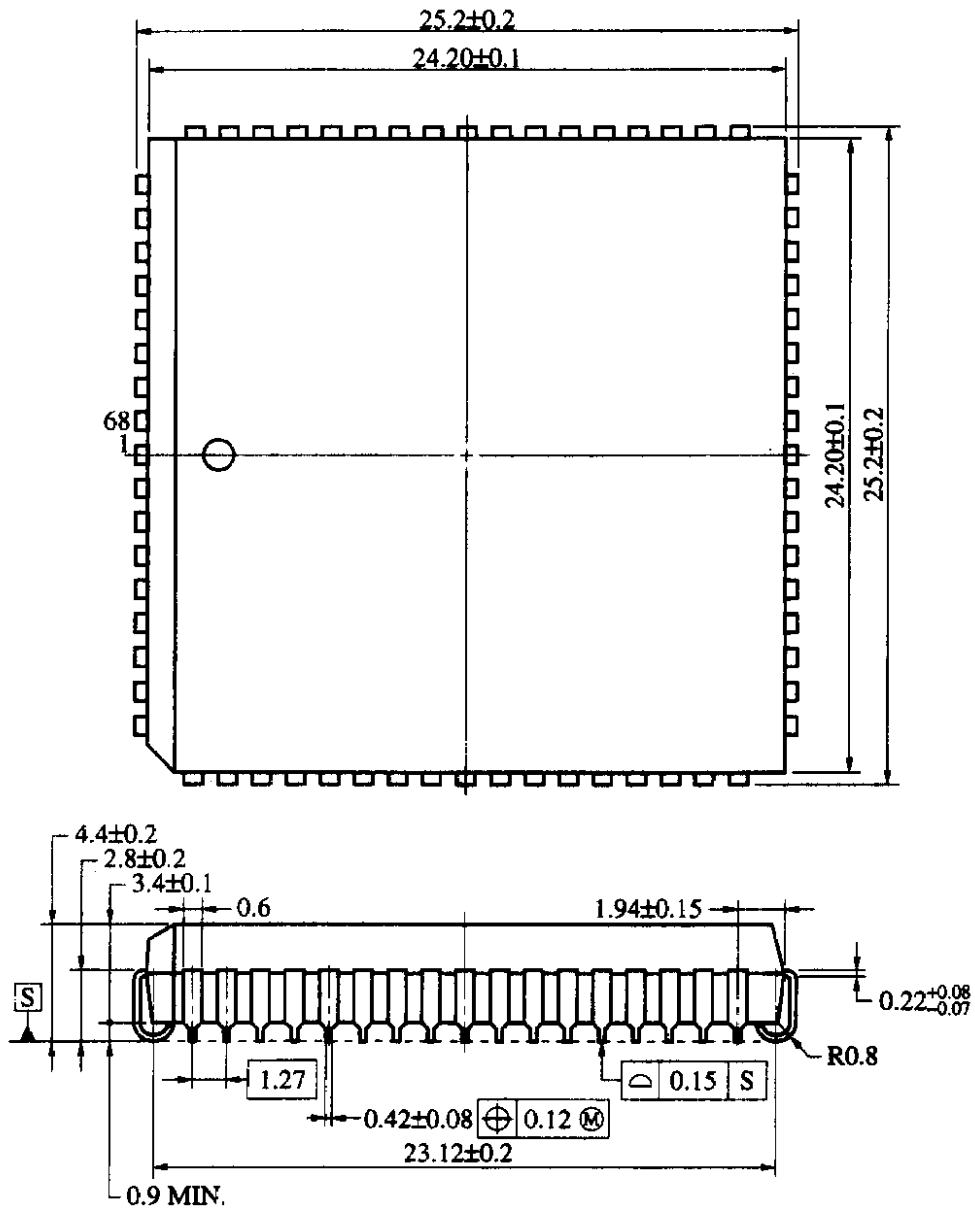


端子先端形状詳細図



S80GK-50-9EU

★ 68ピン・プラスチック QFJ (950x950 mil) 外形図 (単位: mm)



P68L-50A1-3

18. 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の詳細は、インフォメーション資料「半導体デバイス実装マニュアル」(C10535J)を参照してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

表18-1 半田付け条件

- (1) μPD70208HGF-X-3B9 : 80ピン・プラスチックQFP (14×20 mm)
- μPD70216HGF-X-3B9 : “

(a) K, E, X規格品

半田付け方式	半田付け条件	推奨条件記号
★ 赤外線リフロ	パッケージ・ピーク温度：230℃、時間：30秒以内（210℃以上）、回数：1回、 制限日数 [※] ：7日間（以降は125℃プリバーク10時間必要） 〈留意事項〉 耐熱トレイ以外（マガジン、テーピング、非耐熱トレイ）は、包装状態でのベーキングができません。	IR30-107-1
★ VPS	パッケージ・ピーク温度：215℃、時間：40秒以内（200℃以上）、回数：1回、 制限日数 [※] ：7日間（以降は125℃プリバーク10時間必要） 〈留意事項〉 耐熱トレイ以外（マガジン、テーピング、非耐熱トレイ）は、包装状態でのベーキングができません。	VP15-107-1
ウェーブ・ソルダーリング	半田槽温度：260℃以下、時間：10秒以内、回数：1回、 予備加熱温度：120℃MAX.（パッケージ表面温度）、 制限日数 [※] ：7日間（以降は125℃プリバーク10時間必要）	WS60-107-1
端子部分加熱	端子温度：300℃以下、時間：3秒以内（デバイスの一辺当たり）	—

(b) P, M規格品

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃、時間：30秒以内（210℃以上）、 回数：2回以内、制限日数 ^注 ：7日間（以降は125℃プリベーク20時間必要） 〈留意事項〉 耐熱トレイ以外（マガジン、テーピング、非耐熱トレイ）は、包装状態でのベーキングができません。	IR35-207-2
VPS	パッケージ・ピーク温度：215℃、時間：40秒以内（200℃以上）、 回数：2回以内、制限日数 ^注 ：7日間（以降は125℃プリベーク20時間必要） 〈留意事項〉 耐熱トレイ以外（マガジン、テーピング、非耐熱トレイ）は、包装状態でのベーキングができません。	VP15-207-2
ウエーブ・ソルダーリング	半田槽温度：260℃以下、時間：10秒以内、回数：1回、 予備加熱温度：120℃MAX.（パッケージ表面温度） 制限日数 ^注 ：7日間（以降は125℃プリベーク20時間必要）	WS60-207-1
端子部分加熱	端子温度：300℃以下、時間：3秒以内（デバイスの一辺当たり）	—

注 ドライバック開封後の保管日数で、保管条件は25℃、65%RH以下。

(c) L, F規格品

半田付け方式	半田付け条件	推奨条件記号
★ 赤外線リフロ	パッケージ・ピーク温度：235℃、時間：30秒以内（210℃以上）、回数：3回以内	IR35-00-3
★ VPS	パッケージ・ピーク温度：215℃、時間：40秒以内（200℃以上）、回数：3回以内	VP15-00-3
ウエーブ・ソルダーリング	半田槽温度：260℃以下、時間：10秒以内、回数：1回、 予備加熱温度：120℃MAX.（パッケージ表面温度）	WS60-00-1
端子部分加熱	端子温度：300℃以下、時間：3秒以内（デバイスの一辺当たり）	—

注意 半田付け方式の併用はお避けください（ただし端子部分加熱は除く）。

(2) μPD70208HGK-X-9EU : 80ピン・プラスチックTQFP (ファインピッチ) (□12 mm)
 μPD70216HGK-X-9EU : " "

(a) K, E, X規格品

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：230℃、時間：30秒以内（210℃以上）、回数：1回、 制限日数 ^注 ：1日間（以降は125℃プリベーク10時間必要） 〈留意事項〉 耐熱トレイ以外（マガジン、テーピング、非耐熱トレイ）は、包装状態でのベーキングができません。	IR30-101-1
VPS	パッケージ・ピーク温度：215℃、時間：40秒以内（200℃以上）、回数：1回、 制限日数 ^注 ：1日間（以降は125℃プリベーク10時間必要） 〈留意事項〉 耐熱トレイ以外（マガジン、テーピング、非耐熱トレイ）は、包装状態でのベーキングができません。	VP15-101-1
端子部分加熱	端子温度：300℃以下、時間：3秒以内（デバイスの一辺当たり）	—

(b) P, M, L, F規格品

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃、時間：30秒以内（210℃以上）、 回数：2回以内、制限日数 ^注 ：7日間（以降は125℃プリベーク10時間必要） 〈留意事項〉 耐熱トレイ以外（マガジン、テーピング、非耐熱トレイ）は、包装状態でのベーキングができません。	IR35-107-2
VPS	パッケージ・ピーク温度：215℃、時間：40秒以内（200℃以上）、 回数：2回以内、制限日数 ^注 ：7日間（以降は125℃プリベーク10時間必要） 〈留意事項〉 耐熱トレイ以外（マガジン、テーピング、非耐熱トレイ）は、包装状態でのベーキングができません。	VP15-107-2
端子部分加熱	端子温度：300℃以下、時間：3秒以内（デバイスの一辺当たり）	—

注 ドライバック開封後の保管日数で、保管条件は25℃、65%RH以下。

注意 半田付け方式の併用はお避けください（ただし端子部分加熱は除く）。

(3) μPD70208HLP-X : 68ピン・プラスチックQFJ (□950 mil)

μPD70216HLP-X : "

(a) K, E, X規格品

半田付け方式	半田付け条件	推奨条件記号
★ 赤外線リフロ	パッケージ・ピーク温度：230℃、時間：30秒以内（210℃以上）、回数：1回、 制限日数 ^注 ：7日間（以降は125℃プリベーク36時間必要） 〈留意事項〉 耐熱トレイ以外（マガジン、テーピング、非耐熱トレイ）は、包装状態でのベーキングができません。	IR30-367-1
★ VPS	パッケージ・ピーク温度：215℃、時間：40秒以内（200℃以上）、回数：1回、 制限日数 ^注 ：7日間（以降は125℃プリベーク36時間必要） 〈留意事項〉 耐熱トレイ以外（マガジン、テーピング、非耐熱トレイ）は、包装状態でのベーキングができません。	VP15-367-1
端子部分加熱	端子温度：300℃以下、時間：3秒以内（デバイスの一辺当たり）	-

(b) P, M, L, F規格品

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃、時間：30秒以内（210℃以上）、 回数：3回以内、制限日数 ^注 ：7日間（以降は125℃プリベーク36時間必要） 〈留意事項〉 耐熱トレイ以外（マガジン、テーピング、非耐熱トレイ）は、包装状態でのベーキングができません。	IR35-367-3
VPS	パッケージ・ピーク温度：215℃、時間：40秒以内（200℃以上）、 回数：3回以内、制限日数 ^注 ：7日間（以降は125℃プリベーク36時間必要） 〈留意事項〉 耐熱トレイ以外（マガジン、テーピング、非耐熱トレイ）は、包装状態でのベーキングができません。	VP15-367-3
端子部分加熱	端子温度：300℃以下、時間：3秒以内（デバイスの一辺当たり）	-

注 ドライバック開封後の保管日数で、保管条件は25℃、65%RH以下。

注意 半田付け方式の併用はお避けください（ただし端子部分加熱は除く）。

CMOSデバイスの一般的注意事項

①静電気対策 (MOS全般)

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

②未使用入力の処理 (CMOS特有)

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性 (タイミングは規定しません) を考慮すると、個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

③初期化以前の状態 (MOS全般)

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

関連資料 レジスタ活用表 IEM-5575

参考資料 電気的特性の考え方 マイコン編 IEI-601

V20, V20HL, V30, V30HL, V40, V40HL, V50, V50HLおよびVシリーズは日本電気株式会社の商標です。

- 本資料の内容は予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。
- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
- 本資料に記載された回路、ソフトウェア、及びこれらに付随する情報は、半導体製品の動作例、応用例を説明するためのものです。従って、これら回路・ソフトウェア・情報をお客様の機器に使用される場合には、お客様の責任において機器設計をしてください。これらの使用に起因するお客様もしくは第三者の損害に対して、当社は一切その責を負いません。
- 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災/防犯装置、各種安全装置、生命維持を直接の目的としない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート/データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

M7 98.8

— お問い合わせ先 —

【技術的なお問い合わせ先】

NEC半導体テクニカルホットライン（インフォメーションセンター）
（電話：午前 9:00～12:00、午後 1:00～5:00）

電話 : 044-548-8599
FAX : 044-548-7900
E-mail : s-info@saed.tmg.nec.co.jp

【営業関係お問い合わせ先】

半導体第一販売事業部	半導体第二販売事業部	〒108-8001 東京都港区芝5-7-1	(日本電気本社ビル)	(03)3454-1111				
半導体第三販売事業部								
中部支社	半導体第一販売部	〒480-8525	愛知県名古屋市中区錦1-17-1	(日本電気中部ビル)				
	半導体第二販売部			(052)222-2170 (052)222-2190				
関西支社	半導体第一販売部	〒540-8551	大阪府大阪市中央区城見1-4-24	(日本電気関西ビル)				
	半導体第二販売部			(06)6945-3178 (06)6945-3200 (06)6945-3208				
北海道支社	札幌	(011)251-5599	宇都宮支店	宇都宮	(028)621-2281	北陸支社	金沢	(076)232-7303
東北支社	仙台	(022)267-8740	小山支店	小山	(0285)24-5011	京都支社	京都	(075)344-7824
岩手支店	盛岡	(019)651-4344	甲府支店	甲府	(055)224-4141	神戸支社	神戸	(078)333-3854
郡山支店	郡山	(024)923-5511	長野支社	松本	(0263)35-1662	中国支社	広島	(082)242-5504
いわき支店	いわき	(0246)21-5511	静岡支社	静岡	(054)254-4794	鳥取支店	鳥取	(0857)27-5311
長岡支店	長岡	(0258)36-2155	立川支社	立川	(042)526-5981,6167	岡山支店	岡山	(086)225-4455
水戸支店	水戸	(029)226-1717	埼玉支社	大宮	(048)649-1415	松山支店	松山	(089)945-4149
土浦支店	土浦	(0298)23-6161	千葉支社	千葉	(043)238-8116	九州支社	福岡	(092)261-2806
群馬支店	高崎	(027)326-1265	神奈川支社	横浜	(045)682-4524			
太田支店	太田	(0276)46-4011	三重支店	津	(059)225-7341			