

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

## 3次元Y/C分離LSI

$\mu$ PD6487は、デジタル化されたNTSC方式のコンポジット・ビデオ信号から映像の動きを検出して、最適なフィルタを選択し、輝度信号とクロマ信号を分離します。また、ライン・ロック・クロックを利用して、輝度信号のノイズ・リダクションを行うことも可能です。

動き検出回路の最適化や、動画部分のY/C分離を行うロジカル・コム・フィルタの改良により、画質を向上しています。また、タイミング発生回路、ライン・メモリ、D/Aコンバータを内蔵し、周辺部品の削減を図っています。

## 特 徴

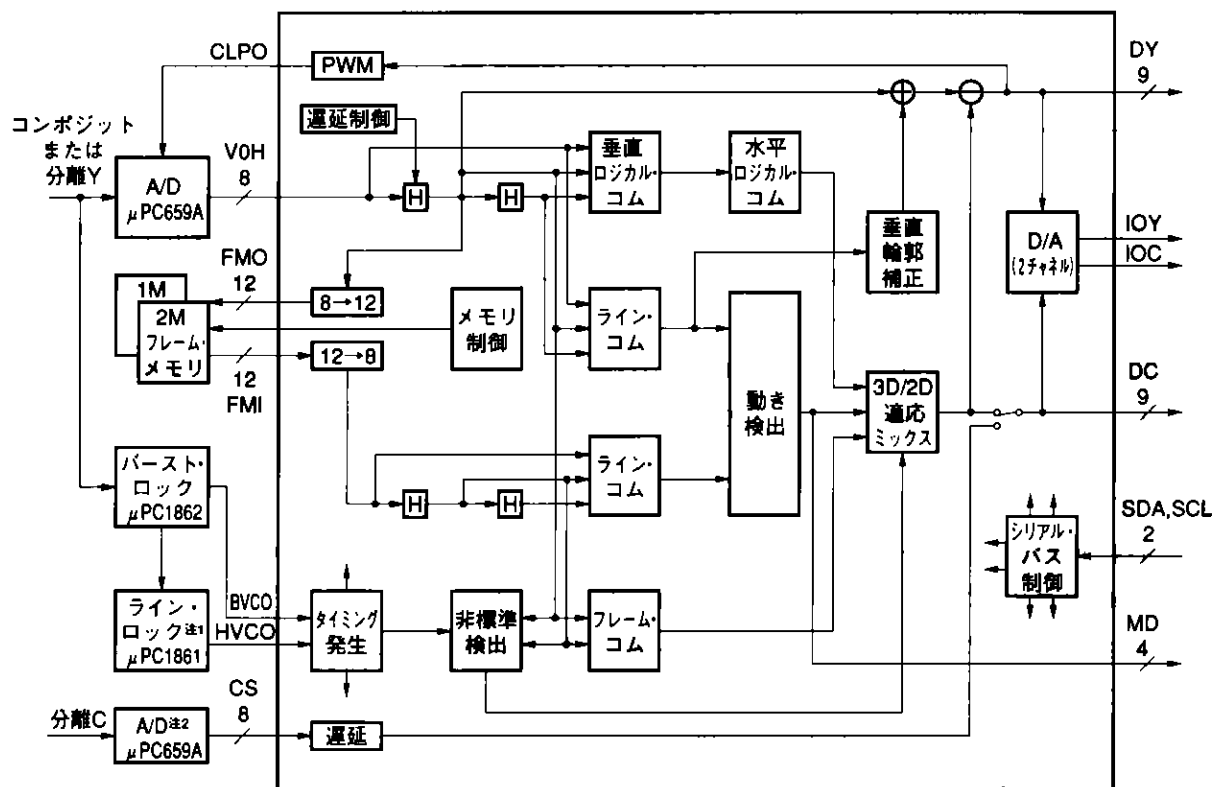
- Y/C分離、動き検出、非標準検出、タイミング発生、ライン・メモリ、DACを1チップに内蔵
  - 画像の動きに応じてフレーム間/ライン間のY/C分離フィルタを選択
  - 動き検出回路、ロジカル・コム・フィルタの改良により、動画時の画質を向上
  - 1フレーム輝度、クロマ差分型動き検出回路採用
  - 輝度信号ノイズ・リダクション時、遅延調整機能内蔵
  - 垂直輪郭補正回路内蔵
  - 4ビット動き検出信号出力
  - シリアル・バス・コントロールによる各種データ設定が可能
- PCバス (スレーブ・アドレス: 10111000B)

## オーダ情報

オーダ名称	パッケージ
$\mu$ PD6487GF-3BA	100ピン・プラスチックQFP (14×20 mm)

本資料の内容は、後日変更する場合があります。

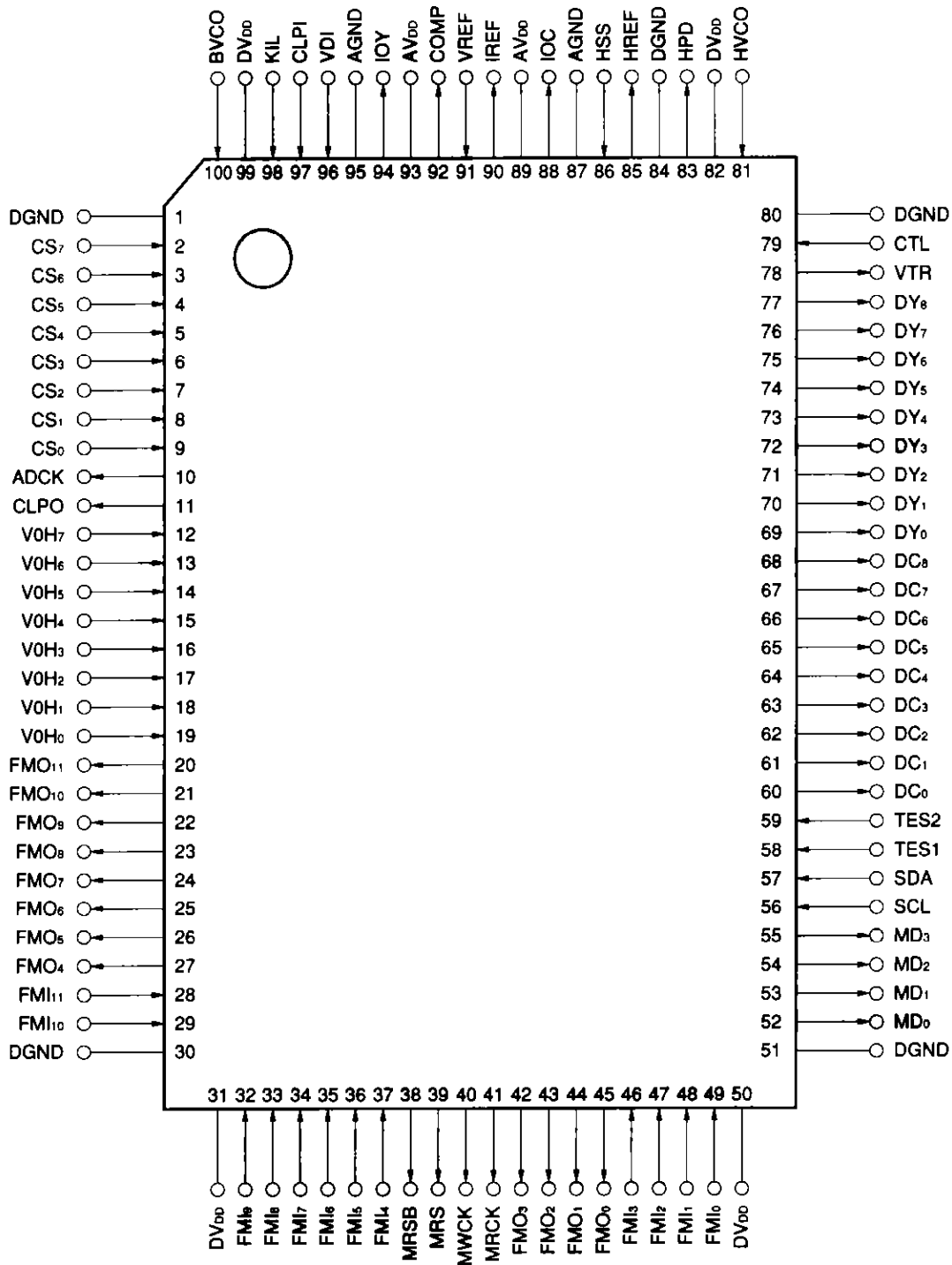
ブロック図



- 注1. 動き適応型輝度ノイズ・リダクション使用時
- 2. 分離クロマ入力時

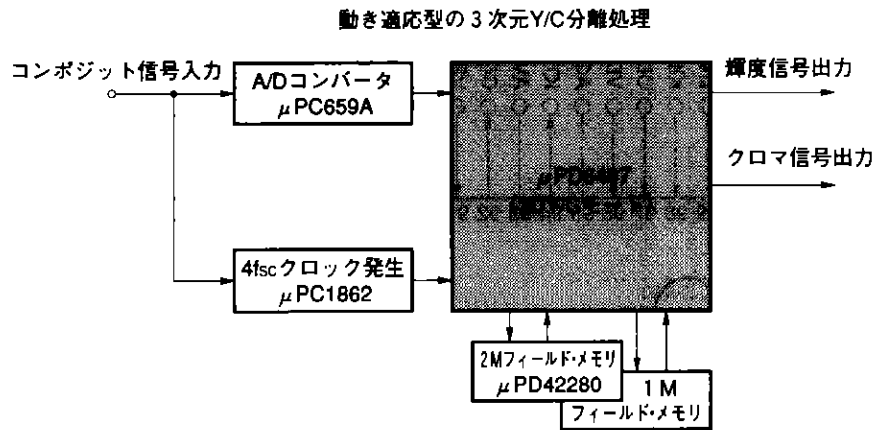
端子接続図 (Top View)

・100ピン・プラスチックQFP (14×20 mm)

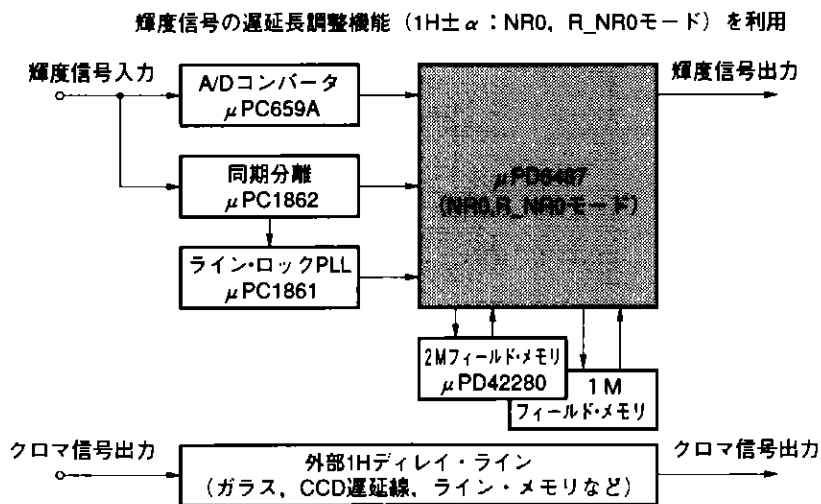


システム応用ブロック図

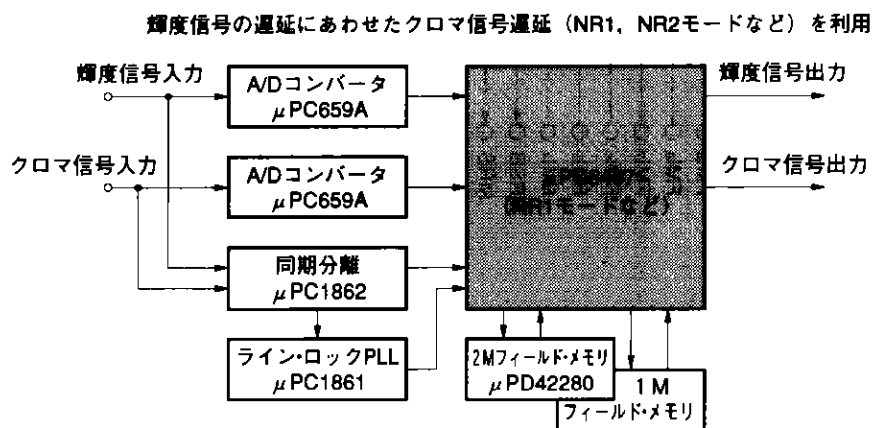
(1) 3次元Y/C分離



(2) 動き適応型輝度信号ノイズ・リダクション〈a〉



(3) 動き適応型輝度信号ノイズ・リダクション〈b〉



備考 ライン・ロック・クロックのジッタが多い場合 (入力ソースがVTR再生信号などのとき)、クロマ信号遅延はできません。

## 目 次

1. 端子機能 … 7
2. 処理モード … 10
3. クロック/同期信号入力 … 11
  - 3.1 バースト・ロック・クロック入力部 … 11
  - 3.2 ライン・ロック・クロック入力部 … 11
  - 3.3 同期入力部 … 12
  - 3.4 クロック選択部 … 12
4. A/D入力 … 13
5. Y/C分離回路 … 14
  - 5.1 動き信号によるフィルタ制御 … 15
  - 5.2 非標準検出によるフィルタ制御 … 15
  - 5.3 シリアル・バスと外部端子によるフィルタ制御 … 15
6. 動き検出回路 … 16
  - 6.1  $\Delta Y$ 検出回路 … 16
  - 6.2  $\Delta C$ 検出回路 … 16
  - 6.3 動き信号発生回路 … 17
  - 6.4 動き信号出力 … 17
7. 輝度ノイズ・リダクション … 18
  - 7.1 巡回型ノイズ・リダクション … 18
  - 7.2 フレーム・コム型ノイズ・リダクション … 19
  - 7.3 モード選択 … 19
  - 7.4 クロマ信号のデジタル遅延について … 19
8. 非標準信号検出回路 … 20
  - 8.1 VTR検出回路 … 20
  - 8.2 同期検出回路 … 21
  - 8.3 弱電界検出回路 … 21
9. 垂直輪郭補正回路 … 22
10. 輝度/クロマ信号出力回路 … 23
  - 10.1 遅延長調整 … 24
  - 10.2 D/Aコンバータ部 … 24

- 11. シリアル・バス・インタフェース (I<sup>2</sup>C) … 25
  - 11.1 ハードウェア仕様 … 25
  - 11.2 ソフトウェア仕様 … 25
  - 11.3 I<sup>2</sup>Cバス・インタフェースの初期化について … 27
  - 11.4 シリアル・バス機能説明 … 29
  
- 12. 電気的特性 … 38
  
- 13. 応用回路例 … 41
  
- 14. 外形図 … 43
  
- 15. 半田付け推奨条件 … 44



1. 端子機能

表1-1 端子機能一覧 (1/3)

No.	略号	名称	I/O	レベル	内蔵プルアップ (PU) / プルダウン (PD) 抵抗 [kΩ] I <sub>OH</sub> /I <sub>OL</sub> [mA]	機能
1,30,51,80,84	DGND	デジタル部接地				デジタル部接地です。
31,50,82,99	DV <sub>DD</sub>	デジタル部電源				デジタル部5V電源です。
2-9	CS7-CS0	クロマ入力 (8bit-SB)	I	TTL		セパレート入力モード時にクロマ信号を入力します。使用しないときはGND接続します。
10	ADCK	A/D用クロック出力	O	CMOS	-1.6/3.0	外部に接続するA/Dコンバータ用のクロックを出力します。
11	CLPO	A/D用クランプD/A出力	O	CMOS	-3.2/6.0	クランプ・レベル (64) と映像ベデスタル・レベルの差分をPWM出力します。パルス幅を1/16-15/16の間で変化させます。
12-19	V0H <sub>7</sub> -V0H <sub>0</sub>	コンポジット映像入力/輝度信号入力 (8bit-SB)	I	TTL		8ビットでA/D変換されたコンポジット信号を入力します。 セパレート入力モード時には輝度信号を入力します。
20-27 42-45	FMO <sub>11</sub> -FMO <sub>0</sub>	フレーム遅延出力 (12bit)	O	CMOS 3ステート	-1.6/3.0	外部フィールド・メモリ用の出力です。
28, 29, 32-37,46-49	FMI <sub>11</sub> -FMI <sub>0</sub>	フレーム遅延入力 (12bit)	I	TTL		外部フィールド・メモリ用の入力です。
38	MRSB	メモリ・リセット反転出力 (μPD42280用)	O	CMOS 3ステート	-1.6/3.0	外部フィールド・メモリ用リセット・パルスをアクティブ・ロウで出力します。 μPD42280のライト/リード・リセット端子に接続します。
39	MRS	メモリ・リセット出力	O	CMOS 3ステート	-1.6/3.0	外部フィールド・メモリ用リセット・パルスをアクティブ・ハイで出力します。
40	MWCK	メモリ・ライト・クロック出力	O	CMOS 3ステート	-1.6/3.0	外部に接続するメモリの書き込みクロックに使用します。
41	MRCK	メモリ・リード・クロック出力	O	CMOS 3ステート	-1.6/3.0	外部に接続するメモリの読み出しクロックに使用します。
52-55	MD0-MD3 (LSB) (MSB)	動き検出出力	O	CMOS	-1.6/3.0	4ビットの動き検出信号を1H+21クロック遅れで出力します。
56	SCL	I <sup>2</sup> Cバス・クロック入力	I	CMOS シュミット		I <sup>2</sup> Cバスのシリアル・クロックを入力します。

注意 入力を空き端子とする場合、必ずGND接続してください。

表 1-1 端子機能一覧 (2/3)

No.	略号	名称	I/O	レベル	内蔵プルアップ (PU) / プルダウン (PD) 抵抗 [kΩ] low/ol. [mA]	機能
57	SDA	I <sup>2</sup> Cバス・データ入力	I	CMOS シュミット		I <sup>2</sup> Cバスのシリアル・データを入力します。
58	TES1	I <sup>2</sup> Cバス・インタフェース初期化入力	I	CMOS	PD: 50	ハイ・レベルにすると、I <sup>2</sup> Cバス・インタフェースを初期化し、SDAラインを解放します。 ハイ・レベル期間中、バスは信号を受け付けません。
59	TES2	テスト端子	I	CMOS	PD: 50	通常GNDに接続します。
60-68	DC <sub>0</sub> -DC <sub>6</sub>	デジタル・クロマ出力 (9bit-SB)	O	CMOS	-1.6/3.0	分離されたクロマ信号を9ビット・デジタル・ストレート・バイナリ出力します。
69-77	DY <sub>0</sub> -DY <sub>6</sub>	デジタル輝度出力 (9bit-SB)	O	CMOS	-1.6/3.0	分離された輝度信号を9ビット・デジタル・ストレート・バイナリ出力します。
78	VTR	非標準検出モニタ出力	O	CMOS	-1.6/3.0	非標準信号検出結果をモニタします。 (標準= 'L', 非標準= 'H')
79	CTL	コントロール入力	I	CMOS	PD: 50	シリアル・バスのCTLS (SA <sub>14</sub> : D <sub>7</sub> ) でピン機能を選択します。 CTLS=0: CTL端子= 'H' で輝度NRモードとなります。 CTLS=1: CTL端子= 'H' で強制2次元Y/C分離となります。
81	HVCO	H-VCO発振入力	I	CMOS		ライン・ロック・クロックの910f <sub>H</sub> を入力します。システムをY/C分離モード固定 (YCMD=1) で使用する場合は、GNDに接続します。
83	HPD	H位相比較出力	O	CMOS 3ステート	-3.2/6.0	HSS端子入力とHREF出力を比較した位相誤差を出力します。
85	HREF	H-PLL基準出力	O	CMOS	-1.6/3.0	ライン・ロック・クロック発生PLL用の基準信号を出力します。
86	HSS	H位相比較入力	I	CMOS		水平同期信号を入力します。
87,95	AGND	アナログ部接地		アナログ		D/A部のGNDです。デジタルGNDとは分離してください。
88	IOC	アナログC出力	O	アナログ		クロマ信号をアナログ出力します。
89,93	AV <sub>DD</sub>	アナログ部電源		アナログ		D/A部の電源です。デジタル電源とは分離してください。
90	IREF	基準電流出力	O	アナログ		D/Aの基準電流を出力します。

注意 入力を空き端子とする場合、必ずGND接続してください。

表1-1 端子機能一覧 (3/3)

No.	略号	名称	I/O	レベル	内蔵プルアップ (PU) / プルダウン (PD) 抵抗 [kΩ] low/ol [mA]	機能
91	VREF	基準電圧入力	I	アナログ		D/Aの基準電圧を入力します。
92	COMP	D/A位相補償出力	O	アナログ		D/Aの位相補償容量を接続します。
94	IOY	アナログY出力	O	アナログ		輝度信号をアナログ出力します。
96	VDI	垂直同期入力	I	CMOS		同期分離した垂直同期パルスを実アクティブ・ロウで入力します。
97	CLPI	クランプ入力	I	CMOS		クランプ・パルスを実アクティブ・ハイで入力します。
98	KIL	キラー入力	I	CMOS	PD : 50	キラー動作させるとき 'H' を入力します。
100	BVCO	バーストVCO発振入力	I	CMOS		バースト・ロック・クロックの4fscを入力します。

注意 入力を空き端子とする場合、必ずGND接続してください。

2. 処理モード

このICは、大きく分けて3次元Y/C分離モードと、輝度ノイズ・リダクション・モードの、2種類の信号処理モードで動作します。各モードは、入力される信号の状態や設定によって、使用するシステム・クロックや、フィルタ処理、映像信号の遅延長が異なります。処理方法やモードの選択は、端子やシリアル・バスで行います。シリアル・バスの設定については、11.4 シリアル・バス機能説明を参照してください。

(1) 3次元Y/C分離モード

NTSC標準信号に対し、フレーム間の動きを検出し、フレーム間フィルタとフィールド内フィルタを適応的に切り替え、動き適応型Y/C分離を行います。非標準信号に対しては、ロジカル・コム・フィルタによるフィールド内Y/C分離を行います。システム・クロックは、バースト信号に同期したバースト・ロック・クロック (4fsc) を使用します。

(2) 輝度ノイズ・リダクション・モード

輝度信号のフレーム相関性を利用して、動き適応型ノイズ・リダクションを行います。このモードは巡回型/非巡回型、輝度信号の遅延長を調節するモード、輝度の遅延長に合わせてクロマ信号の遅延を行うモードに分類されます。システム・クロックは、水平同期信号に同期したライン・ロック・クロック (910fm) を使用します。

表2-1 映像信号の処理モード

シリアル・バス			モード 名称	信号処理	Y遅延長 (CLK)	C遅延長 <sup>注2</sup> (CLK)	垂直輪郭補正	使用 クロック
SEP <sup>注1</sup>	NRMODE	SMODE						
0	×	×	3DYC	3次元Y/C分離	1H+19~+26	1H+21	○	バースト・ロック
1	1	00	NR0	非巡回型YNR (+C遅延)	1H-37~+26	なし(外部)	×	ライン・ロック
		01	NR1		1H+19~+26	1H+21	○	
		10	NR2		+19~+26	21	×	
		11	NR3		1H+19~+26	21	○	
	0	00	R_NR0	巡回型YNR (+C遅延)	1H-37~+26	なし(外部)	×	
		01	R_NR1		1H+19~+26	1H+21	○	
		10	R_NR2		+19~+26	21	×	
		11	設定不可					

注1. シリアル・バスのSEP (SA<sub>00</sub>:D<sub>7</sub>) を '1' とすることで、NRMODE, SMODEで決めたノイズ・リダクション・モードへ移行します。

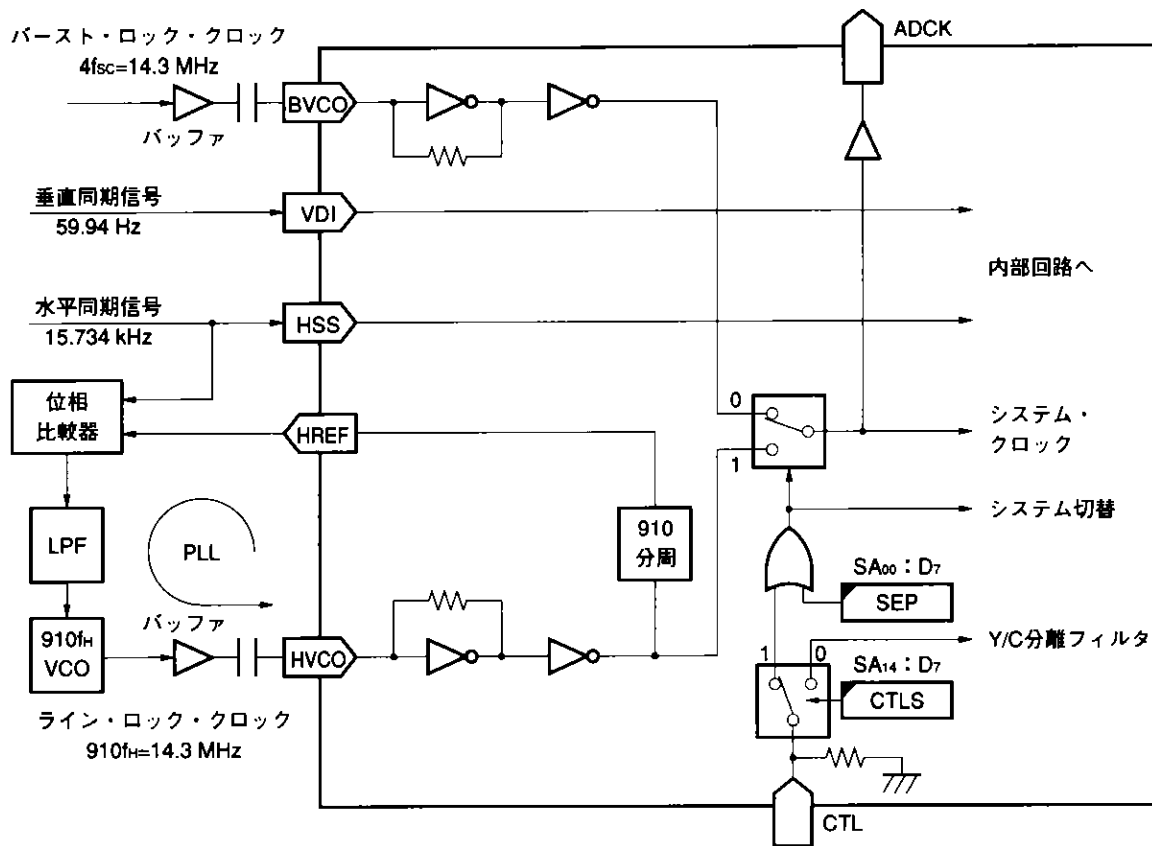
2. NRモード時、ライン・ロック・クロックのジッタが多い場合 (入力ソースがVTR再生信号などのとき)、クロマ信号遅延はできません。この場合、R\_NR0, NR0モードを利用して輝度の遅延長を1Hとし、クロマ信号の遅延は外部の1H遅延線で行ってください。

### 3. クロック/同期信号入力

このICは、モードに応じた2種類のクロックを使用します。3次元Y/C分離モードでは、バースト信号に同期したバースト・ロック・クロックを、輝度ノイズ・リダクション・モードでは、水平同期信号に同期したライン・ロック・クロックをシステム・クロックとして選択します。また、水平/垂直同期信号入力を、タイミング発生や非標準信号検出に利用します。

図3-1 クロック入力、選択/同期信号入力ブロック

★



#### 3.1 バースト・ロック・クロック入力部

BVCO端子 (100ピン) には、バースト信号に同期した14.318 MHz (4fsc) のバースト・ロック・クロックを入力します。振幅0.8V<sub>pp</sub>以上のsin波を、バッファを通して容量結合で入力します。またはデューティ50%の矩形波を入力します。BVCO端子は、フィードバック抵抗を持つ反転アンプを内蔵していますので、CMOSレベルまでレベル補償します。4fscのバースト・ロック・クロック発生には、μPC1862を推奨します。

#### 3.2 ライン・ロック・クロック入力部

HVCO端子 (81ピン) には、水平同期信号に同期した14.318 MHz (910fH) のライン・ロック・クロックを入力します。入力クロックの910分周回路を内蔵していますので、位相比較器と910fH VCOを接続することで、ライン・ロックPLLを構成することが可能です。このとき、シリアル・バスのYCMD (SA<sub>00</sub>:D<sub>1</sub>) を '0' に設定します。

輝度ノイズ・リダクションを使用しないアプリケーションでは、ライン・ロック・クロックは必要ありません。この場合、HVCO端子はGNDに接続し、シリアル・バスのYCMDを '1' に設定してください。また、HRD (SA<sub>02</sub>:D<sub>0</sub>, SA<sub>03</sub>:D<sub>7</sub>-D<sub>0</sub>) の変更も必要です。

クロック入力部は、BVCO端子と同様の構成となっています。

### 3.3 同期入力部

HSS端子（86ピン）に水平同期信号、VDI端子（96ピン）に垂直同期信号を入力します。この入力は、内部で水平／垂直方向のタイミングや、非標準検出の基準信号として利用します。また、水平同期信号は、外部でライン・ロックPLLの基準位相としても使用します。各同期信号は負論理で、同期分離されている必要があります。映像の同期分離には、μPC1862を推奨します。

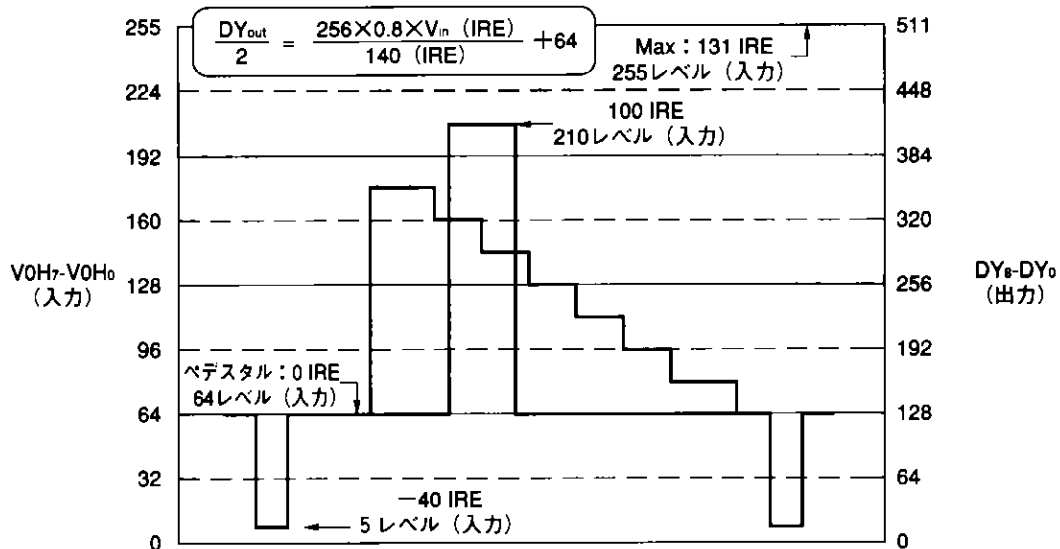
### 3.4 クロック選択部

2つのクロックは、処理モードの切り替えに応じて自動的に選択され、このICのシステム・クロックとなります。

4. A/D入力

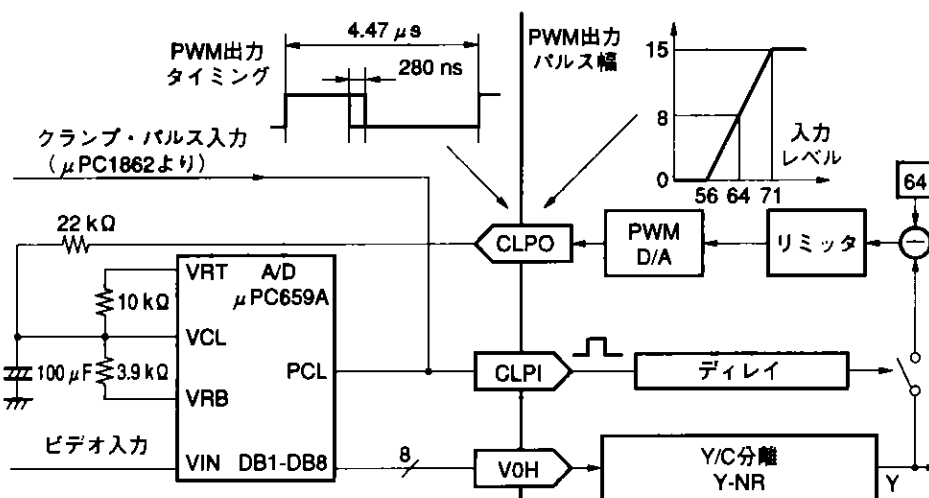
このICの映像信号入力は、8ビット=フルスケール256レベルで、64レベルをベデスタル・レベルとする信号を入力します。映像信号入力のダイナミック・レンジは、入力信号のバラツキを考慮した上で決定してください。図4-1はA/Dコンバータ(μPC659A)への映像信号入力振幅を0.8V<sub>p-p</sub>とした場合の入力波形を示しています。

図4-1 映像信号入力波形



このICは、ベデスタル・レベル調整を助けるために、図4-2で示すようなフィードバック・ループを持っています。この回路は、入力された映像信号のベデスタル・レベルを、CLPI端子(97ピン)から入力されるクランプ・パルスでサンプリングし、そのレベルと内部固定値の64レベルとの差分をPWM出力します。この出力を外付けフィルタで直流電圧に変換し、これをA/D変換前のベデスタル・レベル調整にフィードバックします。

図4-2 クランプ・レベル・フィードバック・ブロックと応用回路例



5. Y/C分離回路

このICは、動き検出回路や非標準検出回路によって入力信号の状態を判別し、その信号に応じたY/C分離を行います。Y/C分離回路は、大きく分けて3種類のフィルタで構成されています。

(1) フレーム間Y/C分離フィルタ

NTSC信号のフレーム相関性と、クロマ信号位相のフレーム間特性を利用してY/C分離を行うフィルタです。このフィルタはNTSC標準信号の静止画部分で使用します。

(2) ライン間Y/C分離フィルタ

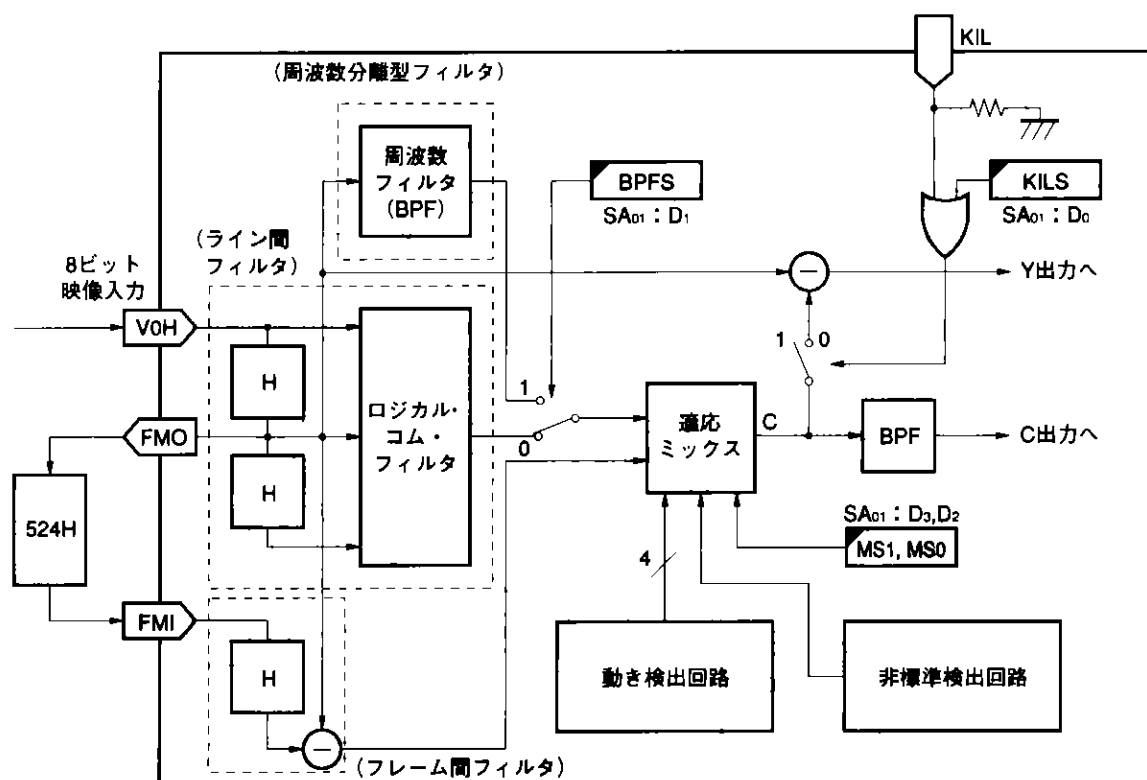
フィールド内Y/C分離フィルタの1つで、NTSC信号のライン相関性とクロマ信号位相のライン間特性を利用してY/C分離を行うフィルタです。このフィルタはロジカル・コム・フィルタ構成となっており、ドット妨害やクロスカラーの低減を図っています。NTSC標準信号の動画部分と、非標準信号で使用します。

(3) 周波数分離型Y/C分離フィルタ

フィールド内Y/C分離フィルタの1つで、バンド・パス型フィルタでクロマ信号と輝度信号を分離するフィルタです。通常のアプリケーションでは使用しません。

★

図5-1 Y/C分離フィルタ・ブロック





### 5.1 動き信号によるフィルタ制御

静止画部分で使用するフレーム間フィルタと、動画部分で使用するフィールド内フィルタの出力は、動き信号のレベルに応じて適応ミックスされます。動き検出回路による4ビットの動き信号により、静止画から動画まで16段階でミックスされ、そのミックス比は次のようになります。ミックス出力はフィールド内Y/C分離成分と、フレーム間Y/C分離成分の合計が‘1’となります。

$\alpha = 0 \sim 14$  のとき

$$C_{OUT} = \left\{ \alpha \cdot C_2 + (16 - \alpha) \cdot C_3 \right\} / 16$$

$\alpha = 15$  のとき

$$C_{OUT} = C_2$$

$\alpha$  : 動き信号 (0~15)

$C_{OUT}$  : Y/C分離出力

$C_2$  : フィールド内Y/C分離出力

$C_3$  : フレーム間Y/C分離出力

### 5.2 非標準検出によるフィルタ制御

VTR再生信号のような非標準信号では、フレーム間Y/C分離を行うと妨害が発生するため、フィールド内Y/C分離を行います。非標準検出回路により入力信号が〈非標準〉と判定されると、適応ミックスを止めミックス出力をフィールド内フィルタ出力に固定します。

### 5.3 シリアル・バスと外部端子によるフィルタ制御

動き検出によらず、シリアル・バスのMS1, MS0 (SA<sub>01</sub>: D<sub>3</sub>, D<sub>2</sub>) によって強制的にフレーム間、またはフィールド内Y/C分離に固定することができます。MS1, MS0 = “00” で動き検出の結果に従いますが、“01” でフレーム間Y/C分離、“10” でフィールド内Y/C分離に固定されます。また、シリアル・バスでCTLS (SA<sub>14</sub>: D<sub>7</sub>) = ‘1’ としたとき、外部のCTL端子 (79ピン) を ‘H’ にすることによっても、フィールド内Y/C分離に固定されます。内部でどのようなY/C分離が行われていても、この端子が優先します。 ★

フィールド内Y/C分離のライン間型と周波数分離型の切り替えは、シリアル・バスのBPFS (SA<sub>01</sub>: D<sub>1</sub>)、またはBPF端子 (52ピン) によって行います。BPFS = ‘1’ とすると、フィールド内Y/C分離が強制的に周波数分離型に固定されます。無バースト信号 (白黒信号) では、Y/C分離を行う必要がないので、シリアル・バスでKILS (SA<sub>01</sub>: D<sub>0</sub>) = ‘1’、またはKIL端子 (98ピン) = ‘H’ とすると、入力信号からクロマ信号の減算を行いません。 ★

## 6. 動き検出回路

このICは、ドット単位の1フレーム間差分によって、入力信号が静止画部分か動画部分であるかを判定し、動きのレベルを示す〈動き信号〉を発生する回路を内蔵しています。この動き信号は、フレーム間とフィールド内Y/C分離の適応ミックスに使用します。

動き検出回路は、大きく分けて3つの回路で構成されています。

### (1) ΔY検出回路

フレーム間の輝度信号の差分を検出します。

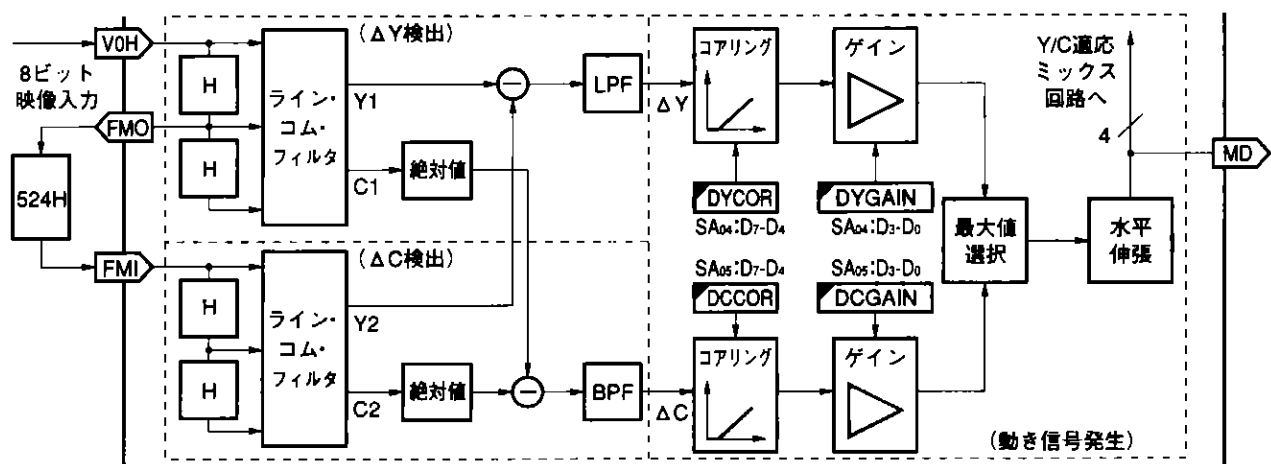
### (2) ΔC検出回路

フレーム間のクロマ信号の差分を検出します。

### (3) 動き信号発生回路

ΔYとΔCから、Y/C分離の適応ミックス比を決める4ビットの動き信号を作り出します。

図6-1 動き検出回路ブロック



### 6.1 ΔY検出回路

現信号と1フレーム遅延信号との差分回路により、輝度信号のフレーム差分ΔYを検出します。しかし、単にコンポジット信号の1フレーム差分を取るだけでは、ΔY成分に加えてクロマ信号の加算成分2Cも現れてしまいます。この2C成分が現れないよう、あらかじめライン・コム・フィルタで輝度信号を抽出してから、フレーム差分を取るようになっています。取り出されたΔYは、LPFで高域成分を除去し、動き信号発生回路に伝えます。

### 6.2 ΔC検出回路

現信号と1フレーム遅延信号との差分回路により、クロマ信号のフレーム差分ΔCを検出します。ΔY検出回路と同様に、あらかじめライン・コム・フィルタでクロマ信号を抽出し、絶対値を取ったあとにフレーム差分を取るようになっています。取り出されたΔCは、LPFで高域成分を除去し、動き信号発生回路に伝えます。

6.3 動き信号発生回路

ΔYとΔCから4ビットの動き信号を作り出します。

ΔY検出回路、ΔC検出回路からの差分信号は、それぞれコアリング回路でノイズのような小レベルの差分信号を除去します。このレベルは、シリアル・バスのDYCOR (SA04 : D7-D4) , DCCOR (SA05 : D7-D4) によって設定します。その後、ゲイン回路で動きの大きさを可変し、動き制御の感度を設定します。このゲイン・レベルも、シリアル・バスのDYGAIN (SA04 : D3-D0) , DCGAIN (SA05 : D3-D0) によって設定します。この出力はリミット処理され、4ビットとなります。輝度、クロマの4ビットの動き信号は、最大値選択回路でレベルの大きい方を選択し、さらに伸張回路で水平方向に伸張します。

参考に、NECの評価データを示します。

表 6-1 動き検出部設定値例

★

シリアル・バス	DYCOR	DYGAIN	DCCOR	DCGAIN
設定値例	2-8H	2-8H	2-8H	2-8H

備考 μPC659Aの入力レベル = 0.8 V<sub>p-p</sub>時

6.4 動き信号出力

動き信号発生回路で作られた4ビットの動き信号を、MD3-MD0端子から出力します。この信号はクロマ信号と同様に、入力から1H+21クロック遅れで出力されます。

なお、3次元Y/C分離モード時は、非標準信号と判定されると、すべての出力がハイ・レベルとなります。

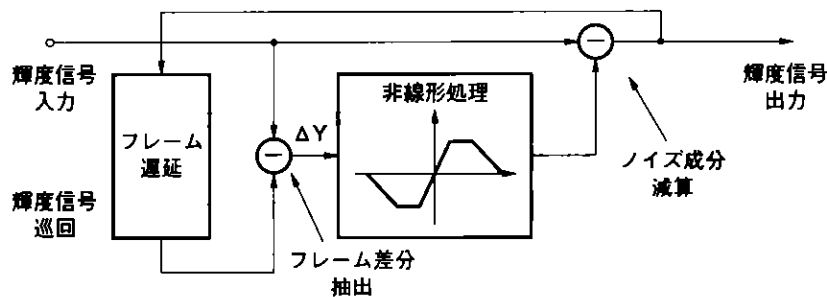
7. 輝度ノイズ・リダクション

このICは、ライン・ロック・クロックを使用することで、輝度ノイズ・リダクションを行うことができます。ノイズ・リダクションは、巡回型とフレーム・コム型の2種類が選択できます。使用するシステムに応じて、輝度の遅延長を可変できるモードがあります。

7.1 巡回型ノイズ・リダクション

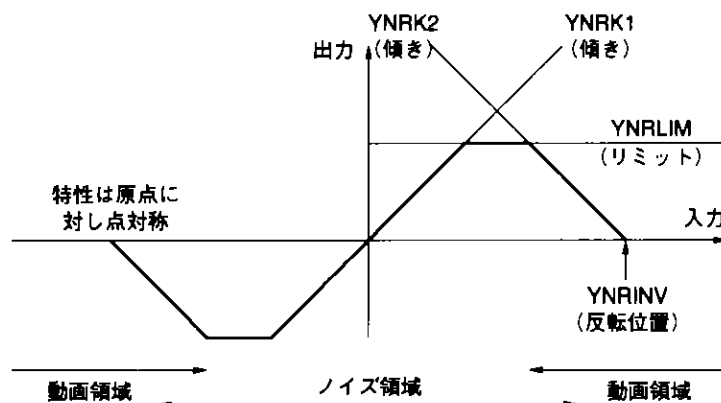
現信号と、1フレーム遅延した信号との差分を取り、輝度信号のフレーム差分 $\Delta Y$ を抽出します。この $\Delta Y$ には、輝度の動き成分とノイズ成分が含まれています。そのまま現信号から $\Delta Y$ を減算すると、動き成分が残像となってしまうので、次の非線形処理部で動き成分を除去し、ノイズ成分のみ取り出します。これを現信号から減算し、輝度信号として出力します。同時に、この信号をフレーム遅延させて、次のフレーム差分抽出用のデータとして利用します。

図7-1 巡回型輝度ノイズ・リダクション概要図



フレーム差分で抽出された $\Delta Y$ 信号には、動き成分は大きなレベルで、ノイズ成分は小さなレベルで存在します。したがって、非線形処理部には、小レベル信号のみ通過させる特性を持たせればよいことになります。この非線形処理部の特性は、次のように設定します。

図7-2 非線形処理特性



YNRK1 (SA13: D6-D4) で入力レベルをゲイン調整します。NRの効果は、ほぼこのYNRK1で決まります。YNRK2 (SA14: D7-D4) で減衰部ゲイン、YNRINV (SA13: D3-D0) で、出力が0となるポイントを設定します。入力の高レベル部で、急激に減衰させると、動画と静止画の境界部分のノイズが目立ちやすくなるので、YNRK2とYNRINVの設定により、なだらかに減衰させるようにします。

YNRLIM (SA<sub>14</sub>:D<sub>3</sub>-D<sub>0</sub>) で、通過レベルの上限を設定します。あまり大きな値を設定すると、小レベルの動きが残像となってしまいます。

参考に、NECの評価データを示します。

表 7-1 非線形処理部設定例

シリアル・バス	YNRK1	YNRK2	YNRINV	YNRLIM
設定値例	7	7	1	1

なお、巡回型ノイズ・リダクションを使用しない場合 (NRMODE=1) は、サブアドレスのSA<sub>13</sub>, SA<sub>14</sub>を設定、送信する必要はありません。

### 7.2 フレーム・コム型ノイズ・リダクション

前述のY/C分離回路と動き検出回路を利用して、フレーム・コム型の輝度ノイズ・リダクションを行います。ノイズ成分は分離クロマの経路を通ります。動き検出により静止と判定された部分は、フレーム間で平均化されるため、ノイズが低減されます。シリアル・バスの設定は、Y/C分離と共通です。

### 7.3 モード選択

シリアル・バスのNRMODE (SA<sub>00</sub>:D<sub>6</sub>) で巡回型 (0)、フレーム・コム型 (1) を設定し、SMODE (SA<sub>00</sub>:D<sub>5</sub>, D<sub>4</sub>) で遅延長モードを設定しておきます。Y/C分離とノイズ・リダクションの切り替えは、シリアル・バスのSEP (SA<sub>00</sub>:D<sub>7</sub>) で行います。SEPを '1' とすることで、Y/C分離モードから、NRMODE, SMODEで決めた輝度NRモードに移行し、クロックもバースト・ロック・クロックから、ライン・ロック・クロックへと自動的に切り替わります。

なお、YNRモード時も非標準検出は動作しますが、入力信号が〈非標準〉と判定された場合でも、Y/C分離と異なり、ノイズ・リダクションはOFFとなりません。

### 7.4 クロマ信号のデジタル遅延について

R\_NR1, R\_NR2, NR1-NR3モードでは、デジタルによるクロマ信号の遅延をサポートしていますが、ライン・ロック・クロックのジッタが多い場合 (特に、入力ソースがVTR再生信号などのとき)、クロマ信号遅延はできません。この場合、R\_NR0モード、NR0モードを利用し、外部の1H遅延線でクロマ信号の遅延を行ってください。

### 8. 非標準信号検出回路

このICは、NTSC規格に準拠しない信号を検出する、非標準検出回路を内蔵しています。入力信号に対し、非標準信号と判定すると、フレーム間Y/C分離を禁止し、強制的にフィールド内Y/C分離を選択します。非標準信号検出回路は、大きく分けて次の3つの検出回路で構成されています。

#### (1) VTR検出回路

クロマ信号と垂直同期信号との間に周波数インタリーブ関係のない信号を検出します。

#### (2) 同期検出回路

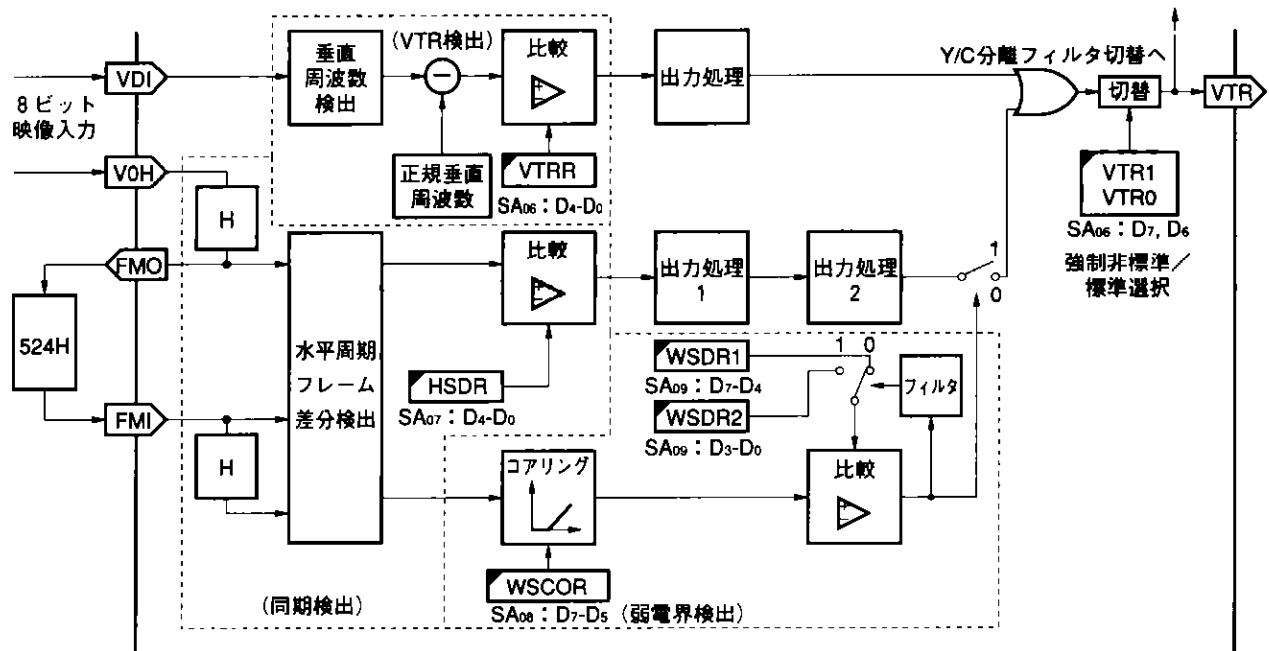
レーザー・ディスク特殊再生信号のように、フレーム間で水平同期のずれた信号を検出します。

#### (3) 弱電界検出回路

ノイズの多い信号を検出し、同期検出回路を遮断します。

これらの検出結果は、VTR端子（78ピン）から出力されています。この出力は、VDI入力の立ち上がり直後に切り替わります。また、シリアル・バスのVTR0（SA05：D6）、VTR1（SA05：D7）によって、強制的に標準／非標準検出状態にすることも可能です。

図8-1 非標準検出回路ブロック



#### 8.1 VTR検出回路

VTR再生信号のように、クロマ信号と垂直同期信号との間に周波数インタリーブ関係がない信号、つまりフレーム・コム・フィルタでY/C分離できない信号を検出します。

入力信号の垂直同期周波数を検出し、これと正規の垂直周波数とのズレを、シリアル・バスのVTRR（SA06：D4-D0）設定値と比較します。ズレがこの設定値よりも大きい場合は、正規のNTSC信号ではないと判断し、強制的にフィールド内Y/C分離を選択します。

8.2 同期検出回路

レーザ・ディスク特殊再生信号のように、バースト信号と水平同期周波数との間に周波数インタリーブ関係はあるものの、フレーム間で水平同期がずれた信号を検出します。VTR検出回路では検出できない非標準信号を、ここで特別に検出します。

現信号と、1フレーム(524H)遅延信号との差分回路により、水平同期信号のフレーム差分を抽出します。この差分と、シリアル・バスのHSDR (SA07 : D4-D0) で設定した値と比較します。差分がこの設定値よりも大きい場合は、非標準信号とみなします。

8.3 弱電界検出回路

前述の同期検出回路に弱電界信号が入力されると、フレーム同期差分にノイズが出力されるので、誤動作を起こします。この回路はノイズを検出すると、同期検出出力を切り、誤動作を防止します。

フレーム差分でノイズを検出し、シリアル・バスのWSCOR (SA08 : D7-D5) 設定値でコアリング後、WSDR1 (SA09 : D7-D4) , WSDR2 (SA09 : D3-D0) 設定値と比較します。ノイズがこの設定値よりも大きい場合は、弱電界信号とみなし、同期検出出力を切ります。

WSDR1は、弱電界検出がOFFからONになるときの比較値、WSDR2はONからOFFになるときの比較値となっています。したがって、設定値をWSDR2 < WSDR1とすると、弱電界検出回路にヒステリシス特性を持たせることができます。

弱電界検出回路は、ON-AIR信号では正常に動作しますが、レーザ・ディスクの特殊再生信号などでは、逆に誤動作を起こす恐れがあります。このような信号が入力される場合は、すべての設定値を最大とし、この回路をOFFにしてください。

参考に、NECの評価データを示します。

表 8-1 非標準検出部設定値例

シリアル・バス	VTRR	HSDR	WSCOR	WSDR1	WSDR2
ON-AIR信号入力時	7	7	0	1	1
その他の信号入力時	7	7	7	F	F

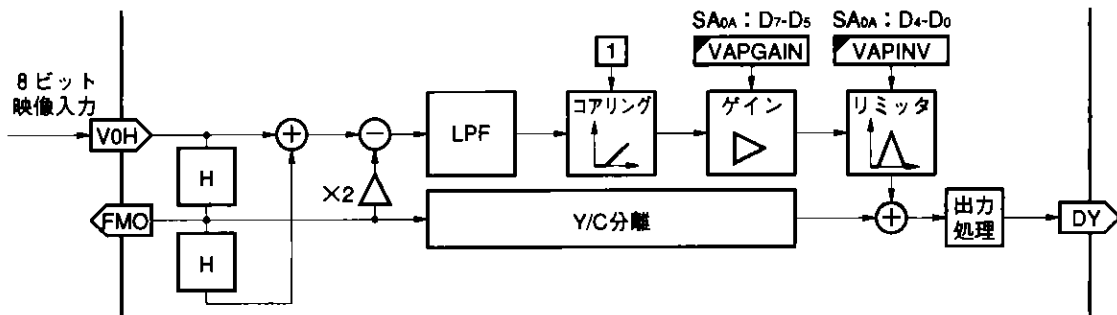
備考 μPC659Aの入力レベル = 0.8 V<sub>pp</sub>時

9. 垂直輪郭補正回路

このICは、垂直方向の輪郭を強調する回路を内蔵しています。垂直方向のライン・コム・フィルタで垂直エッジ成分を抽出し、ロウ・パス・フィルタでクロマ信号成分と輝度信号の斜め成分を除去し、垂直輪郭成分を取り出しています。この信号を非線形回路に通し、本線の輝度信号に加算します。

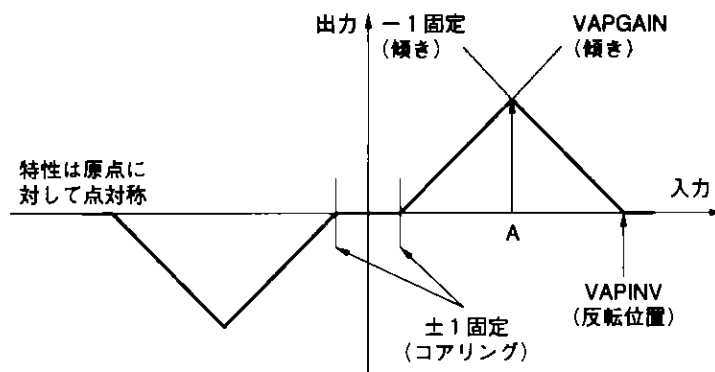
この非線形回路では、設定レベル以上の信号に対して、一定値にクリップするのではなく、逆に減衰（-1倍固定）特性を持たせます。コアリング回路は、1レベル固定、輪郭成分のゲインとリミットの動作点は、シリアル・バスにより設定できます。

図9-1 垂直輪郭補正回路ブロック



輪郭補正を行いたい信号は、どちらかといえば小レベルの信号ですが、一様な輪郭強調を行うと、レベルの大きい信号では強調しすぎてしまいます。そのため、一定値以上の信号は逆に減衰特性を持たせ、大きいレベルの信号に対しては輪郭強調のレベルを抑えています。

図9-2 非線形処理特性



ライン・コム・フィルタで抽出された輪郭成分に対し、コアリング処理を行い1レベル分の不感帯を設け、S/N劣化を防止します。その後、シリアル・バスのVAPGAIN (SA0A: D7-D5) で設定されたレベルで、輪郭強調のゲインを調節します。同じくVAPINV (SA0A: D4-D0) で設定されたレベルで、リミット処理を行います。

輝度ノイズ・リダクションにおいて、NR0, R\_NR0, NR2, R\_NR2 (SMODE=0, 2としたとき) モード時には、垂直輪郭補正回路は利用できません (表2-1 映像信号の処理モード参照)。

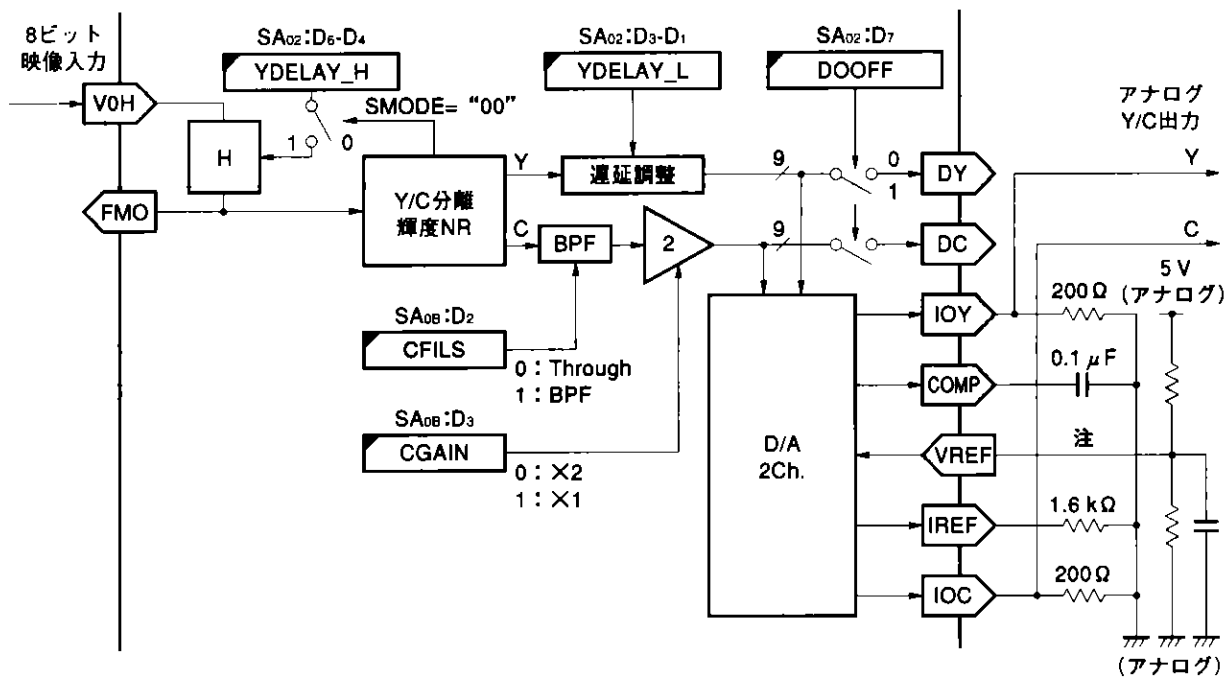


10. 輝度／クロマ信号出力回路

このICは、分離された輝度信号とクロマ信号を、アナログ出力するための9ビットD/Aコンバータを2チャンネル内蔵しています。なお、9ビットのデジタル出力も可能です。

また、輝度信号出力の遅延調整回路を内蔵しています。3DYC, NR1-NR3, R\_NR1, R\_NR2の各モードでは、クロマ信号出力に対し、-2～+5クロック分の遅延差を与えることが可能です。NR0, R\_NR0モードでは、入力から出力までの遅延長を1H (910クロック) 前後に設定することが可能です。

図10-1 輝度／クロマ信号出力ブロック



注 アナログY/C出力の振幅電圧は、VREF端子の電圧で決まります。1Vを与えると、フルスケール出力で1V<sub>p-p</sub>となります。

10.1 遅延長調整

デジタル化映像信号入力から、輝度信号出力までの遅延長を、シリアル・バスのYDELAY\_H (SA02 : D6-D4) , YDELAY\_L (SA02 : D3-D1) 設定値で調節します。1ステップの設定値は、YDELAY\_Hは8クロック分、YDELAY\_Lは1クロック分に相当します。なお、YDELAY\_Hの設定値は、NR0, R\_NR0 (SMODE=0) モード以外では無視されません。遅延長は次の式に従います。

表10-1 入力から出力までの遅延長

モード	SMODE	信号	遅延長の式 <sup>注</sup>	単位
NR0 R_NR0	00	輝度信号 クロマ信号	$1H+19-8 \times YDELAY\_H+YDELAY\_L$ なし	クロック
NR2 R_NR2	10	輝度信号 クロマ信号	$19+YDELAY\_L$ 21 (固定長)	
上記以外のNR 3DYC	01, 11	輝度信号 クロマ信号	$1H+19+YDELAY\_L$ $1H+21$ (固定長) (NR3では21)	

注 YDELAY\_H = 0-7, YDELAY\_L = 0-7, 1H = 910クロック

10.2 D/Aコンバータ部

デジタル処理後の輝度、クロマ信号をそれぞれ9ビット精度でアナログ化して出力します。アナログ出力端子のIOY (94ピン) , IOC (88ピン) は電流出力となっていますので、外部に200 Ωの抵抗を接続して電圧に変換します。

11. シリアル・バス・インタフェース (I<sup>2</sup>C)

11.1 ハードウェア仕様

μPD6487のバス・インタフェースはSDA, SCLの2本のラインにより構成されています。

(1) SDA (シリアル・データ) ライン

マスタCPUはクロック (SCL) に同期して、シリアル・データを出力します。スレーブICは、このデータを取り込みます。

(2) SCL (シリアル・クロック) ライン

マスタCPUがシリアル・クロックとして出力します。スレーブICは、このクロックによりデータを取り込みます。

11.2 ソフトウェア仕様

マスタCPUが、スレーブICを制御する手順について説明します。

(1) スタート条件

スタート条件は、SDA,SCLの2信号のタイミングで作られます。マスタCPUは、SCLラインが 'H' の期間に、SDAラインを 'H' から 'L' に立ち下げます。スレーブICはこの条件を受信すると、データの取り込みを開始します。

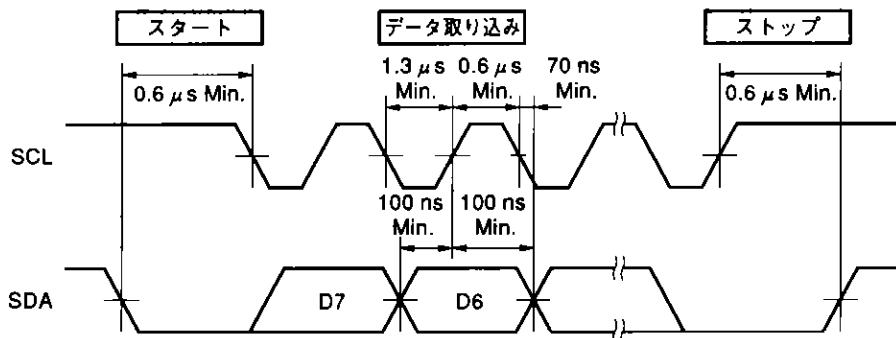
(2) ストップ条件

ストップ条件も、スタート条件と同様に2信号のタイミングで作られます。最終ワードを転送後、SCLラインが 'H' の期間に、SDAラインを 'L' から 'H' に立ち上げます。スレーブICはこの条件を受信すると、データの取り込みを停止します。

(3) データ取り込み条件

SDAラインのデータ取り込みは、SCLラインの立ち上がりで行われます。マスタCPUのSDAデータ切り替えは、SCLラインの立ち下がりより後に行う必要があります。

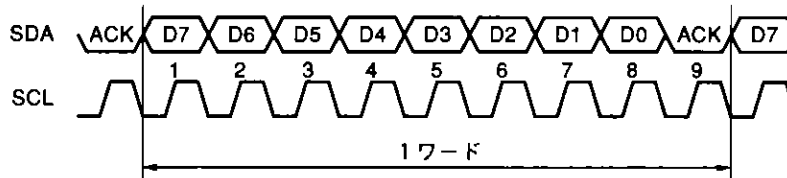
図11-1 スタート/ストップ/データ取り込み条件



(4) データ転送フォーマット

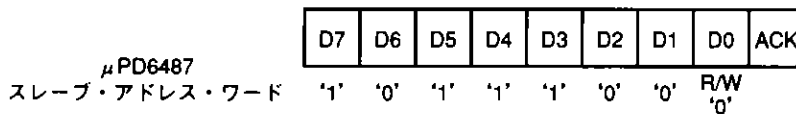
各アドレスやデータの転送は、ワード単位で行います。1ワードは、データ・ビット (D7-D0)、アクノリッジ・ビット (ACK) の計9ビットで構成されています。8ビットのデータはMSBファーストで転送します。選択されたICは、9ビット目でSDAを 'L' とします。

図11-2 1ワード構造



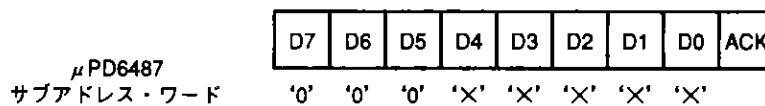
(a) スレーブ・アドレス・ワード送信

マスタCPUはスタートに続いて、データを転送するICのスレーブ・アドレス・ワードを送信します。μPD6487では“10111000B”固定となっています。また、μPD6487にはデータのリード・モードはありませんので、R/Wビットは '0' とし、常にライト・モードとします。アドレスが一致した場合、9ビット目でSDAラインを 'L' とし、データの取り込みを継続します。アドレスが一致しない場合、SDAラインをハイ・インピーダンスとして、次のスタートまで待機状態となります。



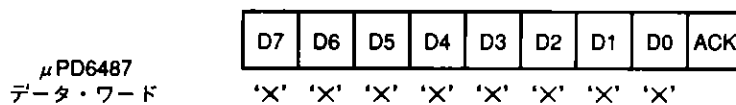
(b) サブアドレス・ワード送信

スレーブ・アドレス・ワードに続いて、ICのサブアドレスを送信します。μPD6487で指定できるサブアドレスは00Hから14Hまでです。



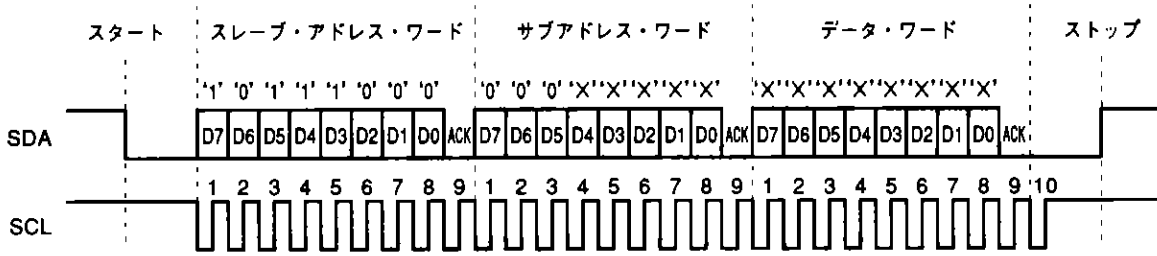
(c) データ・ワード送信

サブアドレス・ワードに続いて、データ・ワードを送信します。μPD6487はサブアドレス・カウンタのオート・インクリメント機能を内蔵していますので、データ・ワードを並べることで、連続したサブアドレスのデータを一度に送信することができます。



マスタCPUが、μPD6487に1バイトのデータを送信する例を、次に示します。

図11-3 1バイト・データ書き込み例



μPD6487では、14Hを越えるサブ・アドレスを指定した場合、もしくはオート・インクリメント機能により、サブアドレス・カウンタが14Hを越えた場合、アクノリッジ・ビットでNAK（ハイ・インピーダンス）は返信されませんので、注意が必要です。

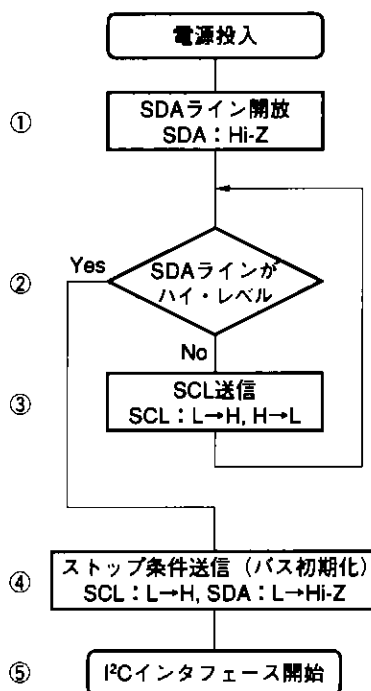
11.3 I<sup>2</sup>Cバス・インタフェースの初期化について

μPD6487のI<sup>2</sup>Cバス・インタフェースは、電源投入後にマイコンなどによる初期化動作が必要です。次に、ソフトウェアおよびハードウェアによる初期化方法を示します。

(1) ソフトウェアによる初期化動作

- ① 電源投入後、電源ラインが安定するまで待ちます。マイコンのSDA出力はハイ・インピーダンス（Hi-Z）としておきます。
- ② SDAラインの状態をマイコンで確認します。ハイ・レベルならば④に飛びます。
- ③ ロウ・レベルならば、SCLラインに1クロック送信（SCL：L→H, H→L）し、②に戻ります。
- ④ I<sup>2</sup>Cバスのストップ条件（SCL：L→H, SDA：L→Hi-Z）を送信します。
- ⑤ I<sup>2</sup>Cバス・インタフェースを開始します。

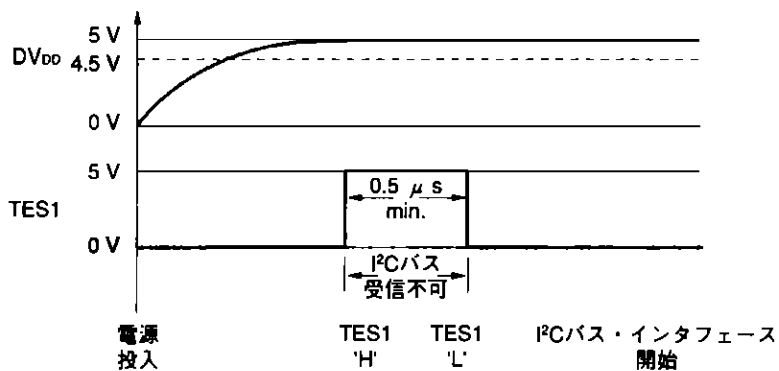
図11-4 ソフトウェアによる初期化動作のフロー・チャート



(2) ハードウェアによる初期化動作

- ① 電源投入後、電源ラインが安定するまで待ちます。
- ② TES1端子 (58ピン) をハイ・レベルとし、I<sup>2</sup>Cバス・インタフェースを初期化します。  
このとき、BVCO端子 (100ピン) には、クロックが入力されていなければなりません。また、TES1端子がハイ・レベル期間中は、I<sup>2</sup>Cバスのデータは受信できません。
- ③ TES1端子をロウ・レベルとし、I<sup>2</sup>Cバス・インタフェースを開始します。

図11-5 ハードウェアによる初期化動作のタイミング



11.4 シリアル・バス機能説明

このICの各シリアル・バスの機能を説明します。多ビットにわたるデータには、2進数で設定を行います。

なお、電源投入直後は、すべてのビットが不定となっているため、即座に全アドレスにデータを設定する必要があります。

表11-1 シリアル・バス機能一覧

スレーブ・アドレス μPD6487 (PC) : 10111000B

Data Map (SA <sub>00</sub> -SA <sub>14</sub> )								
SA	D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
00	SEP	NRMODE	SMODE		0	0	YCMD	1
01	0	0	0	1	MS1	MS0	BPFS	KILS
02	DOOFF	YDELAY_H			YDELAY_L			HRD <sub>0</sub>
03	HRD <sub>7</sub> -HRD <sub>0</sub>							
04	DYCOR				DYGAIN			
05	DCCOR				DCGAIN			
06	VTR1	VTR0	1	VTRR				
07	0	0	0	HSDR				
08	WSCOR			0	0	1	1	1
09	WSDR1				WSDR2			
0A	VAPGAIN				VAPINV			
0B	0	0	1	0	CGAIN	CFILS	0	0
0C	0	1	0	0	0	0	1	0
0D	0	1	0	0	0	1	0	1
0E	0	1	1	1	0	1	0	0
0F	1	0	0	1	1	0	0	0
10	1	0	0	1	0	0	0	0
11	0	0	0	1	0	0	0	0
12	0	0	0	0	1	0	0	0
13	HREFOFF	YNRK1			YNRINV			
14	CTLS	YNRK2			YNR LIM			

には、上記固定値を設定してください。

注意 シリアル・バス上の固定値は暫定的なものであり、将来変更の可能性がります。

11.4.1 モード選択関連

**NRMODE (SA<sub>00</sub>:D<sub>6</sub>)**

**【YNRの巡回／非巡回型選択】**

NRの巡回／非巡回を選択します。

‘0’ ……フレーム巡回型YNRモード

巡回型の選択を行った場合、SA<sub>13</sub>,SA<sub>14</sub>の設定が必要になります。

‘1’ ……フレーム・コムYNRモード

非巡回型YNRを行います。3DYCの回路を利用するので、動き検出などの設定方法は、3次元Y/C分離モードと共通です。

**SMODE (SA<sub>00</sub>:D<sub>5</sub>,D<sub>4</sub>)**

**【YNR信号遅延モード選択】**

輝度信号ノイズ・リダクション (YNR) 時の遅延モードを設定します。

表11-2 映像信号の処理モード

シリアル・バス			モード 名称	信号処理	Y遅延長 (CLK)	C遅延長 <sup>注2</sup> (CLK)	垂直輪郭補正	使用 クロック
SEP <sup>注1</sup>	NRMODE	SMODE						
0	X	XX	3DYC	3次元Y/C分離	1H+19~+26	1H+21	○	バースト・ロック
1	1	00	NR0	非巡回型YNR (+C遅延)	1H-37~+26	なし(外部)	×	ライン・ロック
		01	NR1		1H+19~+26	1H+21	○	
		10	NR2		+19~+26	21	×	
		11	NR3		1H+19~+26	21	○	
	0	00	R_NR0	巡回型YNR (+C遅延)	1H-37~+26	なし(外部)	×	
		01	R_NR1		1H+19~+26	1H+21	○	
		10	R_NR2		+19~+26	21	×	
		11	設定不可					

注1. シリアル・バスのSEP (SA<sub>00</sub>:D<sub>7</sub>) を ‘1’ とすることで、NRMODE, SMODEで決めたノイズ・リダクション・モードへ移行します。

2. NRモード時、ライン・ロック・クロックのジッタが多い場合 (入力ソースがVTR再生信号などのとき)、クロマ信号遅延はできません。この場合、R\_NR0, NR0モードを利用して輝度の遅延長を1Hとし、クロマ信号の遅延は外部の1H遅延線で行ってください。



CTLS (SA<sub>14</sub>:D<sub>7</sub>)

## 【CTL端子機能選択】

CTL端子 (79ピン) の端子機能を選択します。

‘0’ ……CTL端子 = ‘L’ でY/C分離モード, ‘H’ でYNRモードになります。

‘1’ ……CTL端子 = ‘L’ で標準モード, ‘H’ で強制2次元Y/C分離モードになります。

## 11.4.2 クロック関連

YCMD (SA<sub>00</sub>:D<sub>1</sub>)

## 【処理クロック・モード選択】

クロック・モードを選択します。これに従い、HRD設定値の変更も必要です。

‘0’ ……ライン・ロック・クロック使用時

YNR機能を利用するとき、ライン・ロック・クロックが必要となります。このとき、YCMD= ‘0’ を設定します。

‘1’ ……バースト・ロック・クロックのみ使用時

Y/C分離機能のみ利用するとき、YCMD= ‘1’ を設定します。HVCO端子 (81ピン) は、GNDに接続します。このモードでは、YNR機能は利用できません。

HRD (SA<sub>04</sub>:D<sub>7</sub>-D<sub>0</sub>,SA<sub>03</sub>:D<sub>0</sub>)

## 【H-レファレンス・シフト量設定】

水平基準位置を決定する、HREFカウンタのシフト量を2クロック単位、512ステップで設定します。外部A/DコンバータとしてμPC659A、同期発生ICとしてμPC1862、ライン・ロック・クロック発生ICとしてμPC1861を使用する場合、次の値を設定します。

Y/C分離機能のみ利用するとき (バースト・ロック・クロックのみ利用: μPC1861未使用)

YCMD= ‘1’, HRD= “02AH” (SA<sub>00</sub>:D<sub>1</sub>= “1”, SA<sub>02</sub>:D<sub>0</sub>= “0”, SA<sub>03</sub>= “2AH” )

YNR機能を利用するとき (ライン・ロック・クロックも利用: μPC1861使用)

YCMD= ‘0’, HRD= “1F6H” (SA<sub>00</sub>:D<sub>1</sub>= “0”, SA<sub>02</sub>:D<sub>0</sub>= “1”, SA<sub>03</sub>= “F6H” )

HREFOFF (SA<sub>13</sub>:D<sub>7</sub>)

## 【HREF端子出力選択】

Y/C分離機能のみ利用するとき、HREF端子出力は必要ありません。この出力をロウ・レベル固定にすることができます。

‘0’ ……HVCO端子から入力されたクロックの910分周パルスを出力します。

‘1’ ……ロウ・レベル固定にします。

## 11.4.3 Y/C入出力関連

## DOOFF (SA02 : D7)

## 【デジタルY/C出力OFF選択】

DY6-DY0, DC6-DC0のデジタル出力をコントロールします。デジタル出力を使用しない場合、ロウ・レベルに固定して、輻射ノイズの発生を防止します。MD3~MD0の動き検出出力もロウ・レベル固定になります。

- '0' .....アクティブ
- '1' .....ロウ・レベル固定

## YDELAY\_H (SA02 : D6-D4)

## 【NR0,R\_NR0モード時遅延長調整】

NR0,R\_NR0モード時、輝度信号の遅延長を調整します（これ以外のモードでは、設定は無視されます）。YDELAY\_Lと組み合わせて、1H-37クロックから1H+26クロックまでの間、1クロック単位、64ステップで設定可能です。輝度の遅延長は、次の式で示されます。

$$\begin{aligned} \text{輝度遅延長} &= 1H + 19 - 8 \times YDELAY\_H + YDELAY\_L \text{ (クロック)} \\ & \text{(1H=910クロック, YDELAY\_H=0-7, YDELAY\_L=0-7)} \end{aligned}$$

## YDELAY\_L (SA02 : D3-D1)

## 【Y遅延長微調整】

輝度信号の遅延長を調整します。1H+19クロックから1H+26クロックまでの間、1クロック単位、8ステップで設定可能です。Y/C分離モード時の輝度遅延長、クロマ遅延長は、次の式で示されます。

$$\begin{aligned} \text{輝度遅延長} &= 1H + 19 + YDELAY\_L \text{ (クロック)} \\ \text{クロマ遅延長} &= 1H + 21 \text{ (クロック)} \\ & \text{(1H=910クロック, YDELAY\_L=0-7)} \end{aligned}$$

Y/C分離モード時のクロマ遅延長は固定です。したがって、輝度とクロマを同じ遅延長とするには、(YDELAY\_L=2)を設定します。

## CGAIN (SA08 : D3)

## 【クロマ出力ゲイン選択】

クロマ出力 (DC6-DC0, およびiOC端子出力) のゲインを選択します。

- '0' .....Y出力に対し2倍
- '1' .....Y出力に対し1倍 (通常)

## CFILS (SA08 : D2)

## 【クロマ出力フィルタ選択】

クロマ出力に対し、バンド・パス・フィルタを通す/通さないを選択します。

- '0' .....バンド・パス・フィルタを通さない
- '1' .....バンド・パス・フィルタを通す (通常)

## 11.4.4 Y/C分離関連

MS1,MS0 (SA<sub>01</sub> : D<sub>3</sub>,D<sub>2</sub>)

## 【強制動き／静止設定】

Y/C分離フィルタの選択を、動き信号によらず、直接コントロールします。

‘00’ ……動き検出による適応切替（通常）

‘01’ ……強制静止（強制3次元Y/C分離）

‘10’ ……強制動き（強制2次元Y/C分離）

BPFS (SA<sub>01</sub> : D<sub>1</sub>)

## 【バンド・パス型Y/C分離選択】

フィールド内Y/C分離のフィルタを選択します。

‘0’ ……ロジカル・コム型Y/C分離

映像信号の上下ラインの相関により、ロジカル・コム型Y/C分離を行います。

‘1’ ……バンド・パス型（周波数型）Y/C分離

映像信号の3.58 MHz付近をクロマ信号とみなして、Y/C分離を行います。

KILS (SA<sub>01</sub> : D<sub>0</sub>)

## 【キラー選択】

Y/C分離モードでは、コンポジット信号から、クロマ信号を分離しないで直接Y出力に出力します。YNRモードでは、強制NRオフとなります。

‘1’ ……キラー動作

‘0’ ……通常

## 11.4.5 動き検出関連

## DYCOR (SA04 : D7-D4)

## 【Δ Y 検出コアリング・レベル設定】

フレーム間 Y 差分検出のコアリング・レベルを設定します。この設定値より小さい信号はノイズとみなし、  
'0' を出力します。

'0000' .....コアリング最小 (動画より)

'1111' .....コアリング最大 (静止画より)

## DYGAIN (SA04 : D3-D0)

## 【Δ Y 検出ゲイン設定】

フレーム間 Y 差分検出のゲインを設定します。'00h' を設定すると、Δ Y 差分検出出力を OFF することができます。DCGAIN と組み合わせることにより、Δ Y と Δ C のミックス比を変化させることが可能です。

'0000' .....ゲイン最小 (静止画より)

'1111' .....ゲイン最大 (動画より)

## DCCOR (SA05 : D7-D4)

## 【Δ C 検出コアリング・レベル設定】

フレーム間 C 差分検出のコアリング・レベルを設定します。この設定値より小さい信号はノイズとみなし、  
'0' を出力します。

'0000' .....コアリング最小 (動画より)

'1111' .....コアリング最大 (静止画より)

## DCGAIN (SA05 : D3-D0)

## 【Δ C 検出ゲイン設定】

フレーム間 C 差分検出のゲインを選択します。

'0000' .....ゲイン最小 (静止画より)

'1111' .....ゲイン最大 (動画より)

#### 11.4.6 巡回型輝度ノイズ・リダクション関連

巡回型YNRを利用しない場合（NRMODE=1）、次の設定、送信を行う必要はありません。

##### YNRK1 (SA<sub>13</sub> : D<sub>6</sub>-D<sub>4</sub>)

###### 【YNRゲイン設定1】

入力信号のゲイン調整を行います。NR効果の大きさは、ほぼこの設定値で決まります。

'000' .....ゲイン0 (YNR OFF)

'111' .....ゲイン最大

##### YNRINV (SA<sub>13</sub> : D<sub>3</sub>-D<sub>0</sub>)

###### 【YNR反転レベル設定】

YNRを行う最大レベルの設定を行います。これより大きな入力は動き成分とみなし、YNRを行いません。

'0000' .....レベル0 (YNR OFF)

'1111' .....レベル最大

##### YNRK2 (SA<sub>14</sub> : D<sub>6</sub>-D<sub>4</sub>)

###### 【YNRゲイン設定2】

入力信号の減衰ゲイン調整を行います。動き成分の増加に従い、NR効果を落としていくレベルを設定します。

'000' .....減衰ゲイン0 (YNR OFF)

'111' .....減衰ゲイン最大

##### YNRLIM (SA<sub>14</sub> : D<sub>3</sub>-D<sub>0</sub>)

###### 【YNRリミット・レベル設定】

非線形処理部の最大通過レベルを設定します。小レベルの動きが残像となるのを防ぎます。

'0000' .....通過レベル0 (YNR OFF)

'1111' .....通過レベル最大

## 11.4.7 非標準検出関連

## VTRR (SA06 : D4-D0)

## 【VTR検出レファレンス設定】

VTR検出レベルを設定します。垂直周波数のズレ値をこの設定値と比較します。ズレが設定値より大きい場合は、非標準信号とします。

'00000' ……感度最大

'11111' ……感度最小

## HSDR (SA07 : D4-D0)

## 【同期検出レファレンス設定】

バースト・ロック・クロック時、非標準検出の同期検出レベルを設定します。水平同期信号のフレーム (525H) 差分をこの設定値と比較します。差分が設定値より大きいときは、同期のズレがあるとみなし、非標準信号とします。

'00000' ……感度最大

'11111' ……感度最小

## WSCOR (SA08 : D7-D5)

## 【弱電界検出コアリング・レベル】

弱電界検出入力のコアリング値を設定します。この値より小さい入力はノイズとみなし、0を出力します。

'000' ……コアリングなし (弱電界検出感度最大)

'111' ……コアリング最大

## WSDR1 (SA09 : D7-D4)

## 【弱電界検出レファレンス1 : OFF→ON】

弱電界検出回路が、OFFからONになるときの検出レベルを設定します。映像信号平坦部のフレーム差分をこの設定値と比較します。差分が設定値より大きいときは、弱電界信号とみなし、誤動作防止のため同期検出回路を停止させます。

'0000' ……感度最大

'1111' ……感度最小

## WSDR2 (SA09 : D3-D0)

## 【弱電界検出レファレンス2 : ON→OFF】

弱電界検出回路が、ONからOFFになるときの検出レベルを設定します。差分が設定値より小さいときは、弱電界信号でないとみなし、同期検出回路を動作させます。WSDR1より小さい値を設定することにより、回路にヒステリシス特性を与えることができます。

'0000' ……感度最大

'1111' ……感度最小

## 11.4.8 垂直輪郭補正関連

VAPGAIN (SA<sub>0A</sub>: D7-D5)

## 【垂直輪郭補正ゲイン】

垂直輪郭補正信号のゲインをコントロールします。8ステップのコントロールが可能です。

'000' .....補正OFF

'111' .....補正最大

VAPINV (SA<sub>0A</sub>: D4-D0)

## 【垂直輪郭補正反転データ】

垂直輪郭補正信号のゲインを落としていくポイントを設定します。

'00000' .....補正OFF

'11111' .....補正最大

12. 電気的特性

絶対最大定格 (TA = 25℃)

項目	略号	条件	定格	単位
電源電圧	V <sub>DD</sub>		-0.3~+7.0	V
入力電圧	V <sub>I</sub>		-0.3~V <sub>DD</sub> +0.3	V
出力電圧	V <sub>O</sub>		-0.3~V <sub>DD</sub> +0.3	V
パッケージ許容損失	P <sub>d</sub>	フリー・エア時 (TA = +70℃)	550	mW
		ガラス・エポキシ基板実装時 (TA = +70℃, 10mm×10mm, 2mm厚)	948	mW
動作周囲温度	TA		-20~+70	℃
保存温度	T <sub>stg</sub>		-40~+125	℃

★ 注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なうおそれがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

推奨動作範囲 (TA = 25℃, DGND = AGND = 0V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
デジタル電源電圧	DV <sub>DD</sub>		4.75	5.0	5.25	V
アナログ電源電圧	AV <sub>DD</sub>	-0.3V < (DV <sub>DD</sub> - AV <sub>DD</sub> ) < +0.3V	4.75	5.0	5.25	V
ハイ・レベル入力電圧	V <sub>IH</sub>	CMOS入力端子	0.7DV <sub>DD</sub>		DV <sub>DD</sub>	V
ロウ・レベル入力電圧	V <sub>IL</sub>		0		0.3DV <sub>DD</sub>	V
ハイ・レベル入力電圧	V <sub>IH</sub>	TTL入力端子	2.0		DV <sub>DD</sub>	V
ロウ・レベル入力電圧	V <sub>IL</sub>		0		0.8	V
ハイ・レベル入力電圧	V <sub>IH</sub>	シリアル・バス入力端子 SCL (56), SDA (57) 端子	3.0		DV <sub>DD</sub>	V
ロウ・レベル入力電圧	V <sub>IL</sub>		0		1.5	V
クロック入力周波数	f <sub>CK</sub>	HVCO (81), BVCO (100) 端子		14.31818		MHz
クロック入力振幅	V <sub>CK</sub>		0.8			V <sub>PP</sub>
アナログ基準電圧	V <sub>REF</sub>	VREF (91) 端子入力電圧		1.0	2.0	V
位相補償容量	C <sub>COMP</sub>	COMP (92) 端子		0.1		μF



デジタル部電気的特性 (DVDD = 5.0 V ± 0.25 V, DGND = 0 V, TA = -20 ~ +70 °C)

項目	略号	条件	MIN.	TYP.	MAX.	単位
デジタル電源電圧	DVDD		4.75	5.0	5.25	V
デジタル消費電流	DIDD				135	mA
入力リーク電流	I <sub>I</sub>	通常入力 V <sub>I</sub> = DVDDor0 V	-10	0	+10	μA
ハイ・レベル入力電流	I <sub>IH</sub>	プルダウン入力 V <sub>I</sub> = DVDD	40	100	270	μA
ハイ・レベル出力電流	I <sub>OH</sub>	CMOSレベル出力 V <sub>OH</sub> = DVDD - 0.4 V		-3.5	-1.6	mA
ロウ・レベル出力電流	I <sub>OL</sub>	(-1.6/3.0 mA) V <sub>OL</sub> = 0.4 V	3.0	6.5		mA
ハイ・レベル出力電流	I <sub>OH</sub>	CMOSレベル出力 V <sub>OH</sub> = DVDD - 0.4 V		-7.0	-3.2	mA
ロウ・レベル出力電流	I <sub>OL</sub>	(-3.2/6.0 mA) V <sub>OL</sub> = 0.4 V	6.0	13.0		mA
ロウ・レベル出力電流	I <sub>OL</sub>	Nchオープン・ドレイン V <sub>OL</sub> = 0.4 V	6.0	13.0		mA
出力リーク電流	I <sub>O</sub>	3ステート・オープン・ドレイン V <sub>O</sub> = DVDD ~ DGND	-10	0	+10	μA

スイッチング特性 (DVDD = 5.0 V ± 0.25 V, DGND = 0 V, C<sub>L</sub> = 15 pF, t<sub>r</sub> = t<sub>f</sub> = 2 ns, TA = -20 ~ +70 °C)

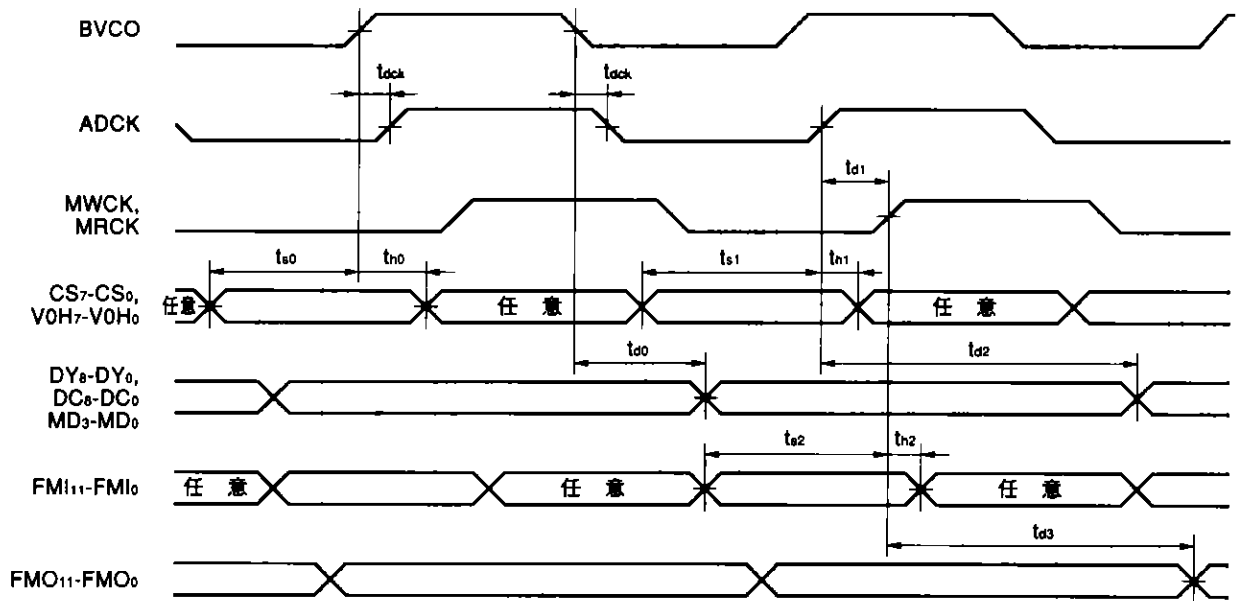
項目	略号	条件	MIN.	TYP.	MAX.	単位
クロック入力周波数	f <sub>ck</sub>	0.8 V <sub>pp</sub> 以上のsin波または デューティ50%の方形波		14.31818		MHz
クロック・デューティ	d <sub>ck</sub>	BVCO, HVCO端子 (方形波入力の場合)	40	50	60	%
クロック出力遅延時間	t <sub>ack</sub>	ADCK端子 (対BVCO端子)	5	10	20	ns
出力遅延時間 0	t <sub>ao</sub>	DY <sub>e</sub> -DY <sub>o</sub> , DC <sub>e</sub> -DC <sub>o</sub> 端子 MD <sub>3</sub> -MD <sub>o</sub> 端子 (対BVCO端子立ち下がり)	3	12	28	ns
出力遅延時間 1	t <sub>a1</sub>	MWCK, MRCK端子 (対ADCK端子立ち上がり)	-10	0	+10	ns
出力遅延時間 2	t <sub>a2</sub>	DY <sub>e</sub> -DY <sub>o</sub> , DC <sub>e</sub> -DC <sub>o</sub> 端子 MD <sub>3</sub> -MD <sub>o</sub> 端子 (対ADCK端子立ち上がり)	15		50	ns
出力遅延時間 3	t <sub>a3</sub>	FMO <sub>11</sub> -FMO <sub>o</sub> 端子 (対MWCK端子立ち上がり)	15		50	ns
入力データ・セットアップ時間 0	t <sub>so</sub>	CS <sub>7</sub> -CS <sub>o</sub> , V0H <sub>7</sub> -V0H <sub>o</sub> 端子 (対BVCO端子立ち上がり)	0			ns
入力データ・ホールド時間 0	t <sub>ho</sub>		12			ns
入力データ・セットアップ時間 1	t <sub>s1</sub>	CS <sub>7</sub> -CS <sub>o</sub> , V0H <sub>7</sub> -V0H <sub>o</sub> 端子 (対ADCK端子立ち上がり)	20			ns
入力データ・ホールド時間 1	t <sub>h1</sub>		3			ns
入力データ・セットアップ時間 2	t <sub>s2</sub>	FMI <sub>11</sub> -FMI <sub>o</sub> 端子 (対MRCK端子立ち上がり)	20			ns
入力データ・ホールド時間 2	t <sub>h2</sub>		3			ns
入力容量	C <sub>i</sub>	DVDD = V <sub>I</sub> = 0 V, f <sub>IN</sub> = 1 MHz		5	10	pF

D/Aアナログ特性 (AVDD = 5.0 V ± 0.25 V, AGND = 0 V, VREF = 1.0 V, CCOMP = 0.1 μF, TA = -20 ~ +70 °C)

項目	略号	条件	MIN.	TYP.	MAX.	単位
アナログ消費電流	AI <sub>DD</sub>				20	mA
分解能	RES			9		bit
積分直線性誤差	ILE				±2.0	LSB
微分直線性誤差	DLE				±1.0	LSB
出力電圧フルスケール精度 <sup>注</sup>	V <sub>OFFS</sub>	R <sub>IOY</sub> = R <sub>IOC</sub> = 200 Ω	0.85	1.0	1.15	V
セトリング時間	t <sub>SET</sub>			32	40	ns

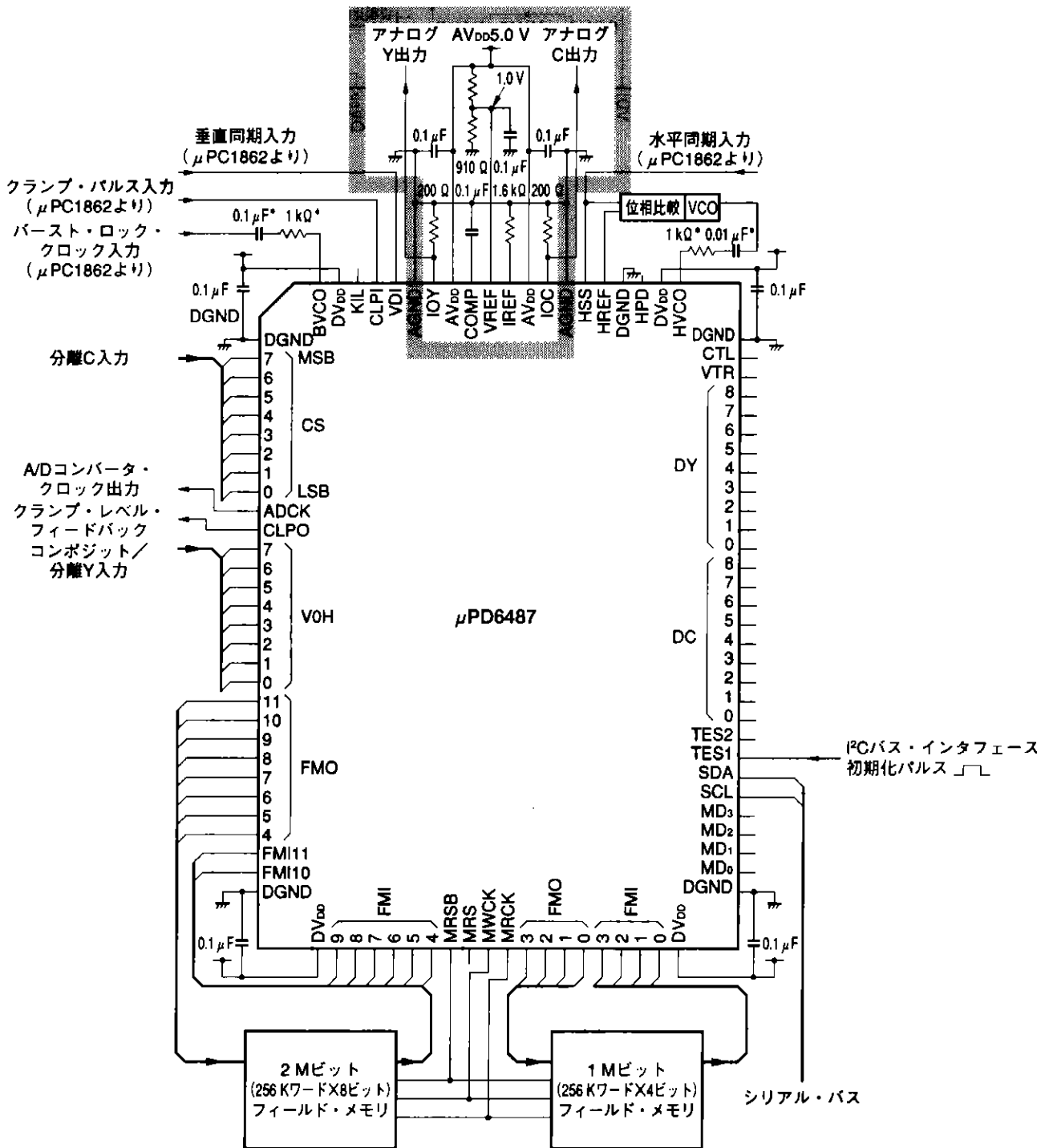
注 フルスケール出力とゼロスケール出力の差電圧

タイミング・チャート



13. 応用回路例

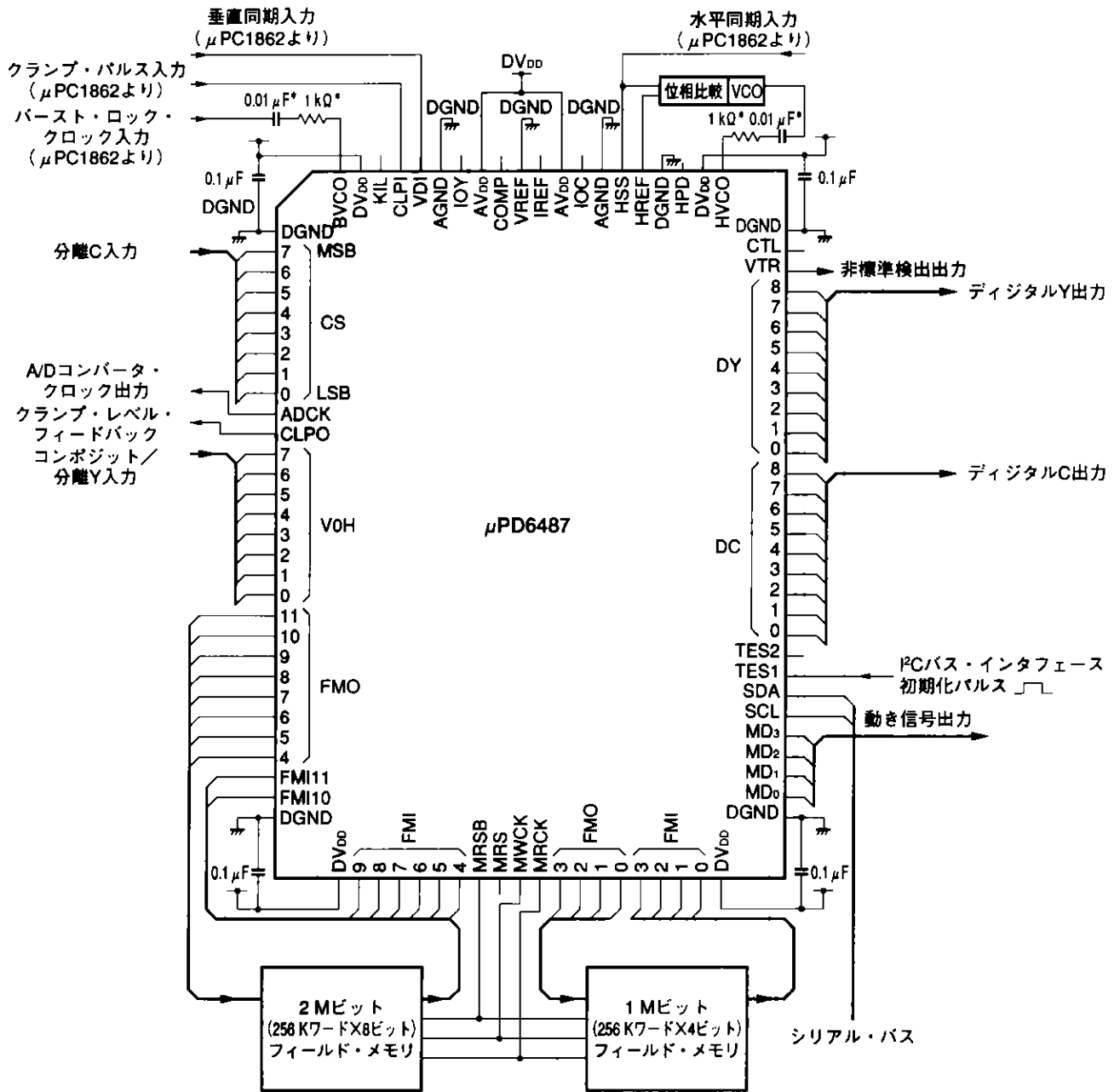
(1) アナログY/C出力使用時



備考 1. 内の電源はデジタル部と分離してください。また、デジタル系配線をまたいだりしないよう、極力コンパクトに配置してください。

2. \*の部品は、極力端子近くに配置してください。

(2) デジタルY/C出力使用時



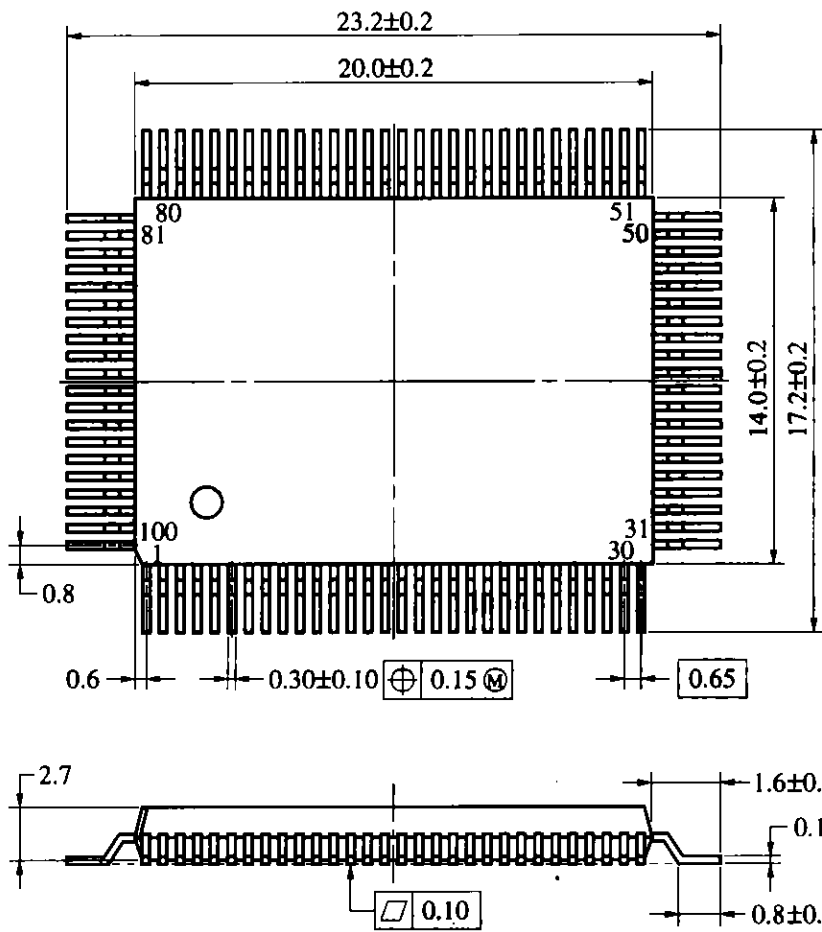
備考 1. 内蔵のD/Aを使用しないときは、電源とGNDはデジタル部と共用します。

IOY, IOC, COMP, IREFはオープンとし、VREFはGNDに接続してください。

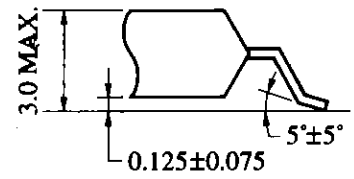
2. \*の部品は、極力端子近くに配置してください。

14. 外形図

100ピン・プラスチック QFP (14×20) 外形図 (単位: mm)



端子先端形状詳細図



S100GF-65-3BA-3

15. 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の詳細は、インフォメーション資料「半導体デバイス実装マニュアル」(C10535J)を参照してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

表面実装タイプの半田付け条件

μPD6487GF-3BA：100ピン・プラスチックQFP（14×20 mm）

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃、時間：30秒以内（210℃以上）、回数：2回以内、 制限日数：7日間 <sup>注</sup> （以降は125℃プリベーク20時間必要）	IR35-207-2
★ VPS	パッケージ・ピーク温度：215℃、時間：40秒以内（200℃以上）、回数：2回以内、 制限日数：7日間 <sup>注</sup> （以降は125℃プリベーク20時間必要）	VP15-207-2
★ ウェーブ・ソルダーリング	半田槽温度：260℃、時間：10秒以内、回数：1回、 予備加熱温度：120℃ MAX.（パッケージ表面温度）、 制限日数：7日間 <sup>注</sup> （以降は125℃プリベーク20時間必要）	WS60-207-1
端子部分加熱	端子温度：300℃以下、時間：3秒以内（デバイスの一辺当たり）	—

注 ドライパック開封後の保管日数で、保管条件は25℃、65%RH以下。

★ 注意 半田付け方式の併用はお避けください（ただし、端子部分加熱方式は除く）。

★ **留意事項**

耐熱トレイ以外（マガジン、テーピング、非耐熱トレイ）は、包装状態でのベーキングができません。

## CMOSデバイスの一般的注意事項

## ①静電気対策 (MOS全般)

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

## ②未使用入力の処理 (CMOS特有)

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性 (タイミングは規定しません) を考慮すると、個別に抵抗を介してV<sub>DD</sub>またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

## ③初期化以前の状態 (MOS全般)

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

注意：本製品はiPCバス・インタフェース回路を内蔵しています。

日本電気株式会社のiPCバス対応部品をご購入いただくことにより、これらの部品をiPCシステムに使用する実施権がフィリップス社iPC特許に基づき許諾されることとなります。ただし、これらのiPCシステムはフィリップス社によって設定されたiPC標準規格に合致しているものとします。

Purchase of NEC iPC components conveys a license under the Philips iPC Patent Rights to use these components in an iPC system, provided that the system conforms to the iPC Standard Specification as defined by Philips.

本資料に掲載の応用回路および回路定数は、例示的に示したものであり、量産設計を対象とするものではありません。

- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的所有権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
- 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意ください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。  
 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット  
 特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災／防犯装置、各種安全装置、生命維持を直接の目的としない医療機器  
 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等  
 当社製品のデータ・シート／データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。
- この製品は耐放射線設計をしておりません。

M4 94.11

— お問い合わせは、最寄りのNECへ —

【営業関係お問い合わせ先】

半導体第一販売事業部 半導体第二販売事業部 半導体第三販売事業部	〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3454-1111 (大代表)
中部支社 半導体販売部	〒460 名古屋市中区錦一丁目17番1号 (NEC中部ビル)	名古屋 (052)222-2170
関西支社 半導体第一販売部 半導体第二販売部 半導体第三販売部	〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3178 大阪 (06) 945-3200 大阪 (06) 945-3208
北海道支社 東北支社 岩手支社 山形支店 山形支店 郡山支店 いわき支店 県南支店 土浦支店 水戸支店 神奈川支社 群馬支店 太田支店	札幌 (011)231-0161 仙台 (022)261-5511 盛岡 (0196)51-4344 山形 (0236)23-5511 郡山 (0249)23-5511 いわき (0246)21-5511 県南 (0258)36-2155 土浦 (0298)23-6161 水戸 (0292)26-1717 横浜 (045)324-5511 高崎 (0273)26-1255 太田 (0276)46-4011	宇都宮支店 宇都宮 (028)621-2281 小山支店 小山 (0285)24-5011 長野支社 長野 (026)235-1444 松本支店 松本 (0263)35-1666 上諏訪支店 諏訪 (0266)53-5350 甲府支店 甲府 (0552)24-4141 埼玉支社 大宮 (048)641-1411 立川支店 立川 (0426)26-5981 千葉支社 千葉 (043)238-8116 静岡支社 静岡 (054)255-2211 北陸支社 金沢 (0762)23-1621 福井支店 福井 (0776)22-1866
富山支店 三豊支店 京都支社 神戸支社 中国支社 鳥取支店 岡山支店 四国支社 新居浜支店 松山支店 九州支社 北九州支店	富山 (0764)31-8461 津 (0592)25-7341 京都 (075)344-7824 神戸 (078)333-3854 広島 (082)242-5504 鳥取 (0857)27-5311 岡山 (086)225-4455 高松 (0878)36-1200 新居浜 (0897)32-5001 松山 (089)945-4111 福岡 (092)271-7700 北九州 (093)541-2887	

【本資料に関する技術お問い合わせ先】

半導体ソリューション技術本部 システムマイクロ技術部	〒210 川崎市幸区瀬田三丁目484番地	川崎 (044)548-7919	半導体 インフォメーションセンター FAX(044)548-7900 (FAXにてお願い致します)
半導体販売技術本部 東日本販売技術部	〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3798-9618	
半導体販売技術本部 中部販売技術部	〒460 名古屋市中区錦一丁目17番1号 (NEC中部ビル)	名古屋 (052)222-2125	
半導体販売技術本部 西日本販売技術部	〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3383	