

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

メモリ内蔵 3 次元 Y/C 分離 LSI

μ PD64084 は、NTSC 信号の 3 次元信号処理により、高精度な Y/C 分離を実現します。

4M ビット・フレーム・ディレイ・メモリを内蔵しており、完全な 1 チップ 3 次元 Y/C 分離システムを実現できます。高精度 10 ビット A/D コンバータと D/A コンバータを内蔵しており、輝度信号処理系の 10 ビット化による高画質化を実現しています。

ID-1 検出、WCV-ID 検出機能を内蔵しています。

特 徴

4M ビットのフレーム・ディレイ・メモリを内蔵、1 チップにて 3 次元 Y/C 分離システムが構成可能

2 つの動作モード

動き適応 3 次元 Y/C 分離

2 次元 Y/C 分離+YCNR

10 ビット A/D コンバータ、10 ビット D/A コンバータ×2 チャンネル、クロック・ジェネレータ内蔵

Y コアリング、垂直輪郭補正、ピーキング・フィルタ、ノイズ検出機能内蔵

WCV-ID 検出、ID-1 検出内蔵 (I²C リード・レジスタで読み取り可能)

未使用時に消費電力を大幅にカットするパワー・ダウン・モード搭載

I²C バス・コントロール

電源電圧は 2.5 V と 3.3 V の 2 電源

デジタル部電源 DV_{DD} = 2.5 V

アナログ部電源 AV_{DD} = 2.5 V

DRAM 部電源 DV_{DDRAM} = 2.5 V

I/O 部電源 DV_{DDIO} = 3.3 V

オーダ情報

オーダ名称	パッケージ
μ PD64084GC-8EA-A ^{注1}	100 ピン・プラスチック LQFP (ファインピッチ)(14 × 14 mm)
μ PD64084GC-8EA-Y ^{注2}	100 ピン・プラスチック LQFP (ファインピッチ)(14 × 14 mm)

注 1. 鉛フリー製品

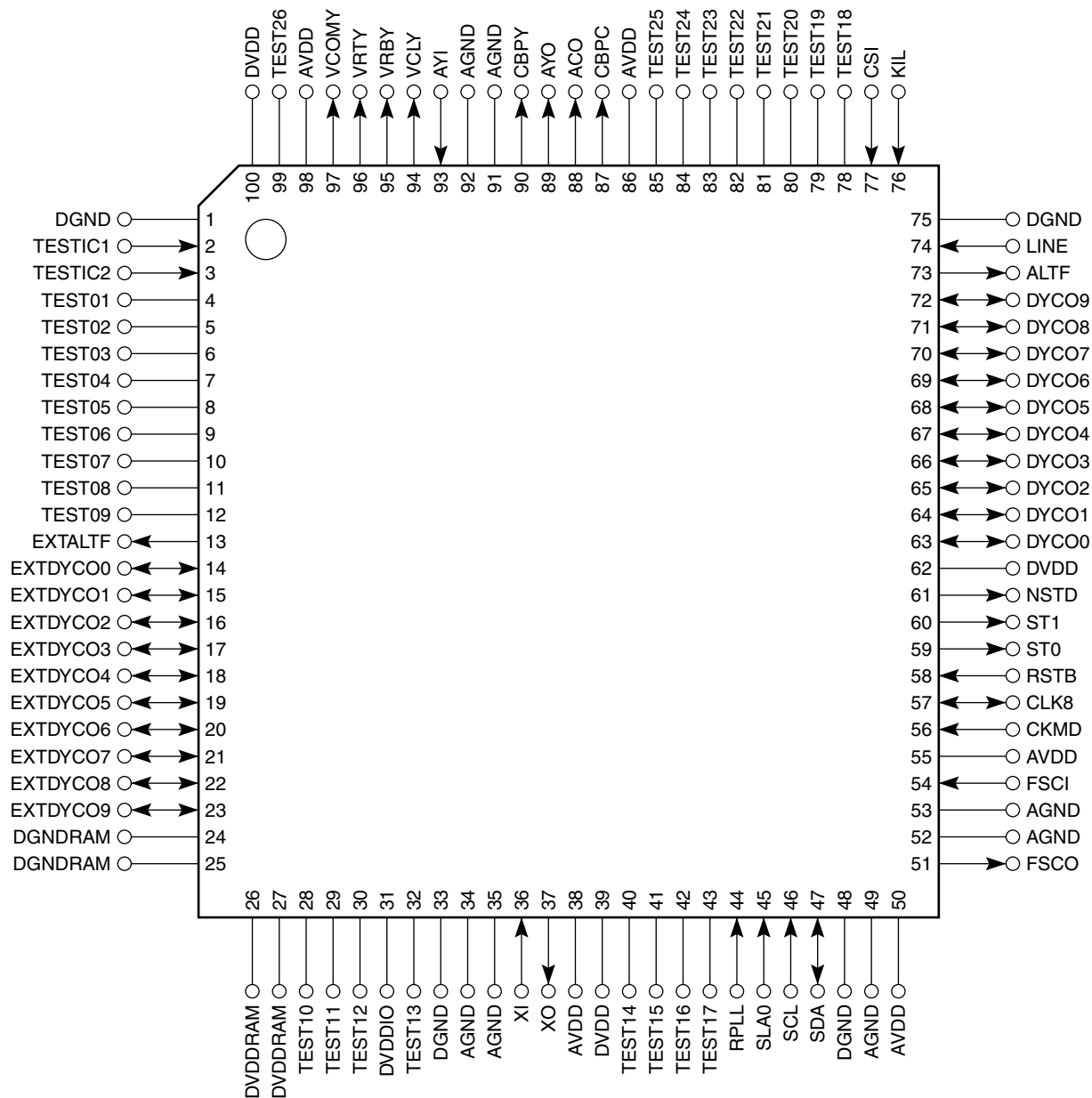
2. 耐熱性向上品

本資料の内容は予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。

端子接続図 (Top View)

100ピン・プラスチックLQFP (ファインピッチ) (14 × 14 mm)

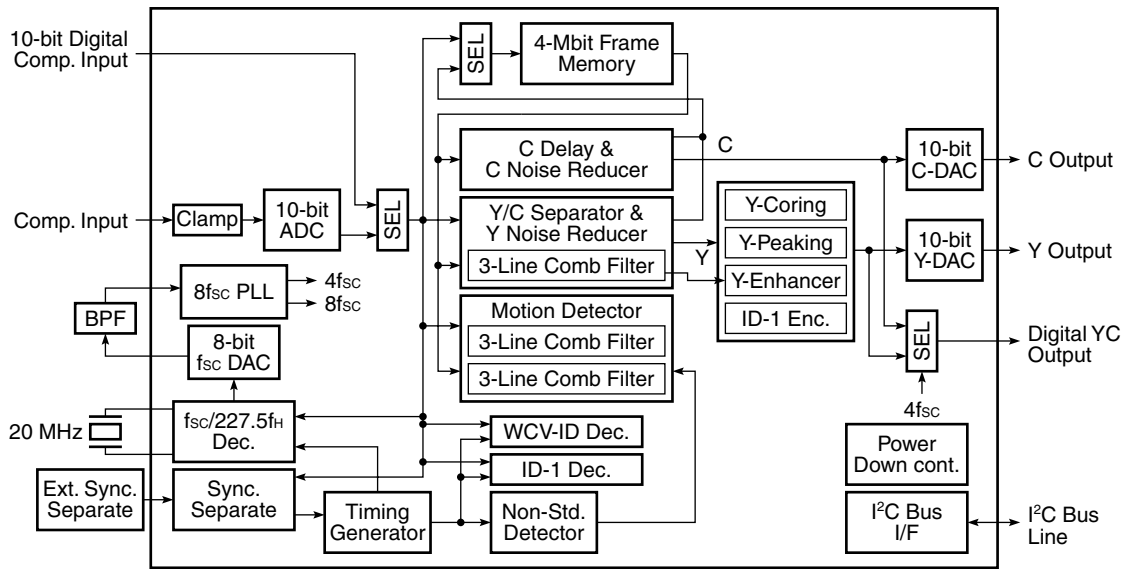
- ・ μPD64084GC-8EA-A
- ・ μPD64084GC-8EA-Y



端子名称

ACO	: Analog C (Chroma) Signal Output
AGND	: Analog Section Ground
ALTF	: Alternate Flag for Digital YC Output
AVDD	: Analog Section Power Supply
AYI	: Analog Composite Signal Input
AYO	: Analog Y (Luma) Signal Output
CBPC	: C-DAC Phase Compensation Output
CBPY	: Y-DAC Phase Compensation Output
CKMD	: Clock Mode Selection
CLK8	: 8fsc Clock Input / Output
CSI	: Composite Sync. Input (Active low)
DGND	: Digital Section Ground
DVDD	: Digital Section Power Supply
DVDDIO	: Digital I/O Section Power Supply
DVDDRAM	: Internal DRAM Section Power Supply
DYCO0 - DYCO9	: Digital YC Signal (Alternative) Inputs / Outputs
EXTALTF	: Extend Alternate Flag for Digital YC Output
EXTDYCO0 - EXTDYCO9	: Extend Digital YC Signal (Alternative) Inputs / Outputs
FSCI	: fsc (Sub Carrier) Input
FSCO	: fsc (Sub Carrier) Output
KIL	: Killer Selection
LINE	: Inter-Line Separate Selection
NSTD	: Non Standard Detection Monitor
RPLL	: Testing Selection
RSTB	: System Reset (Active Low)
SCL	: Serial Clock Input
SDA	: Serial Data Input / Output
SLA0	: Slave Address Selection
ST1, ST0	: Inner States Monitor
TEST01 - TEST26	: Testing Selection
TESTIC1, TESTIC2	: IC Testing Section
VCLY	: Clamp Voltage Output for ADC
VRTY	: Top Voltage Reference Output for ADC
VRBY	: Bottom Voltage Reference Output for ADC
VCOMY	: Common Mode Reference Voltage for ADC
XI	: X'tal Input
XO	: X'tal Output


ブロック図



用語解説

本文中では、次の略語を用いています。

ADC	: A/D コンバータ
DAC	: D/A コンバータ
LPF	: ロー・パス・フィルタ (Low pass filter)
BPF	: バンド・パス・フィルタ (Band pass filter)
Y 信号, Luma	: 輝度, 輝度信号 (Luminance signal)
C 信号, Chroma	: 色, 色信号, クロマ信号 (Chrominance signal)
f _{sc}	: 色搬送波周波数 (Sub carrier frequency) = 3.579545 MHz
4f _{sc}	: f _{sc} の 4 逓倍クロック, バースト・ロック・クロック = 14.318180 MHz
8f _{sc}	: f _{sc} の 8 逓倍クロック, バースト・ロック・クロック = 28.636360 MHz
f _H	: 水平同期周波数 (Horizontal sync. frequency) = 15.734 kHz
910f _H	: f _H の 910 逓倍クロック, ライン・ロック・クロック = 14.318180 MHz
1820f _H	: f _H の 1820 逓倍クロック, ライン・ロック・クロック = 28.636360 MHz
f _V	: 垂直同期周波数 (Vertical sync. frequency) = 59.94 Hz
NR	: ノイズ・リダクション (Noise Reduction)
YNR	: Y 信号ノイズ・リダクション (Y Noise Reduction)
CNR	: C 信号ノイズ・リダクション (C Noise Reduction)
WCV-ID	: ワイドクリアビジョン (EDTV-2) 規格の ID 信号
ID-1	: EIAJ CPR-1204 規格の ID 信号

図中の  は、シリアル・バス・レジスタを示します。

目 次

1. 端子機能 ...	9
1.1 端子機能一覧 ...	9
2. システム概要 ...	11
2.1 動作モード ...	11
2.2 フィルタ処理 ...	12
2.3 システム・ディレイ ...	12
2.4 電源起動とリセット ...	13
3. ビデオ信号入力ブロック ...	14
3.1 ビデオ信号入力 ...	14
3.2 ベデスタル・レベル再生 ...	14
3.3 ビデオ信号入力レベル ...	15
3.4 端子処理など ...	15
3.5 外部 ADC 接続方法 ...	16
4. クロック生成/タイミング生成ブロック ...	17
4.1 同期分離タイミング・ジェネレータ ...	17
4.2 コンボジット同期信号入力 ...	17
4.3 水平位相検出回路/バースト位相検出回路 ...	17
4.4 PLL フィルタ回路 ...	17
4.5 キラー検出回路 ...	17
4.6 fsc ジェネレータ ...	18
4.7 8fsc-PLL 回路 ...	18
4.8 端子処理など ...	18
5. コム・フィルタ・ブロック ...	19
5.1 ライン・コム・フィルタ ...	19
5.2 フレーム・コム・フィルタ ...	19
5.3 ミックス回路 ...	19
5.4 C 信号減算 ...	19
6. 動き検出ブロック ...	20
6.1 ライン・コム・フィルタ ...	20
6.2 DY 検出回路 ...	20
6.3 DC 検出回路 ...	20
6.4 動き係数生成回路 ...	20
6.5 動き係数の強制コントロール ...	20

7. YNR/CNR ブロック	... 21
7.1 YNR/CNR 処理	... 21
7.2 非線形フィルタ	... 21
7.3 YNR/CNR 動作の停止	... 21
8. 非標準信号検出ブロック	... 22
8.1 水平同期非標準検出	... 22
8.2 垂直同期非標準検出	... 22
8.3 フレーム同期非標準検出	... 22
8.4 強制標準 / 強制非標準コントロール	... 22
8.5 ノイズ・レベル検出	... 22
9. WCV-ID デコーダ / ID-1 デコーダ	... 23
9.1 WCV-ID デコーダ	... 23
9.2 ID-1 デコーダ	... 24
10. Y 信号出力処理ブロック	... 25
10.1 Y 高域コアリング回路	... 25
10.2 Y ピーキング・フィルタ回路	... 26
10.3 垂直輪郭補正回路	... 26
10.4 Y ピーキングと垂直輪郭補正の ON/OFF 選択	... 26
10.5 ID-1 エンコーダ	... 26
11. C 信号出力処理ブロック	... 27
11.1 C 信号遅延調整	... 27
11.2 BPF 処理, ゲイン処理	... 27
12. ビデオ信号出力ブロック	... 28
12.1 デジタル YC 出力処理	... 28
12.2 ビデオ信号出力レベル	... 28
12.3 端子処理など	... 29
13. 拡張デジタル入出力ブロック	... 30
13.1 拡張デジタル入出力端子の使用方法	... 30
13.2 デジタル YC 出力処理	... 30
13.3 端子処理など	... 30
14. ゴースト・リデューサ IC μPD64031A とのデジタル直結方法	... 31
14.1 概要	... 31
14.2 システム構成と制御方法	... 33
14.2.1 映像信号入力経路の切り替え	... 33
14.2.2 クロックと映像信号入力経路によるモードの切り替え	... 33
14.3 デジタル直結システムの設定	... 34

14.3.1	ハードウェアの設定	...	34
14.3.2	レジスタ設定	...	35
15.	I²C バス・インタフェース	...	36
15.1	基本仕様	...	36
15.2	データ送受信フォーマット	...	37
15.3	シリアル・バス・レジスタの初期化	...	38
15.4	シリアル・バス・レジスタ一覧	...	39
15.5	シリアル・バス・レジスタ機能	...	41
16.	電気的特性	...	54
17.	応用回路例	...	59
18.	外形図	...	60
19.	半田付け推奨条件	...	61

1. 端子機能

1.1 端子機能一覧

表 1-1 端子機能一覧 (1/2)

No.	略号	I/O	レベル	バッファ・タイプ PU/PD [kΩ]	機能
1, 33, 48, 75	DGND	-	-	-	デジタル部接地 (I/O 部接地共通)
2, 3	TESTIC1, TESTIC2	I	LVTTL	3.3 V PD:50	IC 選別用テスト端子 (GND 接続)
4-12, 28-30, 78-85, 99	TEST01-TEST09, TEST10-TEST12, TEST18-TEST25, TEST26	-	-	-	テスト端子 (OPEN)
13	EXTALTF	O	LVTTL	3.3 V 3 mA	拡張 4fsc オルタネート・フラグ出力 (EXTDYCO = 1 のとき有効)
14 - 23	EXTDYCO0- EXTDYCO9	I/O	LVTTL 3-state	3.3 V 3 mA	拡張デジタル入出力 (EXTDYCO = 1 のとき有効)
24, 25	DGNDDRAM	-	-	-	DRAM 部接地
26, 27	DVDDDRAM	-	-	-	DRAM 部 2.5 V 電源
31	DVDDIO	-	-	-	I/O 部 3.3 V 電源
32, 40-43	TEST13, TEST14-TEST17	-	-	-	テスト端子 (GND 接続)
34, 35	AGND	-	-	-	水晶発振回路部 接地
36	XI	I	Analog	2.5 V	fsc ジェネレータ 基準クロック入力 (X'tal を接続)
37	XO	O	Analog	2.5 V	fsc ジェネレータ 基準クロック反転出力 (X'tal を接続)
38	AVDD	-	-	-	水晶発振回路部 2.5 V 電源
39, 62, 100	DVDD	-	-	-	デジタル部 2.5 V 電源
44	RPLL	I	LVTTL	3.3 V PD:50	テスト入力 (GND 接続)
45	SLA0	I	LVTTL	3.3 V	I ² C バス・スレーブ・アドレス選択入力 (L : B8h / B9h, H : BAh / BBh)
46	SCL	I	Schmitt Fail Safe	3.3 V	I ² C バス・クロック入力 (システムの SCL ラインに接続)
47	SDA	I/O	Schmitt Fail Safe	3.3 V 6 mA	I ² C バス・データ入出力 (システムの SDA ラインに接続)
49	AGND	-	-	-	fsc DAC 部 接地
50	AVDD	-	-	-	fsc DAC 部 2.5 V 電源
51	FSCO	O	Analog	2.5 V	fsc ジェネレータ fsc 出力
52, 53	AGND	-	-	-	8fsc PLL 部 接地
54	FSCI	I	Analog	2.5 V	8fsc PLL fsc 入力
55	AVDD	-	-	-	8fsc PLL 部 2.5 V 電源

表 1-1 端子機能一覧 (2/2)

No.	略号	I/O	レベル	バッファ・タイプ PU/PD [kΩ]	機能
56	CKMD	I	LVTTL	3.3 V PD:50	CLK8 テスト・モード選択 (GND 接続) (L: 通常 H: 8fsc クロック外部入力モード)
57	CLK8	I/O	LVTTL 3-state	3.3 V 6mA	CKMD = 0: 8fsc クロック出力 CKMD = 1: 8fsc クロック入力
58	RSTB	I	Schmitt	3.3 V PU:50	システム・リセット入力 (アクティブ・ロウ) (外部よりアクティブ・ロウのリセット・パルスを入力)
59	ST0	O	LVTTL	3.3 V 3 mA	内部信号モニタ出力
60	ST1	O	LVTTL	3.3 V 3 mA	内部信号モニタ出力
61	NSTD	O	LVTTL	3.3 V 3 mA	非標準検出モニタ出力 (L: 標準判定, H: 非標準判定)
63-72	DYCO0-DYCO9	I/O	LVTTL 3-state	3.3 V 3 mA	デジタル入出力 EXADINS=0: デジタル YC 信号オルタネート出力 EXADINS=1: 外部 ADC 用 データ入力 (使用しない下位 ビットは抵抗を介して GND 接続) DYCO0 が LSB, DYCO9 が MSB です。
73	ALTF	O	LVTTL	3.3 V 3 mA	4fsc オルタネート・フラグ出力 EXADINS=0: デジタル YC 信号オルタネート・フラグ 出力 (L: C, H: Y) EXADINS=1: 外部 ADC 用 4fsc クロック出力
74	LINE	I	LVTTL	3.3 V PD:50	強制ライン間処理選択入力 (L: 通常処理, H: 強制ライン間処理)
76	KIL	I	LVTTL	3.3 V PD:50	外部キラー入力 (L: 通常処理, H: 強制 Y/C 分離停止)
77	CSI	I	Schmitt	3.3 V PU:50	コンポジット・シンク入力 (アクティブ・ロウ)
86	AVDD	-	-	-	Y-DAC, C-DAC 部 2.5 V 電源
87	CBPC	O	Analog	2.5 V	C-DAC 位相補償出力
88	ACO	O	Analog	2.5 V	C-DAC アナログ C 信号出力
89	AYO	O	Analog	2.5 V	Y-DAC アナログ Y 信号出力
90	CBPY	O	Analog	2.5 V	Y-DAC 位相補償出力
91	AGND	-	-	-	Y-DAC, C-DAC 部 接地
92	AGND	-	-	-	ADC 部 接地
93	AYI	I	Analog	2.5 V	ADC アナログ・コンポジット信号入力
94	VCLY	O	Analog	2.5 V	ADC クランプ電位出力
95	VRBY	O	Analog	2.5 V	ADC ボトム基準電圧出力
96	VRTY	O	Analog	2.5 V	ADC トップ基準電圧出力
97	VCOMY	O	Analog	2.5 V	ADC 同相基準電圧
98	AVDD	-	-	-	ADC 部 2.5 V 電源

2. システム概要

2.1 動作モード

μPD64084 は、大きく分けて 2 種類の信号処理モードで動作します。モードの選択は、シリアル・バス・レジスタの NRMD で行います。

表 2-1 動作モード一覧

シリアル・バス・レジスタ設定, モード名称	機能 ^注	端子入力	システム・クロック	特長 モデル図
NRMD = 0 YCS モード	Y/C 分離	AYI: コンポジット信号	バースト・ロック (4f _{sc} , 8f _{sc})	<ul style="list-style-type: none"> 標準信号時、動き適応型 3 次元 Y/C 分離を行います。 非標準信号時、ライン間 Y/C 分離を行います。
NRMD = 1 YCS+モード	Y/C 分離 フレーム巡回型 YNR フレーム巡回型 CNR	AYI: コンポジット信号	バースト・ロック (4f _{sc} , 8f _{sc})	<ul style="list-style-type: none"> ライン間 Y/C 分離とフレーム巡回 YNR と CNR を行います。

注 3次元 Y/C 分離機能, フレーム巡回型 YNR/CNR 機能は, 同時に使用することはできません (排他仕様)。

2.2 フィルタ処理

各モードで使用されるフィルタを、次に示します。

表 2-2 フィルタ・マトリクス

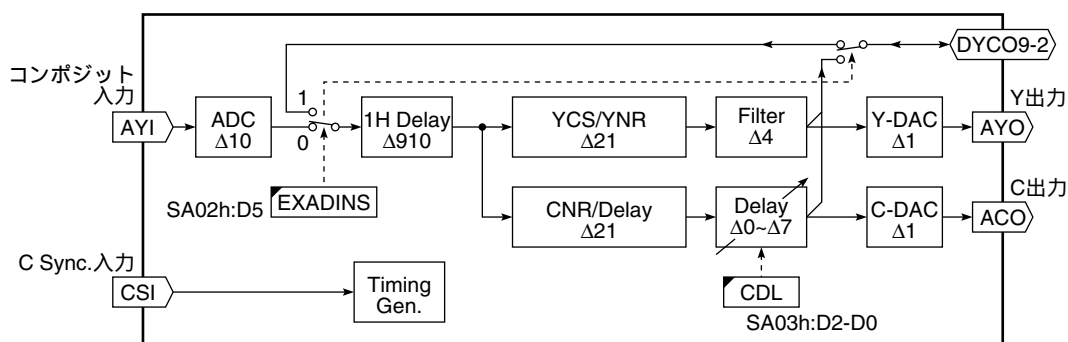
モード	標準/非標準/キラー判定	選択されるフィルタ			
		有効画像期間		ブランキング期間	
		静止判定部分	動画判定部分	水平 (11 μs)	垂直 (1H~22H)
YCS モード (NRMD = 0)	標準判定	フレーム・コム	ライン・コム	バンド・パス ^注	
	非標準判定	ライン・コム		バンド・パス ^注	
	キラー判定	Y出力: スルー (Y/C 分離停止) C出力: 分離 C 信号			
YCS+モード (NRMD = 1)	標準, 水平非標準判定	ライン・コム + フレーム巡回	ライン・コム	バンド・パス ^注	
	垂直非標準判定	ライン・コム		バンド・パス ^注	
	キラー判定	Y出力: スルー (Y/C 分離停止) C出力: 分離 C 信号			
垂直輪郭補正/ Yピーキング		アクティブ		スルー	

注 シリアル・バス・レジスタ SA09h, D0 (VFLTH) によってスルー処理が可能です。

2.3 システム・ディレイ

システム・ディレイ長 (ビデオ信号の遅延長) のモデル図を、次に示します。

図 2-1 システム・ディレイ



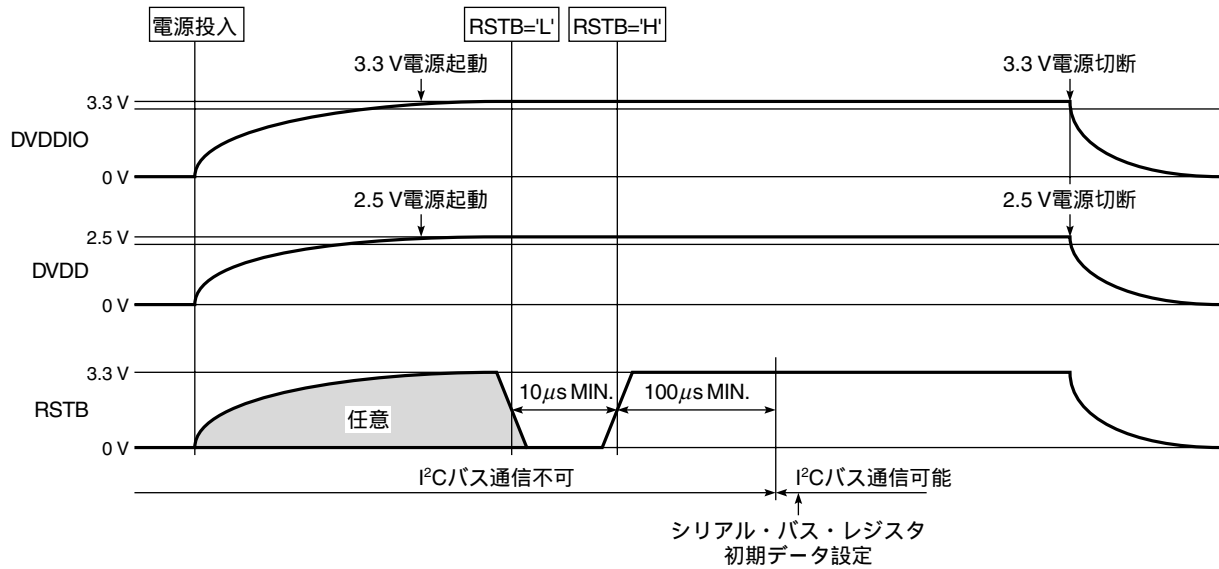
備考 Δ1 は 1 クロック分 (4fsc = 約 69.8 ns) のディレイを示します。

2.4 電源起動とリセット

μPD64084 は、電源投入直後にリセット動作を必要とします。リセット後、μPD64084 の初期化が行われます。電源起動のシーケンスとシステムのリセット方法を次に示します。

- (1) 電源投入後、電源ラインが安定するまで、初期化動作を待ってください。
- (2) RSTB 端子を、10 μs 以上ロウ・レベルにすることで、μPD64084 が初期化されます。
- (3) RSTB 端子を、ハイ・レベルにしたあと、100 μs 以上経過してから、I²C バス通信を開始してください。

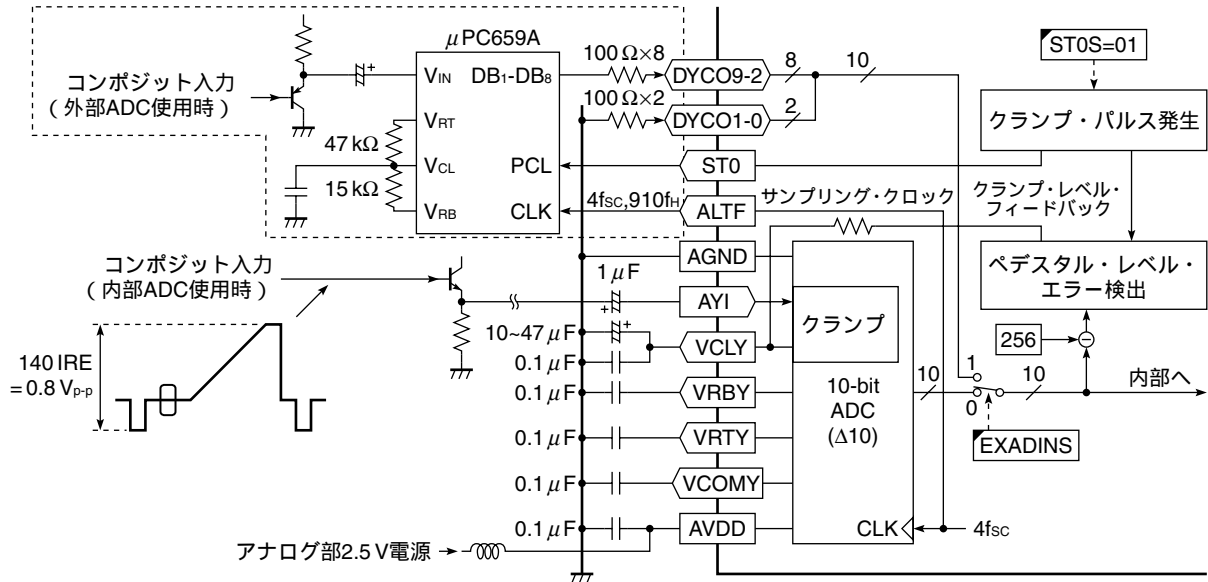
図 2-2 電源起動とリセットのシーケンス



3. ビデオ信号入力ブロック

このブロックでは、ビデオ信号（コンポジット信号）のA/D変換を行います。

図 3-1 ビデオ信号入力ブロック概要



3.1 ビデオ信号入力

AYI 端子にビデオ信号（コンポジット信号）を入力してください。入力されたビデオ信号は、内部の ADC（10 ビット）でデジタル・ビデオ信号に変換されます（EXADINS = 0）。

また、内部 ADC を使わない場合、DYCO9-DYCO0 端子に 10 ビットのデジタル・コンポジット信号を入力できません（EXADINS = 1）。

3.2 ペDESTAL・レベル再生

クランプ回路では、AYI 端子から入力されたビデオ信号のペDESTAL・レベル再生を行います。ペDESTAL・エラー検出回路では、ADC 出力のペDESTAL・レベルと、256 レベル（固定値）との差分を PWM 出力します。この出力は内部抵抗を介し、VCLY 端子（クランプ電位）に接続されており、ビデオ信号のペDESTAL・レベルが 256 LSB となるよう、フィードバックがかかります^注。VCLY 端子には、バイパス・コンデンサ（0.1 μF）と、ループ・フィルタ用の電解コンデンサ（10~47 μF）を接続してください。

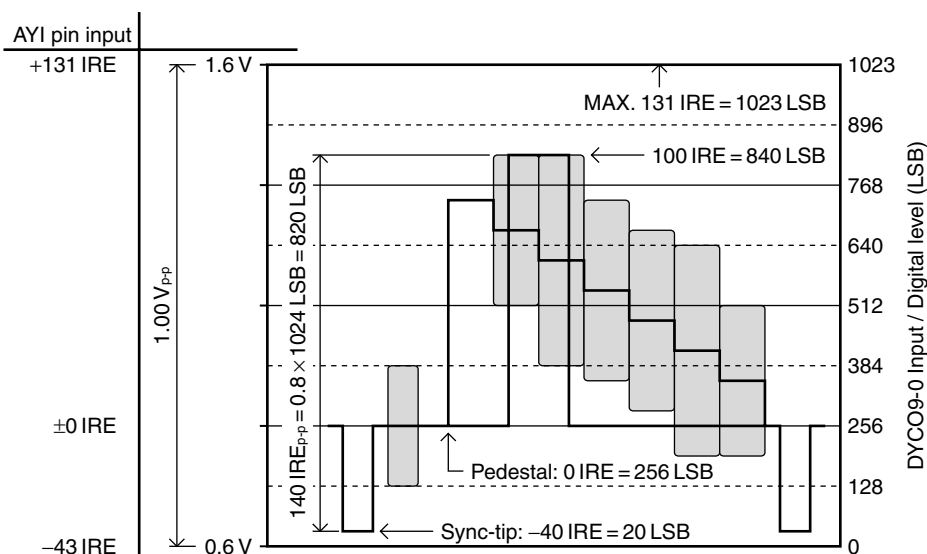
注 H-Sync の入力振幅が 256 LSB（10 ビット換算）よりも大きいときは、ペDESTAL・レベルが 256 レベル以上となる場合があります。

外部 ADC 使用時は、このフィードバック機能は使用しません。

3.3 ビデオ信号入力レベル

ビデオ信号（コンポジット信号）の入力レベルは、ビデオ信号の最大振幅やバラツキを考慮し、レベルを絞って入力する必要があります。ビデオ信号入力振幅を、 $140 \text{ IRE}_{p-p} = 820 \text{ LSB}$ （最大入力レンジ 1024 LSB の 0.8 倍）とした場合の波形を図 3-2 に示します。この場合、AYI 端子において 131 IRE までの白レベル入力が可能です。

図 3-2 ビデオ信号入力波形例（標準カラー・バー入力時）



注意 入力ビデオ信号の振幅は、 $140 \text{ IRE}_{p-p} = 0.8 V_{p-p}$ ($1.00 \text{ V} \times 0.8$) として入力してください。

3.4 端子処理など

- ・ AVDD 端子には、 2.5 V の電源電圧を供給してください。デジタル部電源とは十分なアイソレーションを行ってください。
- ・ AGND 端子、各バイパス・コンデンサの接地は、配線パターンを極力太く広くしてください。
- ・ AYI 端子には、ビデオ信号（コンポジット信号）を容量結合で入力してください。ビデオ信号は、極力低インピーダンスで入力してください。電解コンデンサと AYI 端子間の配線は、極力太く短くしてください。
- ・ 基準電圧端子（VRTY, VRBY, VCOMY）には、 $0.1 \mu\text{F}$ 程度のバイパス・コンデンサを接続してください。
- ・ クランプ電圧端子 VCLY には、 $0.1 \mu\text{F}$ 程度のバイパス・コンデンサと、 $10 \sim 47 \mu\text{F}$ 程度の電解コンデンサを接続してください。
- ・ 基板の IC 直下に、デジタル系配線パターンを配置しないでください。IC 直下は、電源または GND パターン専用領域としてください。

3.5 外部 ADC 接続方法

シリアル・バス・レジスタの EXADINS に “1” を設定すると、外部 ADC 使用モードとなります。このとき、内部 ADC が停止し、ALTF 端子が外部 ADC 用 4fsc サンプリング・クロック出力、DYCO9-DYCO0 端子がデジタル・データ入力端子となります。

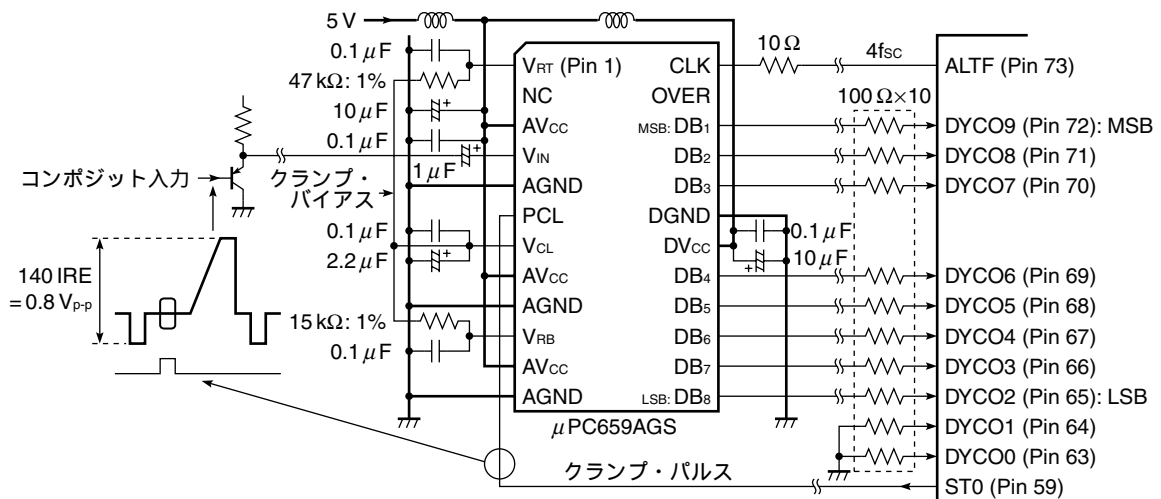
また、シリアル・バス・レジスタの ST0S に “01” を設定すると、ST0 端子からクランプ・パルスが出力されます。これを外部 ADC のペDESTAL・クランプ・パルスとして利用します。外部 ADC のペDESTAL・レベルには、サンプリング値が 256 ± 8 LSB となるよう、クランプ電位を設定してください。

コンバートした 10 ビット・データを 100 Ω の抵抗を介して DYCO9-DYCO0 端子に入力してください。なお、8 ビット A/D コンバータを使用する場合などは、使用しない下位ビットの端子 (DYCO0, DYCO1) は、100 Ω の抵抗を介してプルダウンしてください。

内部 ADC 側では、VRTY, VRBY, VCOMY 端子をオープンとし、VCLY, AYI 端子は 0.1 μF を介してプルダウンしてください。

次に 8 ビット A/D コンバータ μPC659A を用いる場合の応用回路例を示します。

図 3-3 外部 ADC 使用時の応用回路例

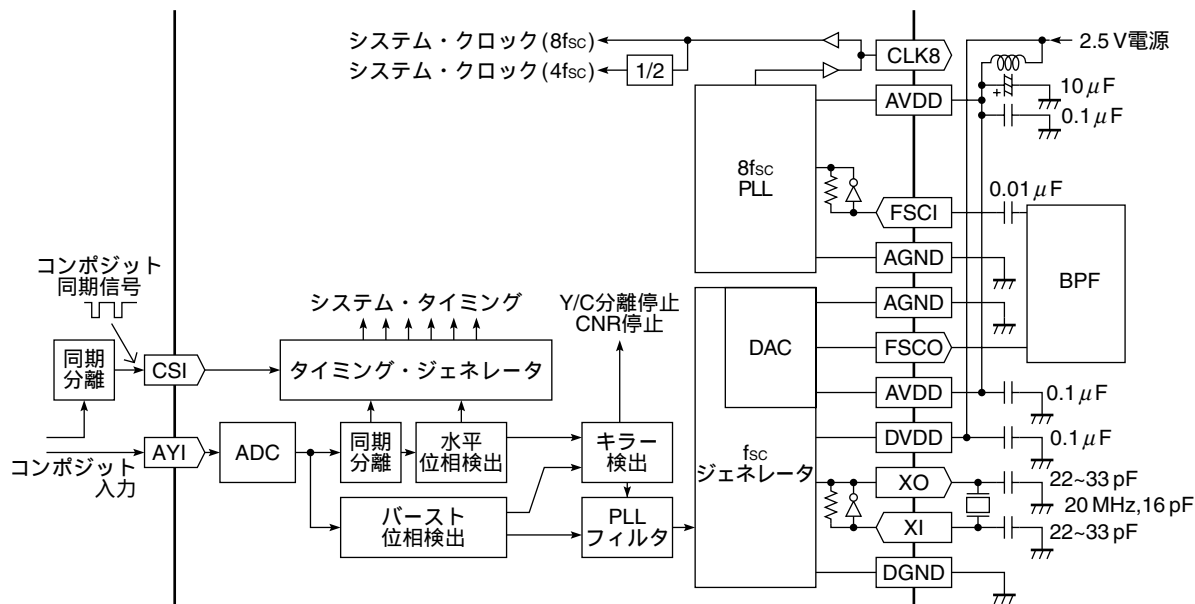


備考 シリアル・バス・レジスタ設定：EXADINS = 1, ST0S = 01

4. クロック生成/タイミング生成ブロック

このブロックでは、ビデオ信号からシステム・クロックやタイミング信号を生成します。

図 4-1 クロック・タイミング生成ブロック概要図



4.1 同期分離タイミング・ジェネレータ

4fsc でサンプリングされたコンポジット信号から、水平同期信号と垂直同期信号を分離し、これを基準信号としてシステム・タイミングを生成します。

4.2 コンポジット同期信号入力

CSI 端子には、AYI 端子に入力するビデオ信号（コンポジット信号）から分離した、アクティブ・ロウのコンポジット同期信号を入力してください。この入力は、タイミング・ジェネレータの同期引き込み時の基準信号として使用されます。

4.3 水平位相検出回路/バースト位相検出回路

水平位相検出回路では、4fsc でサンプリングされたコンポジット信号から、水平同期信号を抜き取り、水平位相誤差を検出します。この位相誤差は、227.5fH 発生と、タイミング・ジェネレータで使用されます。バースト位相検出回路では、4fsc でサンプリングされたコンポジット信号から、バースト信号を抜き取り、バースト位相誤差を検出します。この位相誤差は、fsc 発生に使用されます。

4.4 PLL フィルタ回路

バースト位相誤差、または水平位相誤差を積分し、後段の fsc ジェネレータの発振周波数を決定します。

4.5 キラー検出回路

バースト信号の振幅を、シリアル・バス・レジスタの KILR 設定値と比較し、カラー・キラー判定を行います。バースト・ロック・クロック動作時、バースト振幅が KILR 設定値以下となった場合、fsc ジェネレータの発振周波数がフリーラン・クロック周波数になります。

4.6 fsc ジェネレータ

PLL フィルタで決定された発振周波数を元に、fsc を生成します。fsc は、内部 DAC でアナログのサイン波形に変換され、FSCO 端子に出力されます。この出力には、D/A コンバート時の高調波成分が含まれているため、バッファを介して外部の BPF (バンド・パス・フィルタ) で高調波成分を除去してから、容量結合で FSCI 端子に入力してください。

fsc ジェネレータでは、基準クロックとして 20 MHz のフリーラン・クロックを使用しています。

4.7 8fsc-PLL 回路

FSCI 端子から入力された fsc から、8 通倍の 8fsc を生成します。この 8fsc は CLK8 端子に出力され、同時に内部のシステム・クロックとして使用されます。

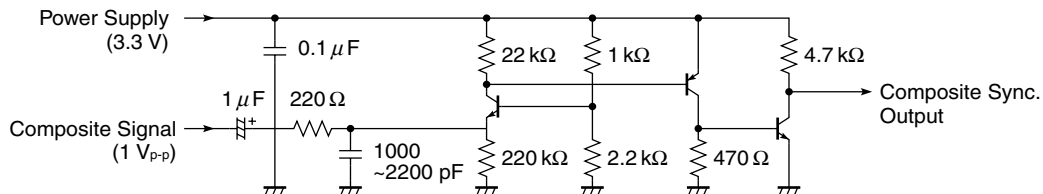
4.8 端子処理など

- AVDD 端子には、2.5 V の電源電圧を供給してください。デジタル部の電源とは十分なアイソレーションを行ってください。
- DGND, AGND 端子、各バイパス・コンデンサの接地は、配線パターンを極力太く広くとってください。
- XI, XO 端子には、20 MHz の水晶発振子を接続してください。ほかのブロックと干渉しないよう、GND パターンによるガード領域を設けてください。表 4-1 に、水晶発振子の仕様例を示します。
- FSCO 端子は、エミッタ・フォロワを介して BPF に接続してください。FSCI 端子には、容量結合で fsc 信号を入力してください。
- RPLL 端子は、GND レベルにプルダウンしてください。
- CSI 端子には、アクティブ・ロウのコンボジット同期信号を入力してください。図 4-2 に同期分離回路例を示します。

表 4-1 水晶発振子仕様例

項目	規格
公称発振周波数	20.000000 MHz (基本波)
負荷容量	16 pF
直列抵抗成分	40 Ω以下
周波数偏差	50 ppm 以下
温度偏差	50 ppm 以下

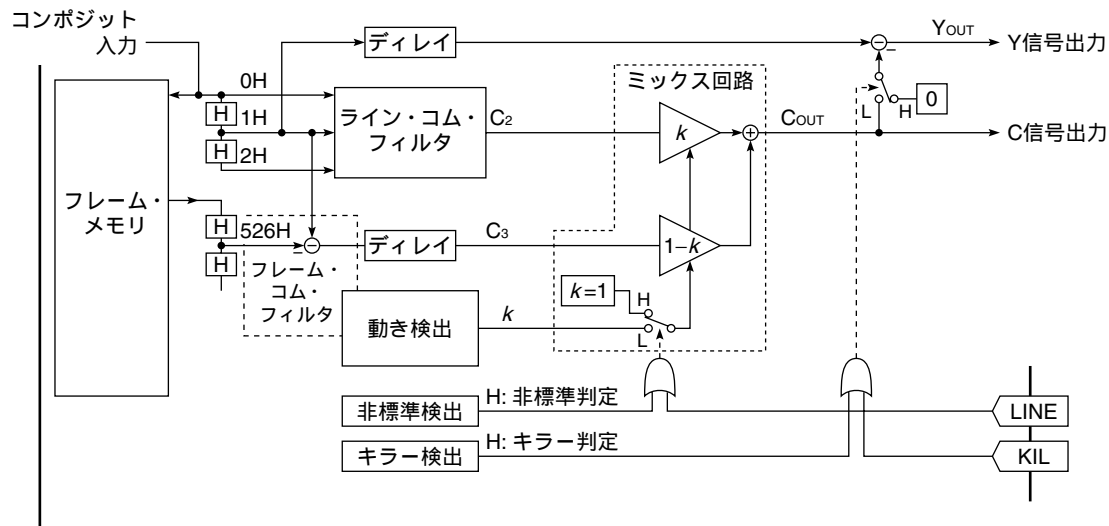
図 4-2 コンボジット同期分離回路例



5. コム・フィルタ・ブロック

このブロックでは、各種検出回路の判別結果に基づいて、Y/C分離またはフレーム・コム型 YNR を行います。

図 5-1 コム・フィルタ・ブロック概要



5.1 ライン・コム・フィルタ

ビデオ信号の 0H, 1H, 2H 遅延信号から、C 信号を分離します。このフィルタは、ライン相関性を利用したロジカル・コム・フィルタとなっており、ドット妨害やクロスカラー妨害の低減を図っています。このフィルタ出力 C₂ は、標準信号の動画部分、非標準信号、ブランキング期間で使用されます。

5.2 フレーム・コム・フィルタ

ビデオ信号の 1H, 526H 遅延信号から、C 信号を分離します。このフィルタ出力 C₃ は、動き検出回路により、静止画判定された部分で使用されます。

5.3 ミックス回路

動き検出回路からの動き係数に基づき、C 信号の動き適応ミックスを行います。

ライン・コム・フィルタ出力 C₂ と、フレーム・コム・フィルタ出力 C₃ に対して動き係数 k (0 ~ 1) による比率ミックスを行い、C_{OUT} を生成します。非標準検出回路により、入力信号が非標準信号と判定された場合、または LINE 端子がハイ・レベルの場合、動き適応ミックスは行わず、C₂ をスルー出力します。

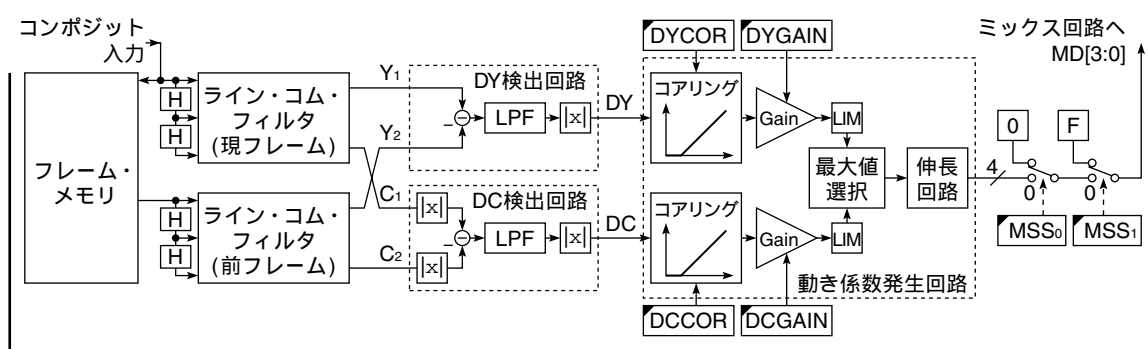
5.4 C 信号減算

コンポジット・ビデオ信号の 1H 遅延信号から、C_{OUT} 信号を減算し、Y_{OUT} 信号を分離します。カラー検出回路により、入力信号がカラー・カラー信号 (白黒信号, 無バースト信号) と判定された場合、または KIL 端子がハイ・レベルの場合、減算を停止します。

6. 動き検出ブロック

このブロックでは、ビデオ信号のフレーム間差分から、フレーム間の動きレベルを示す 4 ビットの動き係数を発生します。この動き係数は、フレーム・コム・フィルタ出力とライン・コム・フィルタ出力のミックス比率として使用されます。このブロックは、YCS モードで使用されます。

図 6-1 動き検出ブロック概要



6.1 ライン・コム・フィルタ

フレーム間差分を求める前に、両フレームのコンポジット信号を Y/C 分離します。

6.2 DY 検出回路

Y 信号の 1 フレーム間差分を検出します。現フレームと前フレームの Y 信号の差分を求め、LPF で帯域制限したあとの絶対値を、Y フレーム差分 DY 信号として出力します。

6.3 DC 検出回路

C 信号の 1 フレーム間差分を検出します。現フレームと前フレームの C 信号の差分を求め、LPF で帯域制限したあとの絶対値を、C フレーム差分 DC 信号として出力します。C 信号はフレーム間で位相が反転するため、差分を求め前にあらかじめ両フレームの C 信号を絶対値化しています。

6.4 動き係数生成回路

DY と DC から、4 ビットの動き係数を生成します。

最初のコアリング回路では、シリアル・バス・レジスタの DYCOR, DCCOR 設定値に従い、コアリング処理を行います。コアリング回路ではノイズのような小レベルの信号の通過を制限します。

次のゲイン回路では、シリアル・バス・レジスタの DYGAIN, DCGAIN 設定値に従い、ゲイン調整します。ゲイン回路では動き係数の感度を設定します。

これらの出力は 4 ビット幅にリミットされ、最大値選択回路でレベルの大きい方が選択出力されます。これを水平伸張した信号を、最終的な動き係数として出力します。

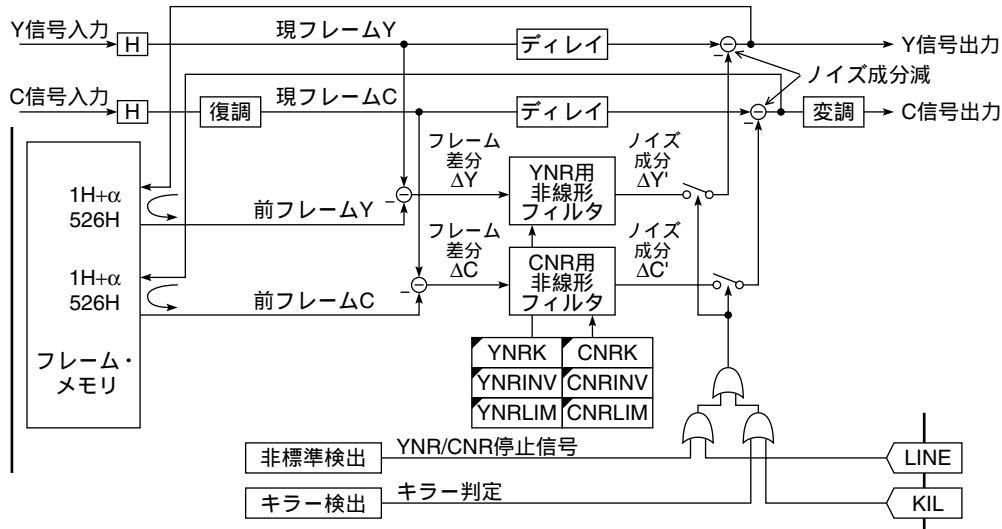
6.5 動き係数の強制コントロール

シリアル・バス・レジスタの MSS で、動き係数を 0 (強制静止)、または最大値 (強制動き) に固定することができます。

7. YNR/CNR ブロック

このブロックでは、フレーム巡回型の YNR と CNR を行います。このブロックは、YCS+モードで使用されます。

図 7-1 YNR/CNR ブロック概要



7.1 YNR/CNR 処理

現フレーム Y 信号から、前フレーム Y 信号を減算し、フレーム差分 ΔY 信号を生成します。

次に非線形フィルタで ΔY 信号の動き成分を除去し、ノイズ成分 $\Delta Y'$ 信号を抽出します。これを現フレーム Y 信号から減算することで、ノイズ成分の低減を行います。同時に、ノイズ低減後の Y 信号をフレーム遅延させ、次のフレームで ΔY 生成用データとして利用します。これにより、フレーム巡回型 YNR が構成されます。C 信号についても、ほぼ同じ処理を行い、ノイズ成分の低減を行います。

7.2 非線形フィルタ

$\Delta Y, \Delta C$ からノイズ成分 $\Delta Y', \Delta C'$ の抽出を行います。

$\Delta Y, \Delta C$ には、フレーム間の動き成分と、ノイズ成分が含まれています。そのため、このまま現フレームの Y, C 信号から $\Delta Y, \Delta C$ を減算すると、出力画像には、フレーム間の動き成分が残像となって現れてしまいます。そこで、一般的に動き成分は大レベルで、ノイズ成分は小レベルで発生することを利用し、非線形フィルタに小レベルの信号のみ通過する特性を持たせています。この非線形特性は、シリアル・パス・レジスタの YNRK, YNRLIM, YNRINV, CNRK, CNRLIM, CNRINV で設定してください。

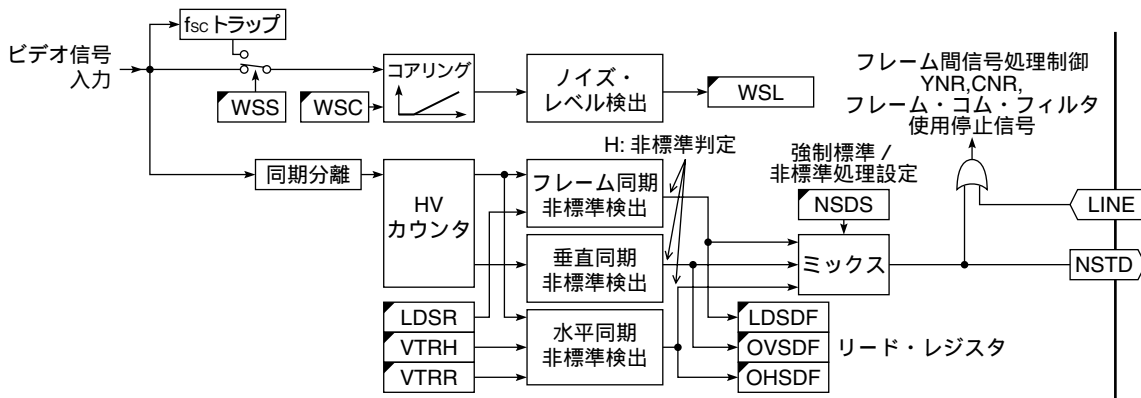
7.3 YNR/CNR 動作の停止

非標準検出回路により垂直非標準信号あるいは同期非標準信号と判定された場合、または LINE 端子がハイ・レベルの場合、およびカラー検出回路によりカラー・カラー信号と判定された場合、または KIL 端子がハイ・レベルの場合、YNR と CNR 動作を停止します。

8. 非標準信号検出ブロック

このブロックでは、VTR 再生信号や家庭用 TV ゲーム信号、レーザ・ディスク特殊再生信号などのように NTSC 規格に準拠しない、非標準信号を検出します。ここでの検出結果は、フレーム間処理の停止に利用します。

図 8-1 非標準信号検出ブロック概要



8.1 水平同期非標準検出

VTR 再生信号のように、 f_{sc} と f_H との標準関係 ($f_{sc} = 227.5f_H$) を満たさない信号を検出します。

検出感度はシリアル・バス・レジスタの VTRR, VTRH で設定してください。ここで非標準と判定された場合、フレーム・コム・フィルタの使用を停止します。この検出結果は、シリアル・バス・レジスタの OHSDF から読み取ることができます。

8.2 垂直同期非標準検出

VTR 特殊再生信号や家庭用 TV ゲーム信号のように、 f_H と f_V との標準関係 ($f_H = 262.5f_V$) を満たさない信号を検出します。検出感度の設定はありません。ここで非標準と判定された場合、フレーム・コム・フィルタ、または YNR と CNR の使用を停止します。この検出結果は、シリアル・バス・レジスタの OVSDF から読み取ることができます。

8.3 フレーム同期非標準検出

レーザ・ディスク特殊再生信号のように、フレーム間で水平同期位相がずれた信号を検出します。検出感度はシリアル・バス・レジスタの LDSR で設定してください。ここで非標準と判定された場合、フレーム・コム・フィルタ、または YNR と CNR の使用を停止します。この検出結果は、シリアル・バス・レジスタの LDSDF から読み取ることができます。

8.4 強制標準 / 強制非標準コントロール

シリアル・バス・レジスタの NSDS によって、強制標準 / 強制非標準状態に固定できます。

8.5 ノイズ・レベル検出

ビデオ信号の平坦部分でノイズ・レベルを検出します。検出感度はシリアル・バス・レジスタの WSCOR で設定してください。検出結果は、シリアル・バス・レジスタの WSL から読み取ることができます (μPD64084 内部では使用していません)。この検出結果をマイコンで加工することにより、弱電界判定などに応用できます。

9. WCV-ID デコーダ / ID-1 デコーダ

このブロックでは、ワイドクリアビジョン信号の 22H と 285H に重畳されている識別制御信号とビデオ信号の 20H/283H に重畳されている ID-1 信号のデコードを行います。

備考 ワイドクリアビジョンは、日本国内のみの規格です。

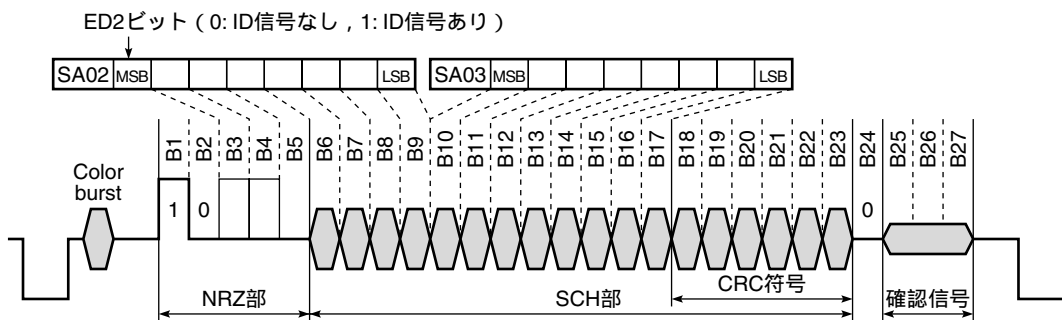
9.1 WCV-ID デコーダ

ビデオ信号中の ID 信号の有無を判定し、各ビットのデコード出力を行います。主に次の 7 項目の確認を行い、全項目が正常である場合、ID 信号ありと判定します。判定結果はシリアル・バス・レジスタの ED2 ビットに、デコード結果はシリアル・バス・レジスタの B3-B17 ビットに出力されます。そのほか、確認信号の位相検出を行います。

- (1) B1 部分と B2 部分の DC レベル差が一定値以上であること
- (2) SCH 部の DC レベルが一定値以下であること
- (3) NRZ 部の fsc 振幅が一定値以下であること
- (4) SCH 部の fsc 振幅が一定値以上であること (FSCOFF = 1 設定で、本項目の確認が OFF となります)
- (5) (1) - (4) が 12 フィールド以上連続していること
- (6) NRZ 部 (B3-B5) のパリティ・チェック^注
- (7) NRZ 部と SCH 部 (B3-B23) の CRC チェック^注

注 (6)(7) でエラーとなった場合、シリアル・バス・レジスタの B3-B17 ビットは前フィールドのデコード値を保持します。

図 9-1 ワイドクリアビジョン ID 信号の構成



9.2 ID-1 デコーダ

ビデオ信号中の ID-1 信号の有無を判定し、各ビットのデコード結果をフィールド毎にシリアル・バス・レジスタに出力します。主に次の 4 項目の確認を行い、全項目が正常である場合、ID-1 信号ありと判定します。

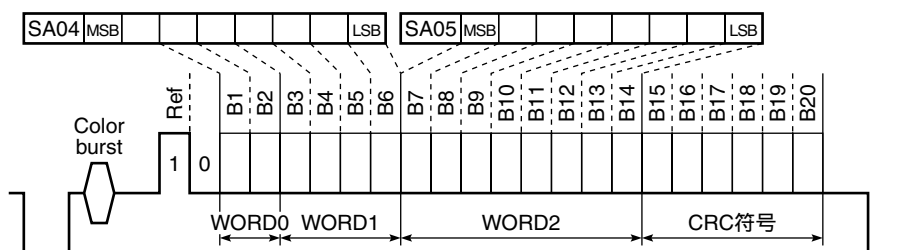
- (1) Ref 信号とそれに続くペダスタル・レベルとの DC レベル差が一定値以上であること
- (2) 各ビットが一定幅を持つこと
- (3) (1) - (2) が 6 フィールド以上連続していること (シリアル・バス・レジスタの FELCHK に “0” を設定することによりオフにすることができます)
- (4) CRC チェック

備考 (1) ~ (3) でエラーとなった場合、シリアル・バス・レジスタへの出力は初期化されます。シリアル・バス・レジスタの FELCHK に “0” を設定し (3) をオフにすると、(4) の CRC チェックも行いません。

シリアル・バス・レジスタの ID1DECON に “0” を設定すると強制リセットされ、シリアル・バス・レジスタへの出力結果は初期化されます。

ID-1 信号が検出されない場合の初期出力値は、WORD0=00, WORD1=1111, WORD2=00h です。

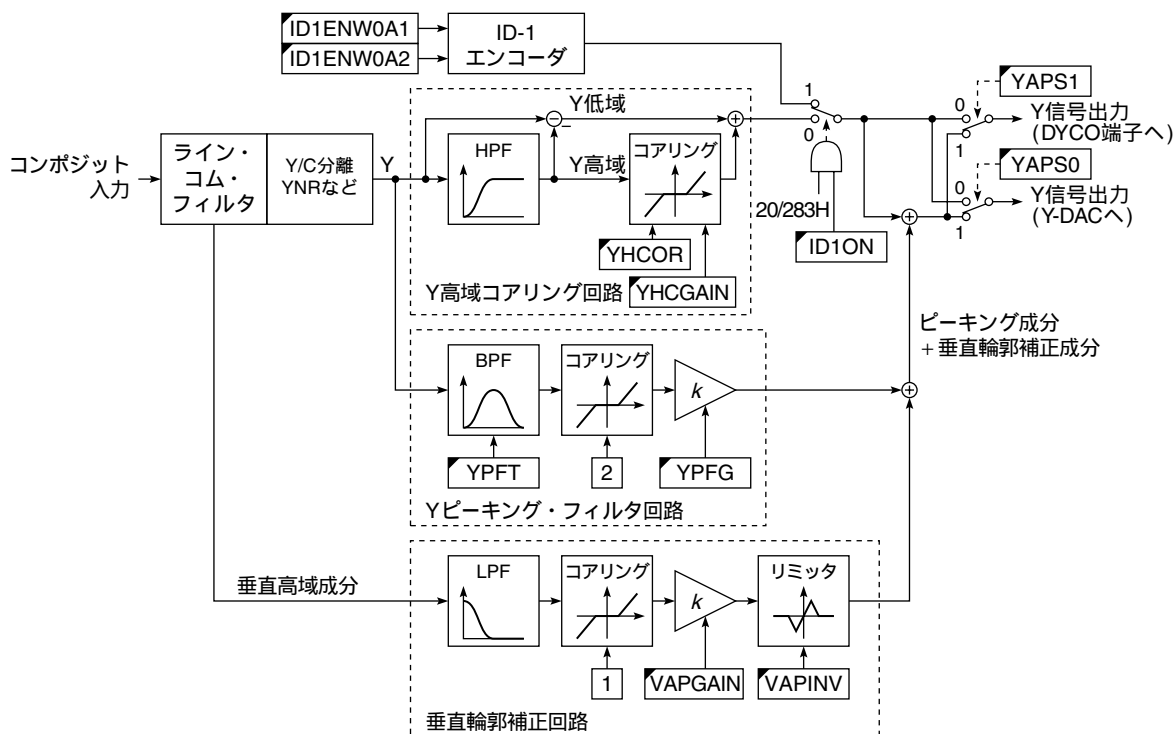
図 9-2 ID-1 信号の構成



10. Y 信号出力処理ブロック

このブロックでは、Y/C 分離後、YNR 処理後の Y 信号に対し、高域のコアリング処理、ピーキング処理、垂直輪郭補正処理などを行います。

図 10-1 Y 信号出力処理ブロック概要



10.1 Y 高域コアリング回路

この回路では、Y 本線信号の高域成分に対し、コアリング処理を行います。1~3 LSB レベルの高域成分を低減できるため、簡易型のノイズ・リデューサとして使用可能です。コアリング・レベルはシリアル・バス・レジスタの YHCOR で設定されます。

- (1) HPF 回路 : 入力された Y 信号を低域成分と高域成分に分離します。
- (2) コアリング回路 : Y 高域成分に対し、YHCOR 設定値に従ってコアリング処理を行います。コアリング処理後の Y 高域成分と Y 低域成分を加算し、Y 信号出力を得ます。
また、YHCGAIN 設定によりコアリング効果を 1/2 倍することができます。

10.2 Y ピーキング・フィルタ回路

この回路では、Y 信号のピーキング処理を行います。Y 信号の周波数特性の補正などに使用されます。

- (1) BPF 回路 : シリアル・バス・レジスタの YPFT 設定値に従い、元の Y 信号から高域成分を抽出します。BPF の中心周波数には、3.58 MHz, 3.86 MHz, 4.08 MHz, 4.22 MHz を選択できます。
- (2) コアリング回路 : Y 高域成分に対し、 ± 2 LSB (8 ビット換算時) のコアリング処理を行い、ピーキング処理時の S/N 劣化を防止します。
- (3) ゲイン調整回路 : シリアル・バス・レジスタの YPFG 設定値に従い、ピーキング成分のゲイン調整を行います。加算ゲインは、- 1.000 倍から +0.875 倍の範囲、16 ステップでの変更が可能です。
- (4) 本線への加算 : Y ピーキング成分は、垂直輪郭補正成分とともに、Y 信号へ加算されます。

10.3 垂直輪郭補正回路

この回路では、Y 信号の垂直方向の輪郭成分を抽出し、Y 信号に加算することで、輪郭部分の強調を行います。

- (1) ライン・コム・フィルタ : ビデオ信号から、ライン・コム・フィルタで垂直高域成分を抽出します。
- (2) LPF 回路 : C 信号成分と Y 信号の斜め成分を除去し、垂直輪郭成分を抽出します。
- (3) コアリング回路 : 垂直輪郭成分に対し、 ± 1 LSB 分 (8 ビット換算) のコアリング処理を行い、輪郭補正時の S/N 劣化を防止します。
- (4) ゲイン調整回路 : シリアル・バス・レジスタの VAPGAIN 設定値に従い、輪郭補正成分のゲイン調整を行います。
- (5) リミッタ回路 (非線形処理) : シリアル・バス・レジスタの VAPINV 設定値に従い、輪郭補正成分のリミット処理を行います。輪郭強調を行いたい信号は、主に小レベルの信号ですが、一様な輪郭強調を行うと、大レベルの信号を強調しすぎてしまいます。そこで、このリミッタ回路では、レベルが VAPINV 設定値以上の信号の通過を抑え、大レベルの信号に対しては輪郭強調のレベルを抑えます。
- (6) 本線への加算 : 垂直輪郭補正成分は、Y ピーキング成分とともに、Y 信号へ加算されます。

10.4 Y ピーキングと垂直輪郭補正の ON/OFF 選択

シリアル・バス・レジスタの YAPS によって、Y ピーキングと垂直輪郭補正の ON/OFF を選択できます。アナログ出力側とデジタル出力側で、独立に ON/OFF を選択できます。

10.5 ID-1 エンコーダ

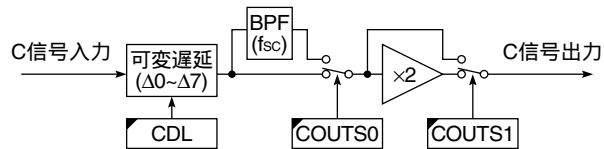
Y 信号出力の 20H / 283H に、ID-1 規格 (CPX-1204) のビット情報を重畳することができます。重畳の ON/OFF はシリアル・バス・レジスタの ID1ENON で、ビット情報は ID1ENW0A1, ID1ENW0A2 で設定してください。

なお、元の信号に ID-1 情報が重畳されている場合や、無信号の場合でも、ここで設定した ID-1 情報に置き換えてしまいますので、注意してください。

11. C 信号出力処理ブロック

このブロックでは、Y/C 分離後、CNR 処理後の C 信号に対し、遅延調整処理、BPF 通過処理、ゲイン調整などを行います。

図 11-1 C 信号出力処理ブロック概要



11.1 C 信号遅延調整

シリアル・バス・レジスタの CDL で、C 信号の遅延長を 0~7 クロック ($4f_{sc}$) の間で設定できます。これにより、Y 信号との相対遅延を -4 クロック (-280 ns) から +3 クロック ($+210\text{ ns}$) に調整することができます。

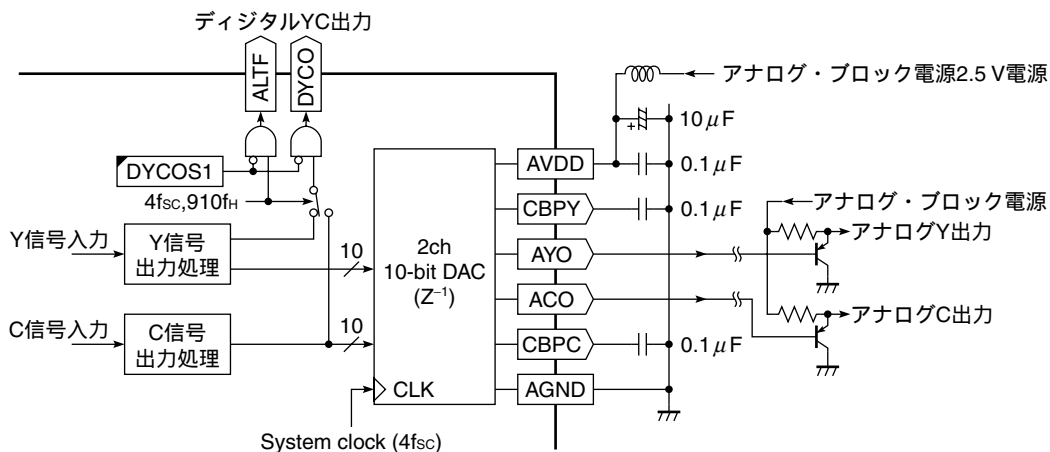
11.2 BPF 処理、ゲイン処理

シリアル・バス・レジスタの COUTS で、BPF の挿入、ゲイン (2 倍 / 1 倍) を選択できます。

12. ビデオ信号出力ブロック

このブロックでは、デジタル・ビデオ信号の D/A 変換、およびデジタル出力を行います。

図 12-1 ビデオ信号出力ブロック



12.1 デジタル YC 出力処理

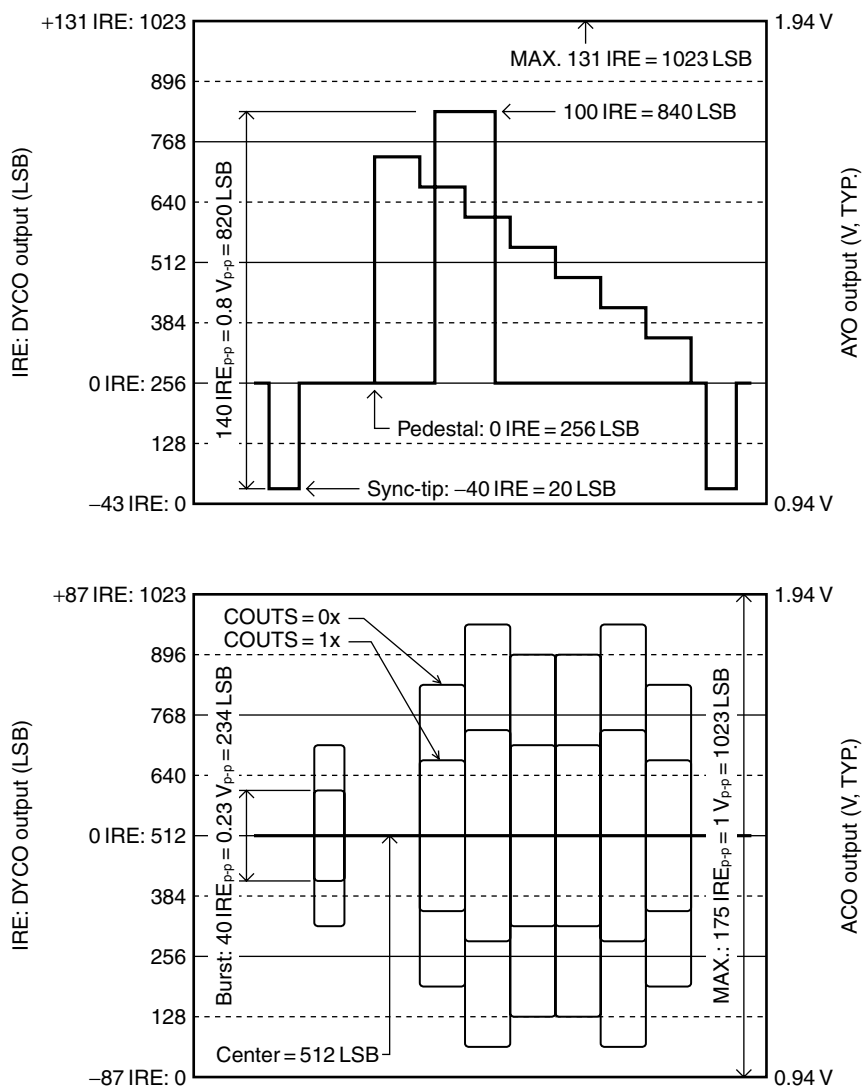
10ビット・ストレート・バイナリの Y 信号と、10ビット・オフセット・バイナリの C 信号を、DYCO9-DYCO0 端子から 8fsc レートでオルタネート出力します。このオルタネート・フラグを ALTF 端子から出力しています。ALTF 端子がハイ・レベルのとき Y 信号出力を、ALTF 端子がロウ・レベルのとき C 信号出力を示します。シリアル・バス・レジスタで DYCOS = 1x とすると、DYCO9-DYCO0 端子と ALTF 端子出力がハイ・インピーダンスとなります。デジタル YC 出力を使用しない場合は、DYCOS = 1x として、輻射ノイズの発生を防止します。

なお、外部 ADC 使用時は、DYCO9-DYCO0 端子を、ビデオ信号のデジタル入力端子として使用するため、デジタル YC 出力は使用できません。

12.2 ビデオ信号出力レベル

次に、標準的なビデオ信号入力（3. ビデオ信号入力ブロック参照）を行った場合の AYO 端子、ACO 端子出力波形を示します。

図 12-2 ビデオ信号出力波形例 (カラー・バー入力時)



12.3 端子処理など

- AVDD / DVDD 端子は 2.5 V 電源，DVDDIO 端子は 3.3 V 電源に接続してください。デジタル部電源とは十分なアイソレーションを行ってください。
- AGND 端子，各バイパス・コンデンサの接地は，配線パターンを極力太く広くしてください。
- CBPY，CBPC 端子には，0.1 μF 程度のコンデンサを接続してください。
- DAC 未使用時は，AVDD 端子をデジタル部の電源に，AGND 端子をデジタル部の GND に接続し，AYO，ACO，CBPY，CBPC の各端子はオープンにしてください。
- デジタル入出力端子 DYCO9-DYCO0 を使用しない場合は，オープンにしてください。

13. 拡張デジタル入出力ブロック

μPD64084 には、通常のデジタル入出力端子 DYCO9-DYCO0 とは別に、拡張デジタル入出力端子 EXTDYCO9-EXTDYCO0 があります。この端子を使用することにより、デジタル・イン、デジタル・アウトを同時に使用できます。

13.1 拡張デジタル入出力端子の使用方法

シリアル・バス・レジスタの EXTDYCO に"1"を設定することで、拡張デジタル入出力端子 EXTDYCO9-EXTDYCO0 が有効になります。このとき、内蔵 ADC は使用できません。EXTDYCO9-EXTDYCO0 の入力 / 出力のモード設定はシリアル・バス・レジスタの DYCOS で行います。シリアル・バス・レジスタの設定に対応するモードを表 13-1 に示します。

入力モードで使用するときは、ラインに必ず直列抵抗を挿入してください。

表 13-1 拡張デジタル入出力端子のモード設定

シリアル・バス・レジスタ設定			各端子入出力状態					
EXTDYCO	EXADINS	DYCOS[1]	DYCO _n	EXTDYCO _n	ALTF	EXTALTF	A/D	D/A
0	0	0	OUT	Low ^注	FLAG	Low	ON	ON
0	1	x	IN	Low ^注	4fsc	Low	OFF	ON
0	0	1	Low ^注	Low ^注	Low	Low	ON	ON
1	0	0	OUT	Low ^注	FLAG	Low	ON	ON
1	1	0	OUT	IN	FLAG	4fsc	OFF	ON
1	0	1	Low ^注	OUT	Low	FLAG	ON	ON
1	1	1	IN	OUT	4fsc	FLAG	OFF	ON

注 シリアル・バス・レジスタ HIZEN (16h, D4: 初期値=0) に"1"を設定することにより Hi-Z 出力に変更できます。

13.2 デジタル YC 出力処理

拡張デジタル入出力端子 EXTDYCO9-EXTDYCO0 のデジタル入力および出力の仕様は通常のデジタル入出力端子 DYCO9-DYCO0 と同様です。入力で使用する際は、4fsc でサンプリングされた 10 ビットのコンポジット・ビデオ信号を入力してください。出力を使用する場合は、10 ビット・ストレート・バイナリの Y 信号と、10 ビット・オフセット・バイナリの C 信号が 8fsc レートでオルタネート出力されます。このときのオルタネート・フラグは EXTALTF 端子から出力しています。EXTALTF 端子がハイ・レベルのとき Y 信号出力を、EXTALTF 端子がロウ・レベルのとき C 信号出力を示します。

なお、拡張デジタル入出力端子と内蔵 ADC は同時使用出来ません。また、拡張デジタル入出力端子は 3.3 V 仕様となっています。

13.3 端子処理など

- ・拡張デジタル入出力端子 EXTDYCO9-EXTDYCO0 を使用しない場合は、オープンにしてください。

14. ゴースト・リデューサ IC μPD64031A とのデジタル直結方法

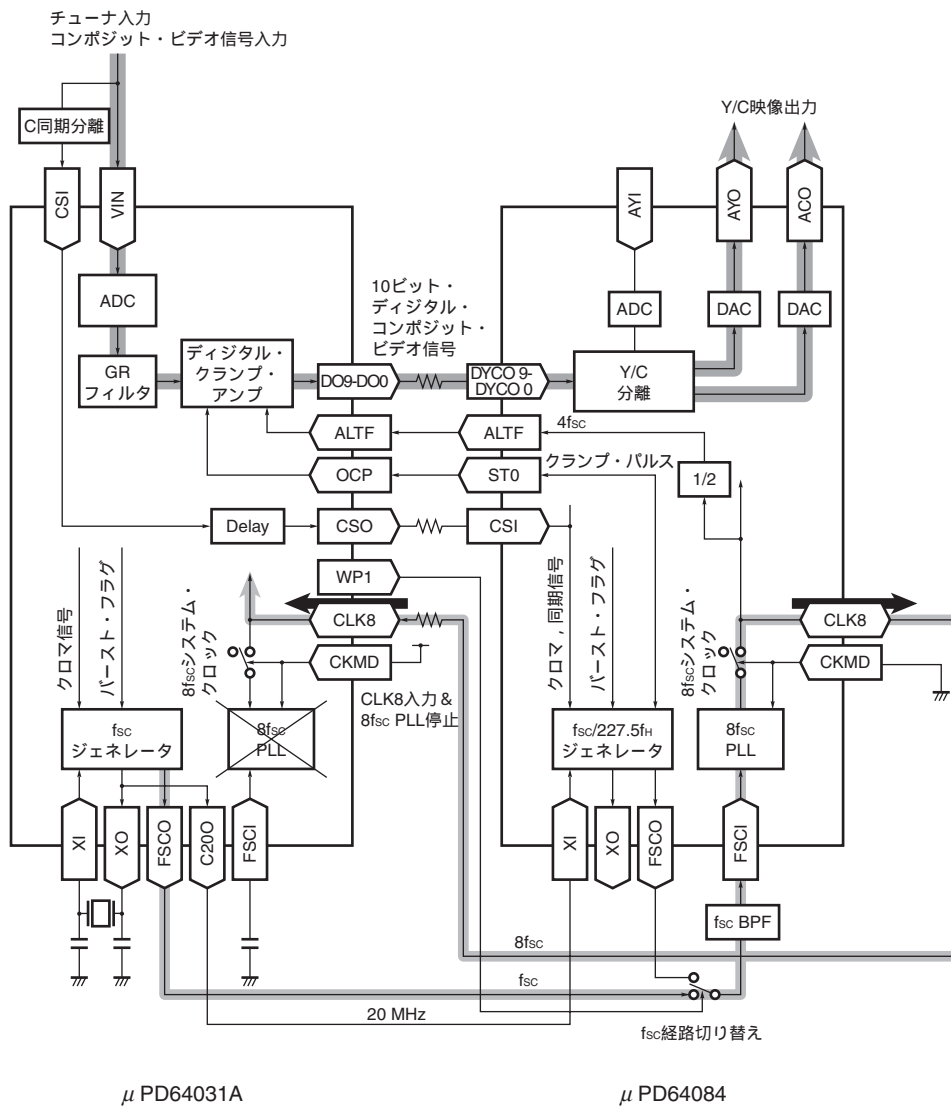
μPD64084 は、当社製ゴースト・リデューサ IC μPD64031A と組み合わせることで、ゴースト低減から 3 次元 Y/C 分離までの処理を、10 ビット・デジタル直結で行うことができます。

デジタル直結時のシステム構成を図 14-1 に示します。

14.1 概 要

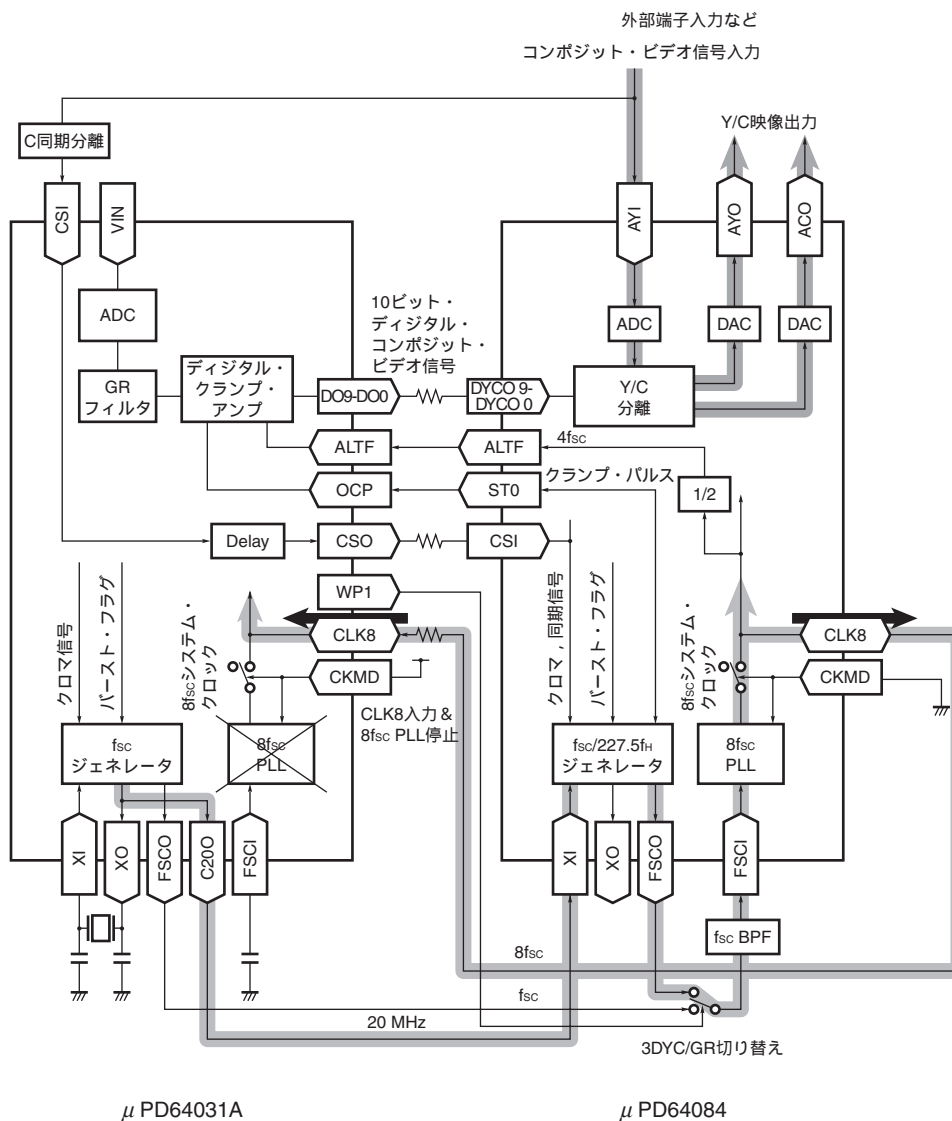
地上波チューナからの信号などの入力時、コンポジット・ビデオ信号はまず μPD64031A の A/D コンバータに入力され、ゴースト低減処理が行われたあと、デジタル・クランプ回路により、ペDESTAL位置の調整が行われます。さらにデジタル・アンプ回路により、信号振幅の調整が行われ 10 ビットのデジタル・コンポジット・ビデオ信号が 3 次元 Y/C 分離 IC μPD64084 に送られます。その後、μPD64084 において Y/C 分離などの処理が行われ、アナログ変換された Y/C ビデオ信号が出力されます (図 14-1 参照)。

図 14-1 デジタル接続システム構成 ゴースト・リデューサ使用時 (チューナ入力時)



その他、ビデオ入力（コンポジットまたは S 入力）の信号に対してはμPD64031A を使用せず、ビデオ信号は直接 μPD64084 の A/D コンバータに入力します（図 14-2 参照）。

図 14-2 デジタル接続システム構成 ゴースト・リデュース非使用時（外部入力時）



14.2 システム構成と制御方法

14.2.1 映像信号入力経路の切り替え

チューナ入力時と外部端子などからの映像信号入力時は、映像信号の入力経路を切り替える必要があります。この切り替えは、 μ PD64084 のシリアル・バス・レジスタで行います。チューナ入力時などゴースト・リデューサを使用する場合は、 μ PD64084 においてデジタル・ビデオ信号入力を選択し、それ以外の外部端子入力（VCR、DVD、ビデオ・カメラ、ゲーム機など）に対しては内蔵 A/D コンバータを有効とすることで、 μ PD64084 に直接入力されている映像信号が有効となります。

端子設定およびレジスタ設定の詳細については、**14.3 デジタル直結システムの設定** 表 14-1、表 14-2を参照してください。

14.2.2 クロックと映像信号入力経路によるモードの切り替え

μ PD64031A と μ PD64084 のデジタル直結にあたっては、システム・クロックを共有する必要があります。図 14-1 のとおり、ゴースト・リデューサ使用時（チューナ入力時）は、 μ PD64031A においてバースト・ロック・クロック fsc を生成し、その fsc を外部 BPF に通したあと、 μ PD64084 の 8fsc PLL へ入力し、システム・クロック（8fsc、4fsc）を生成します。このシステム・クロックは μ PD64084 で使用されると同時に CLK8 端子を通して μ PD64084 から μ PD64031A に供給します。

ゴースト・リデューサ非使用時（外部入力時）は、 μ PD64031A には映像信号を入力せず、 μ PD64084 だけが動作しますので、バースト・ロック・クロックも μ PD64084 側で生成したものを使用する必要があります。

このように、映像信号入力経路によって、fsc BPF への fsc 入力経路を μ PD64031A の FSCO 端子から μ PD64084 の FSCO 端子に切り替えるためには、fsc BPF の入力部にアナログ・スイッチが必要です。

このアナログ・スイッチは μ PD64031A の WP1 端子によって制御します。WP1 端子は、 μ PD64031A のレジスタ DIR3DYC (SA08h: D7, D6) (3 次元 Y/C 分離デジタル直結モード切り替え) によって制御され、ゴースト・リデューサ使用 / 非使用のモード切り替え時にこのレジスタの設定を変更することで、WP1 端子から出力される信号により、アナログ・スイッチを制御することで fsc 経路が切り替わります。

また、fsc ジェネレータの基本クロックである 20 MHz 水晶発振子は、 μ PD64031A 側に設け、ゴースト・リデューサ非使用時に μ PD64084 単体で動作する場合（ゴースト・リデューサ非使用時）には、 μ PD64031A の C200 端子から出力される 20 MHz クロックを使用します。

端子設定およびレジスタ設定の詳細については、**14.3 デジタル直結システムの設定** 表 14-1、表 14-2を参照してください。

14.3 デジタル直結システムの設定

14.3.1 ハードウェアの設定

μPD64031A と μPD64084 をデジタル直結するには、次の表の端子接続および設定に注意してください。

表 14-1 デジタル直結時の端子設定

μPD64031A 端子	信号方向	μPD64084 端子	機 能
DO9-DO0 (6-15 ピン)		DYCO0-DYCO9 (63-72 ピン)	10 ビット・デジタル・ビデオ信号 I/F
N3D (3 ピン)		LINE (74 ピン)	3次元処理禁止フラグ μPD64031A レジスタ N3D1STEN (SA01h: D5) の設定が必要です
CSO (4 ピン)		CSI (77 ピン)	コンポジット同期信号 μPD64031A 側に接続された同期分離回路からの信号を μPD64084 で共有します
ALTF (5 ピン)		ALTF (73 ピン)	デジタル・クランプ用クロック (4f _{sc}) μPD64084 レジスタ ADCLKS (SA15h: D7, D6) の設定が必要です
OCP (18 ピン)		ST0 (59 ピン)	デジタル・クランプ用クランプ・パルス μPD64084 レジスタ ST0S (SA07h: D1, D0) の設定が必要です
CLK8 (30 ピン)		CLK8 (57 ピン)	システム・クロック (8f _{sc}) μPD64084 レジスタ CLK8OFF (SA07h: D4) の設定が必要です
FSCO (47 ピン)		FSCI (54 ピン)	パースト・ロック・クロック (アナログ・スイッチを介して接続)
C200 (54 ピン)		XI (36 ピン)	20 MHz 基準クロック
CKMD (31 ピン)	-	-	High に設定 (外部クロック・モード)
WP1 (35 ピン)	-	-	アナログ・スイッチに接続 (制御信号出力) μPD64031A レジスタ DIR3DYC (SA08h: D7, D6) により制御されます。これによってクロック経路を切り替えます
EXDAS (58 ピン)	-	-	High に固定 (デジタル出力有効)
FSCI (40 ピン)	-	-	GND に固定 (f _{sc} ジェネレータを使わない)
-	-	FSCO (51 ピン)	アナログ・スイッチに接続
-	-	XO (37 ピン)	オープン

14.3.2 レジスタ設定

μPD64031A とμPD64084 をデジタル直結するには、表 14-2 のレジスタ設定に注意してください。

ゴースト・リデューサ使用 / 非使用の切り替えのためのレジスタ設定についても、表 14-2 を参照してください。

表 14-2 レジスタ設定一覧

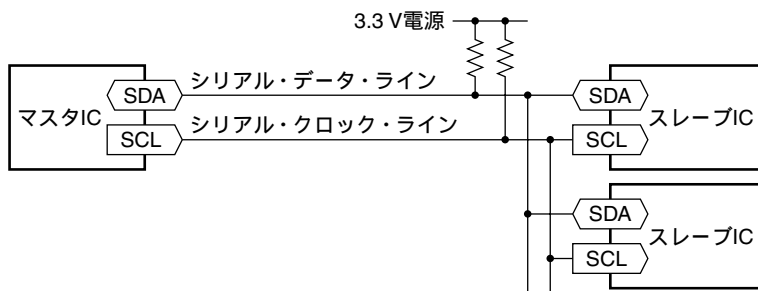
レジスタ	ゴースト・リデューサ 使用時	ゴースト・リデューサ 非使用時	備考
μPD64031A			
EXDAS (SA01h: D7)	1	Don't care	デジタル・データ出力設定
N3D1STEN (SA01h: D5)	1	Don't care	3次元処理禁止フラグ設定
CLK20LOW (SA01h: D2)	0	Don't care	20 MHz クロック出力設定
ADCPMD (SA04h: D5, D4)	10		ADC 入力バイアス・モード設定
DIR3DYC (SA08h: D7, D6)	10	11	モード切り替え (WP1 端子制御)
DCPAG (SA08h: D5-D3)	101	Don't care	デジタル・クランプ特性設定
DCPEN (SA09h: D6)	1	Don't care	デジタル・クランプ選択
DCPLPFS (SA09h: D5)	1	Don't care	誤差演算部 LPF 選択
DCPVEN (SA09h: D4)	1	Don't care	クランプ・タイミング設定
DCP_TEST (SA09h: D3-D0)	1111	Don't care	クランプ時誤差許容範囲
μPD64084			
EXADINS (SA02h: D5)	1	0	内部 ADC 選択
CLK8OFF (SA07h: D4)	0		8fsc 出力設定
ST0S (SA07h: D1, D0)	01	Don't care	クランプ・パルス出力設定
ADCLKS (SA15h: D7, D6)	01	11	ALTF クロック遅延設定
HIZEN (SA16h: D4)	1		デジタル入出力端子状態設定

15. I²C バス・インタフェース

15.1 基本仕様

I²C バスはフィリップス社が開発した 2 線式双方向シリアル・バスです。IC 間で通信を行うシリアル・データ・ライン (SDA) と、通信の同期をとるためのシリアル・クロック・ライン (SCL) の 2 線で構成されています。

図 15-1 I²C バス・インタフェース



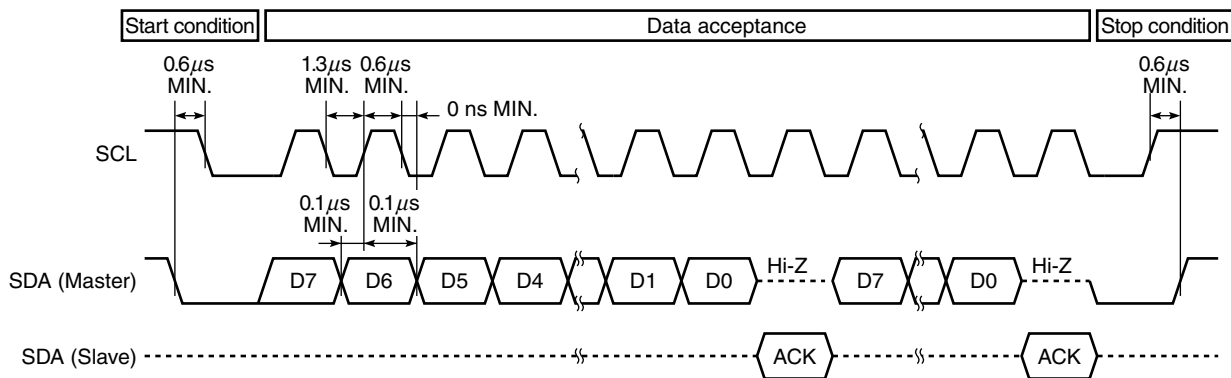
マスタ IC からスレーブ IC へ送信を行う場合の手順を、次に示します。

スタート条件： SCL をハイ・レベルに保持したまま、SDA をハイ・レベルからロウ・レベルに立ち下げ、通信を開始します。

データ送受信： SDA を保持したまま、SCL をロウ・レベルからハイ・レベルに立ち上げ、データ送信を行います。各アドレスやデータの送受信は、データ・ビット (D7-D0：MSB ファースト) とアクノリッジ・ビット (ACK) の 9 ビット単位で行います。選択されたスレーブ IC は、9 ビット目で SDA をロウ・レベルとし、アクノリッジを送信します。

ストップ条件： アクノリッジ通信後、SCL をハイ・レベルに保持したまま、SDA をロウ・レベルからハイ・レベルに立ち上げ、通信を終了します。

図 15-2 スタート条件、データ送受信、ストップ条件フォーマット



15.2 データ送受信フォーマット

マスタ側のスタート条件発行直後に、スレーブ・アドレスの受信を行います。μPD64084 のスレーブ・アドレスと、受信したスレーブ・アドレスが一致した場合、通信を開始し、不一致の場合、SDA ラインを解放します。μPD64084 のスレーブ・アドレスは、SLA 端子設定で 2 組の指定が行えます。

表 15-1 スレーブ・アドレス

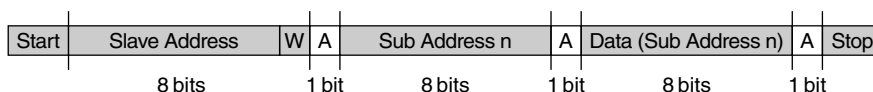
SLA 端子設定 (電源投入後は変更不可)	スレーブ・アドレス	
	ライト・モード	リード・モード
ロウ・レベル またはオープン	B8h (1011 1000b)	B9h (1011 1001b)
ハイ・レベル	BAh (1011 1010b)	BBh (1011 1011b)

(1) ライト・モード・フォーマット (スレーブ受信)

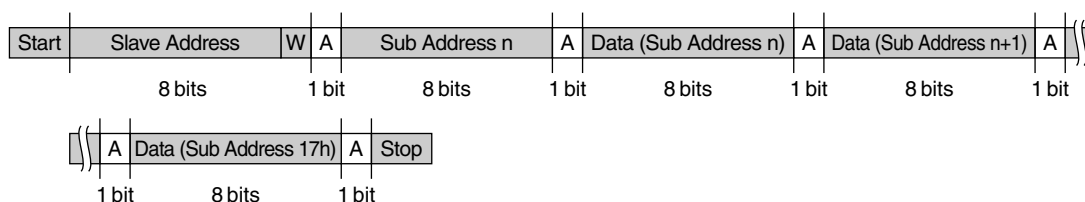
1 バイト目に自己のライト・モードのスレーブ・アドレスを受信すると、2 バイト目にサブ・アドレス、3 バイト目以降にデータを受信します。サブ・アドレスのオート・インクリメント機能により、データの連続受信が可能です。

図 15-3 ライト・フォーマット

(a) 1 バイト・ライト・フォーマット



(b) 複数バイト・ライト・フォーマット



備考 Start : スタート条件 Stop : ストップ条件 Sr : リスタート条件
 W : ライト・モード指定 (=0) R : リード・モード指定 (=1)
 A : アクノリッジ N : ノー・アクノリッジ
 XXX : マスタ・デバイス発行 XXX : スレーブ・デバイス (μPD64084) 発行

(2) リード・モード・フォーマット (スレーブ送信)

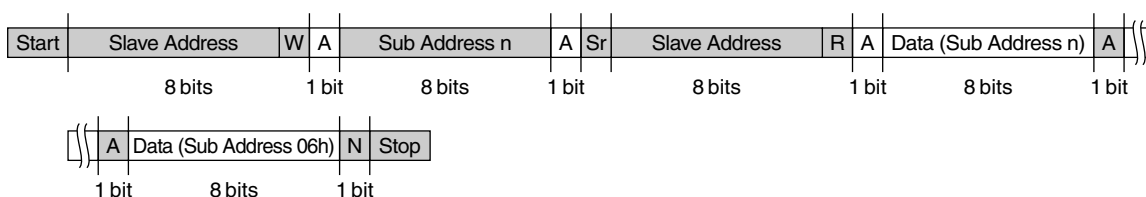
1 バイト目に自己のリード・モードのスレーブ・アドレスを受信すると、2 バイト目以降はデータを送信します。ストップ条件発行前には、マスタ側からノー・アクノリッジを送信し、SDA ラインを解放する必要があります。

図 15-4 リード・フォーマット

(a) 通常リード・フォーマット



(b) 複合リード・フォーマット



- | | | | | | | |
|-----------|-------|------------------|------|---------------------------|----|-----------|
| 備考 | Start | : スタート条件 | Stop | : ストップ条件 | Sr | : リスタート条件 |
| | W | : ライト・モード指定 (=0) | R | : リード・モード指定 (=1) | | |
| | A | : アクノリッジ | N | : ノー・アクノリッジ | | |
| | XXX | : マスタ・デバイス発行 | XXX | : スレーブ・デバイス (μPD64084) 発行 | | |

15.3 シリアル・バス・レジスタの初期化

シリアル・バス・レジスタは、μPD64084 リセット (RSTB) と同時に初期化されます。リセット後、100 μs 以上経過したあとに通信可能となります。またこのとき、ライト・レジスタは初期値にプリセットされます。リセットの方法については、2.4 電源起動とリセットを参照してください。

15.4 シリアル・バス・レジスタ一覧

μPD64084には、ライト・モード（スレーブ受信）で書き込み可能な、24個の8ビット・ライト・レジスタ、リード・モード（スレーブ送信）で読み出し可能な、7個の8ビット・リード・レジスタが内蔵されています。次に、各シリアル・バス・レジスタ・マップを示します。

(1) ライト・レジスタ・マップ

スレーブ・アドレス：10111000b = B8h (SLA0 = L), 10111010b = BAh (SLA0 = H)

SA	Data Map (SA00-SA17)							
	D7	D6	D5	D4	D3	D2	D1	D0
00	0	NRMD	0	1	COUTS		YAPS	
01	CLKS		NSDS		MSS		KILS	
02	DYCOS		EXADINS	MFREEZE	PECS		EXCSS	
03	0	CPP	HDP			CDL		
04	DYCOR				DYGAIN			
05	DCCOR				DCGAIN			
06	YNRK	YNRINV	YNRLIM		CNRK	CNRINV	CNRLIM	
07	ID1ENON	ID1ENW0A1	ID1ENW0A2	CLK8OFF	ST1S		ST0S	
08	WSC		VTRH		VTRR		LDSR	
09	WSS	ID1DECON	TH		FELCHK	TT		VFLTH
0A	VAPGAIN				VAPINV			
0B	0	0	YPFT		YPFG			
0C	V1PSEL		VEGSEL		CC3N	C0HS	CLPH	SELD2FH
0D	0	0	SELD1FL	0	0	1	0	1
0E	0	0	0	0	1	0	0	0
0F	0	1	0	0	0	1	0	0
10	YHCOR		YHCGAIN	ED2OFF	OVST	CSHDT	KCTT	
11	SHT0	SHT1	VCT	OTT	CLKG2D	CLKGGT	CLKGEB	CLKGT
12	HPLLFS	BPLLFS	FSCFG	PLLFG	KILR			
13	HSSL				VSSL			
14	BGPS				BGPW			
15	ADCLKS		ADPDS	NSDSW	NRZOFF	FSCOFF	VTVH	
16	SYSPDS		EXTDYCO	HIZEN	VLSEL	VLTYPE	0	0
17	CNROFS	HCNTFSYN	ADCLPFSW	ADCLPSTP	0	0	0	0

注意 当社の性能評価により、シリアル・バス上の固定設定値を変更する場合があります。また、標準値は当社での評価値であり、最適値とは限りません。

(2) リード・レジスタ・マップ

スレーブ・アドレス : 10111001b = B9h (SLA0 = L), 10111011b = BBh (SLA0 = H)

SA	Data Map (SA00 - SA06)							
	D7	D6	D5	D4	D3	D2	D1	D0
00	VER		-	KILF	NSDF	LDSDf	OVSDf	OHSDf
01	WSL							
02	ED2	B3	B4	B5	B6	B7	B8	B9
03	B10	B11	B12	B13	B14	B15	B16	B17
04	-	-	ID1W0		ID1W1			
05	ID1W2							
06	DCLEVH	CRCCH	DCFEL	CRCCFEL	HOLD1	-	-	-

15.5 シリアル・バス・レジスタ機能

(1) ライト・レジスタ

各ライト・レジスタ機能について、次に示します。各レジスタの初期値、標準値は、当社の評価により決定したものであり、最適値とは限りません。また、当社の性能評価により、標準値を変更する場合があります。

表 15-2 ライト・レジスタ機能 (1/12)

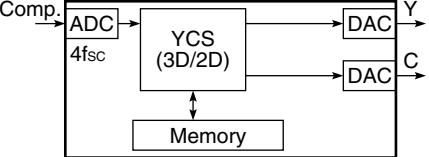
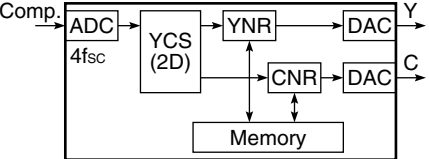
SA	ビット	名称, 機能	設定内容	標準値	初期値
00	D7	-	未定義	0	0
	D6	NRMD 動作モード設定	0: YCS モード: Y/C 分離動作 (バースト・ロック動作)  1: YCS+モード: 二次元 Y/C 分離 + フレーム巡回型 YNR/CNR (バースト・ロック動作) 	-	0
	D5-D4	-	未定義	01	01
	D3-D2	COUITS C 信号出力方法設定 (デジタル/アナログ出力共通)	00: 入力に対し出力ゲイン 2 倍, BPF 処理なし 01: 入力に対し出力ゲイン 2 倍, BPF 処理あり 10: 入力に対し出力ゲイン 1 倍, BPF 処理なし 11: 入力に対し出力ゲイン 1 倍, BPF 処理あり	11	11
	D1-D0	YAPS Y 信号出力補正設定 (垂直輪郭補正, Y ピーキング・フィルタ)	00: アナログ/デジタル出力ともに補正無効 01: アナログ側出力のみ補正有効 10: デジタル側出力のみ補正有効 11: アナログ/デジタル出力ともに補正有効	11	11

表 15-2 ライト・レジスタ機能 (2/12)

SA	ビット	名称, 機能	設定内容	標準値	初期値
01	D7-D6	CLKS 強制システム・クロック設定	00: 自動設定 (NRMD で設定した動作モードに従います) 01: 強制バースト・ロック・クロック (4f _{sc} , 8f _{sc}) 設定 1x: 強制ライン・ロック・クロック (910f _H , 1820f _H) 設定 注意 入力信号に適さない設定を行うと、誤動作する場合があります。	00	00
	D5-D4	NSDS 強制標準 / 非標準処理設定	00: 適応処理 (非標準検出結果に従います) 01: 強制標準処理 (非標準検出結果を無視します) 10: 強制水平非標準処理 11: 強制垂直非標準処理 注意 入力信号に適さない設定を行うと、誤動作する場合があります。	00	00
	D3-D2	MSS 強制フレーム間 / ライン間処理設定	00: 適応処理 (LINE 端子入力と動き検出信号に従います) 01: 強制フレーム間処理 (LINE 端子入力にのみ従います) 1x: 強制ライン間処理	00	00
	D1-D0	KILS 強制キラー / 非キラー処理設定	00: 適応処理 (KIL 端子入力と、内部キラー検出結果に従います) 01: 内部キラー検出を使用しない (KIL 端子入力にのみ従います) 1x: 強制キラー処理 キラー処理時は、Comp.信号からの C 信号減算を停止します。	01	01
02	D7-D6	DYCO DYCO 端子入出力設定	EXTDYCO=0 のとき, 00: 10 ビット Y/C 分離信号オルタネート出力 01: テスト設定 (設定禁止) 1x: Low 固定 ^注 EXDYCO=1 のとき, 00: DYCO9-0:出力, EXTDYCO9-0:入力 (ただし EXADINS=0 のとき Low 固定 ^注) 01: テスト設定 (設定禁止) 1x: DYCO9-0:入力 (ただし EXADINS=0 のとき Low 固定 ^注), EXTDYCO9-0:出力 注 HIZEN (SA16h, D4) = 1 のとき Hi-Z になります。	10	10
	D5	EXADINS 外部 ADC 選択	0: 内部 ADC 選択 1: 外部 ADC 選択 (AD 変換後の映像信号を DYCO9-DYCO0 端子に入力)	0	0
	D4	MFREEZE メモリ・テスト・ビット	0: 標準設定 1: テスト設定 (設定禁止)	0	0
	D3-D2	PECS ペDESTAL検出 テスト・ビット	00: 標準設定 01: テスト設定 (設定禁止) 10: テスト設定 (設定禁止) 11: テスト設定 (設定禁止)	00	00
	D1-D0	EXCSS 外部 CSync 同期入力設定	00: 常に内部で分離された同期信号を使用 (CSI 入力未使用) 01: 同期はずれ検出時に CSI 端子から入力された同期信号を使用 1x: 常に CSI 端子から入力された同期信号を使用	01	01

表 15-2 ライト・レジスタ機能 (3/12)

SA	ビット	名称, 機能	設定内容	標準値	初期値
03	D7	-	未使用	0	0
	D6	CPP クランプ・パルス幅設定	0: 2.2 μs 1: 1.1 μs	0	0
	D5-D3	HDP システム水平位相微調整	000: -1.12 μs ~ 100: ±0.00 μs (標準) ~ 111: +0.84 μs 水平同期信号に対する水平処理位相の調整です。(0.28 μs/step)	100	100
	D2-D0	CDL C 信号出力遅延長微調整	000: -280 ns ~ 100: ±0 ns (標準) ~ 111: +210 ns Y 信号に対する C 信号の位相調整です。(70 ns/step)	100	100
04	D7-D4	DYCOR DY 検出コアリング・レベル (Y 動き検出コアリング)	0000: コアリング 0 (動画寄り) ~ 1111: コアリング大 (静止画寄り) フレーム間 Y 差分検出のコアリング・レベルを設定します。この設定値より小さい信号はノイズと見なし, '0' を出力します。	0010	0010
	D3-D0	DYGAIN DY 検出ゲイン (Y 動き検出ゲイン)	0000: ゲイン 0 (静止画寄り) ~ 1111: ゲイン最大 (動画寄り) フレーム間 Y 差分検出のゲインを設定します。	1001	1001
05	D7-D4	DCCOR DC 検出コアリング・レベル (C 動き検出コアリング)	0000: コアリング 0 (動画寄り) ~ 1111: コアリング大 (静止画寄り) フレーム間 C 差分検出のコアリング・レベルを設定します。この設定値より小さい信号はノイズと見なし, '0' を出力します。	0011	0011
	D3-D0	DCGAIN DC 検出ゲイン (C 動き検出ゲイン)	0000: ゲイン 0 (静止画寄り) ~ 1111: ゲイン最大 (動画寄り) フレーム間 C 差分検出のゲインを設定します。	0110	0110

表 15-2 ライト・レジスタ機能 (4/12)

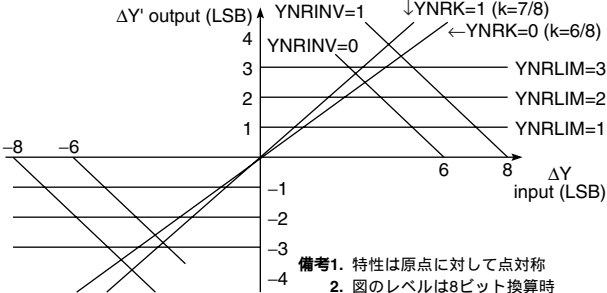
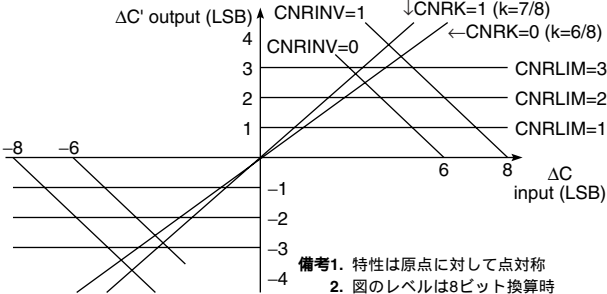
SA	ビット	名称, 機能	設定内容	標準値	初期値
06	D7	YNRK フレーム巡回 YNR 非線形フィルタのゲイン設定	0: × 6/8 (ノイズ低減効果小, 残像小) 1: × 7/8 (ノイズ低減効果大, 残像大) NR 効果の大きさを設定します。	0	0
	D6	YNRINV フレーム巡回 YNR 用非線形フィルタの収束レベル設定	0: 6 LSB (ノイズ低減効果小, 残像小) 1: 8 LSB (ノイズ低減効果大, 残像大) 設定値よりも大きな入力を動き成分と見なし, ゼロを出力します。	0	0
	D5-D4	YNRLIM フレーム巡回 YNR 用非線形フィルタ リミット・レベル設定	00: 0 LSB (YNR OFF) ~ 11: 3 LSB (ノイズ低減効果大, 残像大) 設定値よりも大きな入力を動き成分と見なし, リミット出力します。 YNRK, YNRINV, YNRLIM による非線形特性  <p>備考1. 特性は原点に対して点対称 2. 図のレベルは8ビット換算時</p>	01	01
	D3	CNRK フレーム巡回 CNR 非線形フィルタのゲイン設定	0: × 6/8 (ノイズ低減効果小, 残像小) 1: × 7/8 (ノイズ低減効果大, 残像大) NR 効果の大きさを設定します。	0	0
	D2	CNRINV フレーム巡回 CNR 用非線形フィルタ 収束レベル設定	0: 6 LSB (ノイズ低減効果小, 残像小) 1: 8 LSB (ノイズ低減効果大, 残像大) 設定値よりも大きな入力を動き成分と見なし, ゼロを出力します。	0	0
D1-D0	CNRLIM フレーム巡回 CNR 用非線形フィルタ リミット・レベル設定	00: 0 LSB (CNR OFF) ~ 11: 3 LSB (ノイズ低減効果大, 残像大) 設定値よりも大きな入力を動き成分と見なし, リミット出力します。 CNRK, CNRINV, CNRLIM による非線形特性  <p>備考1. 特性は原点に対して点対称 2. 図のレベルは8ビット換算時</p>	01	01	

表 15-2 ライト・レジスタ機能 (5/12)

SA	ビット	名称, 機能	設定内容	標準値	初期値
07	D7	ID1ENON ID-1 規格の識別信号重畳	0: 20H, 283H スルー 1: 20H, 283H 強制重畳 注意 無信号状態では, このビットを'1' に設定しないでください。	-	0
	D6	ID1ENW0A1 ID-1 の Word0-A1 ビット 設定	0: 0 (伝送アスペクト 4:3) 1: 1 (伝送アスペクト 16:9)	-	0
	D5	ID1ENW0A2 ID-1 の Word0-A2 ビット 設定	0: 0 (画像表示形式 ノーマル) 1: 1 (画像表示形式 レター・ボックス)	-	0
	D4	CLK8OFF CLK8 端子出力設定	0: アクティブ (8fsc クロックを出力) 1: ロウ・レベル固定 (輻射ノイズ低減)	1	0
	D3-D2	ST1S ST1 端子 内部信号モニタ出力設定	00: I ² C SDA 反転パルス 01: 内部 ADC 用クランプ・パルス (アクティブ・ハイ) 10: コンポジット・シンク (アクティブ・ロウ) 11: H シンク (アクティブ・ハイ)	-	00
	D1-D0	ST0S ST0 端子 内部信号モニタ出力設定	00: Reserved 01: 外部 ADC 用クランプ・パルス (アクティブ・ハイ) 10: HV ブランキング (アクティブ・ハイ) 11: V シンク (アクティブ・ロウ)	-	00

表 15-2 ライト・レジスタ機能 (6/12)

SA	ビット	名称, 機能	設定内容	標準値	初期値
08	D7-D6	WSC ノイズ検出コアリング量設定	00: 0 LSB (検出感度大) 01: 1 LSB 10: 2 LSB 11: 3 LSB (検出感度小) ノイズ検出回路の入力コアリング値を設定します。検出結果は、デバイス内部では使用されていません。	01	01
	D5-D4	VTRH 水平同期非標準検出 (フィールド内の水平同期ずれ) ヒステリシス設定	00: ヒステリシス OFF (設定幅 0 クロック) 01: ヒステリシス小 (設定幅 2 クロック) 10: ヒステリシス中 (設定幅 4 クロック) 11: ヒステリシス大 (設定幅 6 クロック) 水平同期非標準判定時、フィールド内の水平同期ずれ検出設定値を、上記分狭めます。	01	01
	D3-D2	VTRR 水平同期非標準検出 (フィールド内の水平同期ずれ) 感度設定	00: 検出感度大 (設定幅 ±4 クロック相当) 01: 検出感度中 (設定幅 ±8 クロック相当) 10: 検出感度小 (設定幅 ±12 クロック相当) 11: 検出 OFF フィールド内の水平同期ずれ幅が、設定幅以上となった場合、水平同期非標準と判定します。	01	01
	<p>水平同期非標準検出特性</p> <p>注1. clkは4fsc単位 2. VTRR = 11のときを除く</p>				
D1-D0	LDSR フレーム同期非標準検出 (フレーム間の水平同期ずれ) 感度設定	00: 検出感度大 (設定幅 0.5 クロック) 01: 検出感度中 (設定幅 1 クロック) 10: 検出感度小 (設定幅 1.5 クロック) 11: 検出 OFF フレーム間の水平同期ずれ幅が、設定幅以上となった場合、フレーム同期非標準と判定します。	10	10	

表 15-2 ライト・レジスタ機能 (7/12)

SA	ビット	名称, 機能	設定内容	標準値	初期値
09	D7	WSS ノイズ検出特性設定	0: 標準設定 (μPD64082 相当) 1: fscトラップ	0	0
	D6	ID1DECON ID-1 デコード設定	0: デコード OFF 1: デコード ON デコード OFF の時, 検出結果レジスタには, WORD0=00, WORD1=1111, WORD2=00h を出力します	1	1
	D5-D4	TH ID-1 デコード レファレンス判定レベル	01: 判定レベル: 厳しい 00: 判定レベル: やや厳しい 10: 判定レベル: やや甘い 11: 判定レベル: 甘い	00	00
	D3	FELCHK ID-1 デコード連続性 チェック	0: 6 フィールド積分なし 1: 6 フィールド積分あり	1	1
	D2-D1	TT ID-1 デコード識別信号幅 設定	00: 8CLK 01: 2CLK 10: 4CLK 11: 16CLK	00	00
	D0	VFLTH 垂直ブランキング期間 BPF 設定	0: 1H~22H BPF 処理あり 1: 1H~22H BPF 処理なし (スルー処理)	0	0

表 15-2 ライト・レジスタ機能 (8/12)

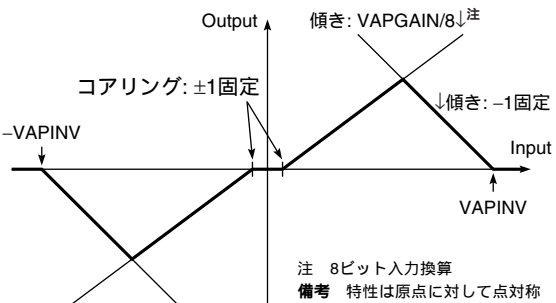
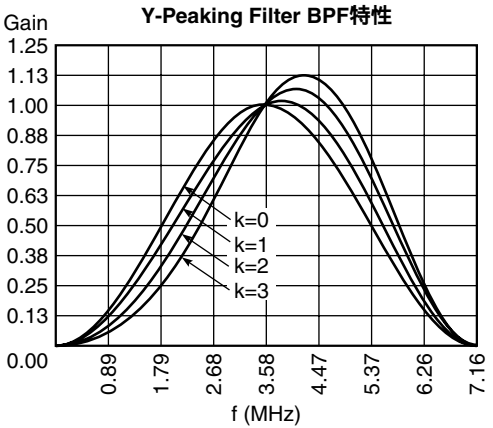
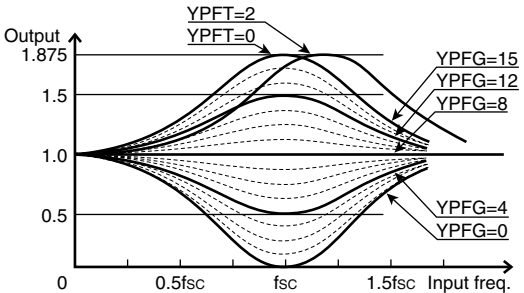
SA	ビット	名称, 機能	設定内容	標準値	初期値
0A	D7-D5	VAPGAIN 垂直輪郭補正 ゲイン設定	000 :補正 OFF ~ 111 :補正最大 (0.875 倍)	-	000
	D4-D0	VAPINV 垂直輪郭補正 収束点設定	00000 :補正 OFF ~ 11111 :補正最大 VAPGAIN , VAPINV による垂直輪郭補正特性イメージ  <p>注 8ビット入力換算 備考 特性は原点に対して点対称</p>	-	00000
0B	D7	TEST テスト・ビット	0 : 標準設定 1 : テスト設定 (設定禁止)	0	0
	D6	TEST テスト・ビット	0 : 標準設定 1 : テスト設定 (設定禁止)	0	0
	D5-D4	YPFT Yピーキング・フィルタ BPF 中心周波数設定	00 : 3.58 MHz, 01 : 3.86 MHz, 10 : 4.08 MHz, 11 : 4.22 MHz Y-Peaking Filter BPF特性 	11	11
D3-D0	YPFG Yピーキング・フィルタ ゲイン設定	0000 : -1.0 倍 ~ 1000 : ±0.0 倍 ~ 1111 : +0.875 倍 YPFT, YPFG による Y 信号出力周波数特性イメージ 	1000	1000	

表 15-2 ライト・レジスタ機能 (9/12)

SA	ビット	名称, 機能	設定内容	標準値	初期値
0C	D7-D6	V1PSEL ライン・コム・フィルタ 横ドット妨害抑制レベル	00: 抑制 OFF 01: 抑制レベル小 ~ 10: 抑制レベル中 ~ 11: 抑制レベル大 ライン間 Y/C 分離時, 横並びのドット妨害を低減します。	10	10
	D5-D4	VEGSEL ライン・コム・フィルタ 縦ドット妨害抑制レベル	00: 抑制 OFF 01: 抑制レベル小 ~ 10: 抑制レベル中 ~ 11: 抑制レベル大 ライン間 Y/C 分離時, 縦並びのドット妨害を低減します。	10	10
	D3	CC3N ライン・コム・フィルタ C 分離フィルタ特性選択	0: 狭帯域 1: 広帯域	0	0
	D2	C0HS NR 時の C 信号遅延長選択	0: 1H 遅延あり 1: 1H 遅延なし	0	0
	D1	CLPH ADC クランプ テスト・ビット	0: 標準設定 1: テスト設定	0	0
	D0	SELD2FH DC 検出感度設定	0: 感度小, 静止画寄り 1: 感度大, 動画寄り	0	0
0D	D7	-	0	0	0
	D6	-	0	0	0
	D5	SELD1FL DY 検出低域感度設定	0: 感度小, 静止画寄り 1: 感度大, 動画寄り	0	0
	D4	-	0	0	0
	D3	-	0	0	0
	D2-D0	-	101	101	101
0E	D7-D4	-	0000	0000	0000
	D3-D0	-	1000	1000	1000
0F	D7-D4	-	0100	0100	0100
	D3-D0	-	0100	0100	0100

表 15-2 ライト・レジスタ機能 (10/12)

SA	ビット	名称, 機能	設定内容	標準値	初期値
10	D7-D6	YHCOR Y出力高域成分 コアリング処理設定	00: コアリング OFF 01: コアリング小 (±1LSB:8 ビット換算) 10: コアリング中 (±2LSB:8 ビット換算) 11: コアリング大 (±3LSB:8 ビット換算) コアリング特性図 (高域成分のみ) 実線: YHCGAIN = 0 Output (LSB) 破線: YHCGAIN = 1  備考 8ビット換算時	00	00
	D5	YHCGAIN Y出力高域コアリング ゲイン設定	0: 通常 (μPD64081B 相当) 1: ゲイン 1/2 倍 YHCOR (SA10h : D7-D6) を参照してください。	0	0
	D4	ED2OFF WCV-ID 検出回路設定	0: 標準設定 1: WCV-ID 検出回路強制 OFF	0	0
	D3	OVST 非標準検出部テスト・ビット	0: 標準設定 1: テスト設定	0	0
	D2	CSHDT HV カウンタ部テスト・ビット	0: 標準設定 1: テスト設定	0	0
	D1-D0	KCTT HV カウンタ部テスト・ビット	0x: 標準設定 1x: テスト設定	00	00
11	D7	SHT1 非標準検出部テスト・ビット	0: 標準設定 1: テスト設定	0	0
	D6	SHT0 非標準検出部テスト・ビット	0: 標準設定 1: テスト設定	0	0
	D5	VCT HV カウンタ部テスト・ビット	0: 標準設定 1: テスト設定	0	0
	D4	OTT HV カウンタ部テスト・ビット	0: 標準設定 1: テスト設定	0	0
	D3	CLKG2D CLKG 部テスト・ビット	0: テスト設定 1: 標準設定	1	1
	D2	CLKGGT CLG 部テスト・ビット	0: 標準設定 1: テスト設定	0	0
	D1	CLKGEB CLKG 部テスト・ビット	0: 標準設定 1: テスト設定	0	0
	D0	CLKGT CLKG 部テスト・ビット	0: 標準設定 1: テスト設定	0	0

表 15-2 ライト・レジスタ機能 (11/12)

SA	ビット	名称, 機能	設定内容	標準値	初期値
12	D7	HPLLFS 水平 PLL フィルタ設定	0: 収束遅い 1: 収束早い	-	1
	D6	BPLLFS バースト PLL フィルタ設定	0: 収束早い 1: 収束遅い	1	1
	D5	FSCFG バースト抽出ゲイン設定	0: ゲイン大 1: ゲイン小	0	0
	D4	PLLFG PLL ループ・ゲイン設定	0: ゲイン小 (収束遅い) 1: ゲイン大 (収束早い)	1	1
	D3-D0	KILR キラー検出レファレンス	0000: 検出 Off 0001: 検出感度小 ~ 1111: 検出感度大	0010	0010
13	D7-D4	HSSL 水平同期スライス・レベル	0000: 4 LSB ~ 1111: 19 LSB (8 ビット入力換算, 1 LSB/step)	1111	1111
	D3-D0	VSSL 垂直同期スライス・レベル	0000: HSSL 設定量+0 LSB ~ 1111: HSSL 設定量+15 LSB (8 ビット入力換算, 1 LSB/step)	1000	1000
14	D7-D4	BGPS 内部バースト・ゲート開始位置	0000: H シンク中央+2 μs ~ 1111: H シンク中央+5.75 μs H シンク中央からの開始位置計算式: $0.25 \times \text{BGPS} + 2.0 (\mu\text{s})$	0101	0101
	D3-D0	BGPW 内部バースト・ゲート幅設定	0000: 0.5 μs ~ 1111: 4.25 μs ゲート幅の計算式: $0.25 \times \text{BGPW} + 0.5 (\mu\text{s})$	0011	0011
15	D7-D6	ADCLKS ADC 動作クロック遅延設定	00: 0 ns Typ. (設定禁止) 01: 3 ns Typ. 10: 17.5 ns Typ. 11: 20.5 ns Typ.	11	11
	D5	ADPDS ADC パワー・ダウン設定	0: 未使用 ADC の動作を停止しない (消費電流大) 1: 未使用 ADC の動作を停止する (消費電流小)	1	1
	D4	NSDSW 非標準検出部テスト・ビット	0: 標準設定 1: テスト設定	0	0
	D3	NRZOFF WCV-ID 検出 NRZ 部 チェック	0: NRZ 部の振幅チェック ON 1: NRZ 部の振幅チェック OFF	0	0
	D2	FSCOFF WCV-ID 検出 FSC 部 チェック	0: FSC 部の振幅のチェック ON 1: FSC 部の振幅のチェック OFF	0	0
	D1-D0	VT VH WCV 信号の無画部処理設定 (WCV レター・ボックス 信号のみ有効)	00: 通常処理 01: 強制フレーム間 Y/C 分離 10: 強制ライン間 Y/C 分離 11: 強制スルー (コンポジット信号のまま出力)	00	00

表 15-2 ライト・レジスタ機能 (12/12)

SA	ビット	名称, 機能	設定内容	標準値	初期値
16	D7-D6	SYSPDS システム・パワー・ダウン 設定	00: 通常動作 01: パワー・ダウン 1 (効果: 中, D/A, メモリ・アクセス停止) 10: パワー・ダウン 2 (効果: 小, メモリ・アクセス停止, μPD64082 互換) 11: パワー・ダウン 3 (効果: 大, A/D, D/A, メモリ・アクセス停止) 備考 パワー・ダウン中もレジスタ・データは保持されます。復帰 後にリセットは必要ありません。	00	0
	D5	EXTDYCOS 拡張デジタル入出力設定	0: 拡張デジタル入出力端子無効 1: 拡張デジタル入出力端子有効 備考 1 のとき ADC は無効となります。入出力は DYCOS (SA02h: D7-D6) で決まります。	0	0
	D4	HIZEN デジタル入出力端子状態 設定	0: 未使用時ロウ・レベル固定 1: 未使用時 Hi-Z	0	0
	D3	VLSEL テスト・ビット	0: 標準設定 1: テスト設定	0	0
	D2	VLTYPE テスト・ビット	0: 標準設定 1: テスト設定	0	0
	D1	-	未定義	0	0
	D0	-	未定義	0	0
17	D7	CNROFS CNR 部テスト・ビット	0: 標準設定 1: テスト設定	0	0
	D6	HCNTFSYN 非標準検出部 テスト・ビット	0: 通常 1: H カウンタ強制同期 備考 YCS モードでは必ず 0 設定で使用してください。	0	0
	D5	ADCLPFSW ADC クランプ部 テスト・ビット	0: 標準設定 1: クランプ・レベル・フィードバック停止	0	0
	D4	ADCLPSTP ADC クランプ部 テスト・ビット	0: 標準設定 1: クランプ停止	0	0
	D3-D0	-	未定義	0000	0000

(2) リード・レジスタ

SA	ビット	名称, 機能	読み出し内容	初期値
00	D7-D6	VER バージョン・コード	01 (固定値) が出力されています	-
	D5	-	未定義	-
	D4	KILF キラー検出フラグ	0: 標準 1: キラー検出	-
	D3	NSDF 水平同期信号検出フラグ	0: 同期信号あり 1: 同期信号なし	-
	D2	LDSDF フレーム同期非標準検出フラグ	0: 標準検出 1: 非標準検出 (レーザ・ディスクの特殊再生信号など)	-
	D1	OVSDF 垂直同期非標準検出フラグ	0: 標準検出 1: 非標準検出 (VTR の特殊再生信号, 家庭用 TV ゲーム機の信号など)	-
	D0	OHSDF 水平同期非標準検出フラグ	0: 標準検出 1: 非標準検出 (VTR の通常再生信号など)	-
01	D7-D0	WSL ノイズ・レベル検出データ	00000000 : ノイズ小 ~ 11111111 : ノイズ大	-
02	D7	ED2 WCV-ID 信号検出フラグ	0: 無効 (識別信号なし) 1: 有効 (識別信号あり)	-
	D6-D0	B3-B9 WCV 識別信号デコード結果		-
03	D7-D0	B10-B17 WCV 識別信号デコード結果		-
04	D7-D6	-	未定義	-
	D5-D4	ID1W0 ID-1 WORD0 デコード結果	ID-1 信号の WORD0 (2 ビット) の検出結果を出力します。	00
	D3-D0	ID1W1 ID-1 WORD1 デコード結果	ID-1 信号の WORD1 (4 ビット) の検出結果を出力します。	1111
05	D7-D0	ID1W2 ID-1 WORD2 デコード結果	ID-1 信号の WORD2 (8 ビット) の検出結果を出力します。	00h
06	D7	DCLEVH ID-1 デコード レファレンス信号判定	0: レファレンス信号なし 1: レファレンス信号あり	-
	D6	CRCCH ID-1 デコード CRC 判定結果	0: エラー 1: 正常	-
	D5	DCFEL ID-1 デコード 連続性判定結果	0: エラー 1: 正常	-
	D4	CRCCFEL ID-1 デコード CRC 連続性判定結果	0: エラー 1: 正常	-
	D3	HOLD1 ID-1 デコード 判定結果	0: エラー 1: 正常	-
	D2-D0	-	未定義	-

16. 電気的特性

絶対最大定格 (TA = 25)

項目	略号	条件	定格	単位
デジタル部電源電圧	DV _{DD}		- 0.3 ~ + 3.6	V
アナログ部電源電圧	AV _{DD}		- 0.3 ~ + 3.6	V
DRAM 部電源電圧	DV _{DDRAM}		- 0.3 ~ + 3.6	V
I/O 部電源電圧	DV _{DDIO}		- 0.3 ~ + 4.6	V
入力電圧	V _I	3.3 V 耐圧入力端子	- 0.3 ~ + 4.6	V
出力電流	I _o		- 10 ~ + 10	mA
パッケージ許容損失	P _D	ガラス・エポキシ基板実装時 (TA = +70 , 100 × 100 mm , 2 層, 1.6 mm 厚)	964	mW
動作周囲温度	T _A	デバイス周囲温度	0 ~ +70	
動作接合部温度	T _J MAX	ジャンクション温度上限	+ 125	
保存温度	T _{stg}		- 40 ~ + 125	

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なうおそれがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

推奨動作範囲

項目	略号	条件	MIN.	TYP.	MAX.	単位
デジタル電源電圧	DV _{DD}		2.3	2.5	2.7	V
アナログ電源電圧	AV _{DD}		2.3	2.5	2.7	V
DRAM 電源電圧	DV _{DDRAM}		2.3	2.5	2.7	V
I/O 電源電圧	DV _{DDIO}		3.0	3.3	3.6	V
ハイ・レベル入力電圧	V _{IH}	3.3 V バッファ	2.0		3.6	V
ロウ・レベル入力電圧	V _{IL}		0		0.8	V
ハイ・レベル入力電圧	V _{IH}	シュミット入力端子	0.7 × DV _{DDIO}		3.6	V
ロウ・レベル入力電圧	V _{IL}		0		0.3 × DV _{DDIO}	V
基準クロック入力周波数	f _{XI}	XI 端子	19.998	20.000	20.002	MHz
基準クロック入力振幅	V _{XI}		0.8		DV _{DDIO}	V _{p-p}
サブキャリア入力周波数	f _{FSCI}	FSCI 端子		3.579545		MHz
サブキャリア入力振幅	V _{FSCI}		0.45		AV _{DD}	V _{p-p}
コンポジット信号 ビデオ信号入力振幅	V _{AYI}	AYI 端子, 映像+同期振幅 (140 IRE _{p-p}) AV _{DD} = 2.5 V		0.8		V _{p-p}
コンポジット信号 同期信号入力振幅	V _{AYI(S)}	AYI 端子, 同期部振幅 (40 IRE _{p-p}) AV _{DD} = 2.5 V		229 (±0 dB)	288 (+2 dB)	mV _{p-p}

デジタル部 DC 特性

($DV_{DD} = DV_{DDRAM} = 2.5 \pm 0.2 \text{ V}$, $DV_{DDIO} = 3.3 \pm 0.3 \text{ V}$, $DGND = DGNDRAM = 0 \text{ V}$, $T_A = 0 \sim +70$)

項目	略号	条件		MIN.	TYP.	MAX.	単位
デジタル部消費電流	DI _{DD}	DVDD, DGND 端子			37	100	mA
		DVDDRAM, DGNDRAM 端子			15	50	mA
		DVDDIO, DGND 端子			12	20	mA
入力リーク電流	I _{LI}	通常入力	V _I = DV _{DDIO} or 0 V	- 10	0	+ 10	μA
ハイ・レベル入力電流	I _{IH}	Pull down Type	V _I = DV _{DDIO}	20	83	200	μA
ロウ・レベル入力電流	I _{IL}	Pull up Type	V _I = 0 V	- 200	- 83	- 20	μA
ハイ・レベル出力電流 1	I _{OH1}	6.0 mA Type	V _{OH1} = 2.4 V			- 6.0	mA
ロウ・レベル出力電流 1	I _{OL1}		V _{OL1} = 0.4 V	+ 6.0			mA
ハイ・レベル出力電流 2	I _{OH2}	3.0 mA Type	V _{OH2} = 2.4 V			- 2.0	mA
ロウ・レベル出力電流 2	I _{OL2}		V _{OL2} = 0.4 V	+ 3.0			mA
ロウ・レベル出力電流 3	I _{OL3}	N-Ch. Open drain	V _{OL3} = 0.4 V	+ 6.0			mA
出力リーク電流	I _{LO}	3-State, Open drain	V _O = DV _{DDIO} to DGND	- 10	0	+ 10	μA

アナログ部 DC 特性 ($AV_{DD} = 2.5 \pm 0.2 V$, $AGND = 0 V$, $T_A = 25$)

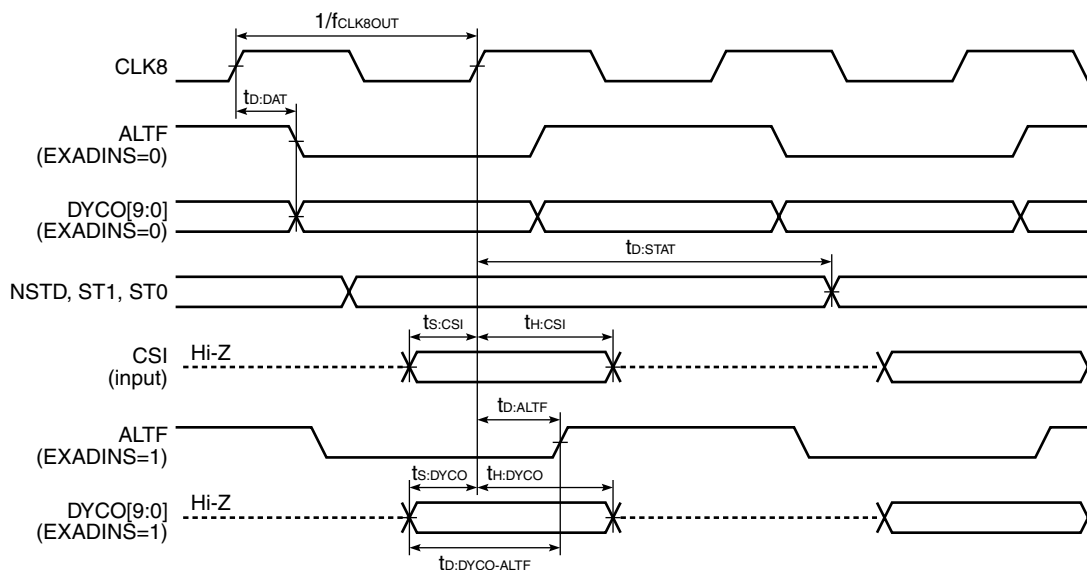
項目	略号	条件	MIN.	TYP.	MAX.	単位
アナログ部消費電流	AI _{DD}	AV _{DD} , AGND 端子		50	100	mA
ADC 分解能	RES _{ADY}	AYI, ACI 端子, $AV_{DD} = 2.5 V$, $f_s = 4f_{SC}$,	-	10	-	bit
ADC 積分直線性誤差	ILE _{ADY}	DG _{AD} , DP _{AD} : NTSC 100 IRE RAMP		± 3.0	± 6.0	LSB
ADC 微分直線性誤差	DLE _{ADY}			± 1.0	± 2.0	LSB
ADC 微分利得	DG _{ADY}			± 2.0	± 3.0	%
ADC 微分位相	DP _{ADY}			± 1.0	± 3.0	Deg.
ADC 基準電圧(低位電圧)	V _{RBADY}			0.75		V
ADC 基準電圧(高位電圧)	V _{RTADY}			1.25		V
ADC アナログ入力範囲	V _{INAY}			1.0		V
ADC クランプ端子電圧	V _{CLY}			0.70		V
ADC アナログ入力静電容量	C _{INAD}	$AV_{DD} = V_{IN} = 0 V$, $f_{IN} = 1 MHz$		10		pF
DAC 分解能	RES _{DA}	AYO, ACO 端子, $AV_{DD} = 2.5 V$, $f_s = 4f_{SC}$,	-	10	-	bit
DAC 積分直線性誤差	ILE _{DA}	DG _{DA} , DP _{DA} : NTSC 100 IRE RAMP		± 3.5	± 4.5	LSB
DAC 微分直線性誤差	DLE _{DA}			± 0.5	± 1.0	LSB
DAC 微分利得	DG _{DA}			± 1.0	± 3.0	%
DAC 微分位相	DP _{DA}			± 1.0	± 3.0	Deg.
DAC フルスケール出力電圧	V _{FSDA}	AYO, ACO 端子, $AV_{DD} = 2.5 V$	1.77	1.94	2.08	V
DAC ゼロスケール出力電圧	V _{ZSDA}		0.77	0.94	1.07	V
DAC 出力振幅	V _{OPDA}			1.00		V _{p-p}
f _{SC} DAC 分解能	RES _{FSC}	FSCO 端子	-	8	-	bit

デジタル部 AC 特性

($DV_{DD} = DV_{DDRAM} = 2.5 \pm 0.2 V$, $DV_{DDIO} = 3.3 \pm 0.3 V$, $DGND = DGNDRAM = 0 V$, $C_L = 15 pF$, $t_r = t_f = 2 ns$,

$T_A = 0 \sim +70$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
映像データ出力遅延時間	$t_{D:DAT}$	CLK8↑→ DYCON, ALTF (EXADINS = 0)	3	9	20	ns
内部信号モニタ出力遅延時間	$t_{D:STAT}$	CLK8↑→ NSTD, ST1, ST0	35	45	55	ns
CSI 入力セットアップ時間	$t_{S:CSI}$	CSI→ CLK8↑	0			ns
CSI 入力ホールド時間	$t_{H:CSI}$	CLK8↑→ CSI	15			ns
ALTF 出力遅延時間 + DYCON 入力セットアップ時間	$t_{D:DYCO-ALTF}$	CLK8↑→ ALTF + $t_{S:DYCO}$: EXADINS = 1, ADCLKS = xx			35	ns
ALTF 出力遅延時間 0	$t_{D:ALTF0}$	CLK8↑→ ALTF : EXADINS = 1, ADCLKS = 00	3		23	ns
ALTF 出力遅延時間 1	$t_{D:ALTF1}$	CLK8↑→ ALTF : EXADINS = 1, ADCLKS = 01	5		25	ns
ALTF 出力遅延時間 2	$t_{D:ALTF2}$	CLK8↑→ ALTF : EXADINS = 1, ADCLKS = 10	18		38	ns
ALTF 出力遅延時間 3	$t_{D:ALTF3}$	CLK8↑→ ALTF : EXADINS = 1, ADCLKS = 11	20		40	ns
DYCON 入力セットアップ時間	$t_{S:DYCO}$	DYCON → CLK8↑ : EXADINS = 1	0			ns
DYCON 入力ホールド時間	$t_{H:DYCO}$	CLK8↑→DYCON : EXADINS = 1	10			ns
入力容量	C_i	$DV_{DD} = V_i = 0 V$, $f_{IN} = 1 MHz$		10	15	pF



クロック/タイミング生成部 AC 特性

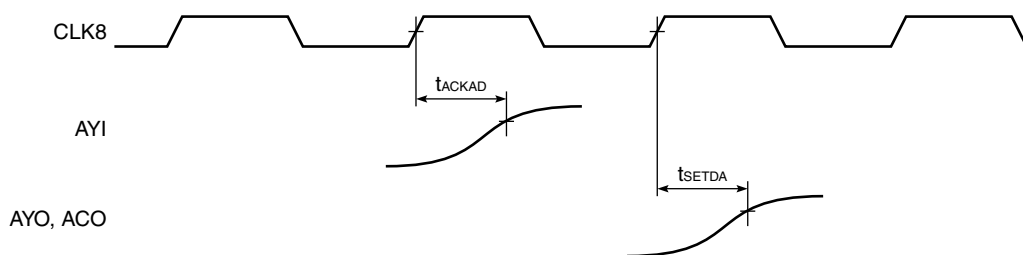
($DV_{DD} = DV_{DDRAM} = AV_{DD} = 2.5 \pm 0.2 V$, $DV_{DDIO} = 3.3 \pm 0.3 V$, $DGND = DGNDRAM = AGND = 0 V$, $C_L = 15 pF$, $T_A = 0 \sim +70$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
サブキャリア出力周波数	f _{FSCO}	FSCO 端子		3.579545		MHz
サブキャリア出力振幅	V _{FSCO}	FSCO 端子, AV _{DD} = 3.3 V		1.00		V _{p-p}
クロック出力周波数	f _{CLK8OUT}	CLK8 端子, CKMD 端子 = DGND,		28.63636		MHz
クロック出力デューティ	D _{CLK8OUT}	CLK8OFF = 0	45	50	55	%
f _{SC} 引き込み範囲(f _{SC} 換算)	f _{bp}	バースト・ロック・クロック動作時		± 600		Hz
水平同期減衰(ロック範囲)	V _{hi}	同期入力振幅, HSSL = 1111 , VSSL = 1000	- 8	0		dB
垂直同期減衰(ロック範囲)	V _{vi}	(40 IRE = 59 LSB 入力時を 0 dB とする)	- 6	0		dB

ADC , DAC 部 AC 特性 (AV_{DD} = 2.5 ± 0.2 V , AGND = 0 V , C_L = 15 pF , T_A = +25)

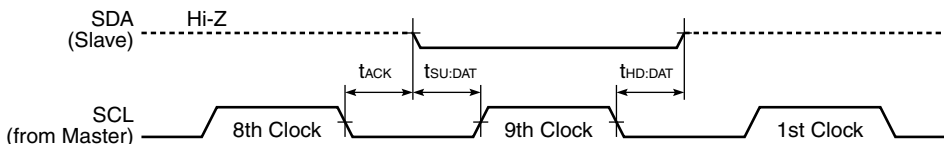
項目	略号	条件	MIN.	TYP.	MAX.	単位
ADC アクイジション時間 ^注	t _{ACKAD}	CLK8 AY1		7		ns
DAC セトリング時間 ^注	t _{SETDA}	CLK8 AYO, ACO		15		ns

注 データ変換遅延時間を含みません。

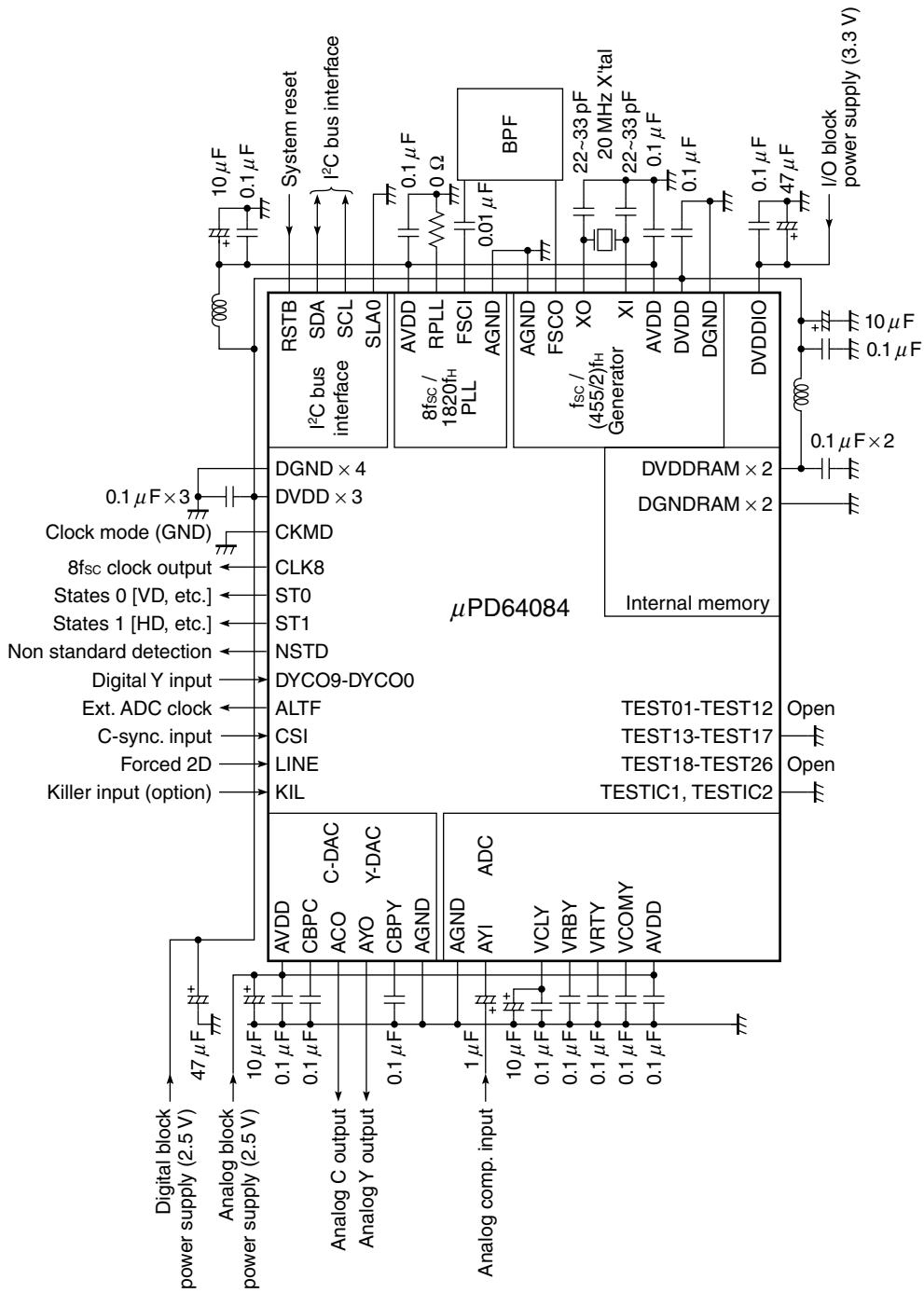


I²C バス・インタフェース部 AC 特性 (AV_{DD} = 2.5 ± 0.2 V , AGND = 0 V , C_L = 15 pF , T_A = 0 ~ +70)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SDA 端子 ACK 応答遅延時間	t _{ACK}	SCL↓→SDA↓			500	ns
SDA データ・セットアップ時間	t _{SU:DAT}	SDA : L→SCL↑	100			ns
SDA データ・ホールド時間	t _{HD:DAT}	SCL↓→SDA : Hi-Z	0			ns



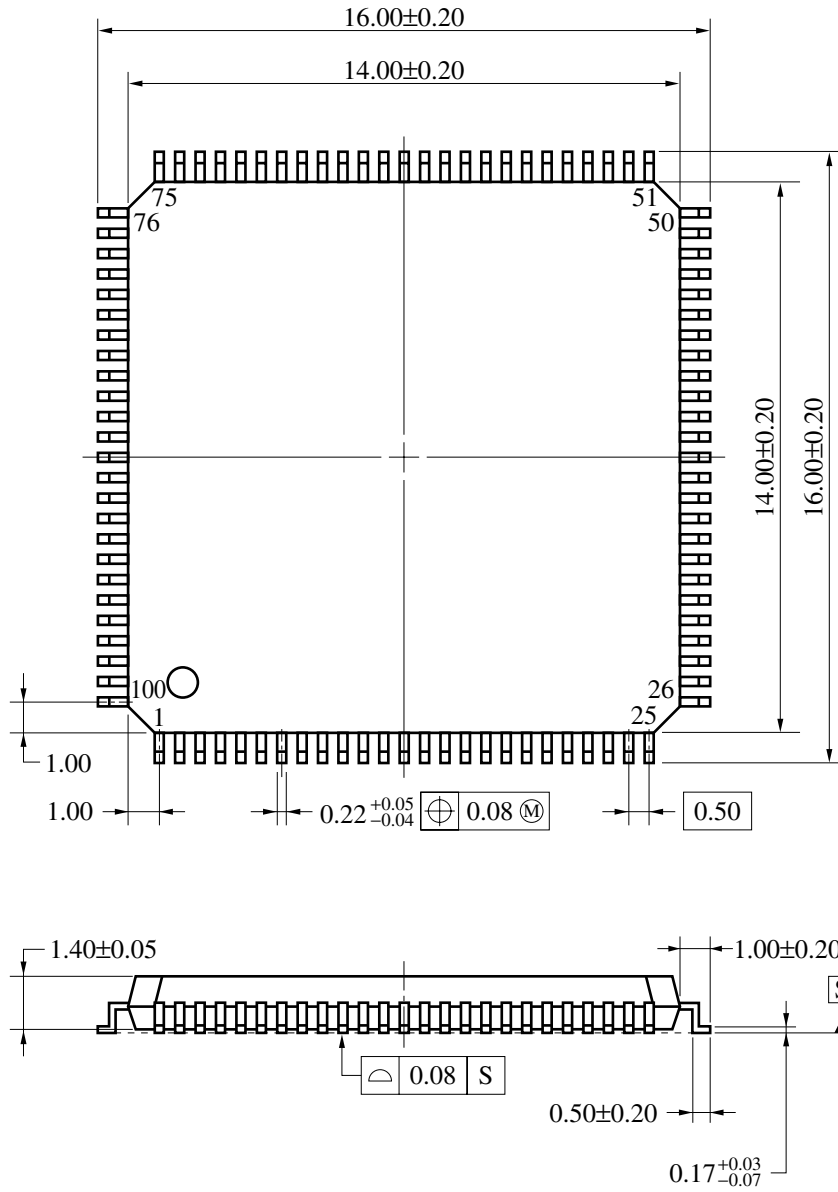
17. 応用回路例



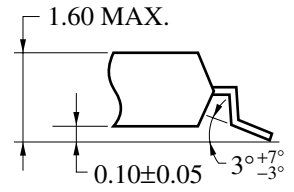
注意 本資料に掲載の応用回路および回路定数は、例示的に示したものであり、量産設計を対象とするものではありません。

18. 外形図

100ピン・プラスチック LQFP (ファインピッチ)(14 x 14) 外形図 (単位: mm)



端子先端形状詳細図



S100GC-50-8EU, 8EA-2

19. 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」(<http://www.necel.com/pkg/ja/jissou/index.html>)

表 19-1 表面実装タイプの半田付け推奨条件

- ・ μPD64084GC-8EA-A ^{注1} : 100 ピン・プラスチック LQFP (ファインピッチ)(14 × 14 mm)
- ・ μPD64084GC-8EA-Y ^{注2} : 100 ピン・プラスチック LQFP (ファインピッチ)(14 × 14 mm)

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260℃，時間：30 秒以内（210℃ 以上），回数：3 回以内， 制限日数：7 日間 ^{注3} （以降は 125℃ プリベーク 10～72 時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキング ができません。	IR60-107-3
端子部分加熱	端子温度：300℃ 以下，時間：3 秒以内（デバイスの一辺当たり）	-

注 1. 鉛フリー製品

2. 耐熱性向上品

3. ドライパック開封後の保管日数で保管条件は 25℃，65%RH 以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱方式は除く）。

[メ モ]

CMOSデバイスの一般的注意事項

静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

注意：本製品はI²Cバス・インタフェース回路を内蔵しています。

当社のI²Cバス対応部品をご購入いただくことにより、これらの部品をI²Cシステムに使用する実施権がフィリップス社I²C特許に基づき許諾されることとなります。ただし、これらのI²Cシステムはフィリップス社によって設定されたI²C標準規格に合致しているものとします。

Purchase of NEC Electronics I²C components conveys a license under the Philips I²C Patent Rights to use these components in an I²C system, provided that the system conforms to the I²C Standard Specification as defined by Philips.

- 本資料に記載されている内容は2003年3月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命、身体および財産に対する損害の危険を最小限度にするために、冗長設計、延焼対策設計、誤動作防止設計等安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。
標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
特別水準：輸送機器（自動車、電車、船舶等）、交通信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器
特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

- (1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- (2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

M8E 02.11

【発行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話(代表)：044(435)5111

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

【営業関係お問い合わせ先】

下記のページに最新版のお問い合わせ先が記載されています。

URL(アドレス) http://www.necel.com/ja/contact/contact_j.html

【技術的なお問い合わせ先】

半導体テクニカルホットライン

(電話：午前 9:00～12:00、午後 1:00～5:00)

電話 : 044-435-9494
FAX : 044-435-9608
E-mail : info@lsi.nec.co.jp

【資料請求先】

NECエレクトロニクス特約店または上記ホームページ記載の営業関係お問い合わせ先へお申し付けください。