

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

## 3次元 Y/C 分離 LSI

$\mu$ PD64082 は、NTSC 信号の 3 次元信号処理により、高精度な Y/C 分離と、ノイズ・リダクションを実現します。  
4M ビット EDO (ハイパー・ページ・モード) DRAM との組み合わせで、容易に 3 次元 Y/C 分離システムが実現できます。

高精度 10 ビット A/D コンバータを内蔵し、輝度信号処理系の 10 ビット化により高画質化を実現しています。  
ワイドクリアビジョン規格の ID (識別信号) デコーダと、HH (水平補強信号) デコーダを内蔵しています。

## 特 徴

コンポジット / 輝度信号用としてパイプライン方式の高精度 10 ビット A/D コンバータ内蔵、クロマ信号用に 8 ビット A/D コンバータ内蔵

輝度信号処理系の 10 ビット化による従来比 4 倍の高解像度を実現

4M ビット EDO DRAM との組み合わせで、容易に 3 次元 Y/C 分離、YNR/CNR システムを構築可能

2 チャンネル A/D コンバータ、2 チャンネル D/A コンバータ、クロック・ジェネレータ内蔵

HH デコーダ内蔵 (フィールド・メモリ追加時に使用可能)

I<sup>2</sup>C バス・コントロール

3.3 V 単一電源

## オーダー情報

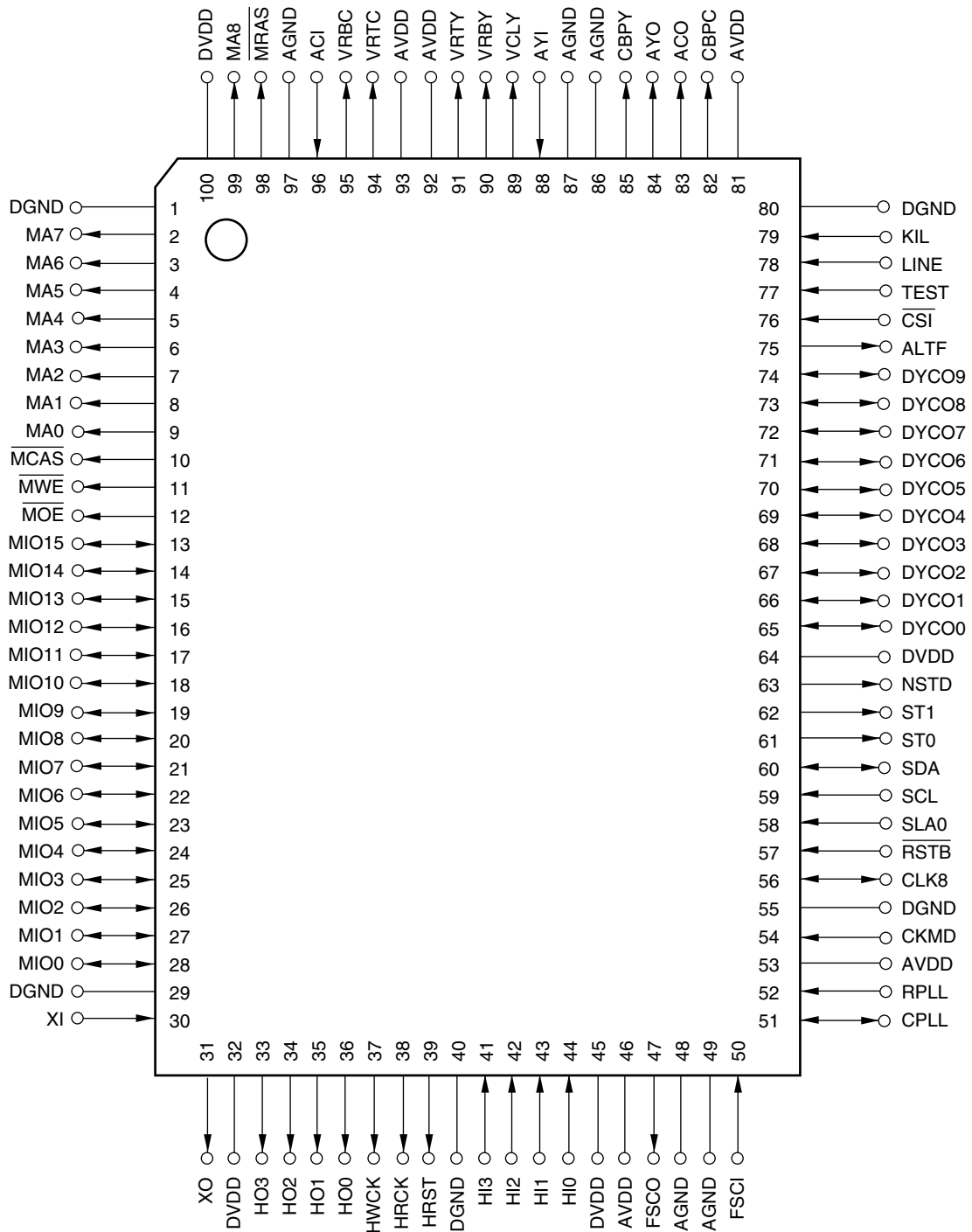
オーダー名称	パッケージ
$\mu$ PD64082GF-3BA	100 ピン・プラスチック QFP (14×20)

本資料の内容は予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。

端子接続図 (Top View)

・ 100ピン・プラスチック QFP (14×20)

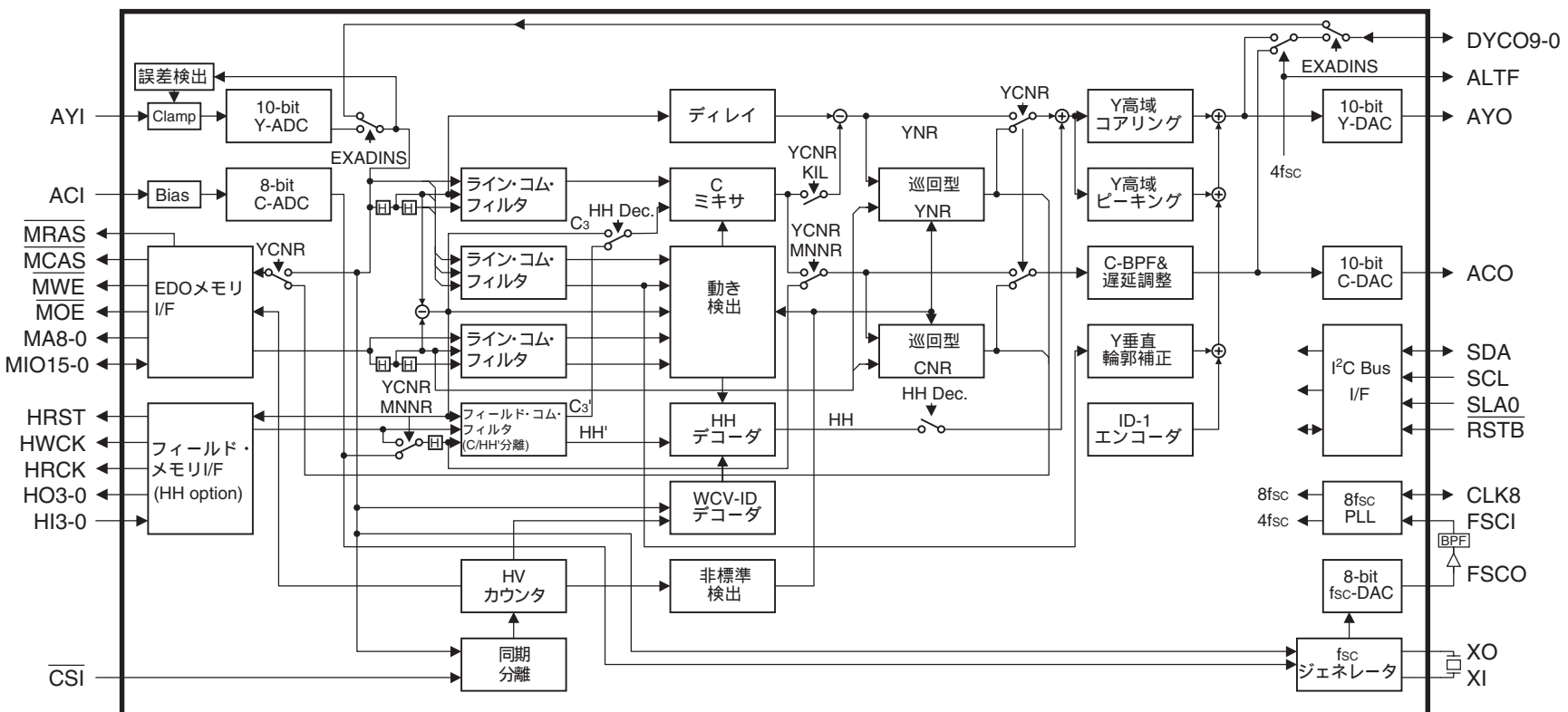
μPD64082GF-3BA



## 端子名称

ACI	: Analog C (Chroma) Signal Input
ACO	: Analog C (Chroma) Signal Output
AGND	: Analog Section Ground
ALTF	: Alternate Flag for Digital Y/C Output
AVDD	: Analog Section Power Supply
AYI	: Analog Y (Luma) Signal Input
AYO	: Analog Y (Luma) Signal Output
CBPC	: C-DAC Phase Compensation Output
CBPY	: Y-DAC Phase Compensation Output
CKMD	: Clock Mode Selection
CLK8	: 8fsc Clock Input / Output
CPLL	: Capacitor Connection for PLL
<u>CSI</u>	: Composite Sync. Input (active-low)
DGND	: Digital Section Ground
DVDD	: Digital Section Power Supply
DYCO0 - DYCO9	: Digital Y/C Signal (Alternative) Outputs
FSCI	: fsc (Sub Carrier) Input
FSCO	: fsc (Sub Carrier) Output
HI3 - HI0	: Field Memory Inputs for HH Decoder
HO3 - HO0	: Field Memory Outputs for HH Decoder
HRCK	: Field Memory Read Clock for HH Decoder
HRST	: Field Memory Reset for HH Decoder
HWCK	: Field Memory Write Clock for HH Decoder
KIL	: Killer Selection
LINE	: Inter-Line Separate Selection
MA8 - MA0	: EDO Memory Address Outputs
<u>MCAS</u>	: EDO Memory Column Address Strobe (active-low)
<u>MIO15 - MIO0</u>	: EDO Memory Data Inputs/Outputs
<u>MOE</u>	: EDO Memory Output Enable (active-low)
<u>MRAS</u>	: EDO Memory Row Address Strobe (active-low)
<u>MWE</u>	: EDO Memory Write Enable (active-low)
NSTD	: Non Standard Detection Monitor
<u>RPLL</u>	: Testing Selection
<u>RSTB</u>	: System Reset (active-low)
SCL	: Serial Clock Input
SDA	: Serial Data Input / Output
SLA0	: Slave Address Selection
ST1 , ST0	: Inner States Monitor
TEST	: Testing Selection
VCLY	: Clamp Voltage Output for Y-ADC
VRTC	: Top Voltage Reference Output for C-ADC
VRTY	: Top Voltage Reference Output for Y-ADC
VRBC	: Bottom Voltage Reference Output for C-ADC
VRBY	: Bottom Voltage Reference Output for Y-ADC
XI	: X'TAL Input
XO	: X'TAL Output


ブロック図



## 用語解説

本文中では、次の略語を用いています。

ADC	: A/D コンバータ
DAC	: D/A コンバータ
LPF	: ロー・パス・フィルタ (Low pass filter)
BPF	: バンド・パス・フィルタ (Band pass filter)
Y 信号, Luma	: 輝度, 輝度信号 (Luminance signal)
C 信号, Chroma	: 色, 色信号, クロマ信号 (Chrominance signal)
MN 信号	: MUSE-NTSC コンバート信号
f <sub>sc</sub>	: 色搬送波周波数 (Sub carrier frequency) = 3.579545 MHz
4f <sub>sc</sub>	: f <sub>sc</sub> の 4 逡倍クロック, バースト・ロック・クロック = 14.318180 MHz
8f <sub>sc</sub>	: f <sub>sc</sub> の 8 逡倍クロック, バースト・ロック・クロック = 28.636360 MHz
f <sub>H</sub>	: 水平同期周波数 (Horizontal sync. frequency) = 15.734 kHz
910f <sub>H</sub>	: f <sub>H</sub> の 910 逡倍クロック, ライン・ロック・クロック = 14.318180 MHz
1820f <sub>H</sub>	: f <sub>H</sub> の 1820 逡倍クロック, ライン・ロック・クロック = 28.636360 MHz
f <sub>V</sub>	: 垂直同期周波数 (Vertical sync. frequency) = 59.94 Hz
NR	: ノイズ・リダクション (Noise Reduction)
YNR	: Y 信号ノイズ・リダクション (Y Noise Reduction)
CNR	: C 信号ノイズ・リダクション (C Noise Reduction)
WCV-ID	: ワイドクリアビジョン (EDTV-2) 規格の ID 信号
HH	: 水平補強信号 (Horizontal Helper signal)

図中の  は、シリアル・バス・レジスタを示します。

## 制限事項

1. μPD64082 の内蔵 Y-ADC はシンクチップ・クランプ方式を採用しています。この影響で輝度信号出力 (AYO 端子: 84 ピン) のシンクチップ部に約 3 mV 程度のクランプ傷が発生します。クランプ傷を低減するためには、コンポジット / 輝度信号入力 (AYI 端子: 88 ピン) をできるかぎり低インピーダンスとしてください。
2. 内蔵 Y-ADC 使用時に、輝度信号出力 (AYO 端子: 84 ピン) に  $2f_{sc}$  (約 7.2 MHz) のノイズが発生します。レベルは 1LSB (8 ビット換算) 程度となります。輝度信号出力部のバッファ / アンプ回路の設計にあたっては、このノイズが十分減衰できるようご考慮願います。  
また、ノイズの低減が不十分であるときは、下記対策案をご検討願います。  
シリアル・バス・レジスタにてコアリングを設定する。  
(設定例)  
YHCOR (SA10h, D7-D6) = 01  
YHCGAIN (SA10h, D5) = 1 or 0  
 $2f_{sc}$  トラップ・フィルタを出力回路に挿入  
外部 ADC を使用する。  
外部 ADC の接続方法については、**3.5 外部 Y-ADC 接続方法**を参照してください。
3. 3次元 Y/C 分離モード (NRMD = 00) から二次元 Y/C 分離 + YCNR モード (NRMD = 01) に切り替えと同時に、水平同期非標準検出特性を変更すると、画面に残像のようなノイズが発生する場合があります。  
このように、YCS モード YCS+モードへの切り替えと同時に VTRR 切り替えを行う場合は、切り替える瞬間の前 2 フィールド ~ 後ろ 8 フィールドの期間は、強制非標準設定 (SA01h, D5-D4: NSDS = 11) または強制ライン間処理 (SA01h, D3-D2: MSS = 10) に設定するか、NR をオフ (SA06h, D5-D4: YNRLIM = 00 および SA06h, D1-D0: CNRLIM = 00) としてください。
4. メモリ・パワー・ダウン・モード (SYSPDS = 1) を使用する場合、メモリの制御線 ( $\overline{RAS}$ ,  $\overline{CAS}$ ,  $\overline{OE}$ ,  $\overline{WE}$ ) がフローティングし、メモリ動作が不定となることを防ぐため、これらの端子は、必ず DVDD (3.3 V) にプルアップしてください。
5. 内部同期分離回路では、電源投入時や非標準信号入力時に同期分離性能が低下する場合があります。このため、内部同期検出のみ使用 (EXCSS = 00) する場合は、十分に評価してください。
6. 内部キラー検出では、弱電界時に検出能力が低下する場合があります。このため、内部キラー検出を使用される場合は、性能を十分評価してください。



## 目 次

<b>1. 端子機能</b> ...	<b>10</b>
<b>2. システム概要</b> ...	<b>14</b>
2.1 動作モード ...	14
2.2 フィルタ処理 ...	16
2.3 システム・ディレイ ...	16
<b>3. ビデオ信号入力ブロック</b> ...	<b>17</b>
3.1 ビデオ信号入力 ...	17
3.2 ペDESTAL・レベル再生 ...	17
3.3 ビデオ信号入力レベル ...	18
3.4 端子処理など ...	19
3.5 外部 Y-ADC 接続方法 ...	19
<b>4. クロック生成/タイミング生成ブロック</b> ...	<b>21</b>
4.1 同期分離タイミング・ジェネレータ ...	21
4.2 コンボジット同期信号入力 ...	21
4.3 水平位相検出回路/バースト位相検出回路 ...	21
4.4 PLL フィルタ回路 ...	21
4.5 キラー検出回路 ...	21
4.6 fsc ジェネレータ ...	22
4.7 8fSC-PLL 回路 ...	22
4.8 端子処理など ...	22
<b>5. メモリ・インタフェース・ブロック</b> ...	<b>23</b>
5.1 EDO メモリ・コントローラ ...	23
5.2 フィールド・メモリ・コントローラ ...	23
5.3 端子処理 ...	24
<b>6. コム・フィルタ・ブロック</b> ...	<b>25</b>
6.1 ライン・コム・フィルタ ...	25
6.2 フレーム・コム・フィルタ ...	25
6.3 ミックス回路 ...	25
6.4 C 信号減算 ...	25
<b>7. 動き検出ブロック</b> ...	<b>26</b>
7.1 ライン・コム・フィルタ ...	26
7.2 DY 検出回路 ...	26
7.3 DC 検出回路 ...	26
7.4 動き係数生成回路 ...	26

7.5	動き係数の強制コントロール	...	26
<b>8.</b>	<b>YNR/CNR ブロック</b>	...	<b>27</b>
8.1	YNR/CNR 処理	...	27
8.2	非線形フィルタ	...	27
8.3	YNR/CNR 動作の停止	...	27
<b>9.</b>	<b>非標準信号検出ブロック</b>	...	<b>28</b>
9.1	水平同期非標準検出	...	28
9.2	垂直同期非標準検出	...	28
9.3	フレーム同期非標準検出	...	28
9.4	強制標準 / 強制非標準コントロール	...	28
9.5	ノイズ・レベル検出	...	28
<b>10.</b>	<b>WCV-ID デコーダ / HH デコーダ</b>	...	<b>29</b>
10.1	WCV-ID デコーダ	...	29
<b>11.</b>	<b>HH デコーダ・ブロック</b>	...	<b>30</b>
11.1	C/HH'分離	...	30
11.2	HH デコード処理	...	30
11.3	HH ゲイン・コントロール	...	30
11.4	HH デコード処理への遷移	...	30
<b>12.</b>	<b>Y 信号出力処理ブロック</b>	...	<b>31</b>
12.1	Y 高域コアリング回路	...	31
12.2	Y ピーキング・フィルタ回路	...	32
12.3	垂直輪郭補正回路	...	32
12.4	Y ピーキングと垂直輪郭補正の ON/OFF 選択	...	32
12.5	ID-1 エンコーダ	...	32
<b>13.</b>	<b>C 信号出力処理ブロック</b>	...	<b>33</b>
13.1	C 信号遅延調整	...	33
13.2	BPF 処理, ゲイン処理	...	33
<b>14.</b>	<b>ビデオ信号出力ブロック</b>	...	<b>34</b>
14.1	デジタル YC 出力処理	...	34
14.2	ビデオ信号出力レベル	...	34
14.3	端子処理	...	35
<b>15.</b>	<b>I<sup>2</sup>C バス・インタフェース</b>	...	<b>36</b>
15.1	基本仕様	...	36
15.2	データ送受信フォーマット	...	37
15.3	I <sup>2</sup> C バス・インタフェースのリセット (初期化動作)	...	38

15.4	シリアル・バス・レジスタ一覧	...	39
15.5	シリアル・バス・レジスタ機能	...	40
<b>16.</b>	<b>電気的特性</b>	...	<b>53</b>
<b>17.</b>	<b>応用回路例</b>	...	<b>63</b>
<b>18.</b>	<b>外形図</b>	...	<b>64</b>
<b>19.</b>	<b>半田付け推奨条件</b>	...	<b>65</b>

1. 端子機能

表 1-1 端子機能一覧 (1/4)

No.	略号	I/O	レベル	バッファ・タイプ PU/PD [ kΩ ]	機能
1	DGND	-	-		デジタル部接地
2 - 9	MA7-MA0	O	TTL 3-state	1 mA	外部 EDO メモリ用アドレス出力
10	$\overline{\text{MCAS}}$	O	TTL 3-state	1 mA	外部 EDO メモリ用CAS出力 (アクティブ・ロウ)
11	$\overline{\text{MWE}}$	O	TTL 3-state	1 mA	外部 EDO メモリ用WE出力 (アクティブ・ロウ)
12	$\overline{\text{MOE}}$	O	TTL 3-state	1 mA	外部 EDO メモリ用OE出力 (アクティブ・ロウ)
13 - 28	MIO15- MIO0	I/O	TTL 3-state	1 mA / 5 V 耐圧	外部 EDO メモリ用データ入出力
29	DGND	-	-		f <sub>SC</sub> ジェネレータ デジタル部接地
30	XI	I	-		f <sub>SC</sub> ジェネレータ 基準クロック入力 (X'tal を接続)
31	XO	O	-		f <sub>SC</sub> ジェネレータ 基準クロック反転出力 (X'tal を接続)
32	DVDD	-	-		f <sub>SC</sub> ジェネレータ デジタル部電源
33 - 36	HO3-HO0	O	TTL 3-state	1 mA	外部フィールド・メモリ用データ出力 HO3 が MSB, HO0 が LSB です。 (未使用時オープン)
37	HWCK	O	TTL 3-state	3 mA	外部フィールド・メモリ用ライト・クロック出力 (未使用時オープン)
38	HRCK	O	TTL 3-state	3 mA	外部フィールド・メモリ用リード・クロック出力 (未使用時オープン)
39	HRST	O	TTL 3-state	1 mA	外部フィールド・メモリ用リセット信号出力 (未使用時オープン)
40	DGND	-	-		デジタル部接地
41 - 44	HI3-HI0	I	TTL	5 V 耐圧	外部フィールド・メモリ用入力 HI3 が MSB, HI0 が LSB です。 (未使用時 GND 接続)
45	DVDD	-	-		デジタル部電源

表 1-1 端子機能一覧 (2/4)

No.	略号	I/O	レベル	バッファ・タイプ PU/PD [kΩ]	機能
46	AVDD	-	-		fsc ジェネレータ DAC 部電源
47	FSCO	-	Analog		fsc ジェネレータ fsc 出力
48	AGND	-	-		fsc ジェネレータ DAC 部接地
49	AGND	-	-		8fsc-PLL 接地
50	FSCI	-	Analog		8fsc-PLL fsc 入力
51	CPLL	-	-		8fsc-PLL フィルタ出力 (GND 接続)
52	RPLL	I	Schmitt	PU:50	テスト入力 (GND 接続)
53	AVDD	-	-		8fsc-PLL 部 電源
54	CKMD	I	TTL	5 V 耐圧 PD:50	CLK8 テスト・モード選択 (L: 通常 H: テスト・モード) (GND 接続)
55	DGND	-	-		デジタル部接地
56	CLK8	O / I	TTL 3-state	3 mA / 5 V 耐圧	8fsc クロック出力 (CLK8 テスト・モードでは 8fsc クロック入力)
57	RSTB	I	Schmitt	5 V 耐圧 PU:50	システム・リセット入力 (アクティブ・ロウ) (外部よりアクティブ・ロウのリセット・パルスを入力)
58	SLA0	I	TTL	5 V 耐圧 PD:50	I <sup>2</sup> C バス・スレーブ・アドレス選択入力 (L: B8 / B9h, H: BA / BBh)
59	SCL	I	Schmitt	5 V 耐圧	I <sup>2</sup> C バス・クロック入力 (システムの SCL ラインに接続)
60	SDA	I/O	Schmitt Nch Open drain	5 mA / 5 V 耐圧	I <sup>2</sup> C バス・データ入出力 (システムの SDA ラインに接続)
61	ST0	O	TTL	1 mA	内部信号モニタ出力
62	ST1	O	TTL	1 mA	内部信号モニタ出力
63	NSTD	O	TTL	1 mA	非標準検出モニタ出力 (L: 標準判定, H: 非標準判定)
64	DVDD	-	-		デジタル部電源

表 1-1 端子機能一覧 (3/4)

No.	略号	I/O	レベル	バッファ・タイプ PU/PD [kΩ]	機能
65 - 74	DYCO0- DYCO9	I/O	TTL	1 mA / 5 V 耐圧	EXADINS=0: デジタル YC 信号オルタネート出力 EXADINS=1: 外部 Y-ADC 用 データ入力 (使用しない下位ビットは抵抗を介して GND 接続) DYCO0 が LSB, DYCO9 が MSB です。
75	ALTF	O	TTL	1 mA	EXADINS=0: デジタル YC 信号オルタネート・フラグ出力 (H:Y, L:C) EXADINS=1: 外部 Y-ADC 用 4fsc クロック出力
76	CSI	I	Schmitt	5 V 耐圧	コンポジット・シンク入力 (アクティブ・ロウ)
77	TEST	I	TTL	5 V 耐圧 PD:50	IC 選別用テスト端子 (L: 通常動作 H: テスト・モード) (GND 接続)
78	LINE	I	TTL	5 V 耐圧 PD:50	強制ライン間処理選択入力 (L: 通常処理, H: 強制ライン間処理)
79	KIL	I	TTL	5 V 耐圧 PD:50	外部キラー入力 (L: 通常処理, H: 強制 Y/C 分離停止)
80	DGND	-	-		デジタル部接地
81	AVDD	-	-		Y-DAC, C-DAC 電源
82	CBPC	O	Analog		C-DAC 位相補償出力
83	ACO	O	Analog		C-DAC アナログ C 信号出力
84	AYO	O	Analog		Y-DAC アナログ Y 信号出力
85	CBPY	O	Analog		Y-DAC 位相補償出力
86	AGND	-	-		Y-DAC, C-DAC 接地
87	AGND	-	-		Y-ADC 接地
88	AYI	I	Analog		Y-ADC アナログ・コンポジット信号 / Y 信号入力
89	VCLY	O	Analog		Y-ADC クランプ電位出力
90	VRBY	O	Analog		Y-ADC ボトム基準電圧出力
91	VRTY	O	Analog		Y-ADC トップ基準電圧出力

表 1-1 端子機能一覧 (4/4)

No.	略号	I/O	レベル	バッファ・タイプ PU/PD [kΩ]	機能
92	AVDD	-	-		Y-ADC 電源
93	AVDD	-	-		C-ADC 電源
94	VRTC	O	Analog		C-ADC トップ基準電圧出力
95	VRBC	O	Analog		C-ADC ボトム基準電圧出力
96	ACI	I	Analog		C-ADC アナログ C 信号入力
97	AGND	-	-		C-ADC 接地
98	$\overline{\text{MRAS}}$	O	TTL 3-state	1 mA	外部 EDO メモリ用 $\overline{\text{RAS}}$ 出力 (アクティブ・ロウ)
99	MA8	O	TTL 3-state	1 mA	外部 EDO メモリ用アドレス出力
100	DVDD	-	-		デジタル部電源

2. システム概要

2.1 動作モード

μPD64082 は、大きく分けて 3 種類の信号処理モードで動作します。モードの選択は、シリアル・バスの NRMD で行います。

表 2-1 動作モード一覧

シリアル・バス設定, モード名称	機能 <sup>注1</sup>	端子入力	システム・クロック <sup>注2</sup>	特長 モデル図
NRMD = 00 , YCS モード	Y/C 分離 HH デコード	AYI: コンポジット信号 ACI: なし (無効)	バースト・ロック (4f <sub>sc</sub> , 8f <sub>sc</sub> )	<ul style="list-style-type: none"> <li>標準信号時, 動き適応型 3 次元 Y/C 分離を行います。</li> <li>非標準信号時, ライン間 Y/C 分離を行います。</li> <li>フィールド・メモリの追加で, ワイドクリアビジョン規格の HH デコードに対応します。<sup>注3</sup></li> </ul>
NRMD = 01 , YCS+モード	Y/C 分離 フレーム巡回型 YNR フレーム巡回型 CNR	AYI: コンポジット信号 ACI: なし (無効)	バースト・ロック (4f <sub>sc</sub> , 8f <sub>sc</sub> )	<ul style="list-style-type: none"> <li>ライン間 Y/C 分離とフレーム巡回 YNR と CNR を行います。</li> </ul>
NRMD = 10 , MNMR モード	フレーム・コム型 YNR C 信号 1H 遅延	AYI: Y 信号 ACI: C 信号	ライン・ロック (910f <sub>H</sub> , 1820f <sub>H</sub> )	<ul style="list-style-type: none"> <li>動き適応フレーム平均型 YNR を行います。MN 信号のフレーム間折り返しノイズの低減効果があります。</li> <li>Y 信号の遅延に合わせ C 信号の 1H 遅延を行います。<sup>注4</sup></li> </ul>
NRMD = 11 , YCNR モード	フレーム巡回型 YNR フレーム巡回型 CNR	AYI: Y 信号 ACI: C 信号	バースト・ロック (4f <sub>sc</sub> , 8f <sub>sc</sub> )	<ul style="list-style-type: none"> <li>フレーム巡回 YNR と CNR を行います。VTR 再生信号などのランダム・ノイズの低減効果があります。<sup>注5</sup></li> </ul>



- 注 1. 3次元 Y/C 分離機能，フレーム巡回 YNR/CNR 機能，フレーム・コム YNR 機能は，同時に使用することはできません（排他仕様）。
2. 信号処理部分に  $4f_{sc}$  ( $910f_H$ ) を，メモリ・インタフェース部とデジタル YC 出力部に， $8f_{sc}$  ( $1820f_H$ ) を使用します。
  3. YC セパレート入力に対する HH デコード処理はできません。また，VTR 再生信号など，非標準信号の HH デコード処理はできません。
  4. VTR 再生信号など，水平同期信号にジッタを持った信号での C 信号遅延処理はできません。一部の MN 信号では，垂直同期期間に水平同期信号位相が変動するものがあります。このような信号では，垂直同期期間終了直後のライン・ロック・クロックが変動するため，内部で遅延させた C 信号の位相が乱れる場合があります。
  5. VTR 再生信号の精度によっては（V 部分でのスキューの大きい場合など）常に垂直非標準判定となり，NR 動作が停止する場合があります。このような信号では，強制標準（NSDS = 01）設定により，NR 動作が可能となります。

2.2 フィルタ処理

各モードで使用されるフィルタを、次に示します。

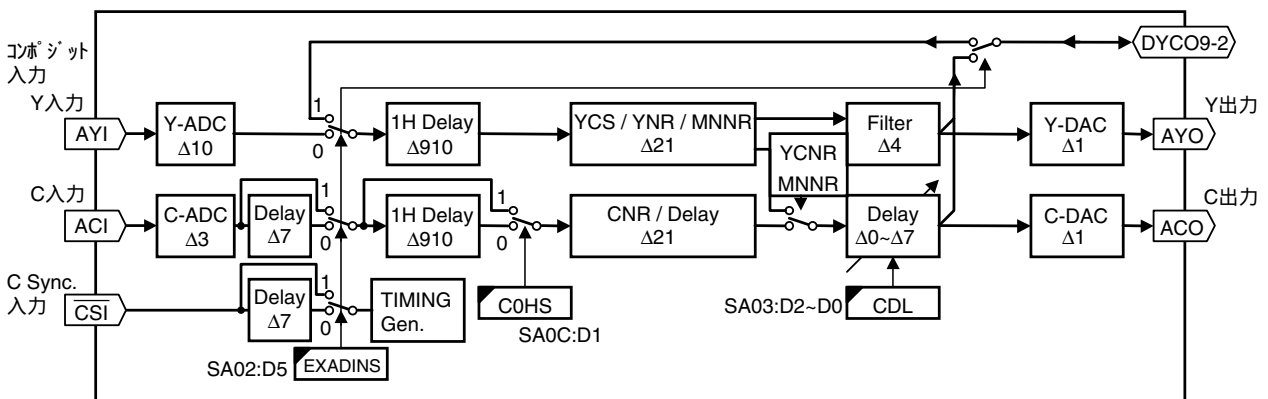
表 2-2 フィルタ・マトリクス

モード	標準/非標準/キラー判定	選択されるフィルタ			
		有効画像期間		ブランキング期間	
		静止判定部分	動画判定部分	水平 (11 μs)	垂直 (1H~22H)
YCS モード (NRMD = 00)	標準判定	フレーム・コム	ライン・コム	バンド・パス	
	非標準判定	ライン・コム		バンド・パス	
	キラー判定	スルー (Y/C 分離停止)			
YCS+ モード (NRMD = 01)	標準, 水平非標準判定	ライン・コム + フレーム巡回	ライン・コム	バンド・パス	
	垂直非標準判定	ライン・コム		バンド・パス	
	キラー判定	スルー			
MNNR モード (NRMD = 10) (Y 信号)	標準判定	フレーム・コム	スルー		
	非標準判定	スルー			
YCNR モード (NRMD = 11)	標準, 水平非標準判定	フレーム巡回	スルー		
	垂直非標準判定	スルー			
	キラー判定	スルー			
垂直輪郭補正 / Yピーキング		アクティブ		スルー	

2.3 システム・ディレイ

システム・ディレイ長 (ビデオ信号の遅延長) のモデル図を、次に示します。

図 2-1 システム・ディレイ

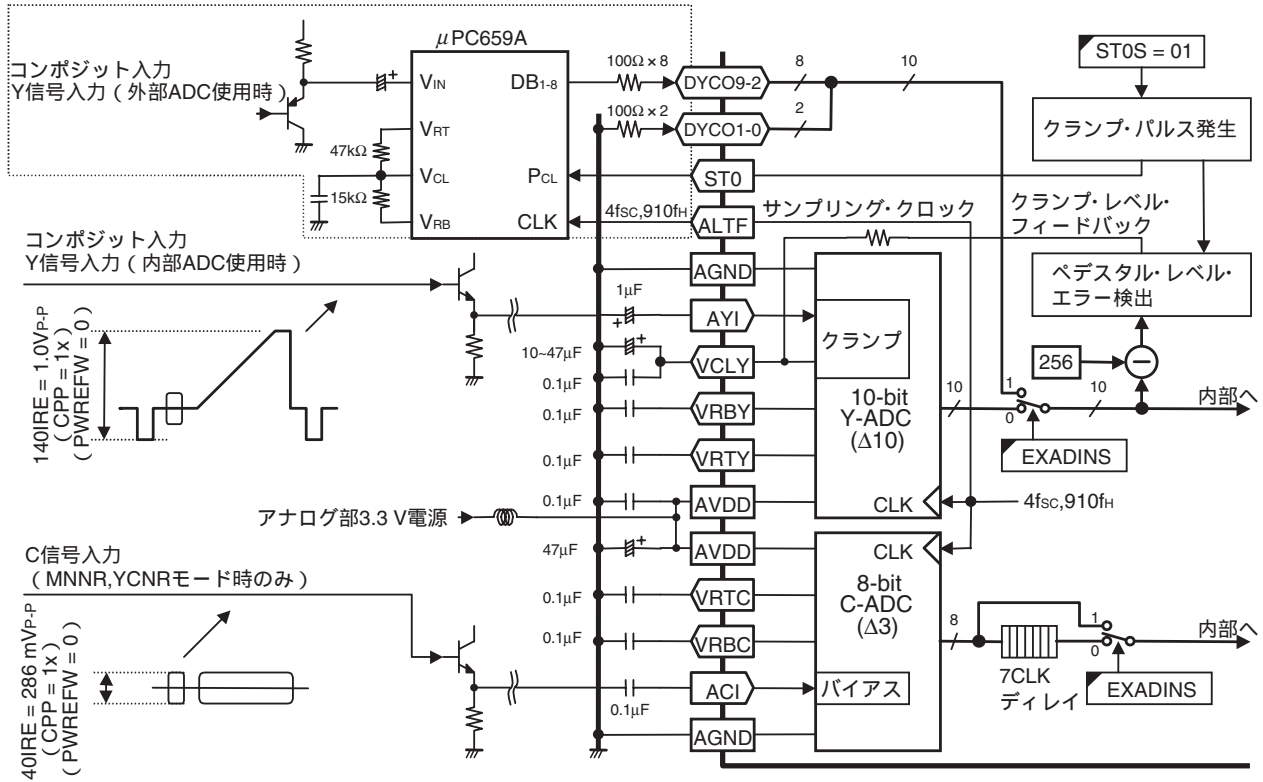


備考 Δ1 は 1 クロック分 (4fsc または 910fH = 約 69.8 ns) のディレイを示します。

### 3. ビデオ信号入力ブロック

このブロックでは、ビデオ信号の A/D 変換を行います。

図 3-1 ビデオ信号入力ブロック概要



#### 3.1 ビデオ信号入力

シリアル・バスで選択した動作モードに応じて、AYI 端子と ACI 端子にビデオ信号を入力します。入力されたビデオ信号は、それぞれ内部の Y-ADC (10 ビット) と C-ADC (8 ビット) でデジタル・ビデオ信号に変換します (EXADINS = 0)。

また、内部 Y-ADC を使わない場合、DYCO9-DYCO0 端子に 10 ビットのデジタル・コンポジット信号を入力することができます (EXADINS = 1)。

- ・ YCS モード : AYI 端子にコンポジット信号を入力します。ACI 端子への入力は無効となります。
- ・ MNRR/YCNR モード: AYI 端子に Y 信号を、ACI 端子に C 信号を入力します。

#### 3.2 ペDESTAL・レベル再生

クランプ回路では、AYI 端子から入力されたビデオ信号のペDESTAL・レベル再生を行います。ペDESTAL・エラー検出回路では、Y-ADC 出力のペDESTAL・レベルと、256 レベル (固定値) との差分を PWM 出力します。この出力は内部抵抗を介し、VCLY 端子 (クランプ電位) に接続されており、ビデオ信号のペDESTAL・レベルが 256 LSB となるよう、フィードバックがかかります<sup>注</sup>。VCLY 端子には、バイパス・コンデンサ (0.1 μF) と、ループ・フィルタ用の電解コンデンサ (10 ~ 47 μF) を接続します。

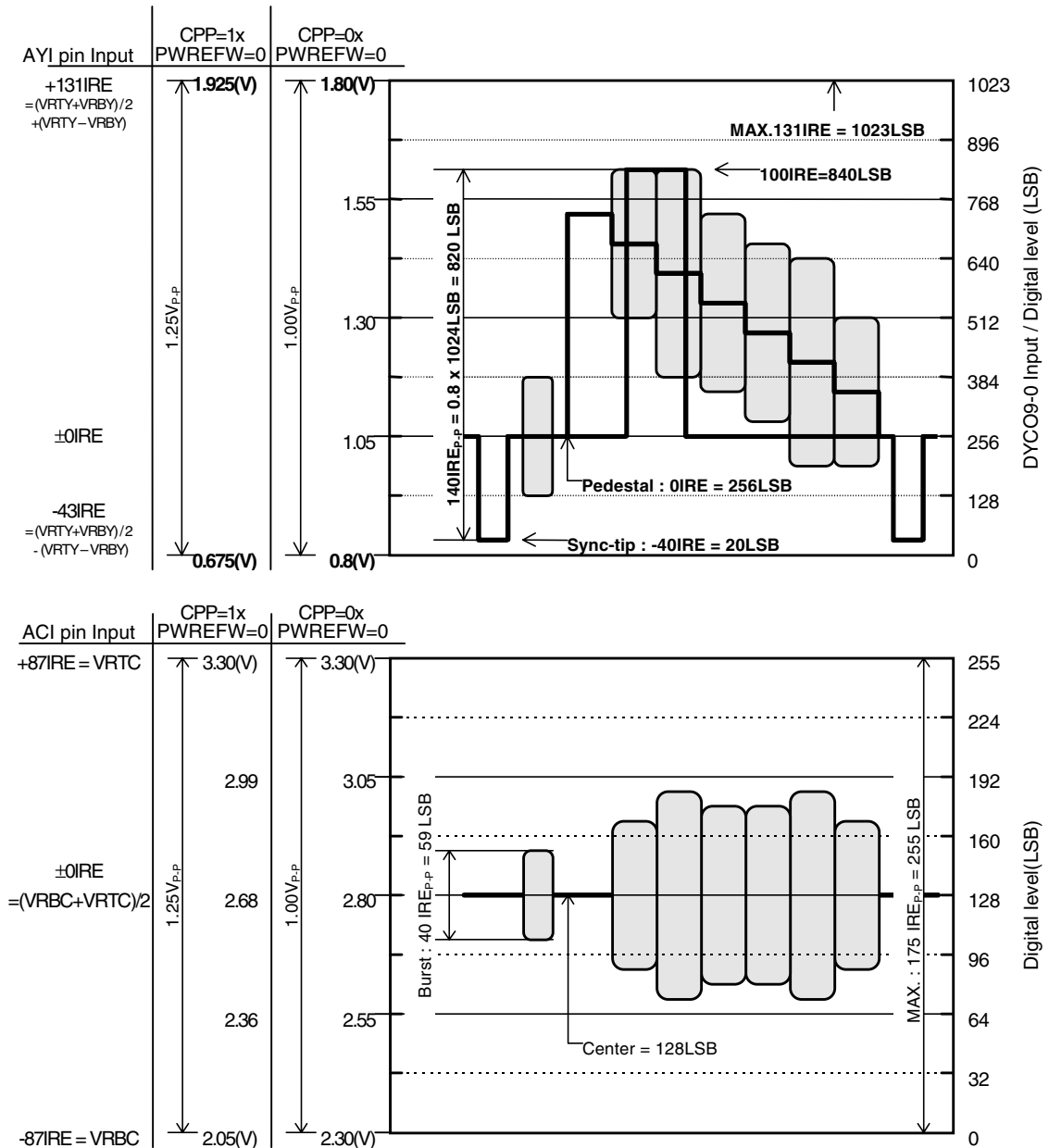
**注** H-Sync の入力振幅が 256 LSB (10 ビット換算) よりも大きいときは、ペDESTAL・レベルが 256 レベル以上となる場合があります。

外部 ADC 使用時は、このフィードバック機能は使用しません。

### 3.3 ビデオ信号入力レベル

ビデオ信号の入力レベルは、ビデオ信号の最大振幅やバラツキを考慮し、レベルを絞って入力する必要があります。コンポジット / Y 信号入力振幅を、140 IRE<sub>P-P</sub> = 840 LSB (最大入力レンジ 1024 LSB の 0.8 倍)、C 信号入力を 40 IRE<sub>P-P</sub> = 59 LSB とした場合の波形を図 3-2 に示します。この場合、Y 側において 131 IRE までの白レベル入力、C 側において 175 IRE<sub>P-P</sub> の C 信号入力が可能です。

図 3-2 ビデオ信号入力波形例 (標準カラー・バー入力時)



シリアル・バスの CPP により，内部 ADC の最大入力レンジを設定します。各設定時のビデオ信号の推奨入力レベルを，次に示します。

表 3-1 ビデオ信号の推奨入力レベル

モード名称	シリアル・バス設定	AYI, ACI 端子の最大入力レンジ	ACI 端子へのビデオ信号入力推奨入力レベル
1 V <sub>P-P</sub> モード	CPP = 0x, PWREFW = 0	1.00 V <sub>P-P</sub> (Typ.)	140 IRE <sub>P-P</sub> = 0.8 V <sub>P-P</sub> (1.00 V × 0.8) として入力
1.25 V <sub>P-P</sub> モード	CPP = 1x, PWREFW = 0	1.25 V <sub>P-P</sub> (Typ.)	140 IRE <sub>P-P</sub> = 1.0 V <sub>P-P</sub> (1.25 V × 0.8) として入力

### 3.4 端子処理など

- ・ AVDD 端子には，3.3 V 電源を与えます。デジタル部電源とは十分なアイソレーションを行ってください。
- ・ AGND 端子，各バイパス・コンデンサの接地は，配線パターンを極力太く広くしてください。
- ・ AYI, ACI 端子には，ビデオ信号を容量結合で入力します。ビデオ信号は，極力低いインピーダンスで入力してください。  
電解コンデンサと AYI, ACI 端子間の配線は，極力太く短くしてください。
- ・ 基準電圧端子 VRTY, VRBY, VRTC, VRBC には，0.1 μF 程度のバイパス・コンデンサを接続してください。
- ・ クランプ電圧端子 VCLY には，0.1 μF 程度のバイパス・コンデンサと，10 ~ 47 μF 程度の電解コンデンサを接続してください。
- ・ クロマ入力を使用しないときは，ACI 端子はオープンとします。
- ・ 基板の IC 直下に，メモリ・インタフェース・ラインなどのデジタル系配線パターンを配置しないでください。IC 直下は，電源または GND パターン専用領域としてください。

### 3.5 外部 Y-ADC 接続方法

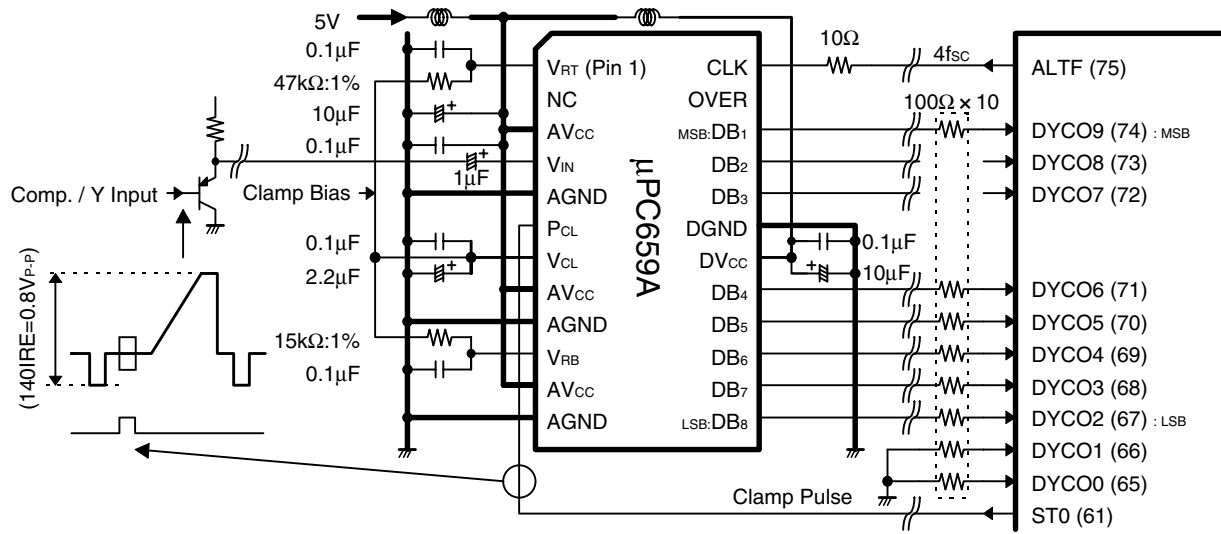
シリアル・バスで EXADINS = 1 を設定すると，外部 Y-ADC 使用モードとなります。このとき，内部 Y-ADC が停止し，ALTF 端子が外部 ADC 用 4f<sub>sc</sub> サンプリング・クロック出力，DYCO9-DYCO0 端子がデジタル・データ入力端子となります。また，シリアル・バスで ST0S = 01 を設定すると，ST0 端子からクランプ・パルスが出力されます。これを外部 ADC のペDESTアル・クランプ・パルスとして利用します。外部 Y-ADC のペDESTアル・レベルは，サンプリング値が 256 ± 8 LSB となるよう，クランプ電位を設定します。コンバートされた 10 ビット・データは，100 Ω を介して DYCO9-DYCO0 端子に入力します。なお，8 ビット A/D コンバータを使用するなどの場合は，使用しない下位ビットの端子 (DYCO0, DYCO1 ~ ) は，100 Ω を介してプルダウンしてください。

内部 Y-ADC 側では，VRTY, VRBY 端子をオープンとし，VCLY, AYI 端子は 0.1 μF を介してプルダウンしてください。

また，外部 Y-ADC と内部 C-ADC を用いて S 入力を使用する場合において，Y と C の遅延が異なるときは，シリアル・バス CDL にて遅延調整してください。

次に 8 ビット A/D コンバータ μPC659A を用いる場合の応用回路例を示します。

図 3-3 外部 Y-ADC 使用時の応用回路例

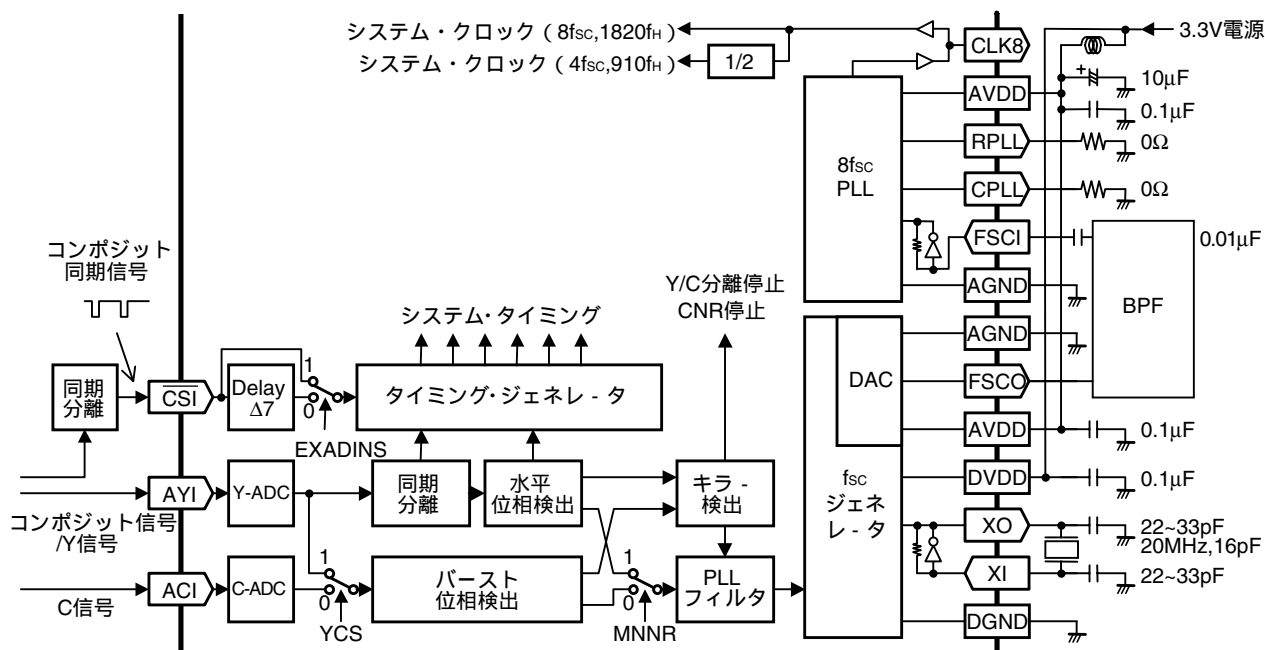


備考 シリアル・バス設定 : EXADINS = 1 , ST0S = 01

#### 4. クロック生成 / タイミング生成ブロック

このブロックでは、ビデオ信号からシステム・クロックやタイミング信号を生成します。

図 4-1 クロック生成 / タイミング生成ブロック概要



##### 4.1 同期分離タイミング・ジェネレータ

4fscまたは910fhでサンプリングされたコンポジット信号またはY信号から、水平同期信号と垂直同期信号を分離し、これを基準信号としてシステム・タイミングを生成します。

##### 4.2 コンポジット同期信号入力

CSI端子には、AYI端子に入力するビデオ信号から分離された、アクティブ・ロウのコンポジット同期信号を入力します。この入力は、タイミング・ジェネレータの同期引き込み時の基準信号として使用します。

##### 4.3 水平位相検出回路 / パースト位相検出回路

水平位相検出回路では、4fscまたは910fhでサンプリングされたY信号から、水平同期信号を抜き取り、水平位相誤差を検出します。この位相誤差は、227.5fh発生と、タイミング・ジェネレータで使用します。パースト位相検出回路では、4fscでサンプリングされたコンポジット信号またはC信号から、パースト信号を抜き取り、パースト位相誤差を検出します。この位相誤差は、fsc発生に使用します。

##### 4.4 PLLフィルタ回路

パースト位相誤差、または水平位相誤差を積分し、後段のfscジェネレータの発振周波数を決定します。

##### 4.5 キラー検出回路

パースト信号の振幅を、シリアル・バスのKILR設定値と比較し、カラー・キラー判定を行います。パースト・ロック・クロック動作時、パースト振幅がKILR設定値以下となった場合、fscジェネレータの発振周波数をフリーランとします。

#### 4.6 fsc ジェネレータ

PLL フィルタで決定された発振周波数をもとに、fsc (ライン・ロック・クロック動作時は、227.5fH) を生成します。fsc は、内部 DAC でアナログのサイン波形に変換され、FSCO 端子に出力します。この出力には、D/A コンバート時の高調波成分が含まれているため、バッファを介して外部の BPF (バンド・パス・フィルタ) で高調波成分を除去してから、容量結合で FSCI 端子に入力します。fsc ジェネレータでは、基準クロックとして 20 MHz のフリーラン・クロックを使用しています。

#### 4.7 8fsc-PLL 回路

FSCI 端子から入力された fsc (または 227.5fH) から、8 逡倍の 8fsc (または 1820fH) を生成します。この 8fsc を CLK8 端子に出力し、同時に内部のシステム・クロックとして使用します。

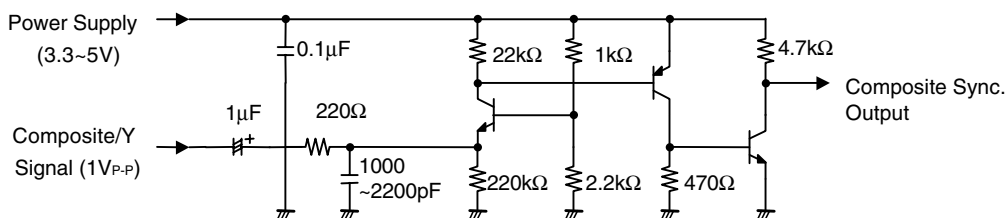
#### 4.8 端子処理など

- ・ AVDD 端子には、3.3 V 電源を与えます。デジタル部の電源とは十分なアイソレーションを行ってください。
- ・ DGND, AGND 端子、各バイパス・コンデンサの接地は、配線パタンを極力太く広くとってください。
- ・ XI, XO 端子には、20 MHz の水晶発振子を接続します。ほかのブロックと干渉しないよう、GND パターンによるガード領域を設けてください。表 4-1 に、水晶発振子の仕様例を示します。
- ・ FSCO 端子は、エミッタ・フォロワを介して BPF に接続します。FSCI 端子には、容量結合で fsc 信号を入力します。
- ・ CPLL 端子、RPLL 端子は、GND レベルにプルダウンしてください。
- ・ CSI端子には、アクティブ・ロウのコンポジット同期信号を入力します。図 4-2 に同期分離回路例を示します。

表 4-1 水晶発振子仕様例

項目	規格
公称発振周波数	20.000000 MHz (基本波)
負荷容量	16 pF
直列抵抗成分	40 Ω以下
周波数偏差	50 ppm 以下
温度偏差	50 ppm 以下

図 4-2 コンポジット同期分離回路例

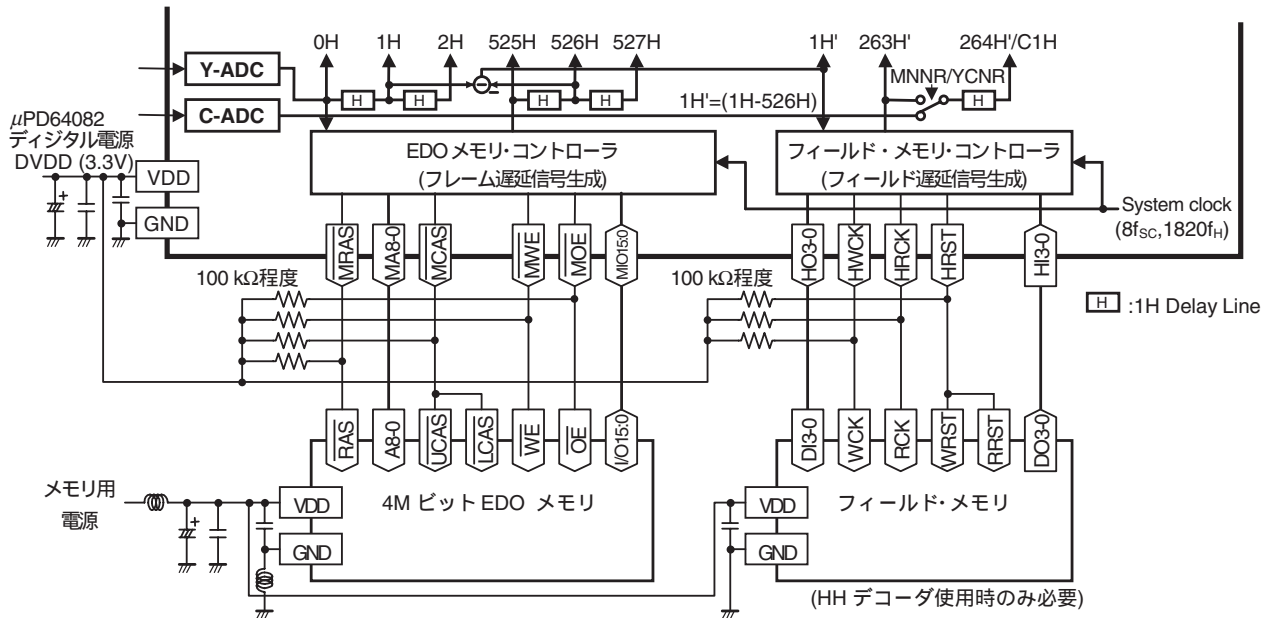




### 5. メモリ・インタフェース・ブロック

このブロックでは、外部メモリのコントロールを行い、ビデオ信号のフレーム/フィールド遅延信号を生成します。メモリ・インタフェースの入力端子は、5V 耐圧となっているので、5V 系メモリとの直結が可能です。

図 5-1 メモリ・インタフェース・ブロック概要



#### 5.1 EDO メモリ・コントローラ

外部の 4M ビット EDO メモリを高速アクセスし、フレーム遅延 (525H) 信号を生成します。また、同時にメモリのリフレッシュを行います。EDO メモリの必要スペックについては、16. 電気的特性の 4M ビット EDO メモリ必要特性を参照してください。

#### 5.2 フィールド・メモリ・コントローラ

外部のフィールド・メモリを高速アクセスし、HH デコーダで使用するフィールド遅延 (262H') 信号を生成します。フィールド・メモリの必要スペックについては、16. 電気的特性のフィールド・メモリ必要特性を参照してください。ライト/リード・リセットがアクティブ・ハイのメモリ (MSM514222B-30 など) を使用する場合、シリアル・バスの HRSTINV を 0 とします。また、非カスケード・タイプのメモリ (MSM514221B-30 など) を使用する場合、シリアル・バスの HRSTTMG を 1 とします。なお、HH デコーダを利用しない場合、このフィールド・メモリは必要ありません。

### 5.3 端子処理

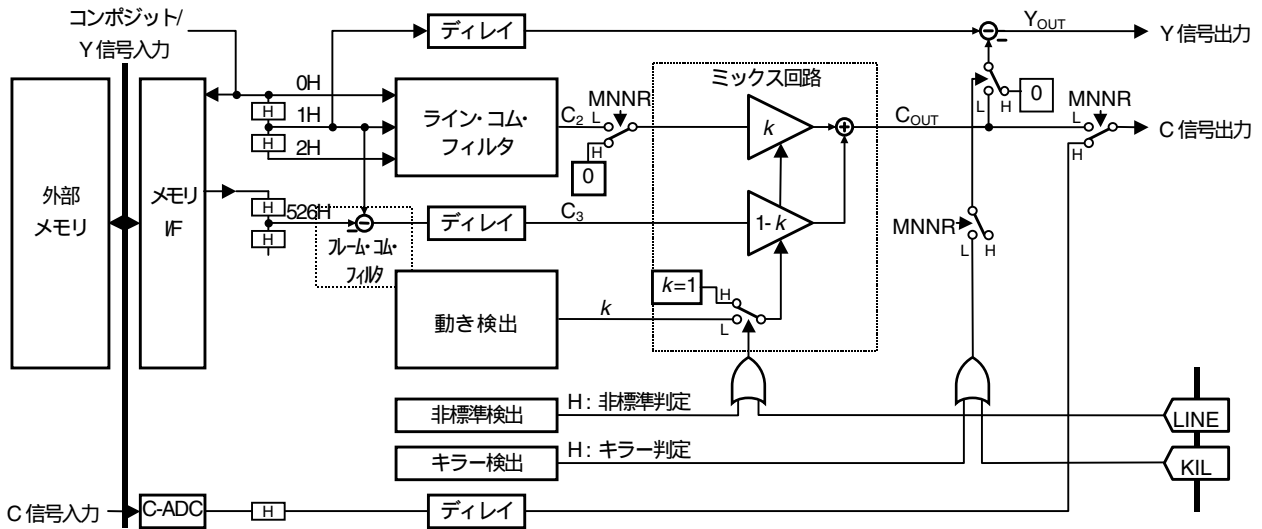
メモリ・ブロックはノイズ源となりやすいため、回路設計、基板パタン設計には十分な注意が必要です。メモリ・ブロックの輻射ノイズ、電源ノイズがビデオ信号系に回り込むと、画面上で縦縞ノイズなどが発生することがあります。

- ・メモリの電源は、他ブロックの電源とは十分に分離を行い、かつインピーダンスを低くしてください。また、EDOメモリのGNDには、フェライト・コアなどを挿入し、ほかのGNDとの分離を行ってください。
- ・メモリおよびインタフェース・ライン、特に $\overline{\text{CAS}}$ 、 $\overline{\text{WE}}$ 、 $\overline{\text{OE}}$ 、HWCK、HRCKラインは、アナログ・ブロックから十分に遠ざけ、GNDパタンによるパーティションを設けてください。また、これらのインタフェース・ラインを、μPD64082の直下に配置しないでください。これらの配線長は極力短くなるよう配慮してください。
- ・μPD64082の裏側に、メモリを配置しないでください。
- ・フィールド・メモリ未使用時は、HI3-HI0端子をGNDレベルに接続してください。
- ・メモリ・パワー・ダウン・モード(SA16h,D7:SYSPDS=1)を使用する場合、 $\overline{\text{MRAS}}$ 、 $\overline{\text{MCAS}}$ 、 $\overline{\text{MOE}}$ 、 $\overline{\text{MWE}}$ 、HWCK、HRCK、HRSTラインは、μPD64082のDVDD(3.3V)にプルアップしてください。

## 6. コム・フィルタ・ブロック

このブロックでは、各種検出回路の判别結果に基づいて、Y/C 分離またはフレーム・コム型 YNR を行います。このブロックは、YCS モード、MNNR モードで使用します。

図 6-1 コム・フィルタ・ブロック概要



### 6.1 ライン・コム・フィルタ

ビデオ信号の 0H, 1H, 2H 遅延信号から、C 信号を分離します。このフィルタは、ライン相関性を利用したロジカル・コム・フィルタとなっており、ドット妨害やクロスカラー妨害の低減を図っています。このフィルタ出力  $C_2$  は、標準信号の動画部分、非標準信号、ブランキング期間で使用します。MNNR モードでは、このフィルタ出力は使用せず、常に“0”レベルとします。

### 6.2 フレーム・コム・フィルタ

ビデオ信号の 1H, 526H 遅延信号から、C 信号 (MNNR モードではノイズ成分) を分離します。このフィルタ出力  $C_3$  は、動き検出回路により、静止画判定された部分で使用します。

### 6.3 ミックス回路

動き検出回路からの動き係数に基づき、C 信号の動き適応ミックスを行います。ライン・コム・フィルタ出力  $C_2$  と、フレーム・コム・フィルタ出力  $C_3$  を、動き係数  $k$  ( $0 \sim 1$ ) によって比率ミックスを行い、 $C_{OUT}$  を生成します。非標準検出回路により、入力信号が非標準信号と判定された場合、または LINE 端子が“H”レベルの場合、動き適応ミックスは行わず、 $C_2$  をスルー出力します。

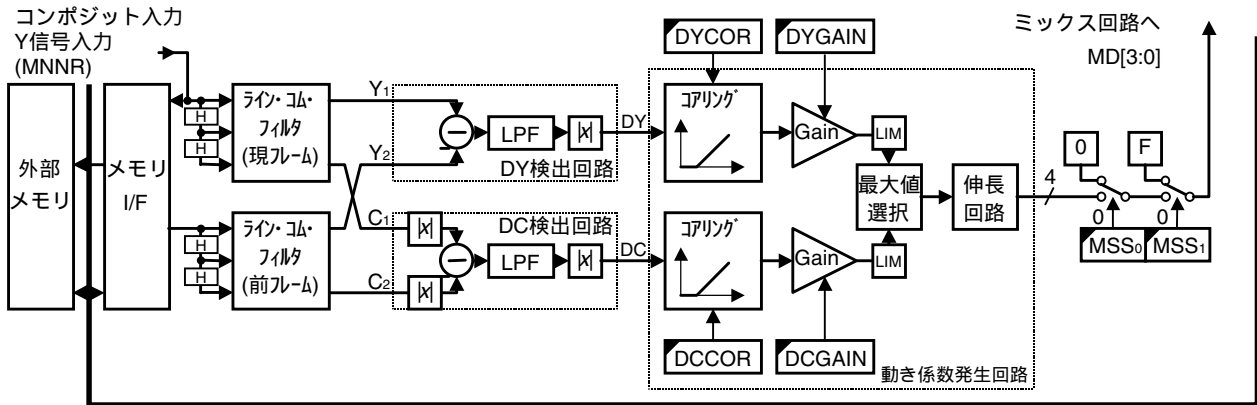
### 6.4 C 信号減算

コンポジット・ビデオ信号の 1H 遅延信号から、 $C_{OUT}$  信号 (MNNR モードではノイズ成分) を減算し、 $Y_{OUT}$  信号を分離します。カラー検出回路により、入力信号がカラー・エラー信号 (白黒信号、無バースト信号) と判定された場合、または KIL 端子が“H”レベルの場合、減算を停止します。

## 7. 動き検出ブロック

このブロックでは、ビデオ信号のフレーム間差分から、フレーム間の動きレベルを示す 4 ビットの動き係数を発生します。この動き係数は、フレーム・コム・フィルタ出力とライン・コム・フィルタ出力のミックス比率として使用します。このブロックは、YCS モード、MNNR モードで使用します。

図 7-1 動き検出ブロック概要



### 7.1 ライン・コム・フィルタ

フレーム間差分を求める前に、両フレームのコンポジット信号を Y/C 分離します。

### 7.2 DY 検出回路

Y 信号の 1 フレーム間差分を検出します。現フレームと前フレームの Y 信号の差分を求め、LPF で帯域制限したあとの絶対値を、Y フレーム差分 DY 信号として出力します。

### 7.3 DC 検出回路

C 信号の 1 フレーム間差分を検出します。現フレームと前フレームの C 信号の差分を求め、LPF で帯域制限したあとの絶対値を、C フレーム差分 DC 信号として出力します。C 信号はフレーム間で位相が反転するため、差分を求める前にあらかじめ両フレームの C 信号を絶対値化しています。

### 7.4 動き係数生成回路

DY と DC から、4 ビットの動き係数を生成します。最初のコアリング回路では、シリアル・バスの DYCOR、DCCOR 設定値に従い、コアリング処理を行います。ここではノイズのような小信号の通過を制限します。次のゲイン回路では、シリアル・バスの DYGAIN、DCGAIN 設定に従い、ゲイン調整します。ここでは動き係数の感度を設定します。これらの出力は 4 ビット幅にリミットされ、最大値選択回路でレベルの大きい方を選択出力します。これを水平伸張した信号を、最終的な動き係数として出力します。

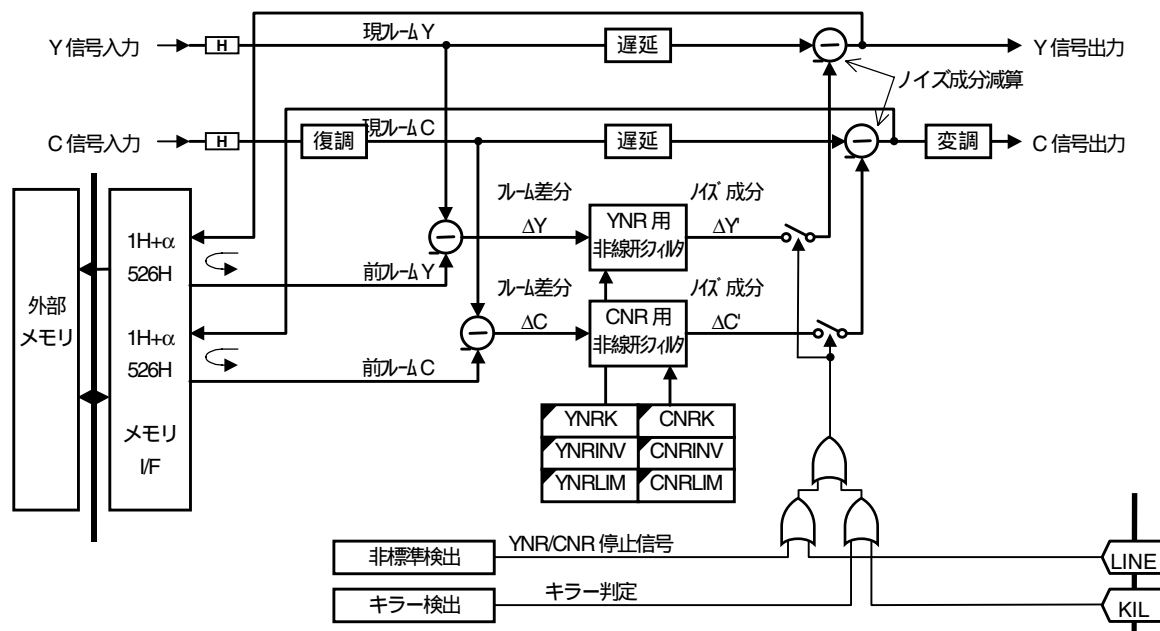
### 7.5 動き係数の強制コントロール

シリアル・バスの MSS で、動き係数を 0 (強制静止)、または最大値 (強制動き) に固定することができます。

### 8. YNR/CNR ブロック

このブロックでは、フレーム巡回型の YNR と CNR を行います。このブロックは、YCNR モードで使用します。YCS モード、MNNR モードでは、このブロックを使用できません。

図 8-1 YNR/CNR ブロック概要



#### 8.1 YNR/CNR 処理

現フレーム Y 信号から、前フレーム Y 信号を減算し、フレーム差分  $\Delta Y$  信号を生成します。次に非線形フィルタで  $\Delta Y$  信号の動き成分を除去し、ノイズ成分  $\Delta Y'$  信号を抽出します。これを現フレーム Y 信号から減算することで、ノイズ成分の低減を行います。同時に、ノイズ低減後の Y 信号をフレーム遅延させ、次のフレームで  $\Delta Y$  生成用データとして利用します。これにより、フレーム巡回型 YNR が構成されます。C 信号についても、ほぼ同じ処理を行い、ノイズ成分の低減を行います。

#### 8.2 非線形フィルタ

$\Delta Y$ ,  $\Delta C$  からノイズ成分  $\Delta Y'$ ,  $\Delta C'$  の抽出を行います。 $\Delta Y$ ,  $\Delta C$  には、フレーム間の動き成分と、ノイズ成分が含まれています。そのため、このまま現フレームの Y, C 信号から  $\Delta Y$ ,  $\Delta C$  を減算すると、出力画像には、フレーム間の動き成分が残像となって現れてしまいます。そこで、一般的に動き成分は大レベルで、ノイズ成分は小レベルで発生することを利用し、非線形フィルタでは、小レベルの信号のみ通過する特性を持たせます。この非線形特性は、シリアル・パスの YNRK, YNRLIM, YNRINV, CNRK, CNRLIM, CNRINV で設定します。

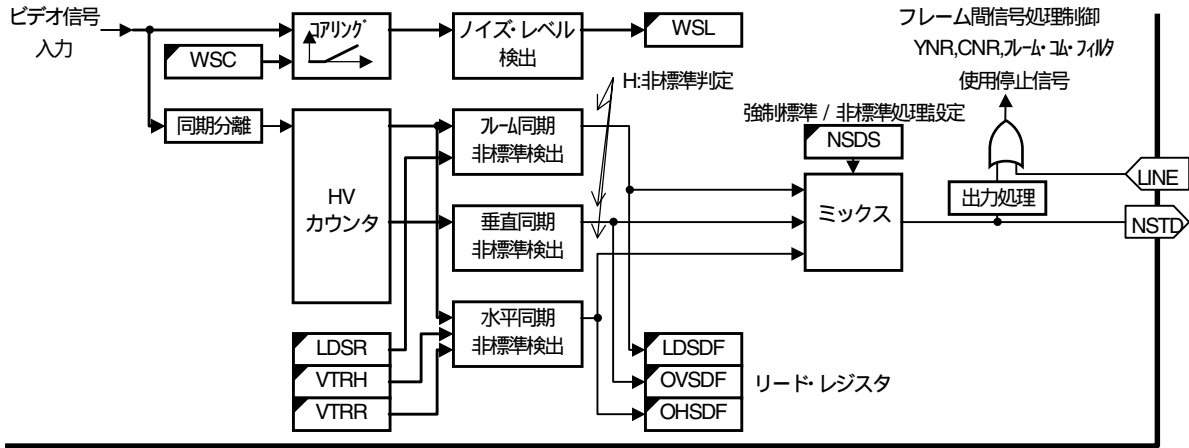
#### 8.3 YNR/CNR 動作の停止

非標準検出回路により、垂直非標準信号あるいは同期非標準信号と判定された場合、または LINE 端子が “H” レベルの場合、およびキラー検出回路により、カラー・キラー信号と判定された場合、または KIL 端子が “H” レベルの場合、YNR と CNR 動作を停止します。

### 9. 非標準信号検出ブロック

このブロックでは、VTR 再生信号や家庭用 TV ゲーム信号、レーザー・ディスク特殊再生信号などのように NTSC 規格に準拠しない、非標準信号を検出します。ここでの検出結果は、フレーム間処理の停止に利用します。

図 9-1 非標準信号検出ブロック概要



#### 9.1 水平同期非標準検出

VTR 再生信号のように、 $f_{sc}$  と  $f_H$  との標準関係 ( $f_{sc} = 227.5f_H$ ) を満たさない信号を検出します。検出感度はシリアル・バスの VTRR, VTRH で設定します。ここで非標準と判定された場合、フレーム・コム・フィルタの使用を停止します。この検出結果はシリアル・バスの OHSDF から読み取ることができます。

#### 9.2 垂直同期非標準検出

VTR 特殊再生信号や家庭用 TV ゲーム信号のように、 $f_H$  と  $f_V$  との標準関係 ( $f_H = 262.5f_V$ ) を満たさない信号を検出します。検出感度の設定はとくにありません。ここで非標準と判定された場合、フレーム・コム・フィルタ、または YNR と CNR の使用を停止します。この検出結果はシリアル・バスの OVSDF から読み取ることができます。

#### 9.3 フレーム同期非標準検出

レーザー・ディスク特殊再生信号のように、フレーム間で水平同期位相がずれた信号を検出します。検出感度はシリアル・バスの LDSR で設定します。ここで非標準と判定された場合、フレーム・コム・フィルタ、または YNR と CNR の使用を停止します。この検出結果はシリアル・バスの LDSDF から読み取ることができます。

#### 9.4 強制標準 / 強制非標準コントロール

シリアル・バスの NSDS によって、強制標準 / 強制非標準状態に固定することができます。

#### 9.5 ノイズ・レベル検出

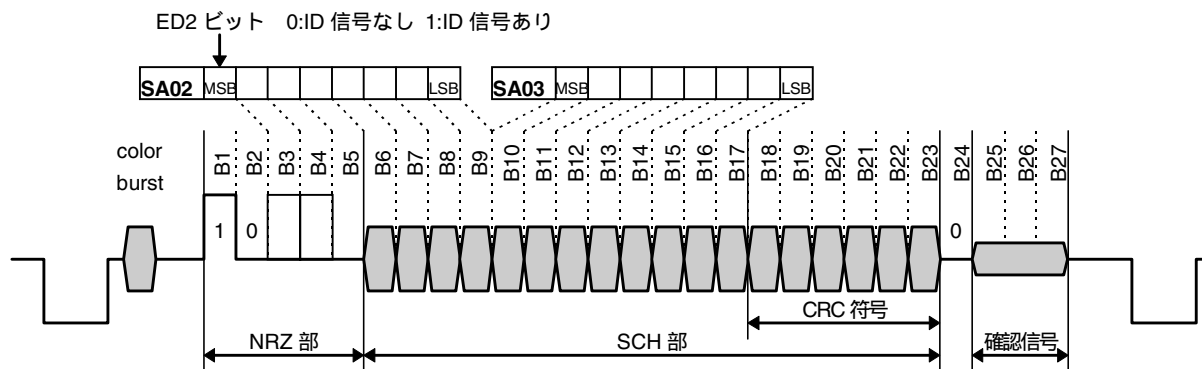
ビデオ信号の平坦部分でノイズ・レベルを検出します。検出感度はシリアル・バスの WSCOR で設定します。検出結果はシリアル・バスの WSL から読み取ることができます (IC 内部では使用していません)。この検出結果をマイコンで加工することにより、弱電界判定などに応用することができます。

### 10. WCV-ID デコーダ / HH デコーダ

このブロックでは、ワイドクリアビジョン信号の 22H と 285H に重畳されている識別制御信号のデコードを行います。

**備考** ワイドクリアビジョンは、日本国内のみの規格です。

図 10-1 ワイドクリアビジョン ID 信号の構成



#### 10.1 WCV-ID デコーダ

ビデオ信号中の ID 信号の有無を判定し、各ビットのデコード出力を行います。おもに次の 7 項目の確認を行い、全項目が正常である場合、ID 信号ありと判定します。判定結果はシリアル・バスの ED2 ビットに、デコード結果はシリアル・バスの B3-B17 ビットに出力します。そのほか、確認信号の位相検出を行います。

- (1) B1 部分と B2 部分の DC レベル差が一定値以上であること
- (2) SCH 部の DC レベルが一定値以下であること
- (3) NRZ 部の fsc 振幅が一定値以下であること
- (4) SCH 部の fsc 振幅が一定値以上であること (FSCOFF = 1 設定で、本項目の確認が OFF となります)
- (5) (1) - (4) が 12 フィールド以上連続していること
- (6) NRZ 部 (B3-B5) のパリティ・チェック<sup>注</sup>
- (7) NRZ 部と SCH 部 (B3-B23) の CRC チェック<sup>注</sup>

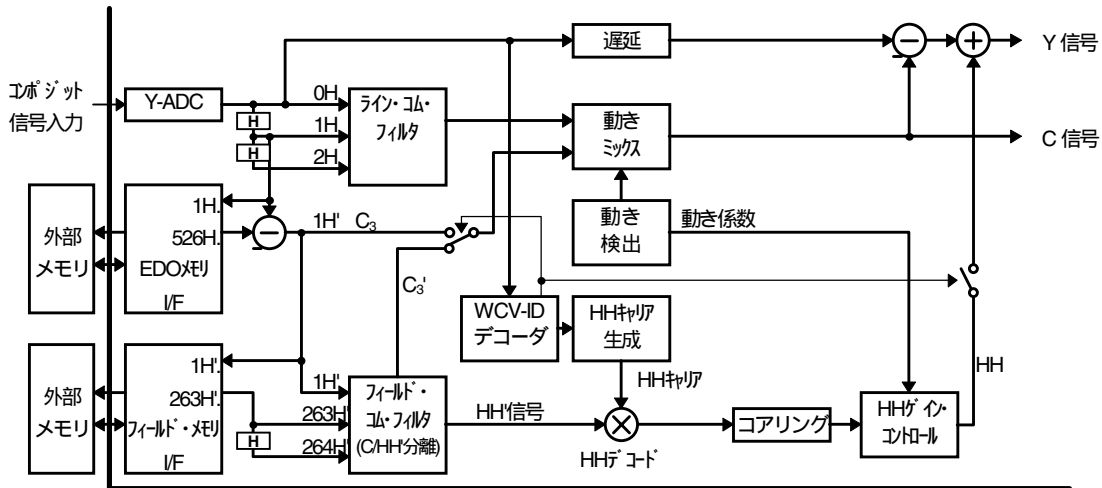
**注** (6)(7) でエラーとなった場合、シリアル・バスの B3-B17 ビットは前フィールドのデコード値を保持します。

### 11. HH デコーダ・ブロック

このブロックでは、ワイドクリアビジョン信号の主画部に重畳されている HH 信号のデコードを行います。このブロックは、YCS モードで使用します。MNNR モード、YCNR モードでは、このブロックは使用できません。

**備考** ワイドクリアビジョンは、日本国内のみの規格です。

図 11-1 HH デコーダ・ブロック概要



#### 11.1 C/HH'分離

フレーム・コム・フィルタ出力と、そのフィールド遅延出力と、さらにその 1H 遅延出力の 3 ライン (1H', 263H', 264H') データで、フィールド・コム・フィルタを構成し、C 信号と HH'信号の分離を行います。HH デコード動作時の動きミックス用 C 信号は、ここで分離された C3'信号を用います。フィールド・コム・フィルタ構成用のライン・メモリは、MNNR/YCNR モード時には、C 信号の 1H 遅延用に使用します。

#### 11.2 HH デコード処理

WCV-ID デコーダで検出された 4/7fsc 位相 (B25-B27) を基準に、HH キャリア信号を生成します。このキャリア信号で HH'信号をデモジュレーションすることで、HH 信号のデコードを行います。コアリング回路では、デコードされた HH 成分に対し、±2LSB 分 (8 ビット換算) のコアリング処理を行い、S/N 劣化を防止します。

#### 11.3 HH ゲイン・コントロール

画像の動き部分では、C 信号と HH'信号がクロストークを起こし、デコード後の HH 信号に妨害成分が含まれる場合があります。このため、動き係数を用いて、動き部分の HH 信号を制限します。動き係数による制限特性は、シリアル・バスの HHMG, HHTG で設定します。ゲイン・コントロール後の HH 信号は、Y 信号本線に加算されます。

#### 11.4 HH デコード処理への遷移

次の条件をすべて満たしているとき、HH デコードを行います。

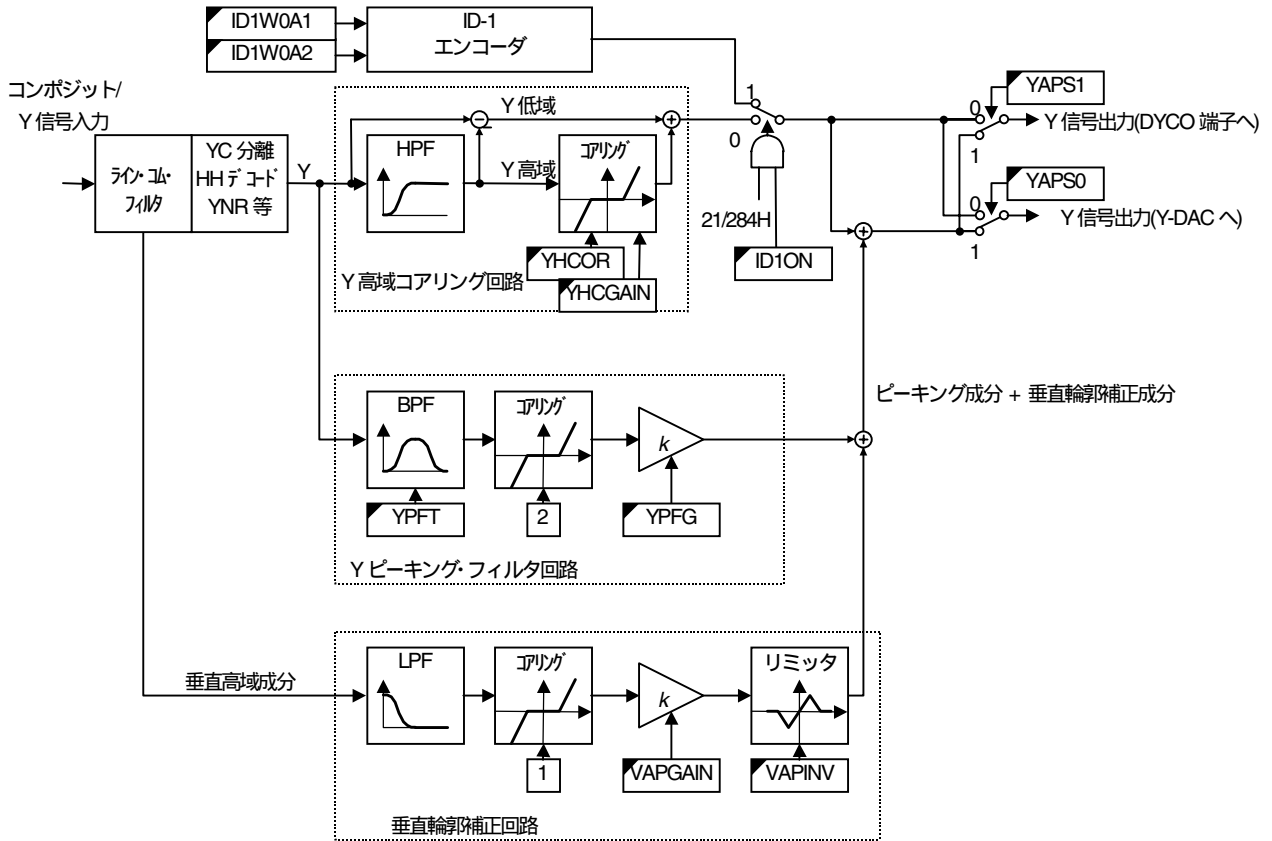
- (1) YCS モード (NRMD = 00) において、非標準検出回路で、標準判定されていること
- (2) WCV-ID 検出回路で、12 フィールド以上「ID 信号あり」と判定されていること  
またはシリアル・バスの HHDS で強制デコード処理が指定されていること
- (3) HH'多重ビット (B10) が、4 フィールド以上 1 と判定されていること



## 12. Y 信号出力処理ブロック

このブロックでは、YC 分離後、YNR 処理後の Y 信号に対し、高域のコアリング処理、ピーキング処理、垂直輪郭補正処理などを行います。

図 12-1 Y 信号出力処理ブロック概要



### 12.1 Y 高域コアリング回路

この回路では、Y 本線信号の高域成分に対し、コアリング処理を行います。1~3LSB レベルの高域成分を低減できるため、簡易型のノイズ・リデューサとして使用可能です。コアリング・レベルはシリアル・バスの YHCOR で設定します。

- (1) HPF 回路 : 入力された Y 信号を低域成分と高域成分に分離します。
- (2) コアリング回路 : Y 高域成分に対し、YHCOR 設定値に従ってコアリング処理を行います。コアリング処理後の Y 高域成分と、Y 低域成分を加算し、Y 信号出力を得ます。  
また、YHCGAIN 設定によりコアリング効果を 1/2 倍することができます。

## 12.2 Y ピーキング・フィルタ回路

この回路では、Y 信号のピーキング処理を行います。Y 信号の f 特補正などに使用します。

- (1) BPF 回路 : シリアル・バスの YPFT 設定値に従い、元の Y 信号から高域成分を抽出します。BPF の中心周波数は、3.58 MHz, 3.86 MHz, 4.08 MHz, 4.22 MHz が選択できます。
- (2) コアリング回路 : Y 高域成分に対し、 $\pm 2$ LSB (8 ビット換算時) のコアリング処理を行い、ピーキング処理時の S/N 劣化を防止します。
- (3) ゲイン調整回路 : シリアル・バスの YPFG 設定値に従い、ピーキング成分のゲイン調整を行います。加算ゲインは、- 1.000 倍から + 0.875 倍の範囲で、16 ステップの可変ができます。
- (4) 本線への加算 : Y ピーキング成分は、垂直輪郭補正成分とともに、Y 信号へ加算します。

## 12.3 垂直輪郭補正回路

この回路では、Y 信号の垂直方向の輪郭成分を抽出し、Y 信号に加算することで、輪郭部分の強調を行います。

- (1) ライン・コム・フィルタ : ビデオ信号から、ライン・コム・フィルタで垂直高域成分を抽出します。
- (2) LPF 回路 : C 信号成分と Y 信号の斜め成分を除去し、垂直輪郭成分を抽出します。
- (3) コアリング回路 : 垂直輪郭成分に対し、 $\pm 1$ LSB 分 (8 ビット換算) のコアリング処理を行い、輪郭補正時の S/N 劣化を防止します。
- (4) ゲイン調整回路 : シリアル・バスの VAPGAIN 設定値に従い、輪郭補正成分のゲイン調整を行います。
- (5) リミッタ回路 (非線形処理) : シリアル・バスの VAPINV 設定値に従い、輪郭補正成分のリミット処理を行います。輪郭強調を行いたい信号は、どちらかといえば小レベルの信号ですが、一様な輪郭強調を行うと、大レベルの信号では強調しすぎてしまいます。そこで、このリミッタ回路では、VAPINV 設定値以上の通過を抑え、大レベルの信号に対しては輪郭強調のレベルを抑えます。
- (6) 本線への加算 : 垂直輪郭補正成分は、Y ピーキング成分とともに、Y 信号へ加算します。

## 12.4 Y ピーキングと垂直輪郭補正の ON/OFF 選択

シリアル・バスの YAPS によって、Y ピーキングと垂直輪郭補正の ON/OFF が選択できます。アナログ出力側とデジタル出力側で、独立に ON/OFF を選択できます。

## 12.5 ID-1 エンコーダ

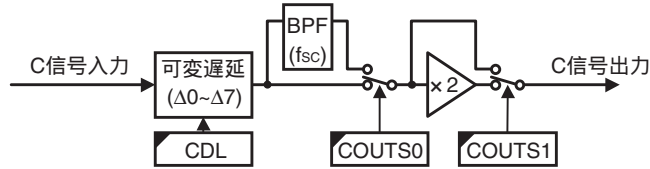
Y 信号出力の 20H / 283H に、ID-1 規格 (CPX-1204) のビット情報を重畳することができます。重畳の ON/OFF はシリアル・バスの ID1ON で、ビット情報は ID1W0A1, ID1W0A2 で設定します。

なお、元の信号に ID-1 情報が重畳されている場合や、無信号の場合でも、ここで設定した ID-1 情報に置き換えてしまいますので、注意してください。

### 13. C 信号出力処理ブロック

このブロックでは、YC 分離後、CNR 処理後の C 信号に対し、遅延調整処理、BPF 通過処理、ゲイン調整などを行います。

図 13-1 C 信号出力処理ブロック概要



#### 13.1 C 信号遅延調整

シリアル・バスの CDL で、C 信号の遅延を 0~7 クロック (4fsc) の間で可変設定できます。これにより、Y 信号との相対遅延を -4 クロック (-280 ns) から +3 クロック (+210 ns) の間に設定できます。

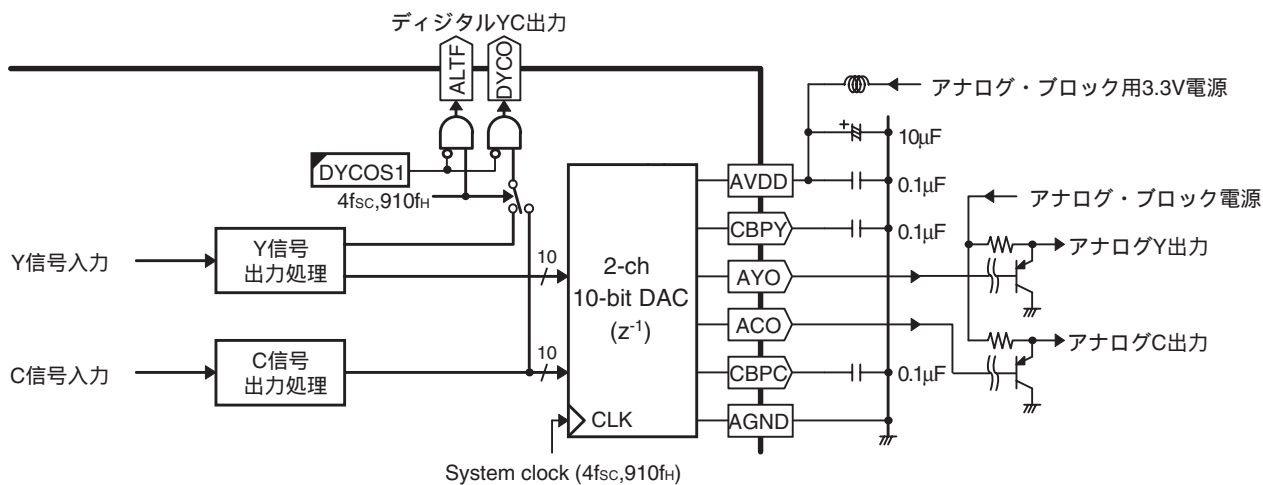
#### 13.2 BPF 処理、ゲイン処理

シリアル・バスの COUTS で、BPF の挿入、ゲイン (2 倍 / 1 倍) を選択できます。

### 14. ビデオ信号出力ブロック

このブロックでは、デジタル・ビデオ信号の D/A 変換、およびデジタル出力を行います。

図 14-1 ビデオ信号出力ブロック概要



#### 14.1 デジタル YC 出力処理

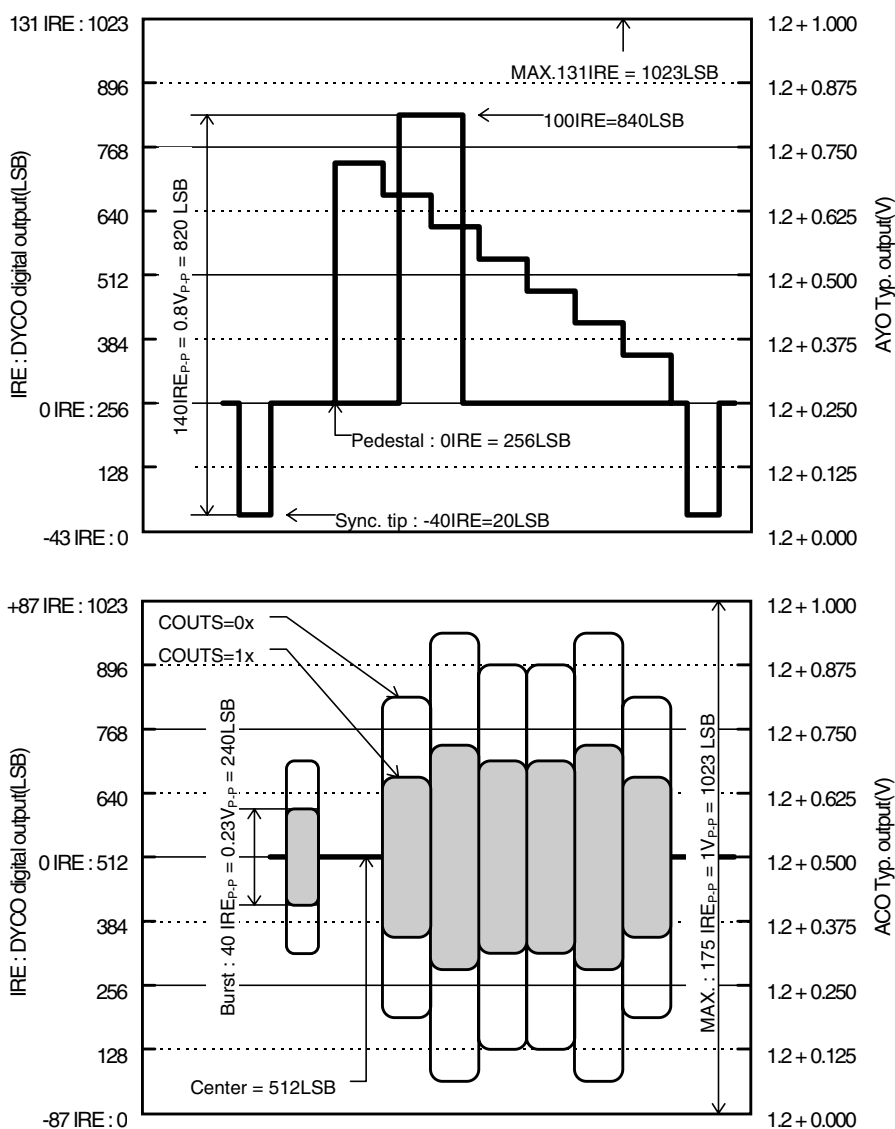
10 ビット・ストレート・バイナリの Y 信号と、10 ビット・オフセット・バイナリの C 信号を、DYCO9-DYCO0 端子から  $8f_{sc}$  レートでオルタネート出力します。このオルタネート・フラグを ALTF 端子から出力しています。ALTF 端子が “H” のとき Y 信号出力を、ALTF 端子が “L” のとき C 信号出力を示します。シリアル・バスで  $DYCOS = 1x$  とすると、DYCO9-DYCO0 端子と ALTF 端子出力がハイ・インピーダンスとなります。デジタル YC 出力を使用しない場合は、 $DYCOS = 1x$  として、輻射ノイズの発生を防止します。

なお、外部 Y-ADC 使用時は、DYCO9-DYCO0 端子を、ビデオ信号のデジタル入力端子として使用するため、デジタル YC 出力は使用できません。

#### 14.2 ビデオ信号出力レベル

次に、標準的なビデオ信号入力（3. ビデオ信号入力ブロック参照）を行った場合の AYO 端子、ACO 端子出力波形を示します。

図 14-2 ビデオ信号出力波形例 (カラー・バー入力時)



### 14.3 端子処理

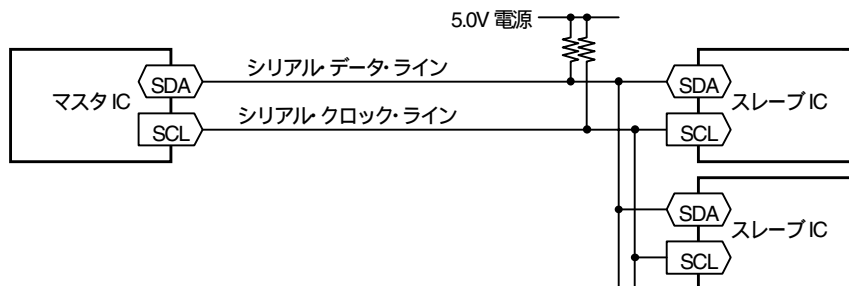
- ・ AVDD 端子には、3.3 V 電源を与えます。デジタル部電源とは十分なアイソレーションを行ってください。
- ・ AGND 端子、各バイパス・コンデンサの接地は、配線パターンを極力太く広くしてください。
- ・ CBPY, CBPC 端子には、0.1 μF 程度のコンデンサを接続してください。
- ・ DAC 未使用時は、AVDD 端子をデジタル部の電源に、AGND 端子をデジタル部の GND に接続し、AYO, ACO, CBPY, CBPC の各端子はオープンとします。

## 15. I<sup>2</sup>C バス・インタフェース

### 15.1 基本仕様

I<sup>2</sup>C バスはフィリップス社が開発した 2 線式双方向シリアル・バスです。IC 間で通信を行うシリアル・データ・ライン (SDA) と、通信の同期をとるためのシリアル・クロック・ライン (SCL) の 2 線で構成されています。

図 15-1 I<sup>2</sup>C バス・インタフェース



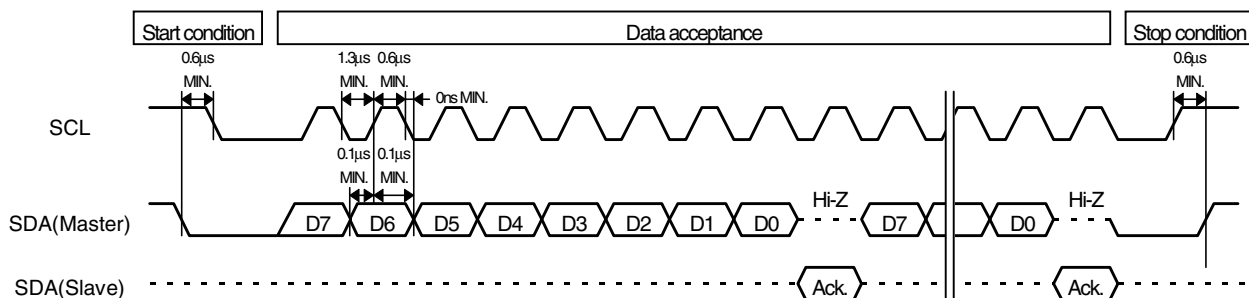
マスタ IC からスレーブ IC へ送信を行う場合の手順を、次に示します。

スタート条件： SCL を “H” に保持したまま、SDA を “H” から “L” に立ち下げ、通信を開始します。

データ送受信： SDA を保持したまま、SCL を “L” から “H” に立ち上げ、データ送信を行います。各アドレスやデータの送受信は、データ・ビット (D7-D0 : MSB first) とアクノリッジ・ビット (ACK) の 9 ビット単位で行います。選択されたスレーブ IC は、9 ビット目で SDA を “L” とし、アクノリッジを送信します。

ストップ条件： アクノリッジ通信後、SCL を “H” に保持したまま、SDA を “L” から “H” に立ち上げ、通信を終了します。

図 15-2 スタート条件、データ送受信、ストップ条件フォーマット



15.2 データ送受信フォーマット

マスタ側のスタート条件発行直後に、スレーブ・アドレスの受信を行います。このICのスレーブ・アドレスと、受信したスレーブ・アドレスが一致した場合、通信を開始し、不一致の場合、SDAラインを解放します。このICのスレーブ・アドレスは、SLA端子設定で2組の指定が行えます。

表 15-1 スレーブ・アドレス

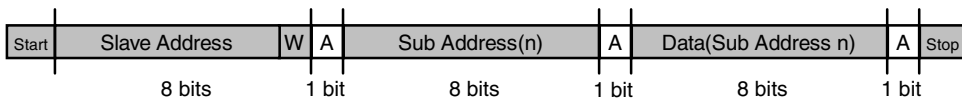
SLA 端子設定 (電源投入後は変更不可)	スレーブ・アドレス	
	ライト・モード	リード・モード
L または オープン	B8h (1011100 0b)	B9h (1011100 1b)
H	BAh (1011101 0b)	BBh (1011101 1b)

(1) ライト・モード・フォーマット(スレーブ受信)

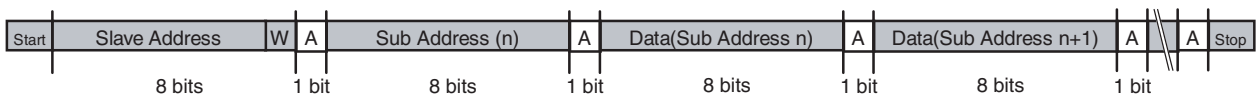
1バイト目に自己のライト・モードのスレーブ・アドレスを受信すると、2バイト目にサブ・アドレス、3バイト目以降にデータを受信します。サブ・アドレスのオート・インクリメント機能により、データの連続受信が可能です。

図 15-3 ライト・フォーマット

(a) 1バイト・ライト・フォーマット



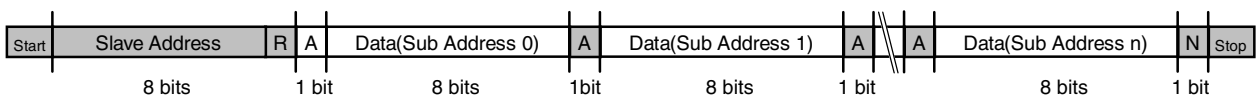
(b) 複数バイト・ライト・フォーマット



(2) リード・モード・フォーマット(スレーブ送信)

1バイト目に自己のリード・モードのスレーブ・アドレスを受信すると、2バイト目以降はデータを送信します。このモードにはサブ・アドレス指定はなく、常にアドレス0から送信開始されます。ストップ条件発行前には、マスタ側からノー・アクノリッジを送信し、SDAラインを解放する必要があります。

図 15-4 リード・フォーマット



**備考** Start : スタート条件                          Stop : ストップ条件  
W : ライト・モード指定 (= 0)                  R : リード・モード指定 (= 1)  
A : アクノリッジ                                      N : ノー・アクノリッジ

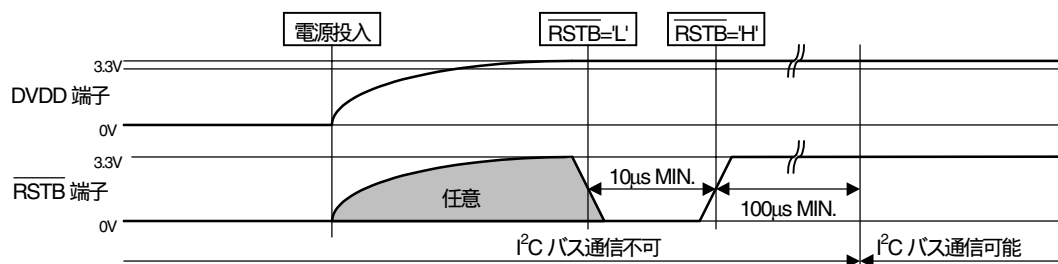
XXX : マスタ・デバイス発行                      XXX : スレーブ・デバイス (μPD64082) 発行

15.3 I<sup>2</sup>C バス・インタフェースのリセット（初期化動作）

I<sup>2</sup>C バス・インタフェースは、電源投入直後にリセット動作が必要です。リセット後、SDA ラインを解放し、I<sup>2</sup>C バス・インタフェースが通信可能な状態になります。また、ライト・レジスタは初期値にプリセットされます。

- (1) 電源投入後、電源ラインが 3.3 V レベルに安定するまで、初期化動作を待ってください。
- (2)  $\overline{\text{RSTB}}$  端子を、10 μs 以上ロウ・レベルとすることで、I<sup>2</sup>C バス・インタフェース回路を初期化します。
- (3)  $\overline{\text{RSTB}}$  端子を、ハイ・レベルとしたあと、100 μs 以降に I<sup>2</sup>C バス通信を開始してください。

図 15-5 I<sup>2</sup>C バス・インタフェース・リセット・タイミング





15.4 シリアル・バス・レジスタ一覧

μPD64082 には、ライト・モード（スレープ受信）で書き込み可能な、24 個の 8 ビット・ライト・レジスタ、リード・モード（スレープ送信）で読み出し可能な、7 個の 8 ビット・リード・レジスタが内蔵されています。次に、各シリアル・バス・レジスタ・マップを示します。

(1) ライト・レジスタ・マップ

スレープ・アドレス：10111000B = B8h (SLA0 = L), 10111010B = BAh (SLA0 = H)

SA	Data Map (SA00-SA17)							
	D7	D6	D5	D4	D3	D2	D1	D0
00	NRMD		HHDS		COUTS		YAPS	
01	CLKS		NSDS		MSS		KILS	
02	DYCOS		EXADINS	MFREEZE	PECS		EXCSS	
03	CPP		HDP		CDL			
04	DYCOR				DYGAIN			
05	DCCOR				DCGAIN			
06	YNRK	YNRINV	YNRLIM		CNRK	CNRINV	CNRLIM	
07	ID1ON	ID1W0A1	ID1W0A2	CLK8OFF	ST1S		ST0S	
08	WSC		VTRH		VTRR		LDSR	
09	PWREFW	PDREF			PBREF			
0A	VAPGAIN			VAPINV				
0B	0	0	YPFT		YPGF			
0C	V1PS		VEGS		CC3N	C0HS	CLPH	SELD2FH
0D	0	0	SELD1FL	0	0	1	0	1
0E	0	0	0	0	1	0	0	0
0F	0	1	0	0	0	1	0	0
10	YHCOR		YHCGAIN	ED2OFF	OVST	CSHDT	KCTT	
11	SHT		VCT	OTT	CLKG2D	CLKGGT	CLKGEB	CLKGT
12	HPLLFS	BPLLFS	FSCFG	PLLFG	KILR			
13	HSSL				VSSL			
14	BGPS				BGPW			
15	ADCLKS		ADPDS	NSDSW	NRZOFF	FSCOFF	VTVH	
16	SYSPDS	HMEMOFF	HRSTINV	HRSTTMG	HCP			
17	CNROFS	HHMG	HHFG		HHTG			

注意 NEC の性能評価により、シリアル・バス上の固定設定値を変更する場合があります。また、標準値は NEC での評価値であり、最適値とは限りません。

## (2) リード・レジスタ・マップ

スレーブ・アドレス：10111001B = B9h (SLA0 = L), 10111011B = BBh (SLA0 = H)

SA	Data Map (SA00 - SA06)							
	D7	D6	D5	D4	D3	D2	D1	D0
00	-	-	HHDF	KILF	NSF	LDSDf	OVSDf	OHSDf
01	WSL							
02	ED2	B3	B4	B5	B6	B7	B8	B9
03	B10	B11	B12	B13	B14	B15	B16	B17
04	VSN							
05	SVEN							
06	MVEN							

## 15.5 シリアル・バス・レジスタ機能

## (1) ライト・レジスタ

各ライト・レジスタ機能について、次に示します。各レジスタの初期値、標準値は、NECの評価により決定したものであり、最適値とは限りません。また、NECの性能評価により、標準値を変更する場合があります。

表 15-2 ライト・レジスタ機能 (1/11)

SA	ビット	名称, 機能	設定内容	標準値	初期値
00	D7-D6	<b>NRMD</b> 動作モード設定	<p>00: YCS モード: Y/C 分離動作 (パースト・ロック動作)</p> <p>01: YCS+モード: 二次元 Y/C 分離 + フレーム巡回型 YCNR (パースト・ロック動作)</p> <p>10: MNNR モード: フレーム・コム型 YNR+C 遅延 (ライン・ロック動作)</p> <p>11: YCNR モード: フレーム巡回型 YCNR (パースト・ロック動作)</p>	-	00
D5-D4		<b>HHDS</b> 強制 HH デコード動作設定	<p>00: 自動設定 (WCV-ID デコード結果に従います)</p> <p>01: 強制 HH デコード OFF</p> <p>1x: 強制 HH デコード ON</p> <p><b>注意</b> HH デコード動作は, YCS モード (NRMD = 00) のみ有効です。YCS モード以外では, 必ず強制 HH デコード OFF (HHDS = 01) としてください。</p>	01	01
D3-D2		<b>COUTS</b> C 信号出力方法設定 (デジタル/アナログ出力共通)	<p>00: 入力に対し出力ゲイン 2 倍, BPF 処理なし</p> <p>01: 入力に対し出力ゲイン 2 倍, BPF 処理あり</p> <p>10: 入力に対し出力ゲイン 1 倍, BPF 処理なし</p> <p>11: 入力に対し出力ゲイン 1 倍, BPF 処理あり</p>	11	11
D1-D0		<b>YAPS</b> Y 信号出力補正設定 (垂直輪郭補正, Y ピーキング・フィルタ)	<p>00: アナログ/デジタル出力ともに補正無効</p> <p>01: アナログ側出力のみ補正有効</p> <p>10: デジタル側出力のみ補正有効</p> <p>11: アナログ/デジタル出力ともに補正有効</p>	11	11

表 15-2 ライト・レジスタ機能 (2/11)

SA	bit	名称, 機能	設定内容	標準値	初期値
01	D7-D6	<b>CLKS</b> 強制システム・クロック設定	00: 自動設定 (NRMD で設定した動作モードに従います) 01: 強制バースト・ロック・クロック (4fsc, 8fsc) 設定 1x: 強制ライン・ロック・クロック (910fH, 1820fH) 設定 <b>注意</b> 入力信号に適さない設定を行うと, 誤動作する場合があります。	00	00
	D5-D4	<b>NSDS</b> 強制標準/非標準処理設定	00: 適応処理 (非標準検出結果に従います) 01: 強制標準処理 (非標準検出結果を無視します) 10: 強制水平非標準処理 11: 強制垂直非標準処理 <b>注意</b> 入力信号に適さない設定を行うと, 誤動作する場合があります。	00	00
	D3-D2	<b>MSS</b> 強制フレーム間/ライン間処理設定	00: 適応処理 (LINE 端子入力と動き検出信号に従います) 01: 強制フレーム間処理 (LINE 端子入力にのみ従います) 1x: 強制ライン間処理	00	00
	D1-D0	<b>KILS</b> 強制キラー / 非キラー処理設定	00: 適応処理 (KIL 端子入力と, 内部キラー検出結果に従います) 01: 内部キラー検出を使用しない (KIL 端子入力にのみ従います) 1x: 強制キラー処理 キラー処理時は, Comp.信号からの C 信号減算を停止します。	01	00
02	D7-D6	<b>DYCOS</b> DYCO 端子入出力設定	00: 10 ビット Y/C 分離信号オルタネート出力 01: テスト設定 (設定禁止) 1x: ハイ・インピーダンス	10	10
	D5	<b>EXADINS</b> 外部 Y-ADC 選択	0: 内部 Y-ADC 選択 1: 外部 Y-ADC 選択 (AD 変換後の映像信号を DYCO9-DYCO0 端子に入力) (3.4 端子処理などを参照してください)	0	0
	D4	<b>MFREEZE</b> 外部メモリ テスト・ビット	0: 標準設定 1: テスト設定 (設定禁止)	0	0
	D3-D2	<b>PECS</b> ペDESTAL検出 テスト・ビット	00: 標準設定 01: テスト設定 (設定禁止) 10: テスト設定 (設定禁止) 11: テスト設定 (設定禁止)	00	00
	D1-D0	<b>EXCSS</b> 外部 CSync 同期入力設定	00: 常に内部で分離された同期信号を使用 (CSI入力未使用) 01: 同期はずれ検出時にCSI端子から入力された同期信号を使用 1x: 常にCSI端子から入力された同期信号を使用	01	01

表 15-2 ライト・レジスタ機能 (3/11)

SA	bit	名称, 機能	設定内容	標準値	初期値
03	D7-D6	<b>CPP</b> 内部 ADC 入力振幅設定 およびクランプ・パルス幅 設定	PWREFW ( SA09h:D7 ) = 0 のとき CPP:                   ADC 入力振幅                   クランプ・パルス幅 00: Y-ADC, C-ADC とも $V_{TB} = 1.00 V_{P-P}$ ,           2.2 $\mu s$ 01: Y-ADC, C-ADC とも $V_{TB} = 1.00 V_{P-P}$ ,           1.1 $\mu s$ 10: Y-ADC, C-ADC とも $V_{TB} = 1.25 V_{P-P}$ ,           2.2 $\mu s$ 11: Y-ADC, C-ADC とも $V_{TB} = 1.25 V_{P-P}$ ,           1.1 $\mu s$  PWREFW ( SA09h:D7 ) = 1 のとき CPP:                   ADC 入力振幅                   クランプ・パルス幅 00: Y-ADC: $V_{TB} = 1.25 V_{P-P}$ , C-ADC: $V_{TB} = 1.00 V_{P-P}$ 2.2 $\mu s$ 01: Y-ADC: $V_{TB} = 1.25 V_{P-P}$ , C-ADC: $V_{TB} = 1.00 V_{P-P}$ 1.1 $\mu s$ 10: Y-ADC: $V_{TB} = 1.00 V_{P-P}$ , C-ADC: $V_{TB} = 1.25 V_{P-P}$ 2.2 $\mu s$ 11: Y-ADC: $V_{TB} = 1.00 V_{P-P}$ , C-ADC: $V_{TB} = 1.25 V_{P-P}$ 1.1 $\mu s$	10	00
	D5-D3	<b>HDP</b> システム水平位相微調整	000: - 1.12 $\mu s$ ~ 100: $\pm 0.00 \mu s$ ( 標準 ) ~ 111: + 0.84 $\mu s$ 水平同期信号に対する水平処理位相の調整です。( 0.28 $\mu s$ /step )	100	100
	D2-D0	<b>CDL</b> C 信号出力遅延長微調整	000: - 280 ns ~ 100: $\pm 0 ns$ ( 標準 ) ~ 111: + 210 ns Y 信号に対する C 信号の位相調整です。( 70ns/step )	100	100
04	D7-D4	<b>DYCOR</b> DY 検出コアリング・レベル ( Y 動き検出コアリング )	0000: コアリング 0 ( 動画寄り ) ~ 1111: コアリング大 ( 静止画寄り ) フレーム間 Y 差分検出のコアリング・レベルを設定します。この設定値より小さい信号はノイズと見なし, "0" を出力します。	0010	0011
	D3-D0	<b>DYGAIN</b> DY 検出ゲイン ( Y 動き検出ゲイン )	0000: ゲイン 0 ( 静止画寄り ) ~ 1111: ゲイン最大 ( 動画寄り ) フレーム間 Y 差分検出のゲインを設定します。	1001	0110
05	D7-D4	<b>DCCOR</b> DC 検出コアリング・レベル ( C 動き検出コアリング )	0000: コアリング 0 ( 動画寄り ) ~ 1111: コアリング大 ( 静止画寄り ) フレーム間 C 差分検出のコアリング・レベルを設定します。この設定値より小さい信号はノイズと見なし, "0" を出力します。	0011	0011
	D3-D0	<b>DCGAIN</b> DC 検出ゲイン ( C 動き検出ゲイン )	0000: ゲイン 0 ( 静止画寄り ) ~ 1111: ゲイン最大 ( 動画寄り ) フレーム間 C 差分検出のゲインを設定します。	0110	0110

表 15-2 ライト・レジスタ機能 (4/11)

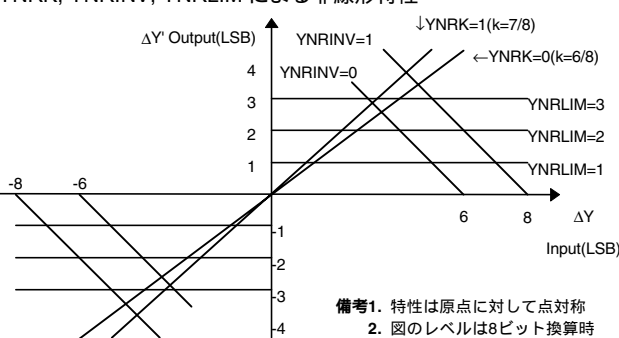
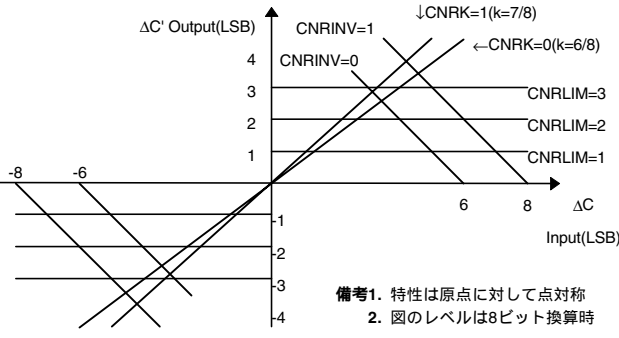
SA	ビット	名称, 機能	設定内容	標準値	初期値
06	D7	<b>YNRK</b> フレーム巡回 CNR 非線形 フィルタ・ゲイン設定	0: x 6/8 (ノイズ低減効果小, 残像小) 1: x 7/8 (ノイズ低減効果大, 残像大) NR 効果の大きさを設定します。	0	0
	D6	<b>YNRINV</b> フレーム巡回 YNR 用 非線形フィルタ 収束レベル設定	0: 6LSB (ノイズ低減効果小, 残像小) 1: 8LSB (ノイズ低減効果大, 残像大) 設定値よりも大きな入力を動き成分と見なし, ゼロを出力します。	0	0
	D5-D4	<b>YNRLIM</b> フレーム巡回 YNR 用 非線形フィルタ・ リミット・レベル設定	00: 0LSB (YNR OFF) ~ 11: 3LSB (ノイズ低減効果大, 残像大) 設定値よりも大きな入力を動き成分と見なし, リミット出力します。  YNRK, YNRINV, YNRLIM による非線形特性  備考1. 特性は原点に対して点対称 2. 図のレベルは8ビット換算時	01	00
	D3	<b>CNRK</b> フレーム巡回 CNR 非線形 フィルタ・ゲイン設定	0: x6/8 (ノイズ低減効果小, 残像小) 1: x7/8 (ノイズ低減効果大, 残像大) NR 効果の大きさを設定します。	0	0
	D2	<b>CNRINV</b> フレーム巡回 YNR 用 非線形フィルタ 収束レベル設定	0: 6LSB (ノイズ低減効果小, 残像小) 1: 8LSB (ノイズ低減効果大, 残像大) 設定値よりも大きな入力を動き成分と見なし, ゼロを出力します。	0	0
D1-D0	<b>CNRLIM</b> フレーム巡回 CNR 用 非線形フィルタ・ リミット・レベル設定	00: 0LSB (CNR OFF) ~ 11: 3LSB (ノイズ低減効果大, 残像大) 設定値よりも大きな入力を動き成分と見なし, リミット出力します。  CNRK, CNRINV, CNRLIM による非線形特性  備考1. 特性は原点に対して点対称 2. 図のレベルは8ビット換算時	01	00	

表 15-2 ライト・レジスタ機能 (5/11)

SA	ビット	名称, 機能	設定内容	標準値	初期値
07	D7	<b>ID10N</b> ID-1 規格の識別信号重畳	0: 20H, 283H スルー 1: 20H, 283H 強制重畳 <b>注意 無信号状態では, このビットを"1"に設定しないでください。</b>	-	0
	D6	<b>ID1W0A1</b> ID-1のWord0-A1 ビット設定	0: 0 (伝送アスペクト 4:3) 1: 1 (伝送アスペクト 16:9)	-	0
	D5	<b>ID1W0A2</b> ID-1のWord0-A2 ビット設定	0: 0 (画像表示形式 ノーマル) 1: 1 (画像表示形式 レターボックス)	-	0
	D4	<b>CLK8OFF</b> CLK8 端子出力設定	0: アクティブ (8fsc クロックを出力) 1: ロウ・レベル固定 (輻射ノイズ低減)	1	0
	D3-D2	<b>ST1S</b> ST1 端子 内部信号モニタ出力設定	00: モード・フラグ (L: YCS, H: MNMR または YCNR) 01: 内部 Y-ADC 用クランプ・パルス (アクティブ・ハイ) 10: コンポジット・シンク (アクティブ・ロウ) 11: H シンク (アクティブ・ハイ)	-	00
	D1-D0	<b>ST0S</b> ST0 端子 内部信号モニタ出力設定	00: HH デコード・フラグ (L: デコード OFF, H: デコード ON) 01: 外部 Y-ADC 用クランプ・パルス (アクティブ・ハイ) 10: HV ブランキング (アクティブ・ハイ) 11: V シンク (アクティブ・ロウ)	-	00

表 15-3 ライト・レジスタ機能 (6/11)

SA	ビット	名称, 機能	設定内容	標準値	初期値
08	D7-D6	<b>WSC</b> ノイズ検出コアリング量設定	00: 0LSB (検出感度大) 01: 1LSB 10: 2LSB 11: 3LSB (検出感度小) ノイズ検出回路の入力コアリング値を設定します。検出結果は、デバイス内部では使用されていません。	01	01
	D5-D4	<b>VTRH</b> 水平同期非標準検出 (フィールド内の水平同期ずれ) ヒステリシス設定	00: ヒステリシス OFF (設定幅 0 クロック) 01: ヒステリシス小 (設定幅 2 クロック) 10: ヒステリシス中 (設定幅 4 クロック) 11: ヒステリシス大 (設定幅 6 クロック) 水平同期非標準判定時、フィールド内の水平同期ずれ検出設定値を、上記分狭めます。	01	01
	D3-D2	<b>VTRR</b> 水平同期非標準検出 (フィールド内の水平同期ずれ) 感度設定	00: 検出感度大 (設定幅 ±4 クロック相当) 01: 検出感度中 (設定幅 ±8 クロック相当) 10: 検出感度小 (設定幅 ±12 クロック相当) 11: 検出 Off フィールド内の水平同期ずれ幅が、設定幅以上となった場合、水平同期非標準と判定します。  水平同期非標準検出特性 非標準 標準ヒステリシス幅  標準 非標準判定幅 <sup>注2</sup> ( $(VTRR+1) \times 4 \text{ (clk}^{注1})$ ) 注1. clkは4fsc単位 2. VTRR = 11のときをのぞく	01	01
	D1-D0	<b>LDSR</b> フレーム同期非標準検出 (フレーム間の水平同期ずれ) 感度設定	00: 検出感度大 (設定幅 0.5 クロック) 01: 検出感度中 (設定幅 1 クロック) 10: 検出感度小 (設定幅 1.5 クロック) 11: 検出 OFF フレーム間の水平同期ずれ幅が、設定幅以上となった場合、フレーム同期非標準と判定します。	10	01
09	D7	<b>PWREFW</b> 内部 ADC 入力幅切り替え	0: Y-ADC, C-ADC 入力幅設定同期 (μPD64081B 相当) 1: Y-ADC, C-ADC 入力幅設定反転 <b>CPP (SA03h:D7-D6) を参照してください。</b>	0	0
	D6-D4	<b>PDREF</b> テスト・ビット	本 IC では、設定は無効となります。	100	100
	D3-D0	<b>PBREF</b> テスト・ビット	本 IC では、設定は無効となります。	1000	1000



表 15-2 ライト・レジスタ機能 (7/11)

SA	ビット	名称, 機能	設定内容	標準値	初期値
0A	D7-D5	<b>VAPGAIN</b> 垂直輪郭補正 ゲイン設定	000:補正 OFF ~ 111:補正最大 (0.875 倍)	-	000
	D4-D0	<b>VAPINV</b> 垂直輪郭補正 収束点設定	00000:補正 OFF ~ 11111:補正最大  VAPGAIN, VAPINV による垂直輪郭補正特性イメージ   備考1. 8ビット入力換算 2. 特性は原点に対して点対称	-	0000 0
0B	D7	<b>TEST</b> テスト・ビット	0: 標準設定 1: テスト設定 (設定禁止)	0	0
	D6	<b>TEST</b> テスト・ビット	0: 標準設定 1: テスト設定 (設定禁止)	0	0
	D5-4	<b>YPFT</b> Y ピーキング・フィルタ BPF 中心周波数設定	00: 3.58 MHz 01: 3.86 MHz 10: 4.08 MHz 11: 4.22 MHz  Y-Peaking Filter BPF特性 	11	11
	D3-0	<b>YPFG</b> Y ピーキング・フィルタ ゲイン設定	0000: - 1.0 倍 ~ 1000: ±0.0 倍 ~ 1111: + 0.875 倍  YPFT, YPFG による Y 信号出力周波数特性イメージ  	1000	1000

表 15-2 ライト・レジスタ機能 (8/11)

SA	ビット	名称, 機能	設定内容	標準値	初期値
0C	D7-D6	<b>V1PSEL</b> ライン・コム・フィルタ 横ドット妨害抑制レベル	00: 抑制 OFF 01: 抑制レベル小 10: 抑制レベル中 11: 抑制レベル大 ライン間 Y/C 分離時, 横並びのドット妨害を低減します。	10	10
	D5-D4	<b>VEGSEL</b> ライン・コム・フィルタ 縦ドット妨害抑制レベル	00: 抑制 OFF 01: 抑制レベル小 10: 抑制レベル中 11: 抑制レベル大 ライン間 Y/C 分離時, 縦並びのドット妨害を低減します。	10	10
	D3	<b>CC3N</b> ライン・コム・フィルタ C 分離フィルタ特性選択	0: 狭帯域 1: 広帯域	0	0
	D2	<b>C0HS</b> NR 時の C 信号遅延長選択	0: 1H 遅延あり 1: 1H 遅延なし	0	0
	D1	<b>CLPH</b> Y-ADC クランプ テスト・ビット	0: 標準設定 1: テスト設定	0	0
	D0	<b>SELD2FH</b> DC 検出感度設定	0: 感度小, 静止寄り 1: 感度大, 動画寄り	0	0
0D	D7	-	0	0	0
	D6	-	0	0	0
	D5	<b>SELD1FL</b> DY 検出低域感度設定	0: 感度小, 静止寄り 1: 感度大, 動画寄り	0	0
	D4	-	0	0	0
	D3	-	0	0	0
	D2-D0	-	101	101	101
0E	D7-D4	-	0000	0000	0000
	D3-D0	-	1000	1000	1000
0F	D7-D4	-	0100	0100	0100
	D3-D0	-	0100	0100	0100

表 15-2 ライト・レジスタ機能 (9/11)

SA	ビット	名称, 機能	設定内容	標準値	初期値
10	D7-D6	<b>YHCOR</b> Y出力高域成分 コアリング処理設定	00: コアリング OFF 01: コアリング小 (±1LSB:8ビット換算) 10: コアリング中 (±2LSB:8ビット換算) 11: コアリング大 (±3LSB:8ビット換算)  コアリング特性図 (高域成分のみ) 実線:YHCGAIN = 0 Output(LSB) 点線:YHCGAIN = 1  備考 8ビット換算時	00	00
	D5	<b>YHCGAIN</b> Y出力高域コアリング・ ゲイン設定	0: 通常 (μPD64081B 相当) 1: ゲイン 1/2 倍 <b>YHCOR (SA10h: D7-D6) を参照してください。</b>	0	0
	D4	<b>ED2OFF</b> WCV-ID 検出回路設定	0: 標準設定 1: WCV-ID 検出回路強制 OFF	0	0
	D3	<b>OVST</b> 非標準検出部テスト・ビット	0: 標準設定 1: テスト設定	0	0
	D2	<b>CSHDT</b> HVカウンタ部テスト・ビット	0: 標準設定 1: テスト設定	0	0
	D1-D0	<b>KCTT</b> HVカウンタ部テスト・ビット	0x: 標準設定 1x: テスト設定	00	00
11	D7	<b>SHT1</b> 非標準検出部テスト・ビット	00: 標準設定 10: テスト設定	0	0
	D6	<b>SHT0</b> 非標準検出部テスト・ビット	00: 標準設定 01: テスト設定	0	0
	D5	<b>VCT</b> HVカウンタ部テスト・ビット	0: 標準設定 1: テスト設定	0	0
	D4	<b>OTT</b> HVカウンタ部テスト・ビット	0: 標準設定 1: テスト設定	0	0
	D3	<b>CLKG2D</b> CLKG 部テスト・ビット	0: テスト設定 1: 標準設定	1	0
	D2	<b>CLKGGT</b> CLG 部テスト・ビット	0: 標準設定 1: テスト設定	0	0
	D1	<b>CLKGEB</b> CLKG 部テスト・ビット	0: 標準設定 1: テスト設定	0	0
	D0	<b>CLKGT</b> CLKG 部テスト・ビット	0: 標準設定 1: テスト設定	0	0

表 15-2 ライト・レジスタ機能 (10/11)

SA	ビット	名称, 機能	設定内容	標準値	初期値
12	D7	<b>HPLLFS</b> 水平 PLL フィルタ設定	0: 収束遅い 1: 収束早い (MN 信号入力時は必ず 1 としてください)	-	1
	D6	<b>BPLLFS</b> バースト PLL フィルタ設定	0: 収束早い 1: 収束遅い	1	0
	D5	<b>FSCFG</b> バースト抽出ゲイン設定	0: ゲイン大 1: ゲイン小	0	1
	D4	<b>PLLFG</b> PLL ループ・ゲイン設定	0: ゲイン小 (収束遅い) 1: ゲイン大 (収束早い)	1	1
	D3-D0	<b>KILR</b> キラー検出リファレンス	0000: 検出 Off, 0001: 検出感度小 ~ 1111: 検出感度大	0010	1011
13	D7-D4	<b>HSSL</b> 水平同期スライス・レベル	0000: 4LSB ~ 1111: 19LSB (8 ビット入力換算, 1LSB/step)	1111	1100
	D3-D0	<b>VSSL</b> 垂直同期スライス・レベル	0000: HSSL 設定量 + 0LSB ~ 1111: HSSL 設定量 + 15LSB (8 ビット入力換算, 1LSB/step)	1000	1000
14	D7-D4	<b>BGPS</b> 内部バースト・ゲート開始位置	0000: H シンク中央 + 2 μs ~ 1111: H シンク中央 + 5.75 μs H シンク中央からの開始位置計算式: $0.25 \times \text{BGPS} + 2.5 (\mu\text{s})$	0101	0100
	D3-D0	<b>BGPW</b> 内部バースト・ゲート幅設定	0000: 0.5 μs ~ 1111: 4.25 μs ゲート幅の計算式: $0.25 \times \text{BGPW} + 0.5 (\mu\text{s})$	0011	1010
15	D7-D6	<b>ADCLKS</b> ADC 動作クロック遅延設定	00: 0 ns Typ. (設定禁止) 01: 3 ns Typ. 10: 17.5 ns Typ. 11: 20.5 ns Typ. <b>備考</b> 数値は"00"設定時を基準とした相対値です。	11	10
	D5	<b>ADPDS</b> ADC パワー・ダウン設定	0: 未使用 ADC の動作を停止しない (消費電流大) 1: 未使用 ADC の動作を停止する (消費電流小)	1	1
	D4	<b>NSDSW</b> 非標準検出部テスト・ビット	0: 標準設定 1: テスト設定	0	0
	D3	<b>NRZOFF</b> WCV-ID検出 NRZ部チェック	0: NRZ 部の振幅チェック ON 1: NRZ 部の振幅チェック OFF	0	0
	D2	<b>FSCOFF</b> WCV-ID検出 FSC部チェック	0: FSC 部の振幅のチェック ON 1: FSC 部の振幅のチェック OFF	0	0
	D1-D0	<b>VTVH</b> WCV信号の無画部処理設定 (WCV レターボックス信号のみ有効)	00: 通常処理 01: 強制フレーム間 Y/C 分離 10: 強制ライン間 Y/C 分離 11: 強制スルー (コンポジット信号のまま出力)	00	00

表 15-2 ライト・レジスタ機能 (11/11)

SA	ビット	名称, 機能	設定内容	標準値	初期値
16	D7	<b>SYSPDS</b> メモリ・パワー・ダウン設定	0: 通常動作 1: パワー・ダウン (メモリ・アクセス停止) 本ビットを"1"とすると EDO メモリおよびフィールド・メモリ (オプション) の接続端子 (MRAS, MCAS, MWE, MOE, MA7-MA0, HWCK, HRCK, HRST, HO3-HO0) を開放 (Hi-Z) します。また, システム・クロックはフリーランとなります。このとき映像出力は使用できません。	-	0
	D6	<b>HMEMOFF</b> フィールド・メモリ開放設定	0: 使用 (HH デコードあり) 1: 開放 (HO3-HO0, HWCK, HRCK, HRST の各端子:Hi-Z)	-	0
	D5	<b>HRSTINV</b> フィールド・メモリ・リセット極性設定	0: アクティブ・ハイ・タイプ (MSM514222B など) 1: アクティブ・ロウ・タイプ	-	0
	D4	<b>HRSTTMG</b> フィールド・メモリ・アドレス位相設定	0: ライト・アドレス+0 タイプ (MSM514222B など) 1: ライト・アドレス -1 タイプ (MSM514221B など)	-	0
	D3-D0	<b>HCP</b> HH キャリア位相調整	0000: -180° ~ 0111: 0° ~ 1110: +180° キャリア位相計算式: $(HCP - 7) / 14 \times 360^\circ$	0111	0000
17	D7	<b>CNROFS</b> CNR 部テスト・ビット	0: 標準設定 1: テスト設定	0	0
	D6	<b>HHMG</b> HH デコード動きゲイン設定	0: 動き係数で HH デコード・ゲインを緩慢に落とす 1: 動き係数で HH デコード・ゲインを急峻に落とす	1	0
	D5	<b>HHFG1</b> HH 出力のコアリング設定	0: コアリング ON (±2LSB:8 ビット換算) 1: コアリング OFF	0	0
	D4	<b>HHFG0</b> 強制 HH デコードゲイン設定	0: 動き適応ゲイン処理 (動き係数に従いゲインを落とす) 1: 強制ゲイン固定 (常に動き係数=0 として処理)	0	0
	D3-D0	<b>HHTG</b> 最大 HH デコードゲイン設定 (動き信号=0 時のゲイン)	0000: 0/8 倍 ~ 1000: 8/8 倍 ~ 1111: 15/8 倍 ( $k = HHTG / 8$ )  HHMG, HHTG, 動き係数による HH デコード・ゲイン特性 	1000	0000

## (2) リード・レジスタ

SA	ビット	名称, 機能	読み出し内容	初期値
00	D7-D6	- 未定義		-
	D5	<b>HHDF</b> HH デコード・フラグ	0: HH デコード停止 1: HH デコード動作	-
	D4	<b>KILF</b> キラー検出フラグ	0: 標準 1: キラー検出	-
	D3	<b>NSDF</b> 水平同期信号検出フラグ	0: 同期信号あり 1: 同期信号なし	-
	D2	<b>LDSDF</b> フレーム同期非標準検出 フラグ	0: 標準検出 1: 非標準検出 (レーザー・ディスクの特殊再生信号など)	-
	D1	<b>OVSDF</b> 垂直同期非標準検出フラグ	0: 標準検出 1: 非標準検出 (VTR の特殊再生信号, 家庭用 TV ゲーム機の信号など)	-
	D0	<b>OHSDF</b> 水平同期非標準検出フラグ	0: 標準検出 1: 非標準検出 (VTR の通常再生信号など)	-
01	D7-D0	<b>WSL</b> ノイズ・レベル検出データ	00000000: ノイズ小 ~ 11111111: ノイズ大	-
02	D7	<b>ED2</b> WCV-ID 信号検出フラグ	0: 無効 (識別信号なし) 1: 有効 (識別信号あり)	-
	D6-D0	<b>B3-B9</b> WCV識別信号デコード結果		-
03	D7-D0	<b>B10-B17</b> WCV識別信号デコード結果		-
04	D7-D0	<b>VSN</b>	デバイス・テスト用 (不定)	-
05	D7-D0	<b>SVEN</b>	デバイス・テスト用 (不定)	-
06	D7-D0	<b>MVEN</b>	デバイス・テスト用 (不定)	-

16. 電気的特性

絶対最大定格 (TA = 25 )

項目	略号	条件	定格	単位
デジタル部電源電圧	DV <sub>DD</sub>		- 0.3 ~ + 4.6	V
アナログ部電源電圧	AV <sub>DD</sub>	- 0.5 V < ( DV <sub>DD</sub> - AV <sub>DD</sub> ) < + 0.3 V	- 0.3 ~ + 4.6	V
入力電圧	V <sub>I5V</sub>	5 V 耐圧入力端子	- 0.3 ~ + 5.5	V
	V <sub>I</sub>	その他の入力端子	- 0.3 ~ V <sub>DD</sub> + 0.3	V
出力電流	I <sub>O</sub>		- 10 ~ + 10	mA
パッケージ許容損失	P <sub>D</sub>	ガラス・エポキシ基板実装時, ( TA = + 70 , 100 × 100 mm , 2 mm 厚 )	862	mW
動作周囲温度	T <sub>A</sub>	デバイス周囲温度	- 20 ~ + 70	
動作温度 (ジャンクション温度上限)	T <sub>J,MAX</sub>	ジャンクション - パッケージ表面間熱抵抗, θ <sub>JC</sub> = 21 ℃/W (計算値)	+ 125	
保存温度	T <sub>stg</sub>		- 40 ~ + 125	

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なうおそれがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

推奨動作範囲

項目	略号	条件	MIN.	TYP.	MAX.	単位
デジタル電源電圧	DV <sub>DD</sub>		3.0	3.3	3.6	V
アナログ電源電圧	AV <sub>DD</sub>	- 0.3 < ( DV <sub>DD</sub> - AV <sub>DD</sub> ) < + 0.3	3.0	3.3	3.6	V
ハイ・レベル入力電圧	V <sub>IH</sub>	TTL 入力端子	2.0		5.5	V
ロウ・レベル入力電圧	V <sub>IL</sub>		0		0.8	V
ハイ・レベル入力電圧	V <sub>IH</sub>	シュミット入力端子	3.0		5.5	V
ロウ・レベル入力電圧	V <sub>IL</sub>		0		0.5	V
基準クロック入力周波数	f <sub>XI</sub>	XI 端子	19.998	20.000	20.002	MHz
基準クロック入力振幅	V <sub>XI</sub>		0.8		DV <sub>DD</sub>	V <sub>P-P</sub>
サブキャリア入力周波数	f <sub>FSCI</sub>	FSCI 端子		3.579545		MHz
サブキャリア入力振幅	V <sub>FSCI</sub>		0.45		AV <sub>DD</sub>	V <sub>P-P</sub>
コンポジット/Y 信号 ビデオ信号入力振幅	V <sub>AYI</sub>	AYI 端子, 映像+同期振幅 (140IRE <sub>P-P</sub> ), AV <sub>DD</sub> = 3.3 V, CPP = 1x		1.0		V <sub>P-P</sub>
コンポジット/Y 信号 同期信号入力振幅	V <sub>AYI(S)</sub>	AYI 端子, 同期部振幅 (40IRE <sub>P-P</sub> ), AV <sub>DD</sub> = 3.3 V, CPP = 1x		286 (±0dB)	360 (+2dB)	mV <sub>P-P</sub>
C 信号入力振幅	V <sub>ACI</sub>	ACI 端子, パースト振幅(40IRE <sub>P-P</sub> ), AV <sub>DD</sub> = 3.3 V, CPP = 1x		286 (±0dB)	360 (+2dB)	mV <sub>P-P</sub>

デジタル部DC特性 (  $DV_{DD} = 3.3 \pm 0.3 \text{ V}$  ,  $DGND = 0 \text{ V}$  ,  $T_A = -20 \sim +70$  )

項目	略号	条件		MIN.	TYP.	MAX.	単位
デジタル部消費電流	$I_{DD}$	DVDD, DGND 端子			79	122	mA
入力リーク電流	$I_{LI}$	通常入力	$V_I = DV_{DD}$ or $0 \text{ V}$	- 10	0	+ 10	μA
ハイ・レベル入力電流	$I_{IH}$	Pull down Type	$V_I = DV_{DD}$	20	120	210	μA
ロウ・レベル入力電流	$I_{IL}$	Pull up Type	$V_I = 0 \text{ V}$	- 180	- 80	- 30	μA
ハイ・レベル出力電流 1	$I_{OH1}$	3.0mA Type	$V_{OH1} = 2.4 \text{ V}$			- 3.0	mA
ロウ・レベル出力電流 1	$I_{OL1}$		$V_{OL1} = 0.4 \text{ V}$	+ 3.0			mA
ハイ・レベル出力電流 2	$I_{OH2}$	1.0mA Type	$V_{OH2} = 2.4 \text{ V}$			- 1.0	mA
ロウ・レベル出力電流 2	$I_{OL2}$		$V_{OL2} = 0.4 \text{ V}$	+ 1.0			mA
ロウ・レベル出力電流 3	$I_{OL3}$	N-Ch. Open drain	$V_{OL3} = 0.4 \text{ V}$	+ 5.0			mA
出力リーク電流	$I_{LO}$	3-State, Open drain	$V_O = DV_{DD}$ to $DGND$	- 10	0	+ 10	μA

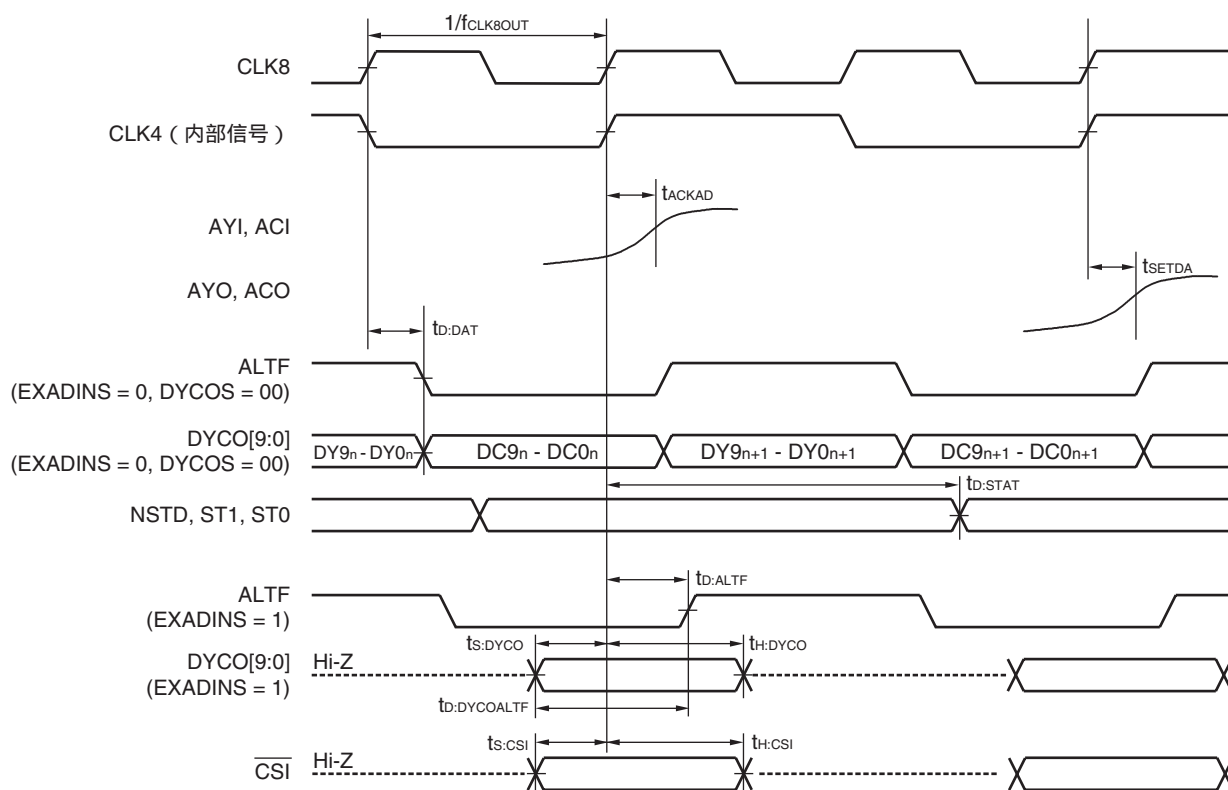


アナログ部 (ADC, DAC, fscDAC, 8fscPLL) DC特性 (AVDD = 3.3 ± 0.3 V, AGND = 0 V, TA = 25 )

項目	略号	条件	MIN.	TYP.	MAX.	単位
アナログ部消費電流	AlDD	AVDD, AGND 端子		75	117	mA
Y-ADC 分解能	RESADY	AYI, ACI 端子, AVDD = 3.3 V, fs = 4fsc,	-	10	-	bit
Y-ADC 積分直線性誤差	ILEADY	CPP = 1x, PWREFW=0, ADCLKS = 11,		± 3.0	± 6.0	LSB
Y-ADC 微分直線性誤差	DLEAD:Y	DGAD, DPAD: NTSC 100IRE RAMP		± 1.0	± 2.0	LSB
Y-ADC 微分利得	DGAD:Y			± 1.7	± 3.0	%
Y-ADC 微分位相	DPAD:Y			± 1.0	± 3.0	Deg.
C-ADC 分解能	RESADC	AYI, ACI 端子, AVDD = 3.3V, fs = 4fsc,		8		bit
C-ADC 積分直線性誤差	ILEADC	CPP = 1x, PWREFW=0, ADCLKS = 11,		± 1.5	± 3.0	LSB
C-ADC 微分直線性誤差	DLEAD:C	DGAD, DPAD: NTSC 40IRE RAMP		± 1.0	± 3.0	LSB
C-ADC 微分利得	DGAD:C	(入力レンジの 80%)		± 1.7	± 3.5	%
C-ADC 微分位相	DPAD:C			± 1.0	± 3.0	Deg.
Y-ADC 基準電圧 1 (低位電圧)	VRBAY1	Y-ADC 1V <sub>P-P</sub> モード,		1.05		V
Y-ADC 基準電圧 1 (高位電圧)	VRTAY1	AVDD = 3.3 V, CPP = 0x, PWREFW=0,		1.55		V
Y-ADC アナログ入力範囲 1	VINAY1	VINT = 1.8 V, VINB = 0.8 V		1.0		V
Y-ADC クランプ端子電圧 1	VCLY1			0.84		V
Y-ADC 基準電圧 2 (低位電圧)	VRBAY2	Y-ADC 1.25 V <sub>P-P</sub> モード,		0.99		V
Y-ADC 基準電圧 2 (高位電圧)	VRTAY2	AVDD = 3.3 V, CPP = 1x, PWREFW=0,		1.61		V
Y-ADC アナログ入力範囲 2	VINAY2	VINT = 1.925 V, VINB = 0.675 V		1.25		V
Y-ADC クランプ端子電圧 2	VCLY2			0.72		V
C-ADC 基準電圧 1 (低位電圧)	VRBADC1	AVDD = 3.3V, 1.25V <sub>P-P</sub> モード,		2.05		V
C-ADC 基準電圧 1 (高位電圧)	VRTADC1	CPP = 1x, PWREFW=0		3.30		V
C-ADC 基準電圧 1 (VRT-VRB 差電圧)	VTBADC1		1.15	1.25	1.35	V
C-ADC 入力バイアス電圧 1	VAC1			2.68		V
ADC アナログ入力静電容量	CINAD	AYI 端子電位 = VRBAY1, ACI 端子電位 = VRBADC1		25		pF
DAC 分解能	RESDA	AYO, ACO 端子, AVDD = 3.3V, fs = 4fsc,	-	10	-	bit
DAC 積分直線性誤差	ILEDAC	DGDA, DPDA: NTSC 40 or 100IRE RAMP		± 1.0	± 3.0	LSB
DAC 微分直線性誤差	DLEDA			± 0.3	± 1.0	LSB
DAC 微分利得	DGDA			± 1.0	± 3.0	%
DAC 微分位相	DPDA			± 0.5	+ 3.0	Deg.
DAC フルスケール出力電圧	VFSDA	AYO, ACO 端子, AVDD = 3.3V	1.7	2.2	2.6	V
DAC ゼロスケール出力電圧	VZSDA		0.8	1.2	1.6	V
DAC 出力振幅	VOPDA		0.90	1.00	1.10	V <sub>P-P</sub>
fscDAC 分解能	RESFSC	FSCO 端子	-	8	-	bit

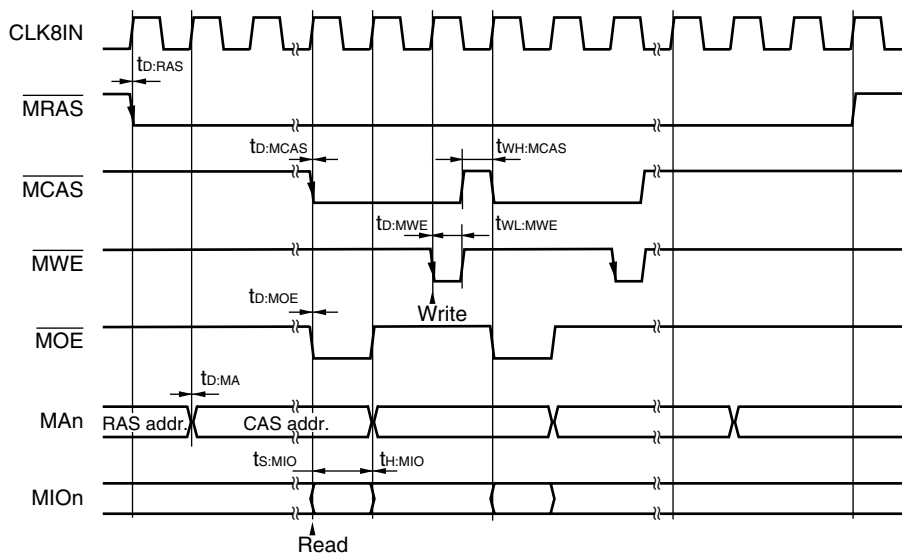
デジタル部AC特性 (  $DV_{DD} = 3.3 \pm 0.3 V$ ,  $DGND = 0 V$ ,  $C_L = 15 pF$ ,  $t_r = t_f = 2 ns$ ,  $T_A = -20 \sim +70$  )

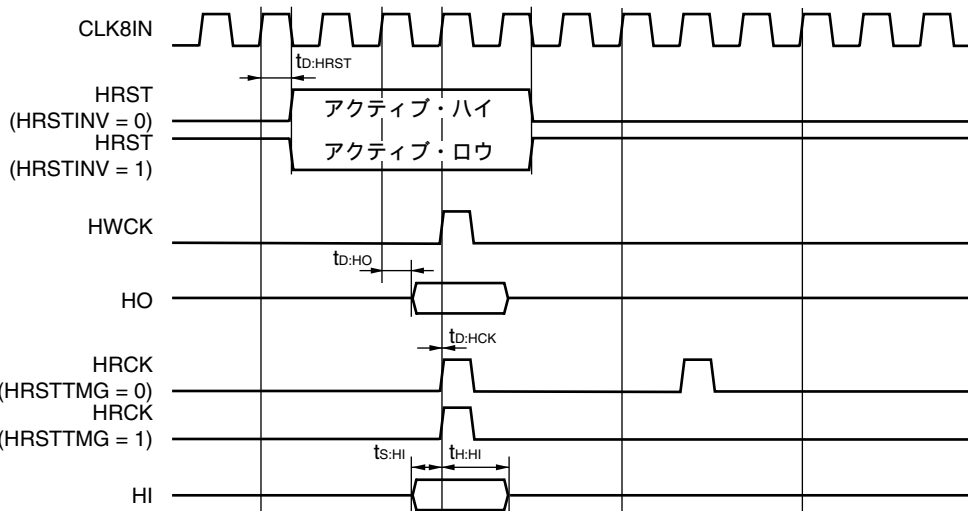
項目	略号	条件	MIN.	TYP.	MAX.	単位
映像データ出力遅延時間	$t_{d:DAT}$	$CLK8\uparrow \rightarrow DYCO_n$ , ALTF (EXADINS = 0)	3	9		ns
内部信号モニタ出力遅延時間	$t_{d:STAT}$	$CLK8\uparrow \rightarrow NSTD$ , ST1, ST0	35	45	55	ns
CSI入力セットアップ時間	$t_{s:CSI}$	$\overline{CSI} \rightarrow CLK8\uparrow$	0			ns
CSI入力ホールド時間	$t_{h:CSI}$	$CLK8\uparrow \rightarrow \overline{CSI}$	15			ns
ALTF 出力遅延時間 + DYCO <sub>n</sub> 入力セットアップ時間	$t_{d:DYCO-ALTF}$	$CLK8\uparrow \rightarrow ALTF + t_{s:DYCO}$ : EXADINS = 1, ADCLKS = xx			35	ns
ALTF 出力遅延時間 0	$t_{d:ALTF0}$	$CLK8\uparrow \rightarrow ALTF$ : EXADINS = 1, ADCLKS = 00	3			ns
ALTF 出力遅延時間 1	$t_{d:ALTF1}$	$CLK8\uparrow \rightarrow ALTF$ : EXADINS = 1, ADCLKS = 01	5			ns
ALTF 出力遅延時間 2	$t_{d:ALTF2}$	$CLK8\uparrow \rightarrow ALTF$ : EXADINS = 1, ADCLKS = 10	18		38	ns
ALTF 出力遅延時間 3	$t_{d:ALTF3}$	$CLK8\uparrow \rightarrow ALTF$ : EXADINS = 1, ADCLKS = 11	20		40	ns
DYCO <sub>n</sub> 入力セットアップ時間	$t_{s:DYCO}$	$DYCO_n \rightarrow CLK8\uparrow$ : EXADINS = 1	0			ns
DYCO <sub>n</sub> 入力ホールド時間	$t_{h:DYCO}$	$CLK8\uparrow \rightarrow DYCO_n$ : EXADINS = 1	10			ns
入力容量	$C_i$	$DV_{DD} = V_i = 0 V, f_{IN} = 1 MHz$		10	15	pF



メモリ・インタフェース部AC特性 (  $DV_{DD} = 3.3 \pm 0.3 V$  ,  $DGND = 0 V$  ,  $C_L = 15 pF$  ,  $t_r = t_f = 2 ns$  ,  $T_A = -20 \sim +70$  )

項目	略号	条件	MIN.	TYP.	MAX.	単位
MRAS 出力遅延時間	$t_{d:RAS}$	$CLK8\uparrow \rightarrow \overline{MRAS}$	0		20	ns
MCAS 出力遅延時間	$t_{d:MCAS}$	$CLK8\uparrow \rightarrow \overline{MCAS}$	0		15	ns
MCAS 出力ハイ・レベル・パルス幅	$t_{WH:MCAS}$	$\overline{MCAS}$ (High)	10			ns
MWE 出力遅延時間	$t_{d:MWE}$	$CLK8\uparrow \rightarrow \overline{MWE}$	0		15	ns
MWE 出力ロウ・レベル・パルス幅	$t_{WL:MWE}$	$\overline{MWE}$ (Low)	10			ns
MOE 出力遅延時間	$t_{d:MOE}$	$CLK8\uparrow \rightarrow \overline{MOE}$	0		15	ns
MA <sub>n</sub> 出力遅延時間	$t_{d:MA}$	$CLK8\uparrow \rightarrow MA_n$	0		50	ns
MIO <sub>n</sub> 入力セットアップ時間	$t_{s:MIO}$	$MAX.\{MIO_n \rightarrow CLK8\uparrow\} + MAX.\{t_{d:MCAS}, t_{d:MOE}\}$			15	ns
MIO <sub>n</sub> 入力ホールド時間	$t_{h:MIO}$	$MAX.\{MIO_n \rightarrow CLK8\uparrow\} - MIN.\{t_{d:MOE}\}$			0	ns
HW(R)CK 出力遅延時間	$t_{d:HCK}$	$CLK8\uparrow \rightarrow HWCK, HRCK$	0		15	ns
HRST 出力遅延時間	$t_{d:HRST}$	$CLK8\uparrow \rightarrow HRST$	10		40	ns
HI 入力セットアップ時間	$t_{s:HI}$	$HI_n \rightarrow HRCK\uparrow$			9	ns
HI 入力ホールド時間	$t_{h:HI}$	$HRCK\uparrow \rightarrow HI_n$			3	ns
HO 出力アクセス時間	$t_{d:HO}$	$HWCK\uparrow \rightarrow HO_n$	6		27	ns





クロック/タイミング生成部AC特性

( $DV_{DD} = AV_{DD} = 3.3 \pm 0.3 V$ ,  $DGND = AGND = 0 V$ ,  $C_L = 15 pF$ ,  $T_A = -20 \sim +70$ )

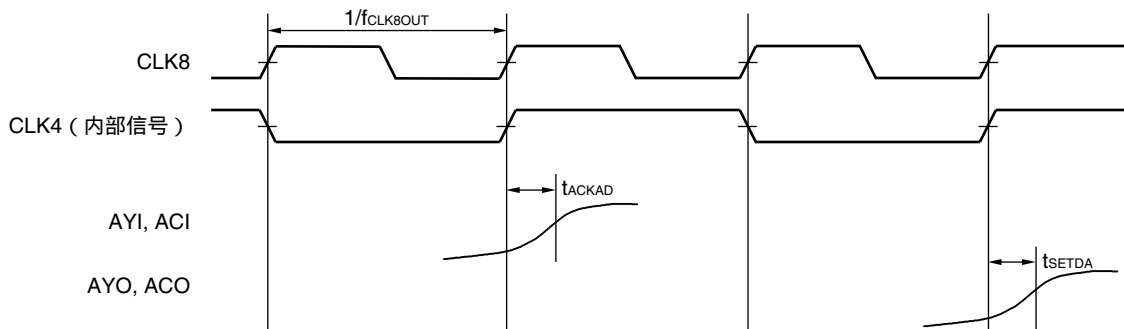
項目	略号	条件	MIN.	TYP.	MAX.	単位
サブキャリア出力周波数	$f_{FSCO}$	FSCO 端子		3.579545		MHz
サブキャリア出力振幅	$V_{FSCO}$	FSCO 端子, $AV_{DD} = 3.3 V$	1.15	1.30	1.45	V <sub>P-P</sub>
クロック出力周波数	$f_{CLK8OUT}$	CLK8 端子, CKMD 端子 = DGND,		28.63636		MHz
クロック出力デューティ	$D_{CLK8OUT}$	CLK8OFF = 0	45	50	55	%
f <sub>sc</sub> 引き込み範囲(f <sub>sc</sub> 換算)	$f_{bp}$	パースト・ロック・クロック動作時	± 400	± 600		Hz
f <sub>H</sub> 引き込み範囲(f <sub>H</sub> 換算)	$f_{hp}$	ライン・ロック・クロック動作時	± 400	± 500		Hz
水平同期減衰(ロック範囲)	$V_{hi}$	同期入力振幅, HSSL = 1111, VSSL = 1000	- 8	0		dB
垂直同期減衰(ロック範囲)	$V_{vi}$	(40IRE = 59LSB 入力時を 0 dB とする)	- 6	0		dB

ADC, DAC部AC特性 (AV<sub>DD</sub> = 3.3 ± 0.3 V, AGND = 0 V, C<sub>L</sub> = 15 pF, T<sub>A</sub> = +25 )

項目	略号	条件	MIN.	TYP.	MAX.	単位
ADC アクイジション時間 <sup>注</sup>	t <sub>ACKAD</sub>	CLK8↑→AYI,ACI		7		ns
DAC セトリング時間 <sup>注</sup>	t <sub>SETDA</sub>	CLK8↑→AYO,ACO		15		ns

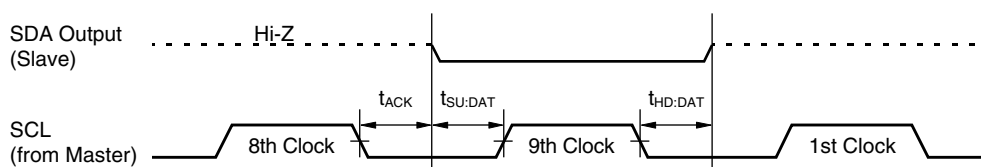
注 データ変換遅延時間を含みません。

備考 CLK8↑→ALTF: EXADINS = 1, ADCLKS = 00



I<sup>2</sup>Cバス・インタフェース部AC特性 (DV<sub>DD</sub> = 3.3 ± 0.3 V, DGND = 0 V, C<sub>L</sub> = 15 pF, T<sub>A</sub> = -20 ~ +70 )

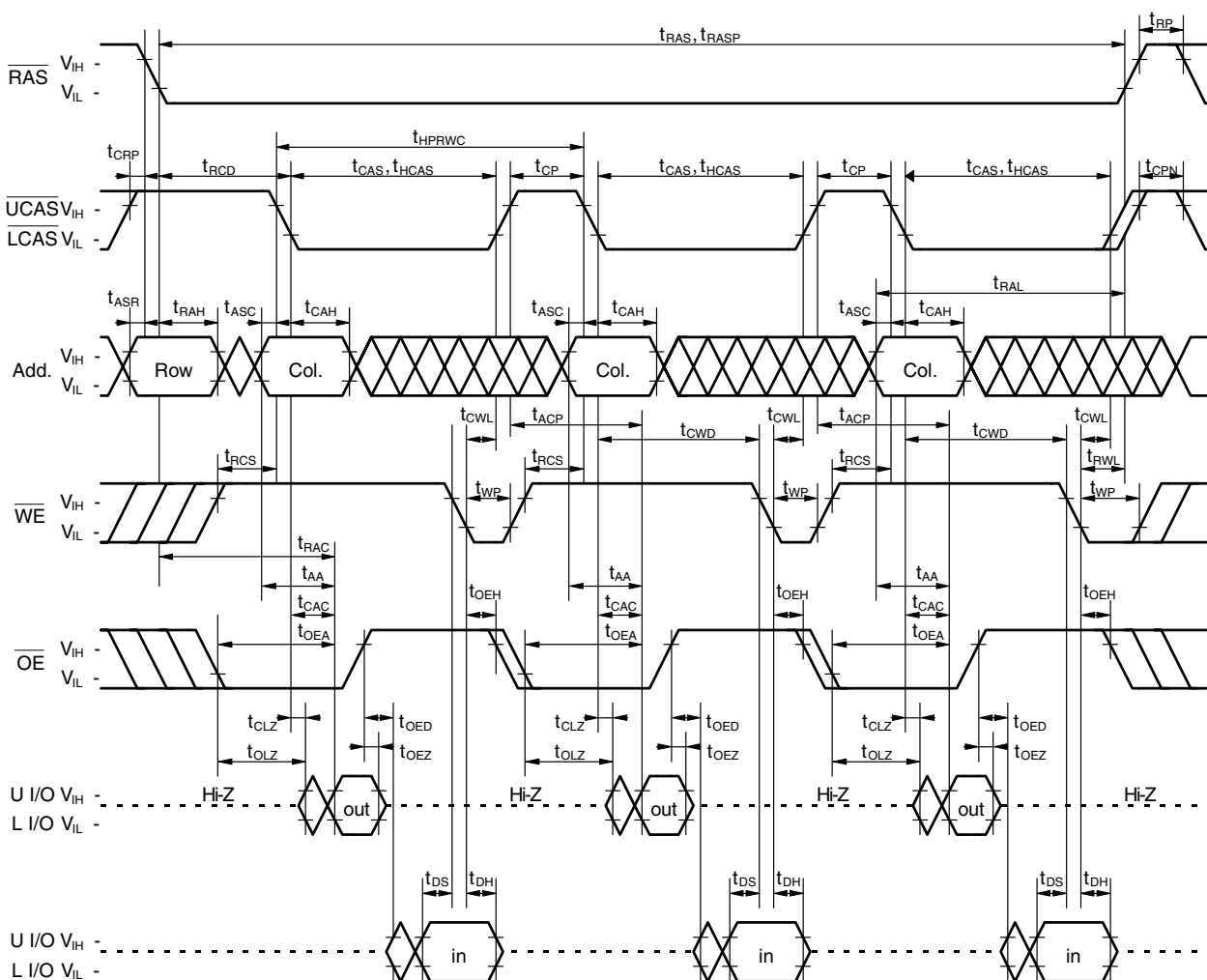
項目	略号	条件	MIN.	TYP.	MAX.	単位
SDA 端子 ACK 応答遅延時間	t <sub>ACK</sub>	SCL↓→SDA↓			500	ns
SDA データ・セットアップ時間	t <sub>SU:DAT</sub>	SDA:L→SCL↑	100			ns
SDA データ・ホールド時間	t <sub>HD:DAT</sub>	SCL↓→SDA:Hi-Z	0			ns



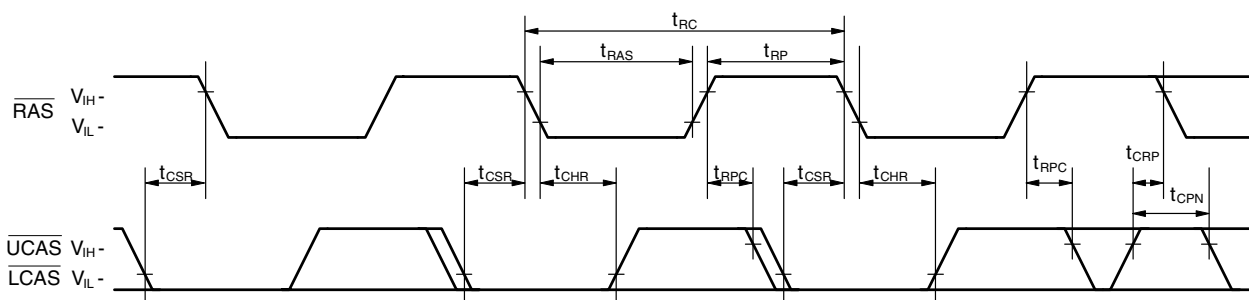
4MビットEDOメモリ必要特性

項目	略号	必要特性		単位
		MIN.	MAX.	
リード、ライト、リード・モディファイ・ライト・サイクル共通				
RASプリチャージ時間	t <sub>RP</sub>	70 以下	-	ns
CASプリチャージ時間	t <sub>CPN</sub> , t <sub>CP</sub>	10 以下	-	ns
RASパルス幅	t <sub>RAS</sub>	100 以下	10,000 以上	ns
CASパルス幅	t <sub>CAS</sub>	10 以下	10,000 以上	ns
CAS RASプリチャージ時間	t <sub>CRP</sub>	70 以下	-	ns
ロウ・アドレス・セットアップ時間	t <sub>ASR</sub>	70 以下	-	ns
ロウ・アドレス・ホールド時間	t <sub>RAH</sub>	70 以下	-	ns
カラム・アドレス・セットアップ時間	t <sub>ASC</sub>	30 以下	-	ns
カラム・アドレス・ホールド時間	t <sub>CAH</sub>	30 以下	-	ns
OE データ遅延時間	t <sub>OED</sub>	15 以下	-	ns
リフレッシュ・サイクル	t <sub>REF</sub>	-	4 以上	ms
リード・サイクル				
アクセス時間 (対RAS)	t <sub>RAC</sub>	-	100 以下	ns
アクセス時間 (対CAS)	t <sub>CAC</sub>	-	17 以下	ns
アクセス時間 (対カラム・アドレス)	t <sub>AA</sub>	-	70 以下	ns
アクセス時間 (対OE)	t <sub>OEA</sub>	-	15 以下	ns
カラム・アドレス, RAS リード時間	t <sub>RAL</sub>	70 以下	-	ns
リード・コマンド・セットアップ時間	t <sub>RCS</sub>	0 以下	-	ns
出力バッファ・ターンオフ遅延時間 (対OE)	t <sub>OEZ</sub>	0 以上	15 以下	ns
ライト・サイクル				
WEパルス幅	t <sub>WP</sub>	10 以下	-	ns
ライト命令, RASリード時間	t <sub>RWL</sub>	70 以下	-	ns
ライト命令, CASリード時間	t <sub>CWL</sub>	10 以下	-	ns
OEホールド時間	t <sub>OEH</sub>	30 以下	-	ns
データ入力セットアップ時間	t <sub>DS</sub>	0 以下	-	ns
データ入力ホールド時間	t <sub>DH</sub>	10 以下	-	ns
ハイパー・ページ・モード (EDO)				
RASパルス幅	t <sub>RASP</sub>	100 以下	100,000 以上	ns
CASパルス幅	t <sub>HCAS</sub>	10 以下	10,000 以上	ns
アクセス時間 (対CASプリチャージ)	t <sub>ACP</sub>	-	35 以下	ns
CAS WE遅延時間	t <sub>CWD</sub>	70 以下	-	ns
リード・モディファイ・ライト・サイクル時間	t <sub>HPRWC</sub>	100 以下	-	ns
リフレッシュ・サイクル				
CASセットアップ時間	t <sub>CSR</sub>	70 以下	-	ns
CASホールド時間 (CASビフォーRASリフレッシュ)	t <sub>CHR</sub>	70 以下	-	ns
RASプリチャージCASホールド時間	t <sub>RPC</sub>	70 以下	-	ns

ハイパー・ページ・モード (EDO) リード・モディファイ・ライト・サイクル



CASビフォーRASリフレッシュ・サイクル



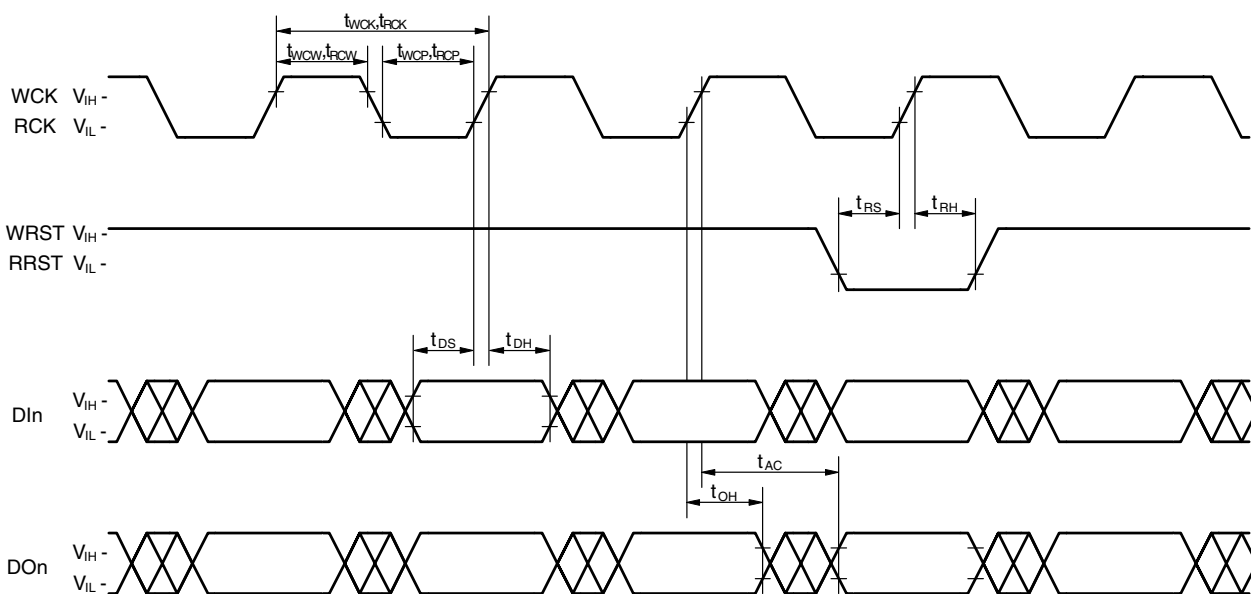
備考 Address, WE, OE: Don't care, L I/O, U I/O: Hi-Z

注意 上図は、μPD64082 側から見た、メモリの必要特性を示すためのタイミング・チャートです。

フィールド・メモリ必要特性

項目	略号	必要特性		単位
		MIN.	MAX.	
ライト・クロック (WCK) サイクル時間	t <sub>WCK</sub>	30 以下	-	ns
ライト・クロック・アクティブ時間	t <sub>WCW</sub>	12 以下	-	ns
ライト・クロック・プリチャージ期間	t <sub>WCP</sub>	12 以下	-	ns
リード・クロック (RCK) サイクル時間	t <sub>RCK</sub>	30 以下	-	ns
リード・クロック・アクティブ時間	t <sub>RCW</sub>	12 以下	-	ns
リード・クロック・プリチャージ期間	t <sub>RCP</sub>	12 以下	-	ns
アクセス時間	t <sub>AC</sub>		25 以下	ns
出力ホールド時間	t <sub>OH</sub>	3 以上	-	ns
入力データ・セットアップ時間	t <sub>DS</sub>	7 以下	-	ns
入力データ・ホールド時間	t <sub>DH</sub>	6 以下	-	ns
リセット・セットアップ時間 (対 WCK / RCK )	t <sub>RS</sub>	34 以下	-	ns
リセット・ホールド時間 (対 WCK / RCK )	t <sub>RH</sub>	34 以下	-	ns
全ワード数	-	262,144 以上		word
ビット幅	-	4 以上		bit

ライト/リード・リセット・サイクル

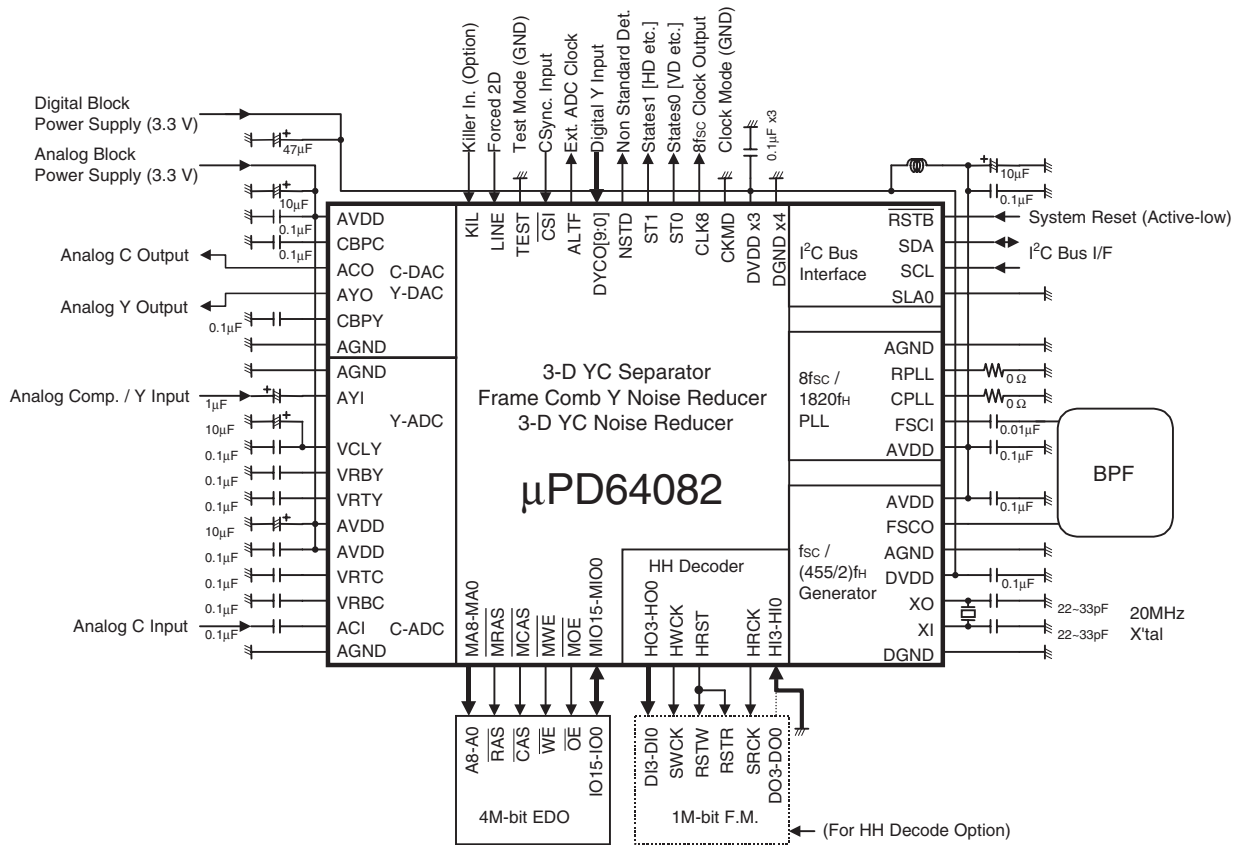


備考 RE, WE, OE: Low level

注意 上図は、μPD64082 側から見た、メモリの必要特性を示すためのタイミング・チャートです。

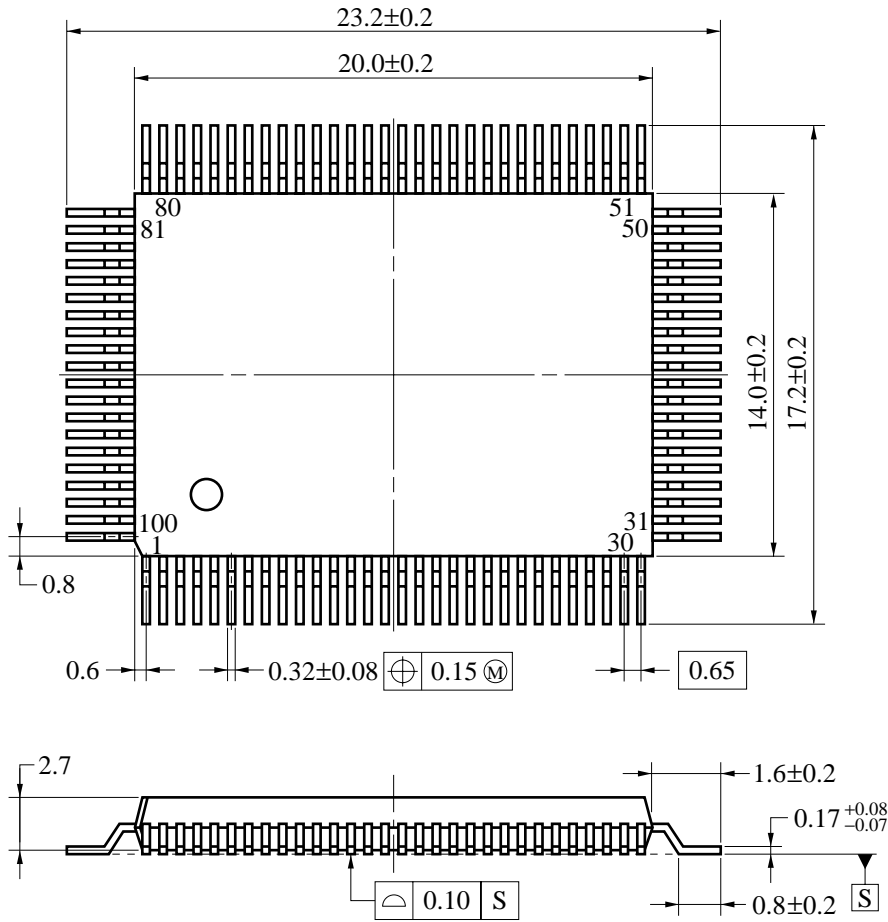


17. 応用回路例



18. 外形図

100ピン・プラスチック QFP (14x20) 外形図 (単位: mm)



端子先端形状詳細図

S100GF-65-3BA-4

19. 半田付け推奨条件

この製品の半田付け実装は、次の条件で実施してください。

半田付け推奨条件の詳細は、インフォメーション資料「半導体デバイス実装マニュアル」(C10535J)を参照してください。

なお、推奨条件以外の半田付け方法および半田付け条件については、当社販売員にご相談ください。

表 19-1 表面実装タイプの半田付け推奨条件

μPD64082GF-3BA：100ピン・プラスチック QFP（14×20）

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃，時間：30秒以内（210℃以上），回数：3回以内， 制限日数：7日間 <sup>注</sup> （以降は125℃プリベーク20時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキング ができません。	IR35-207-3
VPS	パッケージ・ピーク温度：215℃，時間：40秒以内（200℃以上），回数：3回以内， 制限日数：7日間 <sup>注</sup> （以降は125℃プリベーク20時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキング ができません。	VP15-207-3
ウエーブ・ソルダリ ング	半田槽温度：260℃以下，時間：10秒以内，回数：1回， 予備加熱温度：120℃ MAX.（パッケージ表面温度） 制限日数：7日間 <sup>注</sup> （以降は125℃プリベーク20時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキング ができません。	WS60-207-1
端子部分加熱	端子温度：300℃以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライパック開封後の保管日数で保管条件は25℃，65%RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱方式は除く）。

[メ モ]

## CMOSデバイスの一般的注意事項

### 静電気対策（MOS全般）

**注意** MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

### 未使用入力の処理（CMOS特有）

**注意** CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してV<sub>DD</sub>またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

### 初期化以前の状態（MOS全般）

**注意** 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

**注意**：本製品はF<sup>2</sup>Cバス・インタフェース回路を内蔵しています。

日本電気株式会社のF<sup>2</sup>Cバス対応部品をご購入いただくことにより、これらの部品をF<sup>2</sup>Cシステムに使用する実施権がフィリップス社F<sup>2</sup>C特許に基づき許諾されることとなります。ただし、これらのF<sup>2</sup>Cシステムはフィリップス社によって設定されたF<sup>2</sup>C標準規格に合致しているものとします。

Purchase of NEC F<sup>2</sup>C components conveys a license under the Philips F<sup>2</sup>C Patent Rights to use these components in an F<sup>2</sup>C system, provided that the system conforms to the F<sup>2</sup>C Standard Specification as defined by Philips.

- 本資料の内容は予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。
- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
- 本資料に記載された回路、ソフトウェア、及びこれらに付随する情報は、半導体製品の動作例、応用例を説明するためのものです。従って、これら回路・ソフトウェア・情報をお客様の機器に使用される場合には、お客様の責任において機器設計をしてください。これらの使用に起因するお客様もしくは第三者の損害に対して、当社は一切その責を負いません。
- 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、列車、船舶等）、交通信号機器、防災/防犯装置、各種安全装置、生命維持を直接の目的としない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート/データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

M7 98.8

## — お問い合わせ先 —

### 【技術的なお問い合わせ先】

NEC半導体テクニカルホットライン  
(電話：午前 9:00～12:00、午後 1:00～5:00)

電話 : 044-435-9494  
FAX : 044-435-9608  
E-mail : s-info@saed.tmg.nec.co.jp

### 【営業関係お問い合わせ先】

#### 第一販売事業部

東京 (03)3798-6106, 6107,  
6108  
大阪 (06)6945-3178, 3200,  
3208, 3212  
仙台 (022)267-8740  
郡山 (024)923-5591  
千葉 (043)238-8116

#### 第二販売事業部

東京 (03)3798-6110, 6111,  
6112  
立川 (042)526-5981, 6167  
松本 (0263)35-1662  
静岡 (054)254-4794  
金沢 (076)232-7303  
松山 (089)945-4149

#### 第三販売事業部

東京 (03)3798-6151, 6155, 6586,  
1622, 1623, 6156  
水戸 (029)226-1702  
広島 (082)242-5504  
前橋 (027)243-6060  
鳥取 (0857)27-5313  
太田 (0276)46-4014  
名古屋 (052)222-2170, 2190  
福岡 (092)261-2806

### 【資料の請求先】

上記営業関係お問い合わせ先またはNEC特約店へお申しつけください。

### 【NECエレクトロニクス ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.ic.nec.co.jp/>