

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

ゴースト・リデューサ LSI

μ PD64031A は、日本国内の GCR 方式に対応した、ゴースト・リデューサ LSI です。日本方式の GCR 信号を含んだ映像信号の波形等化とゴースト低減を行います。

GR システムに必要な機能をすべて(A/D コンバータ, D/A コンバータ, マイコン, クロック・ジェネレータ, SRAM) を 1 チップに内蔵しています。

特 徴

ゴースト低減フィルタ (GR フィルタ), コントローラ, A/D コンバータ, D/A コンバータ, クロック・ジェネレータをすべて 1 チップ化

- 2.6 ~ +1.0 μ s, - 6 dB の波形等化および 1.0 ~ 40 μ s, - 6 dB のゴースト低減機能

チャンネル変更またはリセットから約 1.2 秒でゴースト低減動作開始

当社製の 3 次元 Y/C 分離 IC μ PD64083, 64084 やビデオ・デコーダ IC μ PD64011B とデジタル直結が可能
I²C バスによる各種コントロールが可能

オーダ情報

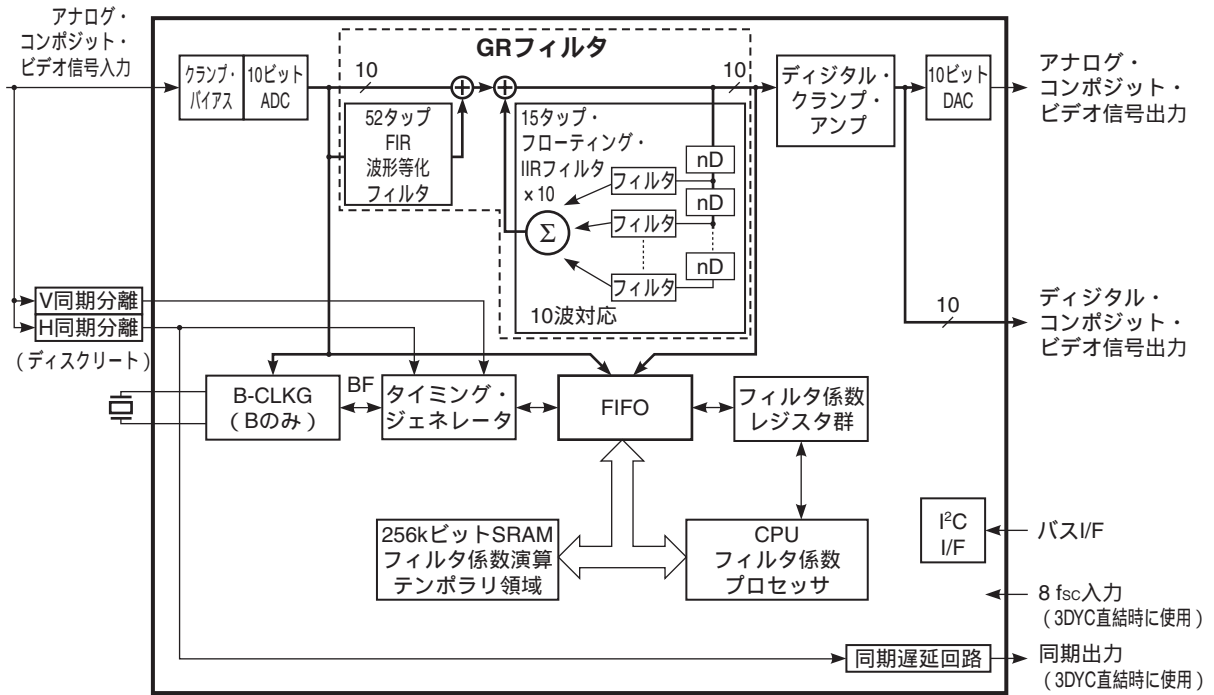
オーダ名称	パッケージ
μ PD64031AGJ-8EN-A 注1	144 ピン・プラスチック LQFP (ファインピッチ)(20×20)
μ PD64031AGJ-8EN-Y 注2	144 ピン・プラスチック LQFP (ファインピッチ)(20×20)

注 1. 鉛フリー製品

2. 耐熱性向上品

本資料の内容は予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。

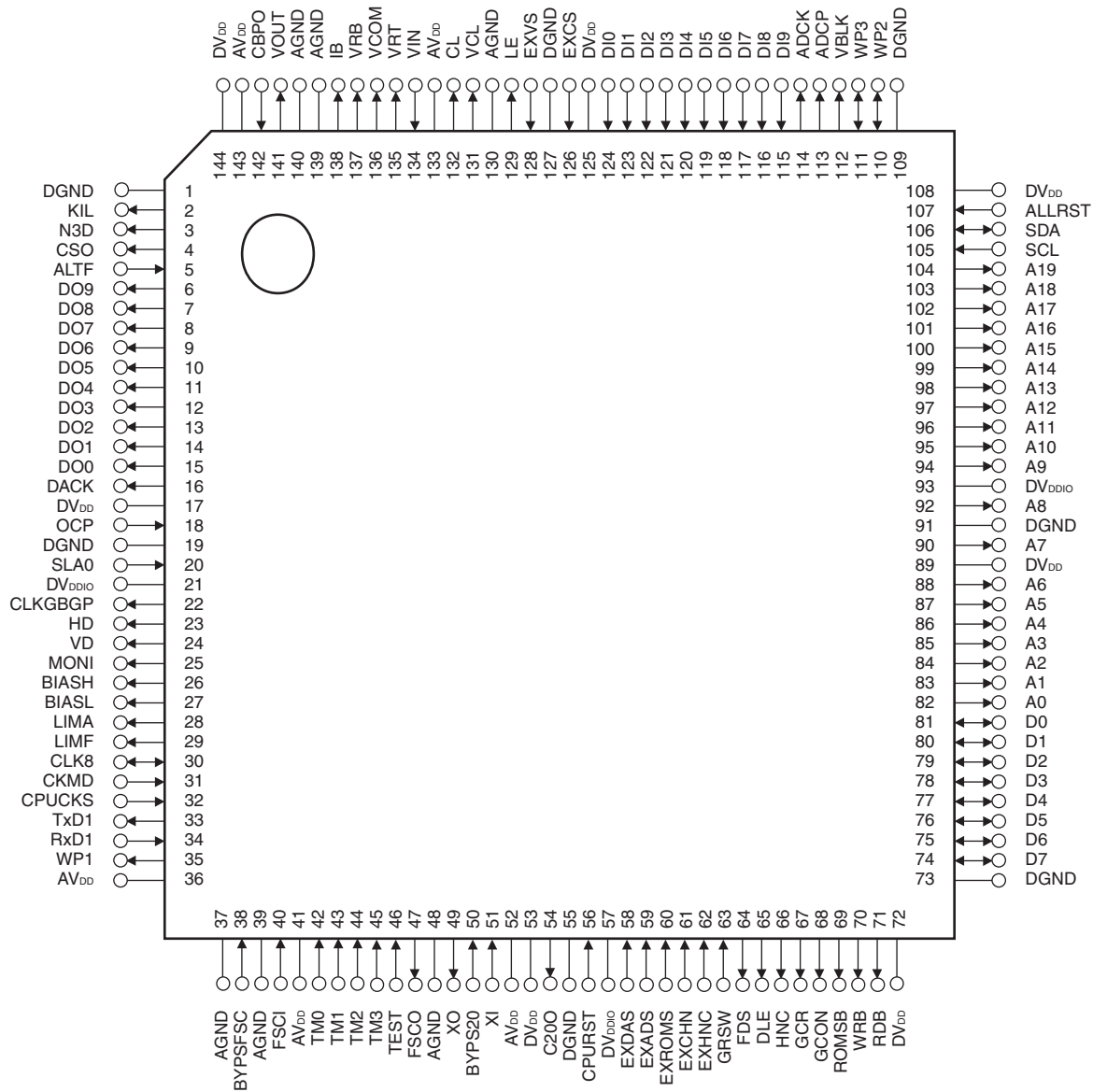
ブロック図



端子接続図 (Top View)

144ピン・プラスチックLQFP (ファインピッチ) (20×20)

- ・μPD64031AGJ-8EN-A
- ・μPD64031AGJ-8EN-Y



目 次

- 1. 端子機能 ... 6
- 2. システム概要 ... 11
 - 2.1 動作モード ... 11
 - 2.2 動作概要 ... 12
 - 2.3 ゴースト低減範囲について ... 13
 - 2.4 電源起動とリセット ... 13
 - 2.4.1 電源投入時と切断時の注意事項 ... 14
 - 2.4.2 CPU リセットについて ... 14
 - 2.5 ポート制御と I²C レジスタ制御の関係について ... 14
 - 2.5.1 ゴースト低減動作 ON/OFF 制御 ... 14
 - 2.5.2 チャンネル変更制御 ... 15
 - 2.5.3 強制ハンチング制御 ... 16
 - 2.5.4 デジタル・データ出力制御 ... 17
- 3. コンボジット・ビデオ信号入力ブロック ... 18
 - 3.1 コンボジット・ビデオ信号入力 ... 18
 - 3.2 クランプ回路およびバイアス回路 ... 19
 - 3.3 コンボジット・ビデオ信号入力レベル ... 19
 - 3.4 端子処理など ... 20
- 4. クロック生成/タイミング生成ブロック ... 21
 - 4.1 コンボジット同期信号入力 ... 21
 - 4.2 垂直同期信号入力 ... 21
 - 4.3 タイミング・ジェネレータ ... 21
 - 4.4 バースト PLL 回路 ... 22
 - 4.5 キラー検出回路 ... 22
 - 4.6 fsc ジェネレータ ... 22
 - 4.7 8fsc PLL 回路 ... 22
 - 4.8 端子処理など ... 22
 - 4.9 外部同期分離回路設計時の注意点 ... 23
- 5. 同期はずれ検出ブロック ... 24
 - 5.1 水平同期はずれ判定 ... 24
 - 5.2 垂直同期はずれ判定 ... 24
 - 5.3 ハンチング検出 ... 24

- 6. コンポジット・ビデオ信号出力ブロック ... 25
 - 6.1 デジタル・コンポジット・ビデオ信号出力処理 ... 25
 - 6.2 コンポジット・ビデオ信号出力レベル ... 25
 - 6.3 デジタル・クランプ・アンプ機能 ... 26
 - 6.4 端子処理など ... 27

- 7. I²C バス・インタフェース ... 28
 - 7.1 基本仕様 ... 28
 - 7.2 データ送受信フォーマット ... 29
 - 7.3 I²C バスの初期化 ... 30

- 8. シリアル・バス・レジスタ一覧 ... 31

- 9. 電気的特性 ... 44

- 10. 外形図 ... 47

- 11. 半田付け推奨条件 ... 48

1. 端子機能

表1 - 1 端子機能一覧 (1/5)

端子番号	端子略号	I/O	レベル	バッファ・ タイプ PU/PD [kΩ]	機 能
1, 19, 55, 73, 91, 109, 127	DGND	-	-		デジタル部接地
17, 53, 72, 89, 108, 125, 144	DV _{DD}	-	-		デジタル部 2.5 V 電源
2	KIL	O	CMOS	3 mA 3.3 V 振幅	キラー出力 キラーを検出すると Low が出力されます
3	N3D	O	CMOS	3 mA 3.3 V 振幅	3次元処理禁止フラグ出力 (3次元 Y/C 分離 IC とのデジタル直結時に, 3次元処理 禁止フラグとして使用)
4	CSO	O	CMOS	3 mA 3.3 V 振幅	コンポジット同期信号出力 EXCS 端子 (126 ピン) に入力されたコンポジット同期信号 をシステム・ディレイ分遅延して出力します (3次元 Y/C 分 離 IC とのデジタル直結時に使用)
5	ALTF	I	CMOS	50 kΩ PD 3.3 V 耐圧	外部 4f _{sc} 位相入力 外部から 4f _{sc} クロックを入力します (3次元 Y/C 分離 IC と のデジタル直結時に使用)
6-15	DO9-DO0	O	CMOS	3 mA 3.3 V 振幅	デジタル信号出力 初期値 Hi-Z, I ² C によりブルダウン可能
16	DACK	O	CMOS	3 mA 3.3 V 振幅	テスト端子
18	OCP	I	CMOS	50kΩ PD 3.3 V 耐圧	外部バースト・ゲート・パルス入力 外部で生成したバースト・ゲート・パルスを入力します (3次元 Y/C 分離 IC とのデジタル直結時に使用)
20	SLA0	I	CMOS	50 kΩ PD 3.3 V 耐圧	I ² C バス・スレーブ・アドレス選択 High : 26h/27h Low : 24h/25h
22	CLKGBGP	O	CMOS	3 mA 3.3 V 振幅	CLKG 用 BGP モニタ出力 (アクティブ・ハイ)
23	HD	O	CMOS	3 mA 3.3 V 振幅	水平同期信号モニタ出力 (アクティブ・ロウ)
24	VD	O	CMOS	3 mA 3.3 V 振幅	垂直同期信号モニタ出力 (アクティブ・ロウ)
25	MONI	O	CMOS	3 mA 3.3 V 振幅	テスト端子
26	BIASH	O	CMOS	3 mA 3.3 V 振幅	テスト用出力
27	BIASL	O	CMOS	3 mA 3.3 V 振幅	テスト用出力

表1 - 1 端子機能一覧 (2/5)

端子番号	端子略号	I/O	レベル	バッファ・ タイプ PU/PD [kΩ]	機 能
28	LIMA	O	CMOS	3 mA 3.3 V 振幅	テスト端子
29	LIMF	O	CMOS	3 mA 3.3 V 振幅	テスト端子
30	CLK8	I/O	CMOS	6 mA 3.3 V 振幅	8f _{sc} クロック入出力 外部で生成された 8f _{sc} クロックを入力または出力します 入出力の切り替えは CKMD (31 ピン) で行います CKMD が Low : 出力モード (標準) CKMD が High : 入力モード (3 次元 Y/C 分離 IC とのディ ジタル直結時に使用)
31	CKMD	I	CMOS	50 kΩ PD 3.3 V 耐圧	クロック生成モード制御 8f _{sc} クロックの生成方法を切り替えます Low : 内部で生成された 8f _{sc} を使用 (通常時) High : 外部から CLK8 端子 (30 ピン) へ入力 (3 次元 Y/C 分離 IC とのディジタル直結時に使用)
32	CPUCKS	I	CMOS	50 kΩ PD 3.3V 耐圧	テスト端子 (GND に接続)
33	TxD1	O	CMOS	3 mA 3.3 V 振幅	テスト端子
34	RxD1	I	Schmitt	50 kΩ PU 3.3 V 耐圧	テスト端子 (V _{DDIO} にプルアップ)
35	WP1	O	CMOS	3 mA 3.3V 振幅	3 次元 Y/C 分離ディジタル接続モード・コントロール出力 μPD64031A (ゴースト・リデューサ: GR) と当社製 3 次 元 Y/C 分離 IC (3DYC) をディジタル接続時、入力信号な どに応じて、GR + 3DYC、または 3DYC 単体での動作に切 り替えるための信号が出力されます Low : GR + 3DYC High : 3DYC 単体
38	BYP SFSC	I	CMOS	2.5 V 耐圧	FSCI 端子 (40 ピン) 入力アンプ選択 Low : アンプ受け (通常設定) High : CMOS 受け
40	FSCI	I	Analog	2.5 V 耐圧	8f _{sc} PLL f _{sc} 入力 f _{sc} BPF より DC カットした f _{sc} を入力 (3 次元 Y/C 分離 IC とのディジタル直結時は GND に接続)
42-45	TM0-TM3	I	CMOS	50 kΩ PD 2.5 V 耐圧	テスト端子 (GND に接続)
46	TEST	I	CMOS	50 kΩ PD 2.5V 耐圧	テスト端子 (GND に接続)
47	FSCO	O	Analog	2.5 V 振幅	f _{sc} ジェネレータ f _{sc} クロック出力 内部クロック・ジェネレータで生成された f _{sc} クロックが出 力されます。バッファを介して BPF に接続します

表1 - 1 端子機能一覧 (3/5)

端子番号	端子略号	I/O	レベル	バッファ・ タイプ PU/PD [kΩ]	機 能
49	XO	O	Analog	2.5 V 振幅	f _{sc} ジェネレータ基準クロック反転出力 20 MHz 水晶発振回路を接続。
50	BYPS20	I	CMOS	2.5 V 耐圧	XI 端子 (51 ピン) 入力アンプ選択 Low : アンプ受け (通常設定) High : CMOS 受け
51	XI	I	Analog	2.5 V 耐圧	f _{sc} ジェネレータ基準クロック入力 20 MHz 水晶発振回路を接続
54	C200	O	CMOS	6 mA 3.3 V 振幅	f _{sc} ジェネレータ 20 MHz クロック出力 f _{sc} ジェネレータに接続する 20 MHz クロックが出力されま す(3次元 Y/C 分離 IC とのデジタル直結時に使用します)
56	CPURST	I	Schmitt	50 kΩ PU 3.3 V 耐圧	テスト端子 (V _{DDIO} にプルアップ)
58	EXDAS	I	CMOS	50 kΩ PD 3.3 V 耐圧	データ出力選択 High : デジタル出力 (DO9-DO0 端子: 6-15 ピン) 有効, Low : デジタル出力無効 (DO9-DO0 端子は Hi-Z) I ² C バス・レジスタ EXDAS (SA01h: D7) と同時設定が必要 です
59	EXADS	I	CMOS	50 kΩ PD 3.3 V 耐圧	テスト端子 (GND に接続)
60	EXROMS	I	CMOS	50 kΩ PD 3.3 V 耐圧	テスト端子 (GND に接続)
61	EXCHN	I	Schmitt	50 kΩ PD 3.3 V 耐圧	チャンネル変更制御入力 チャンネル変更信号を入力します (アクティブ・ハイ) I ² C バス・レジスタ CH (SA00h: D4) で制御する場合はこ の端子を Low に固定してください
62	EXHNC	I	Schmitt	50 kΩ PD 3.3 V 耐圧	強制同期はずれ制御入力 この端子を High にすると強制的にハンチング状態となりま す。I ² C バス・レジスタ HNCS (SA06h: D7, D6) で制御す る場合はこの端子を Low に固定してください (OR 論理)
63	GRSW	I	Schmitt	50 kΩ PD 3.3 V 耐圧	ゴースト低減動作 ON/OFF High : ゴースト低減動作 OFF Low : ゴースト低減動作 ON I ² C バス・レジスタ GRMD [0] (SA00h: D6) で制御する場 合はこの端子を Low に固定してください
64	FDS	O	CMOS	3 mA 3.3 V 耐圧	テスト端子
65	DLE	O	CMOS	3 mA 3.3 V 耐圧	テスト端子

表1 - 1 端子機能一覧 (4/5)

端子番号	端子略号	I/O	レベル	パッファ・ タイプ PU/PD [kΩ]	機能
66	HNC	O	CMOS	3 mA 3.3 V 耐圧	同期はずれ検出出力 同期はずれを検出したときに High が出力されます I ² C バスにも出力されます
67	GCR	O	CMOS	3 mA 3.3 V 耐圧	GCR 信号検出出力 入力されたビデオ信号から GCR 信号を検出すると High が出力されます。I ² C バスにも出力されます
68	GCON	O	CMOS	3 mA 3.3 V 耐圧	ゴースト低減動作状態出力 ゴースト低減動作を開始すると High が出力されます I ² C バスにも出力されます
69	ROMSB	O	CMOS	3 mA 3.3 V 耐圧	テスト端子
70	WRB	O	CMOS	3 mA 3.3 V 耐圧	テスト端子
71	RDB	O	CMOS	3 mA 3.3 V 耐圧	テスト端子
74-81	D7-D0	I/O	CMOS	50 kΩ PU 3 mA 3.3 V 耐圧	テスト端子
82-88, 90, 92, 94-104	A0-A19	O	CMOS	3 mA 3.3 V 耐圧	テスト端子
105	SCL	I	Schmitt/FS	5 V 耐圧	I ² C バス・クロック入力 システムの I ² C バス・クロック・ラインに接続
106	SDA	I/O	Schmitt/FS /Nch OD	6 mA 5 V 耐圧	I ² C バス・データ入出力 システムの I ² C バス・データ・ラインに接続
107	ALLRST	I	Schmitt/FS	5 V 耐圧	リセット入力 μPD64031A 全体のリセットを行います (アクティブ・ロウ)
110	WP2	I/O	CMOS	50 kΩ PD 3 mA 5 V 耐圧	I ² C 汎用入出力 8 ビットの PWM 入出力(リセット直後は入力モードです)
111	WP3	I/O	CMOS	50 kΩ PD 3 mA 5 V 耐圧	I ² C 汎用入出力 8 ビットの PWM 入出力(リセット直後は入力モードです)
112	VBLK	O	CMOS	3 mA 5 V 耐圧	垂直ブランキング信号出力 各フィールドの先頭 9H 期間 Low を出力します
113	ADCP	O	CMOS	3 mA 5 V 耐圧	テスト端子

表1 - 1 端子機能一覧 (5/5)

端子番号	端子略号	I/O	レベル	パッファ・ タイプ PU/PD [kΩ]	機 能
114	ADCK	O	CMOS	3 mA 5 V 耐圧	テスト端子
115-124	DI9-DI0	I	CMOS	50 kΩ PD 5 V 耐圧	テスト端子
126	EXCS	I	Schmitt	5 V 耐圧	コンポジット同期分離入力 外部同期分離回路より分離されたコンポジット同期信号を入力します
128	EXVS	I	Schmitt	5 V 耐圧	垂直同期分離入力 外部同期分離回路より分離された垂直同期信号を入力します
129	LE	O	CMOS	3 mA 3.3 V 耐圧	直流誤差レベル出力
131	VCL	O	Analog	2.5 V 耐圧	A/D コンバータ・クランプ基準電位
132	CL	O	Analog	2.5 V 耐圧	A/D コンバータ・クランプ出力
134	VIN	I	Analog	2.5 V 耐圧	映像信号入力
135	VRT	O	Analog	2.5 V 耐圧	A/D コンバータ・トップ基準電圧
136	VCOM	O	Analog	2.5 V 耐圧	A/D コンバータ同相基準電圧
137	VRB	O	Analog	2.5 V 耐圧	A/D コンバータ・ボトム基準電圧
138	IB	O	Analog	2.5 V 耐圧	A/D コンバータ基準電圧
141	VOUT	O	Analog	2.5 V 耐圧	映像信号出力
142	CBPO	I	Analog	2.5 V 耐圧	D/A コンバータ位相補償
21, 57, 93	DV _{DDIO}	-	-		IO 部電源 (3.3 V)
36, 41, 52, 133, 143	AV _{DD}	-	-		アナログ部 2.5 V 電源
37, 39, 48, 130, 139, 140	AGND	-	-		アナログ部接地

2. システム概要

2.1 動作モード

μPD64031Aには、主にゴースト低減動作 ON または OFF の2つのモードがあります。設定方法は、シリアル・バス・レジスタ GRMD (SA00h: D7, D6) か、GRSW 端子 (63 ピン) で行います。シリアル・バス・レジスタ GRMD およびレジスタ SWSEL (SA00h: D5) ではゴースト低減動作 ON/OFF の制御方法の設定も行います。

なお、ゴースト低減動作の ON/OFF を行う際のシリアル・バスと端子の優先順位関係については、2.5 ポート制御と I²C レジスタ制御の関係についてを参照してください。

表2-1 動作モード一覧表 (1/2)

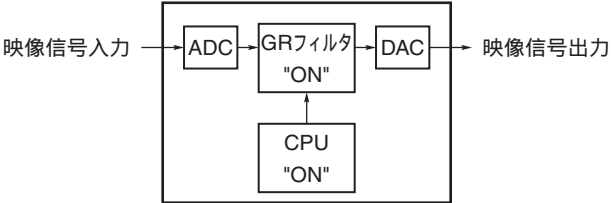
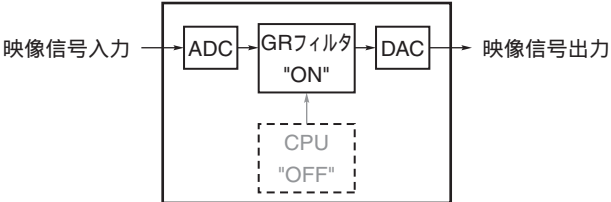
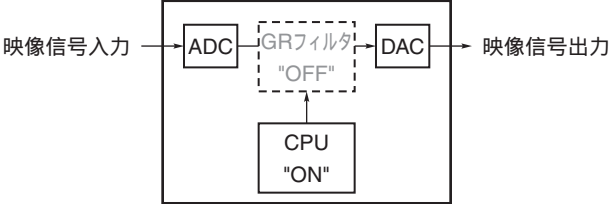
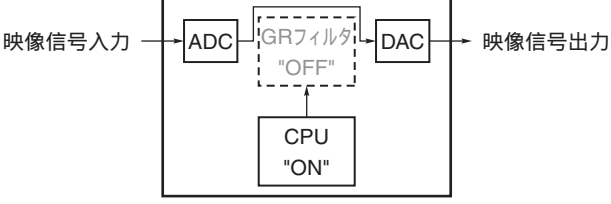
シリアル・バス設定, 端子設定	機能	特長, モデル図
レジスタ GRMD = 00 かつ GRSW 端子 = Low	ゴースト低減動作	<ul style="list-style-type: none"> 入力信号から GCR 信号を検出し、ゴースト低減動作可能な場合、CPU でフィルタ係数の演算を行い、その結果を GR フィルタに適用することでゴーストの低減を行います。 
レジスタ SWSEL = 0 かつ レジスタ GRMD = 01 または GRSW 端子 = High	ゴースト低減動作停止 (アパーチャ補正あり)	<ul style="list-style-type: none"> 入力信号の状態にかかわらず、ゴースト低減動作を停止します。 レジスタ SWSEL = 0 のとき、内蔵 CPU により停止制御が行われます。 このとき、GR フィルタは動作しますが、CPU が演算を停止しフィルタ係数が GR フィルタに設定されないため、ゴースト低減動作は行われません。 出力信号にはアパーチャ補正のみがかかります (レジスタ RFS = 1xxx 選択時)。 

表 2 - 1 動作モード一覧表 (2/2)

シリアル・バス設定, 端子設定	機能	特 長, モデル図
レジスタ SWSEL = 1 かつ レジスタ GRMD = 01 または GRSW 端子 = High	ゴースト低減動作停止 (アパーチャ補正なし)	<ul style="list-style-type: none"> ・入力信号の状態にかかわらず、ゴースト低減動作を停止します。 ・レジスタ SWSEL = 1 のとき,GR フィルタにより停止制御が行われます。 ・このとき, CPU は動作しますが, GR フィルタが動作していないため,ゴースト低減動作は行われません。 ・出力には入力信号がそのままスルーされます(アパーチャ補正もかかりません)。 
レジスタ GRMD = 1x	スルー (遅延最短)	<ul style="list-style-type: none"> ・入力された信号を GR フィルタを通さずそのまま出力します。 ・このとき, 信号は GR フィルタを通らないため遅延時間が最短となります。 

2.2 動作概要

μPD64031A のゴースト低減動作は次の手順で行われます。

- (1) リセット, またはチャンネル変更信号が入力された時点から動作を開始します。
- (2) 入力されたコンポジット・ビデオ信号から GCR 信号を取り出します。
- (3) 取り出された GCR 信号は CPU に送られ, CPU でゴーストの位置や強さ, 周波数特性を解析します。
- (4) 解析結果から, 波形等化およびゴースト低減動作を行うためのフィルタ係数を演算します。
- (5) CPU で得られたフィルタ係数が GR フィルタにセットされ, ゴースト低減動作を開始します。

この(2)-(4)の動作を1回のサイクルとして, 以降, 次にチャンネル変更が行われるまで繰り返します。このとき1サイクル内での GCR 信号の解析回数は, サイクルが進むにつれて増加していきます。取り込まれた GCR 信号は積分されるので, トータルの解析回数が増えるに従い, フィルタ係数の精度が向上します。

表 2 - 2 に GCR 信号の解析回数とその処理時間を示します。

表2-2 フィルタ係数処理時間

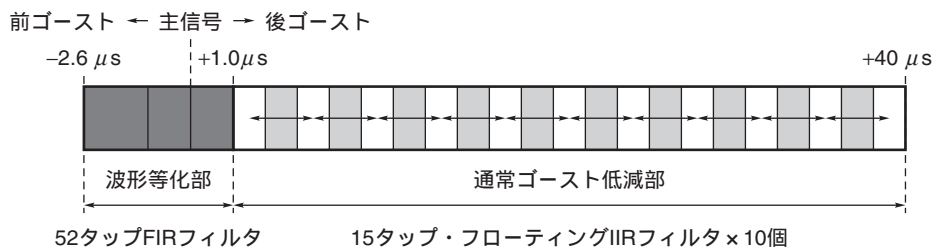
フィルタ係数設定	1回目	2回目	3回目	4回目	5回目	6回目	7回目	8回目	9回目	10回目以降
GCR 解析回数 注1	1	2	4	8	16	32	64	128	256	256
処理時間 (秒) 注2	1.2	2.4	4.2	7.0	12	22	39	74	142	278

注1. 1回目の解析回数と最終的な解析回数はシリアル・バス・レジスタ INTS(SA03h: D5-D3)および INTE(SA03h: D2-D0)で設定可能です。表2-2は初期値(初回:1回,最大:256回)の場合のものです。
 2. 表内の数値は計算値です。実際にはゴーストの状況などによって多少変動する場合があります。

2.3 ゴースト低減範囲について

μPD64031Aは52タップのFIRフィルタによる波形等化部(近接ゴースト低減)と15タップのIIRフィルタ×10個からなる通常ゴースト低減部から構成されています。これにより入力信号の-2.6~+1.0μsの範囲の近接ゴーストと1.0~40μsの範囲の通常ゴーストを低減することができます。

図2-1 GRフィルタ概要図

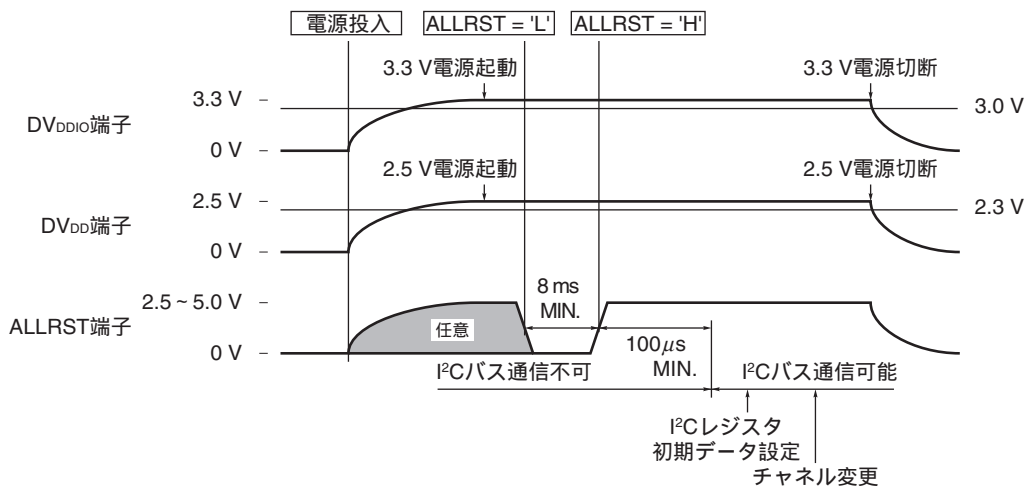


波形等化部における周波数特性補正時のレファレンス波形はシリアル・バス・レジスタ RFS (SA02h: D3-D0)により12種類(6波形×アパーチャ補正あり/なし)の中から選択することができます。また、前ゴーストの低減範囲はシリアル・バス・レジスタ PREGHSTS (SA02h: D4)により、-1.0 μsまで、または-2.6 μsまでの2種類を設定できます。

2.4 電源起動とリセット

μPD64031Aは、内周部用電源2.5V(デジタル,アナログ)と外周部用電源3.3Vの2電源を必要とします。電源起動のシーケンスとシステムのリセットの方法を次に示します。

図2-2 電源投入とリセットのシーケンス



起動とリセットの手順は次のようになります。

- ・内周部用 2.5 V 電源 (DV_{DD} および AV_{DD}) と外周部用 3.3 V 電源 (DV_{DDIO}) を同時に投入します。
- ・リセット信号は ALLRST 端子 (107 ピン) に入力します。各電源が起動後に 8 ms 以上のパルス幅で行ってください。なお、CPURST 端子 (56 ピン) は特にリセットをかける必要はありません (DV_{DDIO} にプルアップ)。
- ・I²C 通信はリセット完了後 100 μs 以上経過後に可能となります。レジスタ設定はこのあとで開始してください。
- ・I²C レジスタ設定後、チャンネル変更信号を入力することでゴースト低減動作を開始します。

2.4.1 電源投入時と切断時の注意事項

- ・電源投入時、内周部用 2.5 V 電源 (DV_{DD} および AV_{DD}) は外周部用 3.3 V 電源 (DV_{DDIO}) 投入後、10 ms 以内に起動するようにしてください。
- ・電源切断時、内周部用 2.5 V 電源 (DV_{DD} および AV_{DD}) と外周部用 3.3 V 電源 (DV_{DDIO}) の切断は同時に行ってください。
- ・内周部用 2.5 V 電源 (DV_{DD} および AV_{DD}) 切断時に、外周部用 3.3 V 電源 (DV_{DDIO}) だけを印加しないでください。

2.4.2 CPU リセットについて

CPURST 端子により μPD64031A 内蔵の CPU のみリセットをかけることができます。このとき、I²C レジスタ設定値は保持されます (初期化されません)。

2.5 ポート制御と I²C レジスタ制御の関係について

μPD64031A には一部ポートとシリアル・バスの両方に割り振られている制御機能があります。2.5.1 から 2.5.4 に、ポートと I²C レジスタの優先順位について説明します。

2.5.1 ゴースト低減動作 ON/OFF 制御

ゴースト低減動作の ON/OFF は GRSW 端子かもしくはレジスタ GRMD [0]で行います。両信号は次の図のような論理で制御されています。したがって、端子と I²C の両方がアクティブ (Low) のときゴースト低減動作を行い、どちらか一方でも OFF 設定になると動作を停止します。

図2 - 3 ゴースト低減動作 ON/OFF 制御

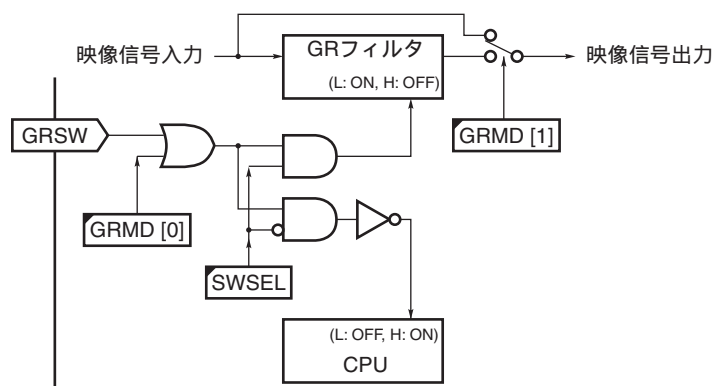


表2-3 ゴースト低減動作状態

ゴースト低減動作状態		GRSW 端子	
		High	Low
レジスタ GRMD [1:0]	00	停止	ゴースト低減動作
	01	停止	停止
	1x	スルー	スルー

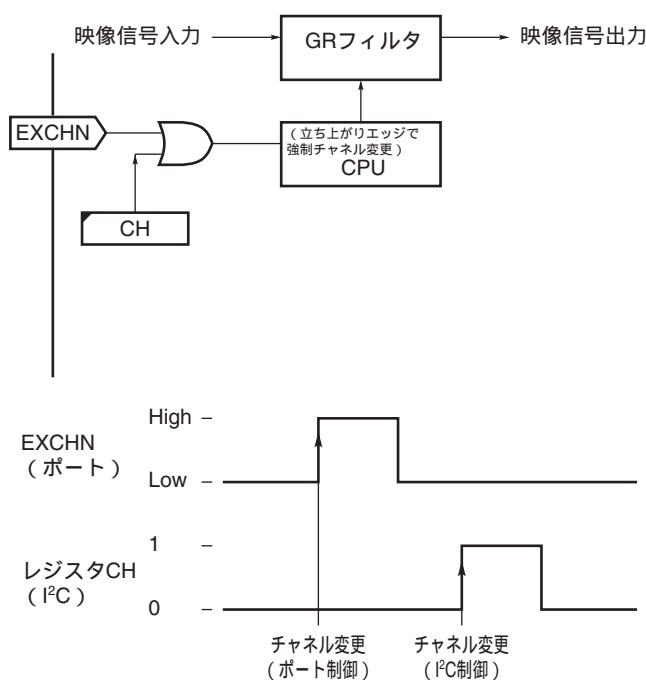
- 注意 1. ポート制御を行う場合、シリアル・バス・レジスタ GRMD は 00 に設定してください。
 2. I²C による制御を行う場合、GRSW 端子は Low に固定してください。

シリアル・バス・レジスタ SWSEL (SA00h: D5) は GRSW 端子またはシリアル・バス・レジスタ GRMD [0]によるゴースト低減動作の ON/OFF を、GR フィルタで行うか CPU で行うかを決定します (2.1 動作モード参照)。

2.5.2 チャンネル変更制御

チャンネル変更入力 EXCHN 端子 (61 ピン) かもしくはシリアル・バス・レジスタ CH (SA00h: D4) で行います。両信号は OR 論理で制御されていますので、どちらかをアクティブ (High) にすればチャンネル変更が行われます。

図2-4 チャンネル変更制御



- 注意 1. ポート制御を行う場合、シリアル・バス・レジスタ CH は 0 に設定してください。
 2. I²C による制御を行う場合、EXCHN 端子は Low に固定してください。

2.5.3 強制ハンチング制御

強制ハンチング入力は EXHNC 端子 (62 ピン) かもしくはシリアル・バス・レジスタ HNCS (SA06h: D7, D6) で行います。両信号は OR 論理で制御されていますので、どちらかをアクティブ (High) にすれば強制ハンチング状態となります。

図2 - 5 強制ハンチング制御

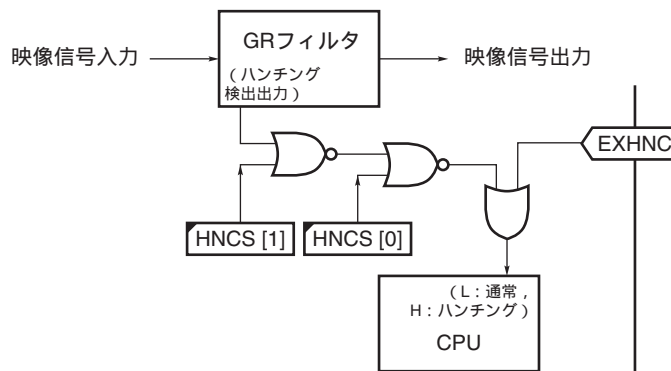


表2 - 4 ハンチング状態

ハンチング状態		EXHNC 端子	
		High	Low
レジスタ HNCS [1: 0]	00	強制ハンチング	GR フィルタ判定結果による
	01	強制ハンチング	強制非ハンチング
	10	強制ハンチング	強制ハンチング

- 注意 1. 特に強制ハンチング設定を使用する必要がない場合は、EXHNC 端子は Low に固定、シリアル・バス・レジスタ HNCS は 00 に設定してください。
2. ポート制御により強制ハンチング設定を行う場合、シリアル・バス・レジスタ HNCS は 00 に設定してください。
3. I²C 制御による強制ハンチング設定を行う場合、EXHNC 端子は Low に固定してください。
4. 強制非ハンチング設定を行うには、EXHNC 端子は Low に、シリアル・バス・レジスタ HNCS を 01 に設定してください。

2.5.4 デジタル・データ出力制御

デジタル出力端子の設定は EXDAS 端子 (58 ピン) とシリアル・バス・レジスタ EXDAS (SA01: D7) で行います。両信号は AND 論理で制御されていますので、同時にアクティブに設定することでデジタル出力が有効となります。

図2 - 6 デジタル・データ出力制御

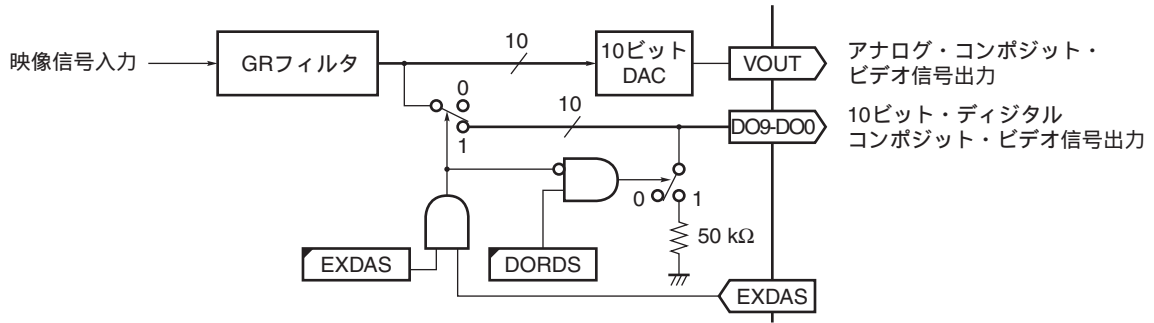


表2 - 5 デジタル出力端子の状態

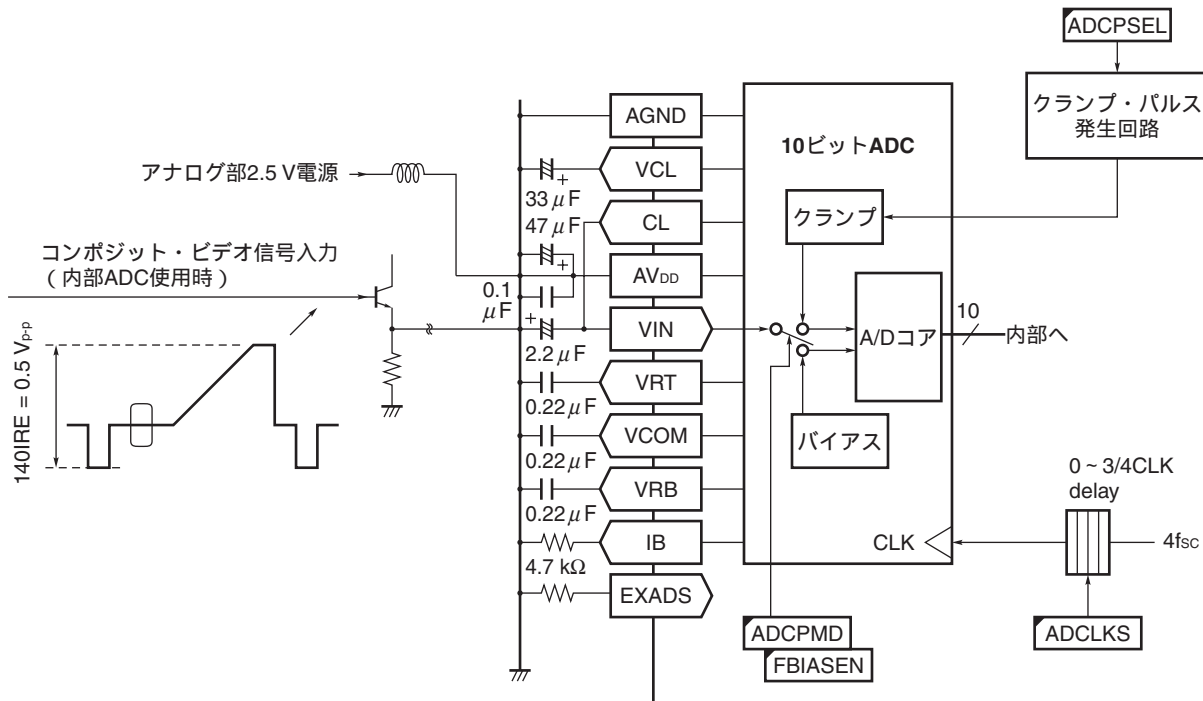
デジタル出力端子の状態		EXDAS 端子	
		High	Low
レジスタ EXDAS	0	ハイ・インピーダンス	ハイ・インピーダンス
	1	デジタル出力	ハイ・インピーダンス

注意 特にデジタル出力を使用する必要がない場合は、EXDAS 端子は Low に固定してください。

3. コンポジット・ビデオ信号入力ブロック

このブロックでは、コンポジット・ビデオ信号の A/D 変換を行います。

図3 - 1 コンポジット・ビデオ信号入力ブロック概要図



3.1 コンポジット・ビデオ信号入力

コンポジット・ビデオ信号を VIN 端子 (134 ピン) に入力します。入力されたコンポジット・ビデオ信号は内部の 10 ビット A/D コンバータでデジタル・コンポジット・ビデオ信号に変換します (EXADS 端子 (59 ピン) が Low のとき)。

3.2 クランプ回路およびバイアス回路

内蔵 A/D コンバータ入力部にはペDESTAL・クランプ回路とバイアス回路が内蔵されています。クランプ回路使用時は入力信号のペDESTAL位置を VCL (131 ピン) 端子電圧 (0.9 V TYP.) でクランプを行います。バイアス回路は入力信号の DC レベルが内蔵 A/D コンバータ入力間口の中心 (1.0 V TYP.) に一致するようにバイアスをかけます。これらのどちらを使用するかはシリアル・バス・レジスタ ADCPMD (SA04h: D5, D4) で選択することができます。

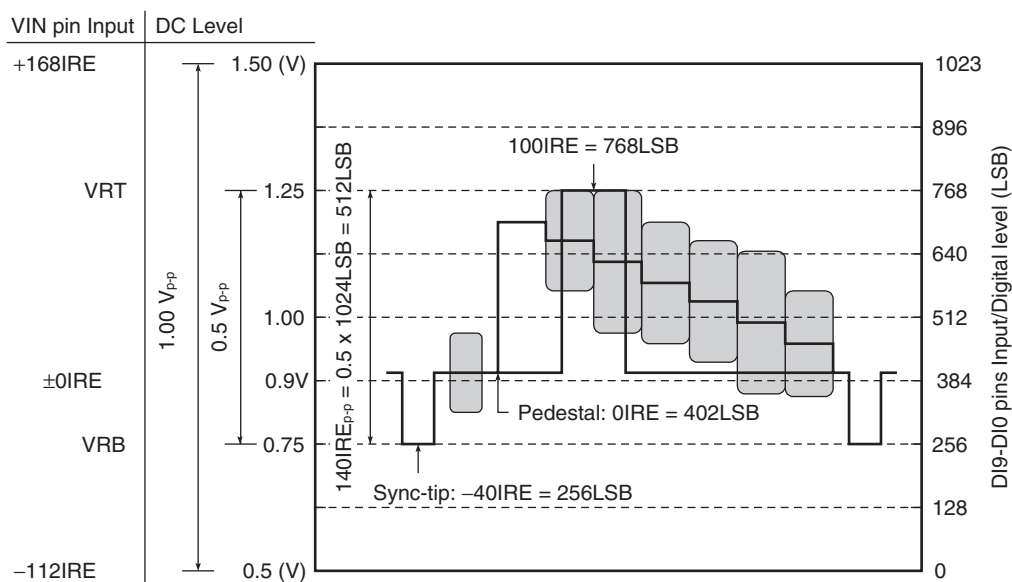
表3 - 1 クランプ回路およびバイアス回路

ADCPMD (SA04h: D5, D4)	機能	動作
00	両方とも使用	通常はクランプ回路を使用しますが、映像の乱れが大きくなり同期検出できないような場合 (ハンチング時) はバイアス回路に切り替わります。
01	クランプ	常にクランプ回路を使用します (標準設定)。
10	バイアス	常にバイアス回路を使用します。
11	両方とも不使用	どちらも使用しません。

3.3 コンポジット・ビデオ信号入力レベル

入力されるコンポジット・ビデオ信号は、ゴーストが重畳した影響で振幅が膨らみ過大なレベル (オーバシュート, アンダシュート) が含まれることが考えられます。正確なゴースト低減動作を行うには、これらのゴースト成分による過大なレベルの信号も取り込む必要があります。したがって μPD64031A へのコンポジット・ビデオ信号の入力レベルは入力レンジに対して十分に余裕をとる必要があります。コンポジット・ビデオ信号入力振幅を 140IRE = 0.5 V_{p-p} (最大入力レンジ 1 V_{p-p} の半分 512LSB) としてください。

図3 - 2 コンポジット・ビデオ信号入力波形例 (クランプ使用, 標準カラー・バー入力時)



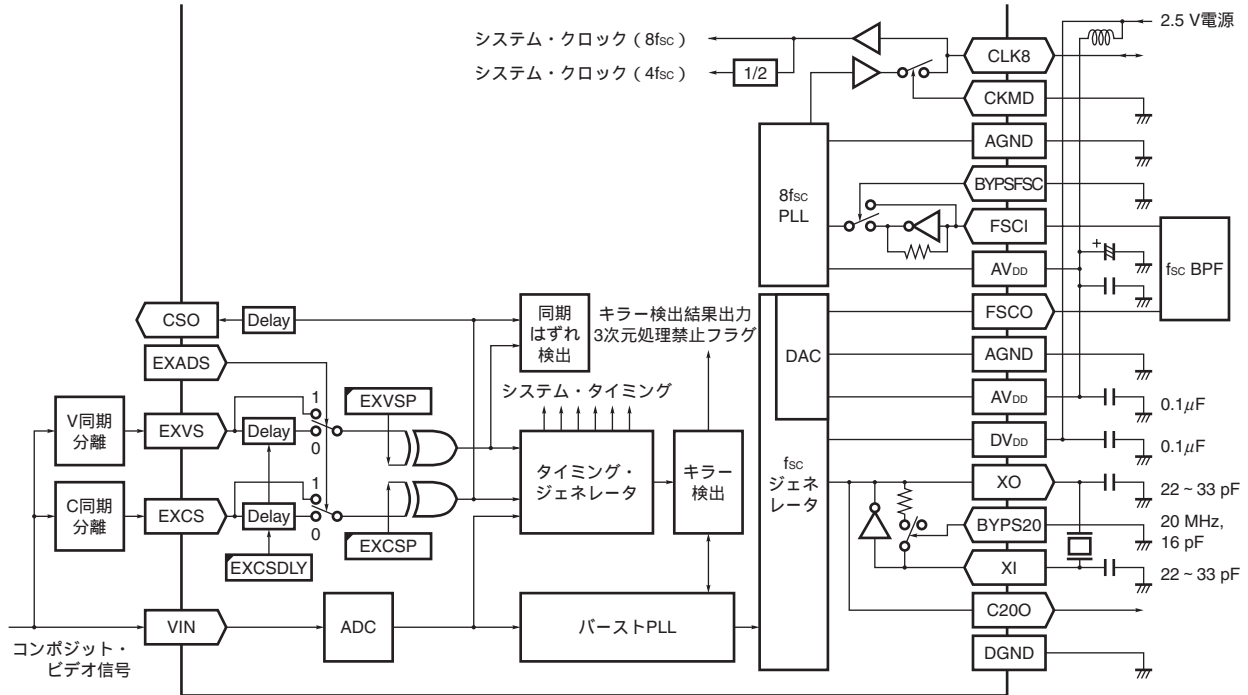
3.4 端子処理など

- ・ AV_{DD} 端子には, 2.5 V 電源を投入します。デジタル部電源とは十分なアイソレーションを行ってください。
- ・ AGND 端子, 各バイパス・コンデンサの接地は, 配線パターンを極力太く広くしてください。
- ・ VIN 端子には, コンポジット・ビデオ信号を容量結合で入力します。コンポジット・ビデオ信号は, 極力低インピーダンスで入力してください。電解コンデンサと VIN 端子間の配線は, 極力太く短くしてください。
- ・ 基準電圧端子 VRT (135 ピン), VCOM (136 ピン), VRB (137 ピン) には, 0.22 μ F 程度のバイパス・コンデンサを接続してください。
- ・ クランプ電圧端子 VCL には, 33 μ F 程度の電解コンデンサを接続してください。

4. クロック生成/タイミング生成ブロック

このブロックでは、コンポジット・ビデオ信号からシステム・クロックやタイミング信号を生成します。

図4-1 クロック生成/タイミング生成ブロック概要図



4.1 コンポジット同期信号入力

EXCS 端子 (126 ピン) には、VIN 端子 (134 ピン) に入力するコンポジット・ビデオ信号から分離された、コンポジット同期信号を入力します。入力論理はシリアル・バス・レジスタ EXCSP (SA05h: D6) で、アクティブ・ロウ (初期値) かアクティブ・ハイかを選択することができます。

この入力には、タイミング・ジェネレータの基準信号として使用するほか、同期はずれ検出にも使用されます。また、システム・ディレイ分遅延されて CSO 端子 (4 ピン) より、アクティブ・ロウで出力されます (この出力は 3 次元 Y/C 分離 IC とのデジタル接続時に使用します)。

4.2 垂直同期信号入力

EXVS 端子 (128 ピン) には、VIN 端子に入力するコンポジット・ビデオ信号から分離された、垂直同期信号を入力します。入力論理はシリアル・バス・レジスタ EXVSP (SA05h: D4) で、アクティブ・ロウ (初期値) かアクティブ・ハイかを選択することができます。

この入力には、タイミング・ジェネレータの基準信号として使用するほか、同期はずれ検出にも使用されます。

4.3 タイミング・ジェネレータ

タイミング・ジェネレータでは 4fsc でサンプリングされたコンポジット・ビデオ信号と外部より入力される水平同期信号と垂直同期信号を基準信号として、各種のシステム・タイミングを生成します。

4.4 バースト PLL 回路

4f_{sc} でサンプリングされたコンポジット・ビデオ信号からバースト信号の位相誤差を検出し、後段の f_{sc} ジェネレータの発振周波数を決定します。

4.5 キラー検出回路

バースト信号の振幅を、シリアル・バス・レジスタ KILS (SA0Eh: D3-D0) 設定値と比較し、カラー・キラー判定を行います。バースト振幅が KILS 設定値以下となった場合、f_{sc} ジェネレータの発振周波数をフリーランとします。

4.6 f_{sc} ジェネレータ

PLL フィルタで決定された発振周波数をもとに f_{sc} を生成します。f_{sc} を内部 D/A コンバータでアナログのサイン波形に変換し、FSCO 端子 (47 ピン) に出力します。この出力には、D/A 変換時の高調波成分が含まれているため、バッファを介して外部の BPF (バンド・パス・フィルタ) で高調波成分を除去してから、容量結合で FSCI 端子 (40 ピン) に入力します。f_{sc} ジェネレータでは、基準クロックとして 20 MHz のフリーラン・クロックを使用しています。

4.7 8f_{sc} PLL 回路

FSCI 端子から入力された f_{sc} から、8 逓倍の 8f_{sc} を生成します。この 8f_{sc} を CLK8 端子 (30 ピン) に出力し同時に内部のシステム・クロックとして使用します。また、CKMD 端子 (31 ピン) を High (3.3V 電源へプルアップ) とした場合、システム・クロックは、内部発生したものでなく、CLK8 端子に入力される外部クロックを使用します (3 次元 Y/C 分離 IC とのデジタル直結時に使用します)。

4.8 端子処理など

- ・ AV_{DD} 端子には、2.5 V 電源を投入します。デジタル部の電源とは十分なアイソレーションを行ってください。
- ・ DGND, AGND 端子、各バイパス・コンデンサの接地は、配線パターンを極力太く広くとってください。
- ・ XI 端子 (51 ピン)、XO 端子 (49 ピン) には、20 MHz の水晶発振子を接続します。ほかのブロックと干渉しないよう、GND パターンによるガード領域を設けてください。表 4 - 1 に、水晶発振子の仕様例を示します。
- ・ FSCO 端子は、エミッタ・フォロワを介して BPF に接続してください。FSCI 端子には、容量結合で f_{sc} 信号を入力します。
- ・ EXCS 端子にはアクティブ・ロウ (またはアクティブ・ハイ) のコンポジット同期信号を入力します。図 4 - 2 にコンポジット同期分離回路例を示します。
- ・ EXVS 端子にはアクティブ・ロウ (またはアクティブ・ハイ) の垂直同期信号を入力します。図 4 - 3 に垂直同期分離回路例を示します。

表4 - 1 水晶発振子仕様例

項 目	規 格
公称発振周波数	20.000000 MHz (基本波)
負荷容量	16 pF
直列抵抗成分	40 Ω以下
周波数偏差	50 ppm 以下
温度偏差	50 ppm 以下

図4 - 2 コンポジット同期分離回路例

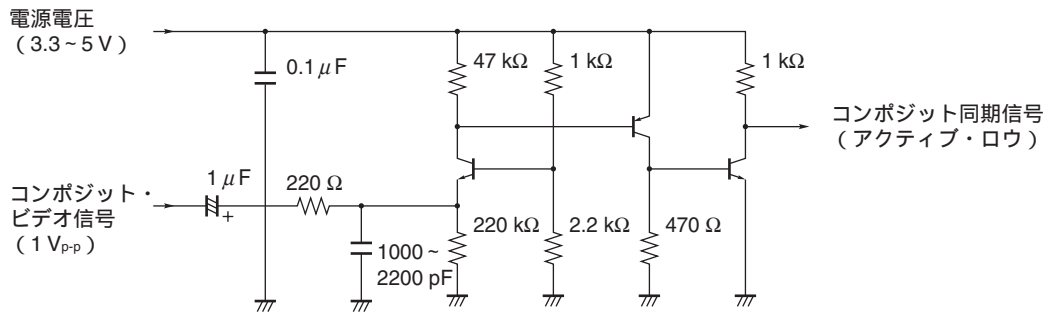
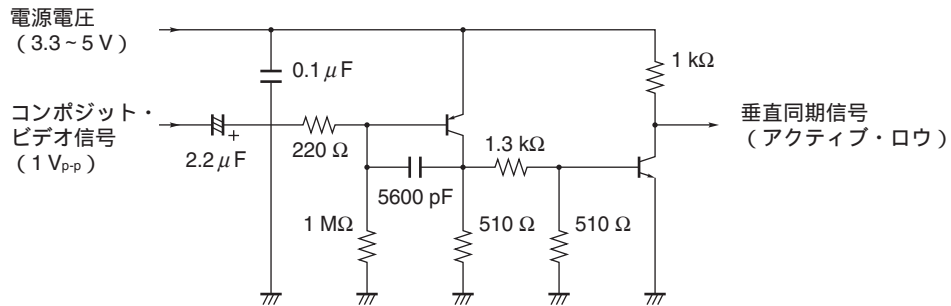


図4 - 3 垂直同期分離回路例



4.9 外部同期分離回路設計時の注意点

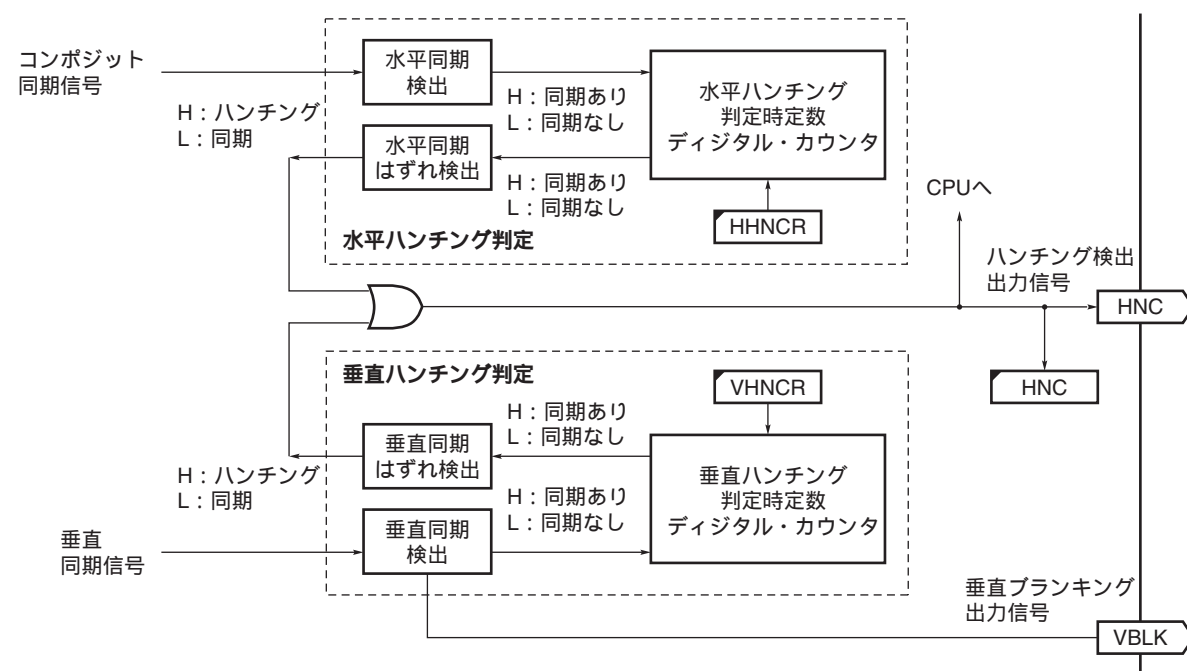
コンポジット同期信号と垂直同期信号のタイミングは以下の条件を満たしてください。

コンポジット同期信号入力に対する垂直同期信号入力の許容遅延範囲：4~30 μs (約 1/2H 以下)

5. 同期はずれ検出ブロック

このブロックでは、非常に強いゴーストが重畳されるなどの精度の悪い信号を検出します。ここでの検出結果は、ゴースト低減処理の停止に利用します。

図5-1 同期はずれ検出ブロック概要図



5.1 水平同期はずれ判定

水平同期検出回路において、入力されたコンポジット同期信号より同期信号期間を検出し、それが一定間隔であるとき、水平同期がとれていると判定します。この判定結果を時定数回路で積分します。この時定数はシリアル・バス・レジスタ HHNCR (SA06h: D5-D0) で設定できます。この積分結果より水平同期はずれ検出回路で水平同期はずれかどうかを検出します。

5.2 垂直同期はずれ判定

入力された垂直同期信号と水平同期信号より、奇数フィールドを検出します。この奇数フィールドの開始点が一定間隔であるとき垂直同期がとれていると判定します。この判定結果を時定数回路で積分します。この時定数はシリアル・バス・レジスタ VHNCR (SA07h: D5-D0) で設定できます。この積分結果より垂直同期はずれ検出回路で垂直同期はずれかどうかを検出します。

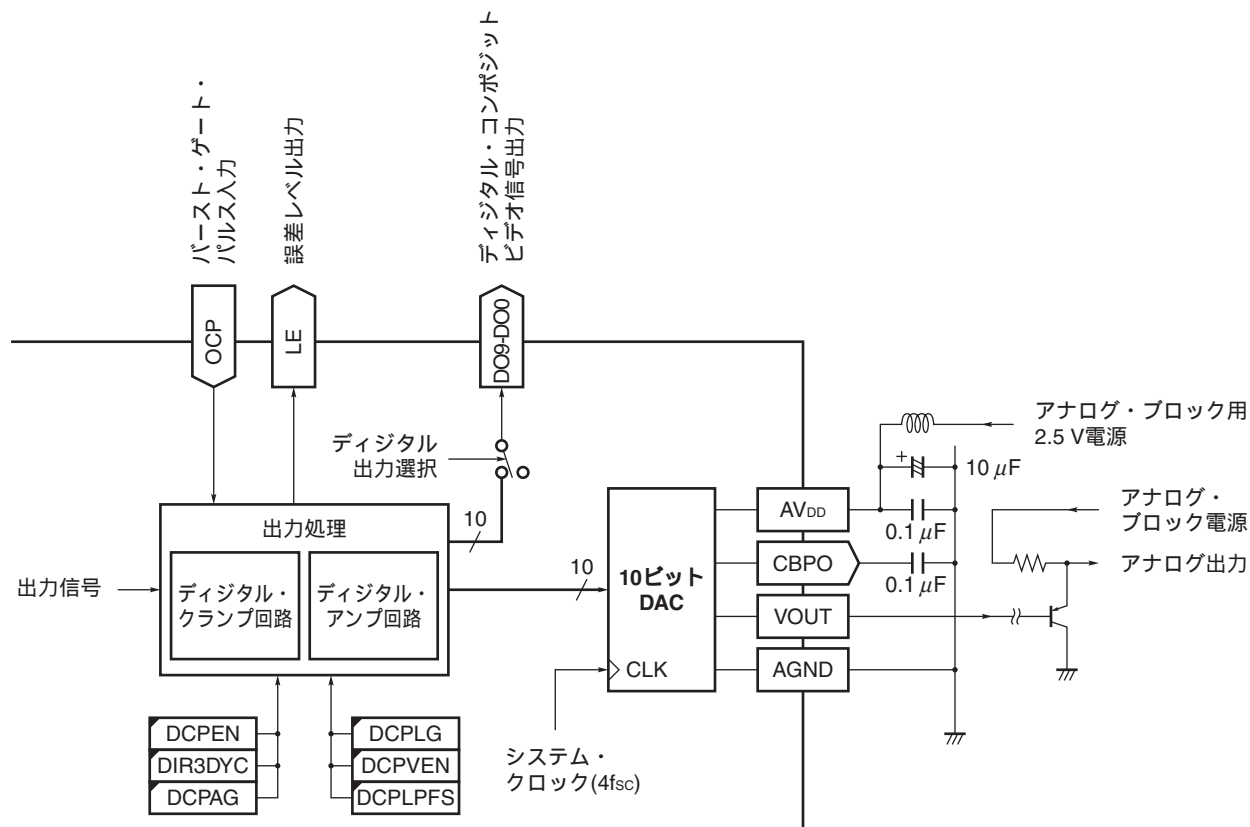
5.3 ハンチング検出

水平あるいは垂直のいずれか同期はずれを検出すると、次に同期が検出されるまでハンチング信号を CPU に与えます。またこの信号は HNC 端子 (66 ピン) とシリアル・バス・レジスタにも出力されます。

6. コンポジット・ビデオ信号出力ブロック

このブロックでは、デジタル・コンポジット・ビデオ信号の D/A 変換、およびデジタル出力を行います。

図6 - 1 コンポジット・ビデオ信号出力ブロック



6.1 デジタル・コンポジット・ビデオ信号出力処理

10ビット・ストレート・バイナリのコンポジット・ビデオ信号が、DO9-DO0端子（6-15ピン）から4fscのクロック・レートで出力されます。

EXDAS端子（58ピン）およびシリアル・バス・レジスタ EXDASで、デジタル出力の有効/無効を切り替えることができます。無効に設定したとき、DO9-DO0端子はハイ・インピーダンスとなります。詳しくは2.5 ポート制御とI²Cレジスタ制御の関係についてを参照してください。

6.2 コンポジット・ビデオ信号出力レベル

図6-2に、標準的なコンポジット・ビデオ信号入力（3. コンポジット・ビデオ信号入力ブロック参照）を行った場合のDO9-DO0端子およびVOUT端子（141ピン）の出力波形を示します。

6.3 デジタル・クランプ・アンプ機能

μPD64031Aの後段に3次元Y/C分離ICなどをデジタル直結する場合、デジタル・クランプ・アンプ回路で出力信号のペDESTAL・レベルの調整と振幅の制御(ペDESTAL位置が中心)を行うことができます。この機能を使用するには、デジタル出力を有効としたうえで、シリアル・バス・レジスタDCPEN(SA09h: D6)とDIR3DYC(SA08h: D7, D6)を設定する必要があります。また、ペDESTAL位置の調整とゲインの設定はシリアル・バス・レジスタDCPAG(SA08h: D5-D3)で設定します。デジタル・クランプ時のクランプ・パルスは OCP 端子(18ピン)より入力する必要があります。図6-3にデジタル・クランプ時(ペDESTAL・シフト+ゲイン1.625倍に設定)のデジタル・コンポジット・ビデオ信号出力波形を示します。

図6-2 コンポジット・ビデオ信号出力波形例(標準カラー・バー入力時)

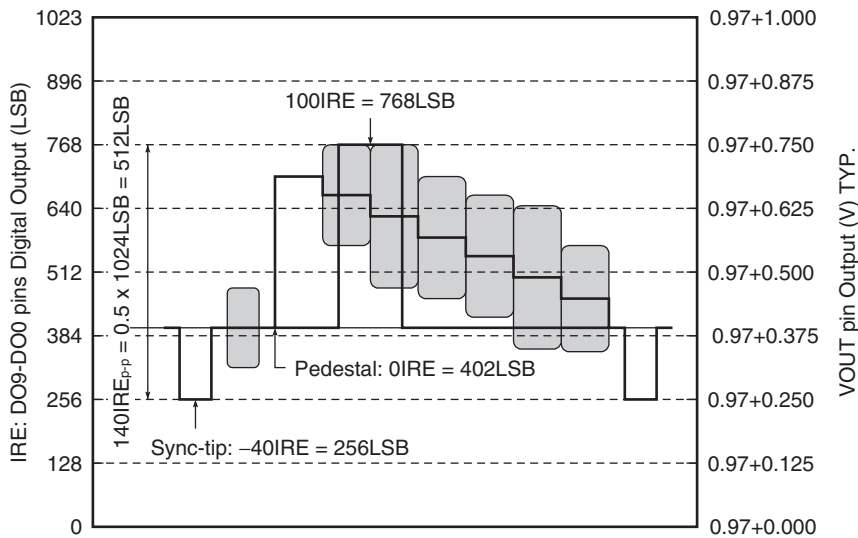
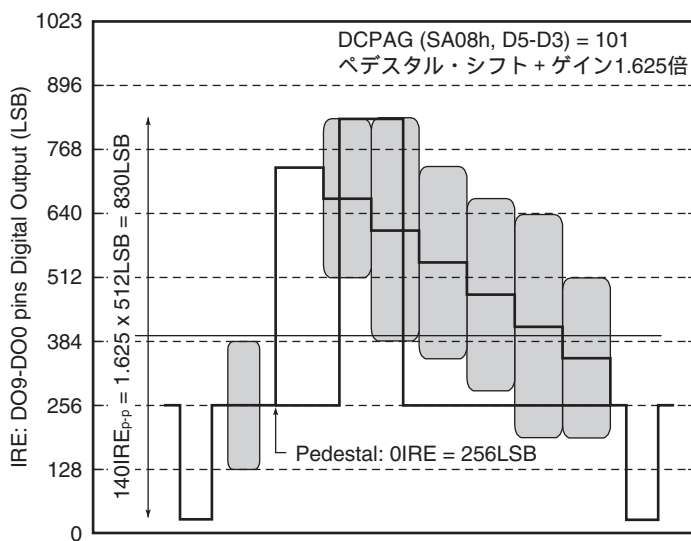


図6-3 デジタル・コンポジット・ビデオ信号出力波形例
(0.5 V_{p-p} 標準カラー・バー入力, デジタル・クランプ・アンプ使用時)



6.4 端子処理など

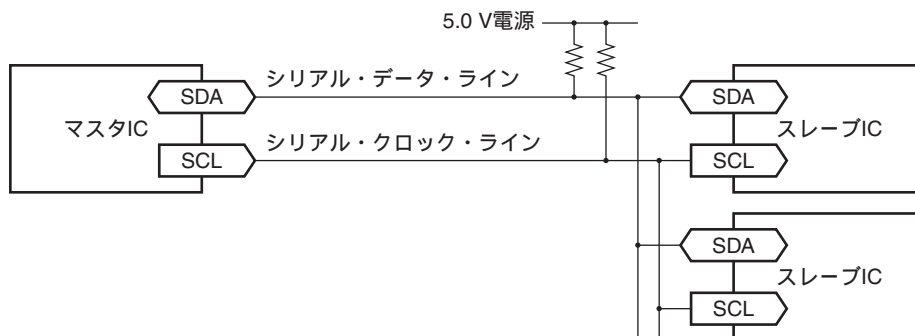
- ・ AV_{DD} 端子には、2.5 V 電源を投入します。デジタル部電源とは十分なアイソレーションを行ってください。
- ・ AGND 端子、バイパス・コンデンサの接地は、配線パターンを極力太く広くしてください。
- ・ CBPO 端子 (142 ピン) には、0.1 μ F 程度のコンデンサを接続してください。

7. I²C バス・インタフェース

7.1 基本仕様

I²C バスはフィリップス社が開発した 2 線式双方向シリアル・バスです。IC 間で通信を行うシリアル・データ・ライン (SDA) と、通信の同期をとるためのシリアル・クロック・ライン (SCL) の 2 線で構成されています。

図7-1 I²C バス・インタフェース



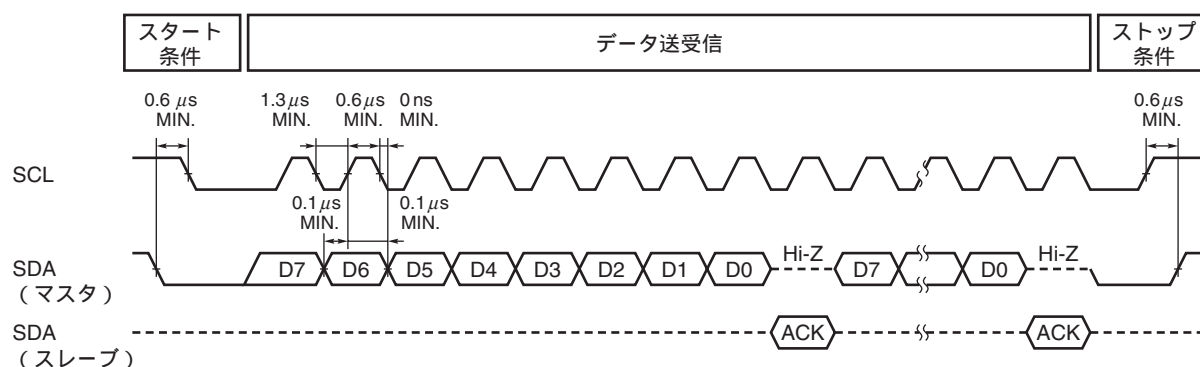
マスタ IC からスレーブ IC へ送信を行う場合の手順を、次に示します。

スタート条件：SCL を 'H' に保持したまま、SDA を 'H' から 'L' に立ち下げ、通信を開始します。

データ送受信：SDA を保持したまま、SCL を 'L' から 'H' に立ち上げ、データ送信を行います。各アドレスやデータの送受信は、データ・ビット (D7-D0: MSB first) とアクノリッジ・ビット (ACK) の 9 ビット単位で行います。選択されたスレーブ IC は、9 ビット目で SDA を 'L' とし、アクノリッジを送信します。

ストップ条件：アクノリッジ通信後、SCL を 'H' に保持したまま、SDA を 'L' から 'H' に立ち上げ、通信を終了します。

図7-2 スタート条件、データ送受信、ストップ条件フォーマット



7.2 データ送受信フォーマット

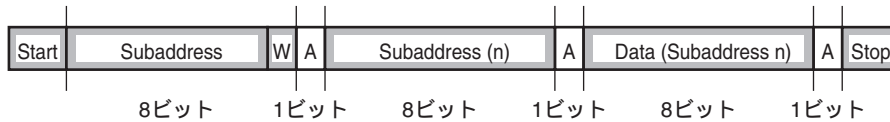
マスタ側のスタート条件発行直後に、スレーブ・アドレスの受信を行います。μPD64031A のスレーブ・アドレスと、受信したスレーブ・アドレスが一致した場合、通信を開始し、不一致の場合、SDA ラインを解放します。μPD64031A のスレーブ・アドレスは、SLA0 端子（20 ピン）設定で 2 組の指定が行えます。

SLA0 端子設定 (電源投入後は変更不可)	スレーブ・アドレス	
	ライト・モード	リード・モード
L	24h (00100100b)	25h (00100101b)
H	26h (00100110b)	27h (00100111b)

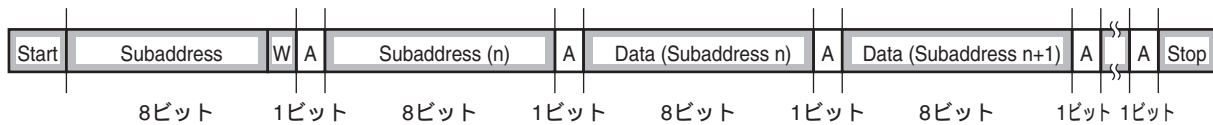
(1) ライト・モード・フォーマット (スレーブ受信)

1 バイト目に自己のライト・モードのスレーブ・アドレスを受信すると、2 バイト目にサブ・アドレス、3 バイト目以降にデータを受信します。サブ・アドレスのオート・インクリメント機能により、データの連続受信が可能です。

1 バイト・ライト・フォーマット



複数バイト・ライト・フォーマット

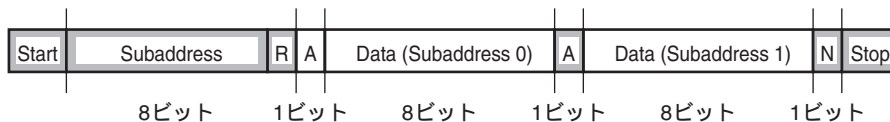


備考 Start : スタート条件 Stop : ストップ条件
 W : ライト・モード指定 (= 0) A : アクノリッジ
 [XXX] : マスタ・デバイス発行 [XXX] : スレーブ・デバイス (μPD64031A) 発行

(2) リード・モード・フォーマット (スレーブ送信)

1 バイト目に自己のリード・モードのスレーブ・アドレスを受信すると、2 バイト目以降はデータを送信します。このモードにはサブ・アドレス指定はなく、常にアドレス 0 から送信開始されます。ストップ条件発行前には、マスタ側からノー・アクノリッジを送信し、SDA ラインを解放する必要があります。

リード・フォーマット



備考 Start : スタート条件 Stop : ストップ条件
 R : リード・モード指定 (= 1) A : アクノリッジ
 N : ノー・アクノリッジ
 [XXX] : アクノリッジ [XXX] : スレーブ・デバイス (μPD64031A) 発行

7.3 I²C バスの初期化

I²C バス・レジスタは、μPD64031A リセット (ALLRST) と同時に初期化されます。リセット後 100 μs 以上経過したあとに通信可能となります。またこのとき、ライト・レジスタは初期値にプリセットされます。リセットの方法は、**2.4 電源起動とリセット**を参照してください。

なお、一部のライト・レジスタは値をセット後、チャンネル変更または CPU リセットを行ってはじめて変更が有効となるものがあります。詳細は **8. シリアル・バス・レジスタ一覧**を参照してください。これらのレジスタを変更したあとは、変更を有効にするために必ずチャンネル変更信号 (または CPU リセット信号) を入力してゴースト低減動作を再スタートさせてください。

8. シリアル・バス・レジスタ一覧

μPD64031Aには、ライト・モード（スレーブ受信）で書き込み可能な、24個の8ビット・ライト・レジスタ、リード・モード（スレーブ送信）で読み出し可能な、2個の8ビット・リード・レジスタが内蔵されています。次に、各シリアル・バス・レジスタ・マップを示します。

ライト・レジスタ・マップ スレーブ・アドレス：00100100b = 24h (SLA0 = L), 00100110b = 26h (SLA0 = H)

Data Map (SA00-SA17)								
SA	D7	D6	D5	D4	D3	D2	D1	D0
00	GRMD		SWSEL	CH	0000b			
01	EXDAS	DORDS	N3D1STEN	LELOW	CLK8LOW	CLK20LOW	WP2OEN	WP3OEN
02	0	1	0	PREGHSTS	RES			
03	COR		INTS			INTE		
04	ADCLKS		ADCPMD		ADCPSEL		FCLP	FBIASEN
05	EXCSS	EXCSP	EXVSS	EXVSP	EXCSDLY			
06	HNCS		HHNCR					
07	0	0	VHNCR					
08	DIR3DYC		DCPAG			DCPLG		
09	0	DCPEN	DCPLPFS	DCPVEN	0000b			
0A	WP2O							
0B	WP3O							
0C	0	PLLFS	PLLSP	PLLFG	1101b			
0D	5Eh							
0E	KILM	UNLOCKS	KILS		KILR			
0F	HSSR				VSSR		0	0
10	0	0	000000b					
11	0	0	0	00000b				
12	0	0	000b			000b		
13	00b		000b			000b		
14	00h							
15	00h							
16	00h							
17	00h							

注意 当社の性能評価により、シリアル・バス上の固定設定値を変更する場合があります。また、標準値は当社での評価値であり、最適値とはかぎりません。

リード・レジスタ・マップ スレーブ・アドレス：00100101b = 25h (SLA0 = L), 00100111 = 27h (SLA0 = H)

Data Map (SA00, SA01)								
SA	D7	D6	D5	D4	D3	D2	D1	D0
00	KILF	HNC	GCON	GCR	DVG	INTM		
01			WP2I	WP3I	VER			

各ライト・レジスタ機能について、表 8 - 1 に示します。各レジスタの初期値，標準値は，当社の評価により決定したものであり，最適値とはかぎりません。また，当社の性能評価により，標準値を変更する場合があります。

表8 - 1 ライト・レジスタ機能一覧 (SA00)

SA	ビット	名称，機能	設定内容	標準値	初期値
00	D7, D6	GRMD 動作モード設定	ゴースト低減動作の ON/OFF およびスルーの設定をします。 ON/OFF 時の制御方法は SWSEL(SA00h: D5)により変わります。 00 : ゴースト低減動作 : ゴースト低減動作を行います。 01 : ゴースト低減動作停止 : ゴースト低減動作を停止します。OFF 時の制御内容は SWSEL で決まります。 1x : フィルタ・スルー : 入力された信号は GR フィルタをバイパスし最短の遅延でそのまま出力されます。	-	00
	D5	SWSEL ON/OFF 制御動作設定	GRMD によりゴースト低減動作を ON/OFF する場合の制御方法を設定します。 0 : 内部 CPU による ON/OFF 制御 ゴースト低減動作 OFF 時 (GRMD = 01) , 選択したレファレンス波形がアパーチャ補正ありの場合 (レジスタ RFS = 1xxx) は出力にはアパーチャ補正のみがかかります。 1 : GR フィルタによる ON/OFF 制御 ゴースト低減動作 OFF 時 (GRMD = 01) , 出力にはいっさい補正がかからず，スルーします。	0	0
	D4	CH チャンネル変更制御	このビット・データの立ち上がりエッジで，チャンネル変更制御を行います。EXCHN 端子 (61 ピン) で制御する場合は，このビットは 0 固定としてください。 チャンネル変更時は 0 1 0 としてください。0 1 へデータを変更したときにチャンネル変更が行われます。	-	0
	D3-D0		テスト・ビット	0000	0000

表8 - 1 ライト・レジスタ機能一覧 (SA01)

SA	ビット	名称, 機能	設定内容	標準値	初期値
01	D7	EXDAS デジタル出力設定	デジタル出力端子 DO9-DO0 (6-15 ピン) の状態を設定します。 この設定は EXDAS 端子 (58 ピン) と同時設定ではじめて有効となります (AND 論理で制御)。 0 : ハイ・インピーダンス このとき DORDS (SA00h: D6) によりプルダウン抵抗あり/なしを設定できます。 1 : EXDAS 端子が High のとき, デジタル・データ出力 10 ビットのデジタル・データ出力	1	1
	D6	DORDS デジタル出力端子設定	デジタル出力端子 DO9-DO0 をハイ・インピーダンスに設定したとき (EXDAS = 0) プルダウン抵抗のあり/なしを設定します。 0 : プルダウンなし 1 : 50 kΩでプルダウン	0	0
	D5	N3D1STEN 3次元処理禁止フラグ制御	初回ゴースト低減動作開始時に3次元処理禁止制御信号を N3D 端子 (3 ピン) より出力するかどうかを設定します。この機能は当社製3次元 Y/C 分離 IC と組み合わせる時に有効です。 0 : 3次元処理禁止信号を出力しない 1 : 3次元処理禁止信号を出力する	0 ^注	0
	D4	LELOW PWM 出力マスク設定	直流誤差レベル出力端子 (LE 端子 : 129 ピン) の出力状態を設定します。 0 : PWM 出力 1 : Low 固定	1	1
	D3	CLK8LOW CLK8 出力マスク設定	8fsc クロック出力 (CLK8 端子 : 30 ピン) の出力状態を設定します。 0 : 8fsc クロック出力 1 : Low 固定	1	1
	D2	CLK20LOW C200 出力マスク設定	20 MHz クロック出力 (C200 端子 : 54 ピン) の出力状態を設定します。 0 : 20 MHz クロック出力 1 : Low 固定	1 ^注	0
	D1	WP2OEN WP2 端子出力設定	汎用 I ² C ポート WP2 端子 (110 ピン) の出力状態を設定します。 0 : ハイ・インピーダンス 1 : PWM 出力	0	0
	D0	WP3OEN WP3 端子出力設定	汎用 I ² C ポート WP3 端子 (111 ピン) の出力状態を設定します。 0 : ハイ・インピーダンス 1 : PWM 出力	0	0

注 当社製 3次元 Y/C 分離 IC とのデジタル直結時は変更が必要です。

表8 - 1 ライト・レジスタ機能一覧 (SA02)

SA	ビット	名称, 機能	設定内容	標準値	初期値
02	D7		テスト・ビット	0	0
	D6		テスト・ビット	1	1
	D5		テスト・ビット	0	0
	D4	PREGHSTS 前ゴースト処理範囲選択	<p>前ゴーストに対する GR フィルタ適用範囲の選択を行います。適用範囲を広く設定すると、孫ゴーストが取りきれずに残る場合があります。</p> <p>0: - 1 μs まで 1: - 2.6 μs まで</p> <p>PREGHSTS = 1 に設定すると、処理範囲は広がりますが、孫ゴーストが発生する場合があります。</p> <p>この設定はデータ変更後、チャンネル変更または CPU リセットを行ってはじめて有効となります。</p>	1	0
	D3-D0	RFS レファレンス・データ選択	<p>GCR 信号のレファレンス・データを選択します。8 種類の基本波形とそれぞれの D/A コンバータのアパーチャ補正あり/なしが選べます。チューナの特性などにあわせて選択してください。</p> <p>D/A アパーチャ補正なし 0000: 周波数特性低 (リングング小) ~ 0101: 周波数特性高 (リングング大) 0110, 0111: テスト設定</p> <p>D/A アパーチャ補正あり 1000: 周波数特性低 (リングング小) ~ 1101: 周波数特性高 (リングング大) 1110, 1111: テスト設定</p> <p>この設定はデータ変更後、チャンネル変更または CPU リセットを行ってはじめて有効となります。</p>	-	1000

表8 - 1 ライト・レジスタ機能一覧 (SA03)

SA	ビット	名称, 機能	設定内容	標準値	初期値
03	D7, D6	COR コアリング・レベル設定	GCR 信号取り込み時のコアリング・レベルを設定します。コアリングの設定を大きくすると、ノイズによる疑似ゴースト発生を低減することができます。 00 : コアリング小 ~ 11 : コアリング大 この設定はデータ変更後、チャンネル変更または CPU リセットを行ってはじめて有効となります。	10	10
	D5-D3	INTS 初回積分回数設定	リセット後またはチャンネル変更直後の初回ゴースト低減動作時、GCR 信号取り込み積分回数を設定します。32 フィールド(8 フィールド・シーケンス×4) が 1 回の処理単位となります。 000 : 1 回 100 : 16 回 001 : 2 回 101 : 32 回 010 : 4 回 110 : 64 回 011 : 8 回 111 : 128 回 この設定はデータ変更後、チャンネル変更または CPU リセットを行ってはじめて有効となります。	000	000
	D2-D0	INTE 最大積分回数設定	ゴースト低減動作時の最終的な積分回数を設定します。リセット後またはチャンネル変更から十分時間がたったあとは、ここで設定した積分回数ごとにフィルタ係数更新が行われるようになります。32 フィールド(8 フィールド・シーケンス×4) が 1 回の処理単位となります。 000 : 2 回 100 : 32 回 001 : 4 回 101 : 64 回 010 : 8 回 110 : 128 回 011 : 16 回 111 : 256 回 この設定はデータ変更後、チャンネル変更または CPU リセットを行ってはじめて有効となります。	111	111

表8 - 1 ライト・レジスタ機能一覧 (SA04)

SA	ビット	名称, 機能	設定内容	標準値	初期値
04	D7, D6	ADCLKS A/D コンバータ動作ク ロック遅延設定	μPD64031A 内部のシステム・クロック (4fsc) に対する A/D コン バータ動作クロックのタイミング (位相) を設定します。 00 : 0delay 01 : 1/4CLKdelay 10 : 1/2CLKdelay 11 : 3/4CLKdelay	11	11
	D5, D4	ADCPMD クランプ・バイアス・モー ド設定	内蔵 A/D コンバータのクランプおよびバイアスの切り替えを行いま す。 00 : 通常時はクランプ動作, ハンチング時はバイアス 01 : 常にクランプ動作 10 : 常にバイアス動作 11 : クランプ, バイアスともに使用せず	01	01
	D3, D2	ADCPSEL A/D コンバータ・クラン プ設定	A/D コンバータ・クランプ・パルスの動作を設定します。 00 : ハンチング時出力なし 01 : 常に出力あり 1x : テスト設定	01	01
	D1	FCLP クランプ能力切り替え	クランプの強さを設定します。 0 : ソフト・クランプ 1 : 通常	1	1
	D0	FBIASEN 強制バイアス許可設定	入力信号が A/D コンバータの入力間口からはずれた場合などの対 策として強制的バイアスをかけることができます。 0 : 無効 1 : 有効	0	0

表8 - 1 ライト・レジスタ機能一覧 (SA05, SA06)

SA	ビット	名称, 機能	設定内容	標準値	初期値
05	D7	EXCSS コンボジット同期分離回路選択	コンボジット同期分離回路について内蔵 / 外部を切り替えます。極性は EXCSP (SA05h: D6) で設定します。 0 : 内部デジタル同期分離回路を使用 1 : 外部入力 (EXCS 端子 : 126 ピンに入力) 注意 内部同期分離回路使用時には, SA04h: D5,D4 (ADCPMD) は必ず " 01 " (常にクランプ動作) に設定してください。	1	1
	D6	EXCSP コンボジット同期分離極性選択	外部よりコンボジット同期分離入力する場合の極性を設定します。 0 : アクティブ・ロウ 1 : アクティブ・ハイ	-	0
	D5	EXVSS 垂直同期分離回路選択	垂直同期分離回路について内蔵 / 外部を切り替えます。極性は EXVSP (SA05h: D4) で設定します。 0 : 内部デジタル同期分離回路を使用 1 : 外部入力 (EXVS 端子 : 128 ピンに入力) 注意 内部同期分離回路使用時には, SA04h: D5,D4 (ADCPMD) は必ず " 01 " (常にクランプ動作) に設定してください。	1	1
	D4	EXVSP 垂直同期分離極性選択	外部より垂直同期分離入力する場合の極性を設定します。 0 : アクティブ・ロウ 1 : アクティブ・ハイ	-	0
	D3-D0	EXCSDLY 外部同期分離遅延設定	外部同期分離回路 (アナログ・デジタル) の遅延量を設定します。 0000 : 0delay 0001 : 1delay 1111 : 15delay	0011	0011
06	D7, D6	HNCS 強制ハンチング設定	強制的に同期はずれ (ハンチング) 状態を設定します。強制ハンチングに設定すると, 強制ハンチング端子 (EXHNC 端子 : 62 ピン) による制御は無効となります。 00 : 通常 (μPD64031A 内部の検出結果に従います) 01 : 強制非ハンチング状態 10 : 強制ハンチング状態 11 : テスト設定 (設定禁止)	00	00
	D5-D0	HHNCR 水平ハンチング判定時定数設定	水平同期はずれ検出の時定数を設定します。 上位 3 ビット : 上り側時定数 同期はずれ状態から同期検出するときの時定数 x00xxx : 5 ms x01xxx : 12 ms x10xxx : 24 ms x11xxx : 48 ms 下位 3 ビット : 下り側時定数 同期状態から同期はずれを検出するときの時定数 xxx000 : 2.75 ms xxx100 : 44 ms xxx001 : 5.5 ms xxx101 : 88 ms xxx010 : 11 ms xxx110 : 176 ms xxx011 : 22 ms xxx111 : 440 ms	010100	010100

表8 - 1 ライト・レジスタ機能一覧 (SA07)

SA	ビット	名称, 機能	設定内容	標準値	初期値
07	D7		テスト・ビット	0	0
	D6		テスト・ビット	0	0
	D5-D0	VHNCR 垂直ハンチング判定時定数設定	垂直同期はずれ検出の時定数を設定します。 上位 3 ビット : 上り側時定数 同期はずれ状態から同期検出するときの時定数 x00xxx : 66 ms x01xxx : 100 ms x10xxx : 133 ms x11xxx : 166 ms 下位 3 ビット : 下り側時定数 同期状態から同期はずれを検出するときの時定数 xxx000 : 135 ms xxx100 : 540 ms xxx001 : 200 ms xxx101 : 800 ms xxx010 : 270 ms xxx110 : 1080 ms xxx011 : 400 ms xxx111 : 1600 ms	001011	001011

表8-1 ライト・レジスタ機能一覧 (SA08)

SA	ビット	名称, 機能	設定内容	標準値	初期値
08	D7, D6	DIR3DYC 3次元 Y/C 分離デジタル直結モード設定	<p>当社製 3次元 Y/C 分離 IC とデジタル直結で用いる場合の動作設定を行います。</p> <p>0x : μPD64031A のみ動作 このとき, デジタル・クランプ機能はオフします。</p> <p>10 : 当社製 3次元 Y/C 分離 IC デジタル直結 (チューナ入力) WP1 端子 (35 ピン) に Low が出力されます。チューナ入力などのコンポジット・ビデオ信号に対し, μPD64031A でゴースト低減を行ったあと, 後段に接続された当社製 IC で 3次元 Y/C 分離を行うためのコントロール信号として使用します。</p> <p>11 : 当社製 3次元 Y/C 分離 IC デジタル直結 (S 入力など) WP1 端子に High が出力されます。S 入力などの信号に対し, μPD64031A によるゴースト低減は行わず, 3次元 Y/C 分離 IC による Y/C 分離やノイズ低減のみ行う場合のコントロール信号として使用します。</p>	00 ^注	00
	D5-D3	DCPAG デジタル・クランプ・アンプ・ゲイン設定	<p>ゴースト低減後の信号に対し, デジタル・クランプをかけると同時に, 出力振幅の拡大を行うアンプ・ゲインを設定します。出力されるデジタル・ビデオ信号のペDESTAL・レベルをシフトしたのち, コンポジット・ビデオ信号の振幅を拡大します。</p> <p>この設定は DIR3DYC (SA08h: D7, D6) = 1x および DCPEN (SA09h: D6) = 1 のとき有効となります。</p> <p>000 : ペDESTAL・シフト + 1.0 倍 001 : ペDESTAL・シフト + 1.125 倍 010 : ペDESTAL・シフト + 1.250 倍 011 : ペDESTAL・シフト + 1.375 倍 100 : ペDESTAL・シフト + 1.500 倍 101 : ペDESTAL・シフト + 1.625 倍 110 : ペDESTAL・シフト + 1.750 倍 (同期信号が欠ける場合があります) 111 : スルー (処理なし)</p>	101	111
	D2-D0	DCPLG デジタル・クランプ・ループ・ゲイン設定	<p>出力部のデジタル・クランプのループ・ゲインを設定します。</p> <p>000 : クランプ速い ~ 111 : クランプ遅い</p>	111	101

注 当社製 3次元 Y/C 分離 IC とのデジタル直結時には変更が必要です。

表8 - 1 ライト・レジスタ機能一覧 (SA09-SA0C)

SA	ビット	名称, 機能	設定内容	標準値	初期値
09	D7			0	0
	D6	DCPEN デジタル・クランプ選択	デジタル・クランプの有効/無効を選択します。 0: デジタル・クランプ無効 1: デジタル・クランプ有効	0 ^注	0
	D5	DCPLPFS 誤差演算部 LPF 選択	デジタル・クランプ部においてペダスタル位置の誤差演算時に LPF 処理を行うかどうかを選択します。 0: LPF なし 1: LPF あり	1	1
	D4	DCPVEN クランプ・タイミング選択	デジタル・クランプを行うタイミングを設定します。 0: ラインごと 1: 垂直同期期間	1	0
	D3-D0		テスト・ビット	1111	0000
0A	D7-D0	WP2O WP2 ポート PWM データ出力	汎用 I ² C ポート WP2 端子に出力するデータを設定します。 ここで設定した 8 ビットのデータが WP2 端子より PWM 出力されます。	00h	00h
0B	D7-D0	WP3O WP3 ポート PWM データ出力	汎用 I ² C ポート WP3 端子に出力するデータを設定します。 ここで設定した 8 ビットのデータが WP3 端子より PWM 出力されます。	00h	00h
0C	D7		テスト・ビット	0	0
	D6	PLLFS PLL フィルタ特性切り替え	PLL フィルタ特性切り替えを設定します。 0: 収束速い 1: 収束遅い	0	0
	D5	PLLSP PLL 誤差検出サンプリング量	PLL 誤差検出サンプリング量を設定します。 0: 4 サンプリング 1: 9 サンプリング	0	0
	D4	PLLFG PLL 位相誤差ゲイン調整	PLL 位相誤差ゲインを調整します。 0: ×1 1: ×2	1	1
	D3-D0		テスト・ビット	1101	1101

注 当社製 3 次元 Y/C 分離 IC とのデジタル直結時には変更が必要です。

表8 - 1 ライト・レジスタ機能一覧 (SA0D-SA10)

SA	ビット	名称, 機能	設定内容	標準値	初期値
0D	D7-D0		テスト・ビット	5Eh	5Eh
0E	D7	KILM キラー検出モード設定	キラー検出の動作を設定します。 0 : パースト振幅検出 1 : パースト振幅検出 + 引き込み検出	0	0
	D6	UNLOCKS クロックはずれ時処理設定	クロック・ジェネレータにおいてクロックはずれを検出したときに, 3次元処理禁止フラグ端子 (N3D 端子) から3次元処理禁止フラグを出力するかどうかを設定します。 0 : 3次元処理禁止フラグを出力しない 1 : 3次元処理禁止フラグを出力する	0	0
	D5, D4	KILS キラー出力制御	キラー出力端子 (KIL 端子 : 2ピン) の出力状態を設定します。 0x : キラー判定結果を出力 10 : 強制 Low 固定 11 : 強制 High 固定	00	00
	D3-D0	KILR キラー検出レベル設定	キラー検出の感度を設定します。 0001 : 検出感度小 ~ 1111 : 検出感度大 0000 : 検出 OFF	0000	1010
0F	D7-D4	HSSR 水平同期スライス・レベル設定	水平同期検出の水平同期信号に対するスライス・レベルを設定します。 1111 : 深い ~ 0000 : 中点 ~ 0111 : 浅い	1101	1101
	D3, D2	VSSR 垂直同期スライス・レベル設定	垂直同期検出のスライス・レベルを設定します。水平同期スライス・レベルに対する相対位置で設定します。 00 : + 1/16 01 : + 1/8 1x : + 1/4	00	00
	D1		テスト・ビット	0	0
	D0			0	0
10	D7		テスト・ビット	0	0
	D6		テスト・ビット	0	0
	D5-D0			000000	000000

表8 - 1 ライト・レジスタ機能一覧 (SA11-SA17)

SA	ビット	名称, 機能	設定内容	標準値	初期値
11	D7		テスト・ビット	0	0
	D6		テスト・ビット	0	0
	D5		テスト・ビット	0	0
	D4-D0			00000	00000
12	D7		テスト・ビット	0	0
	D6		テスト・ビット	0	0
	D5-D3		テスト・ビット	000	000
	D2-D0			000	000
13	D7, D6		テスト・ビット	00	00
	D5-D3		テスト・ビット	000	000
	D2-D0		テスト・ビット	000	000
14	D7-D0			00h	00h
15	D7-D0			00h	00h
16	D7-D0			00h	00h
17	D7-D0			00h	00h

各リード・レジスタ機能について、表 8 - 2 に示します。各レジスタの初期値は、当社の評価により決定したものであり、最適値とはかぎりません。

表8 - 2 リード・レジスタ機能一覧 (SA00, SA01)

SA	ビット	名称, 機能	読み出し内容	初期値
00	D7	KILF キラー検出フラグ	キラー検出結果が出力されます。KIL 端子の出力と同等です。 0 : 通常 1 : クロマ無効	-
	D6	HNC ハンチング検出フラグ	ハンチング検出結果が出力されます。HNC 端子 (66 ピン) の出力と同等です。 0 : 通常 1 : ハンチング	-
	D5	GCON ゴースト低減動作状態フラグ	ゴースト低減動作状態が出力されます。GCON 端子 (68 ピン) の出力と同等です。 0 : ゴースト低減動作停止 1 : ゴースト低減動作	-
	D4	GCR GCR 信号検出フラグ	GCR 信号検出結果が出力されます。GCR 端子 (67 ピン) の出力と同等です。 0 : GCR 信号非検出 1 : GCR 信号検出	-
	D3	DVG フィルタ発振検出フラグ	発振検出結果が出力されます。 0 : 正常動作 1 : フィルタ係数発振	-
	D2-D0	INTM 内部積分カウンタ出力	現在の GCR 信号取り込み積分回数が出力されます。 000 : 1 回 100 : 16 回 001 : 2 回 101 : 32 回 010 : 4 回 110 : 64 回 011 : 8 回 111 : 128 回以上	-
	01	D7	未定義	
D6		未定義		-
D5		WP2I WP2 ポート入力データ	WP2 端子を入力で使用時に、入力されたレベルを出力します。	-
D4		WP3I WP3 ポート入力データ	WP3 端子を入力で使用時に、入力されたレベルを出力します。	-
D3-D0		VER バージョン出力	μPD64031A のハードウェアおよびソフトウェアのバージョン・コードが出力されます。 上位 2 ビット : ハードウェア・バージョン 下位 2 ビット : ソフトウェア・バージョン	-

9. 電気的特性

絶対最大定格（特に指定のないかぎり， $T_A = +25\text{ }^\circ\text{C}$ ）

項目	略号	条件	定格	単位
デジタル部電源電圧	DV _{DD}		- 0.3 ~ + 3.5	V
アナログ部電源電圧	AV _{DD}		- 0.3 ~ + 3.5	V
I/O 部電源電圧	V _{DDIO}		- 0.3 ~ + 4.6	V
入力電圧	V _{I2.5V}	2.5 V 耐圧入力端子	- 0.3 ~ + 3.5	V
	V _{I3.3V}	3.3 V 耐圧入力端子	- 0.3 ~ + 4.6	V
	V _{I5V}	5 V 耐圧入力端子	- 0.3 ~ + 5.5	V
出力電流	I _O		- 10 ~ + 10	mA
パッケージ許容損失	P _d	ガラス・エポキシ基板実装時 (90 mm × 90 mm × 1.6 mm, $T_A = 70\text{ }^\circ\text{C}$)	1093	mW
動作周囲温度	T _A		- 20 ~ + 70	°C
動作周囲温度（ジャンクション温度上限）	T _{J:MAX}		+ 125	°C
保存温度	T _{stg}		- 40 ~ + 125	°C

注意 各項目のうち1項目でも，また一瞬でも絶対最大定格を超えると，製品の品質を損なうおそれがあります。
つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を超えない状態で，製品をご使用ください。

推奨動作範囲

項目	略号	条件	MIN.	TYP.	MAX.	単位
デジタル電源電圧	DV _{DD}		2.3	2.5	2.7	V
アナログ電源電圧	AV _{DD}		2.3	2.5	2.7	V
I/O 部電源電圧	V _{DDIO}		3.0	3.3	3.6	V
ハイ・レベル入力電圧	V _{IH}	2.5V バッファ	1.8		V _{DD}	V
ロウ・レベル入力電圧	V _{IL}		0		0.7	V
ハイ・レベル入力電圧	V _{IH}	3.3V バッファ	0.7V _{DDIO}		V _{DDIO} + 0.5	V
ロウ・レベル入力電圧	V _{IL}		0		0.3V _{DDIO}	V
基準クロック入力周波数	f _{XI}	XI 端子	19.998	20.000	20.002	MHz
基準クロック入力振幅	V _{XI}		1.0			V _{p-p}
クロック入力周波数	f _{CK}	CLK8 端子	28.62836	28.63636	28.64436	MHz
クロック・デューティ	V _{CK}		45	50	55	%
サブキャリア入力周波数	f _{FSCI}	FSCI 端子	3.578545	3.579545	3.580545	MHz
サブキャリア入力振幅	V _{FSCI}		0.5			V _{p-p}
コンポジット・ビデオ信号入力振幅	V _{AVI}	VIN 端子, ビデオ + 同期信号振幅 (140IRE _{p-p}) AV _{DD} =2.5V		0.5		V _{p-p}

デジタル部

DC 特性 ($DV_{DD} = 2.5 V \pm 0.2 V$, $DV_{DDIO} = 3.3 V \pm 0.3 V$, $DGND = 0 V$, $T_A = -20 \sim +70 \text{ }^\circ\text{C}$)

項目	略号	条件		MIN.	TYP.	MAX.	単位
デジタル部消費電流	DI _{DD}	DV _{DD} , DGND 端子			100	187	mA
	DI _{DDIO}	DV _{DDIO} , DGND 端子			7	112	mA
入力リーク電流	I _{LI}	通常入力端子	V _I = DV _{DD} or 0 V	- 10	0	+ 10	μA
ハイ・レベル入力電流	I _{IH}	プルダウン・タイプ (3.3 V, 5 V 耐圧端子)	V _I = DV _{DD}	30	86	180	μA
ロウ・レベル入力電流	I _{IL}	プルアップ・タイプ (3.3 V, 5 V 耐圧端子)	V _I = 0 V	- 180	- 86	- 30	μA
ハイ・レベル出力電流 1	I _{OH1}	3.3V バッファ	V _{OH1} = 2.4 V			- 3.0	mA
ロウ・レベル出力電流 1	I _{OL1}	(3 mA タイプ)	V _{OL1} = 0.4 V	3.0			mA
ハイ・レベル出力電流 2	I _{OH2}	3.3 V バッファ	V _{OH2} = 2.4 V			- 6.0	mA
ロウ・レベル出力電流 2	I _{OL2}	(6 mA タイプ)	V _{OL2} = 0.4 V	6.0			mA

アナログ部 (A/D コンバータ, D/A コンバータ, f_{sc} D/A コンバータ, 8f_{sc} PLL)

DC 特性 (特に指定のないかぎり, $AV_{DD} = 2.5 \pm 0.2 V$, $AGND = 0 V$, $T_A = +25 \text{ }^\circ\text{C}$)

項目	略号	条件		MIN.	TYP.	MAX.	単位
アナログ部消費電流	AI _{DD}	AV _{DD} , AGND 端子, T _A = - 20 ~ + 70 °C			40	70	mA
A/D コンバータ分解能	RES _{AD}	VIN 端子, AV _{DD} = 2.5 V, f _s = 4f _{sc} ,		-	10	-	bit
A/D コンバータ積分直線性誤差	ILE _{AD}	DG _{DA} , DP _{DA} : NTSC 40IRE RAMP			± 6.0	± 10	LSB
A/D コンバータ微分直線性誤差	DLE _{AD}				± 1.0	± 2.5	LSB
A/D コンバータ微分利得	DG _{AD}				± 1.0	± 3.0	%
A/D コンバータ微分位相	DP _{AD}				± 0.5	± 3.0	Deg.
A/D コンバータ基準電圧 (低位電圧)	V _{RBAD}	AV _{DD} = 2.5 V		0.61	0.75	0.91	V
A/D コンバータ基準電圧 (高位電圧)	V _{RTAD}			1.08	1.25	1.41	V
A/D コンバータ・アナログ入力範囲	V _{INA}	V _{RTAD} = 1.25 V, V _{RBAD} = 0.75 V		0.80	1.0	1.14	V _{p-p}
A/D コンバータ入力電圧 (低位電圧)	V _{RBAD}			0.37	0.5	0.65	V
A/D コンバータ入力電圧 (高位電圧)	V _{RTAD}			1.31	1.5	1.64	V
A/D コンバータ・アナログ入力静電容量	C _{INAD}				2.2		pF
D/A コンバータ分解能	RES _{DA}	VOUT 端子, AV _{DD} = 2.5 V, f _s = 4f _{sc} ,		-	10	-	bit
D/A コンバータ積分直線性誤差	ILE _{DA}	DG _{DA} , DP _{DA} : NTSC 40IRE RAMP			± 2.0	± 4.0	LSB
D/A コンバータ微分直線性誤差	DLE _{DA}				± 0.5	± 2.0	LSB
D/A コンバータ微分利得	DG _{DA}				± 2.0	± 3.0	%
D/A コンバータ微分位相	DP _{DA}				± 1.0	± 3.0	Deg.
D/A コンバータ・フルスケール出力電圧	V _{FSDA}	VOUT 端子, AV _{DD} = 2.5 V		1.76	1.97	2.37	V
D/A コンバータ・ゼロスケール出力電圧	V _{ZSDA}			0.66	0.97	1.38	V
D/A コンバータ出力振幅	V _{OPDA}			0.88	1.00	1.20	V _{p-p}

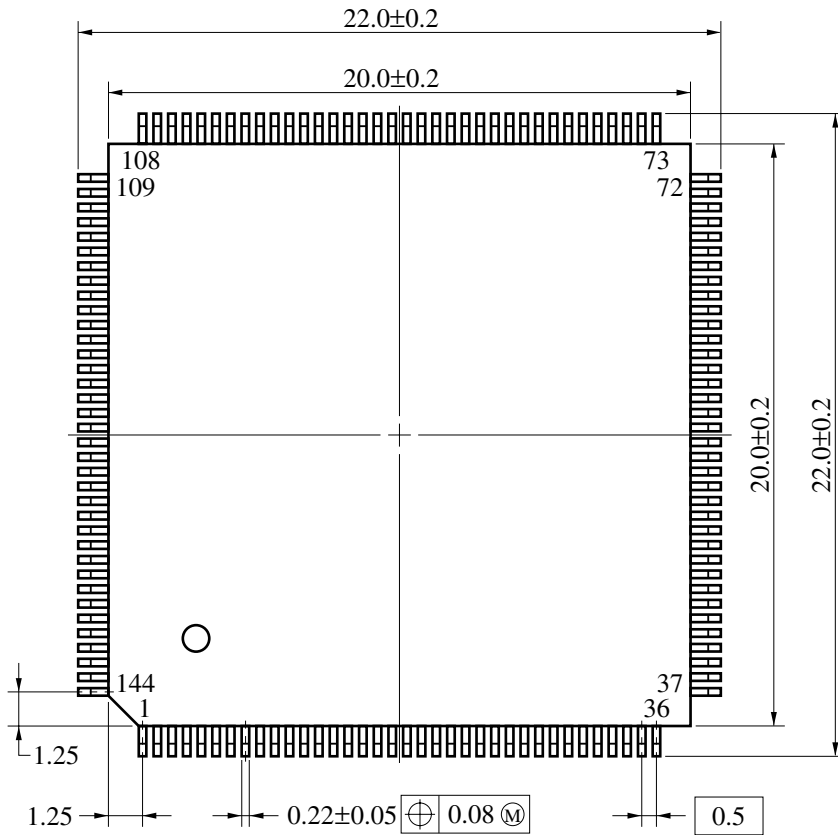
デジタル部

AC 特性 ($DV_{DD} = 2.5\text{ V} \pm 0.2\text{ V}$, $DV_{DDIO} = 3.3\text{ V} \pm 0.3\text{ V}$, $DGND = 0\text{ V}$, $T_A = -20 \sim +70\text{ }^\circ\text{C}$)

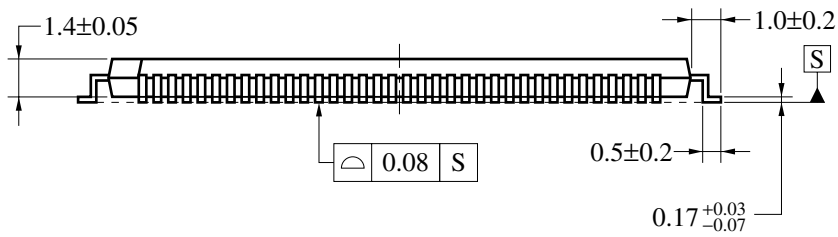
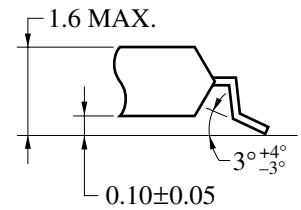
項目	略号	条件	MIN.	TYP.	MAX.	単位
出力遅延時間	t_d	CLK8 DOUT	0		28	ns
入力データ・セットアップ時間	t_s	CLK8 DIN	0		11	ns
入力データ・ホールド時間	t_h	(クロック遅延設定 ADCLKS = 11)	- 6		+ 3	ns
クロック出力周波数	$f_{CLK8OUT}$	CLK8 端子, 出力モード		28.63636		MHz
クロック出力デューティ	$D_{CLK8OUT}$			50		%
サブキャリア出力周波数	f_{FSCO}	FSCO 端子(基準クロック 20 MHz 時)	3.579145	3.579545	3.579945	MHz
サブキャリア出力振幅	V_{FSCO}	FSCO 端子, $AV_{DD} = 2.5\text{ V}$		1.0		V_{p-p}
fsc 引き込み範囲(fsc 換算)	f_{bp}		± 400	± 600		Hz
入力容量	C_i	$DV_{DD} = V_i = 0\text{ V}$, $f_{IN} = 1\text{ MHz}$		10		pF

10. 外形図

144ピン・プラスチック LQFP (ファインピッチ)(20x20) 外形図 (単位: mm)



端子先端形状詳細図



S144GJ-50-8EN-1

11. 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」 (<http://www.necel.com/pkg/ja/jissou/index.html>)

表11 - 1 表面実装タイプの半田付け推奨条件

- μPD64031AGJ-8EN-A^{注1} : 144 ピン・プラスチック LQFP (ファインピッチ) (20 × 20)
- μPD64031AGJ-8EN-Y^{注2} : 144 ピン・プラスチック LQFP (ファインピッチ) (20 × 20)

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度 : 260 °C, 時間 : 30 秒以内 (210 °C 以上), 回数 : 3 回以内, 制限日数 ^{注3} : 7 日間 (以降は 125 °C プリベーク 10 ~ 72 時間必要) <留意事項> 耐熱トレイ以外 (マガジン, テーピング, 非耐熱トレイ) は包装状態でのベーキング ができません。	IR60-107-3
端子部分加熱	端子温度 : 300 °C 以下, 時間 : 3 秒以内 (デバイスの一辺当たり)	-

注 1. 鉛フリー製品

2. 耐熱性向上品

3. ドライパック開封後の保管日数で、保管条件は 25 °C, 65 %RH 以下。

注意 半田付け方式の併用はお避けください (ただし、端子部分加熱方式は除く)。

[メ モ]

[メ モ]

CMOSデバイスの一般的注意事項

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力が入力ノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

注意：本製品はI²Cバス・インタフェース回路を内蔵しています。

当社のI²Cバス対応部品をご購入いただくことにより、これらの部品をI²Cシステムに使用する実施権がフィリップス社I²C特許に基づき許諾されることとなります。ただし、これらのI²Cシステムはフィリップス社によって設定されたI²C標準規格に合致しているものとします。

Purchase of NEC Electronics I²C components conveys a license under the Philips I²C Patent Rights to use these components in an I²C system, provided that the system conforms to the I²C Standard Specification as defined by Philips.

- 本資料に記載されている内容は2004年1月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命、身体および財産に対する損害の危険を最小限度にするために、冗長設計、延焼対策設計、誤動作防止設計等安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

- (1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- (2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

M8E 02.11

【発行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話(代表)：044(435)5111

お問い合わせ先

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

【営業関係、技術関係お問い合わせ先】

半導体ホットライン

(電話：午前 9:00～12:00、午後 1:00～5:00)

電話：044-435-9494

E-mail：info@necel.com

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか、NECエレクトロニクス特約店へお申し付けください。