

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

デジタル・フィルタ, D/A コンバータ内蔵  
衛星放送音声 PCM 復調用 LSI

$\mu$ PD6396, 6396Y は, BS 放送および CS 放送の音声 PCM (Pulse Code Modulation) 信号を復調し, アナログ音声信号に変換する LSI です。QPSK (Quad Phase Shift Keying) 復調用 LSI  $\mu$ PC2725 または  $\mu$ PC2742 (開発中) と組み合わせることで, BS, CS チューナの音声処理ブロックを構成することができます。

$\mu$ PD6396, 6396Y は, QPSK 復調後の信号に, 差動変換, デスクランブル, デインタリーブ, 誤り訂正を行い, 音声データを生成します。生成された音声データは, デジタル・フィルタ,  $\Sigma\Delta$ 方式 D/A コンバータでアナログ信号に変換され, PWM 出力されます。

また,  $\mu$ PD6396, 6396Y は, デジタルオーディオインタフェース出力も内蔵しています。

## 特 徴

- 8 倍オーバーサンプリング・デジタル・フィルタ +  $\Sigma\Delta$ 方式 D/A コンバータ内蔵
  - ・デジタル・フィルタ部: 帯域内リップル = 0.005 dB, 帯域外減衰量 = 85 dB
  - ・D/A コンバータ部 : 4 次 192 fs ノイズシェーパ
- PWM 音声出力
- デジタル・ディエンファシス回路内蔵
- CPU インタフェースのバス対応
  - ・NEC オリジナル・バス内蔵品:  $\mu$ PD6396
  - ・I<sup>2</sup>C バス内蔵品 :  $\mu$ PD6396Y
 I<sup>2</sup>C バスは, フィリップス社が開発した双方向シリアル・バス・システムです。
- COATEC 方式, SkyPort 方式デスクランブラ用インタフェース回路内蔵
- クロック再生用水晶発振回路内蔵
- 相関検出によるフレーム同期保護
- 8 レンジ制対応 (CS 放送対応)
- フレーム同期/非同期フラグを CPU インタフェースから読み出し可能
- ミュート機能
  - ・エラー発生頻度検出ミュート
  - ・音声有料フラグ検出ミュート
  - ・制御符号 B7 = "1" 検出ミュート
- デジタルオーディオインタフェース出力ロウ・レベル固定可能

本資料の内容は, 後日変更する場合があります。

## オーダー情報

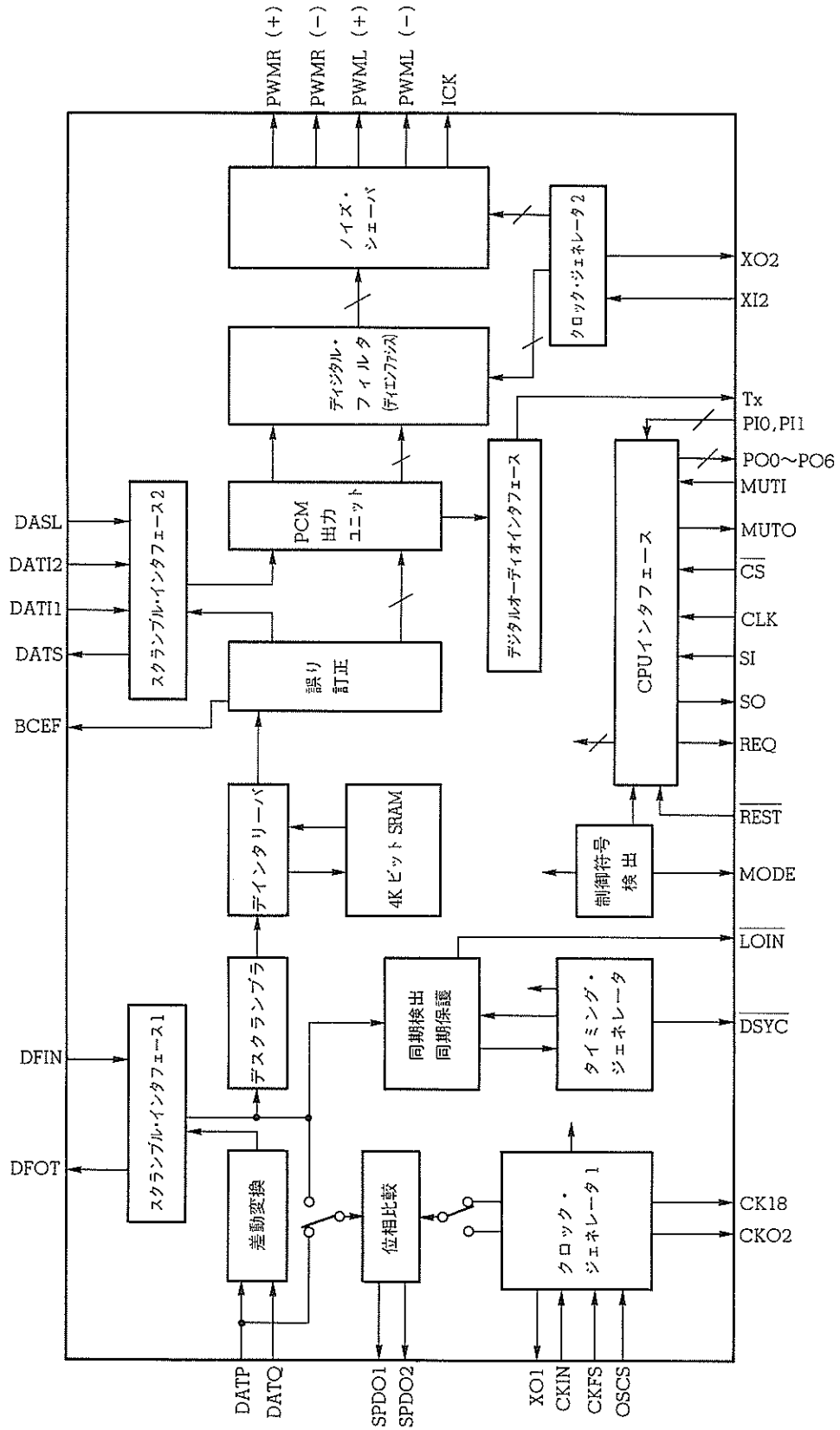
オーダー名称	パッケージ	バス
μPD6396GC-AB8	64ピン・プラスチック QFP (14×14 mm)	NEC オリジナル・バス
μPD6396YGC-AB8	64ピン・プラスチック QFP (14×14 mm)	I <sup>2</sup> C バス

## 品質水準

標準 (一般電子機器用)

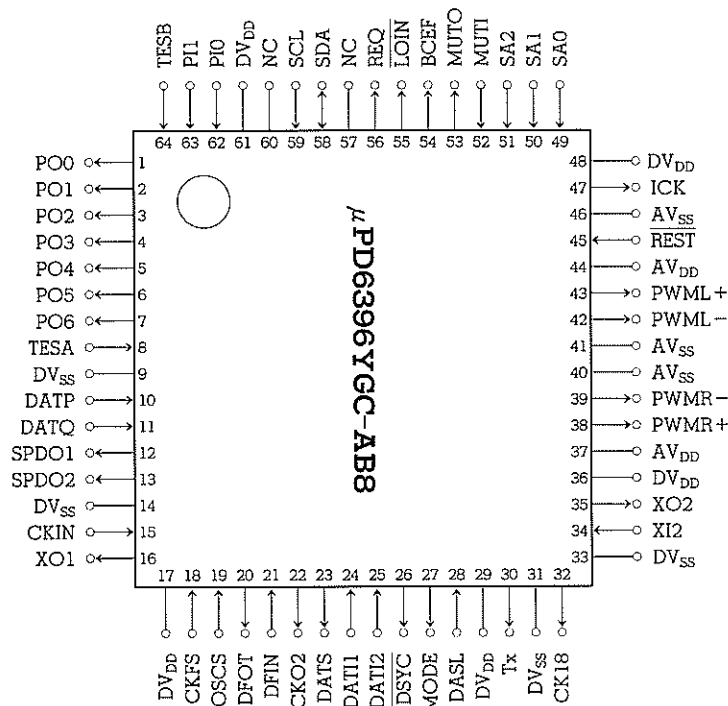
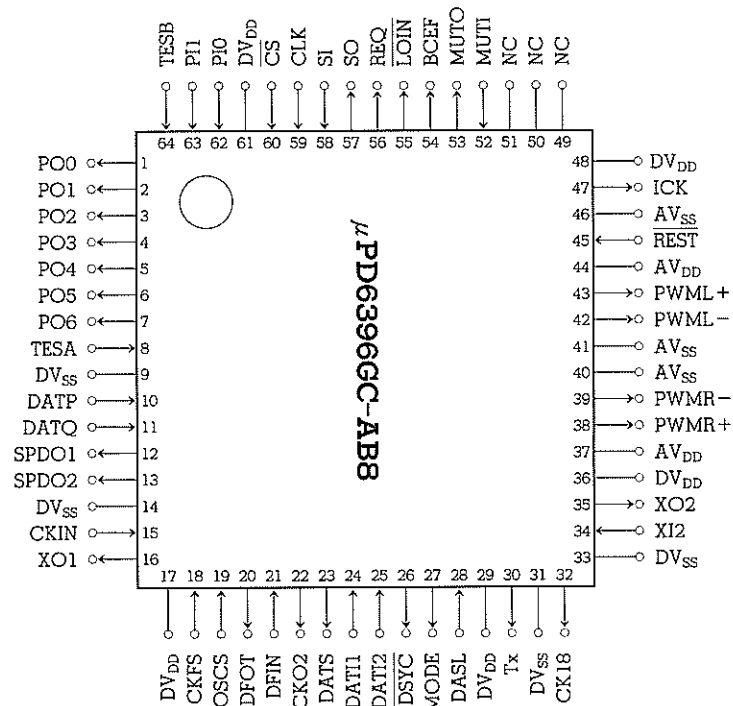
品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」(IEI-620)をご覧ください。

ブロック図



★ 端子接続図 (Top View)

64ピン・プラスチック QFP (14×14mm)



備考 NC 端子は内部接続していません。したがってオープンのもままで、外部配線と接続しても使用することができます。

## 目 次

1. 端子機能…7
  - 1.1 端子機能説明…7
  - 1.2 端子の入出力回路…11
2. 制御方法概要…14
3. CPU インタフェース…16
  - 3.1 NEC オリジナル・バス (μPD6396) …16
    - 3.1.1 2線式バス・モード…16
    - 3.1.2 3線式バス・モード…19
  - 3.2 I<sup>2</sup>C バス (μPD6396Y) …21
  - 3.3 制御符号 B14 によるスクランブル・フラグ訂正機能…23
4. 初期設定…24
  - 4.1 リセット機能…24
  - 4.2 初期設定…24
  - 4.3 入力レジスタ・クリア…25
5. 音声選択方法…26
6. 入出力インタフェース切り替え…28
7. ミュート機能…29
  - 7.1 自動ミュート…29
  - 7.2 強制ミュート…29
  - 7.3 非同期時ミュート…30
  - 7.4 エラー発生頻度検出ミュート…31
  - 7.5 有料フラグ検出ミュート…32
  - 7.6 制御符号 B7 = “1” 検出ミュート…33
  - 7.7 チャンネル切り替えミュート…35
  - 7.8 ミュート状態出力…36
8. 内蔵デジタル・フィルタ, D/A コンバータ…37
  - 8.1 クロック供給方法…37
  - 8.2 PWM 出力ミュート…39
  - 8.3 ミュート方法切り替え…40
  - 8.4 内蔵 D/A コンバータのリセット…41
9. デジタルオーディオインタフェース出力…42

- 10. スクランブル対応…45
  - 10.1 スクランブラへの接続…45
  - 10.2 スクランブル・インタフェース…46
  
- 11. 入出力ポート…50
  - 11.1 出力ポート…50
  - 11.2 入力ポート…50
  
- 12. ビット・クロック再生…51
  - 12.1 ビット・クロック発生回路…51
  - 12.2 位相比較器出力…52
  
- 13. 電気的特性…53
  
- 14. PWM 出力アナログ処理部の外付け回路…55
  
- 15. 外形図…56



1. 端子機能

1.1 端子機能説明

各端子の機能を次に示します (μPD6396, 6396Y の端子機能を併記します)。

表 1-1 端子機能一覧 (1/4)

端子番号	端子名称	記号	I/O	機能
1	出力ポート 0 Output port 0	PO0	○	この端子の論理状態は、CPU インタフェースで設定できます。正論理で設定されます。 レジスタに "1" を設定すると、ハイ・レベルを出力します。 レジスタに "0" を設定すると、ロウ・レベルを出力します。 オープン・ドレイン出力のため、外部にプルアップ抵抗が必要です。
2	出力ポート 1 Output port 1	PO1	○	
3	出力ポート 2 Output port 2	PO2	○	
4	出力ポート 3 Output port 3	PO3	○	
5	出力ポート 4 Output port 4	PO4	○	
6	出力ポート 5 Output port 5	PO5	○	
7	出力ポート 6 Output port 6	PO6	○	
8	テスト A Test A	TESA	I	テスト端子です。 必ずグランドに接続してください。
9	グランド (デジタル用)	DV <sub>SS</sub>		PCM 部のグランド端子です。 アナログ用電源とデジタル用電源に分ける場合は、デジタル用グランドに接続してください。
10	DATA P	DATP	I	QPSK 復調 IC (μPC2725GS など) からの同相チャネルを入力します。
11	DATA Q	DATQ	I	QPSK 復調 IC (μPC2725GS など) からの直交チャネルを入力します。
12	位相比較器出力 1 Sawtooth phase detector output 1	SPDO1	○	内蔵位相比較器 (SPD) の出力端子です。QPSK 復調 IC (μPC2725GS など) と接続して、ビット・クロック再生に使用します。
13	位相比較器出力 2 Sawtooth phase detector output 2	SPDO2	○	内蔵位相比較器 (SPD) の出力端子です。内蔵の 18 MHz 水晶発振回路でビット・クロックを再生するときに使用します。
14	グランド (デジタル用)	DV <sub>SS</sub>		PCM 部のグランド端子です。 アナログ用電源とデジタル用電源に分ける場合は、デジタル用グランドに接続してください。
15	メイン・クロック入力 Clock input	CKIN	I	メイン・クロック (18.432 MHz, 36.864 MHz) の入力端子です。 水晶発振子入力 (18.432 MHz) にもなります。
16	水晶発振子出力 1 Crystal output 1	XO1	○	端子 CKIN との間に水晶発振子 (18.432 MHz) を接続して、ビット・クロック再生のためのクロックを出力します。
17	+電源 (デジタル用)	DV <sub>DD</sub>		PCM 部の +5 V 電源です。 アナログ用電源とデジタル用電源に分ける場合は、デジタル用電源に接続してください。

表 1-1 端子機能一覧 (2/4)

端子番号	端子名称	記号	I/O	機能
18	クロック周波数選択 Clock frequency select	CKFS	I	端子 CKIN に入力するクロックの周波数に応じて、μPD6396, 6396Y 内部の分周回路を切り替えます。 18.432 MHz 入力時：ロウ・レベル 36.864 MHz 入力時：ハイ・レベル
19	クロック発振回路選択 Oscillation mode select	OSCS	I	メイン・クロック発振回路を選択します。 端子 CKIN にシリアル入力：ロウ・レベル 端子 CKIN-XO1 間で発振：ハイ・レベル
20	ビット・ストリーム出力 Differential output	DFOT	O	差動変換後のシリアル信号を 2 Mbps で出力します。
21	ビット・ストリーム入力 Differential input	DFIN	I	差動変換後のシリアル信号を 2 Mbps で入力します。
22	2 MHz クロック出力 2 M clock output	CKO2	O	クロック出力端子 (2.048 MHz) です。
23	データ・ストリーム出力 Data stream output	DATS	O	デインタリーブと誤り訂正後のデータを 2 Mbps で出力します。 デフォルトでは、フレーム同期パターンと誤り訂正符号を "0" に固定しています。
24	データ・ストリーム入力 1 Data stream input 1	DATI1	I	デインタリーブと誤り訂正後のデータ、または有料放送などのデスクランブル後のデータの入力端子です。データ転送速度は 2 Mbps です。 CPU インタフェースの機能設定で、端子 DATS-DATI1 間のオープン/ショートを制御します。
25	データ・ストリーム入力 2 Data stream input 2	DATI2	I	デインタリーブと誤り訂正後のデータ、または有料放送などのデスクランブル後のデータの入力端子です。データ転送速度は 2 Mbps です。 CPU インタフェースの機能設定と端子 DASL で、端子 DATS-DATI2 間のオープン/ショートを制御します。
26	DATS SYNC 出力 DATS sync output	DSYC	O	データ・ストリーム出力 (DATS) のフレーム先頭位置を示す同期信号出力です。アクティブ・ロウです。
27	A/B モード出力 Mode	MODE	O	多数決判定後の制御符号の 1 番目のビット (音声モード) を出力します。 A モード：ロウ・レベル B モード：ハイ・レベル
28	データ・ストリーム選択 Data stream select	DASL	I	CPU インタフェースの機能設定と併用して、端子 DATS-DATI2 間のオープン/ショートを制御します。
29	+電源 (デジタル用)	DV <sub>DD</sub>		PCM 部の +5 V 電源です。 アナログ用電源とデジタル用電源に分ける場合は、デジタル用電源に接続してください。
30	デジタルオーディオインタフェース出力 Digital audio interface output	Tx	O	デジタルオーディオインタフェース出力端子です。 デジタルオーディオインタフェース規格に準拠したフォーマットで出力します。
31	グラウンド (デジタル用)	DV <sub>SS</sub>		PCM 部のグラウンド端子です。 アナログ用電源とデジタル用電源に分ける場合は、デジタル用グラウンドに接続してください。
32	18 MHz クロック出力 18 M clock output	CK18	O	クロック出力端子 (18.432 MHz) です。 バンド・パス・フィルタなどを介して端子 XI2 に接続することで、デジタル・フィルタ、D/A コンバータ部へクロックを供給することができます。
33	グラウンド (デジタル用)	DV <sub>SS</sub>		D/A コンバータ部のグラウンド端子です。 アナログ用電源とデジタル用電源に分ける場合は、デジタル用グラウンドに接続してください。

表 1-1 端子機能一覧 (3/4)

端子番号	端子名称	記号	I/O	機能												
34	デジタル・フィルタ, D/A コンバータ部用クロック入力 DF・DAC clock input	XI2	I	デジタル・フィルタ, D/Aコンバータ部のクロック (18.432 MHz) 入力端子です。												
35	水晶発振子出力 2 Crystal output 2	XO2	○	この端子はオープンにしてください。												
36	+電源 (デジタル用)	DV <sub>DD</sub>		D/A コンバータ部の +5 V 電源です。 アナログ用電源とデジタル用電源に分ける場合は、デジタル 用電源に接続してください。												
37	+電源 (アナログ用)	AV <sub>DD</sub>		D/A コンバータ部の +5 V 電源です。 アナログ用電源とデジタル用電源に分ける場合は、アナログ用 電源に接続してください。												
38	PWM 出力 (右) + PWM output Rch +	PWMR+	○	R チャンルの音声データの出力端子です。 PWM 出力です。												
39	PWM 出力 (右) - PWM output Rch -	PWMR-	○													
40	グランド (アナログ用)	AV <sub>SS</sub>		D/A コンバータ部用のグランド端子です。 アナログ用電源とデジタル用電源に分ける場合は、アナログ用 グランドに接続してください。												
41	グランド (アナログ用)	AV <sub>SS</sub>		D/A コンバータ部用のグランド端子です。 アナログ用電源とデジタル用電源に分ける場合は、アナログ用 グランドに接続してください。												
42	PWM 出力 (左) - PWM output Lch -	PWML-	○	L チャンルの音声データの出力端子です。 PWM 出力です。												
43	PWM 出力 (左) + PWM output Lch +	PWML+	○													
44	+電源 (アナログ用)	AV <sub>DD</sub>		D/A コンバータ部の +5 V 電源端子です。 アナログ用電源とデジタル用電源に分ける場合は、アナログ用 電源に接続してください。												
45	リセット入力 Reset	REST	I	μPD6396, 6396Y の内部状態を初期化します。 電源投入後は、必ず端子 REST をロウ・レベルにしてください。 通常動作中は、ハイ・レベルにしてください。												
46	グランド (アナログ用)	AV <sub>SS</sub>		D/A コンバータ部のグランド端子です。 アナログ用電源とデジタル用電源に分ける場合は、アナログ用 グランドに接続してください。												
47	デジタル・フィルタ, D/A コンバータ内部クロック DF・DAC internal clock	ICK	○	クロック (192 fs) 出力端子です。												
48	+電源 (デジタル用)	DV <sub>DD</sub>		PCM 部の +5 V 電源です。 アナログ用電源とデジタル用電源に分ける場合は、デジタル 用電源に接続してください。												
49~51	ノー・コネクション	NC		μPD6396 : N.C. 端子です。												
49	I <sup>2</sup> C バス・スレーブ・ アドレス 0	SA0	I	μPD6396Y : I <sup>2</sup> C バスのスレーブ・アドレス (7 ビット) 中の下位 3 ビットを設定します。  <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td style="text-align: center;">MSB</td> <td colspan="4"></td> <td style="text-align: center;">LSB</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td style="text-align: center;">SA2</td> <td style="text-align: center;">SA1 SA0 R/WN</td> </tr> </table> <div style="text-align: center;"> <p>I<sup>2</sup>C バス・スレーブ・アドレス</p> </div>	MSB					LSB	0	0	1	1	SA2	SA1 SA0 R/WN
MSB					LSB											
0	0	1	1		SA2	SA1 SA0 R/WN										
50	I <sup>2</sup> C バス・スレーブ・ アドレス 1	SA1	I													
51	I <sup>2</sup> C バス・スレーブ・ アドレス 2	SA2	I													

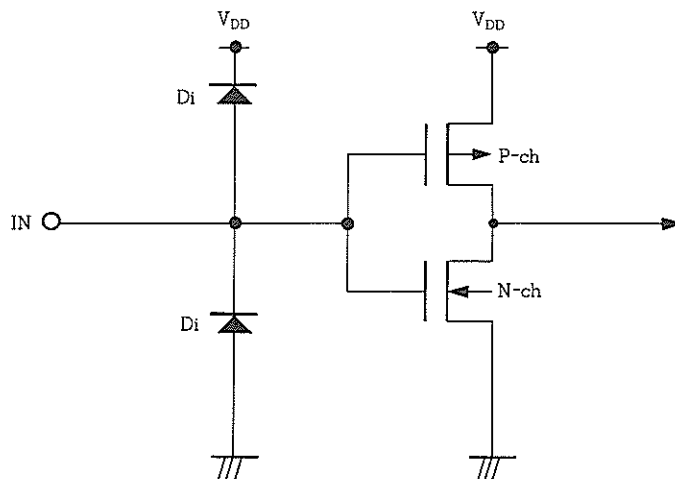
表 1-1 端子機能一覧 (4/4)

端子番号	端子名称	記号	I/O	機能
52	ミュート入力 Mute input	MUTI	I	音声の強制ミュート入力端子です。 ハイ・レベルにすると、PWM出力とTx出力にミュートがかかります。 使用しないときは、ロウ・レベルにします。
53	ミュート出力 Mute output	MUTO	O	ミュート要因により音声データが `0` のとき、ハイ・レベルを出力します。
54	BCHエラー・フラグ出力 BCH error flag output	BCEF	O	BCH (63, 56) 符号で検出された二重誤りを、エラー・フラグとして出力します。二重誤りが起きたとき、ハイ・レベルを出力します。
55	フレーム同期フラグ Lock indicator	LOIN	O	フレーム同期保護後のフレーム同期モニタ端子です。 非同期時：ハイ・レベル 同期時：ロウ・レベル
56	CPU リクエスト出力 CPU request	REQ	O	CPU へのデータ読み出し要求信号です。あるデータが変更されたときハイ・レベルを出力します (3.1.1(3)参照)。
57	シリアル・データ出力 Serial output	SO	O	μPD6396：CPU へのデータ出力端子です。オープン・ドレイン出力のため、外部にプルアップ抵抗が必要です。
	ノー・コネクション	NC		μPD6396Y：N.C.端子です。
58	シリアル・データ入力 Serial input	SI	I	μPD6396：CPU からのデータ入力端子です。
	Serial data	SDA	I/O	μPD6396Y：I <sup>2</sup> C バスの SDA 端子です。
59	データ転送クロック入力 CPU clock	CLK	I	μPD6396：CPU インタフェースのデータ転送クロックを入力します。
	Serial clock	SCL	I	μPD6396Y：I <sup>2</sup> C バスの SCL 端子です。
60	チップ・セレクト Chip select	$\overline{CS}$	I	μPD6396：端子 $\overline{CS}$ がロウ・レベルの間だけ CPU インタフェースが動作します。 端子 $\overline{CS}$ がハイ・レベルのとき、端子 CLK, SI は無効に、端子 SO はハイ・インピーダンスになります。
	ノー・コネクション	NC		μPD6396Y：N.C. 端子です。
61	+電源 (デジタル用)	DV <sub>DD</sub>		PCM 部用の +5 V 電源です。 アナログ用電源とデジタル用電源に分ける場合には、デジタル用電源に接続してください。
62	入力ポート 0 Input port 0	PI0	I	この端子の論理状態は、CPU インタフェースで読み出すことができます。正論理で読み出されます。 ハイ・レベル入力：`1` が読み出されます。 ロウ・レベル入力：`0` が読み出されます。
63	入力ポート 1 Input port 1	PI1	I	
64	テスト B Test B	TESB	I	テスト端子です。 必ずグラウンドに接続してください。

1.2 端子の入出力回路

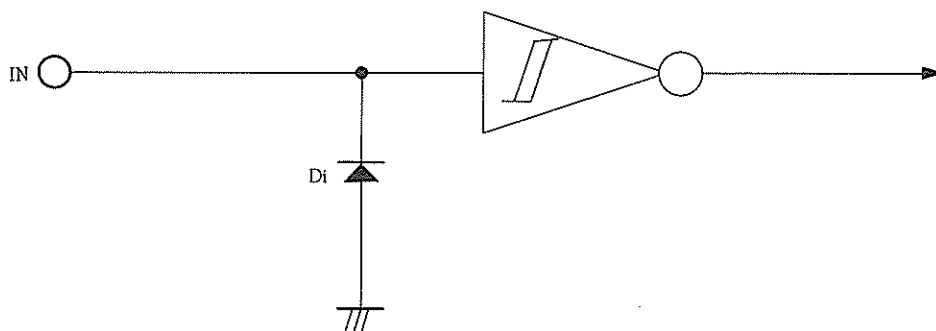
μPD6396, 6396Yの各端子の入出力回路を一部簡略化した形式を用いて示します。

- (1) 入力端子 **DATP, DATQ, CKFS, OSCS, DFIN,**  
**DATI1, DATI2, DASL,**  
**SAO, SA1, SA2, MUTI,**  
**PIO, PI1, TESA, TESA**



CMOS規格の入力バッファになっています。

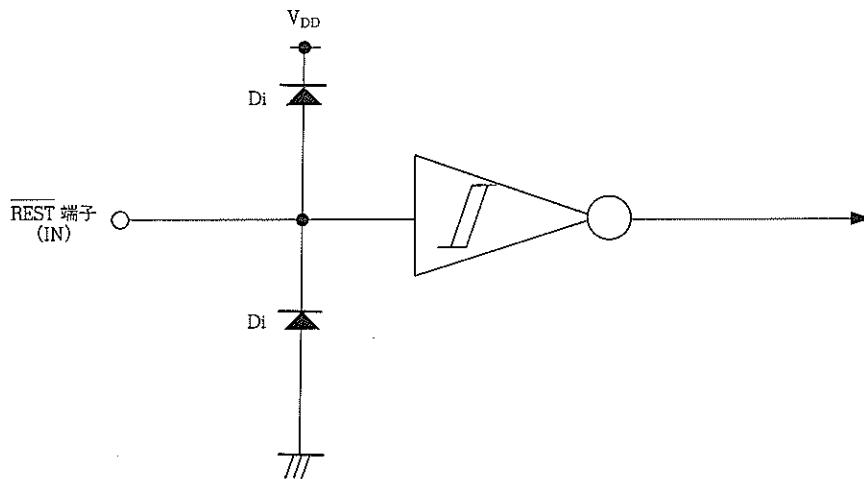
- (2) 入力端子  $\overline{\text{CS}}$ , **CLK**, **SI**(μPD6396のみ), **SCL**(μPD6396Y)



μPD6396, 6396Yの電源がOFF (=0V)のときにバス・ラインを0Vに引き込まないように、V<sub>DD</sub>側の保護ダイオードを削除しています。

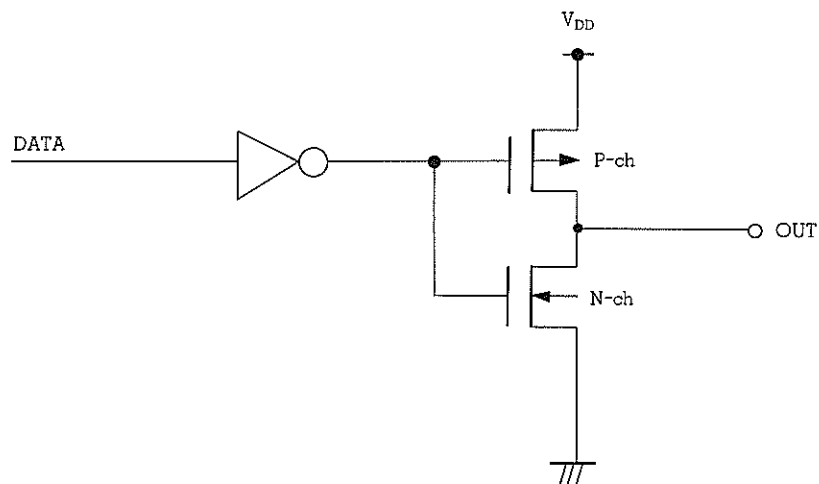
ヒステリシス特性を持つシュミット・トリガ入力になっています。

(3) 入力端子  $\overline{\text{REST}}$

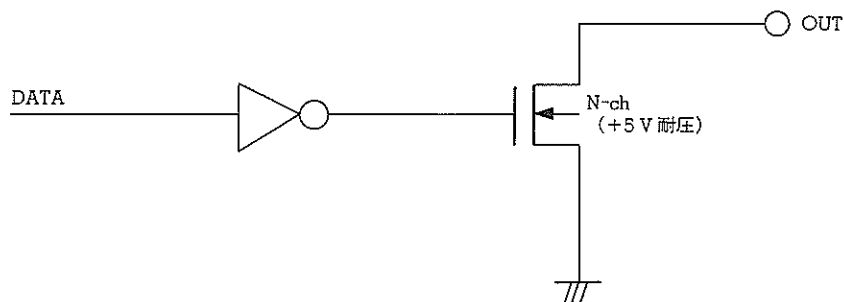


ヒステリシス特性を持つシュミット・トリガ入力です。

- (4) 出力端子 SPDO1, SPDO2, DFOT, CKO2,  $\overline{\text{LOIN}}$ , CK18,  
 DATS,  $\overline{\text{DSYC}}$ , MODE, BCEF,  
 REQ, MUTO,  
 Tx, ICK, PWMR+, PWMR-, PWML-, PWML+

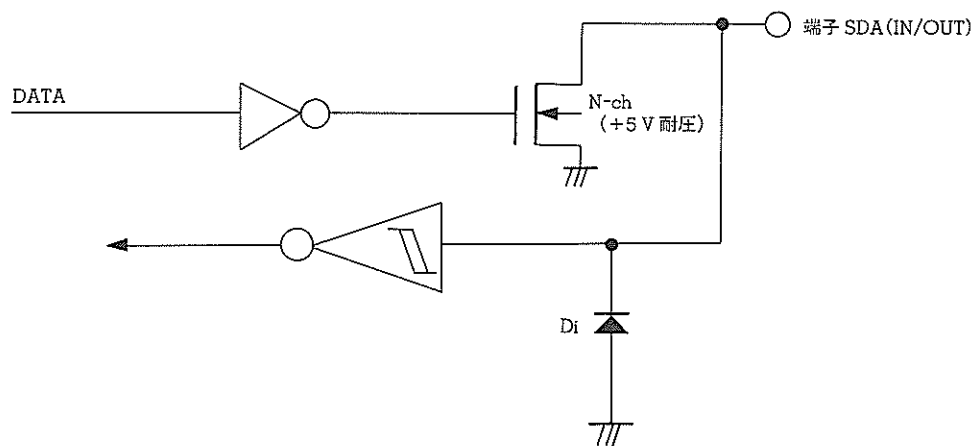


(5) 出力ポート PO0~PO6, SO



N-ch オープン・ドレイン出力です。

(6) 入出力端子 SDA (μPD6396Y のみ)



μPD6396, 6396Yの電源がOFF (=0V) のときにバス・ラインを0Vに引き込まないように、V<sub>DD</sub> 側の保護ダイオードを削除しています。

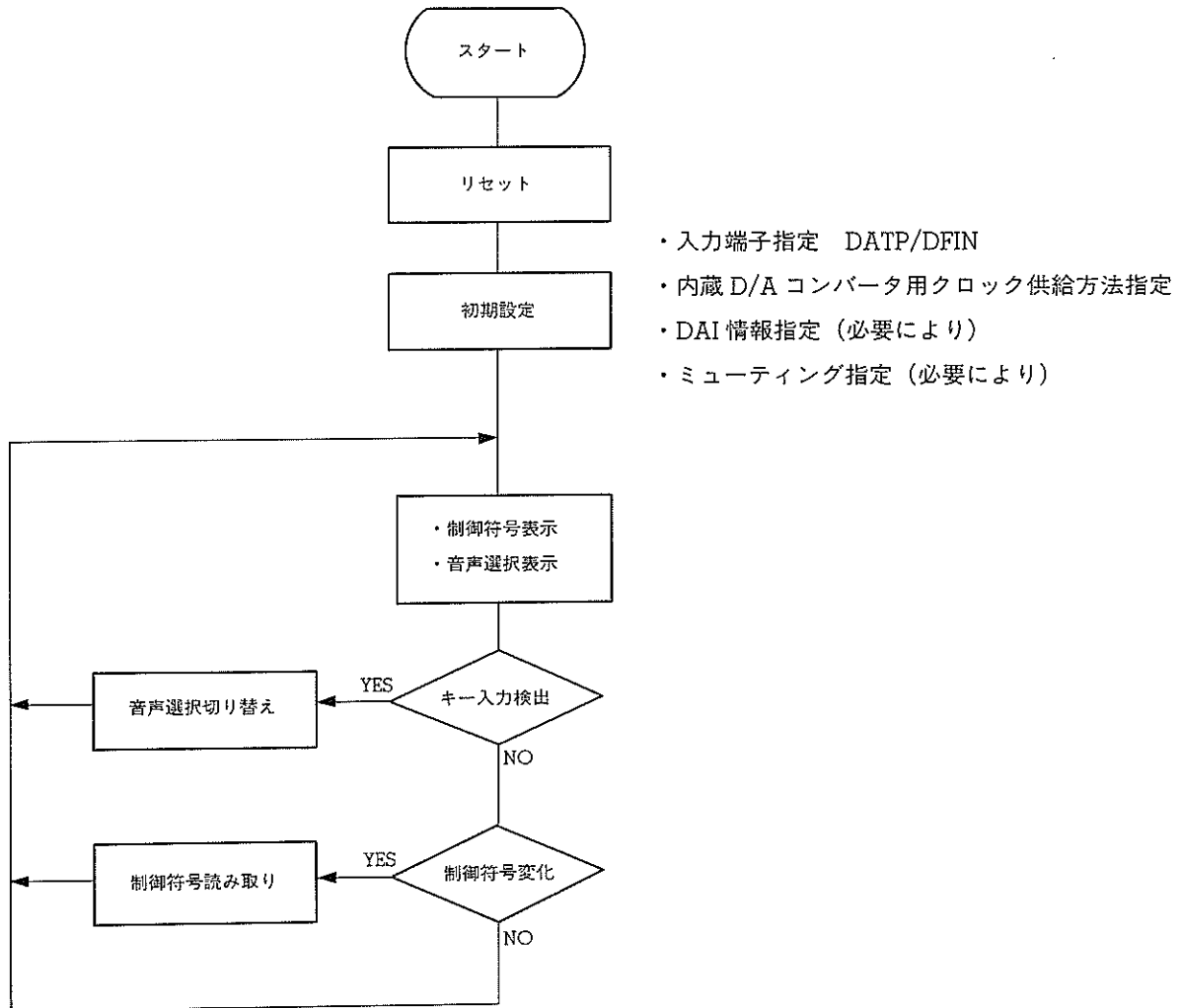
入力時は、ヒステリシス特性を持つシュミット・トリガ入力です。

出力時は、N-ch オープン・ドレイン出力です。

★ 2. 制御方法概要

μPD6396, 6396Y の制御は、データをマイコンとの間で送受信することで行います。  
 μPD6396, 6396Y 制御のフロー・チャートを図 2-1 に示します。

図 2-1 μPD6396, 6396Y 制御 フロー・チャート



μPD6396, 6396Y は、入力レジスタと出力レジスタを内蔵しています。内部レジスタにデータを書き込むことで、μPD6396, 6396Y を制御します。

表 2-1 に入力レジスタ一覧、表 2-2 に出力レジスタ一覧を示します。



表 2-1 入力レジスタ一覧

機能	サブアドレス	データ							
	A <sub>7</sub> ..... A <sub>0</sub>	D7	D6	D5	D4	D3	D2	D1	D0
音声選択情報	0000 0000	PWM 出力			×	Tx 出力			×
		TV/独立	主音声	副音声		TV/独立	主音声	副音声	
入力インタフェース 切り替え/出力ポート	0000 0001	IFMD	出力ポート						
			PO6	PO5	PO4	PO3	PO2	PO1	PO0
ミュートイング 切り替え	0000 0010	有料フラグ・ミュート				エラー発生頻度検出ミュート			
		音声 1	音声 2	音声 3	音声 4	EFD3	EFD2	EFD1	EFD0
	0000 0011	非同期	B7 = "1" 検出ミュート					強制	チャンネル 切り替え
		SYMU	音声	DFOT	DATS	PO1	PO0	MUTE	MUCH
デジタルフィルタ, D/A コンバータ制御	0000 0100	DCK2	DCK1	MUDA	MUSL	RSDA	×	×	×
デジタルオーディオ インタフェース情報	0000 0101	COPY	CTGY	VLDTY	MUTX	×	×	×	×
スクランブル対応	0000 0110	PROT	インタフェース切り替え		MASK	遅延			×
			SEL2	SEL1		ON/OFF	DLY2	DLY1	
CPU インタフェース 出力指定	0000 0111	COFM	COSL	出力レジスタ指定		SCRC	×	×	×
				COR2	COR1				
入力レジスタクリア	0000 1000	0	0	0	0	0	0	0	0

× : Don't care.

表 2-2 出力レジスタ一覧

出力レジスタ名称	出力データ							
	D7	D6	D5	D4	D3	D2	D1	D0
CONW1	LOIN <sup>注</sup>	制御符号						
		B16	B7	B1	B2	B3	B4	B5
CONW2	制御符号				音声有料フラグ			
	B13	B14	B15	B12	音声 1	音声 2	音声 3	音声 4
CONW3	入力ポート		0	制御符号				
	PI1	PI0		B6	B8	B9	B10	B11

部 : 多数決判定ビット

注 LOIN レジスタは、同期保護後のフレーム同期フラグです。

"0" : 同期状態

"1" : 非同期状態

★ 3. CPU インタフェース

表 3-1 に、μPD6396, 6396Y のシリアル・インタフェースの通信方式を示します。

表 3-1 シリアル・インタフェースの通信方式

品名	通信方式	通信線数
μPD6396	NECオリジナル・バス (シリアルI/O方式)	2線式
		3線式
μPD6396Y	I <sup>2</sup> Cバス	2線式

3.1 NECオリジナル・バス (μPD6396)

NECオリジナル・バスには、2線式バス・モードと3線式バス・モードがあります。

入力レジスタ COFM を “0” に設定すると2線式バス・モードが、“1” に設定すると3線式バス・モードが選択できます。

3.1.1 2線式バス・モード

(1) データの入出力

表 3-2 に2線式バス・モード制御レジスタを、図 3-1 に2線式バス・モード端子接続図を示します。

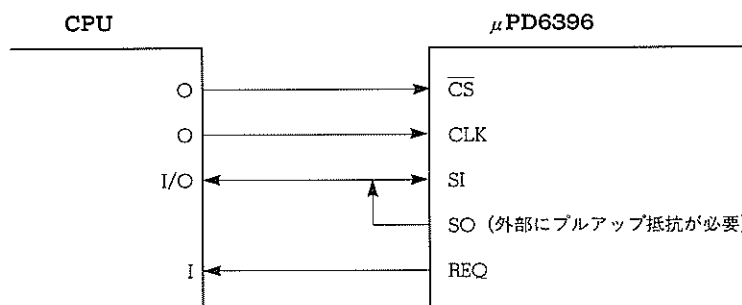
表 3-2 2線式バス・モード制御レジスタ

サブアドレス		D7	D6	D5	D4	D3	D2	D1	D0
A <sub>7</sub> …A <sub>4</sub>	A <sub>3</sub> …A <sub>0</sub>	COFM	COSL	COR2	COR1	SCRC	×	×	×
0000	0111								
				入力データ・ライン(端子 SI)				出力データ・ライン(端子 SO)	
		0	0	入力可				出力不可(ハイ・インピーダンス)	
			1	入力不可				出力可(オープン・ドレイン)	

× : Don't care.

: リセットまたはレジスタ・クリア後のデータ

図3-1 2線式バス・モード端子接続図



データの転送方向は、入力レジスタ COSL で切り替えます。"0" を設定するとデータ入力モード、"1" を設定するとデータ出力モードになります。

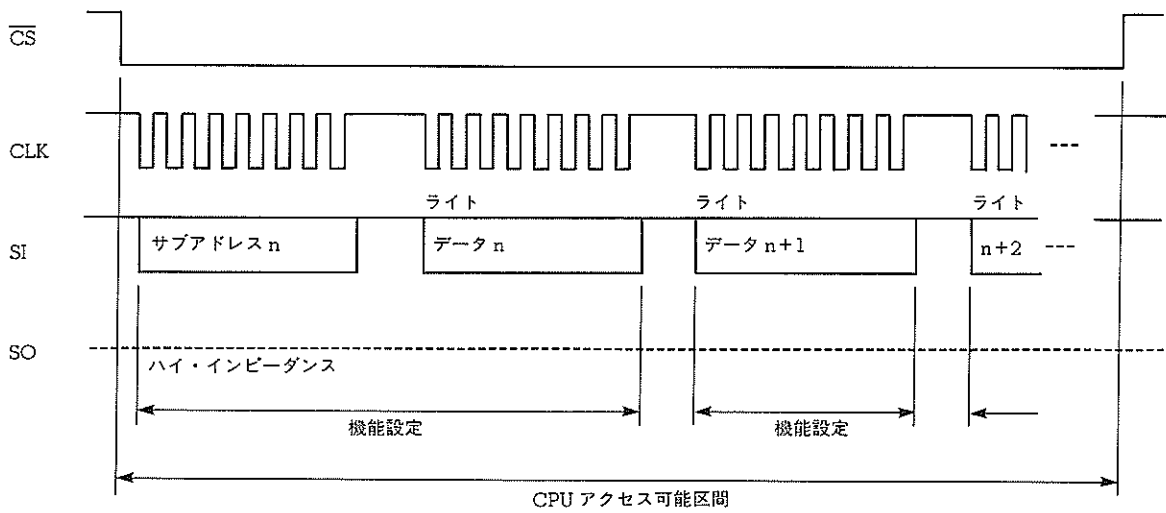
一度データ出力モードに設定すると入力不可になるため、CPU からでは COSL を "0" (データ入力モード) に設定できません。データ出力モードからデータ入力モードにするには、端子  $\overline{CS}$  をハイ・レベルにし、1 度バスを解放してください。再びチップ・セレクトをロウ・レベルにすると、データ入力モード (COSL : "0") に戻ります。

μPD6396 の場合には、リセット (端子  $\overline{REST}$  : ロウ・レベル) またはレジスタ・クリア後は入力レジスタがすべて "0" にクリアされるので、かならず 2 線式バスのデータ入力モードになります。

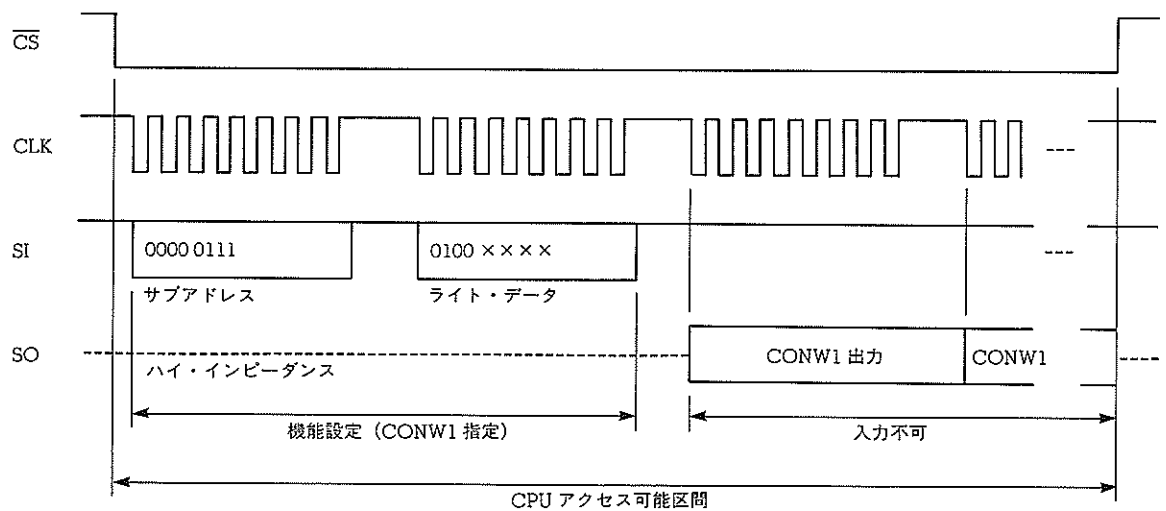
図 3-2 に、2 線式バス・モードのデータ入出力タイミング・チャートを示します。

図 3-2 2 線式バス・モード データ入出力タイミング・チャート

① データ入力モード



② データ出力モード



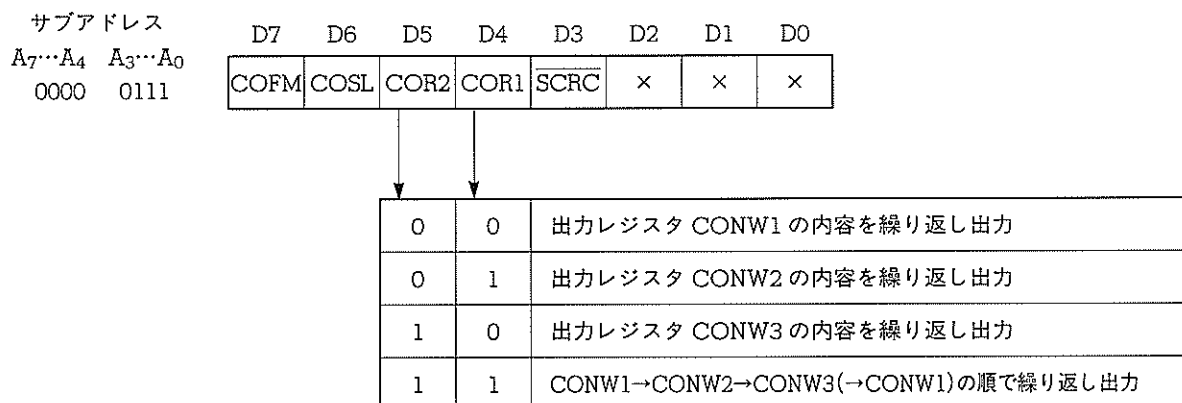
2線式バス入力モードでは、サブアドレスが0000 0000~0000 0111の間で自動加算されます。サブアドレス0000 0111の次は0000 0000に戻ります。

また、チップ・セレクト後、09H (0000 1001) 以上のサブアドレスの指定が行われた場合、それ以後の入力データはすべて無視されます。一度チップ・セレクトを解除してから、正しいデータを入力してください。

(2) 出力レジスタ指定

出力レジスタの指定は、入力レジスタ COR1, COR2で行います。

表 3-3 出力レジスタ指定



× : Don't care.

:リセットまたはレジスタ・クリア後のデータ

(3) CPU リクエスト出力 (端子 REQ)

端子 REQ は、次の条件の論理和でハイ・レベルを出力します。

- ① 制御符号で多数決判定を行っているビット (B1, B2, B3, B4, B5, B7, B12, B15, B16) が変化したとき。
- ② 音声有料フラグ (音声 1, 音声 2, 音声 3, 音声 4) が変化したとき。
- ③ 入力ポート (PI0, PI1) の論理が変化したとき。
- ④ フレーム同期フラグ ( $\overline{LOIN}$ ) が変化したとき。

CPU が変化した出力レジスタ (CONW1, CONW2, CONW3) をすべて読み出すと、端子 REQ はロウ・レベルにクリアされます。

すなわち、CONW1 だけが変化した場合には、CONW1 の 1 バイトが読み出された時点で端子 REQ はロウ・レベルになります。CONW1, CONW2, CONW3 が変化した場合には、CONW1, CONW2, CONW3 の 3 バイトとも読み出されるまで端子 REQ はロウ・レベルになりません。

端子 REQ の動作は、2線式バス・モード, 3線式バス・モード, I<sup>2</sup>C バスとも同じです。

3.1.2 3線式バス・モード

(1) データの入出力

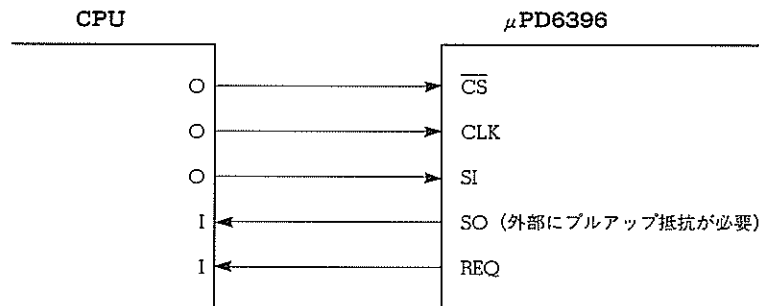
表 3-4 に 3 線式バス・モード制御レジスタを, 図 3-3 に 3 線式バス・モード端子接続図を示します。

表 3-4 3線式バス・モード制御レジスタ

サブアドレス		D7	D6	D5	D4	D3	D2	D1	D0
$\bar{A}_7 \cdots \bar{A}_4$	$\bar{A}_3 \cdots \bar{A}_0$	COFM	COSL	COR2	COR1	$\overline{SCRC}$	×	×	×
0000	0111			入力データ・ライン (端子 SI)				出力データ・ライン (端子 SO)	
		1	0	入力可				出力可 (N-ch オープン・ドレイン)	
			1						

× : Don't care.

図 3-3 3線式バス・モード端子接続図

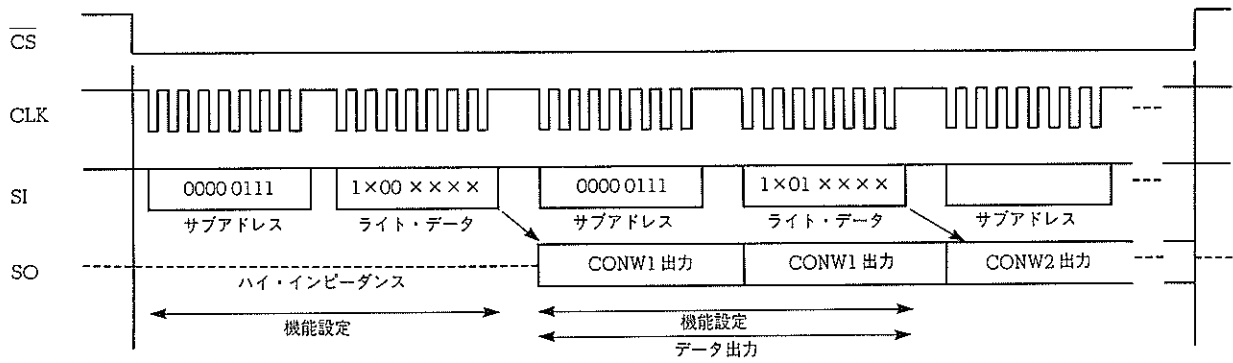


3 線式バス・モードでは, データの入出力を同時に行うので, 入力レジスタ COSL の設定は無効になります。

リセット (端子  $\overline{REST}$ : ロウ・レベル) またはレジスタ・クリア後は, 2 線式バスの入力モードになります。3 線式バス・モードで使用する場合は, かならずリセットまたはレジスタ・クリア後に COFM を “1” に設定してください。

図 3-4 に, 3 線式バス・モードのデータ入出力タイミング・チャートを示します。

図 3-4 3 線式バス・モード データ入出力タイミング・チャート



**備考** このタイミング・チャートは、3 線式バス・モードに設定した直後のものです。すでに 3 線式バス・モードが設定されている場合は、チップ・セレクト後端子 SO がハイ・インピーダンスにならず、すぐにデータが出力されます。

3 線式バス・モードでは、サブアドレスの自動加算はできません。

また、チップ・セレクト後、09H (0000 1001) 以上のサブアドレスの指定が行われた場合、それ以後の入力データはすべて無視されます (端子 SO は、指定されている出力レジスタのデータを出力します)。再びデータ入力を行うには、一度チップ・セレクトを解除してから、データを正しく入力してください。

**(2) 出力レジスタ指定**

出力レジスタの指定については、3.1.1 (2) を参照してください。COR2, COR1: "11" の場合、チップ・セレクト後、最初に出力されるレジスタはかならず CONW1 になります。

**(3) CPU リクエスト出力 (端子 REQ)**

端子 REQ については、3.1.1 (3) を参照してください。

### 3.2 I<sup>2</sup>C バス (μPD6396Y)

μPD6396Y は、I<sup>2</sup>C バス用インタフェース回路を内蔵しており、スレーブとしての動作ができます。リセット時(端子  $\overline{RST}$  : ロウ・レベル)には、SDA ラインがハイ・インピーダンスになるのでバスを占有することがありません。

#### (1) データの入出力

表 3-5 に I<sup>2</sup>C バス・モード出力指定レジスタを、図 3-5 に I<sup>2</sup>C バス端子接続図を示します。

I<sup>2</sup>C バスでは、レジスタ COFM, COSL は無効 (× : Don't care.) になります。

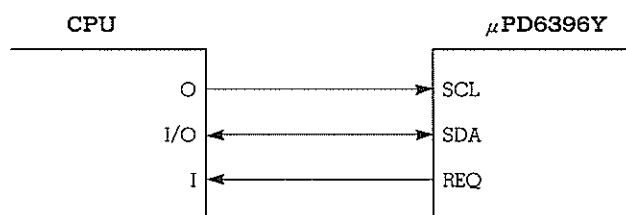
**表 3-5 I<sup>2</sup>C バス・モード出力指定レジスタ**

サブアドレス		D7	D6	D5	D4	D3	D2	D1	D0
A7...A4	A3...A0	COFM	COSL	COR2	COR1	SCRC	×	×	×
0000	0111								
×	×	0 0		出力レジスタ CONW1 の内容を繰り返し出力					
		0 1		出力レジスタ CONW2 の内容を繰り返し出力					
		1 0		出力レジスタ CONW3 の内容を繰り返し出力					
		1 1		CONW1 → CONW2 → CONW3 (→ CONW1) の順で繰り返し出力					

× : Don't care.

: リセットまたはレジスタ・クリア後のデータ

図 3-5 I<sup>2</sup>C バス・モード端子接続図



#### (2) データ入出力のフォーマット (I<sup>2</sup>C バス)

図 3-6 に、I<sup>2</sup>C バスのデータ入出力のフォーマットを示します。

サブアドレスの自動加算は、0000 0000~0000 0111 間で行われます。サブアドレス 0000 0111 の次は、0000 0000 に戻ります。

09H (0000 1001) 以上のサブアドレスの指定が行われた場合、μPD6396Y は、確認応答 (ACK : acknowledge) を返さず、SDA ラインをハイ・インピーダンスにしてスタート条件 (STA) 待ちになります。

データの読み出しは、レジスタ COR1, COR2 で出力レジスタの指定をしてから行ってください。COR1, COR2 の内容は保持されますので、出力レジスタの指定を毎回行う必要はありません。

また、出力レジスタ読み出し時に CPU からの確認応答 (ACK) がいないときには、μPD6396Y は SDA ラインをハイ・インピーダンスにしてスタート条件 (STA) またはストップ条件 (STP) の入力待ちになります (CPU は、最後のバイトを読み出したあと μPD6396Y に確認応答 (ACK) を返さないことで、読み出しの終わりを知らせます (NAK))。





(3) CPU リクエスト端子 (端子 REQ)

端子 REQ については、3.1.1 (3) を参照してください。

3.3 制御符号 B14 によるスクランブル・フラグ訂正機能

COATEC 方式スクランブル放送では、制御符号 B14 がマスター・フレームの指示に使用されます。このことを利用して、次の場合にフラグを訂正し、読み出されるデータ(出力レジスタの CONW2 バイトに割り付けられています)を "0" にすることができます。

この制御符号 B14 によるスクランブル・フラグ訂正機能は、OFF にすることもできます。

- ・スクランブル放送中以外に、映像信号のスクランブル・フラグ(制御符号 B12)が誤って"1"になったとき。
- ・スクランブル放送中以外に、音声信号のスクランブル・フラグ(第 8 レンジ・ビット)が誤って"1"になったとき。

表 3-6 制御符号 B14 によるスクランブル訂正機能の ON/OFF

サブアドレス	D7	D6	D5	D4	D3	D2	D1	D0
A <sub>7</sub> …A <sub>4</sub> A <sub>3</sub> …A <sub>0</sub>	COFM	COSL	COR2	COR1	SCRC	×	×	×
0000 0111								

0	スクランブル・フラグの訂正機能 ON
1	スクランブル・フラグの訂正機能 OFF

：リセットまたはレジスタ・クリア後のデータ

★ 4. 初期設定

μPD6396, 6396Y の初期設定は次のように行ってください。

- ① μPD6396, 6396Y をリセットする。
- ② 必要な入力レジスタに初期設定を行う。
- ③ レジスタ MUDA, MUTX を “1” に設定して, PWM 出力, Tx 出力を有効にする。

4.1 リセット機能

電源投入後は, CPU インタフェース回路が正常に動作しません。必ず μPD6396, 6396Y をリセットしてください。

リセットは, 端子 CKFS で選択した周波数のクロックを端子 CKIN に入力したまま, 端子  $\overline{\text{REST}}$  をロウ・レベルにすることで行います。

リセット後の入力レジスタは, PO1 以外はすべて “0” にクリアされます。PO1 は “1” になります。したがって, レジスタ MUDA, MUTX が “0” のため, PWM 出力はミュート状態, Tx 端子はロウ・レベル固定になっています。入力レジスタの初期設定が終わったあと, かならずレジスタ MUDA, MUTX を “1” に設定して, PWM 出力, Tx 出力を有効にしてください。

リセット後の出力レジスタの値は, 次のようになります。

表 4-1 リセット後の出力レジスタ

出力レジスタ名称	出力データ							
	D7	D6	D5	D4	D3	D2	D1	D0
CONW1	$\overline{\text{LOIN}}$	B16	B7	B1	B2	B3	B4	B5
	1	1	0	0	1	1	1	1
CONW2	B13	B14	B15	B12	音声 1	音声 2	音声 3	音声 4
	0	不定	1	0	0	0	0	0
CONW3	PI1	PI0	0	B6	B8	B9	B10	B11
	端子 H/L による			不定	不定	不定	不定	不定

不定: “0” または “1”

4.2 初期設定

リセット後, 表 4-2 の入力レジスタの初期設定を行ってください。

表 4-2 初期設定が必要なレジスタ

初期設定が必要なレジスタ	次の機能を使用する場合
入出カインタフェース切り替え	端子 DFIN からデータを入力する
スクランブル対応	スクランブル・デコーダを接続する
デジタル・フィルタ, D/A コンバータ制御	アナログ音声出力を使用する
デジタルオーディオインタフェース情報	デジタル音声出力を使用する
ミュート切り替え	ミュート機能を使用する

それぞれの入力レジスタの初期設定については, 各項を参照してください。

4.3 入力レジスタ・クリア

入力レジスタ・クリアを行うと、入力レジスタはリセット後と同じ状態になります (PO1 以外はすべて "0" にクリアされ、PO1 は "1" になります)。入力レジスタ・クリア動作によって、出力レジスタは変化しません。

入力レジスタ・クリアを行うためには、サブアドレス 0000 1000 にデータ "0" を 8 ビット書き込んでください。1 ビットでも "1" が書き込まれると入力レジスタ・クリアは行われません。また、サブアドレス 0000 1000 に 8 ビット・データを書き込むと、それ以降のデータは入力できません。

このとき、2 線式、3 線式バスを使用している場合は、チップ・セレクトを一度解除して (端子  $\overline{CS}$  をハイ・レベルにして) から、データの送受信を行ってください。

I<sup>2</sup>C バスを使用している場合はスタート条件待ちになるので、スタート条件、スレーブ・アドレスの送信をしてからデータ送受信を行ってください。

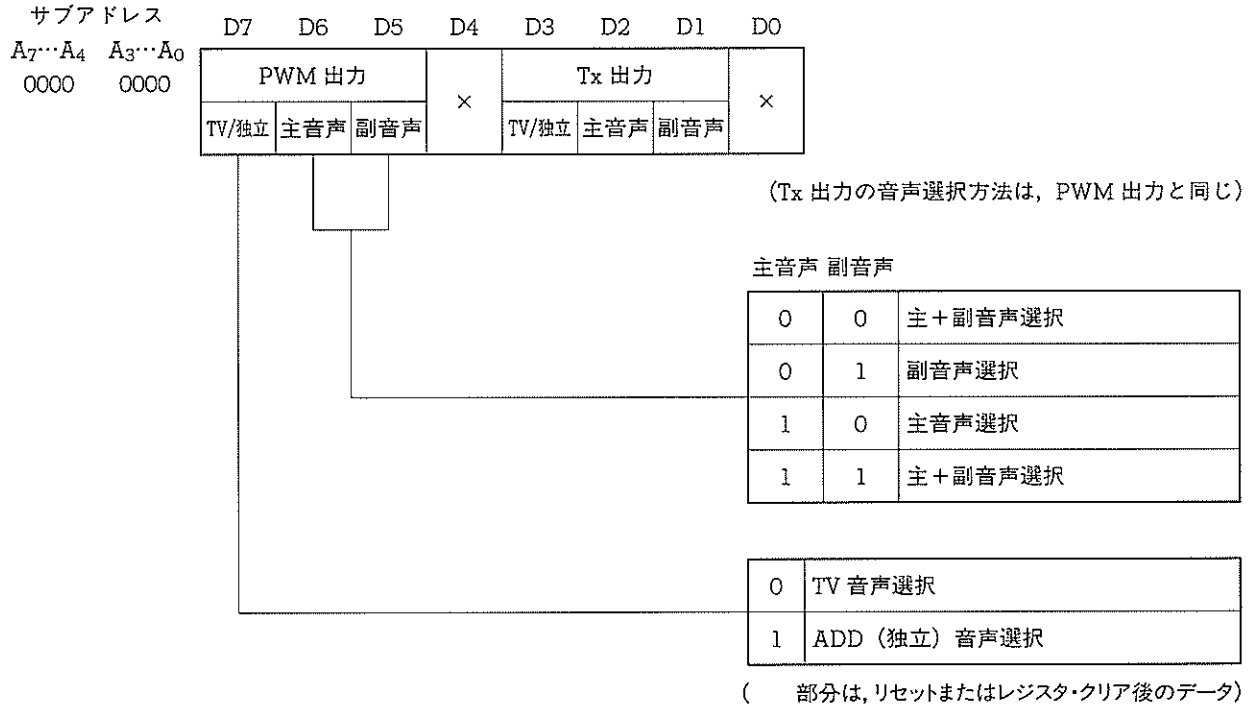
表 4-3 入力レジスタ・クリア

サブアドレス		D7	D6	D5	D4	D3	D2	D1	D0
A <sub>7</sub> …A <sub>4</sub>	A <sub>3</sub> …A <sub>0</sub>								
0000	1000	0	0	0	0	0	0	0	0

★ 5. 音声選択方法

μPD6396, 6396Y は、内蔵 D/A コンバータの PWM 出力 1 系統とデジタルオーディオインタフェース出力 1 系統の計 2 系統の音声データ出力を内蔵しています。そのそれぞれに対して個別に音声出力モードを選択できます。モードの選択は、表 5-1 にしたがって、内部レジスタにデータを書き込んでください。

表 5-1 音声選択情報レジスタ



注意 放送モードと音声選択情報レジスタの内容が異なる場合には、表 5-2 のように音声データが出力されます。基本的には、放送モードが優先されます。

表 5-2 放送モード, 音声選択情報レジスタ内容対音声データ出力一覧

放送モード			音声選択情報レジスタ			音声データ出力	
モード	TV 音声	独立音声	TV/独立(ADD)	主/副	入力データ TV/ ADD 主 副	Lch	Rch
A	ステレオ	×	TV	×	0 × ×	音声 1	音声 2
	モノラル 1ch			×	0 × ×	音声 1	音声 1
	モノラル 2ch			主+副	0 0 0	音声 1	音声 2
				主	0 1 0	音声 1	音声 1
				副	0 0 1	音声 2	音声 2
	主+副	0 1 1	音声 1	音声 2			
	未定義		×	0 × ×	ミュート	ミュート	
A	×	ステレオ	独立 (ADD)	×	1 × ×	音声 3	音声 4
		モノラル 1ch		×	1 × ×	音声 3	音声 3
		モノラル 2ch		主+副	1 0 0	音声 3	音声 4
				主	1 1 0	音声 3	音声 3
				副	1 0 1	音声 4	音声 4
	主+副	1 1 1	音声 3	音声 4			
	音声以外		×	1 × ×	ミュート	ミュート	
B	ステレオ	X	×	×	× × ×	音声 1	音声 2
	モノラル 1ch			×	× × ×	音声 1	音声 1
	モノラル 2ch			主+副	× 0 0	音声 1	音声 2
				主	× 1 0	音声 1	音声 1
				副	× 0 1	音声 2	音声 2
	主+副	× 1 1	音声 1	音声 2			
	未定義		×	× × ×	ミュート	ミュート	

× : Don't care

★ 6. 入出力インタフェース切り替え

入出力インタフェースの切り替えは、レジスタ IFMD で行ってください。

表 6-1 入出力インタフェース切り替えレジスタ

サブアドレス		D7	D6	D5	D4	D3	D2	D1	D0	
A <sub>7</sub> …A <sub>4</sub>	A <sub>3</sub> …A <sub>0</sub>	IFMD	PO6	PO5	PO4	PO3	PO2	PO1	PO0	
0000	0001								内蔵位相比較器 入力切り替え	
									0	端子 DATP
									1	端子 DFIN

: リセットまたはレジスタ・クリア後のデータ

レジスタ IFMD (Interface mode select) は内蔵位相比較器の入力切り替えです。

“0” : 端子 DATP

データを端子 DATP, DATQ から入力し、内蔵の差動変換器 (Differential converter) を通して、端子 DFOT, DFIN へ入力する場合。

“1” : 端子 DFIN

内蔵の差動変換器を使わず、データ (2.048 Mbps) を直接、端子 DFIN から入力する場合。

## 7. ミュート機能

### 7.1 自動ミュート

μPD6396, 6396Y は、次のデータが送信されてきたとき、必ず音声データを“0”にします。

- ・多数決判定後の制御符号ビット 16 (B16) = “1” (音声抑圧時)
- ・多数決判定後の制御符号ビット 2~5 (B2~B5) = “1111” (音声以外)

自動ミュートは、内蔵デジタル・フィルタ+D/A コンバータ部とデジタルオーディオインタフェース部に与える音声データ (オーディオ・サンプル) を“0”にすることによって行います。このとき、PWM 出力はデューティ 50% の方形波となり、端子 Tx (DAI 出力) からは音声データ“0”が出力されます。

### 7.2 強制ミュート

強制ミュートは、音声データを外部から強制的に“0”にする機能です。したがって、PWM 出力はデューティ 50% の方形波になります。

強制ミュートの方法は、ハードウェアによる方法とソフトウェアによる方法の 2 種類があります。

#### ・ハードウェアによる強制ミュート

端子 MUTI をハイ・レベルにしてください。

#### ・ソフトウェアによる強制ミュート

レジスタ MUTE (サブアドレス 0000 0011) にデータ“1”を書き込んでください。

表 7-1 ソフトウェアによる強制ミュート選択

サブアドレス		D7	D6	D5	D4	D3	D2	D1	D0
A7...A4	A3...A0	B7 = “1” 検出ミュート						MUTE	MUCH
0000	0011								

0	強制ミュートなし
1	強制ミュートあり

: リセットまたはレジスタ・クリア後のデータ

### 7.3 非同期ミュート

非同期ミュートは、フレーム同期が非同期状態になった（端子  $\overline{\text{LOIN}}$ ：ハイ・レベル）ときに、音声を自動的にミュートする（音声データ “0”）機能です。

μPD6396, 6396Y のフレーム同期保護は、競合カウンタ方式で行われています。

フレーム同期パターン (“0001 0011 0101 1110”) と一致したパターンが 3 フレーム以上続いたとき、同期カウンタがフルカウントになります。フレーム同期パターンのうち 5 ビット（ハミング距離 5）以上誤ったパターンが 8 フレーム続いたとき、非同期カウンタがフルカウントになります。

同期カウンタ、非同期カウンタのうち、先にフルカウントになったほうが優先され、端子  $\overline{\text{LOIN}}$  のレベルを決定します（同期カウンタがフルカウント：ロウ・レベル、非同期カウンタがフルカウント：ハイ・レベル）。フレーム非同期時には、端子 DFOT, DATS は不定になります。

非同期時ミュート機能を使用する場合は、レジスタ SYMU に（サブアドレス 0000 0011）にデータ “1” を書き込んでください。

表 7-2 非同期時ミュート選択

サブアドレス	D7	D6	D5	D4	D3	D2	D1	D0
A7…A4 A3…A0	SYMU		B7 = “1” 検出ミュート				MUTE	MUCH
0000 0011								

0	非同期時ミュートなし
1	非同期時ミュートあり

：リセットまたはレジスタ・クリア後のデータ

非同期時ミュートを使用したとき、次の期間には異音が発生します。

- ・非同期が検出されるまでの（最短）8 ms（8 フレーム）。  
この期間は、音声データが誤っているため異音が発生します。
- ・同期状態になったあと、正しい制御符号を認識するまでの（最短）16 ms（16 フレーム）。  
この期間は、制御符号が非同期時保護されるために、非同期前の制御符号が有効になります。そのため、非同期前の制御符号と非同期後の制御符号が一致していないと異音が発生します。  
特にモードが異なると、必ず異音が発生します。

なお、非同期ミュートをかける、かけないにかかわらず、フレーム非同期時にも端子 DFOT, DATS は受信データを出し続けます。しかし非同期時なのでデータは不定です。



7.4 エラー発生頻度検出ミュート

エラー発生頻度検出ミュートは、1フレーム間あたりの BCH (63, 56) 符号による二重誤りの発生回数が、設定したレベルを 32 フレーム連続で越えたときに、音声データに自動的にミュートをかける機能です。

この機能は、受信キャリア/ノイズ比 (C/N 比) が悪くなり音声に雑音がめだつようになったときに有効です。

エラー発生頻度検出レベルは、表 7-3 に従って設定してください。

表 7-3 エラー発生頻度検出レベル設定レジスタ

サブアドレス  
A<sub>7</sub>…A<sub>4</sub> A<sub>3</sub>…A<sub>0</sub>  
0000 0010

有料フラグ・ミュート				エラー発生頻度検出ミュート				
D7	D6	D5	D4	D3	D2	D1	D0	
音声 1	音声 2	音声 3	音声 4	EFD3	EFD2	EFD1	EFD0	
				0	0	0	0	ミュートなし
				0	0	0	1	1回/フレーム
				0	0	1	0	2回/フレーム
				0	0	1	1	3回/フレーム
				0	1	0	0	4回/フレーム
				0	1	0	1	5回/フレーム
				0	1	1	0	6回/フレーム
				0	1	1	1	7回/フレーム
				1	0	0	0	8回/フレーム
				1	0	0	1	9回/フレーム
				1	0	1	0	10回/フレーム
				1	0	1	1	11回/フレーム
				1	1	0	0	12回/フレーム
				1	1	0	1	13回/フレーム
				1	1	1	0	14回/フレーム
				1	1	1	1	15回/フレーム

: リセットまたはレジスタ・クリア後のデータ

7.5 有料フラグ検出ミュート

有料フラグ検出ミュートは、レンジ・ビットの第8ビットである音声の有料フラグが“1”になっているときに、音声1から音声4（Bモード時は音声1, 2）を個別にミュートする機能です。

有料フラグ検出ミュートの設定は、表7-4に従って行ってください。

表7-4 有料フラグ検出ミュート設定レジスタ

サブアドレス  
A<sub>7</sub>…A<sub>4</sub> A<sub>3</sub>…A<sub>0</sub>  
0000 0010

D7	D6	D5	D4	D3	D2	D1	D0
有料フラグ・ミュート				エラー発生頻度検出ミュート			
音声1	音声2	音声3	音声4	EFD3	EFD2	EFD1	EFD0

0	音声有料フラグ検出ミュートなし
1	音声有料フラグ検出ミュートあり

:リセットまたはレジスタ・クリア後のデータ

備考 音声2~4の設定も、音声1と同じです。

7.6 制御符号 B7= "1" 検出ミュート

制御符号 B7= "1" 検出ミュートは、制御符号ビット 7 が "1" になったときに、ビット・ストリーム出力（端子 DFOT）、データ・ストリーム出力（端子 DATS）、出力ポート PO0, PO1, 音声データ（PWM 出力と DAI 出力）に個別にミュートをかける機能です。

ミュートがかかったときの各端子の状態は、表 7-6 を参照してください。

制御符号 B7= "1" 検出ミュート選択は、表 7-5 に従って設定してください。

表 7-5 制御符号 B7= "1" 検出ミュート選択

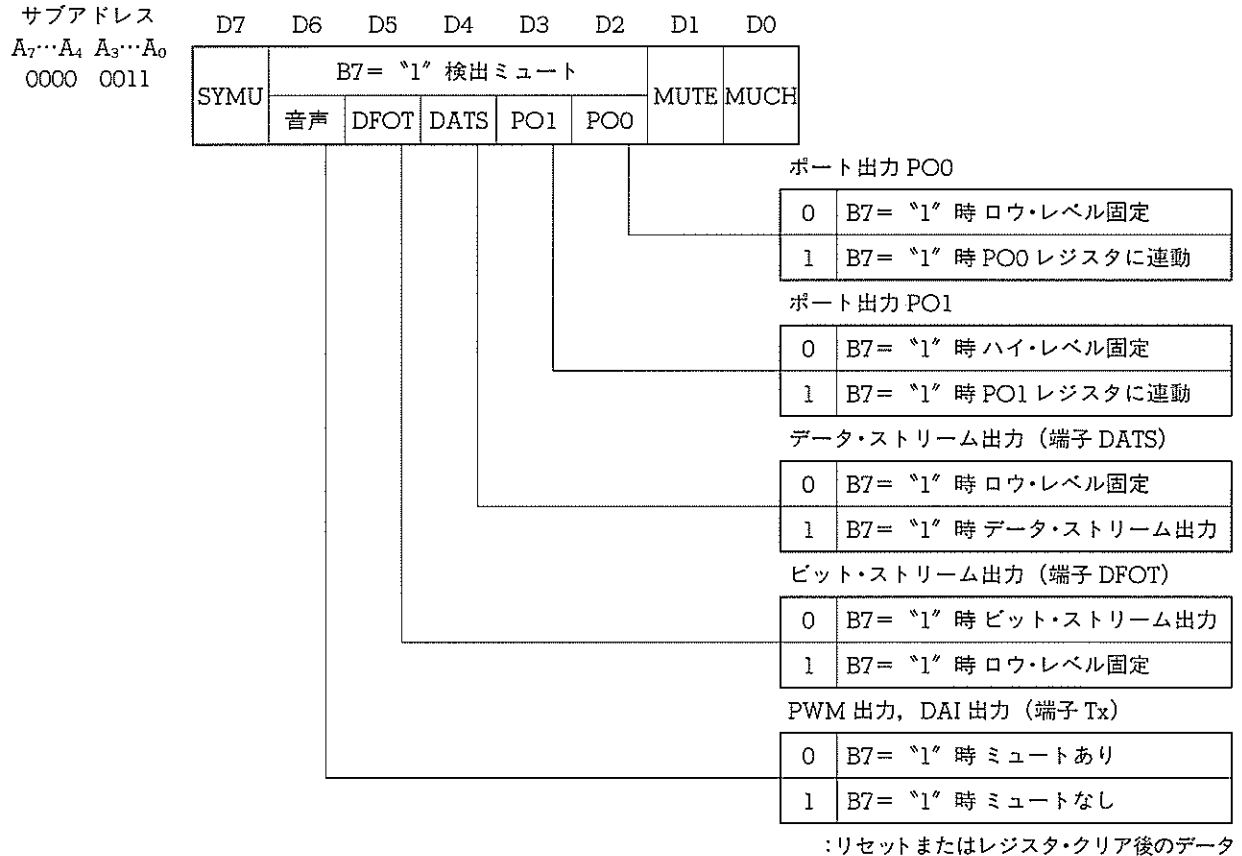


表 7-6 制御符号 B7 = "1" 検出ミュートがかかる出力

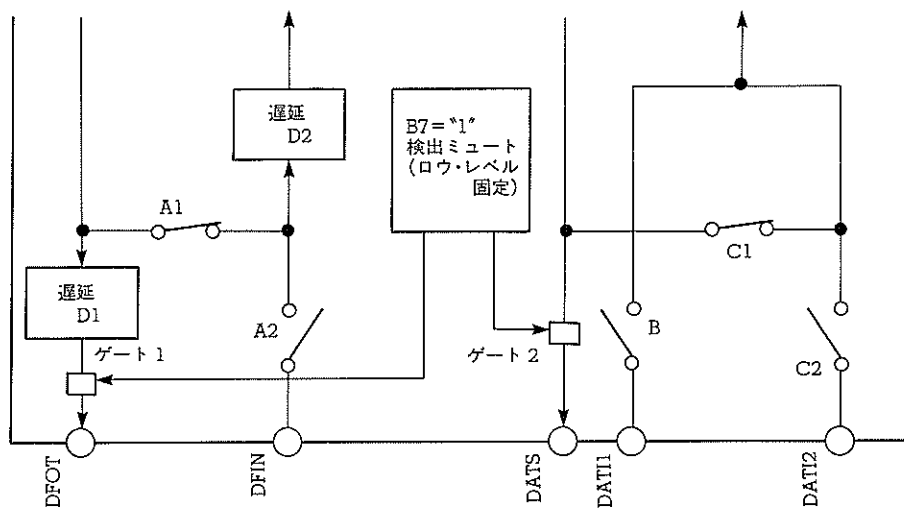
ミュートがかかる出力	端子略号	ミュートがかかったとき
出力ポート 0	PO0	ロウ・レベル固定
出力ポート 1	PO1	ハイ・レベル固定
データ・ストリーム出力	DATS	ロウ・レベル固定 <sup>注</sup>
ビット・ストリーム出力	DFOT	
音声データ：PWM 出力, DAI 出力	PWML+, PWML-, PWMR+, PWMR-,	デューティ 50% の方形波出力
	Tx	音声データ "0"

注 端子 DFOT, DATS のロウ・レベル固定は、図 7-1 のゲート 1, 2 で行われます。

制御符号 B7 = "1" 検出時に、端子 DFOT のロウ・レベル固定機能を使用する場合には、スイッチ A1 を必ずショート状態にしてください (10. スクランプル対応参照)。

スイッチ A1 をショート状態にしないと、端子 DFOT ロウ・レベル固定後にはフレーム同期検出ができなくなり、以後、非同期状態になります。そのため、制御符号 B7 が "0" に戻ってもそれを検出することができず、もとのビット・ストリーム出力状態に戻らなくなります。

図 7-1 制御符号 B7 = "1" 検出時 端子 DFOT, DATS ロウ・レベル固定



7.7 チャンネル切り替えミュート

チャンネル切り替えミュートは、チャンネル切り替え時の異音を防ぐことを目的としたミュート機能です。

非同期ミュートを使用すると、フレーム同期保護後のフレーム同期モニタ信号（端子  $\overline{\text{LOIN}}$  の出力）でミュートのオン/オフを行うために、次の期間には異音が発生する可能性があります（7.3 非同期ミュート参照）。

- ・非同期が検出されるまでの（最短）8ms（8フレーム）。
- ・同期状態になったあと、正しい制御符号を認識するまでの（最短）16ms（16フレーム）。

チャンネル切り替えミュートでは、レジスタ MUCH に “1” を書き込むと音声データが “0” に固定されます。

すでにミュート状態になっているこの期間にチャンネル切り替えを行うと、非同期前の異音を消すことができます。

また、同期状態になったあと、正しい制御符号を認識するまでの（最短）16ms（16フレーム）間にも音声ミュートはかかり続けます。新しい制御符号が認識されると、自動的に音声ミュートが解除され、レジスタ MUCH も “0” にクリアされます。

このようにして、チャンネル切り替えミュートは、非同期ミュートでは消せなかった非同期前後の異音を消すことができます。

表 7-7 チャンネル切り替えミュート選択

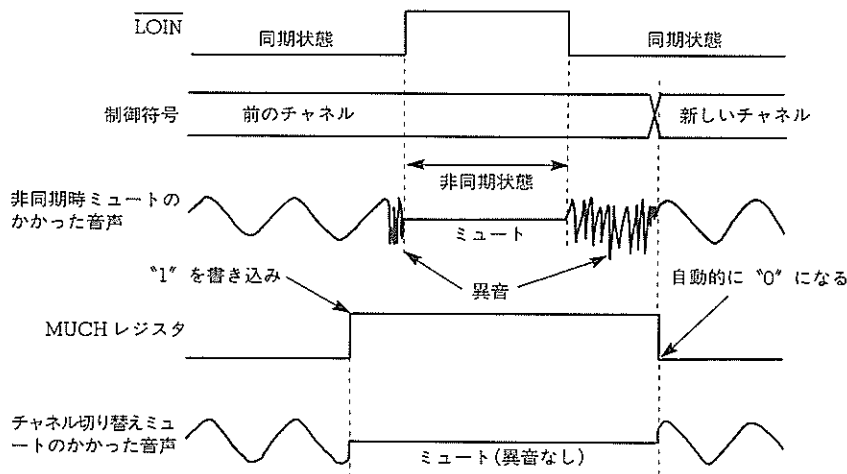
サブアドレス  
A<sub>7</sub>…A<sub>4</sub> A<sub>3</sub>…A<sub>0</sub>  
0000 0011

D7	D6	D5	D4	D3	D2	D1	D0
SYMU	B7 = “1” 検出ミュート				MUTE	MUCH	

0	チャンネル切り替えミュートなし
1	チャンネル切り替えミュートあり

：リセットまたはレジスタ・クリア後のデータ

図 7-2 チャンネル切り替えミュートの動作



## 7.8 ミュート状態出力

次のいずれかの理由によって音声データにミュートがかかっている場合、 $\mu$ PD6396, 6396Yの端子 MUTO はハイ・レベルを出力します。

- ・音声抑圧あり（多数決判定後の制御符号ビット 16= "1"）
- ・音声以外（多数決判定後の制御符号ビット 2~5= "1111"）
- ・強制ミュート時（端子 MUTI：ハイ・レベルまたはレジスタ MUTE："1"）
- ・非同期時ミュートあり（端子  $\overline{\text{LOIN}}$ ：ハイ・レベル時ミュート ON）
- ・エラー発生頻度検出ミュートあり
- ・制御符号 B7= "1" 検出ミュートあり
- ・チャンネル切り替えミュートあり

注意 有料フラグ検出ミュート時には、端子 MUTO はハイ・レベルを出力しません。

8. 内蔵デジタル・フィルタ, D/A コンバータ

★

8.1 クロック供給方法

内蔵デジタル・フィルタ, D/A コンバータ部は, 端子 XI2 または PCM 部クロック・ジェネレータから供給されるクロック (18.432 MHz) を分周してシステム・クロック (384 fs) を生成します。

クロックの供給は, 次の 2 種類の方法から選択できます。

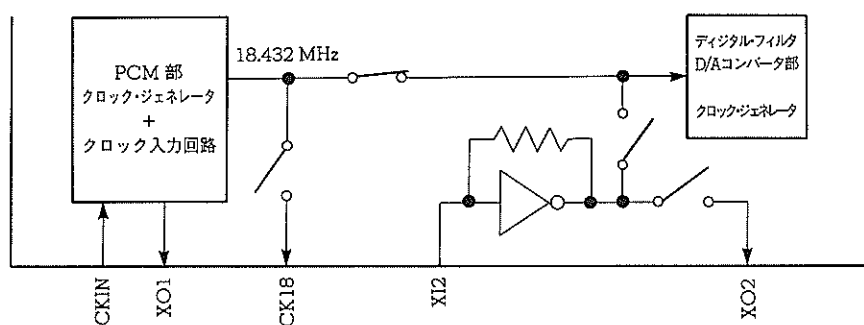
表 8-1 内蔵デジタル・フィルタ, D/A コンバータ用クロック選択レジスタ

サブアドレス A <sub>7</sub> ...A <sub>4</sub> A <sub>3</sub> ...A <sub>0</sub> 0000 0100	D7	D6	D5	D4	D3	D2	D1	D0
	DCK2	DCK1	MUDA	MUSL	RSDA	×	×	×
			クロック供給ルート					
	0	0	PCM 部から LSI 内部ルートで供給 (図 8-1 ①参照)					
	0	1	PCM 部からの供給クロック→外部 BPF→端子 XI2 入力(図 8-1 ②参照)					
	1	0	PCM 部からの供給クロック→外部 BPF→端子 XI2 入力(図 8-1 ②参照)					
	1	1	設定禁止					

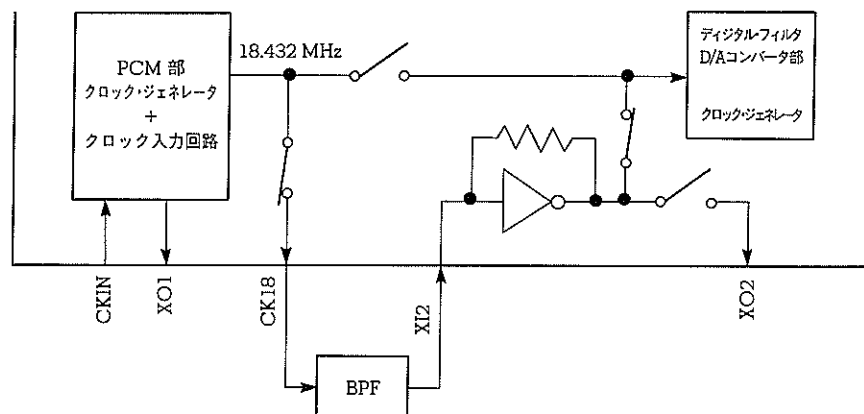
: リセットまたはレジスタ・クリア後のデータ

図 8-1 内蔵デジタル・フィルタ, D/A コンバータ用クロック供給方法

① PCM 部から LSI 内部ルートで供給



② PCM 部からの供給クロック → 外部 BPF → 端子 XI2 入力





8.2 PWM 出力ミュート

PWM 出力ミュートは、内蔵 D/A コンバータの PWM 出力をデューティ 50% の方形波出力にする機能です。LPF にこの出力を通しアナログ音声信号にすると、ミュート状態になります。

また、PWM 出力ミュートは、内蔵デジタル・フィルタの処理によってフェードイン、フェードアウトがかかるため、アナログ音声ミュート時のオーバーシュートによる雑音を低減できます。

リセットまたはレジスタ・クリア後は PWM 出力ミュートがかかります。各種レジスタの設定を済ませたあと、かならず PWM 出力ミュートを OFF にしてください。その時点からアナログ音声が出力されます。

表 8-2 PWM 出力ミュート・レジスタ

サブアドレス A <sub>7</sub> …A <sub>4</sub> A <sub>3</sub> …A <sub>0</sub> 0000 0100	D7	D6	D5	D4	D3	D2	D1	D0	
	DCK2	DCK1	MUDA	MUSL	RSDA	×	×	×	
								0	ミュートON
								1	ミュートOFF

:リセットまたはレジスタ・クリア後のデータ

8.3 ミュート方法切り替え

次の理由によって音声データにミュートがかかったとき、D/Aコンバータ出力のミュート方法を切り替えることができます。

- ・音声抑圧あり（多数決判定後の制御符号ビット 16=“1”）
- ・音声以外（多数決判定後の制御符号ビット 2~5=“1111”）
- ・強制ミュート時（端子 MUTI：ハイ・レベルまたはレジスタ MUTE：“1”）
- ・非同期時ミュートあり（端子  $\overline{\text{LOIN}}$ ：ハイ・レベル時ミュート ON）
- ・エラー発生頻度検出ミュートあり
- ・制御符号 B7=“1”検出ミュートあり
- ・チャンネル切り替えミュートあり

ミュート方法は、次の2種類です。

- ① デジタル・フィルタ、D/Aコンバータ部に受け渡す音声データを“0”に固定する。
- ② デジタル・フィルタ、D/Aコンバータ部でPWM出力ミュート（8.2 PWM出力ミュート参照）をかける。

このとき、デジタル・フィルタ、D/Aコンバータ部に受け渡す音声データは、“0”になりません。また、PWM出力ミュートでは、フェードイン、フェードアウト処理が行われるので、ミュート時のオーバーシュートによる雑音の低減ができます。

表 8-3 ミュート方法切り替えレジスタ

サブアドレス A <sub>7</sub> …A <sub>4</sub> A <sub>3</sub> …A <sub>0</sub> 0000 0100	D7	D6	D5	D4	D3	D2	D1	D0
	DCK2	DCK1	MUD $\overline{\text{A}}$	MUSL	RSDA	×	×	×
							0	音声データ“0”によるミュート
							1	PWM出力ミュートを使用

：リセットまたはレジスタ・クリア後のデータ

8.4 内蔵 D/A コンバータのリセット

内蔵 D/A コンバータだけをリセットする機能です。

レジスタ RSDA にデータ “1” を書き込むと、内蔵 D/A コンバータがリセット状態になり、PWM 出力は、デューティ 50% の方形波になります（音声ミュート状態）。

**注意** レジスタ RSDA に “1” を書き込み次に音声出力をするときには、かならず “0” を書き込んでください。  
 レジスタ RSDA が “1” のままでは、PWM 出力から音声が出されません。

表 8-4 内蔵 D/A コンバータのリセット

サブアドレス A <sub>7</sub> …A <sub>4</sub> A <sub>3</sub> …A <sub>0</sub>	D7	D6	D5	D4	D3	D2	D1	D0
0000 0100	DCK2	DCK1	MUDA	MUSL	RSDA	×	×	×

0	D/A コンバータの通常動作状態
1	D/A コンバータのリセット状態

：リセットまたはレジスタ・クリア後のデータ

★ 9. デジタルオーディオインタフェース出力

μPD6396, 6396Y は、日本電子機械工業会 (EIAJ) 規格 CP-340 デジタルオーディオインタフェース (DAI) に準拠したフォーマットで、デジタル・オーディオ・データを端子 Tx より出力します。

デジタルオーディオインタフェース出力を使用しないときには、端子 Tx をロウ・レベル固定 (0V) にすることができます。

ロウ・レベル固定にするには、レジスタ MUTX にデータ "0" を書き込んでください。

リセットまたはレジスタ・クリア後は端子 Tx がロウ・レベル固定になりますので、必要な入力レジスタを設定後、レジスタ MUTX にデータ "1" を書き込んでください。その時点からデジタル音声 (DAI キャリア) が出力されます。

図 9-1 デジタルオーディオインタフェース出力タイミング・チャート

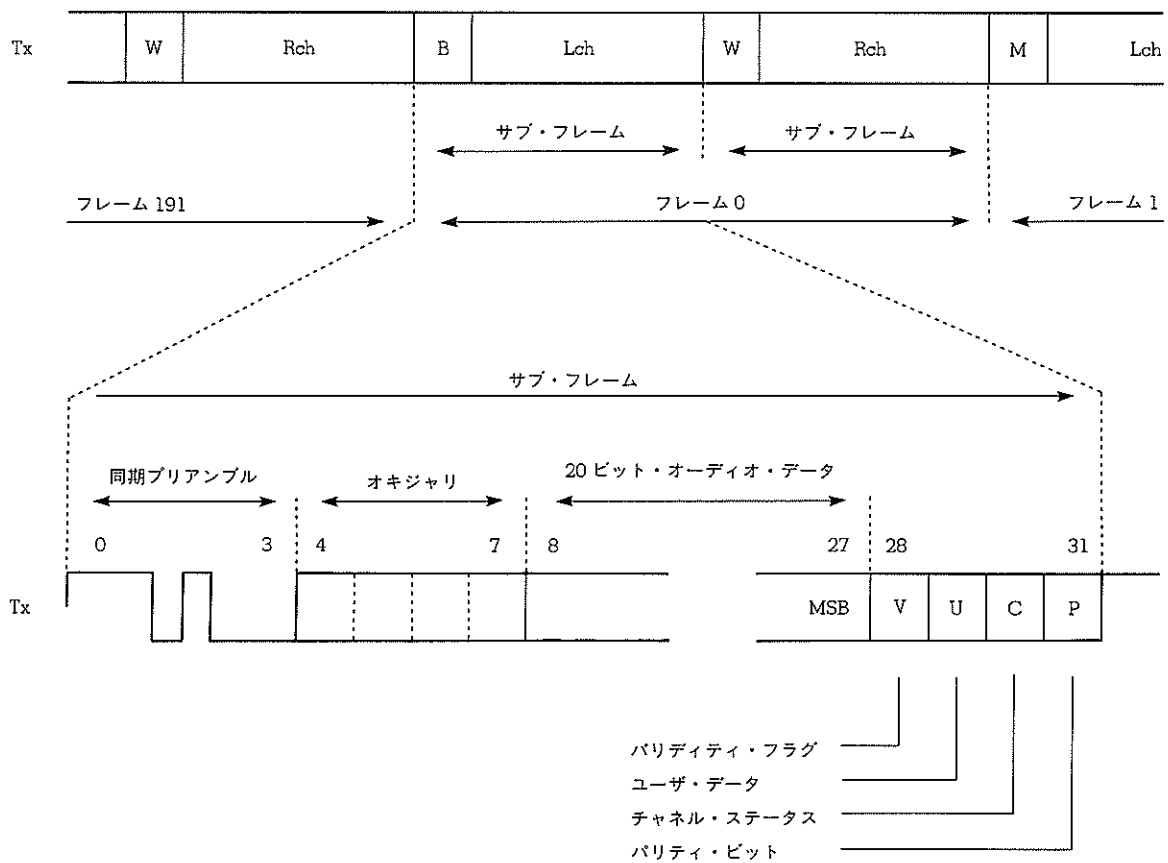


表 9-1 デジタルオーディオインタフェース情報レジスタ

サブアドレス  
A<sub>7</sub>…A<sub>4</sub> A<sub>3</sub>…A<sub>0</sub>  
0000 0101

D7	D6	D5	D4	D3	D2	D1	D0
COPY	CTGY	VLDTY	MUTX	×	×	×	×
				0	Tx 端子=ロウ・レベル (0V) 固定		
				1	Tx 端子=DAI キャリア出力		
				0	バリディティ・フラグ=補間, ミュート時 `1`		
				1	バリディティ・フラグ=`0` 固定		
				0	カテゴリ・コード= `0000 0000` (一般)		
				1	カテゴリ・コード= `0010 0000` (BS)		
				0	ビット2= `1` デジタル・コピー許可		
				1	ビット2= `0` デジタル・コピー禁止		

: リセットまたはレジスタ・クリア後のデータ

デジタル・オーディオ・データ以外の付加情報について次に説明します。

(EIAJ 規格 CP-340-1 デジタルオーディオインタフェース (衛星放送受信機用) に則っています。)

(1) オーディオ・オキジャリ情報

論理 `0000` を出力します。

(2) バリディティ・フラグ

バリディティ・フラグは使用するかどうかを選択できます。選択は、入力レジスタに適切なデータを書き込むことによって行います。(表 9-1 参照)

使用する場合 : 補間データ, ミューティング・データを送出するとき論理 `1`

使用しない場合: 論理 `0` に固定

(3) ユーザ・データ

ユーザ・データは使用できません。すべて, 論理 `0` が出力されます。

(4)チャンネル・ステータス

タイプIIフォームIデータ・フォーマット（民生デジタル・オーディオ機器用）に従っています。

表 9-2 チャンネル・ステータス

	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	0	×	1	0	0	0	0	カテゴリ・コード							
16	0	0	0	0	チャンネル番号			標本化周波数			クロック精度					
32	すべて`0`															
48																
64																
80																
96																
112																
128																
144																
160																
176																

・ビット 2 デジタル・コピー禁止/許可

入力レジスタで設定します。(表 9-1 参照)

・カテゴリ・コード

「2チャンネル一般フォーマット `00000000`」または「2チャンネルBSチューナ `00100000`」を選択できます。

選択は、入力レジスタで行います。(表 9-1 参照)

・チャンネル番号

下記のように自動的に切り替わります。

サブフレームの Lch のチャンネル・ステータス ビット 20-23 `1000`

サブフレームの Rch のチャンネル・ステータス ビット 20-23 `0100`

・標本化周波数

受信モードにより自動的に切り替わります。

A モード時 `1100` (32 kHz)

B モード時 `0100` (48 kHz)

・クロック精度

レベルII (標準精度) `00` に固定されています。

10. スランブル対応

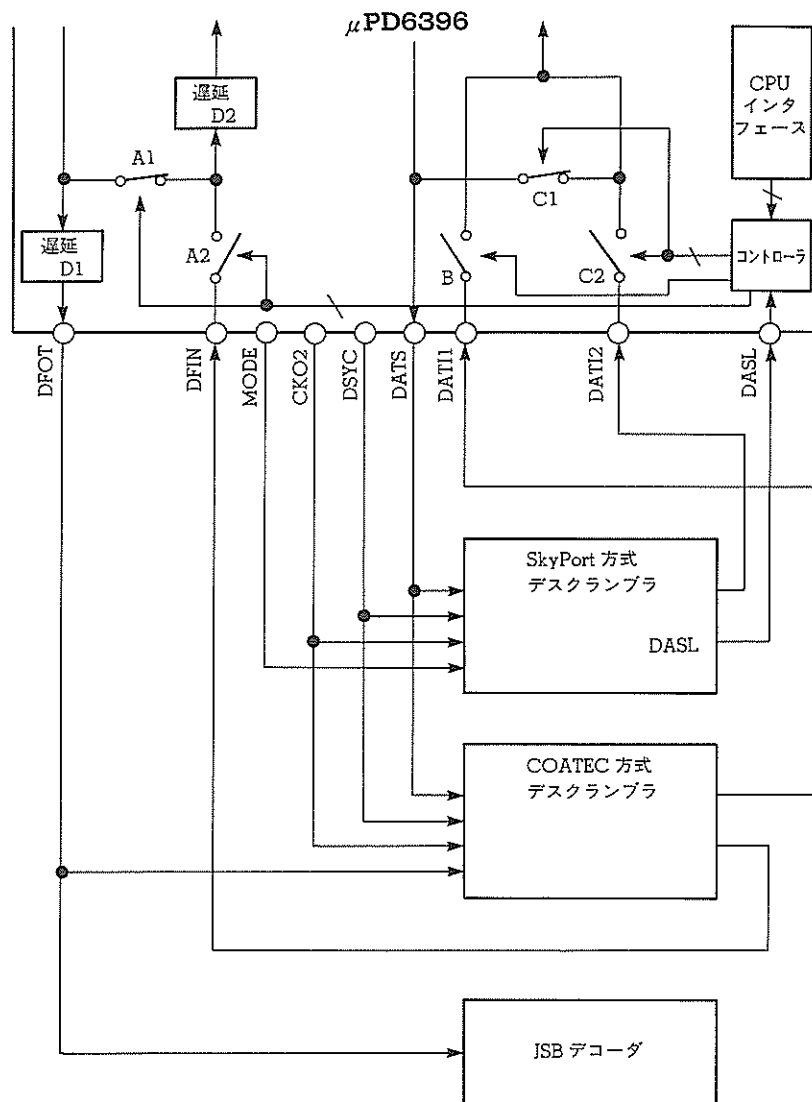
★

μPD6396, 6396Y は、COATEC 方式および SkyPort 方式のデスクランブル・モジュールに対応したインタフェースを持っています。

10.1 スランブラへの接続

端子 DATI1 は COATEC 方式デスクランブラに、端子 DATI2 は SkyPort 方式デスクランブラに接続することを意図しています。図 10-1 に応用接続例を示します。

図 10-1 スランブル・インタフェース回路 応用接続例



10.2 スクランプル・インタフェース

スクランプル・インタフェース制御レジスタを表 10-1 に示します。

表 10-1 スクランプル・インタフェース制御レジスタ

サブアドレス  
A<sub>7</sub>...A<sub>4</sub> A<sub>3</sub>...A<sub>0</sub>  
0000 0110

	D7	D6	D5	D4	D3	D2	D1	D0
PROT	インタフェース切り替え		MASK	遅延			×	
	SEL2	SEL1		ON/OFF	DLY2	DLY1		

ビット・ストリーム遅延量

ON/OFF	DLY2	DLY1	遅延量(ビット)	
			D1	D2
0	×	×	0	0
1	0	0	1	0
1	0	1	2	0
1	1	0	0	1
1	1	1	0	2

(× : Don't care)

ビット・ストリーム出力 (端子 DATS)

0	同期パターン, 誤り訂正符号マスク
1	全ビット出力

スクランプル・インタフェース回路制御方法

0	インタフェース切り替えのSEL2/SEL1 優先
1	外部端子 DASL 優先

:リセットまたはレジスタ・クリア後のデータ



(1) PROT

スクランブル・インタフェース回路内のスイッチ C1, C2 (図 10-1 参照) を制御する信号の優先順位を切り替えるレジスタです。

0	SEL1, SEL2 優先
1	端子 DASL 優先

(2) SEL1, SEL2 (インタフェース切り替え)

スクランブル・インタフェース回路内のスイッチ A1, A2, B, C1, C2 (図 10-1 参照) を切り替えるレジスタです。

スクランブル・インタフェース回路制御を表にしたものを, 表 10-2 に示します。

表 10-2 スクランブル・インタフェース回路制御

スクランブル・インタフェース制御レジスタ			端子 DASL	スクランブル・インタフェース回路内のスイッチ					備考
PROT	SEL2	SEL1		A1	A2	B	C1	C2	
0	0	0	×	S	○	○	S	○	内部ショート
0	0	1	×	S	○	○	○	S	端子 DATI2 入力
0	1	0	×	S	○	S	○	○	端子 DATI1 入力
0	1	1	×	○	S	S	○	○	端子 DFIN, DATI1 入力
1	×	×	0	S	○	○	○	S	端子 DATI2 入力
1	×	×	1	S	○	○	S	○	内部ショート

× : Don't care., S : ショート, ○ : オープン

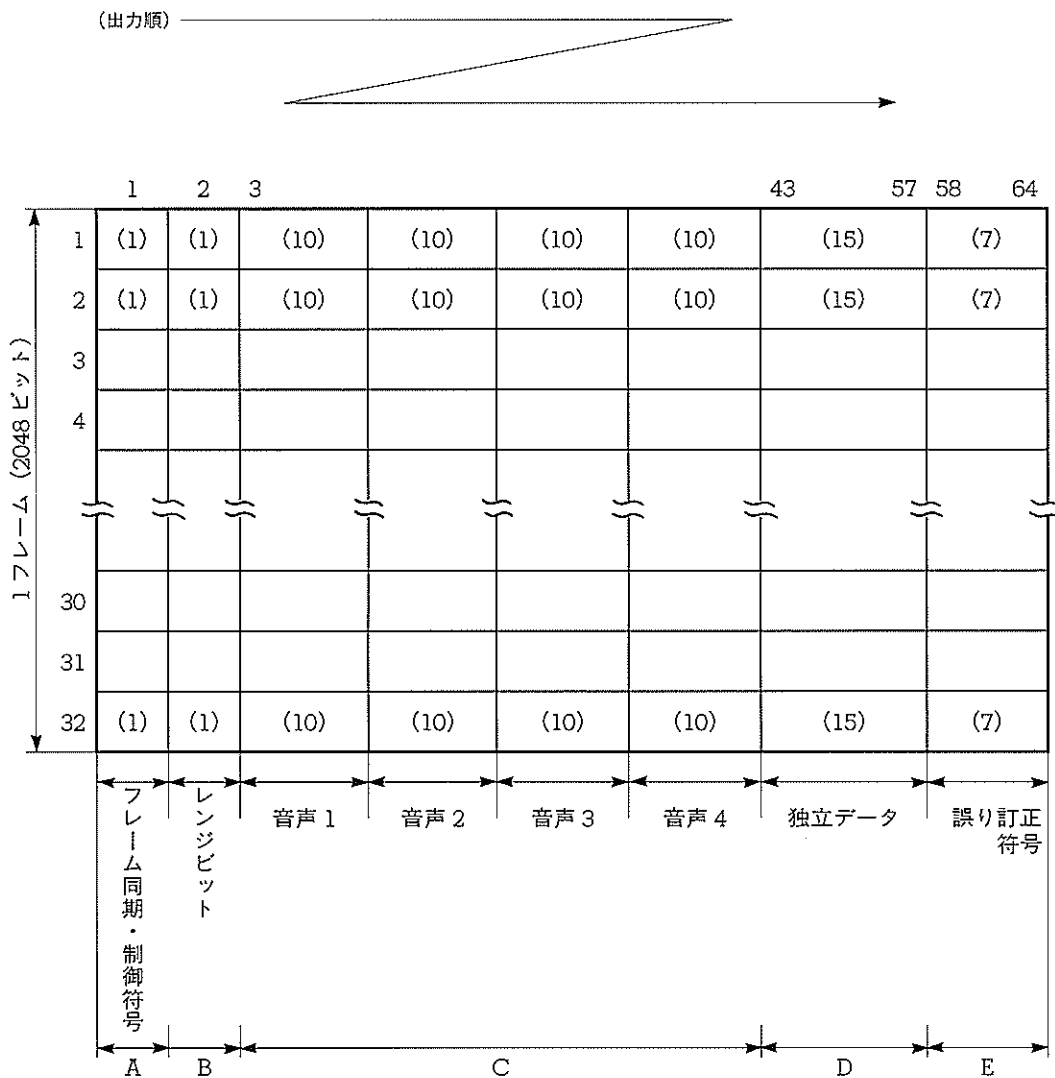
(3) MASK

データ・ストリーム出力（端子 DATS）の一部のデータをマスクするかどうかを選択するレジスタです。

COATEC 方式デスクランブラおよび SkyPort 方式デスクランブラを接続するときには、MASK = "0" にしてデータ・ストリーム出力にマスクをかけてください。

0	フレーム同期パターン, 誤り訂正符号をマスク ("0" 固定) (表 10-3 部)
1	全ビット出力 (2048 ビット/フレーム)

表 10-3 データ・ストリーム出力マスク表



(4) 遅延 ON/OFF, DLY1, DLY2

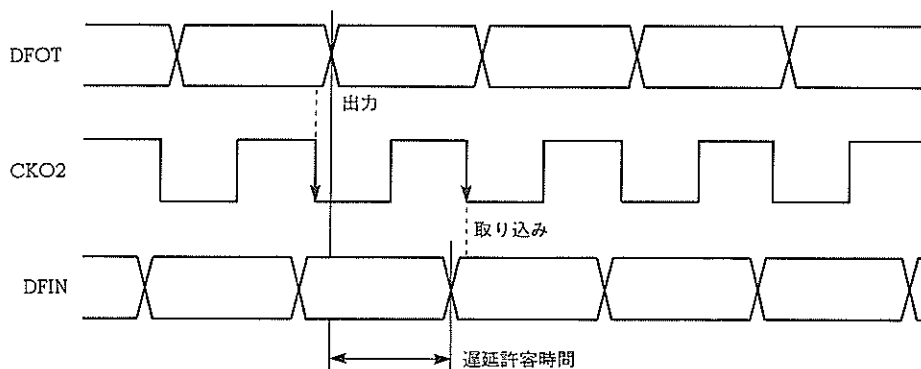
遅延 ON/OFF は、スクランブル・インタフェース回路内の遅延回路 D1, D2 (図 10-1 参照) を使用するかどうかを選択するレジスタです。(表 10-1 参照)。

0	OFF(遅延回路を使用しない)
1	ON (遅延回路を使用する)

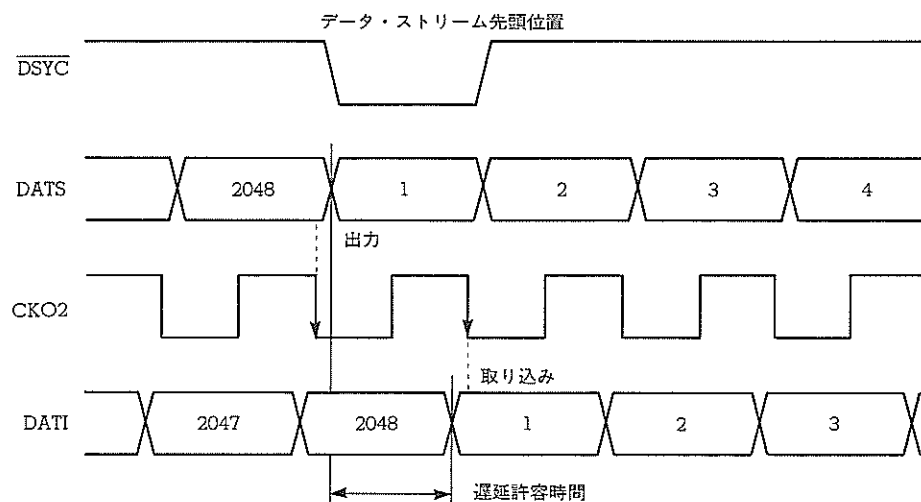
DLY1, DLY2 は、遅延回路 D1, D2 の遅延量をコントロールします。差動変換後のビット・ストリーム出力 (端子 DFOT) とビット・ストリーム入力 (端子 DFIN) に遅延を加えることができます。

図 10-2 スクランブル・インタフェース タイミングチャート

① 差動変換後のビット・ストリーム



② 誤り訂正後のビット・ストリーム



★ 11. 入出力ポート

11.1 出力ポート

μPD6396, 6396Yには、N-ch オープン・ドレイン出力ポートが6本あります。耐圧は、V<sub>DD</sub> (5V) です。使用する出力ポートには、外付けでプルアップ抵抗をつけてください。

表 11-1 出力ポート・レジスタ

サブアドレス A <sub>7</sub> ...A <sub>4</sub> A <sub>3</sub> ...A <sub>0</sub> 0000 0001	D7	D6	D5	D4	D3	D2	D1	D0
	IFMD	PO6	PO5	PO4	PO3	PO2	PO1	PO0

出力ポート (PO2~PO6も同様)	
0	端子PO0 ロー・レベル
1	端子PO0 ハイ・レベル

出力ポート	
0	端子PO1 ロー・レベル
1	端子PO1 ハイ・レベル

■ : リセットまたはレジスタ・クリア後のデータ

11.2 入力ポート

μPD6396, 6396Yには、入力ポートが2本あります。入力ポートのデータ更新タイミングは、1ms(1フレーム)ごとです。

表 11-2 入力ポート・レジスタ

	D7	D6	D5	D4	D3	D2	D1	D0
CONW3	PI1	PI0	0	B6	B8	B9	B10	B11

入力ポート (PI1も同様)	
0	端子PI0 ロー・レベル時
1	端子PI0 ハイ・レベル時

12. ビット・クロック再生

★

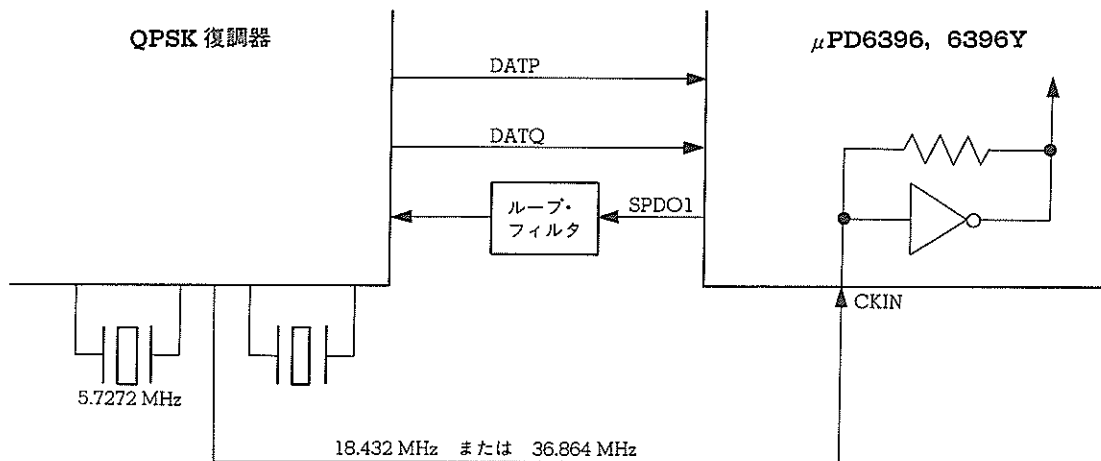
12.1 ビット・クロック発生回路

μPD6396, 6396Y は、端子 CKIN に入力されたクロックを分周することで、システム・クロック（メイン・クロック）を生成します。

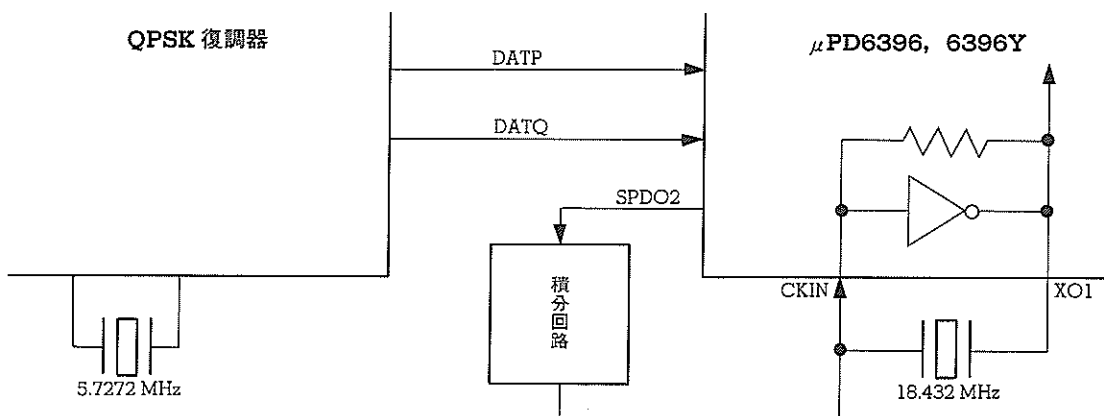
QPSK 復調器からのデータと分周クロック (1.024 MHz) との位相比較出力を用いて、PLL 回路を構成し、システム・クロックと QPSK 復調器からの入力データを同期させます。

図 12-1 クロック発生回路の PLL 構成

① CKIN 端子に QPSK 復調器 IC から供給 (18.432 MHz または 36.864 MHz)



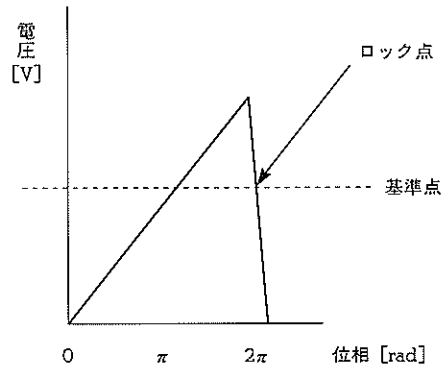
② CKIN 端子-XO1 端子間で発振 (18.432 MHz)



12.2 位相比較器出力

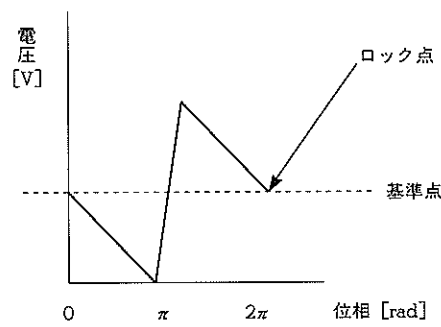
$\mu$ PD6396, 6396Y の端子 SPDO1 の出力波形, 位相検出特性は,  $\mu$ PD639×シリーズの端子 SPDO と同じです。QPSK 復調 IC ( $\mu$ PC2718,  $\mu$ PC2725,  $\mu$ PC2742 など) と接続して使用してください。

図 12-2 端子 SPDO1 の位相検出特性



端子 SPDO2 の出力は,  $\mu$ PD6396 内蔵の水晶発振回路 (18 MHz) を制御するためのものです。積分回路, オペアンプ, バラクタ・ダイオードを使用して発振回路を制御します。

図 12-3 端子 SPDO2 位相検出特性



13. 電気的特性

絶対最大定格 (T<sub>a</sub> = +25 °C)

項目	略号	条件	定格	単位
電源電圧	V <sub>DD</sub>	AV <sub>DD</sub> とDV <sub>DD</sub> は独立	-0.5~+7.0	V
入力電圧1	V <sub>I1</sub>	μPD6396の端子CS, CKL, SI, μPD6396Yの端子SCL, SDA以外の端子	-0.5~V <sub>DD</sub> +0.5	V
入力電圧2	V <sub>I2</sub>	μPD6396の端子CS, CLK, SI, μPD6396Yの端子SCL, SDA	-0.5~+5.5	V
入出力電流	I <sub>I</sub> /I <sub>O</sub>		20	mA
保存温度	T <sub>stg</sub>		-40~+125	°C

★  
★

推奨動作範囲 (T<sub>a</sub> = +25 °C)

項目	略号	条件	規格値			単位
			MIN.	TYP.	MAX.	
電源電圧	V <sub>DD</sub>	AV <sub>DD</sub> とDV <sub>DD</sub> は独立	4.5	5.0	5.5	V
動作温度	T <sub>opt</sub>		-20	—	+75	°C
ハイ・レベル入力電圧	V <sub>IH</sub>		0.7 V <sub>DD</sub>	—	V <sub>DD</sub>	V
ロウ・レベル入力電圧	V <sub>IL</sub>		0	—	0.3 V <sub>DD</sub>	V
CKIN入力電圧	V <sub>CKIN</sub>		0.5	—	—	V <sub>P-P</sub>
X12入力電圧	V <sub>X12</sub>		0.5	—	—	V <sub>P-P</sub>

DC特性 (特に指定のないかぎり推奨動作範囲による)

項目	略号	条件	規格値			単位
			MIN.	TYP.	MAX.	
ハイ・レベル出力電流 <sub>1</sub>	I <sub>OH1</sub>	V <sub>OH</sub> =V <sub>DD</sub> -0.4V 端子CK18, PO0~PO6, SO, SDA, XO1, XO2を除くすべての出力端子	0.5	2.0	—	mA
ロウ・レベル出力電流 <sub>1</sub>	I <sub>OL1</sub>	V <sub>OL</sub> =0.4V 端子CK18, PO0~PO6, SO, SDA, XO1, XO2を除くすべての出力端子	1.0	2.5	—	mA
ハイ・レベル出力電流 <sub>2</sub>	I <sub>OH2</sub>	(端子CK18) V <sub>OH</sub> =V <sub>DD</sub> -0.4V	1.0	2.5	—	mA
ロウ・レベル出力電流 <sub>2</sub>	I <sub>OL2</sub>	(端子CK18) V <sub>OL</sub> =0.4V	1.0	2.5	—	mA
ロウ・レベル出力電流 <sub>3</sub>	I <sub>OL3</sub>	(出力ポート) V <sub>OL</sub> =0.4V, オープン・ドレイン出力	1.0	—	—	mA
ロウ・レベル出力電流 <sub>4</sub>	I <sub>OL4</sub>	(端子SO, SDA) V <sub>OL</sub> =0.4V, オープン・ドレイン出力	3.0	—	—	mA
入力電流	I <sub>I</sub>	V <sub>I</sub> =V <sub>DD</sub> またはV <sub>I</sub> =GND	—	—	10	μA
	I <sub>I</sub>	(μPD6396Yのみ) (端子SCL, SDA) V <sub>I</sub> =V <sub>DD</sub> またはV <sub>I</sub> =GND	—	—	10	μA
消費電流	I <sub>DD</sub>		—	40	—	mA

AC 特性

デジタル・フィルタ, D/A コンバータ部 目標値 (特に指定のないかぎり推奨動作範囲による)

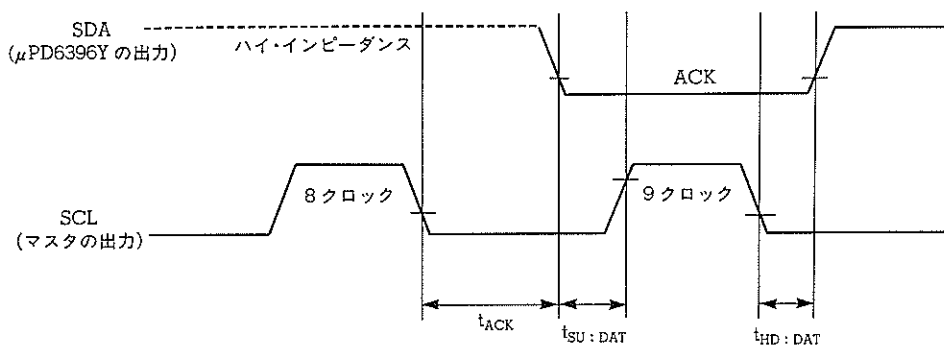
項目	略号	条件	規格値			単位
			MIN.	TYP.	MAX.	
分解能	RES		—	16	—	Bit
雑音ひずみ率 1	THD1	1 kHz, 0 dB	—	0.003	0.01	%
雑音ひずみ率 2	THD2	1 kHz, -20 dB	—	0.03	—	%
ダイナミック・レンジ	D.R.	1 kHz, -60 dB	—	96	—	dB
クロストーク	CT	片チャンネル: 0 dB, $f_N = 1$ kHz	—	90	—	dB
S/N 比	S/N	JIS-A	—	100	—	dB

備考 デジタル・フィルタ, D/A コンバータ・クロック用内蔵水晶発振回路を使用したときの数値です。

★ I<sup>2</sup>C バス・インタフェース (特に指定のないかぎり推奨動作範囲による)

項目	略号	条件	規格値			単位
			MIN.	TYP.	MAX.	
ACK 応答遅れ時間	$t_{ACK}$	SCL ↓ → SDA ↓			500	ns
データ・セットアップ時間	$t_{SU: DAT}$		250			ns
データ・ホールド時間	$t_{HD: DAT}$		0			μs

★ I<sup>2</sup>C バス・インタフェース・タイミング・チャート



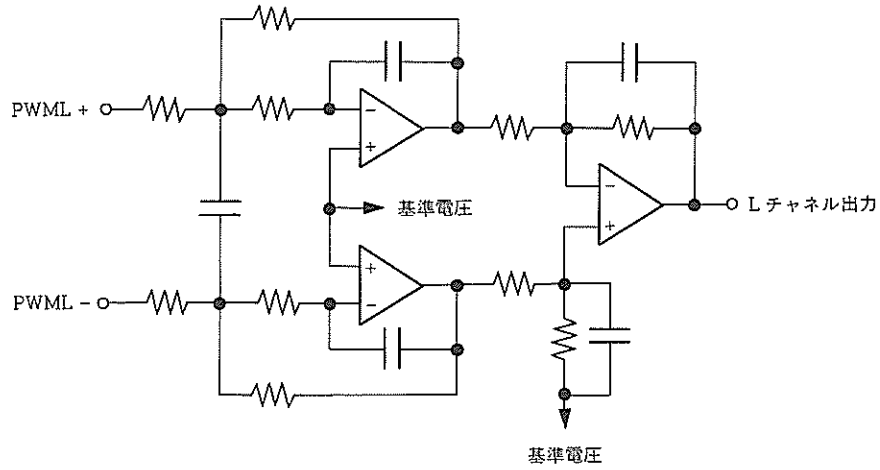


14. PWM 出力アナログ処理部の外付け回路

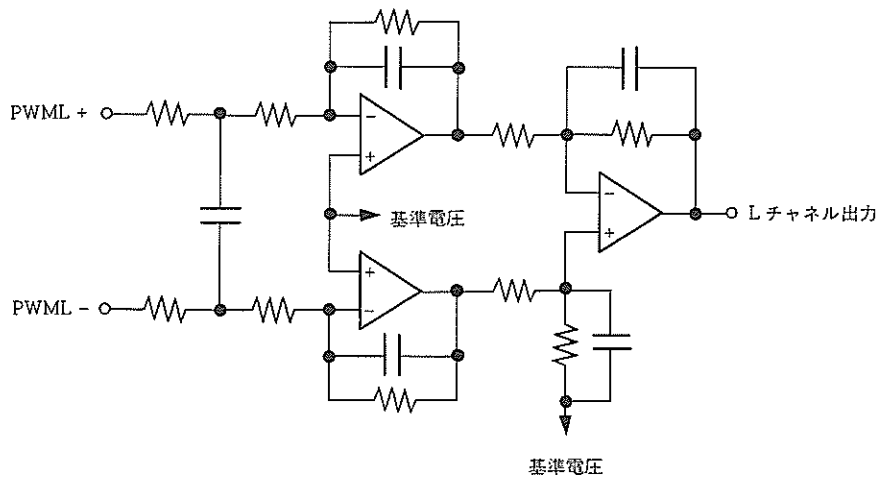
★

図 14-1 PWM 出力アナログ処理部

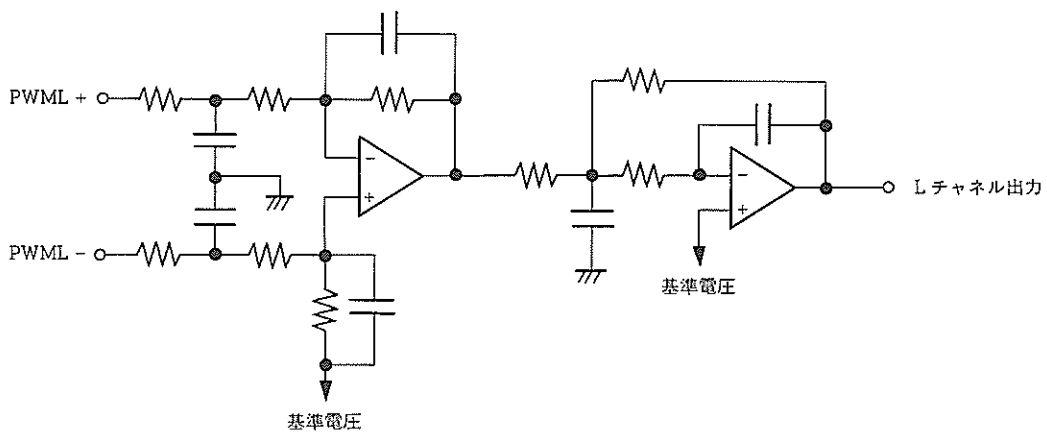
例 1



例 2

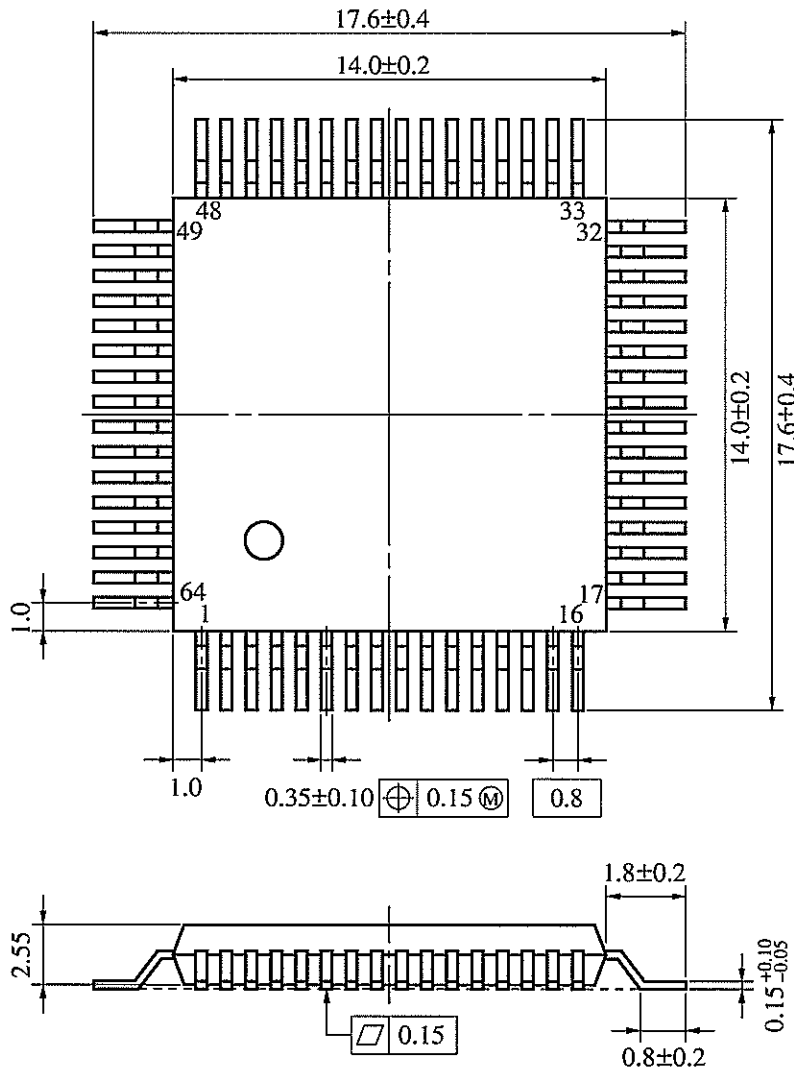


例 3

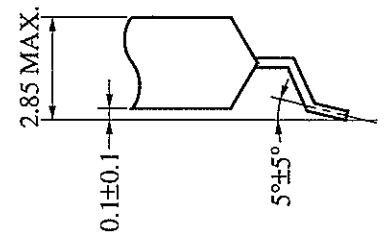


15. 外形図

64ピン・プラスチック QFP (□14) 外形図 (単位: mm)



端子先端形状詳細図



P64GC-80-AB8-2

**CMOS デバイスの一般的注意事項****① 静電気対策 (MOS 全般)**

**注意** MOS デバイス取り扱いの際は静電気防止を心がけてください。

MOS デバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NEC が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOS デバイスを実装したボードについても同様の扱いをしてください。

**② 未使用入力の処理 (CMOS 特有)**

**注意** CMOS デバイスの入力レベルは固定してください。

バイポーラや NMOS のデバイスと異なり、CMOS デバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性(タイミングは規定しません)を考慮すると、個別に抵抗を介して  $V_{DD}$  または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

**③ 初期化以前の状態 (MOS 全般)**

**注意** 電源投入時、MOS デバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

本資料に掲載の応用回路および回路定数は、例示的に示したものであり、量産設計を対象とするものではありません。

注意：本製品はI<sup>2</sup>Cバス・インタフェース回路を内蔵しています。

日本電気株式会社のI<sup>2</sup>Cバス対応部品をご購入いただくことにより、これらの部品をI<sup>2</sup>Cシステムに使用する実施権がフィリップス社I<sup>2</sup>C特許に基づき許諾されることとなります。ただし、これらのI<sup>2</sup>Cシステムはフィリップス社によって設定されたI<sup>2</sup>C標準規格に合致しているものとします。

Purchase of NEC I<sup>2</sup>C components conveys a license under the Philips I<sup>2</sup>C Patent Rights to use these components in an I<sup>2</sup>C system, provided that the system conforms to the I<sup>2</sup>C Standard Specification as defined by Philips.

本製品は外国為替および外国貿易管理法の規定により戦略物資等（または役務）に該当しますので、日本国外に輸出する場合には、同法に基づき日本国政府の輸出許可が必要です。

- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- この製品を使用したことにより、第三者の工業所有権等にかかわる問題が発生した場合、当社製品の構造製法に直接かかわるもの以外につきましては、当社はその責を負いませんのでご了承ください。
- 当社は、航空宇宙機器、海底中継器、原子力制御システム、生命維持のための医療用機器などに推奨できる製品を標準的には用意しておりません。当社製品をこれらの用途にご使用をお考えのお客様、および、『標準』品質水準品を当社が意図した用途以外にご使用をお考えのお客様は、事前に販売窓口までご連絡頂きますようお願い致します。

当社推奨の用途例

標準：コンピュータ、OA機器、通信機器、計測機器、工作機械、産業用ロボット、AV機器、家電等  
 特別：輸送機器（列車、自動車等）交通信号機器、防災／防犯装置等

- この製品は耐放射線設計をしておりません。

M4 92.6

お問い合わせは、最寄りのNECへ

本社	〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	北海道支店	(011)231-0161	立川支店	(0425)26-0911
コンシューマ半導体販売事業部		東北支店	(022)261-5511	川崎支店	(043)227-9084
OA半導体販売事業部	〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	山形支店	(0196)51-4344	津田沼支店	(054)255-2211
インダストリー半導体販売事業部	東京 (03)3454-1111	郡山支店	(0236)23-5511	沼津支店	(0559)63-4455
中部支社半導体販売部	〒460 名古屋市中区栄四丁目14番5号 (松下中日ビル)	いわき支店	(0249)23-5511	金沢支店	(053)452-2711
	名古屋(052)242-2755	長岡支店	(0246)21-5511	松山支店	(0762)23-1621
関西支社半導体販売部	〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	神戸支店	(0258)36-2155	福井支店	(0776)22-1866
	大阪(06)945-3178	大阪支店	(0292)26-1717	京都支店	(0764)31-8461
	大阪(06)945-3200	高松支店	(045)324-5511	神戸支店	(078)332-3311
	大阪(06)945-3208	宇都宮支店	(0273)26-1255	広島支店	(082)242-5504
		小宮支店	(0286)21-2281	鳥取支店	(0857)27-5311
		山形支店	(0285)24-5011	岡山支店	(086)225-4455
		小長支店	(0262)35-1444	高松支店	(0878)36-1200
		松本支店	(0263)35-1666	新居支店	(0897)32-5001
		諏訪支店	(0266)53-5350	松山支店	(0899)45-4111
		甲府支店	(0552)24-4141	福山支店	(092)271-7700
		埼玉支店	(048)641-1411	北九州支店	(093)541-2887
(技術お問い合わせ先)					
コンシューマ半導体販売事業部 AVシステム技術部	〒210 川崎市幸区塚越三丁目484番地	川崎	(044)548-8886	半導体応用技術本部	
半導体応用技術本部 中部応用システム技術部	〒460 名古屋市中区栄四丁目14番5号 (松下中日ビル)	名古屋	(052)242-2762	インフォメーションセンター	
半導体応用技術本部 西日本応用システム技術部	〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪	(06)945-3383	FAX(044)548-7900	
				(FAXで対応させていただきます)	