

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

## ステレオ・サウンド・コーデック

$\mu$ PD63335 は、最大信号帯域 20 kHz の音響アナログ信号とデジタル信号との相互変換を行う 16 ビット ADC と DAC とを各 2 チャンネル搭載し、全二重での通信を可能とするステレオ・サウンド・コーデック LSI です。

アナログ信号入力部では、4 種類のステレオ信号と 2 種類のモノラル信号、出力段内部ミキシング回路からの出力をマルチプレクスして ADC に入力が可能です。モノラル信号のうち 1 種類は、2 つの外部端子からセレクタで選択されたいずれか一方のモノラル信号が、内部マイク・アンプに接続されており、0 dB または 20 dB の利得選択が可能です。

アナログ信号出力部では、DAC 出力アナログ信号と 4 種類のステレオ・アナログ信号、2 種類のモノラル・アナログ信号、マイク・アンプからの出力信号をミキシング出力可能で、それぞれの信号はミキシング前に独立してボリューム・コントロールすることができます。デジタル・オーディオ信号の入出力には、オーディオ用シリアル・インタフェース (2's コンプリメント) をサポートしています。また、ボリュームなどの内部レジスタへのアクセスは、一般的な汎用マイコンと直結可能なクロック同期式シリアル・インタフェース (CSI) を採用しています。

## 特 徴

オーバーサンプル $\Delta\Sigma$ 型 ADC/DAC を 2 チャンネル分搭載

- ・ ADC SNR = 85 dB Typ.
- ・ DAC SNR = 90 dB Typ.

ADC, DAC デジタル・フィルタ特性

- ・ 通過域リップル:  $\pm 0.1$  dB (0 ~ 0.4 fs) ADC, DAC 共
- ・ 帯域外減衰量: -74 dB (0.6 fs) 以上 ADC, DAC 共

サンプリング周波数 (fs): 0.4 ~ 48 kHz

- ・ マスタ・クロックからの分周率を 3072, 1536, 768, 512 で設定可能

アナログ入力部にマルチプレクサ, アナログ出力部にミキシング回路内蔵

低雑音モノラル・マイク・アンプを搭載

基準電圧電源内蔵 (1.4 V Typ.)

低電源電圧動作:  $DV_{DD} = 3.3$  V,  $AV_{DD} = 3.3$  V

内部ブロックごとのパワー・ダウン・モードをサポート

動作周囲温度: -40 ~ +85

## 応用分野

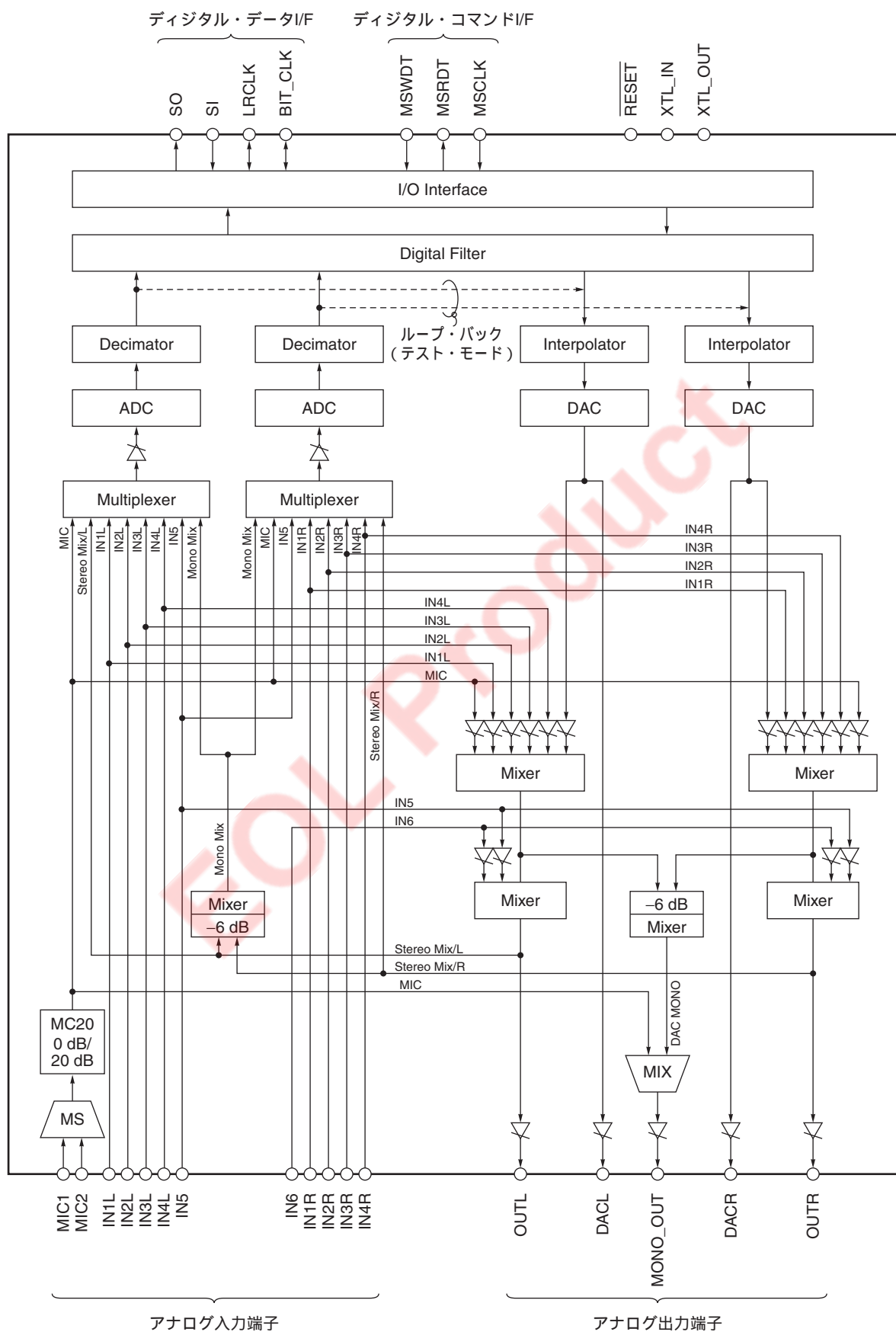
- ・ カー・ナビゲーションなどの音声認識システム
- ・ 音声 / オーディオ入出力機能対応電子玩具

## オーダ情報

オーダ名称	パッケージ
$\mu$ PD63335GA-9EU	48 ピン・プラスチック TQFP (ファインピッチ) (7×7)

本資料の内容は、予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。

ブロック図

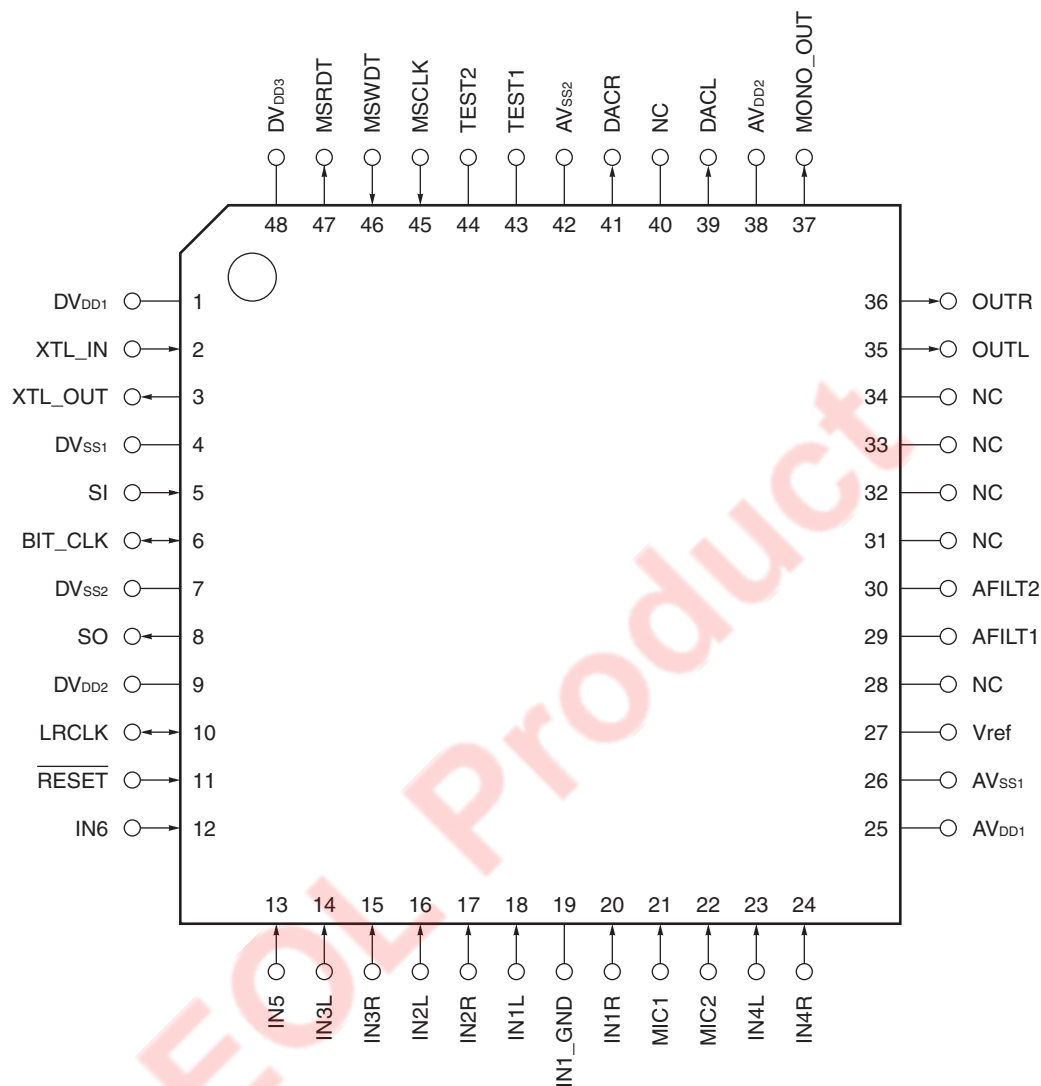


備考 MSおよびMIXのブロックは、セレクトです。

端子接続図 (Top View)

48 ピン・プラスチック TQFP (ファインピッチ)(7×7)

• μ PD63335GA-9EU



## 端子機能説明

(1/2)

端子番号	略号	入出力	機能
1	DV <sub>DD1</sub>	-	デジタル電源
2	XTL_IN	I	水晶振動子接続端子 / 外部マスタ・クロック入力 (1.3 クロック参照)
3	XTL_OUT	O	水晶振動子接続端子。外部マスタ・クロック使用時はオープンにしてください。
4	DV <sub>SS1</sub>	-	デジタル・グランド
5	SI	I	シリアル・データ・インタフェース・データ入力 <sup>注</sup>
6	BIT_CLK	I/O	シリアル・データ・インタフェース・ビット同期クロック <sup>注</sup>
7	DV <sub>SS2</sub>	-	デジタル・グランド
8	SO	O	シリアル・データ・インタフェース・データ出力
9	DV <sub>DD2</sub>	-	デジタル電源
10	LRCLK	I/O	シリアル・データ・インタフェース・フレーム同期クロック <sup>注</sup>
11	RESET	I	リセット信号入力。ロウ・レベルでリセット状態となります。
12	IN6	I	アナログ・オーディオ・モノラル入力6
13	IN5	I	アナログ・オーディオ・モノラル入力5
14	IN3L	I	アナログ・オーディオ入力3 Lチャンネル
15	IN3R	I	アナログ・オーディオ入力3 Rチャンネル
16	IN2L	I	アナログ・オーディオ入力2 Lチャンネル
17	IN2R	I	アナログ・オーディオ入力2 Rチャンネル
18	IN1L	I	アナログ・オーディオ入力1 Lチャンネル
19	IN1_GND	-	IN1用グランド端子。未使用時は、1μFのコンデンサを介してAV <sub>SS</sub> に接続してください。
20	IN1R	I	アナログ・オーディオ入力1 Rチャンネル
21	MIC1	I	マイク入力1
22	MIC2	I	マイク入力2
23	IN4L	I	アナログ・オーディオ入力4 Lチャンネル
24	IN4R	I	アナログ・オーディオ入力4 Rチャンネル
25	AV <sub>DD1</sub>	-	アナログ電源
26	AV <sub>SS1</sub>	-	アナログ・グランド
27	Vref	-	バイパス・コンデンサ接続用基準電圧出力
28	NC	-	未使用端子。オープンにしてください。
29	AFILT1	-	ADC Lチャンネル アンチ・エイリアス・フィルタ用端子
30	AFILT2	-	ADC Rチャンネル アンチ・エイリアス・フィルタ用端子
31	NC	-	未使用端子。オープンにしてください。
32	NC	-	未使用端子。オープンにしてください。
33	NC	-	未使用端子。オープンにしてください。
34	NC	-	未使用端子。オープンにしてください。
35	OUTL	O	アナログ・オーディオ出力端子 Lチャンネル
36	OUTR	O	アナログ・オーディオ出力端子 Rチャンネル
37	MONO_OUT	O	アナログ・オーディオ・モノラル出力
38	AV <sub>DD2</sub>	-	アナログ電源

注 SI, BIT\_CLK および LRCLK 端子は, LSI 内部でプルアップ / プルダウンされていません。何らかの原因により, これらの端子がハイ・インピーダンス状態になったときに誤動作を引き起こす可能性がありますので, LSI 外部で, 抵抗を介してプルアップ / プルダウンしてください。

(2/2)

端子番号	略号	入出力	機能
39	DACL	O	アナログ DAC 信号出力 Lチャンネル
40	NC	-	未使用端子。オープンにしてください。
41	DACR	O	アナログ DAC 信号出力 Rチャンネル
42	AV <sub>SS2</sub>	-	アナログ・グラウンド
43	TEST1	-	IC 選別用テスト端子。オープンにしてください。
44	TEST2	-	IC 選別用テスト端子。オープンにしてください。
45	MSCLK	I	シリアル・コマンド・インタフェース同期クロック入力
46	MSWDI	I	シリアル・コマンド・インタフェース入力
47	MSRDI	O	シリアル・コマンド・インタフェース出力
48	DV <sub>DD3</sub>	-	デジタル電源

EOL Product

## 目 次

<b>1. 機能説明</b>	<b>8</b>
1.1 アナログ入力部	8
1.2 アナログ出力部	8
1.3 クロック	8
1.3.1 外部マスタ・クロック周波数の切り替え	9
1.4 リセット	10
1.5 ノイズ低減用コンデンサ接続端子	10
1.6 デジタル・インタフェース	11
1.6.1 シリアル・コマンド・インタフェース	11
1.6.2 シリアル・データ・インタフェース	12
1.6.3 FSDF2 : FSDF1 : FSDF0 : LRCLKS = 0 : 0 : 0 : 0 のデータ・フォーマット	16
1.6.4 FSDF2 : FSDF1 : FSDF0 : LRCLKS = 0 : 0 : 0 : 1 のデータ・フォーマット	16
1.6.5 FSDF2 : FSDF1 : FSDF0 : LRCLKS = 0 : 0 : 1 : 0 のデータ・フォーマット	17
1.6.6 FSDF2 : FSDF1 : FSDF0 : LRCLKS = 0 : 0 : 1 : 1 のデータ・フォーマット	17
1.6.7 FSDF2 : FSDF1 : FSDF0 : LRCLKS = 0 : 1 : 0 : 0 のデータ・フォーマット	18
1.6.8 FSDF2 : FSDF1 : FSDF0 : LRCLKS = 0 : 1 : 0 : 1 のデータ・フォーマット	18
1.6.9 FSDF2 : FSDF1 : FSDF0 : LRCLKS = 0 : 1 : 1 : 0 のデータ・フォーマット	19
1.6.10 FSDF2 : FSDF1 : FSDF0 : LRCLKS = 0 : 1 : 1 : 1 のデータ・フォーマット	19
1.6.11 FSDF2 : FSDF1 : FSDF0 : LRCLKS = 1 : 0 : 0 : 0 のデータ・フォーマット	20
1.6.12 FSDF2 : FSDF1 : FSDF0 : LRCLKS = 1 : 0 : 0 : 1 のデータ・フォーマット	20
1.6.13 FSDF2 : FSDF1 : FSDF0 : LRCLKS = 1 : 0 : 1 : 0 のデータ・フォーマット	21
1.6.14 FSDF2 : FSDF1 : FSDF0 : LRCLKS = 1 : 0 : 1 : 1 のデータ・フォーマット	21
1.6.15 FSDF2 : FSDF1 : FSDF0 : LRCLKS = 1 : 1 : 0 : 0 のデータ・フォーマット	22
1.6.16 FSDF2 : FSDF1 : FSDF0 : LRCLKS = 1 : 1 : 0 : 1 のデータ・フォーマット	22
1.6.17 FSDF2 : FSDF1 : FSDF0 : LRCLKS = 1 : 1 : 1 : 0 のデータ・フォーマット (初期値)	23
1.6.18 FSDF2 : FSDF1 : FSDF0 : LRCLKS = 1 : 1 : 1 : 1 のデータ・フォーマット	23
1.7 使用上の注意	24
<b>2. レジスタ説明</b>	<b>25</b>
2.1 各レジスタの説明	26
2.1.1 シリアル・コマンド・インタフェース・チェック・ビット (SICK)	26
2.1.2 リセット/クロック・ステータス・レジスタ (00h)	27
2.1.3 インタフェース/タイミング・レジスタ (01h)	28
2.1.4 入力セレクト・レジスタ (02h)	28
2.1.5 ADC 入力ゲイン・レジスタ (03h, 04h)	29
2.1.6 IN1 ボリューム・レジスタ (05h, 06h)	30
2.1.7 IN2 ボリューム・レジスタ (07h, 08h)	31
2.1.8 IN3 ボリューム・レジスタ (09h, 0Ah)	32
2.1.9 IN4 ボリューム・レジスタ (0Bh, 0Ch)	33
2.1.10 IN5 ボリューム・レジスタ (0Dh)	34



2. 1. 11	MIC ボリューム・レジスタ (0Eh)	...	35
2. 1. 12	IN6 ボリューム・レジスタ (0Fh)	...	36
2. 1. 13	DAC ボリューム・レジスタ (10h, 11h)	...	37
2. 1. 14	OUT マスタ・ボリューム・レジスタ (12h, 13h)	...	38
2. 1. 15	DAC マスタ・ボリューム・レジスタ (14h, 15h)	...	39
2. 1. 16	MONO 出力マスタ・ボリューム・レジスタ (16h)	...	40
2. 1. 17	Path Select レジスタ (17h)	...	41
2. 1. 18	パワー・ダウン・コントロール・レジスタ (18h)	...	42
2. 1. 19	Warm リセット・レジスタ (7Fh)	...	44
3.	電気的特性	...	45
4.	応用回路例	...	51
5.	推奨レイアウト・パターン	...	52
6.	外形図	...	53
7.	半田付け推奨条件	...	54

EOL Product

## 1. 機能説明

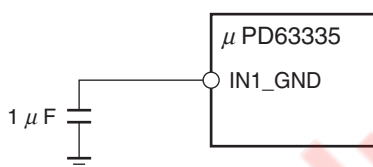
### 1.1 アナログ入力部

μPD63335 は、内部に 2 チャンネルの ADC を内蔵し、前段のマルチプレクサで選択されたアナログ入力端子からのアナログ信号をデジタル信号に変換することが可能です。また、ADC とマルチプレクサの間にはアンプを配し、入力ゲインを 0 dB から 22.5 dB の範囲で設定可能です。

マルチプレクサには、アナログ入力端子からのステレオ信号 4 系統、モノラル信号 1 系統、マイク入力信号 1 系統（2 つの入力端子から選択）、アナログ出力部ミキサ回路からの信号が入力されます。

IN1 入力は専用のグランド端子を持っています。IN1\_GND 端子を用いることにより、CD などグランド線を持つ出力端子と接続することが可能です。IN1\_GND を使用しない場合は  $1\mu\text{F}$  のコンデンサを介してグランドに接続してください（図 1 - 1 参照）。

図1 - 1 IN1\_GND を使用しない場合の接続例



### 1.2 アナログ出力部

アナログ出力部には 2 チャンネルのステレオ出力アンプ、1 チャンネルのモノラル出力アンプ、ミキサ回路を搭載しています。ミキサ回路には、DAC からのステレオ・アナログ信号に加え、アナログ入力端子からのステレオ信号 4 系統（IN1-IN4）、モノラル信号 2 系統（IN5, IN6）、マイク入力信号 1 系統（2 つの入力端子から選択）をミキシングすることが可能です。また、DAC 出力を直接モニタすることもできます。モノラル出力アンプへのモノラル信号は L チャンネル / R チャンネル・ミキサ回路の出力を足しあわせ、LSI 内部で -6 dB のゲイン調整をしています。

### 1.3 クロック

μPD63335 は内部にクロック・ジェネレータを内蔵しております。水晶振動子またはセラミック発振子を XTL\_IN 端子、XTL\_OUT 端子に接続することにより、μPD63335 のマスタ・クロックを生成できます。

内蔵のクロック・ジェネレータは、24.576 MHz の場合にのみ使用できます。

また、外部クロックを発振回路に直接入力することも可能です。この場合、XTL\_IN 端子にクロック信号を直接入力し、XTL\_OUT 端子はオープンとしてください。外部クロックを直接入力する場合は、24.576 MHz 以外の周波数でも使用できます。

### 1.3.1 外部マスタ・クロック周波数の切り替え

ADC, DAC 動作中に, 外部マスタ・クロックの周波数を切り替える場合には, 次の手順に従ってください。

#### (1) マスタ・モード (LRCLK, BIT\_CLK を内部生成) で使用する場合

DAC ボリューム・レジスタ (10h, 11h) と DAC マスタ・ボリューム・レジスタ (14h, 15h) を MUTE に設定<sup>注1</sup>

外部マスタ・クロック周波数の切り替え

LRCLK / BIT\_CLK 動作モードの設定(変更ありの場合)(リセット/クロック・ステータス・レジスタ(00h)使用)

オーディオ・フォーマットの設定(変更ありの場合)(インタフェース/タイミング・レジスタ(01h)使用)

DAC ボリューム・レジスタ (10h, 11h) と DAC マスタ・ボリューム・レジスタ (14h, 15h) の設定<sup>注2</sup>

- 注1. 外部マスタ・クロック周波数を切り替えた瞬間に, ノイズが発生する場合があります。外部マスタ・クロックを切り替える前に, DAC 出力に関するボリュームを MUTE 状態にしてください。
2. ポップ・ノイズ防止のため, 外部マスタ・クロック周波数の切り替え後, LRCLK が 3 周期分以上供給されるのに必要な時間が経過してから, DAC 出力に関するボリュームの MUTE を解除してください。ADC 出力データ (SO) についても, 同様の時間が経過してから有効データとして扱ってください。

#### (2) スレープ・モード (LRCLK, BIT\_CLK を外部から供給) で使用する場合

DAC ボリューム・レジスタ (10h, 11h) と DAC マスタ・ボリューム・レジスタ (14h, 15h) を MUTE に設定<sup>注1</sup>

ADC, DAC をパワー・ダウン (パワー・ダウン・コントロール・レジスタ (18h) 使用)

外部マスタ・クロック, LRCLK, BIT\_CLK の周波数の切り替え

LRCLK / BIT\_CLK 動作モードの設定(変更ありの場合)(リセット/クロック・ステータス・レジスタ(00h)使用)

オーディオ・フォーマットの設定(変更ありの場合)(インタフェース/タイミング・レジスタ(01h)使用)

ADC, DAC のパワー・ダウン解除 (パワー・ダウン・コントロール・レジスタ (18h) 使用)

DAC ボリューム・レジスタ (10h, 11h) と DAC マスタ・ボリューム・レジスタ (14h, 15h) の設定<sup>注2</sup>

- 注1. ADC, DAC のパワー・ダウンを実行した直後に, ADC, DAC 出力にノイズが発生する場合があります。パワー・ダウンを実行する前に, DAC 出力に関するボリュームを MUTE 状態にしてください。
2. ポップ・ノイズ防止のため, パワー・ダウン解除後, LRCLK が 3 周期分以上供給されるのに必要な時間が経過してから, DAC 出力に関するボリュームの MUTE を解除してください。ADC 出力データ (SO) についても, 同様の時間が経過してから有効データとして扱ってください。

### 1.4 リセット

μPD63335 には 3 種類のリセット・モードがあります。

#### (1) Cold リセット

Cold リセットは  $\overline{\text{RESET}}$  端子からの入力信号によって制御され、μPD63335 全体を初期化します。レジスタは初期値に設定されます。

#### (2) Warm リセット

Warm リセットは、何らかの理由によりデジタル・コマンド・インタフェースをリセットする場合に用います。Warm リセット・レジスタ (7Fh) に FFh を書き込むことにより、μPD63335 は Warm リセットされます。Warm リセットではレジスタの値は保持されます。

#### (3) Register リセット

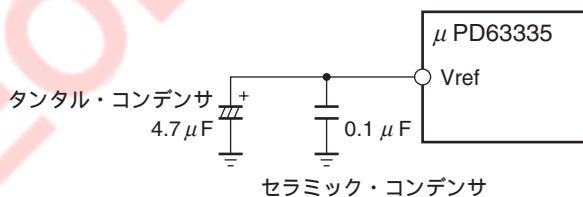
μPD63335 の内部レジスタを初期化します。次の 3 つのレジスタを除くすべてのレジスタがリセットされません。

- ・リセット/クロック・ステータス・レジスタ (00h)
- ・インタフェース/タイミング・レジスタ (01h)
- ・パワー・ダウン・コントロール・レジスタ (18h)

### 1.5 ノイズ低減用コンデンサ接続端子

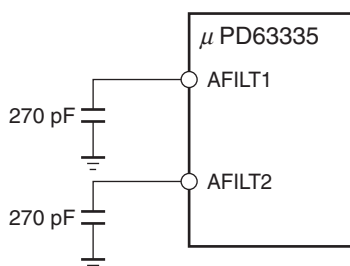
27 ピンはバイパス・コンデンサ接続用の基準電圧接続端子です。バイパス・コンデンサは、次の図のように接続してください。

図1-2 バイパス・コンデンサ接続例



29, 30 ピンは ADC のアンチ・エイリアス・フィルタ用コンデンサ接続端子です。コンデンサは、次の図のように接続してください。

図1-3 アンチ・エイリアス・フィルタ用コンデンサ接続例



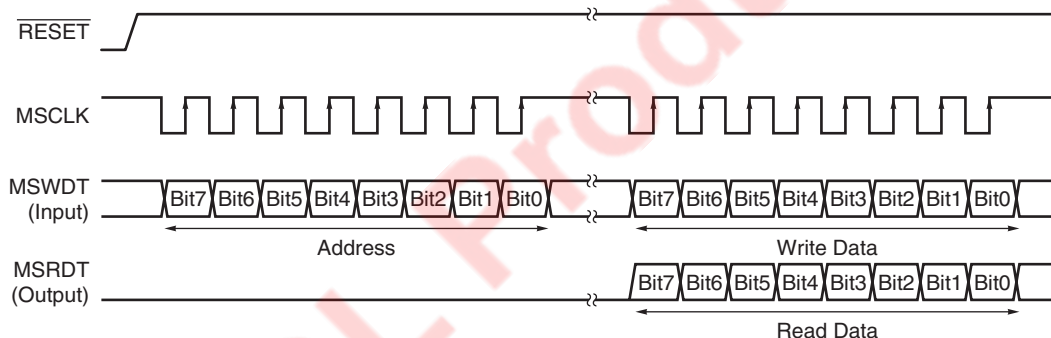
### 1.6 デジタル・インタフェース

μPD63335 は外部ホスト・プロセッサ (CPU, サウンド・コントローラなど) との接続に 2 種類のインタフェースを使用します。μPD63335 を制御するシリアル・コマンド・インタフェースと, データ入出力に用いるシリアル・データ・インタフェースです。

図1-4 デジタル・インタフェース



#### 1.6.1 シリアル・コマンド・インタフェース



外部ホスト・プロセッサからμPD63335 のレジスタにアクセスするには, クロック同期式シリアル・インタフェース (MSCLK, MSWDT, MSRDT) を使用します。

$\overline{\text{RESET}}$  がロウ・レベルからハイ・レベルになった直後の MSCLK 立ち上がりに同期して, アドレス転送は開始されます。アドレスは 8 ビットで構成され, Bit7 はアクセスのリード/ライト属性を示します。

アドレスの Bit7 に“1”が転送された場合, リード・オペレーションとなります。MSWDT 端子に入力されたアドレスに続いて, 対応したレジスタの内容を MSRDT 端子から出力します。

アドレスの Bit7 に“0”が転送された場合, ライト・オペレーションとなります。ホスト・プロセッサからアドレスに続いて 8 ビットのデータを書き込みます。

μPD63335 はホスト・プロセッサからの制御を確実にを行うために, シリアル・コマンド・インタフェースのビットずれをデータで確認することが可能です。

正常に通信しているとき, Warm リセット・レジスタ (7Fh) を除くすべてのアドレスの D6 ビットは常に“0”, データの D7, D6 ビットは常に“01”になります。データの D6 ビットは, シリアル・コマンド・インタフェースのビットずれの有無を確認するためのチェック・ビット (SICK) です。SICK ビットの詳細は, 2.1.1 シリアル・コマンド・インタフェース・チェック・ビット (SICK) を参照してください。

1.6.2 シリアル・データ・インタフェース

μPD63335 は内部レジスタ (00h) の RATE [1:0] ビットの設定により, 4 とおりのサンプリング周波数を設定可能です。またフレーム信号 (LRCLK) の極性, LRCLK, BIT\_CLK 信号の入出力切り替えが, レジスタ 00h および 01h で可能です。シリアル・データ・インタフェースのフォーマットを動作中に変更した場合, 切り替え時にノイズが発生する可能性があります。切り替え前にアナログ出力端子をミュートに設定してください (2.1.14 ~ 2.1.16 参照)。

表 1 - 1 サンプリング周波数切り替え (レジスタ 00h の RATE [1:0] ビットで設定)

RATE [1:0]	サンプリング周波数	f <sub>MCLK</sub> = 24.576 MHz の場合
00	f <sub>MCLK</sub> /3072 (初期値)	8 kHz
01	f <sub>MCLK</sub> /1536	16 kHz
10	f <sub>MCLK</sub> /768	32 kHz
11	f <sub>MCLK</sub> /512	48 kHz

表 1 - 2 データ・フォーマット切り替え (レジスタ 01h の FSDF [2:0] ビットで設定)

FSDF [2:0]	1 フレームあたりの ビット・クロック数	オーディオ・データ・フォーマット (2's コンプリメント, MSB ファースト)	
		PCM 入力データ : SI	PCM 出力 : SO
000	64	前詰め	前詰め
001	64	前詰め	後詰め
010	64	後詰め	前詰め
011	64	後詰め	後詰め
100	48	前詰め	前詰め
101	48	前詰め	後詰め
110	48	後詰め	前詰め
111	32 (初期値)	-	-

表 1 - 3 フレーム信号 (LRCLK) 極性切り替え (レジスタ 00h の LRCLKS ビットで設定)

LRCLKS	LRCLK レベル	
	ハイ・レベル	ロウ・レベル
0	L チャンネル (初期値)	R チャンネル (初期値)
1	R チャンネル	L チャンネル

表 1 - 4 LRCLK / BIT\_CLK 入出力切り替え (レジスタ 00h の CLKIOS ビットで設定)

CLKIOS	LRCLK / BIT_CLK 入出力
0	入力 (初期値) : スレーブ・モード
1	出力 : マスタ・モード

μPD63335 は, マスタ・モード (μPD63335 が LRCLK と BIT\_CLK を出力するモード) と スレーブ・モード (μPD63335 が外部からの LRCLK と BIT\_CLK の供給を受けるモード) のどちらでも動作することができます。それぞれ, 次の推奨手順に従って, 関連レジスタの設定を行ってください。

**(1) マスタ・モード (LRCLK, BIT\_CLK を内部生成) で使用する場合****(a) ADC, DAC パワー・ダウン状態 (電源投入時を含む) から, ADC, DAC の動作を開始させる場合**

DAC ボリューム・レジスタ (10h, 11h) と DAC マスタ・ボリューム・レジスタ (14h, 15h) を MUTE に設定<sup>注1</sup>

LRCLK / BIT\_CLK 動作モードの設定 (リセット / クロック・ステータス・レジスタ (00h) 使用)<sup>注2</sup>

オーディオ・フォーマットの設定 (インタフェース / タイミング・レジスタ (01h) 使用)

ADC, DAC のパワー・ダウン解除 (パワー・ダウン・コントロール・レジスタ (18h) 使用)

DAC ボリューム・レジスタ (10h, 11h) と DAC マスタ・ボリューム・レジスタ (14h, 15h) の設定<sup>注3</sup>

**(b) ADC, DAC 動作中に, LRCLK / BIT\_CLK 動作モードの設定を変更する場合**

DAC ボリューム・レジスタ (10h, 11h) と DAC マスタ・ボリューム・レジスタ (14h, 15h) を MUTE に設定<sup>注4</sup>

LRCLK / BIT\_CLK 動作モードの設定変更 (リセット / クロック・ステータス・レジスタ (00h) 使用)

オーディオ・フォーマットの設定 (変更ありの場合) (インタフェース / タイミング・レジスタ (01h) 使用)

DAC ボリューム・レジスタ (10h, 11h) と DAC マスタ・ボリューム・レジスタ (14h, 15h) の設定<sup>注5</sup>

- 注1.** ADC, DAC のパワー・ダウンを解除した直後に, ADC, DAC 出力にノイズが発生する場合があります。パワー・ダウンを解除する前に, DAC 出力に関するボリュームを MUTE 状態にしてください (電源投入時など, これらのボリュームがすでに MUTE 状態である場合には, MUTE を再設定する必要はありません)。
- 2.** LRCLK / BIT\_CLK 動作モードは, デフォルトでスレープ・モードになっています。マスタ・モードで使用する場合には, ADC, DAC のパワー・ダウン状態において, LRCLK / BIT\_CLK 動作モードをマスタ・モードに切り替えてください。
- 3.** ポップ・ノイズ防止のため, パワー・ダウン解除後, LRCLK が 3 周期分以上出力されるのに必要な時間が経過してから, DAC 出力に関するボリュームの MUTE を解除してください。ADC 出力データ (SO) についても, 同様の時間が経過してから有効データとして扱ってください。
- 4.** LRCLK / BIT\_CLK 動作モードを変更した直後に, ADC, DAC 出力にノイズが発生する場合があります。この設定を変更する前に, DAC 出力に関するボリュームを MUTE 状態にしてください。
- 5.** ポップ・ノイズ防止のため, LRCLK / BIT\_CLK 動作モードの変更後, LRCLK が 3 周期分以上出力されるのに必要な時間が経過してから, DAC 出力に関するボリュームの MUTE を解除してください。ADC 出力データ (SO) についても, 同様の時間が経過してから有効データとして扱ってください。

**(2) スレーブ・モード (LRCLK, BIT\_CLK を外部から供給) で使用する場合****(a) ADC, DAC パワー・ダウン状態 (電源投入時を含む) から, ADC, DAC の動作を開始させる場合**

DAC ボリューム・レジスタ (10h, 11h) と DAC マスタ・ボリューム・レジスタ (14h, 15h) を MUTE に設定<sup>注1</sup>

外部クロック (LRCLK, BIT\_CLK) の供給開始<sup>注2</sup>

LRCLK/BIT\_CLK 動作モードの設定 (リセット/クロック・ステータス・レジスタ (00h) 使用)

オーディオ・フォーマットの設定 (インタフェース/タイミング・レジスタ (01h) 使用)

ADC, DAC のパワー・ダウン解除 (パワー・ダウン・コントロール・レジスタ (18h) 使用)

DAC ボリューム・レジスタ (10h, 11h) と DAC マスタ・ボリューム・レジスタ (14h, 15h) の設定<sup>注3</sup>

**(b) ADC, DAC 動作中に, LRCLK/BIT\_CLK 動作モードの設定を変更する場合**

DAC ボリューム・レジスタ (10h, 11h) と DAC マスタ・ボリューム・レジスタ (14h, 15h) を MUTE に設定<sup>注4</sup>

外部クロック (LRCLK, BIT\_CLK) の切り替え<sup>注5</sup>

LRCLK/BIT\_CLK 動作モードの設定変更 (リセット/クロック・ステータス・レジスタ (00h) 使用)

オーディオ・フォーマットの設定 (変更ありの場合)(インタフェース/タイミング・レジスタ (01h) 使用)

DAC ボリューム・レジスタ (10h, 11h) と DAC マスタ・ボリューム・レジスタ (14h, 15h) の設定<sup>注6</sup>

- 注1.** ADC, DAC のパワー・ダウンを解除した直後に, ADC, DAC 出力にノイズが発生する場合があります。パワー・ダウンを解除する前に, DAC 出力に関するボリュームを MUTE 状態にしてください (電源投入時など, これらのボリュームがすでに MUTE 状態である場合には, MUTE を再設定する必要はありません)。
- 2.** 外部クロック (LRCLK, BIT\_CLK) は, LRCLK/BIT\_CLK 動作モードの設定を行う前に供給を開始してください。
- 3.** ポップ・ノイズ防止のため, パワー・ダウン解除後, LRCLK が 3 周期分以上供給されるのに必要な時間が経過してから, DAC 出力に関するボリュームの MUTE を解除してください。ADC 出力データ (SO) についても, 同様の時間が経過してから有効データとして扱ってください。
- 4.** LRCLK/BIT\_CLK 動作モードを変更した直後に, ADC, DAC 出力にノイズが発生する場合があります。この設定を変更する前に, DAC 出力に関するボリュームを MUTE 状態にしてください。
- 5.** 変更後の外部クロック (LRCLK, BIT\_CLK) は, LRCLK/BIT\_CLK 動作モードの設定変更を行う前に供給を開始してください。
- 6.** ポップ・ノイズ防止のため, LRCLK/BIT\_CLK 動作モードの設定変更後, LRCLK が 3 周期分以上供給されるのに必要な時間が経過してから, DAC 出力に関するボリュームの MUTE を解除してください。ADC 出力データ (SO) についても, 同様の時間が経過してから有効データとして扱ってください。



**(c) 電源 ON 中に、外部クロック (LRCLK, BIT\_CLK) の供給を一時停止する場合**

次の手順に従い、ADC, DAC をパワー・ダウンしてください。外部クロックの供給を再開する場合には、(a) ADC, DAC パワー・ダウン状態 (電源投入時を含む) から、ADC, DAC の動作を開始させる場合の から の手順に従ってください。

DAC ボリューム・レジスタ (10h, 11h) と DAC マスタ・ボリューム・レジスタ (14h, 15h) を MUTE に設定<sup>注1</sup>

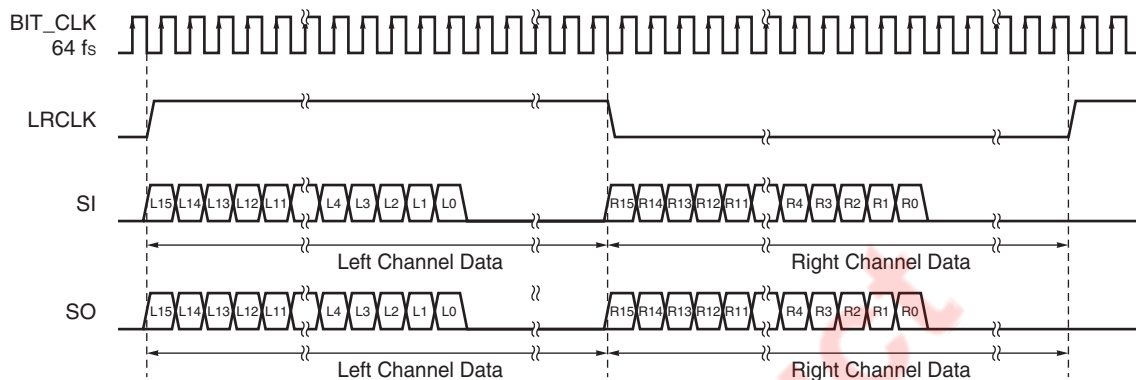
ADC, DAC をパワー・ダウン (パワー・ダウン・コントロール・レジスタ (18h) 使用)

外部クロック (LRCLK, BIT\_CLK) を停止 (ハイ・レベルまたはロウ・レベルに固定)<sup>注2</sup>

- 注1. ADC, DAC のパワー・ダウンを実行した直後に、ADC, DAC 出力にノイズが発生する場合があります。パワー・ダウンを実行する前に、DAC 出力に関係するボリュームを MUTE 状態にしてください。
2. ADC, DAC のパワー・ダウンを確実にを行うために、ADC, DAC のパワー・ダウン・コマンド入力後、LRCLK を 3 周期分以上供給してから外部クロック (LRCLK, BIT\_CLK) の供給を停止してください。

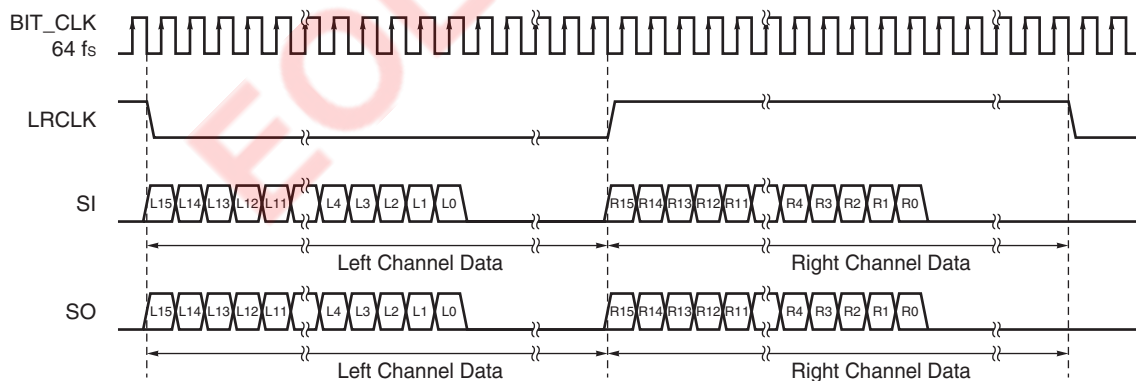
1.6.3 FSDF2 : FSDF1 : FSDF0 : LRCLKS = 0 : 0 : 0 : 0 のデータ・フォーマット

- CLKIOS = “0” : BIT\_CLK, LRCLK が共に入力となります。
- CLKIOS = “1” : BIT\_CLK, LRCLK が共に出力となります。
- 1 フレームあたりの BIT\_CLK 数 : 64
- LRCLK がハイ・レベルの区間は L チャンネルを , ロウ・レベルの区間では R チャンネルのデータ入出力を行います。
- SI および SO は前詰めで入出力されます。



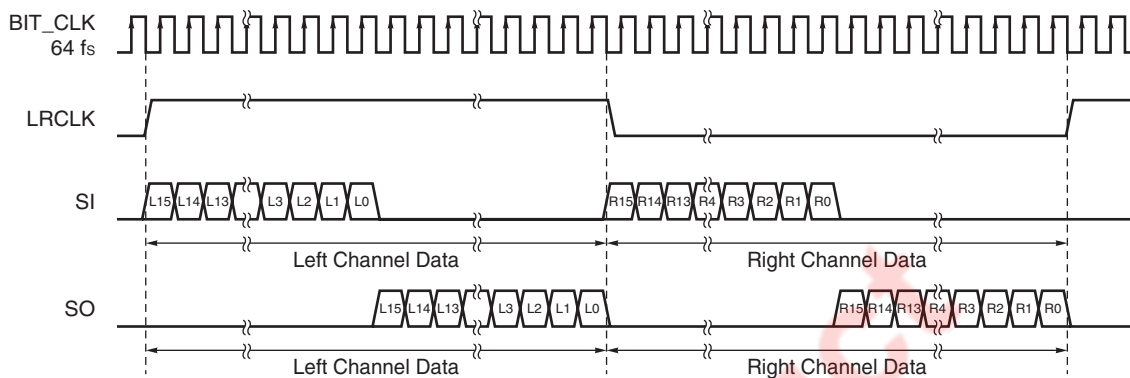
1.6.4 FSDF2 : FSDF1 : FSDF0 : LRCLKS = 0 : 0 : 0 : 1 のデータ・フォーマット

- CLKIOS = “0” : BIT\_CLK, LRCLK が共に入力となります。
- CLKIOS = “1” : BIT\_CLK, LRCLK が共に出力となります。
- 1 フレームあたりの BIT\_CLK 数 : 64
- LRCLK がハイ・レベルの区間は R チャンネルを , ロウ・レベルの区間では L チャンネルのデータ入出力を行います。
- SI および SO は前詰めで入出力されます。



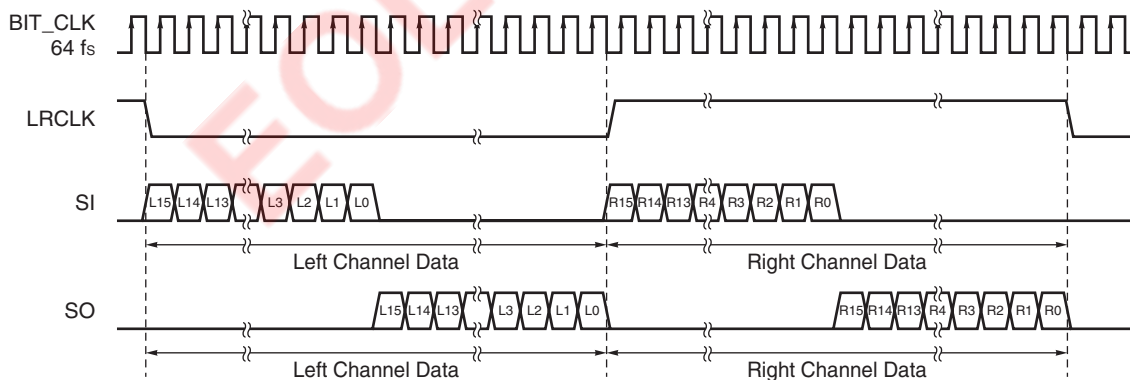
1.6.5 FSDF2 : FSDF1 : FSDF0 : LRCLKS = 0 : 0 : 1 : 0 のデータ・フォーマット

- CLKIOS = “0” : BIT\_CLK, LRCLK が共に入力となります。
- CLKIOS = “1” : BIT\_CLK, LRCLK が共に出力となります。
- 1 フレームあたりの BIT\_CLK 数 : 64
- LRCLK がハイ・レベルの区間は L チャンネルを, ロウ・レベルの区間では R チャンネルのデータ入出力を行います。
- データ入力 SI は前詰め, データ出力 SO は後詰めで行います。



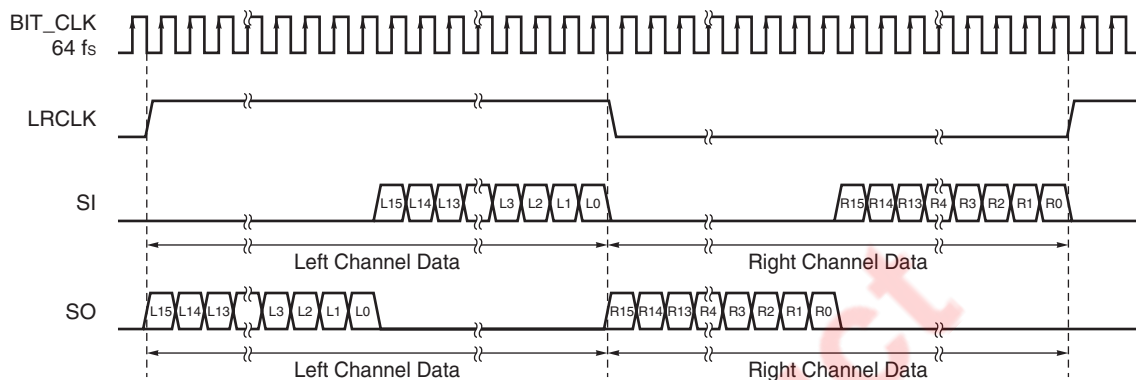
1.6.6 FSDF2 : FSDF1 : FSDF0 : LRCLKS = 0 : 0 : 1 : 1 のデータ・フォーマット

- CLKIOS = “0” : BIT\_CLK, LRCLK が共に入力となります。
- CLKIOS = “1” : BIT\_CLK, LRCLK が共に出力となります。
- 1 フレームあたりの BIT\_CLK 数 : 64
- LRCLK がハイ・レベルの区間は R チャンネルを, ロウ・レベルの区間では L チャンネルのデータ入出力を行います。
- データ入力 SI は前詰め, データ出力 SO は後詰めで行います。



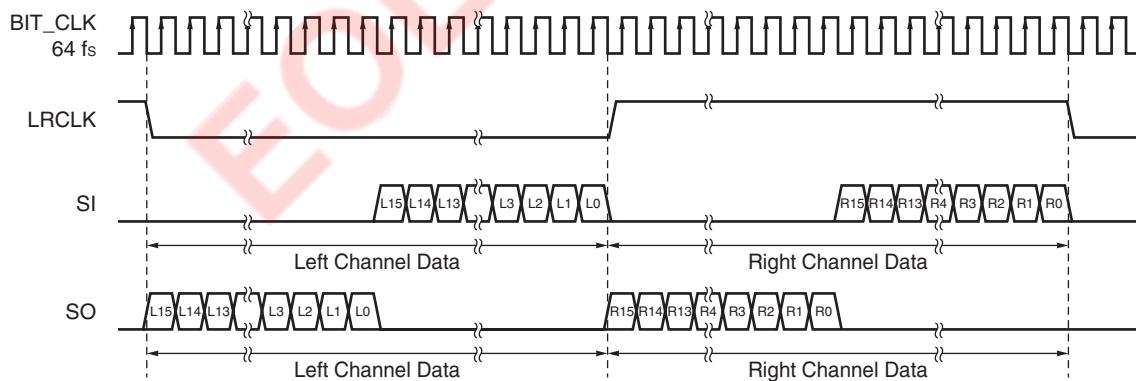
1.6.7 FSDF2 : FSDF1 : FSDF0 : LRCLKS = 0 : 1 : 0 : 0 のデータ・フォーマット

- CLKIOS = “0” : BIT\_CLK, LRCLK が共に入力となります。
- CLKIOS = “1” : BIT\_CLK, LRCLK が共に出力となります。
- 1 フレームあたりの BIT\_CLK 数 : 64
- LRCLK がハイ・レベルの区間は L チャンネルを, ロウ・レベルの区間では R チャンネルのデータ入出力を行います。
- データ入力 SI は後詰め, データ出力 SO は前詰めで行います。



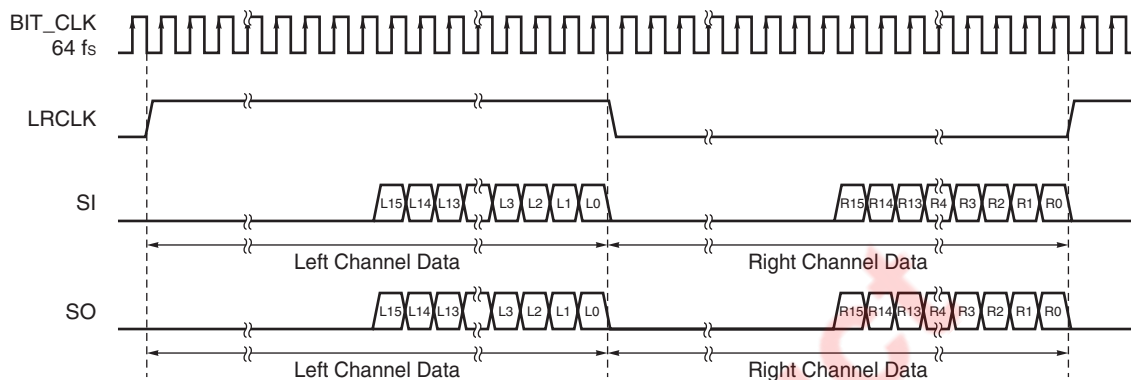
1.6.8 FSDF2 : FSDF1 : FSDF0 : LRCLKS = 0 : 1 : 0 : 1 のデータ・フォーマット

- CLKIOS = “0” : BIT\_CLK, LRCLK が共に入力となります。
- CLKIOS = “1” : BIT\_CLK, LRCLK が共に出力となります。
- 1 フレームあたりの BIT\_CLK 数 : 64
- LRCLK がハイ・レベルの区間は R チャンネルを, ロウ・レベルの区間では L チャンネルのデータ入出力を行います。
- データ入力 SI は後詰め, データ出力 SO は前詰めで行います。



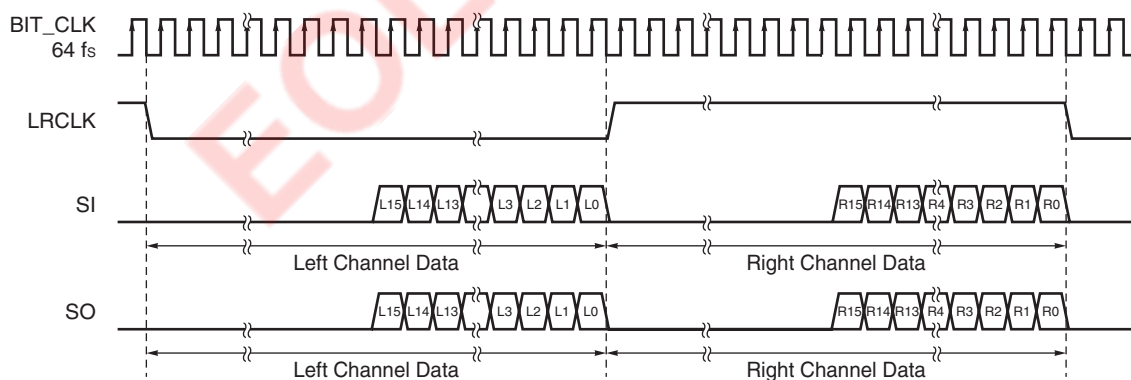
1.6.9 FSDF2 : FSDF1 : FSDF0 : LRCLKS = 0 : 1 : 1 : 0 のデータ・フォーマット

- CLKIOS = “0” : BIT\_CLK, LRCLK が共に入力となります。
- CLKIOS = “1” : BIT\_CLK, LRCLK が共に出力となります。
- 1 フレームあたりの BIT\_CLK 数 : 64
- LRCLK がハイ・レベルの区間は L チャンネルを , ロウ・レベルの区間では R チャンネルのデータ入出力を行います。
- SI および SO は後詰めで入出力されます。



1.6.10 FSDF2 : FSDF1 : FSDF0 : LRCLKS = 0 : 1 : 1 : 1 のデータ・フォーマット

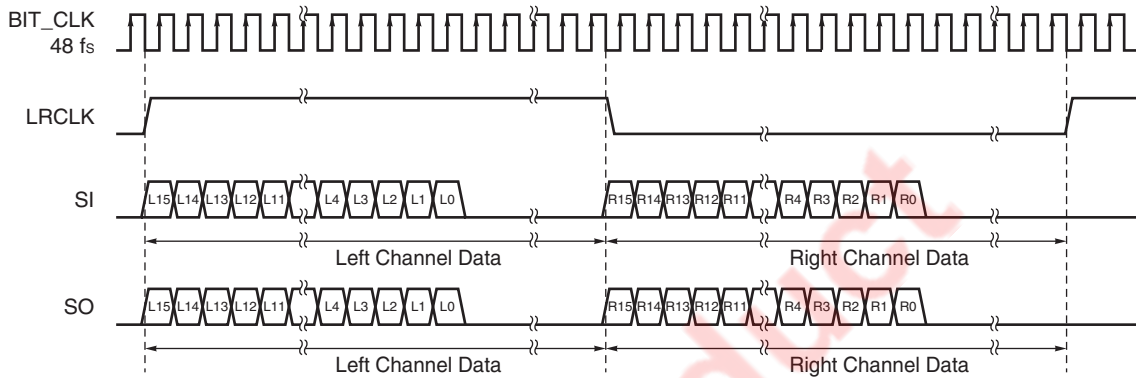
- CLKIOS = “0” : BIT\_CLK, LRCLK が共に入力となります。
- CLKIOS = “1” : BIT\_CLK, LRCLK が共に出力となります。
- 1 フレームあたりの BIT\_CLK 数 : 64
- LRCLK がハイ・レベルの区間は R チャンネルを , ロウ・レベルの区間では L チャンネルのデータ入出力を行います。
- SI および SO は後詰めで入出力されます。



1.6.11 FSDF2 : FSDF1 : FSDF0 : LRCLKS = 1 : 0 : 0 : 0 のデータ・フォーマット

- CLKIOS = "0" : BIT\_CLK, LRCLK が共に入力となります。
- CLKIOS = "1" : BIT\_CLK<sup>※</sup>, LRCLK が共に出力となります。
- 1 フレームあたりの BIT\_CLK 数 : 48
- LRCLK がハイ・レベルの区間は L チャンネルを, ロウ・レベルの区間では R チャンネルのデータ入出力を行います。
- SI および SO は前詰めで入出力されます。

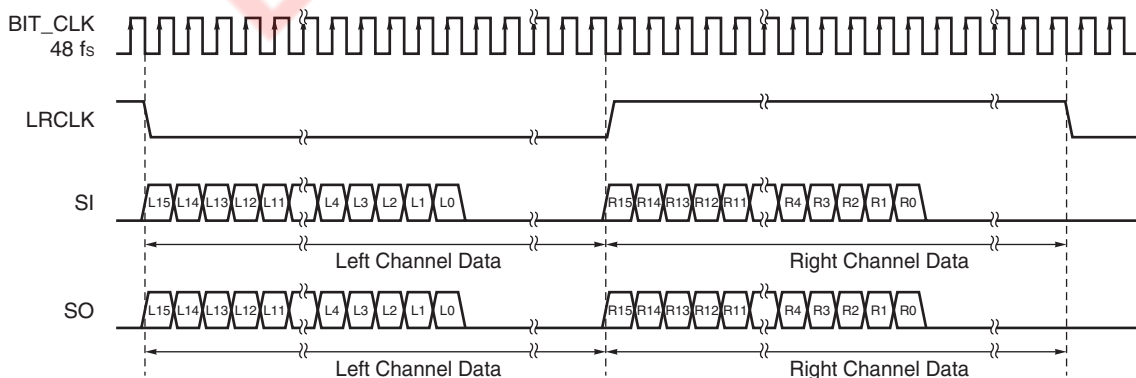
注 出力 BIT\_CLK のデューティは, 50%ではありません。



1.6.12 FSDF2 : FSDF1 : FSDF0 : LRCLKS = 1 : 0 : 0 : 1 のデータ・フォーマット

- CLKIOS = "0" : BIT\_CLK, LRCLK が共に入力となります。
- CLKIOS = "1" : BIT\_CLK<sup>※</sup>, LRCLK が共に出力となります。
- 1 フレームあたりの BIT\_CLK 数 : 48
- LRCLK がハイ・レベルの区間は R チャンネルを, ロウ・レベルの区間では L チャンネルのデータ入出力を行います。
- SI および SO は前詰めで入出力されます。

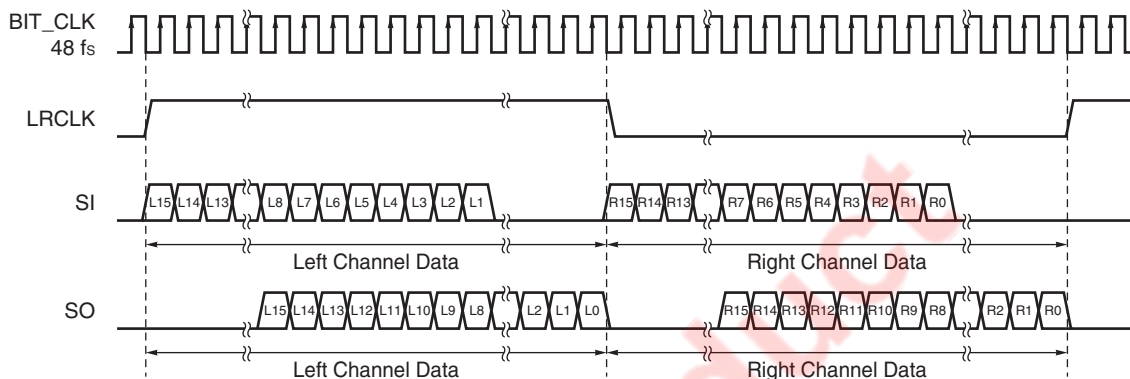
注 出力 BIT\_CLK のデューティは, 50%ではありません。



1. 6. 13 FSDF2 : FSDF1 : FSDF0 : LRCLKS = 1 : 0 : 1 : 0 のデータ・フォーマット

- CLKIOS = “0” : BIT\_CLK, LRCLK が共に入力となります。
- CLKIOS = “1” : BIT\_CLK<sup>※</sup>, LRCLK が共に出力となります。
- 1 フレームあたりの BIT\_CLK 数 : 48
- LRCLK がハイ・レベルの区間は L チャンネルを, ロウ・レベルの区間では R チャンネルのデータ入出力を行います。
- データ入力 SI は前詰め, データ出力 SO は後詰めで行います

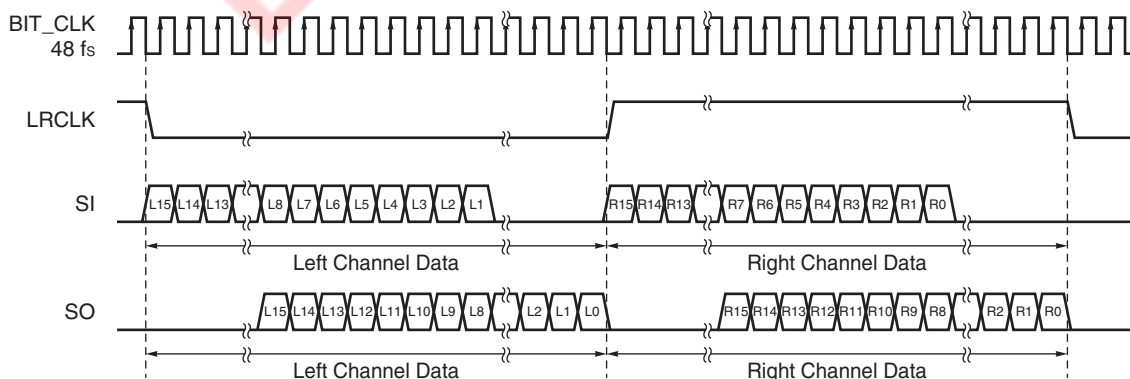
注 出力 BIT\_CLK のデューティは, 50%ではありません。



1. 6. 14 FSDF2 : FSDF1 : FSDF0 : LRCLKS = 1 : 0 : 1 : 1 のデータ・フォーマット

- CLKIOS = “0” : BIT\_CLK, LRCLK が共に入力となります。
- CLKIOS = “1” : BIT\_CLK<sup>※</sup>, LRCLK が共に出力となります。
- 1 フレームあたりの BIT\_CLK 数 : 48
- LRCLK がハイ・レベルの区間は R チャンネルを, ロウ・レベルの区間では L チャンネルのデータ入出力を行います。
- データ入力 SI は前詰め, データ出力 SO は後詰めで行います。

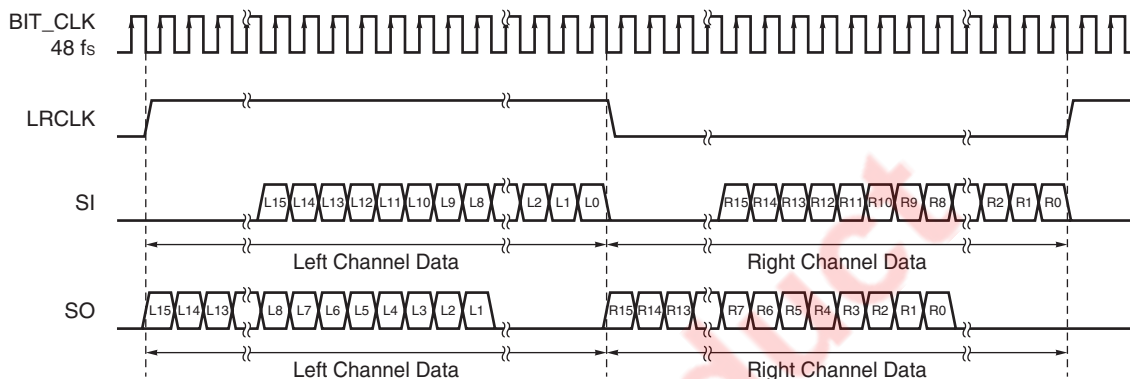
注 出力 BIT\_CLK のデューティは, 50%ではありません。



1. 6. 15 FSDF2 : FSDF1 : FSDF0 : LRCLKS = 1 : 1 : 0 : 0 のデータ・フォーマット

- CLKIOS = “0” : BIT\_CLK, LRCLK が共に入力となります。
- CLKIOS = “1” : BIT\_CLK<sup>※</sup>, LRCLK が共に出力となります。
- 1 フレームあたりの BIT\_CLK 数 : 48
- LRCLK がハイ・レベルの区間は L チャンネルを, ロウ・レベルの区間では R チャンネルのデータ入出力を行います。
- データ入力 SI は後詰め, データ出力 SO は前詰めで行います。

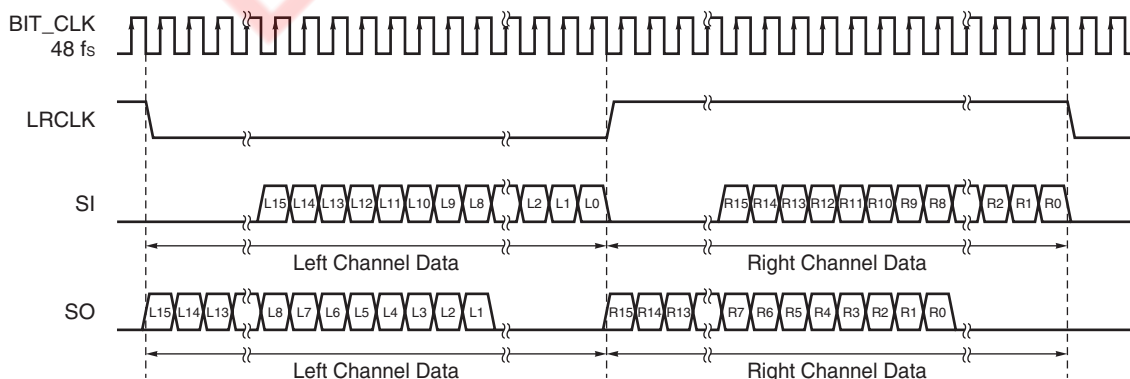
注 出力 BIT\_CLK のデューティは, 50% ではありません



1. 6. 16 FSDF2 : FSDF1 : FSDF0 : LRCLKS = 1 : 1 : 0 : 1 のデータ・フォーマット

- CLKIOS = “0” : BIT\_CLK, LRCLK が共に入力となります。
- CLKIOS = “1” : BIT\_CLK<sup>※</sup>, LRCLK が共に出力となります。
- 1 フレームあたりの BIT\_CLK 数 : 48
- LRCLK がハイ・レベルの区間は R チャンネルを, ロウ・レベルの区間では L チャンネルのデータ入出力を行います。
- データ入力 SI は後詰め, データ出力 SO は前詰めで行います。

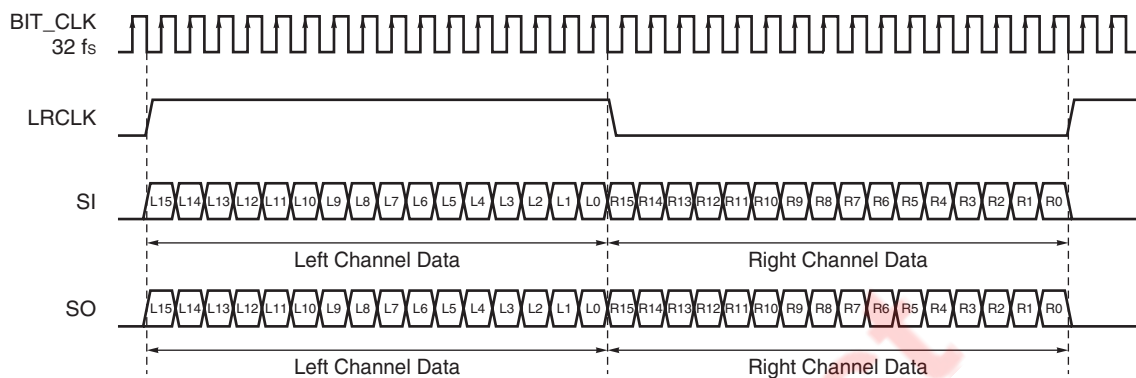
注 出力 BIT\_CLK のデューティは, 50% ではありません





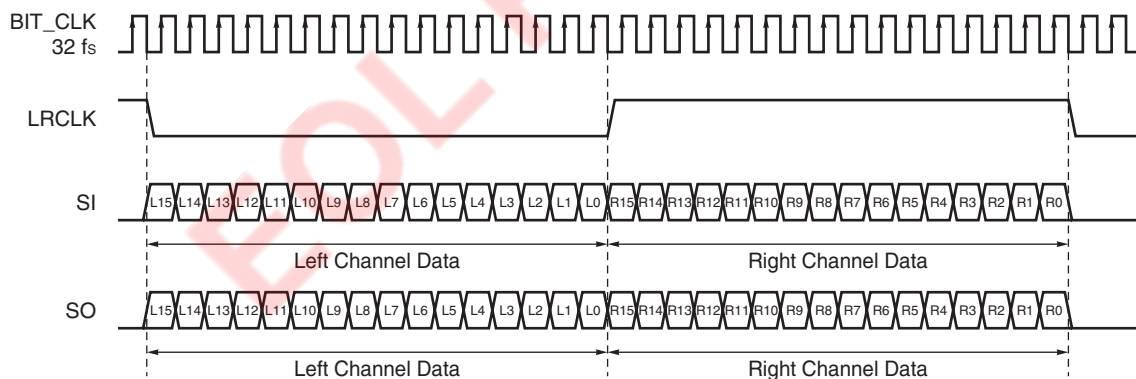
1. 6. 17 FSDF2 : FSDF1 : FSDF0 : LRCLKS = 1 : 1 : 1 : 0 のデータ・フォーマット (初期値)

- CLKIOS = “0” : BIT\_CLK, LRCLK が共に入力となります。
- CLKIOS = “1” : BIT\_CLK, LRCLK が共に出力となります。
- 1 フレームあたりの BIT\_CLK 数 : 32
- LRCLK がハイ・レベルの区間は L チャンネルを , ロウ・レベルの区間では R チャンネルのデータ入出力を行います。



1. 6. 18 FSDF2 : FSDF1 : FSDF0 : LRCLKS = 1 : 1 : 1 : 1 のデータ・フォーマット

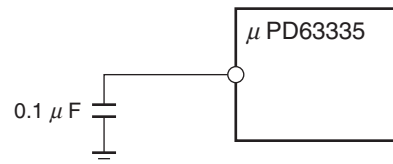
- CLKIOS = “0” : BIT\_CLK, LRCLK が共に入力となります。
- CLKIOS = “1” : BIT\_CLK, LRCLK が共に出力となります。
- 1 フレームあたりの BIT\_CLK 数 : 32
- LRCLK がハイ・レベルの区間は R チャンネルを , ロウ・レベルの区間では L チャンネルのデータ入出力を行います。



### 1.7 使用上の注意

アナログ入力端子は、オープン状態でレジスタのミュートが解除されている場合には、内部回路の特性に影響を与える可能性があります。未使用のアナログ端子はコンデンサを介して接地する（図1-5参照）と共に、関連するレジスタをミュートに設定してください。

図1-5 アナログ入力未使用端子の処置例



EOL Product

2. レジスタ説明

μPD63335 のレジスタ・マップを次の表に示します。

表2 - 1 μPD63335 のレジスタ・マップ

アドレス [A7: A0]		名称	D7	D6	D5	D4	D3	D2	D1	D0	初期値
読み出し	書き込み										
80h	00h	Reset and Clock Status Select	0	SICK	0	RRST	RATE1	RATE0	LRCLKS	CLKIOS	40h
81h	01h	Interface Timing	0	SICK	0	0	0	FSD2	FSD1	FSD0	47h
82h	02h	ADC Select	0	SICK	ADSL2	ADSL1	ADSL0	ADSR2	ADSR1	ADSR0	40h
83h	03h	ADCL Gain	0	SICK	0	ADLM	ADLV3	ADLV2	ADLV1	ADRV0	50h
84h	04h	ADCR Gain	0	SICK	0	ADRM	ADRV3	ADRV2	ADRV1	ADRV0	50h
85h	05h	IN1L Volume	0	SICK	IN1LM	IN1LV4	IN1LV3	IN1LV2	IN1LV1	IN1LV0	68h
86h	06h	IN1R Volume	0	SICK	IN1RM	IN1RV4	IN1RV3	IN1RV2	IN1RV1	IN1RV0	68h
87h	07h	IN2L Volume	0	SICK	IN2LM	IN2LV4	IN2LV3	IN2LV2	IN2LV1	IN2LV0	68h
88h	08h	IN2R Volume	0	SICK	IN2RM	IN2RV4	IN2RV3	IN2RV2	IN2RV1	IN2RV0	68h
89h	09h	IN3L Volume	0	SICK	IN3LM	IN3LV4	IN3LV3	IN3LV2	IN3LV1	IN3LV0	68h
8Ah	0Ah	IN3R Volume	0	SICK	IN3RM	IN3RV4	IN3RV3	IN3RV2	IN3RV1	IN3RV0	68h
8Bh	0Bh	IN4L Volume	0	SICK	IN4LM	IN4LV4	IN4LV3	IN4LV2	IN4LV1	IN4LV0	68h
8Ch	0Ch	IN4R Volume	0	SICK	IN4RM	IN4RV4	IN4RV3	IN4RV2	IN4RV1	IN4RV0	68h
8Dh	0Dh	IN5 Volume	0	SICK	IN5M	IN5V4	IN5V3	IN5V2	IN5V1	IN5V0	68h
8Eh	0Eh	MIC Volume	0	SICK	MICM	MICV4	MICV3	MICV2	MICV1	MICV0	68h
8Fh	0Fh	IN6 Volume	0	SICK	IN6M	IN6V3	IN6V2	IN6V1	IN6V0	0	60h
90h	10h	DACL Volume	0	SICK	DALM	DALV4	DALV3	DALV2	DALV1	DALV0	68h
91h	11h	DACR Volume	0	SICK	DARM	DARV4	DARV3	DARV2	DARV1	DARV0	68h
92h	12h	OUTL Master Volume	0	SICK	OMLM	OMLV4	OMLV3	OMLV2	OMLV1	OMLV0	60h
93h	13h	OUTR Master Volume	0	SICK	OMRM	OMRV4	OMRV3	OMRV2	OMRV1	OMRV0	60h
94h	14h	DACL Master Volume	0	SICK	DMLM	DMLV4	DMLV3	DMLV2	DMLV1	DMLV0	60h
95h	15h	DACR Master Volume	0	SICK	DMRM	DMRV4	DMRV3	DMRV2	DMRV1	DMRV0	60h
96h	16h	MONO Volume	0	SICK	MNMM	MNMV4	MNMV3	MNMV2	MNMV1	MNMV0	60h
97h	17h	Path Select	0	SICK	0	1	MIX	MS	MC20	LPBK	50h
98h	18h	Power down Control/Status	0	SICK	0	DIGPD	VREFPD	MIXPD	DACPD	ADCPD	43h
-	7Fh	Warm Reset	RW7	RW6	RW5	RW4	RW3	RW2	RW1	RW0	00h

- 注意 1. 表中に示されていないレジスタ，つまり存在しないレジスタに対してのリード/ライト・アクセスは禁止です。
2. Warm リセット・レジスタ (7Fh) へのリード・アクセスは禁止です。
3. アドレス最上位ビット A7 は，コマンドの読み出し/書き込みの属性を示します。
4. 書き込みアドレス 00h, 10h への書き込みデータが有効になるのは，LRCLK が 1 周期以上入力 (あるいは出力) されたあとになります。

## 2.1 各レジスタの説明

### 2.1.1 シリアル・コマンド・インタフェース・チェック・ビット (SICK)

Warm リセット・レジスタ (7Fh) を除くすべてのレジスタの D7, D6 ビットは、シリアル・コマンド・インタフェースの転送結果を確認するために使用することが可能です。μPD63335 レジスタへの書き込みを行う場合、SICK ビットには常に“1”を書き込みます。

初期状態およびシリアル・コマンド・インタフェースが正常に動作しているとき、SICK ビットには常に“1”が書き込まれており、Warm リセット・レジスタ (7Fh) を除くすべてのレジスタの D7, D6 ビットは、“01”の状態を保ちます。書き込み時に何らかの原因により、D7, D6 ビットが“01”以外の状態となった場合、SICK には“0”が書き込まれます。すなわち、ホスト・プロセッサから読み出したレジスタの値の D7, D6 ビットが“00”となっていた場合には、シリアル・コマンド・インタフェースの書き込みもしくは読み出しにおいてビットずれなどが発生し、レジスタのアクセスが正常に行われていない可能性があります。

読み出したレジスタの SICK ビットが“0”であった場合には、Warm リセットを行い、デジタル・コマンド・インタフェースのリセットを実行してください。

D7, D6 ビットへの書き込み値と SICK ビットの関係を表 2 - 2 に示します。

表2 - 2 SICK ビット設定値

書き込み[D7:D6]	SICK 設定値	読み出し[D7:D6]	コマンド I/F 状態
00	0	00	異常
01	1	01	正常
10	0	00	異常
11	0	00	異常

2.1.2 リセット/クロック・ステータス・レジスタ (00h)

読み出しアドレス	書き込みアドレス	D7	D6	D5	D4	D3	D2	D1	D0	初期値
80h	00h	0	SICK	0	RRST	RATE1	RATE0	LRCLKS	CLKIOS	40h

このレジスタは、レジスタ・リセット、シリアル・データ・インタフェース設定およびサンプリング周波数の設定を行うレジスタです。次にビットと設定内容を示します。このレジスタに 5xh を書き込むことによりレジスタ・リセットが実行されます（レジスタ・リセットについては、1.4 リセットを参照してください）。レジスタ・リセットでは、リセット/クロック・ステータス・レジスタ (00h)、インタフェース/タイミング・レジスタ (01h)、パワー・ダウン・コントロール・レジスタ (18h) を除くすべてのレジスタを初期値に戻します。このレジスタの初期値は 40h（レジスタ・リセット：オフ、サンプリング周波数設定： $f_{MCLK}/3072$ 、LRCLK 設定：LRCLK = ハイ・レベルのとき、L チャネル PCM データ入出力、BIT\_CLK/LRCLK：入力）です。

表2-3 リセット/クロック・ステータス・レジスタ (00h) のビットと設定内容

ビット	名称	値	内容	備考
D4	RRST	1	レジスタ・リセット	-
D3, D2	RATE [1:0]	00	$f_s = f_{MCLK}/3072$ ( 8 kHz @ $f_{MCLK} = 24.576$ MHz )	初期設定
		01	$f_s = f_{MCLK}/1536$ ( 16 kHz @ $f_{MCLK} = 24.576$ MHz )	-
		10	$f_s = f_{MCLK}/768$ ( 32 kHz @ $f_{MCLK} = 24.576$ MHz )	-
		11	$f_s = f_{MCLK}/512$ ( 48 kHz @ $f_{MCLK} = 24.576$ MHz )	-
D1	LRCLKS	0	LRCLK がハイ・レベルの時、L チャネル・データ	初期設定
		1	LRCLK がハイ・レベルの時、R チャネル・データ	-
D0	CLKIOS	0	LRCLK, BIT_CLK 共に入力（スレーブ・モード）	初期設定
		1	LRCLK, BIT_CLK 共に出力（マスタ・モード）	-

備考  $f_s$  : サンプリング周波数

$f_{MCLK}$  : マスタ・クロック周波数 (XTL\_IN 端子からの入力周波数)

2.1.3 インタフェース/タイミング・レジスタ (01h)

読み出しアドレス	書き込みアドレス	D7	D6	D5	D4	D3	D2	D1	D0	初期値
81h	01h	0	SICK	0	0	0	FSD2	FSD1	FSD0	47h

このレジスタは、シリアル・データ・インタフェースのデータ入出力方式を設定するレジスタです。初期値は 47h です。

表2-4 インタフェース/タイミング・レジスタ (01h) のフォーマット

ビット	名 称	値	フォーマット		
			1フレームあたりの ビット・クロック数	PCM 入力データ SI	PCM 出力データ SO
D2-D0	FSD2 [2:0]	000	64	前詰め	前詰め
		001	64	前詰め	後詰め
		010	64	後詰め	前詰め
		011	64	後詰め	後詰め
		100	48	前詰め	前詰め
		101	48	前詰め	後詰め
		110	48	後詰め	前詰め
		111	32 (初期値)	-	-

2.1.4 入力セレクト・レジスタ (02h)

読み出しアドレス	書き込みアドレス	D7	D6	D5	D4	D3	D2	D1	D0	初期値
82h	02h	0	SICK	ADSL2	ADSL1	ADSL0	ADSR2	ADSR1	ADSR0	40h

このレジスタは、ADC 入力設定レジスタです。ADC 前段のマルチプレクサを、L チャンネル、R チャンネル独自に設定することが可能です。初期値は 40h (MIC 入力) です。

表2-5 入力セレクト・レジスタ (02h) の設定

L チャンネル		R チャンネル	
ADSL [2:0]	L チャンネル ADC 入力選択	ADSR [2:0]	R チャンネル ADC 入力選択
000	MIC (初期値)	000	MIC (初期値)
001	IN1L	001	IN1R
010	IN2L	010	IN2R
011	IN3L	011	IN3R
100	IN4L	100	IN4R
101	Stereo Mix/L	101	Stereo Mix/R
110	Mono Mix	110	Mono Mix
111	IN5	111	IN5

- 備考 1. Stereo Mix : 出力側ミキサの出力を、入力側マルチプレクサの出力 (ADC の入力) とします。  
 2. Mono Mix : DAC MONO 出力を、入力側マルチプレクサの出力 (ADC の入力) とします。

2.1.5 ADC 入力ゲイン・レジスタ (03h, 04h)

読み出しアドレス	書き込みアドレス	D7	D6	D5	D4	D3	D2	D1	D0	初期値
83h	03h	0	SICK	0	ADLM	ADLV3	ADLV2	ADLV1	ADLV0	50h
84h	04h	0	SICK	0	ADRM	ADRV3	ADRV2	ADRV1	ADRV0	50h

このレジスタは、ADCに入力されるマルチプレクサからの出力信号のゲインを設定するレジスタです。次にビットとゲイン設定の関係を示します。ゲインは0.0 dB ~ +22.5 dB の範囲で設定可能で、ステップは1.5 dB です。初期値は50h (ゲイン：0 dB, ミュート：ON) です。

- ADLM : L チャネル ADC 入力ミュート制御ビット
- ADRM : R チャネル ADC 入力ミュート制御ビット
- ADLV [3:0] : L チャネル ADC 入力ゲイン制御ビット
- ADRV [3:0] : R チャネル ADC 入力ゲイン制御ビット

表2 - 6 ADC 入力ゲイン・レジスタ (03h, 04h) のビットとゲイン設定の関係

ADLM/ADRM	ADLV [3:0]/ADRV [3:0]	ゲイン
0	0000	0 dB
0	0001	+ 1.5 dB
⋮	⋮	⋮
0	1110	+ 21.0 dB
0	1111	+ 22.5 dB
1	xxxx	ミュート
1	0000	初期設定

2.1.6 IN1 ボリューム・レジスタ (05h, 06h)

読み出しアドレス	書き込みアドレス	D7	D6	D5	D4	D3	D2	D1	D0	初期値
85h	05h	0	SICK	IN1LM	IN1LV4	IN1LV3	IN1LV2	IN1LV1	IN1LV0	68h
86h	06h	0	SICK	IN1RM	IN1RV4	IN1RV3	IN1RV2	IN1RV1	IN1RV0	68h

このレジスタは、IN1 入力信号のミキサ入力ボリュームを設定するレジスタです。次にビットとゲイン設定の関係を示します。ゲインは +12.0 dB ~ -34.5 dB の範囲で設定可能で、ステップは 1.5 dB です。初期値は 68h (ゲイン : 0 dB, ミュート : ON) です。

- ・ IN1LM : IN1 L チャンネル・ミキサ入力ミュート制御ビット
- ・ IN1RM : IN1 R チャンネル・ミキサ入力ミュート制御ビット
- ・ IN1LV [4:0] : IN1 L チャンネル・ミキサ入力ゲイン制御ビット
- ・ IN1RV [4:0] : IN1 R チャンネル・ミキサ入力ゲイン制御ビット

表2-7 IN1 ボリューム・レジスタ (05h, 06h) のビットとゲイン設定の関係

IN1LM/IN1RM	IN1LV [4:0]/IN1RV [4:0]	ゲイン
0	0 0000	+ 12.0 dB
0	0 0001	+ 10.5 dB
⋮	⋮	⋮
0	0 1000	0 dB
⋮	⋮	⋮
0	1 1110	- 33.0 dB
0	1 1111	- 34.5 dB
1	x xxxx	ミュート
1	0 1000	初期設定



2.1.7 IN2 ボリューム・レジスタ (07h, 08h)

読み出しアドレス	書き込みアドレス	D7	D6	D5	D4	D3	D2	D1	D0	初期値
87h	07h	0	SICK	IN2LM	IN2LV4	IN2LV3	IN2LV2	IN2LV1	IN2LV0	68h
88h	08h	0	SICK	IN2RM	IN2RV4	IN2RV3	IN2RV2	IN2RV1	IN2RV0	68h

このレジスタは、IN2 入力信号のミキサ入力ボリュームを設定するレジスタです。次にビットとゲイン設定の関係を示します。ゲインは +12.0 dB ~ -34.5 dB の範囲で設定可能で、ステップは 1.5 dB です。初期値は 68h (ゲイン : 0 dB, ミュート : ON) です。

- ・ IN2LM : IN2 L チャンネル・ミキサ入力ミュート制御ビット
- ・ IN2RM : IN2 R チャンネル・ミキサ入力ミュート制御ビット
- ・ IN2LV [4:0] : IN2 L チャンネル・ミキサ入力ゲイン制御ビット
- ・ IN2RV [4:0] : IN2 R チャンネル・ミキサ入力ゲイン制御ビット

表2 - 8 IN2 ボリューム・レジスタ (07h, 08h) のビットとゲイン設定の関係

IN2LM/IN2RM	IN2LV [4:0]/IN2RV [4:0]	ゲイン
0	0 0000	+ 12.0 dB
0	0 0001	+ 10.5 dB
⋮	⋮	⋮
0	0 1000	0 dB
⋮	⋮	⋮
0	1 1110	- 33.0 dB
0	1 1111	- 34.5 dB
1	x xxxx	ミュート
1	0 1000	初期設定

2.1.8 IN3 ボリューム・レジスタ (09h, 0Ah)

読み出しアドレス	書き込みアドレス	D7	D6	D5	D4	D3	D2	D1	D0	初期値
89h	09h	0	SICK	IN3LM	IN3LV4	IN3LV3	IN3LV2	IN3LV1	IN3LV0	68h
8Ah	0Ah	0	SICK	IN3RM	IN3RV4	IN3RV3	IN3RV2	IN3RV1	IN3RV0	68h

このレジスタは、IN3 入力信号のミキサ入力ボリュームを設定するレジスタです。次にビットとゲイン設定の関係を示します。ゲインは +12.0 dB ~ -34.5 dB の範囲で設定可能で、ステップは 1.5 dB です。初期値は 68h (ゲイン : 0 dB, ミュート : ON) です。

- ・ IN3LM : IN3 L チャンネル・ミキサ入力ミュート制御ビット
- ・ IN3RM : IN3 R チャンネル・ミキサ入力ミュート制御ビット
- ・ IN3LV [4:0] : IN3 L チャンネル・ミキサ入力ゲイン制御ビット
- ・ IN3RV [4:0] : IN3 R チャンネル・ミキサ入力ゲイン制御ビット

表2-9 IN3 ボリューム・レジスタ (09h, 0Ah) のビットとゲイン設定の関係

IN3LM/IN3RM	IN3LV [4:0]/IN3RV [4:0]	ゲイン
0	0 0000	+ 12.0 dB
0	0 0001	+ 10.5 dB
⋮	⋮	⋮
0	0 1000	0 dB
⋮	⋮	⋮
0	1 1110	- 33.0 dB
0	1 1111	- 34.5 dB
1	x xxxx	ミュート
1	0 1000	初期設定

2.1.9 IN4 ボリューム・レジスタ (0Bh, 0Ch)

読み出しアドレス	書き込みアドレス	D7	D6	D5	D4	D3	D2	D1	D0	初期値
8Bh	0Bh	0	SICK	IN4LM	IN4LV4	IN4LV3	IN4LV2	IN4LV1	IN4LV0	68h
8Ch	0Ch	0	SICK	IN4RM	IN4RV4	IN4RV3	IN4RV2	IN4RV1	IN4RV0	68h

このレジスタは、IN4 入力信号のミキサ入力ボリュームを設定するレジスタです。次にビットとゲイン設定の関係を示します。ゲインは +12.0 dB ~ -34.5 dB の範囲で設定可能で、ステップは 1.5 dB です。初期値は 68h (ゲイン : 0 dB, ミュート : ON) です。

- ・ IN4LM : IN4 L チャンネル・ミキサ入力ミュート制御ビット
- ・ IN4RM : IN4 R チャンネル・ミキサ入力ミュート制御ビット
- ・ IN4LV [4:0] : IN4 L チャンネル・ミキサ入力ゲイン制御ビット
- ・ IN4RV [4:0] : IN4 R チャンネル・ミキサ入力ゲイン制御ビット

表2 - 10 IN4 ボリューム・レジスタ (0Bh, 0Ch) のビットとゲイン設定の関係

IN4LM/IN4RM	IN4LV [4:0]/IN4RV [4:0]	ゲイン
0	0 0000	+ 12.0 dB
0	0 0001	+ 10.5 dB
⋮	⋮	⋮
0	0 1000	0 dB
⋮	⋮	⋮
0	1 1110	- 33.0 dB
0	1 1111	- 34.5 dB
1	x xxxx	ミュート
1	0 1000	初期設定

2.1.10 IN5 ボリューム・レジスタ (0Dh)

読み出しアドレス	書き込みアドレス	D7	D6	D5	D4	D3	D2	D1	D0	初期値
8Dh	0Dh	0	SICK	IN5M	IN5V4	IN5V3	IN5V2	IN5V1	IN5V0	68h

このレジスタは、IN5 入力信号のミキサ入力ボリュームを設定するレジスタです。次にビットとゲイン設定の関係を示します。ゲインは + 12.0 dB ~ - 34.5 dB の範囲で設定可能で、ステップは 1.5 dB です。初期値は 68h (ゲイン : 0 dB, ミュート : ON) です。

- ・ IN5M : IN5 ミキサ入力ミュート制御ビット
- ・ IN5V [4:0] : IN5 ミキサ入力ゲイン制御ビット

表2 - 11 IN5 ボリューム・レジスタ (0Dh) のビットとゲイン設定の関係

IN5M	IN5V [4:0]	ゲイン
0	0 0000	+ 12.0 dB
0	0 0001	+ 10.5 dB
⋮	⋮	⋮
0	0 1000	0 dB
⋮	⋮	⋮
0	1 1110	- 33.0 dB
0	1 1111	- 34.5 dB
1	x xxxx	ミュート
1	0 1000	初期設定

2.1.11 MIC ボリューム・レジスタ (0Eh)

読み出しアドレス	書き込みアドレス	D7	D6	D5	D4	D3	D2	D1	D0	初期値
8Eh	0Eh	0	SICK	MICM	MICV4	MICV3	MICV2	MICV1	MICV0	68h

このレジスタは、MIC のミキサ入力ボリュームを設定するレジスタです。次にビットとゲイン設定の関係を示します。ゲインは +12.0 dB ~ -34.5 dB の範囲で設定可能で、ステップは 1.5 dB です。初期値は 68h (ゲイン: 0 dB, ミュート: ON) です。

- MICM : MIC ミキサ入力ミュート制御ビット
- MICV [4:0] : MIC ミキサ入力ゲイン制御ビット

表2 - 12 MIC ボリューム・レジスタ (0Eh) のビットとゲイン設定の関係

MICM	MICV [4:0]	ゲイン
0	0 0000	+ 12.0 dB
0	0 0001	+ 10.5 dB
⋮	⋮	⋮
0	0 1000	0 dB
⋮	⋮	⋮
0	1 1110	- 33.0 dB
0	1 1111	- 34.5 dB
1	x xxxx	ミュート
1	0 1000	初期設定

2. 1. 12 IN6 ボリューム・レジスタ (0Fh)

読み出しアドレス	書き込みアドレス	D7	D6	D5	D4	D3	D2	D1	D0	初期値
8Fh	0Fh	0	SICK	IN6M	IN6V3	IN6V2	IN6V1	IN6V0	0	60h

このレジスタは、IN6 入力信号のミキサ入力ボリュームを設定するレジスタです。次にビットとゲイン設定の関係を示します。ゲインは 0 dB ~ - 45 dB の範囲で設定可能で、ステップは 3.0 dB です。初期値は 60h (ゲイン : 0 dB , ミュート : ON) です。

- ・ IN6M : IN6 ミキサ入力ミュート制御ビット
- ・ IN6V [3:0] : IN6 ミキサ入力ゲイン制御ビット

表2 - 13 IN6 ボリューム・レジスタ (0Fh) のビットとゲイン設定の関係

IN6M	IN6V [3:0]	ゲイン
0	0000	0 dB
0	0001	- 3.0 dB
⋮	⋮	⋮
0	1110	- 42.0 dB
0	1111	- 45.0 dB
1	xxxx	ミュート
1	0000	初期設定

2. 1. 13 DAC ボリューム・レジスタ (10h, 11h)

読み出しアドレス	書き込みアドレス	D7	D6	D5	D4	D3	D2	D1	D0	初期値
90h	10h	0	SICK	DALM	DALV4	DALV3	DALV2	DALV1	DALV0	68h
91h	11h	0	SICK	DARM	DARV4	DARV3	DARV2	DARV1	DARV0	68h

このレジスタは、DAC 出力信号のミキサ入力ボリュームを設定するレジスタです。次にビットとゲイン設定の関係を示します。ゲインは +12.0 dB ~ -34.5 dB の範囲で設定可能で、ステップは 1.5 dB です。初期値は 68h (ゲイン : 0 dB, ミュート : ON) です。

- ・ DALM : DAC L チャンネル・ミキサ入力ミュート制御ビット
- ・ DARM : DAC R チャンネル・ミキサ入力ミュート制御ビット
- ・ DALV [4:0] : DAC L チャンネル・ミキサ入力ゲイン制御ビット
- ・ DARV [4:0] : DAC R チャンネル・ミキサ入力ゲイン制御ビット

表2 - 14 DAC ボリューム・レジスタ (10h, 11h) のビットとゲイン設定の関係

DALM/DARM	DALV [4:0]/DARV [4:0]	ゲイン
0	0 0000	+ 12.0 dB
0	0 0001	+ 10.5 dB
⋮	⋮	⋮
0	0 1000	0 dB
⋮	⋮	⋮
0	1 1110	- 33.0 dB
0	1 1111	- 34.5 dB
1	x xxxx	ミュート
1	0 1000	初期設定

2. 1. 14 OUT マスタ・ボリューム・レジスタ (12h, 13h)

読み出しアドレス	書き込みアドレス	D7	D6	D5	D4	D3	D2	D1	D0	初期値
92h	12h	0	SICK	OMLM	OMLV4	OMLV3	OMLV2	OMLV1	OMLV0	60h
93h	13h	0	SICK	OMRM	OMRV4	OMRV3	OMRV2	OMRV1	OMRV0	60h

このレジスタは、OUTL, OUTR のマスタ・ボリュームを設定するレジスタで、ミキサ出力を OUTL 端子, OUTR 端子に出力するゲインを設定します。次にビットとゲイン設定の関係を示します。ゲインは 0 dB ~ - 46.5 dB の範囲で設定可能で、ステップは 1.5 dB です。初期値は 60h (ゲイン : 0 dB, ミュート : ON) です。

- ・ OMLM : OUTL 出力ミュート制御ビット
- ・ OMRM : OUTR 出力ミュート制御ビット
- ・ OMLV [4:0] : OUTL 出力ゲイン制御ビット
- ・ OMRV [4:0] : OUTR 出力ゲイン制御ビット

表2 - 15 OUT マスタ・ボリューム・レジスタ (12h, 13h) のビットとゲイン設定の関係

OMLM/OMRM	OMLV [4:0]/OMRV [4:0]	ゲイン
0	0 0000	0 dB
0	0 0001	- 1.5 dB
⋮	⋮	⋮
0	1 1110	- 45.0 dB
0	1 1111	- 46.5 dB
1	x xxxx	ミュート
1	0 0000	初期設定



2. 1. 15 DAC マスタ・ボリューム・レジスタ (14h, 15h)

読み出しアドレス	書き込みアドレス	D7	D6	D5	D4	D3	D2	D1	D0	初期値
94h	14h	0	SICK	DMLM	DMLV4	DMLV3	DMLV2	DMLV1	DMLV0	60h
95h	15h	0	SICK	DMRM	DMRV4	DMRV3	DMRV2	DMRV1	DMRV0	60h

このレジスタは、DACL, DACR のマスタ・ボリュームを設定するレジスタです。次にビットとゲイン設定の関係を示します。ゲインは 0 dB ~ - 46.5 dB の範囲で設定可能で、ステップは 1.5 dB です。初期値は 60h (ゲイン : 0 dB, ミュート : ON) です。

- ・ DMLM : DACL 出力ミュート制御ビット
- ・ DMRM : DACR 出力ミュート制御ビット
- ・ DMLV [4:0] : DACL 出力ゲイン制御ビット
- ・ DMRV [4:0] : DACR 出力ゲイン制御ビット

表2 - 16 DAC マスタ・ボリューム・レジスタ (14h, 15h) のビットとゲイン設定の関係

DMLM/DMRM	DMLV [4:0]/DMRV [4:0]	ゲイン
0	0 0000	0 dB
0	0 0001	- 1.5 dB
⋮	⋮	⋮
0	1 1110	- 45.0 dB
0	1 1111	- 46.5 dB
1	x xxxx	ミュート
1	0 0000	初期設定

2. 1. 16 MONO 出力マスタ・ボリューム・レジスタ (16h)

読み出しアドレス	書き込みアドレス	D7	D6	D5	D4	D3	D2	D1	D0	初期値
96h	16h	0	SICK	MNMM	MNMV4	MNMV3	MNMV2	MNMV1	MNMV0	60h

このレジスタは、MONO 出力のマスタ・ボリュームを設定するレジスタです。次にビットとゲイン設定の関係を示します。ゲインは 0 dB ~ - 46.5 dB の範囲で設定可能で、ステップは 1.5 dB です。初期値は 60h(ゲイン: 0 dB, ミュート: ON) です。

- ・ MNMM : MONO 出力ミュート制御ビット
- ・ MNMV [4:0] : MONO 出力ゲイン制御ビット

表2 - 17 MONO 出力マスタ・ボリューム・レジスタ (16h) のビットとゲイン設定の関係

MNMM	MNMV [4:0]	ゲイン
0	0 0000	0 dB
0	0 0001	- 1.5 dB
⋮	⋮	⋮
0	1 1110	- 45.0 dB
0	1 1111	- 46.5 dB
1	x xxxx	ミュート
1	0 0000	初期設定

2. 1. 17 Path Select レジスタ (17h)

読み出しアドレス	書き込みアドレス	D7	D6	D5	D4	D3	D2	D1	D0	初期値
97h	17h	0	SICK	0	1	MIX	MS	MC20	LPBK	50h

このレジスタは、内部での信号切り替えを設定するレジスタです。初期値は 50h です。

表2 - 18 Path Select レジスタ (17h) の信号切り替え設定

ビット	MNMV [4:0]	設 定	
MIX	Mono Out Select	0	Mixer
		1	MIC
MS	MIC Select	0	MIC1
		1	MIC2
MC20	MIC Gain Select	0	+ 0 dB
		1	+ 20 dB
LPBK	ADC/DAC Analog Loop-back (テスト・モード)	0	オフ
		1	オン

- ・ MIX : Mixer からのモノラル信号, MIC からのモノラル信号のどちらかから, MONO 出力マスタ・ボリュームの入力を選択します。
- ・ MS : マイク・アンプに MIC1, MIC2 のどちらを入力するか選択します。
- ・ MC20 : マイク・アンプのゲインを 0dB, 20dB どちらかに設定します。
- ・ LPBK : アナログ・ループバック・モードを選択します。アナログ・ループバック・モードでは, ADC の出力が内部で直接 DAC に入力され, アナログ回路の動作およびボリューム設定状態の検証を行うことが可能です。

2. 1. 18 パワー・ダウン・コントロール・レジスタ (18h)

読み出しアドレス	書き込みアドレス	D7	D6	D5	D4	D3	D2	D1	D0	初期値
98h	18h	0	SICK	0	DIGPD	VREFPD	MIXPD	DACPD	ADCPD	43h

このレジスタは、パワー・ダウンの設定を行います。ビットを“1”に設定することにより、指定されたブロックをパワー・ダウン・モードにします。ビットとパワー・ダウンされる内部回路の関係は、**図 2 - 1 パワー・ダウン・モード・ブロック図**を参照してください。初期値は 43h です。

表2 - 19 パワー・ダウン・コントロール・レジスタ (18h) のビットとパワー・ダウン機能

ビット	機能
DIGPD	デジタル・ブロック/クロック・パワー・ダウン
VREFPD	アナログ・ブロック・パワー・ダウン
MIXPD	ミキサ・パワー・ダウン (アナログ・ブロック ON 時に有効)
DACPD	DAC パワー・ダウン
ADCPD	ADC パワー・ダウン

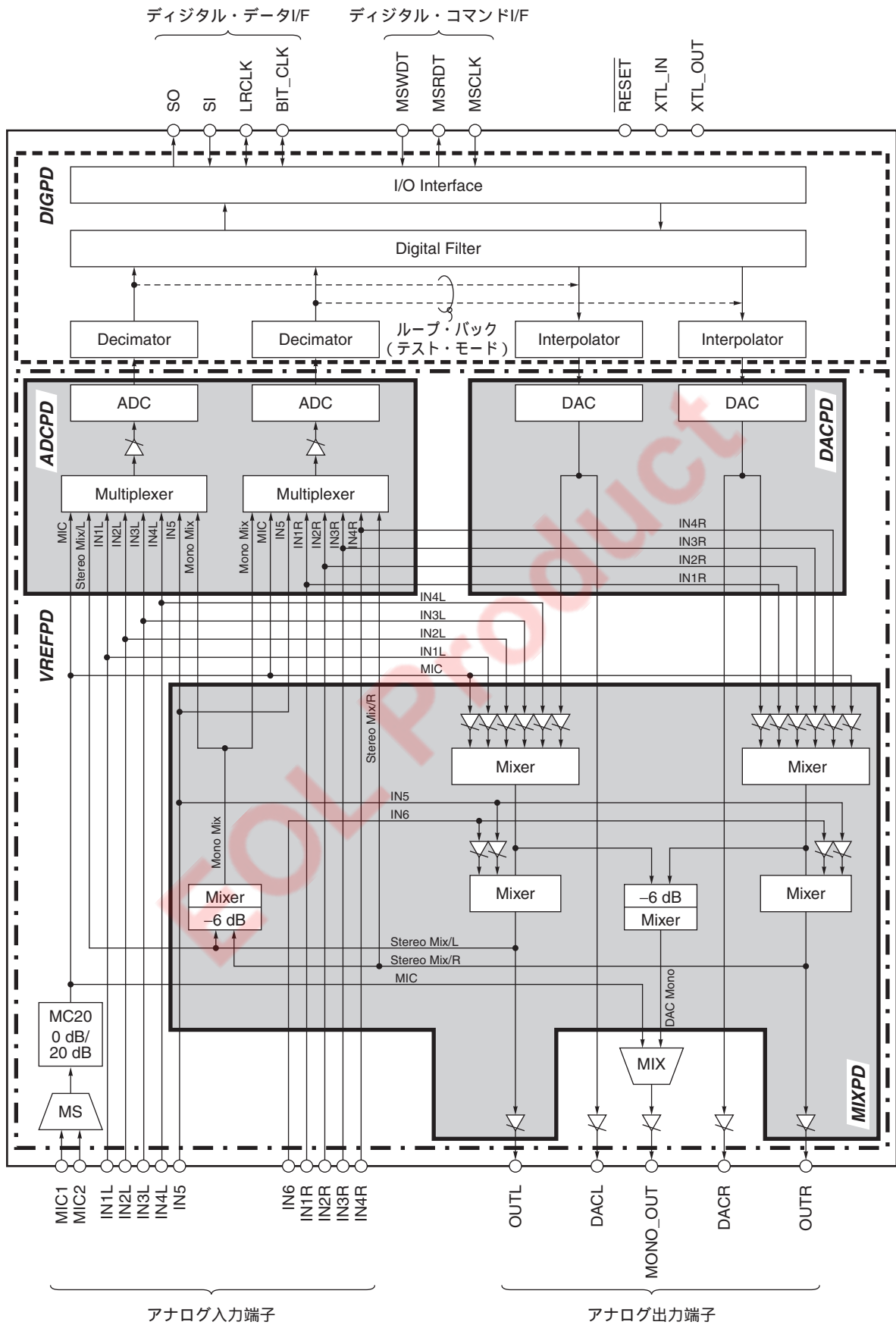
表2 - 20 パワー・ダウン・コントロール・レジスタ (18h) のビットとパワー・ダウンされる内部回路

ビット	ADC	DAC	Mixer Volume	Master Volume	Vref	Interface	Internal Clock
DIGPD	PD	PD	x	x	x	PD	PD
VREFPD	PD	PD	PD	PD	PD	x	x
MIXPD	x	x	PD	PD	x	x	x
DACPD	x	PD	x	x	x	x	x
ADCPD	PD	x	x	x	x	x	x

- 注意 1. BIT\_CLK, LRCLK 入出力設定を入力と設定した場合、パワー・ダウンを解除する前に BIT\_CLK, LRCLK 信号の入力が必要となります。
2. DIGPD (デジタル・ブロック/クロック・パワー・ダウン) からの復帰は、Cold リセットまたは Warm リセットで行います。Warm リセットを実行すると、内部レジスタへのアクセスが可能になります。しかし、DIGPD ビットが“1”に設定されたままなので、一部のデジタル回路が動作を再開していません。これらの動作を再開させるために、Warm リセット後、DIGPD ビットに“0”を書き込んでください。

備考 x : 通常動作, PD : パワー・ダウン

図2-1 パワー・ダウン・モード・ブロック図



2. 1. 19 Warm リセット・レジスタ (7Fh)

アドレス	D7	D6	D5	D4	D3	D2	D1	D0	初期値
7Fh	RW7	RW6	RW5	RW4	RW3	RW2	RW1	RW0	00h

このレジスタに FFh を書き込むことにより、デジタル・インタフェースを初期化します。このレジスタへのリード・アクセスおよび FFh 以外の書き込みは禁止です。

表2 - 21 Warm リセット・レジスタの設定

RW [7:0]	機 能
1111 1111	Warm リセット実行

EOL Product

3. 電気的特性

絶対最大定格

項目	略号	条件	定格	単位
デジタル部電源電圧	DV <sub>DD</sub>		- 0.3 ~ + 4.6	V
アナログ部電源電圧	AV <sub>DD</sub>		- 0.3 ~ + 4.6	V
入力電流	I <sub>I</sub>	電源端子, グランド端子以外	- 10 ~ + 10	mA
デジタル入力電圧	DV <sub>I</sub>	すべてのデジタル入力端子	- 0.3 ~ DV <sub>DD</sub> + 0.3	V
アナログ入力電圧	AV <sub>I</sub>	すべてのアナログ入力端子	- 0.3 ~ AV <sub>DD</sub> + 0.3	V
動作周囲温度	T <sub>A</sub>	デバイス周囲温度	- 40 ~ + 85	°C
保存温度	T <sub>stg</sub>		- 65 ~ + 150	°C

注意 各項目のうち 1 項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なうおそれがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

推奨動作範囲 (DV<sub>SS</sub> = AV<sub>SS</sub> = 0 V, 負荷容量 = 20 pF)

項目	略号	条件	Min.	Typ.	Max.	単位
デジタル部電源電圧	DV <sub>DD</sub>		3.0	3.3	3.6	V
アナログ部電源電圧	AV <sub>DD</sub>		3.0	3.3	3.6	V
動作周囲温度	T <sub>A</sub>	デバイス周囲温度	- 40	+ 25	+ 85	°C
マスタ・クロック周波数	f <sub>MCLK</sub>		1.024	-	24.576	MHz
マスタ・クロック・デューティ比 <sup>注</sup>	f <sub>DTY</sub>		45	50	55	%
サンプリング周波数	f <sub>S</sub>		0.4	-	48	kHz
デジタル入力電圧 (ハイ・レベル)	V <sub>IH</sub>		1.95	-	-	V
デジタル入力電圧 (ロウ・レベル)	V <sub>IL</sub>		-	-	1.26	V
アナログ入力信号電圧	V <sub>I</sub>		-	0.7	-	V <sub>r.m.s.</sub>
アナログ出力端子負荷抵抗	R <sub>L</sub>	アナログ出力端子	10	-	-	kΩ

注 推奨動作範囲外のマスタ・クロック・デューティ比でご使用の場合、アナログ特性が低下することが考えられます。

DC 特性 (  $DV_{DD} = AV_{DD} = 3.3\text{ V}$  ,  $DV_{SS} = AV_{SS} = 0\text{ V}$  ,  $T_A = -40 \sim +85^\circ\text{C}$  )

(1) デジタル部

項目	略号	条件	Min.	Typ.	Max.	単位
デジタル部消費電流	Idv1	通常動作時	-	10.0	15.0	mA
デジタル・スタンバイ電流	Idv2	パワー・ダウン時	-	0.0	0.1	mA
入力リーク電流	I <sub>LI</sub>		- 10.0	-	+ 10.0	μA
出力リーク電流	I <sub>LO</sub>	ハイ・インピーダンス時	- 10.0	-	+ 10.0	μA
ハイ・レベル入力電圧	V <sub>IH</sub>		1.95	-	-	V
ロウ・レベル入力電圧	V <sub>IL</sub>		-	-	1.26	V
ハイ・レベル出力電圧	V <sub>OH</sub>	出力電流 = - 5.0 mA	2.70	-	-	V
ロウ・レベル出力電圧	V <sub>OL</sub>	出力電流 = 5.0 mA	-	-	0.36	V
プルアップ抵抗	R <sub>UP</sub>		20	50	100	kΩ

(2) アナログ部

項目	略号	条件	Min.	Typ.	Max.	単位
アナログ部消費電流	I <sub>AV1</sub>	通常動作時	-	40.0	50.0	mA
アナログ・スタンバイ電流	I <sub>AV2</sub>	パワー・ダウン時	-	0.0	0.1	mA
基準電圧	V <sub>REF</sub>		1.35	1.40	1.45	V
アナログ入力電圧	V <sub>AI</sub>	マイク入力を除く	-	0.7	-	V <sub>r.m.s.</sub>
	V <sub>MI0</sub>	+ 20 dB = ON	-	0.07	-	V <sub>r.m.s.</sub>
	V <sub>MI20</sub>	+ 20 dB = OFF	-	0.7	-	V <sub>r.m.s.</sub>
アナログ出力電圧	V <sub>AO</sub>		-	0.7	-	V <sub>r.m.s.</sub>
入力インピーダンス	R <sub>IN</sub>	アナログ入力端子	10	-	-	kΩ



伝送特性 (特に指定のないかぎり,  $DV_{DD} = AV_{DD} = 3.3\text{ V}$ ,  $DV_{SS} = AV_{SS} = 0\text{ V}$ ,  $T_A = -40 \sim +85^\circ\text{C}$ ,  
 サンプリング周波数 = 48 kHz, 帯域 = 20 Hz ~ 19.2 kHz, 入力信号 = 1 kHz)

(1) AD 部

項目	略号	条件	Min.	Typ.	Max.	単位
AD ダイナミック・レンジ	DR <sub>x</sub>	- 60 dB 入力	75	85	-	dB
AD 全高調波ひずみ率	THD <sub>x</sub>	- 3 dB 入力	-	0.01	0.02	%
AD 絶対利得	G <sub>x</sub>	0 dB 入力	- 1.0	± 0.5	+ 1.0	dB
AD 周波数利得特性	GR <sub>x</sub>	20 Hz ~ 19.2 kHz	- 0.25	± 0.1	+ 0.25	dB
AD オフセット電圧	V <sub>OFFx</sub>		- 50	± 10	+ 50	mV
AD クロストーク	XTK <sub>x</sub>	対入力チャンネル	-	- 85	- 70	dB
AD フルスケール・アナログ入力振幅 <sup>※</sup>	VIFS <sub>x</sub>		-	0.7	-	V <sub>r.m.s.</sub>

注 AD フルスケール・アナログ入力振幅 (VIFS<sub>x</sub>) とは、内部 AD コンバータの入力振幅を示します。マイク・アンプや各ボリュームの設定値から、この値を越えない振幅を計算し、AD コンバータに入力してください。

(2) DA 部

項目	略号	条件	Min.	Typ.	Max.	単位
DA ダイナミック・レンジ	DR <sub>R</sub>	- 60 dB 入力	80	90	-	dB
DA 全高調波ひずみ率	THD <sub>R</sub>	- 3 dB 入力	-	0.01	0.02	%
DA 絶対利得	G <sub>R</sub>	0 dB 入力	- 1.0	± 0.5	+ 1.0	dB
DA 周波数利得特性	GR <sub>R</sub>	20 Hz ~ 19.2 kHz	- 0.25	± 0.1	+ 0.25	dB
DA オフセット電圧	V <sub>OFFR</sub>		- 50	± 10	+ 50	mV
DA クロストーク	XTK <sub>R</sub>	対入力チャンネル	-	- 85	- 70	dB
DA フルスケール・アナログ出力振幅	VOFS <sub>R</sub>		-	0.7	-	V <sub>r.m.s.</sub>

(3) MIC 部

項目	略号	条件	Min.	Typ.	Max.	単位
MIC 絶対利得	G <sub>MIC20</sub>	- 20 dB 入力, + 20 dB = ON	18	20	22	dB

(4) ミキサ部

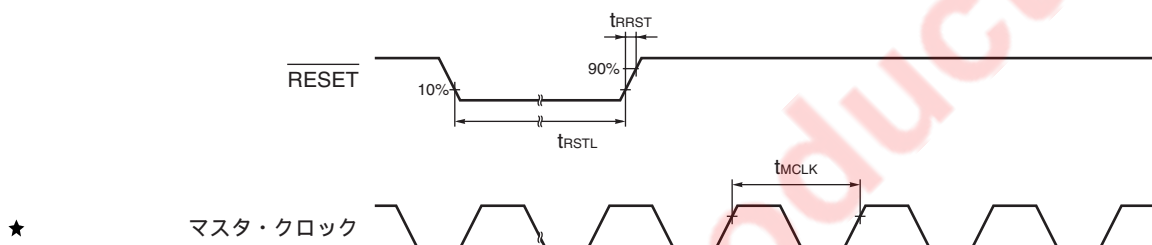
項目	略号	条件	Min.	Typ.	Max.	単位
ダイナミック・レンジ	DR <sub>A</sub>	- 60 dB 入力	85	90	-	dB
全高調波ひずみ率	THD <sub>A</sub>	- 3 dB 入力	-	0.01	0.02	%
絶対利得	G <sub>A</sub>	0 dB 入力	- 1.0	± 0.5	+ 1.0	dB
周波数利得特性	GR <sub>A</sub>	20 Hz ~ 19.2 kHz	- 0.25	± 0.1	+ 0.25	dB
オフセット電圧	V <sub>OFFA</sub>		- 50	± 10	+ 50	mV
クロストーク	XTK <sub>A</sub>	対入力チャンネル	-	- 80	- 70	dB
フルスケール・アナログ入力振幅	VIFS <sub>A</sub>		-	0.7	-	V <sub>r.m.s.</sub>
フルスケール・アナログ出力振幅	VOFS <sub>A</sub>		-	0.7	-	V <sub>r.m.s.</sub>

AC 特性 (特に指定のないかぎり,  $DV_{DD} = AV_{DD} = 3.3\text{ V}$ ,  $DV_{SS} = AV_{SS} = 0\text{ V}$ ,  $T_A = -40 \sim +85^\circ\text{C}$ )

(1) デジタル部

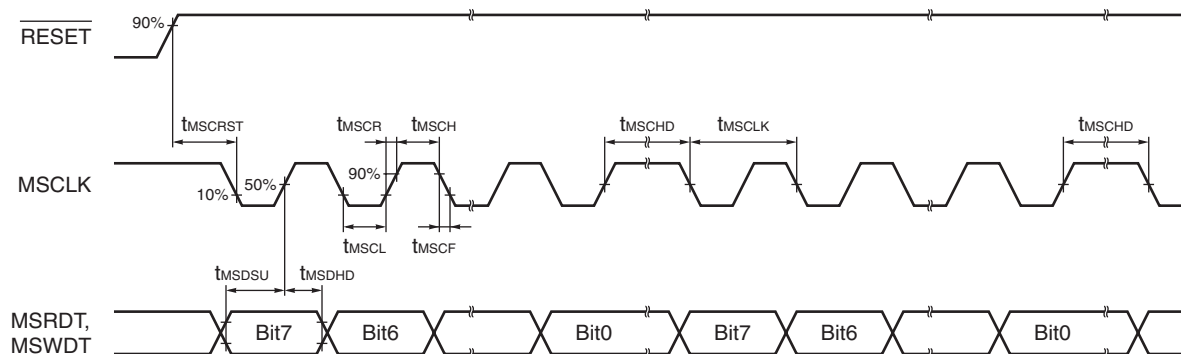
項目	略号	条件	Min.	Typ.	Max.	単位
RESET 立ち上がり時間	$t_{RRST}$	$V_{DD}$ の 10% から 90% 変化時間	-	-	1.0	μs
RESET ロウ・レベル幅 <sup>注1,2</sup>	$t_{RSTL}$		4.0	-	-	μs
マスタ・クロック周波数 <sup>注3</sup>	$f_{MCLK}$		1.024	-	24.576	MHz

- 注1.  $t_{RSTL}$  は, μPD63335 の初期化に必要な時間です。リセットを行う場合, RESET を  $t_{RSTL}$  の期間, アクティブ (ロウ・レベル) にしてください。
2. 内部リセット回路は, マスタ・クロックをトリガとして動作します。リセット実行中もマスタ・クロックは入力してください。
3. 内蔵のクロック・ジェネレータを使用する場合 (XTL\_OUT, XTL\_IN 端子に水晶振動子を接続する場合),  $f_{MCLK}$  は 24.576 MHz のみを選択可能です。24.576 MHz 以外で使用する場合は, 外部で生成したクロックを XTL\_IN 端子に直接入力してください。



(2) シリアル・コマンド・インタフェース部

項目	略号	条件	Min.	Typ.	Max.	単位
MSCLK 周期	$t_{MSCLK}$		240	-	-	ns
MSCLK ハイ・レベル幅	$t_{MSCH}$		100	-	-	ns
MSCLK ロウ・レベル幅	$t_{MSCL}$		100	-	-	ns
MSCLK 立ち上がり時間	$t_{MSCR}$		-	-	20	ns
MSCLK 立ち下がり時間	$t_{MSCF}$		-	-	20	ns
★ RESET MSCLK セットアップ時間	$t_{MSCRST}$		8	-	-	t_MCLK
★ データ入出力開始時間	$t_{MSCHD}$		8	-	-	t_MCLK
データ・セットアップ時間	$t_{MSDSU}$		50	-	-	ns
データ・ホールド時間	$t_{MSDHD}$		50	-	-	ns

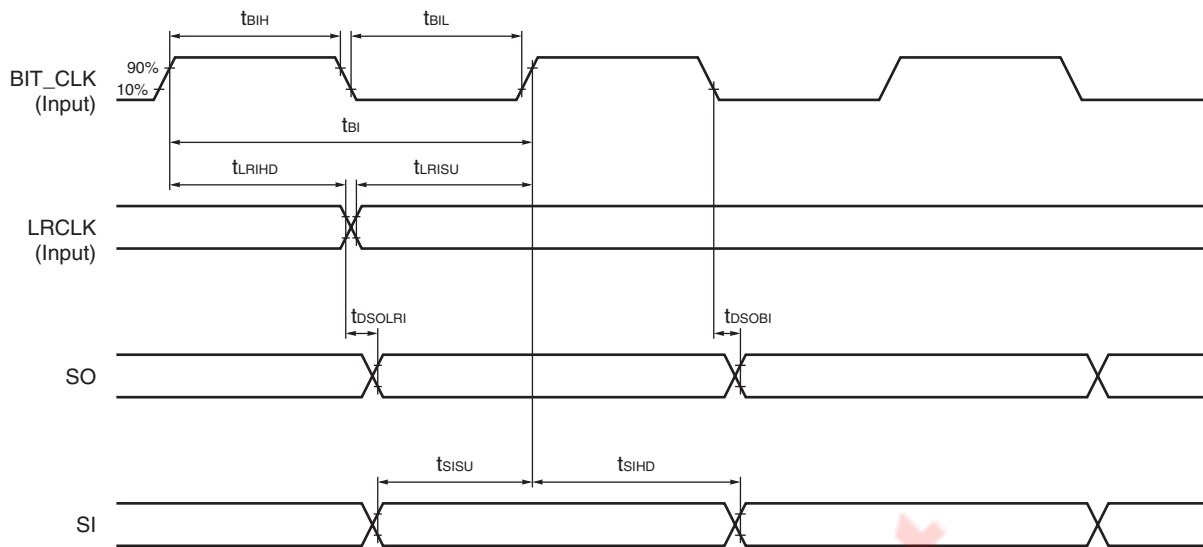


## (3) シリアル・データ・インタフェース部

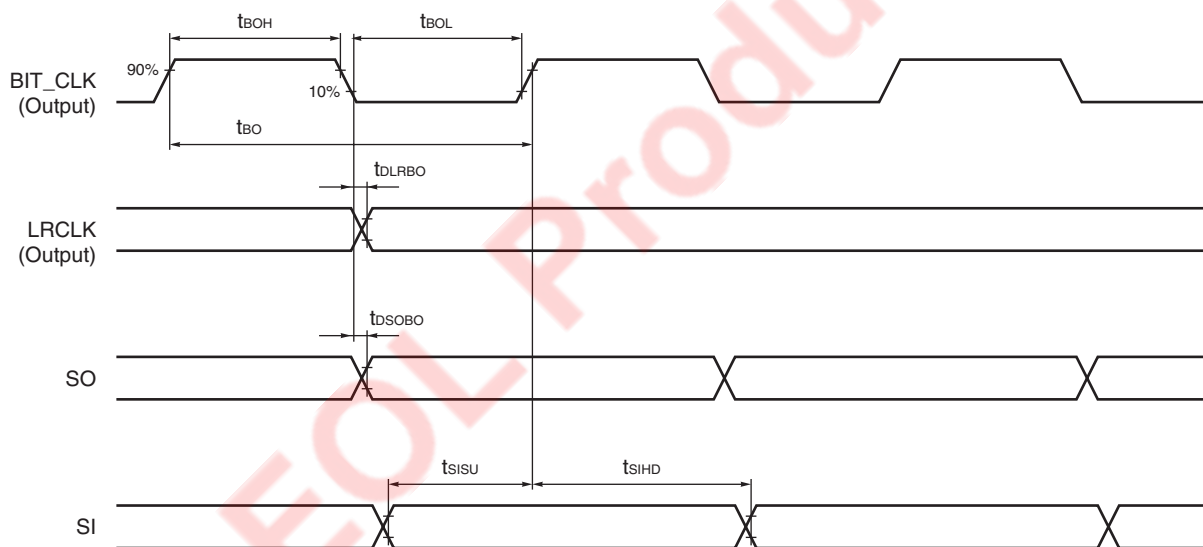
項 目	略 号	条 件	Min.	Typ.	Max.	単 位
BIT_CLK 入力信号周期	t <sub>BI</sub>	BIT_CLK 入力時	325.5	-	-	ns
BIT_CLK 入力信号ハイ・レベル幅	t <sub>BIH</sub>	BIT_CLK 入力時	100	-	-	ns
BIT_CLK 入力信号ロウ・レベル幅	t <sub>BIL</sub>	BIT_CLK 入力時	100	-	-	ns
BIT_CLK 出力信号周期 <sup>注</sup>	t <sub>BO</sub>	BIT_CLK 出力時	325.5	-	-	ns
BIT_CLK 出力信号ハイ・レベル幅	t <sub>BOH</sub>	BIT_CLK 出力時	125	-	-	ns
BIT_CLK 出力信号ロウ・レベル幅	t <sub>BOL</sub>	BIT_CLK 出力時	125	-	-	ns
LRCLK-BITCLK セットアップ時間	t <sub>LRISU</sub>	LRCLK 入力時	50	-	-	ns
LRCLK-BITCLK ホールド時間	t <sub>LRHHD</sub>	LRCLK 入力時	50	-	-	ns
LRCLK-SO 遅延時間 1	t <sub>DSOLRI</sub>	LRCLK 入力時	-	-	70	ns
LRCLK-SO 遅延時間 2	t <sub>DLRBO</sub>	LRCLK 出力時	- 40	-	+ 65	ns
BIT_CLK 立ち下がり-SO 遅延時間 1	t <sub>DSOBI</sub>	BIT_CLK 入力時	-	-	70	ns
BIT_CLK 立ち下がり-SO 遅延時間 2	t <sub>DSOBO</sub>	BIT_CLK 出力時	- 40	-	+ 65	ns
SI セットアップ時間	t <sub>SISU</sub>		50	-	-	ns
SI ホールド時間	t <sub>SIHD</sub>		50	-	-	ns

注 内部の BIT\_CLK 生成回路の構成により、シリアル・データ・フォーマットの 1 フレーム当たりのビット・クロック数を 48 に設定した場合、BIT\_CLK 出力信号デューティ比は一定とならず、マスタ・クロック周期分のばらつきが生じることがあります。

シリアル・データ入出カタイミング (BIT\_CLK, LRCLK 入力)

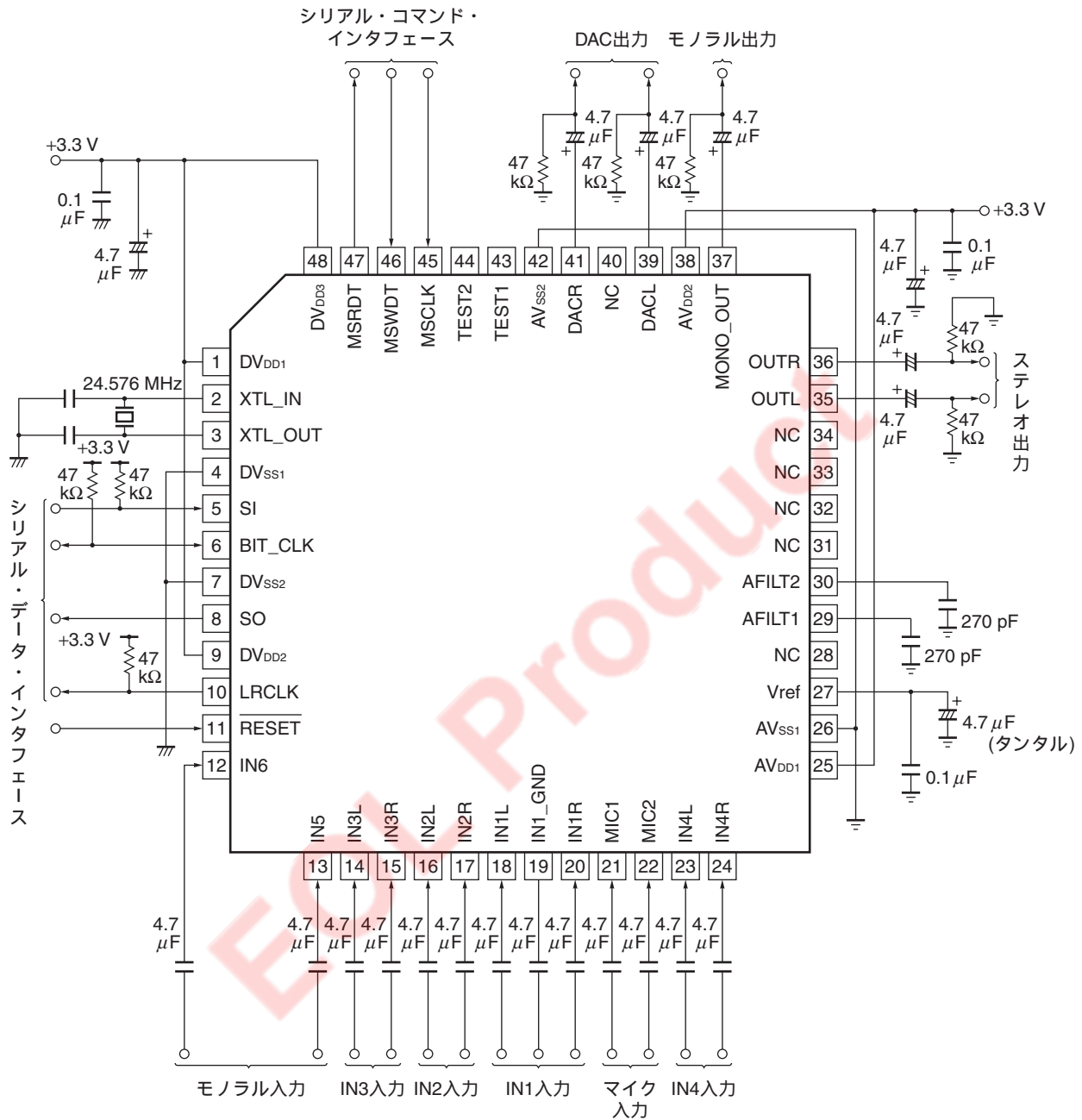


シリアル・データ出カタイミング (BIT\_CLK, LRCLK 出力)



4. 応用回路例

図 4 - 1 応用回路例

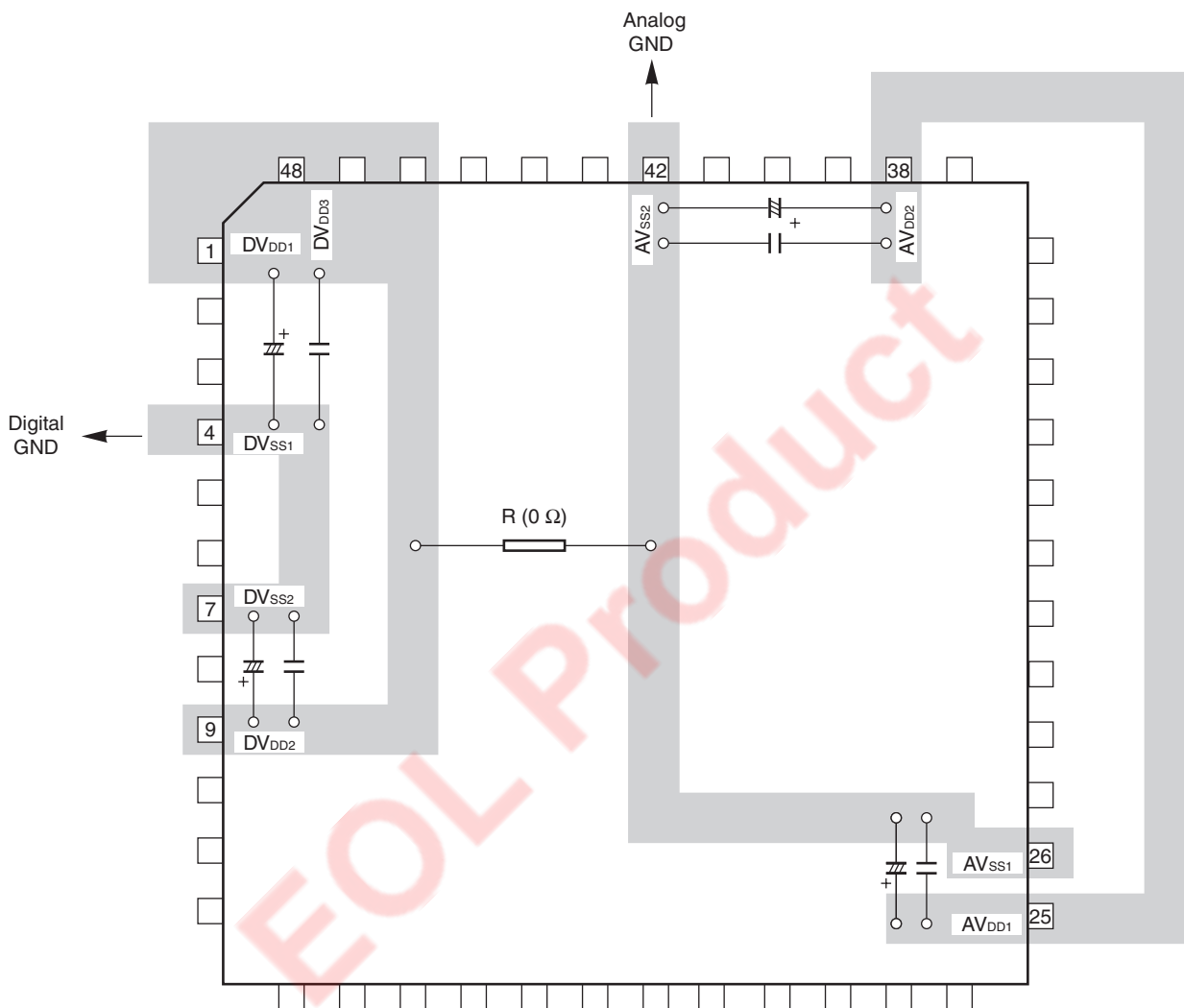


備考 ⊥ : アナログ・グラウンド  
 ⊥ : デジタル・グラウンド

5. 推奨レイアウト・パターン

基板の電源ライン，GNDラインの引き回しとバイパス・コンデンサの配置は，次の図を参照してください。バイパス・コンデンサは基板裏面を利用するなどして，極力端子の近くにレイアウトすることを推奨します。

図 5 - 1 推奨レイアウト・パターン

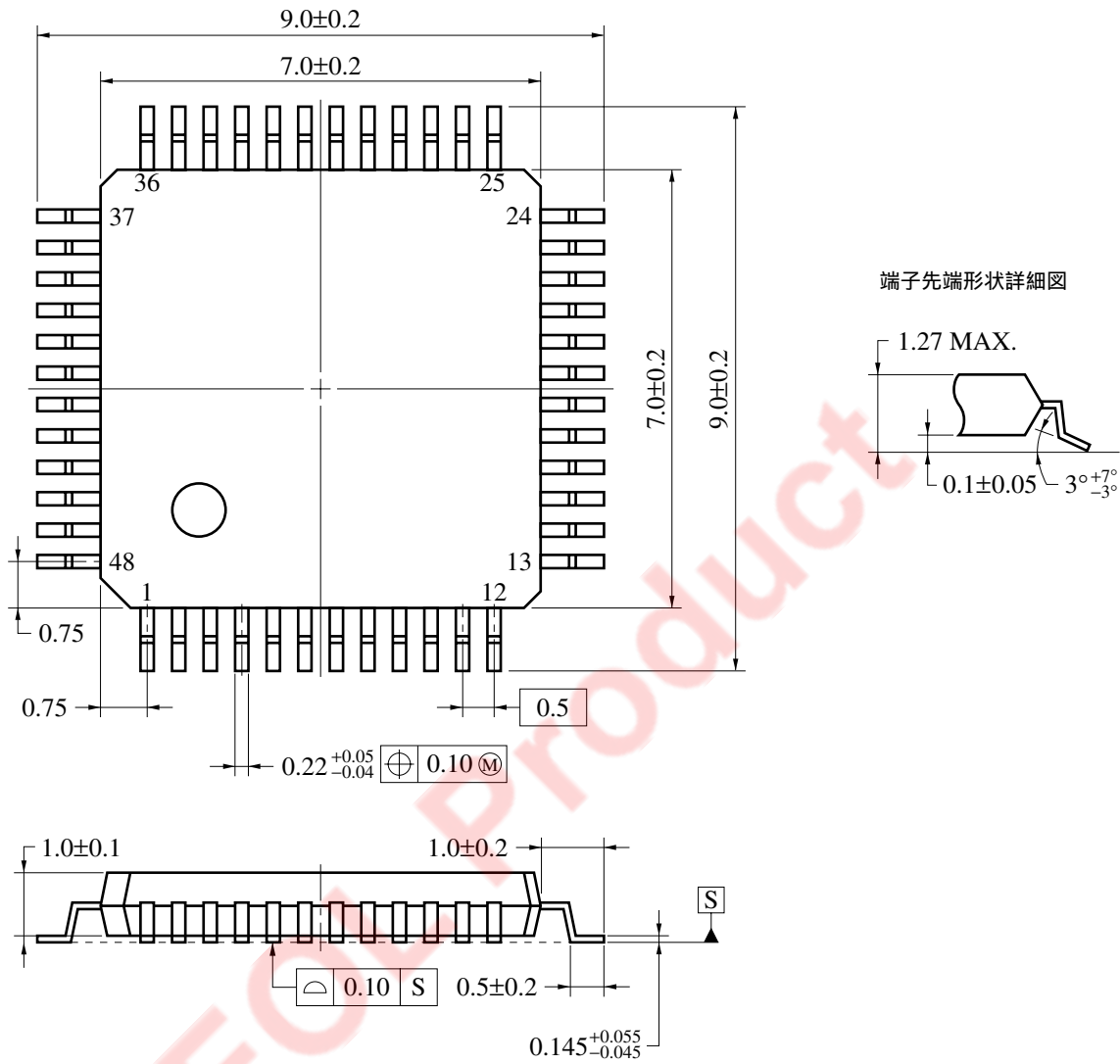


注意 R (0 Ω) : アナログGNDとデジタルGNDはコーデックの真下あるいはコーデックの付近に1点で接続してください。

備考  $\text{ZZ}^+$  (4.7 μF) : タンタル・コンデンサ  
 $\text{||}^+$  (0.1 μF) : チップ・セラミック・コンデンサ

6. 外形図

48ピン・プラスチック TQFP (ファインピッチ)(7x7) 外形図 (単位 : mm)



S48GA-50-9EU-2

7. 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」(<http://www.ic.nec.co.jp/pkg/ja/jissou/index.html>)

表7 - 1 表面実装タイプの半田付け推奨条件

• μPD63335GA-9EU : 48 ピン・プラスチック TQFP (ファインピッチ) (7×7)

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃，時間：30秒以内（210℃以上），回数：3回以内， 制限日数 <sup>注</sup> ：3日間（以降は125℃プリベーク10時間必要） <b>&lt; 留意事項 &gt;</b> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR35-103-3
VSP	パッケージ・ピーク温度：215℃，時間：40秒以内（200℃以上），回数：3回以内， 制限日数 <sup>注</sup> ：3日間（以降は125℃プリベーク10時間必要） <b>&lt; 留意事項 &gt;</b> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	VP15-103-3
端子部分加熱	端子温度：300℃以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライパック開封後の保管日数で，保管条件は25℃，65% RH 以下。

注意 半田付け方式の併用は避けください（ただし，端子部分加熱方式は除く）。



## CMOSデバイスの一般的注意事項

### 静電気対策（MOS全般）

**注意** MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOS デバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NEC が出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

### 未使用入力の処理（CMOS特有）

**注意** CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して $V_{DD}$ またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

### 初期化以前の状態（MOS全般）

**注意** 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

- ・本資料の内容は予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。
  - ・文書による当社の承諾なしに本資料の転載複製を禁じます。
  - ・本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
  - ・本資料に記載された回路、ソフトウェア、及びこれらに付随する情報は、半導体製品の動作例、応用例を説明するためのものです。従って、これら回路・ソフトウェア・情報をお客様の機器に使用される場合には、お客様の責任において機器設計をしてください。これらの使用に起因するお客様もしくは第三者の損害に対して、当社は一切その責を負いません。
  - ・当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
  - ・当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。
    - 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
    - 特別水準：輸送機器（自動車、列車、船舶等）、交通信号機器、防災／防犯装置、各種安全装置、生命維持を直接の目的としない医療機器
    - 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
- 当社製品のデータ・シート／データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

M7 98.8

## — お問い合わせ先 —

### 【技術的なお問い合わせ先】

NEC半導体テクニカルホットライン  
（電話：午前 9:00～12:00、午後 1:00～5:00）

電話 : 044-435-9494  
FAX : 044-435-9608  
E-mail : info@lsi.nec.co.jp

### 【営業関係お問い合わせ先】

第一販売事業部  
東京 (03)3798-6106, 6107, 6108  
大阪 (06)6945-3178, 3200, 3208, 3212  
広島 (082)242-5504  
仙台 (022)267-8740

第二販売事業部  
東京 (03)3798-6110, 6111, 6112  
立川 (042)526-5981, 6167  
松本 (0263)35-1662  
静岡 (054)254-4794  
金沢 (076)232-7303  
松山 (089)945-4149

第三販売事業部  
東京 (03)3798-6151, 6155, 6586, 1622, 1623, 6156  
水戸 (029)226-1702  
前橋 (027)243-6060  
鳥取 (0857)27-5313  
名古屋 (052)222-2170, 2190  
福岡 (092)261-2806

### 【資料の請求先】

上記営業関係お問い合わせ先またはNEC特約店へお申しつけください。

### 【NECエレクトロニクス デバイス ホームページ】

NECエレクトロニクスデバイスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.ic.nec.co.jp/>