

お客様各位

カタログ等資料中の旧社名の扱いについて

2010 年 4 月 1 日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010 年 4 月 1 日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。



AC'97 サウンド・コーデック

μPD63315 は、AC'97 Rev2.1 準拠のサウンド・コーデックです。最大信号帯域 20 kHz の音響アナログ信号とデジタル信号との相互変換を行う 18 ビット ADC と DAC とを各 2 チャンネル搭載し、全二重での通信を可能とします。

アナログ信号入力部 LINE, CD, VIDEO, AUX の 4 系統のステレオ信号入力と, PHONE, PC_BEEP, MIC(2 系統選択) と 3 系統のモノラル信号入力が可能です。

アナログ信号出力部では、LINE_OUT, LNLVL_OUT, MONO_OUT と 3 系統の出力端子を持ち、それぞれが独立してボリューム制御可能です。

サンプル・レート・コンバージョン (SRC), EAPD, パワー・マネージメントにも対応しています。

特 徴

- AC'97 Rev2.1 準拠
- オーバースAMPLEΔΣ型 ADC/DAC を 2 チャンネル分搭載
 - ・ ADC SNR = 85 dB Typ.
 - ・ DAC SNR = 90 dB Typ.
- マルチプル・コーデック対応
- サンプル・レート・コンバージョン (SRC) 対応
- パワー・マネージメント対応
- EAPD (External Amplifier Power Down) 対応
- 低電源電圧動作: DV_{DD} = 3.3 V, AV_{DD} = 3.3 V
- 動作周囲温度: - 40 ~ + 85

応用分野

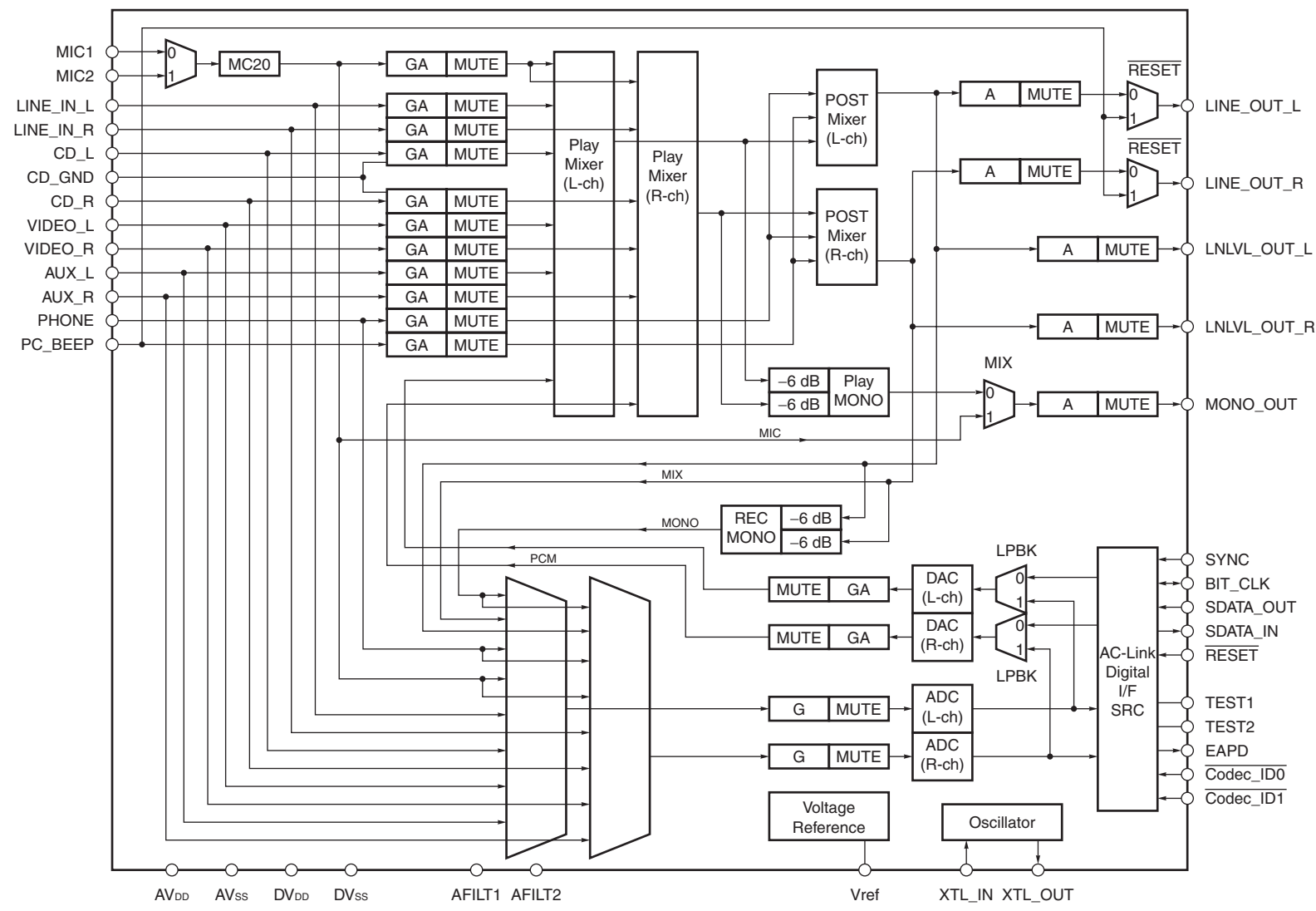
- ・ PC 向けサウンド・システム
- ・ 携帯情報機器

オーダ情報

オーダ名称	パッケージ
μPD63315GA-9EU	48 ピン・プラスチック TQFP (ファインピッチ) (7×7)

本資料の内容は、予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。

ブロック図

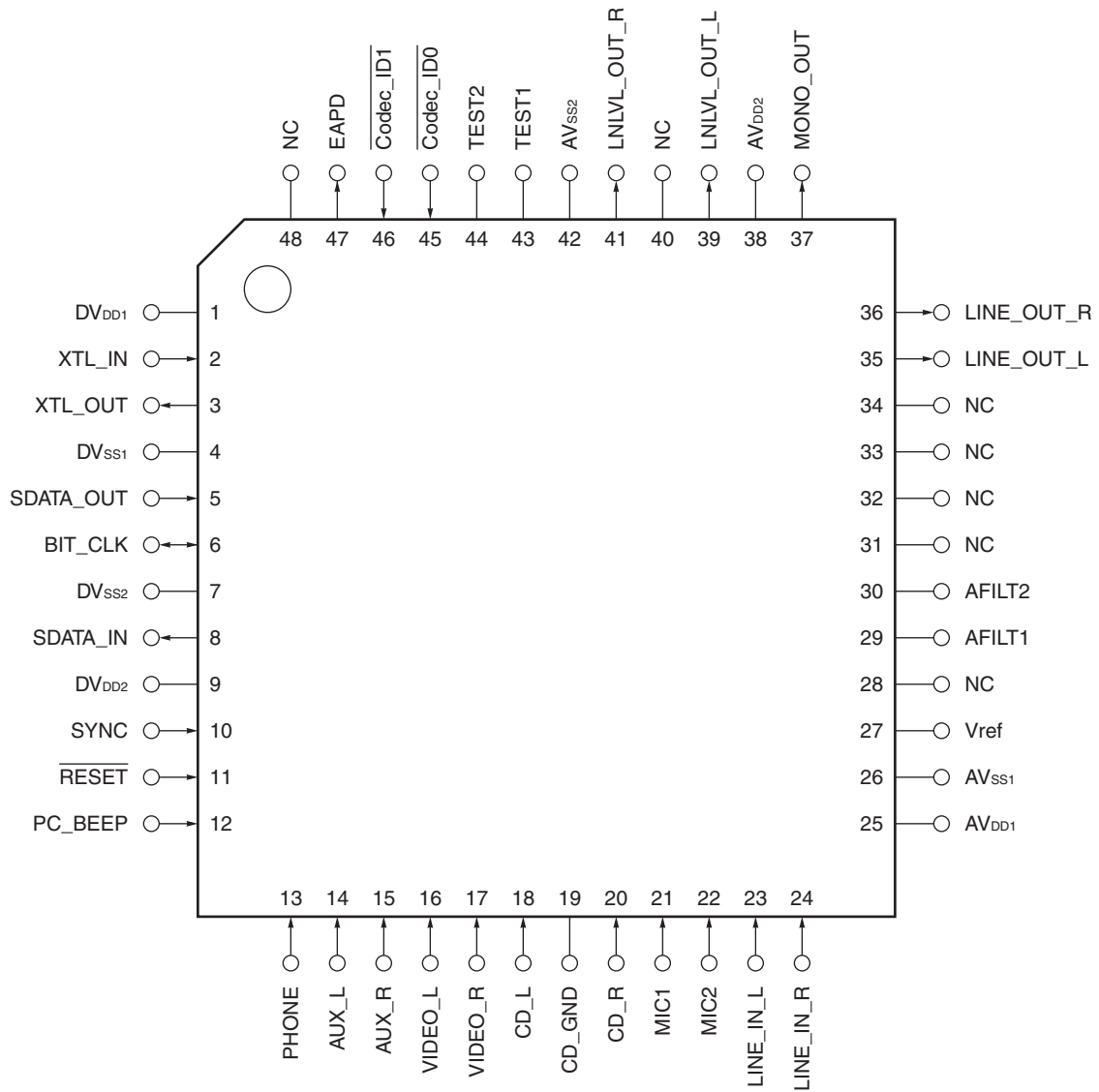


備考 A: Attenuate , G: Gain , GA: Gain or Attenuate

端子接続図 (Top View)

48 ピン・プラスチック TQFP (ファインピッチ)(7×7)

• μPD63315GA-9EU



端子機能説明

(1/2)

端子番号	略 号	入出力	機 能
1	DV _{DD1}	-	デジタル電源
2	XTL_IN	I	水晶振動子接続端子 / 外部クロック入力端子
3	XTL_OUT	O	水晶振動子接続端子。外部クロック使用時はオープンにしてください。
4	DV _{SS1}	-	デジタル・グラウンド
5	SDATA_OUT	I	AC-Link データ入力
6	BIT_CLK	I/O	プライマリ・コーデック時：12.288 MHz シリアル・データ・クロック出力 セカンダリ・コーデック時：シリアル・データ・クロック入力
7	DV _{SS2}	-	デジタル・グラウンド
8	SDATA_IN	O	AC-Link データ出力
9	DV _{DD2}	-	デジタル電源
10	SYNC	I	48 kHz サンプル・クロック入力
11	RESET	I	リセット (アクティブ・ロウ)
12	PC_BEEP	I	PC BEEP モノラル入力
13	PHONE	I	PHONE モノラル入力
14	AUX_L	I	AUX ステレオ入力 L チャンネル
15	AUX_R	I	AUX ステレオ入力 R チャンネル
16	VIDEO_L	I	ビデオ・オーディオ・ステレオ入力 L チャンネル
17	VIDEO_R	I	ビデオ・オーディオ・ステレオ入力 R チャンネル
18	CD_L	I	CD ステレオ入力 L チャンネル
19	CD_GND	-	CD ステレオ入力 グラウンド端子
20	CD_R	I	CD ステレオ入力 R チャンネル
21	MIC1	I	マイク入力 1
22	MIC2	I	マイク入力 2
23	LINE_IN_L	I	ライン入力 L チャンネル
24	LINE_IN_R	I	ライン入力 R チャンネル
25	AV _{DD1}	-	アナログ電源
26	AV _{SS1}	-	アナログ・グラウンド
27	Vref	-	バイパス・コンデンサ接続用基準電圧出力
28	NC	-	未使用端子。オープンにしてください。
29	AFILT1	-	ADC L チャンネル アンチ・エイリアス・フィルタ用端子
30	AFILT2	-	ADC R チャンネル アンチ・エイリアス・フィルタ用端子
31	NC	-	未使用端子。オープンにしてください。
32	NC	-	未使用端子。オープンにしてください。
33	NC	-	未使用端子。オープンにしてください。
34	NC	-	未使用端子。オープンにしてください。
35	LINE_OUT_L	O	ライン出力 L チャンネル
36	LINE_OUT_R	O	ライン出力 R チャンネル
37	MONO_OUT	O	モノラル出力
38	AV _{DD2}	-	アナログ電源

(2/2)

端子番号	略 号	入出力	機 能
39	LNLVL_OUT_L	O	True Line Level 出力 L チャンネル
40	NC	-	未使用端子。オープンにしてください。
41	LNLVL_OUT_R	O	True Line Level 出力 R チャンネル
42	AVss2	-	アナログ・グランド
43	TEST1	-	IC 選別用テスト端子。オープンにしてください。
44	TEST2	-	IC 選別用テスト端子。オープンにしてください。
45	Codec_ID0	I	コーデック ID0 設定端子
46	Codec_ID1	I	コーデック ID1 設定端子
47	EAPD	O	EAPD 端子
48	NC	-	未使用端子。オープンにしてください。

目 次

1. 機能説明	...	8	
1.1	AC'97 デジタル・コントローラとの接続	...	8
1.2	アナログ入力部	...	8
1.3	アナログ出力部	...	8
1.4	クロック	...	8
1.5	リセット	...	8
1.5.1	Cold リセット	...	8
1.5.2	Warm リセット	...	9
1.5.3	Register リセット	...	9
1.6	ノイズ低減用コンデンサ接続端子	...	9
1.7	コーデック ID	...	10
1.8	使用上の注意	...	12
1.8.1	未使用アナログ入力端子の処置	...	12
1.8.2	電源投入時	...	12
2. レジスタ説明	...	13	
2.1	各レジスタの説明	...	14
2.1.1	リセット・レジスタ (00h)	...	14
2.1.2	Play Master Volume レジスタ (02h)	...	14
2.1.3	LNLVL Volume レジスタ (04h)	...	15
2.1.4	Master Mono Volume レジスタ (06h)	...	16
2.1.5	PC Beep Volume レジスタ (0Ah)	...	17
2.1.6	Phone Volume レジスタ (0Ch)	...	18
2.1.7	MIC Volume レジスタ (0Eh)	...	19
2.1.8	LINE Volume レジスタ (10h)	...	20
2.1.9	CD Volume レジスタ (12h)	...	21
2.1.10	Video Volume レジスタ (14h)	...	22
2.1.11	Aux Volume レジスタ (16h)	...	23
2.1.12	PCM Out Volume レジスタ (18h)	...	24
2.1.13	Record Select レジスタ (1Ah)	...	25
2.1.14	Record Gain レジスタ (1Ch)	...	26
2.1.15	General Purpose レジスタ (20h)	...	27
2.1.16	Power Down Control/Status レジスタ (26h)	...	28
2.1.17	Extended Audio ID レジスタ (28h)	...	30
2.1.18	Extended Audio Control/Status レジスタ (2Ah)	...	31
2.1.19	PCM DAC Rate レジスタ (2Ch)	...	31
2.1.20	PCM ADC Rate レジスタ (32h)	...	32
2.1.21	Vendor ID レジスタ (7Ch, 7Eh)	...	32
3. 電気的特性	...	33	

- 4. 応用回路例 ... 39
- 5. 外形図 ... 40
- 6. 半田付け推奨条件 ... 41

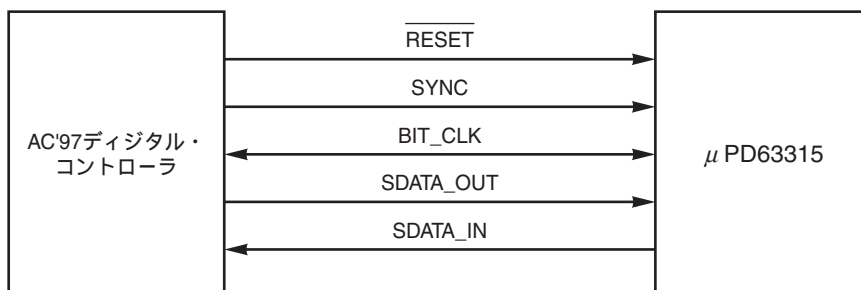
1. 機能説明

1.1 AC'97 デジタル・コントローラとの接続

μPD63315 は、外部 AC'97 デジタル・コントローラと AC-Link によって接続されます（図 1 - 1 参照）。

AC-Link の詳細は、AC'97 Revision2.1 を参照してください。

図 1 - 1 AC'97 デジタル・コントローラとの接続例



1.2 アナログ入力部

μPD63315 は、ステレオ 4 系統（LINE, CD, VIDEO, AUX）、モノラル 2 系統（PHONE, PC_BEEP）、1 系統のマイク入力信号（2 入力端子から選択）を入力することが可能です。

1.3 アナログ出力部

μPD63315 の出力端子は、2 系統のステレオ出力（LINE_OUT, LNLVL_OUT）、モノラル出力 1 系統（MONO_OUT）に対応しています。

1.4 クロック

μPD63315 は、内部にクロック・ジェネレータを内蔵しています。24.576 MHz の水晶振動子またはセラミック発振子を XTL_IN 端子、XTL_OUT 端子に接続することにより、μPD63315 の内部マスタ・クロックを生成できます。

また、外部クロックを発振回路に直接入力することも可能です。この場合、XTL_IN 端子にクロック信号を直接入力し、XTL_OUT 端子はオープンとしてください。

1.5 リセット

μPD63315 は 3 種類のリセット・モードに対応しています。Cold リセット、Warm リセットは外部端子から Register リセットはレジスタへの書き込みにより制御します。

1.5.1 Cold リセット

Cold リセットはレジスタを含む μPD63315 すべての内部ブロックをリセットします。レジスタは初期値に設定されます。Cold リセットは、RESET 端子をロウ・レベルにすることにより実行されます。RESET 端子にロウ・レベルを入力している間、SDATA_OUT 端子、SYNC 端子をロウ・レベルにしてください。また、この期間では LINE_OUT_L 端子、LINE_OUT_R 端子以外のアナログ出力端子は Hi-Z の状態になり、LINE_OUT_L 端子、LINE_OUT_R 端子からは、PC_BEEP 端子の入力が直接出力されます。

μPD63315 内部のアナログ・ブロックは、RESET 端子の立ち上がり後に初期化を開始します。マルチコーデック構成時には、AC-Link に接続されたすべての μPD63315 を同時に Cold リセットしてください。

1.5.2 Warm リセット

Warm リセットは、AC-Link インタフェースをリセットします。Warm リセットは、SYNC 信号を一定時間ハイ・レベルにすることにより実行されます。

Warm リセットを実行した場合、Power Down Control/Status レジスタ (26h) の PR4 ビット、PR5 ビットが 0 に設定されます。それ以外のレジスタ値は保持されます。

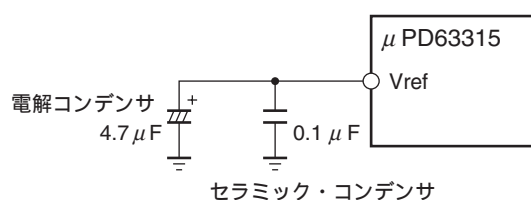
1.5.3 Register リセット

Power Down Control/Status レジスタ (26h) を除くすべてのレジスタを初期値に戻します。

1.6 ノイズ低減用コンデンサ接続端子

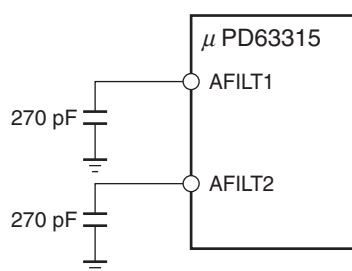
Vref 端子 (27 ピン) は、バイパス・コンデンサ接続用の基準電圧接続端子です。ノイズ低減のためバイパス・コンデンサを図 1-2 のように接続してください。

図 1-2 バイパス・コンデンサ接続例



AFILT1 端子 (29 ピン)、AFILT2 端子 (30 ピン) は ADC のアンチ・エイリアス・フィルタ用コンデンサ接続端子です。ノイズ低減のためコンデンサを図 1-3 のように接続してください。

図 1-3 アンチ・エイリアス・フィルタ用コンデンサ接続例



1.7 コーデック ID

μPD63315 は、マルチプル・コーデックとして使用するためのコーデック ID に対応しています。コーデック ID は、Codec_ID0端子（45 ピン）とCodec_ID1端子（46 ピン）で設定します。Codec_ID0端子、Codec_ID1端子は内部でプルアップされています。コーデック ID は表 1 - 1に示すように、端子の状態を反転させた値に設定されます。すなわち、プライマリに設定するためには、Codec_ID0端子、Codec_ID1端子をそれぞれオープン状態にするか、または V_{DD} に接続してください。Codec_ID0端子、Codec_ID1端子は電源投入時に、その値が固定されている必要があります。

表 1 - 1 μPD63315 コーデック ID 設定

Codec_ID1端子（46 ピン）	Codec_ID0端子（45 ピン）	コーデック ID	設 定
オープンまたは V _{DD}	オープンまたは V _{DD}	00	プライマリ
オープンまたは V _{DD}	GND	01	セカンダリ
GND	オープンまたは V _{DD}	10	セカンダリ
GND	GND	11	セカンダリ

設定されたコーデック ID により、AC-Link のフレーム構成は、表 1 - 2～表 1 - 4のようになります。Slot 0 には、現フレームのどのスロットが有効（Valid）／無効（Invalid）かを示す TAG 情報が格納されます。

表 1 - 2 コーデック ID = 00（プライマリ）、コーデック ID = 01（セカンダリ）時のフレーム構成

Slot 番号	ビット長	SDATA_OUT	SDATA_IN
Slot 0	16	TAG	TAG
Slot 1	20	8-bit Command Address	8-bit Status Address
Slot 2	20	16-bit Command Data	16-bit Status Data
Slot 3	20	18-bit DAC Input Left	18-bit ADC Output Left
Slot 4	20	18-bit DAC Input Right	18-bit ADC Output Right
Slot 5	20	Invalid	Invalid
Slot 6	20	Invalid	Invalid
Slot 7	20	Invalid	Invalid
Slot 8	20	Invalid	Invalid
Slot 9	20	Invalid	Invalid
Slot 10	20	Invalid	Invalid
Slot 11	20	Invalid	Invalid
Slot 12	20	Invalid	Invalid

表 1 - 3 コーデック ID = 10 (セカンダリ) 時のフレーム構成

Slot 番号	ビット長	SDATA_OUT	SDATA_IN
Slot 0	16	TAG	TAG
Slot 1	20	8-bit Command Address	8-bit Status Address
Slot 2	20	16-bit Command Data	16-bit Status Data
Slot 3	20	Invalid	18-bit ADC Output Left
Slot 4	20	Invalid	18-bit ADC Output Right
Slot 5	20	Invalid	Invalid
Slot 6	20	Invalid	Invalid
Slot 7	20	18-bit DAC Input Left	Invalid
Slot 8	20	18-bit DAC Input Right	Invalid
Slot 9	20	Invalid	Invalid
Slot 10	20	Invalid	Invalid
Slot 11	20	Invalid	Invalid
Slot 12	20	Invalid	Invalid

表 1 - 4 コーデック ID = 11 (セカンダリ) 時のフレーム構成

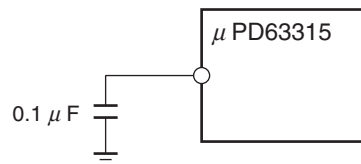
Slot 番号	ビット長	SDATA_OUT	SDATA_IN
Slot 0	16	TAG	TAG
Slot 1	20	8-bit Command Address	8-bit Status Address
Slot 2	20	16-bit Command Data	16-bit Status Data
Slot 3	20	Invalid	18-bit ADC Output Left
Slot 4	20	Invalid	18-bit ADC Output Right
Slot 5	20	Invalid	Invalid
Slot 6	20	18-bit DAC Input Left	Invalid
Slot 7	20	Invalid	Invalid
Slot 8	20	Invalid	Invalid
Slot 9	20	18-bit DAC Input Right	Invalid
Slot 10	20	Invalid	Invalid
Slot 11	20	Invalid	Invalid
Slot 12	20	Invalid	Invalid

1.8 使用上の注意

1.8.1 未使用アナログ入力端子の処置

アナログ入力端子は、オープン状態でレジスタのミュートが解除されている場合には、内部回路の特性に影響を与える可能性があります。未使用のアナログ端子は、コンデンサを介して接地する（図 1 - 4 参照）とともに、関連するレジスタをミュートに設定してください。

図 1 - 4 アナログ入力未使用端子処置例



1.8.2 電源投入時

μ PD63315 は DV_{DD} , AV_{DD} 投入後、 $\overline{RESET}$ 端子の入力をハイ・レベルにすることで動作を開始します。 $\overline{RESET}$ 端子への入力信号は、必ずマスタ・クロック安定後にハイ・レベルにしてください。

2. レジスタ説明

μPD63315 のレジスタ・マップを表 2 - 1に示します。

表 2 - 1 μPD63315 のレジスタ・マップ

アドレス	名 称	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	初期値
00h	Reset	0	0	0	0	0	0	0	1	0	1	0	1	0	0	0	0	0150h
02h	Play Master Volume	MVM	x	MVL5	MVL4	MVL3	MVL2	MVL1	MVL0	x	x	MVR5	MVR4	MVR3	MVR2	MVR1	MVR0	8000h
04h	LNLVL Volume	LVM	x	LVL5	LVL4	LVL3	LVL2	LVL1	LVL0	x	x	LVR5	LVR4	LVR3	LVR2	LVR1	LVR0	8000h
06h	Master Mono Volume	MMM	x	x	x	x	x	x	x	x	x	MVN5	MVN4	MVN3	MVN2	MVN1	MVN0	8000h
0Ah	PC_BEEP Volume	MPC	x	x	x	x	x	x	x	x	x	x	PCV3	PCV2	PCV1	PCV0	x	0000h
0Ch	Phone Volume	MPH	x	x	x	x	x	x	x	x	x	x	PHV4	PHV3	PHV2	PHV1	PHV0	8008h
0Eh	MIC Volume	MMC	x	x	x	x	x	x	x	x	MC20	x	MCV4	MCV3	MCV2	MCV1	MCV0	8008h
10h	Line Volume	MLV	x	x	LLV4	LLV3	LLV2	LLV1	LLV0	x	x	x	RLV4	RLV3	RLV2	RLV1	RLV0	8808h
12h	CD Volume	MCD	x	x	LCV4	LCV3	LCV2	LCV1	LCV0	x	x	x	RCV4	RCV3	RCV2	RCV1	RCV0	8808h
14h	Video Volume	MVV	x	x	LVV4	LVV3	LVV2	LVV1	LVV0	x	x	x	RVV4	RVV3	RVV2	RVV1	RVV0	8808h
16h	Aux Volume	MAV	x	x	LAV4	LAV3	LAV2	LAV1	LAV0	x	x	x	RAV4	RAV3	RAV2	RAV1	RAV0	8808h
18h	PCM Out Volume	MPO	x	x	LPO4	LPO3	LPO2	LPO1	LPO0	x	x	x	RPO4	RPO3	RPO2	RPO1	RPO0	8808h
1Ah	Record Select	x	x	x	x	x	SL2	SL1	SL0	x	x	x	x	x	SR2	SR1	SR0	0000h
1Ch	Record Gain	MRG	x	x	x	LRG3	LRG2	LRG1	LRG0	x	x	x	x	RRG3	RRG2	RRG1	RRG0	8000h
20h	General Purpose	0	x	x	x	x	x	MIX	MS	LPBK	x	x	x	x	x	x	x	0000h
26h	Power Down Control/Status	EAPD	PR6	PR5	PR4	PR3	PR2	PR1	PR0	x	x	x	x	REF	ANL	DAC	ADC	000xh
28h	Extended Audio ID	ID1	ID0	x	x	x	x	AMAP	x	x	x	x	x	x	x	x	1	x201h
2Ah	Extended Audio Control/Status	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	VRA	0000h
2Ch	PCM DAC Rate	PDR15	PDR14	PDR13	PDR12	PDR11	PDR10	PDR9	PDR8	PDR7	PDR6	PDR5	PDR4	PDR3	PDR2	PDR1	PDR0	BB80h
32h	PCM ADC Rate	PAR15	PAR14	PAR13	PAR12	PAR11	PAR10	PAR9	PAR8	PAR7	PAR6	PAR5	PAR4	PAR3	PAR2	PAR1	PAR0	BB80h
7Ch	Vendor ID 1	0	1	0	0	1	1	1	0	0	1	0	0	0	1	0	1	4E45h
7Eh	Vendor ID 2	0	1	0	0	0	0	1	1	0	0	0	0	0	0	0	1	4301h

注意 表中に示されていないレジスタ，つまり存在しないレジスタに対してのリード／ライト・アクセスは禁止です。

2.1 各レジスタの説明

2.1.1 リセット・レジスタ (00h)

アドレス	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	初期値
00h	0	0	0	0	0	0	0	1	0	1	0	1	0	0	0	0	0150h

このレジスタに書き込みを行った場合、Power Down Control/Status レジスタ (26h) 以外のレジスタを初期値に戻します。読み出しを行った場合、初期値を返します。

2.1.2 Play Master Volume レジスタ (02h)

アドレス	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	初期値
02h	MVM	x	MVL5	MVL4	MVL3	MVL2	MVL1	MVL0	x	x	MVR5	MVR4	MVR3	MVR2	MVR1	MVR0	8000h

このレジスタは、LINE_OUT_L/LINE_OUT_R のマスタ・ボリューム設定レジスタです。次にビットとゲインの関係を示します。ステップは 1.5 dB, 0 dB ~ - 46.5 dB の範囲で設定可能です。ミュートは L チャンネル / R チャンネルが同時に設定されます。

初期値は 8000h (ゲイン : 0 dB, ミュート : ON) です。

- ・ MVM : Play Master Volume L チャンネル / Play Master Volume R チャンネル・ミュート制御ビット
- ・ MVL [5:0] : Play Master Volume L チャンネル・ゲイン制御ビット
- ・ MVR [5:0] : Play Master Volume R チャンネル・ゲイン制御ビット

MVL [5:0]/MVR [5:0]に“1xxxxx”を書き込んだ場合、内部レジスタには“011111”として書き込まれ、ゲイン設定は - 46.5 dB となります。そのあと、このレジスタの値を読み込むと、“011111”が返されます。

表 2 - 2 Play Master Volume レジスタ (02h) のビットとゲイン設定の関係

MVM	MVL [5:0]/MVR [5:0]	ゲイン
0	00 0000	0 dB
0	00 0001	- 1.5 dB
⋮	⋮	⋮
0	00 1110	- 45.0 dB
0	00 1111	- 46.5 dB
0	1x xxxx	- 46.5 dB
1	xx xxxx	ミュート
1	00 0000	初期設定

2. 1. 3 LNLVL Volume レジスタ (04h)

アドレス	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	初期値
04h	LVM	x	LVL5	LVL4	LVL3	LVL2	LVL1	LVL0	x	x	LVR5	LVR4	LVR3	LVR2	LVR1	LVR0	8000h

このレジスタは、LNLVL (True Line Level Out) 出力のボリューム設定レジスタです。次にビットとゲインの関係を示します。ステップは 1.5 dB , 0 dB ~ - 46.5 dB の範囲で設定可能です。ミュートは L チャンネル / R チャンネルが同時に設定されます。

初期値は 8000h (ゲイン : 0 dB , ミュート : ON) です。

- ・ LVM : LNLVL Volume L チャンネル / LNLVL Volume R チャンネル・ミュート制御ビット
- ・ LVL [5:0] : LNLVL Volume L チャンネル・ゲイン制御ビット
- ・ LVR [5:0] : LNLVL Volume R チャンネル・ゲイン制御ビット

LVL [5:0]/LVR [5:0]に“1xxxx”を書き込んだ場合、内部レジスタには“011111”として書き込まれ、ゲイン設定は - 46.5 dB となります。そのあと、このレジスタの値を読み込むと、“011111”が返されます。

表 2 - 3 LNLVL Volume レジスタ (04h) のビットとゲイン設定の関係

LVM	LVL [5:0]/LVR [5:0]	ゲイン
0	00 0000	0 dB
0	00 0001	- 1.5 dB
⋮	⋮	⋮
0	00 1110	- 45.0 dB
0	00 1111	- 46.5 dB
0	1x xxxx	- 46.5 dB
1	xx xxxx	ミュート
1	00 0000	初期設定

2. 1. 4 Master Mono Volume レジスタ (06h)

アドレス	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	初期値
06h	MMM	x	x	x	x	x	x	x	x	x	MVN5	MVN4	MVN3	MVN2	MVN1	MVN0	8000h

このレジスタは、MONO_OUT 出力のマスタ・ボリューム設定レジスタです。次にビットとゲインの関係を示します。ステップは 1.5 dB, 0 dB ~ - 46.5 dB の範囲で設定可能です。ミュートは L チャンネル / R チャンネルが同時に設定されます。

初期値は 8000h (ゲイン : 0 dB, ミュート : ON) です。

- ・ MMM : Monaural (Mono) Master Volume ミュート制御ビット
- ・ MVN [5:0] : Monaural (Mono) Master Volume ゲイン制御ビット

MVN [5:0]に“1xxxx”を書き込んだ場合、内部レジスタには“011111”として書き込まれ、ゲイン設定は - 46.5 dB となります。そのあと、このレジスタの値を読み込むと、“011111”が返されます。

表 2 - 4 Master Mono Volume レジスタ (06h) のビットとゲイン設定の関係

MMM	MVN [5:0]	ゲイン
0	00 0000	0 dB
0	00 0001	- 1.5 dB
⋮	⋮	⋮
0	00 1110	- 45.0 dB
0	00 1111	- 46.5 dB
0	1x xxxx	- 46.5 dB
1	xx xxxx	ミュート
1	00 0000	初期設定

2. 1. 5 PC Beep Volume レジスタ (0Ah)

アドレス	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	初期値
0Ah	MPC	x	x	x	x	x	x	x	x	x	x	PCV3	PCV2	PCV1	PCV0	x	0000h

このレジスタは、PC_BEEP ミキサ入力のボリューム設定レジスタです。次にビットとゲインの関係を示します。
ステップは 3.0 dB、0 dB ~ - 45 dB の範囲で設定可能です。

初期値は 0000h (ゲイン : 0 dB, ミュート : OFF) です。

- ・ MPC : PC_BEEP ミュート制御ビット
- ・ PCV [3:0] : PC_BEEP ゲイン制御ビット

PC_BEEP 入力は、リセット信号がロウ・レベルの間、LINE_OUT_L/LINE_OUT_R 出力に直接接続されます。これは、PC 起動直後の POST (Power On Self Test) 時に発生する警告音などを、μPD63315 が動作していない間にも通知するための機能です。

表 2 - 5 PC Beep Volume レジスタ (0Ah) のビットとゲイン設定の関係

MPC	PCV [3:0]	ゲイン
0	0000	0 dB
0	0001	- 3.0 dB
⋮	⋮	⋮
0	1110	- 42.0 dB
0	1111	- 45.0 dB
1	xxxx	ミュート
0	0000	初期設定

2. 1. 6 Phone Volume レジスタ (0Ch)

アドレス	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	初期値
0Ch	MPH	x	x	x	x	x	x	x	x	x	x	PHV4	PHV3	PHV2	PHV1	PHV0	8008h

このレジスタは、PHONE ミキサ入力のボリューム設定レジスタです。次にビットとゲインの関係を示します。ステップは 1.5 dB、+ 12.0 dB ~ - 34.5 dB の範囲で設定可能です。

初期値は 8008h (ゲイン : 0 dB、ミュート : OFF) です。

- ・ MPH : PHONE ミュート制御ビット
- ・ PHV [4:0] : PHONE ゲイン制御ビット

表 2 - 6 Phone Volume レジスタ (0Ch) のビットとゲイン設定の関係

MPH	PHV [4:0]	ゲイン
0	0 0000	+ 12.0 dB
0	0 0001	+ 10.5 dB
⋮	⋮	⋮
0	0 1000	0 dB
⋮	⋮	⋮
0	1 1110	- 33.0 dB
0	1 1111	- 34.5 dB
1	x xxxx	ミュート
1	0 1000	初期設定

2. 1. 7 MIC Volume レジスタ (0Eh)

アドレス	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	初期値
0Eh	MMC	x	x	x	x	x	x	x	x	MC20	x	MCV4	MCV3	MCV2	MCV1	MCV0	8008h

このレジスタは、マイク・ミキサ入力のボリューム設定および 20 dB ゲイン設定を行うレジスタです。次にビットとゲインの関係を示します。ステップは 1.5 dB、+ 12.0 dB ~ - 34.5 dB の範囲で設定可能です。

初期値は 8008h (ゲイン : 0 dB, ミュート : ON) です。

- ・ MMC : MIC ミュート制御ビット
- ・ MC20 : MIC 20 dB ゲイン ON/OFF 設定
- ・ MCV [4:0] : MIC ゲイン制御ビット

表 2 - 7 MC20 ビットでのゲイン設定

MC20	ゲイン設定
0	20 dB ゲイン・オフ (0 dB)
1	20 dB ゲイン・オン (20 dB)

表 2 - 8 MIC Volume レジスタ (0Eh) のビットとゲイン設定の関係

MMC	MCV [4:0]	ゲイン
0	0 0000	+ 12.0 dB
0	0 0001	+ 10.5 dB
⋮	⋮	⋮
0	0 1000	0 dB
⋮	⋮	⋮
0	1 1110	- 33.0 dB
0	1 1111	- 34.5 dB
1	x xxxx	ミュート
1	0 1000	初期設定

2. 1. 8 LINE Volume レジスタ (10h)

アドレス	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	初期値
10h	MLV	x	x	LLV4	LLV3	LLV2	LLV1	LLV0	x	x	x	RLV4	RLV3	RLV2	RLV1	RLV0	8808h

このレジスタは、LINE_L/LINE_R ミキサ入力のリバリューム設定レジスタです。次にビットとゲインの関係を示します。ステップは 1.5 dB、+ 12.0 dB ~ - 34.5 dB の範囲で設定可能です。

初期値は 8808h (ゲイン : 0 dB, ミュート : ON) です。

- ・ MLV : Line Volume ミュート制御ビット
- ・ LLV [4:0] : Line Volume L チャンネル・ゲイン制御ビット
- ・ RLV [4:0] : Line Volume R チャンネル・ゲイン制御ビット

表 2 - 9 LINE Volume レジスタ (10h) のビットとゲイン設定の関係

MLV	LLV [4:0]/RLV [4:0]	ゲイン
0	0 0000	+ 12.0 dB
0	0 0001	+ 10.5 dB
⋮	⋮	⋮
0	0 1000	0 dB
⋮	⋮	⋮
0	1 1110	- 33.0 dB
0	1 1111	- 34.5 dB
1	x xxxx	ミュート
1	0 1000	初期設定

2. 1. 9 CD Volume レジスタ (12h)

アドレス	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	初期値
12h	MCD	x	x	LCV4	LCV3	LCV2	LCV1	LCV0	x	x	x	RCV4	RCV3	RCV2	RCV1	RCV0	8808h

このレジスタは、CD_L/CD_R ミキサ入力のボリューム設定レジスタです。次にビットとゲインの関係を示します。
ステップは 1.5 dB、+ 12.0 dB ~ - 34.5 dB の範囲で設定可能です。

初期値は 8808h (ゲイン : 0 dB, ミュート : ON) です。

- ・ MCD : CD Volume ミュート制御ビット
- ・ LCV [4:0] : CD Volume L チャンネル・ゲイン制御ビット
- ・ RCV [4:0] : CD Volume R チャンネル・ゲイン制御ビット

表 2 - 10 CD Volume レジスタ (12h) のビットとゲイン設定の関係

MCD	LCV [4:0]/RCV [4:0]	ゲイン
0	0 0000	+ 12.0 dB
0	0 0001	+ 10.5 dB
⋮	⋮	⋮
0	0 1000	0 dB
⋮	⋮	⋮
0	1 1110	- 33.0 dB
0	1 1111	- 34.5 dB
1	x xxxx	ミュート
1	0 1000	初期設定

2. 1. 10 Video Volume レジスタ (14h)

アドレス	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	初期値
14h	MVV	x	x	LVV4	LVV3	LVV2	LVV1	LVV0	x	x	x	RVV4	RVV3	RVV2	RVV1	RVV0	8808h

このレジスタは、VIDEO_L/VIDEO_R ミキサ入力のボリューム設定レジスタです。次にビットとゲインの関係を示します。ステップは 1.5 dB、+ 12.0 dB ~ - 34.5 dB の範囲で設定可能です。

初期値は 8808h (ゲイン : 0 dB, ミュート : ON) です。

- ・ MVV : Video Volume ミュート制御ビット
- ・ LVV [4:0] : Video Volume L チャンネル・ゲイン制御ビット
- ・ RVV [4:0] : Video Volume R チャンネル・ゲイン制御ビット

表 2 - 11 Video Volume レジスタ (14h) のビットとゲイン設定の関係

MVV	LVV [4:0]/RVV [4:0]	ゲイン
0	0 0000	+ 12.0 dB
0	0 0001	+ 10.5 dB
⋮	⋮	⋮
0	0 1000	0 dB
⋮	⋮	⋮
0	1 1110	- 33.0 dB
0	1 1111	- 34.5 dB
1	x xxxx	ミュート
1	0 1000	初期設定

2. 1. 11 Aux Volume レジスタ (16h)

アドレス	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	初期値
16h	MAV	x	x	LAV4	LAV3	LAV2	LAV1	LAV0	x	x	x	RAV4	RAV3	RAV2	RAV1	RAV0	8808h

このレジスタは、AUX_L/AUX_R ミキサ入力のパリューム設定レジスタです。次にビットとゲインの関係を示します。ステップは 1.5 dB、+ 12.0 dB ~ - 34.5 dB の範囲で設定可能です。

初期値は 8808h (ゲイン : 0 dB, ミュート : ON) です。

- ・ MAV : Aux Volume ミュート制御ビット
- ・ LAV [4:0] : Aux Volume L チャンネル・ゲイン制御ビット
- ・ RAV [4:0] : Aux Volume R チャンネル・ゲイン制御ビット

表 2 - 12 Aux Volume レジスタ (16h) のビットとゲイン設定の関係

MAV	LAV [4:0]/RAV [4:0]	ゲイン
0	0 0000	+ 12.0 dB
0	0 0001	+ 10.5 dB
⋮	⋮	⋮
0	0 1000	0 dB
⋮	⋮	⋮
0	1 1110	- 33.0 dB
0	1 1111	- 34.5 dB
1	x xxxx	ミュート
1	0 1000	初期設定

2. 1. 12 PCM Out Volume レジスタ (18h)

アドレス	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	初期値
18h	MPO	x	x	LPO4	LPO3	LPO2	LPO1	LPO0	x	x	x	RPO4	RPO3	RPO2	RPO1	RPO0	8808h

このレジスタは、PCM Out 出力のボリューム設定レジスタです。次にビットとゲインの関係を示します。ステップは 1.5 dB、+ 12.0 dB ~ - 34.5 dB の範囲で設定可能です。

初期値は 8808h (ゲイン : 0 dB, ミュート : ON) です。

- ・ MPO : PCM Out Volume ミュート制御ビット
- ・ LPO [4:0] : PCM Out Volume L チャンネル・ゲイン制御ビット
- ・ RPO [4:0] : PCM Out Volume R チャンネル・ゲイン制御ビット

表 2 - 13 PCM Out Volume レジスタ (18h) のビットとゲイン設定の関係

MPO	LPO [4:0]/RPO [4:0]	ゲイン
0	0 0000	+ 12.0 dB
0	0 0001	+ 10.5 dB
⋮	⋮	⋮
0	0 1000	0 dB
⋮	⋮	⋮
0	1 1110	- 33.0 dB
0	1 1111	- 34.5 dB
1	x xxxx	ミュート
1	0 1000	初期設定

2. 1. 13 Record Select レジスタ (1Ah)

アドレス	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	初期値
1Ah	x	x	x	x	x	SL2	SL1	SL0	x	x	x	x	x	SR2	SR1	SR0	0000h

このレジスタは、ADC への入力信号を選択するレジスタです。次にビットと ADC 入力の関係を示します。
初期値は 0000h (L チャンネル / R チャンネルとも MIC 入力) です。

- ・ SL [2:0] : L チャンネル入力選択
- ・ SR [2:0] : R チャンネル入力選択

表 2 - 14 Record Select レジスタ (1Ah) のビットと ADC 入力の関係

SL [2:0]	Left Channel Record Source	SR [2:0]	Right Channel Record Source
000	MIC (初期値)	000	MIC (初期値)
001	CD_L	001	CD_R
010	VIDEO_L	010	VIDEO_R
011	AUX_L	011	AUX_R
100	LINE_IN_L	100	LINE_IN_R
101	Stereo Mix (L-ch)	101	Stereo Mix (R-ch)
110	Mono Mix	110	Mono Mix
111	PHONE	111	PHONE

Stereo Mix では、Mixer の出力を ADC に入力します。

Mono Mix では、Mixer 出力を - 6 dB のゲイン調整を行い、L/R それぞれのチャンネルに入力します。

2. 1. 14 Record Gain レジスタ (1Ch)

アドレス	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	初期値
1Ch	MRG	x	x	x	LRG3	LRG2	LRG1	LRG0	x	x	x	x	RRG3	RRG2	RRG1	RRG0	8000h

このレジスタは、Record Gain 設定レジスタです。次にビットとゲインの関係を示します。ステップは 1.5 dB , + 22.5 dB ~ 0.0 dB の範囲で設定可能です。

初期値は 8000h (ゲイン : 0 dB , ミュート : ON) です。

- ・ MRG : Record Gain ミュート制御ビット
- ・ LRG [3:0] : Record Gain L チャンネル制御ビット
- ・ RRG [3:0] : Record Gain R チャンネル制御ビット

表 2 - 15 Record Gain レジスタ (1Ch) のビットとゲイン設定の関係

MRG	LRG [3:0]/RRG [3:0]	ゲイン
0	0000	0 dB
0	0001	+ 1.5 dB
⋮	⋮	⋮
0	1110	+ 21.0 dB
0	1111	+ 22.5 dB
1	xxxx	ミュート
1	0000	初期設定

2. 1. 15 General Purpose レジスタ (20h)

アドレス	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	初期値
20h	0	x	x	x	x	x	MIX	MS	LPBK	x	x	x	x	x	x	x	0000h

内部信号パスを設定するレジスタです。次にビットとパス設定の関係を示します。各パスの接続は**ブロック図**を参照してください。

初期値は 0000h (Mono Out: Mixer, MIC Select: MIC1, Loopback: OFF) です。

表 2 - 16 General Purpose レジスタ (20h) のビットとパス設定の関係

ビット	機 能	パ ス	
MIX	Mono Output Select	0	Mixer
		1	MIC
MS	MIC Select	0	MIC1
		1	MIC2
LPBK	ADC/DAC Digital Loopback	0	OFF
		1	ON

2. 1. 16 Power Down Control/Status レジスタ (26h)

アドレス	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	初期値
26h	EAPD	PR6	PR5	PR4	PR3	PR2	PR1	PR0	x	x	x	x	REF	ANL	DAC	ADC	000xh

このレジスタは、μPD63315 のパワー・ダウン・モードの制御／動作状態を示すレジスタです。上位 8 ビット (D [15:8]) は書き込み専用のレジスタで、パワー・ダウン・モードの制御を行います。下位 8 ビット (D [7:0]) は読み出し専用のビットで、アナログ・ブロックの動作状態を示します。

表 2 - 17 Power Down Status ビット (レジスタ 26h 下位 8 ビット) と動作状態の関係

ビット	内部ブロック	動作状態	
REF	基準電圧回路	0	Not Ready
		1	Ready
ANL	Analog Mixer	0	Not Ready
		1	Ready
DAC	DAC	0	Not Ready
		1	Ready
ADC	ADC	0	Not Ready
		1	Ready

表 2 - 18 Power Down Control ビット (レジスタ 26h 上位 8 ビット) の説明

ビット	機 能
EAPD	外部アンプ・パワー・ダウン
PR6	True Line Level 出力パワー・ダウン
PR5	内部クロック停止
PR4	ディジタル・インタフェース (AC-Link) パワー・ダウン
PR3	アナログ・ミキサ・パワー・ダウン (Vref: OFF)
PR2	アナログ・ミキサ・パワー・ダウン (Vref: ON)
PR1	DAC パワー・ダウン
PR0	ADC, 入力マルチプレクサ・パワー・ダウン

表 2 - 19 Power Down Control ビット (レジスタ 26h 上位 8 ビット) と内部ブロック状態の関係

ビット	ADC, Record Gain	DAC, DAC Volume	Play Mixer, Mono Mixer	Mixer Volume	Master Volume	Mono Master Volume	LNLVL Master Volume	Vref	AC-Link	Clock	External Amp.
PR0 = "1"	PD	x	x	x	x	x	x	x	x	x	x
PR1 = "1"	x	PD	x	x	x	x	x	x	x	x	x
PR2 = "1"	x	x	PD	PD	PD	x	x	x	x	x	x
PR3 = "1"	PD	PD	PD	PD	PD	PD	PD	PD	x	x	x
PR4 = "1"	PD	PD	x	x	x	x	x	x	PD	x	x
PR5 = "1"	PD	PD	x	x	x	x	x	x	PD	PD	x
PR6 = "1"	x	x	x	x	x	x	PD	x	x	x	x
EAPD = "1"	x	x	x	x	x	x	x	x	x	x	PD (EAPD = "H")

注意 マルチプル・コーデック構成で使用している場合、プライマリとして動作しているμPD63315のPR4ビット、PR5ビットはセカンダリ・コーデックのPR4ビット、PR5ビットにも影響を与えます。

すなわち、プライマリ・コーデックのPR4ビット、PR5ビットに書き込みを行った場合、その値はセカンダリ・コーデックのPR4ビット、PR5ビットにも同時に書き込まれます。また、セカンダリ・コーデックのPR4ビット、PR5ビットに書き込みを行った場合、その値はプライマリ・コーデックのPR4ビット、PR5ビットには書き込まれません。

備考 x: 変更なし, PD: パワー・ダウン

2. 1. 17 Extended Audio ID レジスタ (28h)

アドレス	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	初期値
28h	ID1	ID0	x	x	x	x	AMAP	x	x	x	x	x	x	x	x	1	x201h

このレジスタは、μPD63315 をマルチプル・コーデック構成で使用するコーデック ID と、サンプル・レート・コンバージョン機能の対応の有無を示すレジスタです。

ID1 および ID0 には、Codec_ID1端子 (46 ピン)、Codec_ID0端子 (45 ピン) によって設定された値が格納されます。

μPD63315 は、サンプル・レート・コンバージョン機能に対応していますので、ビット D0 は常に 1 を返します。

表 2 - 20 μPD63315 コーデック ID 設定

Codec_ID1端子 (46 ピン)		Codec_ID0端子 (45 ピン)		設定
端子接続	ID1	端子接続	ID0	
オープンまたは V _{DD}	0	オープンまたは V _{DD}	0	プライマリ
オープンまたは V _{DD}	0	GND	1	セカンダリ
GND	1	オープンまたは V _{DD}	0	セカンダリ
GND	1	GND	1	セカンダリ

2. 1. 18 Extended Audio Control/Status レジスタ (2Ah)

アドレス	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	初期値
2Ah	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	VRA	0000h

このレジスタは、μPD63315 のサンプル・レートを制御するレジスタです。VRA ビットに 1 を書き込むことにより、PCM DAC Rate レジスタ (2Ch)、PCM ADC Rate レジスタが有効となります。VRA ビットに 0 を書き込んだ場合、PCM DAC Rate レジスタと PCM ADC Rate レジスタの値は初期値 (BB80h) に戻ります。

初期値は 0000h (VRA 無効 = ADC, DAC とともに 48 kHz 動作) です。

表 2 - 21 VRA ビットの設定

VRA	PCM DAC Rate レジスタ (2Ch)	PCM ADC Rate レジスタ (32h)	サンプル・レート
1	有 効		44.1 kHz または 48 kHz
0	無 効		48 kHz

2. 1. 19 PCM DAC Rate レジスタ (2Ch)

アドレス	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	初期値
2Ch	PDR15	PDR14	PDR13	PDR12	PDR11	PDR10	PDR9	PDR8	PDR7	PDR6	PDR5	PDR4	PDR3	PDR2	PDR1	PDR0	BB80h

このレジスタは、DAC のサンプル・レートを設定するレジスタです。Extended Audio Control/Status レジスタ (2Ah) の VRA ビットが 1 に設定されている場合にのみ、このレジスタの設定値によって DAC サンプル・レートは変更されます。

μPD63315 は、44.1 kHz と 48 kHz のサンプル・レートに対応しています。それ以外の値を書き込んだ場合には、その値により DAC のサンプル・レートは 44.1 kHz または 48 kHz のいずれかに設定されます (表 2 - 22 参照)。

初期値は BB80h (48 kHz) です。

表 2 - 22 PCM DAC Rate レジスタ (2Ch) 設定と DAC サンプル・レートの関係

書き込みデータ	PDR [15:0]設定値	DAC サンプル・レート
0000h ~ AFFFh	AC44h	44.1 kHz
B000h ~ FFFFh	BB80h	48 kHz

2. 1. 20 PCM ADC Rate レジスタ (32h)

アドレス	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	初期値
32h	PAR15	PAR14	PAR13	PAR12	PAR11	PAR10	PAR9	PAR8	PAR7	PAR6	PAR5	PAR4	PAR3	PAR2	PAR1	PAR0	BB80h

このレジスタは、ADC のサンプル・レートを設定するレジスタです。Extended Audio Control/Status レジスタ (2Ah) の VRA ビットが 1 に設定されている場合にのみ、このレジスタの設定値によって ADC サンプル・レートは変更されます。

μPD63315 は、44.1 kHz と 48 kHz のサンプル・レートに対応しています。それ以外の値を書き込んだ場合には、その値により ADC のサンプル・レートは 44.1 kHz または 48 kHz のいずれかに設定されます (表 2 - 23 参照)。

初期値は BB80h (48 kHz) です。

表 2 - 23 PCM ADC Rate レジスタ (32h) 設定と ADC サンプル・レートの関係

書き込みデータ	PAR [15:0] 設定値	ADC サンプル・レート
0000h ~ AFFFh	AC44h	44.1 kHz
B000h ~ FFFFh	BB80h	48 kHz

2. 1. 21 Vendor ID レジスタ (7Ch, 7Eh)

アドレス	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	初期値
7Ch	0	1	0	0	1	1	1	0	0	1	0	0	0	1	0	1	4E45h
7Eh	0	1	0	0	0	0	1	1	0	0	0	0	0	0	0	1	4301h

このレジスタは、μPD63315 のベンダ情報および製品情報を示すレジスタで、読み出し専用です。

表 2 - 24 Vendor ID レジスタ (7Ch, 7Eh) 設定

アドレス	D [15:8]	D [7:0]
7Ch	4Eh = "N"	45h = "E"
7Eh	43h = "C"	01h = "Rev. 1.0"

3. 電気的特性

絶対最大定格

項 目	略 号	条 件	定 格	単 位
デジタル部電源電圧	DV _{DD}		- 0.3 ~ + 4.6	V
アナログ部電源電圧	AV _{DD}		- 0.3 ~ + 4.6	V
入力電流	I _I	電源端子, グランド端子以外	- 10 ~ + 10	mA
デジタル入力電圧	DV _I	すべてのデジタル入力端子	- 0.3 ~ DV _{DD} + 0.3	V
アナログ入力電圧	AV _I	すべてのアナログ入力端子	- 0.3 ~ AV _{DD} + 0.3	V
動作周囲温度	T _A	デバイス周囲温度	- 40 ~ + 85	°C
保存温度	T _{stg}		- 65 ~ + 150	°C

注意 各項目のうち 1 項目でも, また一瞬でも絶対最大定格を越えると, 製品の品質を損なうおそれがあります。つまり絶対最大定格とは, 製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で, 製品をご使用ください。

推奨動作範囲 (DV_{SS} = AV_{SS} = 0 V, 負荷容量 = 20 pF)

項 目	略 号	条 件	Min.	Typ.	Max.	単 位
デジタル部電源電圧	DV _{DD}		3.0	3.3	3.6	V
アナログ部電源電圧	AV _{DD}		3.0	3.3	3.6	V
動作周囲温度	T _A	デバイス周囲温度	- 40	+ 25	+ 85	°C
マスタ・クロック周波数	f _{MCLK}		-	24.576	-	MHz
マスタ・クロック・デューティ比 ^注	f _{DTY}		45	50	55	%
★ デジタル入力電圧 (ハイ・レベル)	V _{IH}		1.95	-	-	V
★ デジタル入力電圧 (ロウ・レベル)	V _{IL}		-	-	1.26	V
アナログ入力信号電圧	V _I		-	0.7	-	V _{r.m.s.}
アナログ出力端子負荷抵抗	R _L	アナログ出力端子	10	-	-	kΩ

注 推奨動作範囲外のマスタ・クロック・デューティ比でご使用の場合, アナログ特性が低下することが考えられます。

DC 特性 ($DV_{DD} = AV_{DD} = 3.3\text{ V}$, $DV_{SS} = AV_{SS} = 0\text{ V}$, $T_A = -40 \sim +85^\circ\text{C}$)

(1) デジタル部

	項 目	略 号	条 件	Min.	Typ.	Max.	単 位
★	デジタル部消費電流	I_{DV1}	通常動作時	-	10.0	15.0	mA
★	デジタル・スタンバイ電流	I_{DV2}	パワー・ダウン時	-	0.0	0.1	mA
	入力リーク電流	I_{LI}		- 10.0	-	+ 10.0	μA
	出力リーク電流	I_{LO}	ハイ・インピーダンス時	- 10.0	-	+ 10.0	μA
★	ハイ・レベル入力電圧	V_{IH}		1.95	-	-	V
★	ロウ・レベル入力電圧	V_{IL}		-	-	1.26	V
★	ハイ・レベル出力電圧	V_{OH}	出力電流 = - 5.0 mA	2.70	-	-	V
★	ロウ・レベル出力電圧	V_{OL}	出力電流 = 5.0 mA	-	-	0.36	V
	プルアップ抵抗	R_{UP}		20	50	100	kΩ

(2) アナログ部

	項 目	略 号	条 件	Min.	Typ.	Max.	単 位
★	アナログ部消費電流	I_{AV1}	通常動作時	-	40.0	50.0	mA
★	アナログ・スタンバイ電流	I_{AV2}	パワー・ダウン時	-	0.0	0.1	mA
	基準電圧	V_{REF}		1.35	1.4	1.45	V
	アナログ入力電圧	V_{AI}	マイク入力を除く	-	0.7	-	$V_{r.m.s.}$
		V_{MI0}	+ 20 dB = ON	-	0.07	-	$V_{r.m.s.}$
		V_{MI20}	+ 20 dB = OFF	-	0.7	-	$V_{r.m.s.}$
	アナログ出力電圧	V_{AO}		-	0.7	-	$V_{r.m.s.}$
	入力インピーダンス	R_{IN}	アナログ入力端子	10	-	-	kΩ

伝送特性 (特に指定のないかぎり, $DV_{DD} = AV_{DD} = 3.3\text{ V}$, $DV_{SS} = AV_{SS} = 0\text{ V}$, $T_A = -40 \sim +85^\circ\text{C}$,
サンプリング周波数 = 48 kHz, 帯域 = 20 Hz ~ 19.2 kHz, 入力信号 = 1 kHz)

(1) AD 部

	項 目	略 号	条 件	Min.	Typ.	Max.	単 位
★	AD ダイナミック・レンジ	DR _x	- 60 dB 入力	75	85	-	dB
★	AD 全高調波ひずみ率	THD _x	- 3 dB 入力	-	0.01	0.02	%
	AD 絶対利得	G _x	0 dB 入力	- 1.0	± 0.5	+ 1.0	dB
★	AD 周波数利得特性	GR _x	20 Hz ~ 19.2 kHz	- 0.25	± 0.1	+ 0.25	dB
★	AD オフセット電圧	V _{OFFx}		- 50	± 10	+ 50	mV
★	AD クロストーク	XTK _x	対入力チャネル	-	- 85	- 70	dB
	AD フルスケール・アナログ入力振幅 ^注	VIFS _x		-	0.7	-	V _{r.m.s.}

注 AD フルスケール・アナログ入力振幅 (VIFS_x) とは, 内部 AD コンバータの入力振幅を示します。マイク・アンプや各ボリュームの設定値から, この値を越えない振幅を計算し, AD コンバータに入力してください。

(2) DA 部

	項 目	略 号	条 件	Min.	Typ.	Max.	単 位
★	DA ダイナミック・レンジ	DR _R	- 60 dB 入力	80	90	-	dB
★	DA 全高調波ひずみ率	THD _R	- 3 dB 入力	-	0.01	0.02	%
	DA 絶対利得	G _R	0 dB 入力	- 1.0	± 0.5	+ 1.0	dB
★	DA 周波数利得特性	GR _R	20 Hz ~ 19.2 kHz	- 0.25	± 0.1	+ 0.25	dB
★	DA オフセット電圧	V _{OFFR}		- 50	± 10	+ 50	mV
★	DA クロストーク	XTK _R	対入力チャネル	-	- 85	- 70	dB
	DA フルスケール・アナログ出力振幅	VOFS _R		-	0.7	-	V _{r.m.s.}

(3) MIC 部

	項 目	略 号	条 件	Min.	Typ.	Max.	単 位
	MIC 絶対利得	G _{MIC20}	- 20 dB 入力, + 20 dB = ON	18	20	22	dB

★ (4) ミキサ部

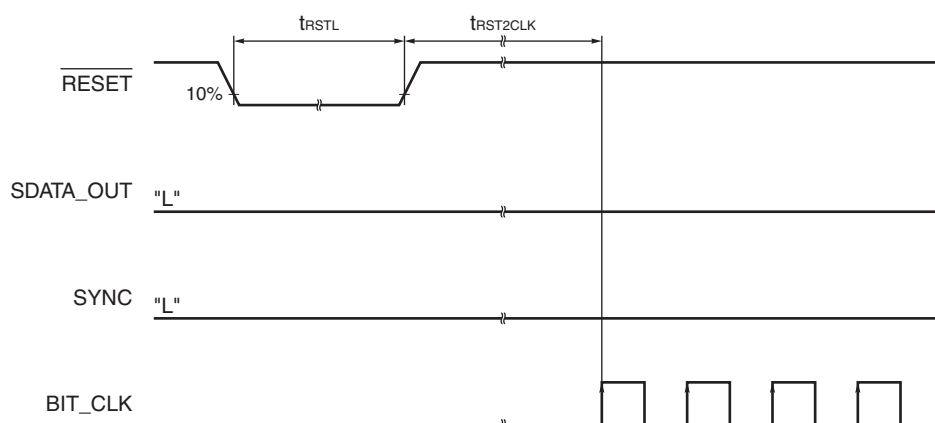
	項 目	略 号	条 件	Min.	Typ.	Max.	単 位
	ダイナミック・レンジ	DR _A	- 60 dB 入力	85	90	-	dB
	全高調波ひずみ率	THD _A	- 3 dB 入力	-	0.01	0.02	%
	絶対利得	G _A	0 dB 入力	- 1.0	± 0.5	+ 1.0	dB
	周波数利得特性	GR _A	20 Hz ~ 19.2 kHz	- 0.25	± 0.1	+ 0.25	dB
	オフセット電圧	V _{OFFA}		- 50	± 10	+ 50	mV
	クロストーク	XTK _A	対入力チャネル	-	- 80	- 70	dB
	フルスケール・アナログ入力振幅	VIFS _A		-	0.7	-	V _{r.m.s.}
	フルスケール・アナログ出力振幅	VOFS _A		-	0.7	-	V _{r.m.s.}

AC 特性 (特に指定のないかぎり, $DV_{DD} = AV_{DD} = 3.3\text{ V}$, $DV_{SS} = AV_{SS} = 0\text{ V}$, $T_A = -40 \sim +85^\circ\text{C}$)

(1) Cold リセット・タイミング

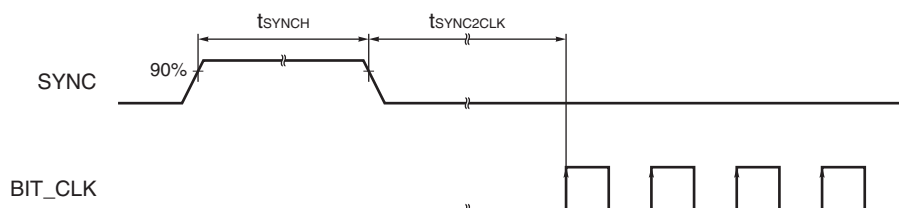
項 目	略 号	条 件	Min.	Typ.	Max.	単 位
RESETロウ・レベル時間 ^{※1,2}	t_{RSTL}		1.0	-	-	μs
RESET→BIT_CLK セットアップ時間	$t_{RST2CLK}$		162.8	-	-	ns

- 注 1. t_{RSTL} は, $\mu\text{PD63315}$ の初期化に必要な時間です。Cold リセットを行う場合, RESETを t_{RSTL} の期間, アクティブ (ロウ・レベル) としてください。
2. 内部リセット回路は, マスタ・クロックをトリガとして動作します。リセット実行中もマスタ・クロックを入力してください。



(2) Warm リセット・タイミング

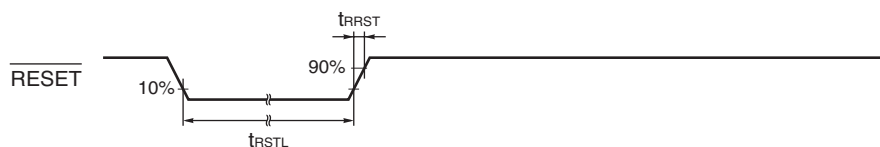
項 目	略 号	条 件	Min.	Typ.	Max.	単 位
SYNC ハイ・レベル時間	t_{SYNCH}		-	1.3	-	μs
SYNC→BIT_CLK セットアップ時間	$t_{SYNC2CLK}$		162.8	-	-	ns



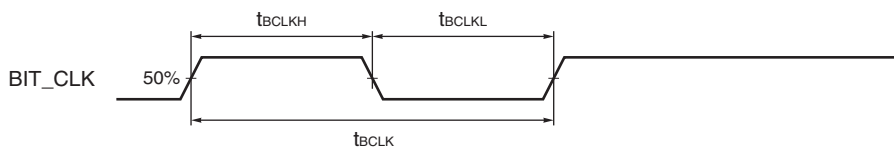
(3) クロック・タイミング

項 目	略 号	条 件	Min.	Typ.	Max.	単 位
RESET立ち上がり時間	t_{RRST}	V_{DD} の 10% から 90% 変化時間	-	-	1.0	μs
BIT_CLK 周波数	f_{BCLK}		-	12.288	-	MHz
BIT_CLK 周期	t_{BCLK}		-	81.4	-	ns
BIT_CLK ロウ・レベル幅	t_{BCLKL}		36.0	40.7	45.0	ns
BIT_CLK ハイ・レベル幅	t_{BCLKH}		36.0	40.7	45.0	ns
SYNC 周波数	f_{SYNC}		-	48	-	kHz
SYNC 周期	t_{SYNC}		-	20.8	-	μs
SYNC ロウ・レベル幅	t_{SYNCL}		-	19.5	-	μs
SYNC ハイ・レベル幅	t_{SYNCH}		-	1.3	-	μs

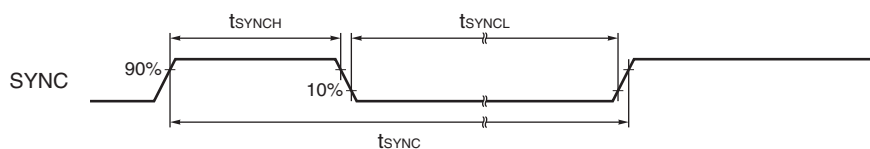
(a) RESET タイミング



(b) BIT_CLK タイミング

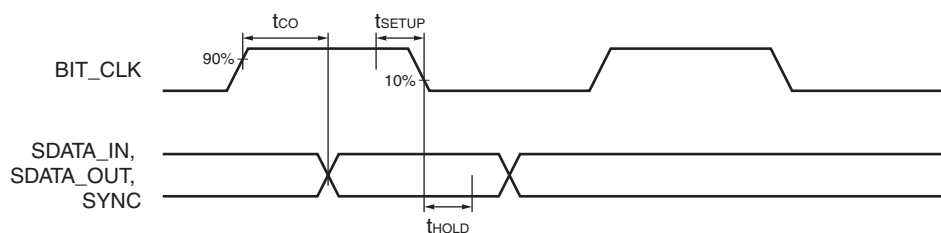


(c) SYNC タイミング



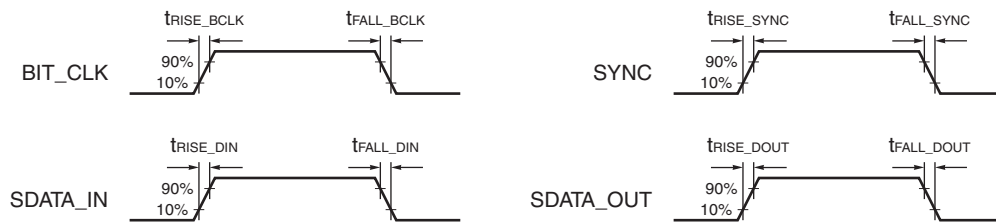
(4) AC-Link タイミング

項 目	略 号	条 件	Min.	Typ.	Max.	単 位
BIT_CLK → データ出力遅延時間	t_{CO}		-	-	15	ns
データ・セットアップ時間	t_{SETUP}		10	-	-	ns
データ・ホールド時間	t_{HOLD}		10	-	-	ns



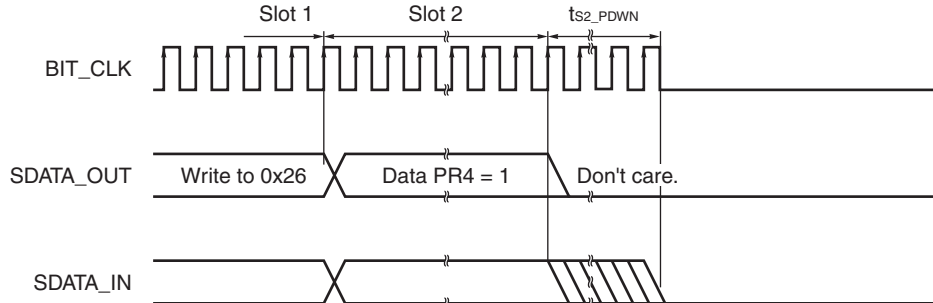
(5) 立ち上がり / 立ち下がりタイミング

項 目	略 号	条 件	Min.	Typ.	Max.	単 位
BIT_CLK 立ち上がり時間	t_{RISE_BCLK}	V_{DD} の 10% から 90% 変化時間	-	-	6	ns
BIT_CLK 立ち下り時間	t_{FALL_BCLK}	V_{DD} の 10% から 90% 変化時間	-	-	6	ns
SYNC 立ち上がり時間	t_{RISE_SYNC}	V_{DD} の 10% から 90% 変化時間	-	-	6	ns
SYNC 立ち下り時間	t_{FALL_SYNC}	V_{DD} の 10% から 90% 変化時間	-	-	6	ns
SDATA_IN 立ち上がり時間	t_{RISE_DIN}	V_{DD} の 10% から 90% 変化時間	-	-	6	ns
SDATA_IN 立ち下り時間	t_{FALL_DIN}	V_{DD} の 10% から 90% 変化時間	-	-	6	ns
SDATA_OUT 立ち上がり時間	t_{RISE_DOUT}	V_{DD} の 10% から 90% 変化時間	-	-	6	ns
SDATA_OUT 立ち下り時間	t_{FALL_DOUT}	V_{DD} の 10% から 90% 変化時間	-	-	6	ns

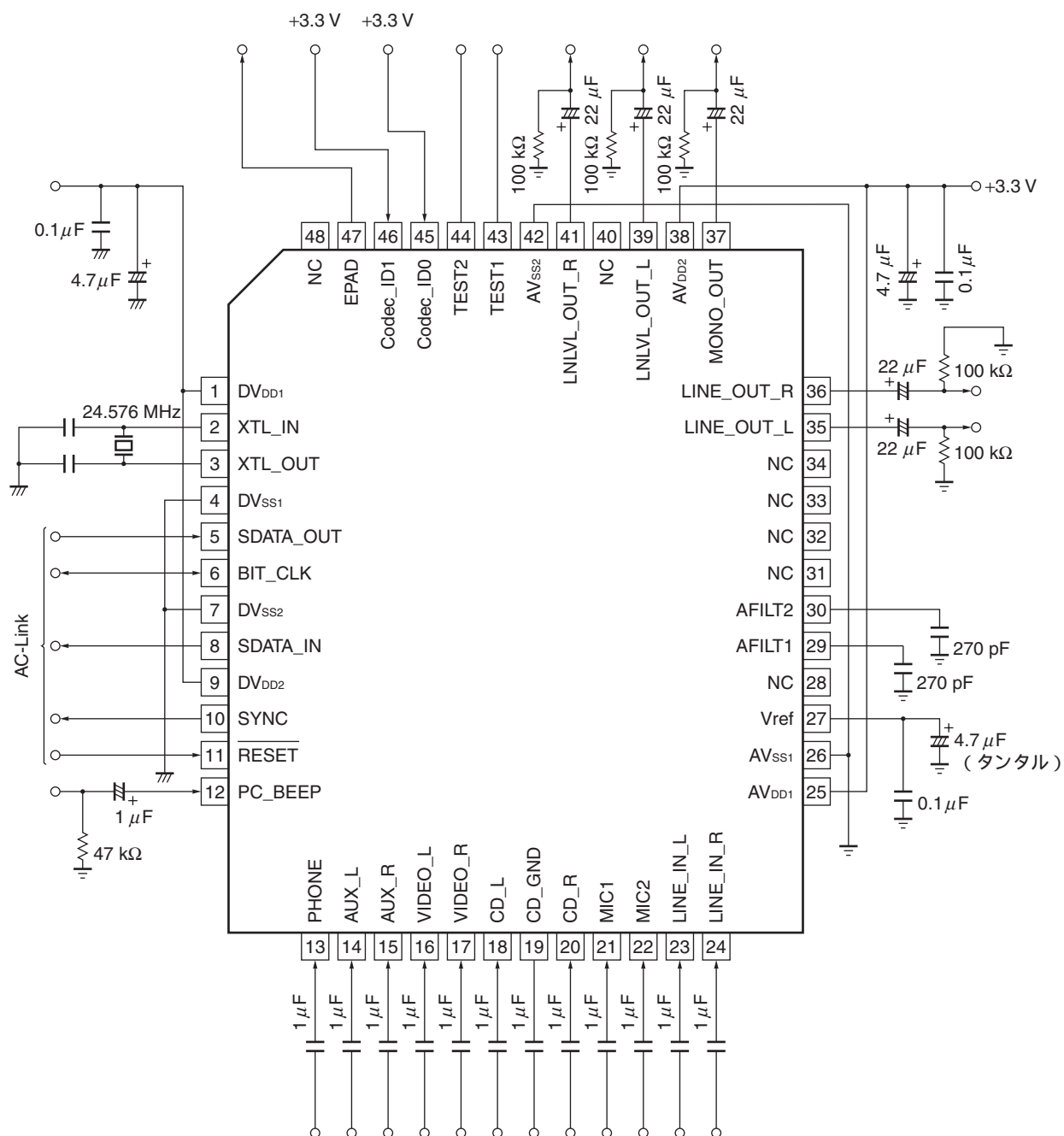


(6) AC-Link ロウ・パワー・モード・タイミング

項 目	略 号	条 件	Min.	Typ.	Max.	単 位
ロウ・パワー・モード移行時間	$ts2_PDWN$	Slot 2 データ転送 → BIT_CLK , SDATA_IN = Low	-	-	1.0	μs



4. 応用回路例



備考 ⏏ : アナログ・グランド

⏏ : デジタル・グランド

6. 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」(<http://www.ic.nec.co.jp/pkg/ja/jissou/index.html>)

表 6 - 1 表面実装タイプの半田付け推奨条件

●μPD63315GA-9EU：48 ピン・プラスチック TQFP（ファインピッチ）（7×7）

半田付け方式	半田付け条件	推奨条件記号
★ 赤外線リフロ	パッケージ・ピーク温度：235℃，時間：30 秒以内（210℃ 以上），回数：3 回以内， 制限日数 ^注 ：3 日間（以降は 125℃ プリベーク 10 時間必要） < 留意事項 > 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのペーキングが できません。	IR35-103-3
★ VPS	パッケージ・ピーク温度：215℃，時間：40 秒以内（200℃ 以上），回数：3 回以内， 制限日数 ^注 ：3 日間（以降は 125℃ プリベーク 10 時間必要） < 留意事項 > 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのペーキングが できません。	VP15-103-3
端子部分加熱	端子温度：300℃ 以下，時間：3 秒以内（デバイスの一辺当たり）	-

注 ドライパック開封後の保管日数で，保管条件は 25℃，65% RH 以下。

注意 半田付け方式の併用は避けください（ただし，端子部分加熱方式は除く）。

〔メモ〕

CMOSデバイスの一般的注意事項

静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

- ・本資料の内容は予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。
- ・文書による当社の承諾なしに本資料の転載複製を禁じます。
- ・本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
- ・本資料に記載された回路、ソフトウェア、及びこれらに付随する情報は、半導体製品の動作例、応用例を説明するためのものです。従って、これら回路・ソフトウェア・情報をお客様の機器に使用される場合には、お客様の責任において機器設計をしてください。これらの使用に起因するお客様もしくは第三者の損害に対して、当社は一切その責を負いません。
- ・当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
- ・当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。
 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
 特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災／防犯装置、各種安全装置、生命維持を直接の目的としない医療機器
 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
 当社製品のデータ・シート／データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

M7 98.8

—— お問い合わせ先 ——

【技術的なお問い合わせ先】

NEC半導体テクニカルホットライン
 （電話：午前 9:00～12:00、午後 1:00～5:00）

電話：044-435-9494
 FAX：044-435-9608
 E-mail：info@lsi.nec.co.jp

【営業関係お問い合わせ先】

第一販売事業部	第二販売事業部	第三販売事業部
東京 (03)3798-6106, 6107, 6108	東京 (03)3798-6110, 6111, 6112	東京 (03)3798-6151, 6155, 6586, 1622, 1623, 6156
大阪 (06)6945-3178, 3200, 3208, 3212	立川 (042)526-5981, 6167	水戸 (029)226-1702
広島 (082)242-5504	松本 (0263)35-1662	前橋 (027)243-6060
仙台 (022)267-8740	静岡 (054)254-4794	鳥取 (0857)27-5313
郡山 (024)923-5591	金沢 (076)232-7303	太田 (0276)46-4014
千葉 (043)238-8116	松山 (089)945-4149	名古屋 (052)222-2170, 2190
		福岡 (092)261-2806

【資料の請求先】

上記営業関係お問い合わせ先またはNEC特約店へお申しつけください。

【NECエレクトロニクスデバイス ホームページ】

NECエレクトロニクスデバイスの情報がインターネットでご覧になれます。

URL(アドレス)

<http://www.ic.nec.co.jp/>