

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

## MPEG2オーディオ / ビデオ・エンコーダ

$\mu$  PD61051, 61052は、MPEG2オーディオ、ビデオのエンコードとトランスコード用LSIです。

$\mu$  PD61051は、MPEG2ビデオ・エンコーダ、MPEGオーディオ・エンコーダ、32ビットRISC CPU、ビデオ前処理フィルタとタイム・ベース・コレクタ (TBC) を含むビデオ入出力、MPEGシステム・レイヤのマルチプレクサ、デマルチプレクサを含むストリーム・インタフェースを内蔵しています。64 Mまたは128 MビットSDRAMと組み合わせて使用します。 $\mu$  PD61052は、 $\mu$  PD61051の機能に加えてドルビー™デジタル民生用エンコーダ機能を持っています。

$\mu$  PD61051, 61052は、コンシューマ向けデジタル・ビデオ録画再生機器のMPEG処理に最適です。

## 特 徴

## ビデオ・エンコード

- ストリーム規格：MPEG2規格MP@ML, SP@ML, MPEG1規格準拠
- ピクチャ・サイズ：水平720, 704, 544, 480, 352ドット / ライン  
垂直480, 240, 576, 288ライン / フレーム
- 1パス・バリエブル・ビット・レート (VBR), コンスタント・ビット・レート (CBR)
- トランスコード：ビット・レート変換, VBR CBR変換
- ビデオ入出力  
フォーマット：8ビットY/Cb/Cr 4:2:2 (ITU-R BT.656) フォーマット  
プレアナリシス：フィルム検出, シーン・チェンジ検出, 動き探索アシスト  
TBC, VBI情報のスライサ, ピクチャ・サイズ変換

## オーディオ・エンコード

- ビット長：16, 20, 24ビット
- サンプリング：32 kHz, 44.1 kHz, 48 kHz
- MPEG1オーディオ・レイヤ2規格準拠
- ドルビーデジタル民生用エンコーダ規格準拠 ( $\mu$  PD61052のみ)
- エレメンタリ・ストリーム, PCMオーディオの入出力が可能

## MPEGシステム処理

- マルチプレクス：MPEG2-TS, MPEG2-PS, DVD-Video, DVD-VR
- デマルチプレクス：MPEG2-TS, MPEG2-PS
- トランスコード：MPEG2フォーマットの相互変換対応 (MPEG2-TS MPEG2-PS)
- パーシャルTS生成

パッケージ：208ピン・ファインピッチQFP

消費電力：1200 mW (TYP.)

電源電圧：3.3 ± 0.165 V, 2.5 ± 0.2 V (内部回路)

ドルビーは、ドルビーラボラトリーズの商標です。

$\mu$  PD61052のご使用にあたっては、ドルビーラボラトリーズのライセンスが必要です。

本資料の内容は予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。

用途

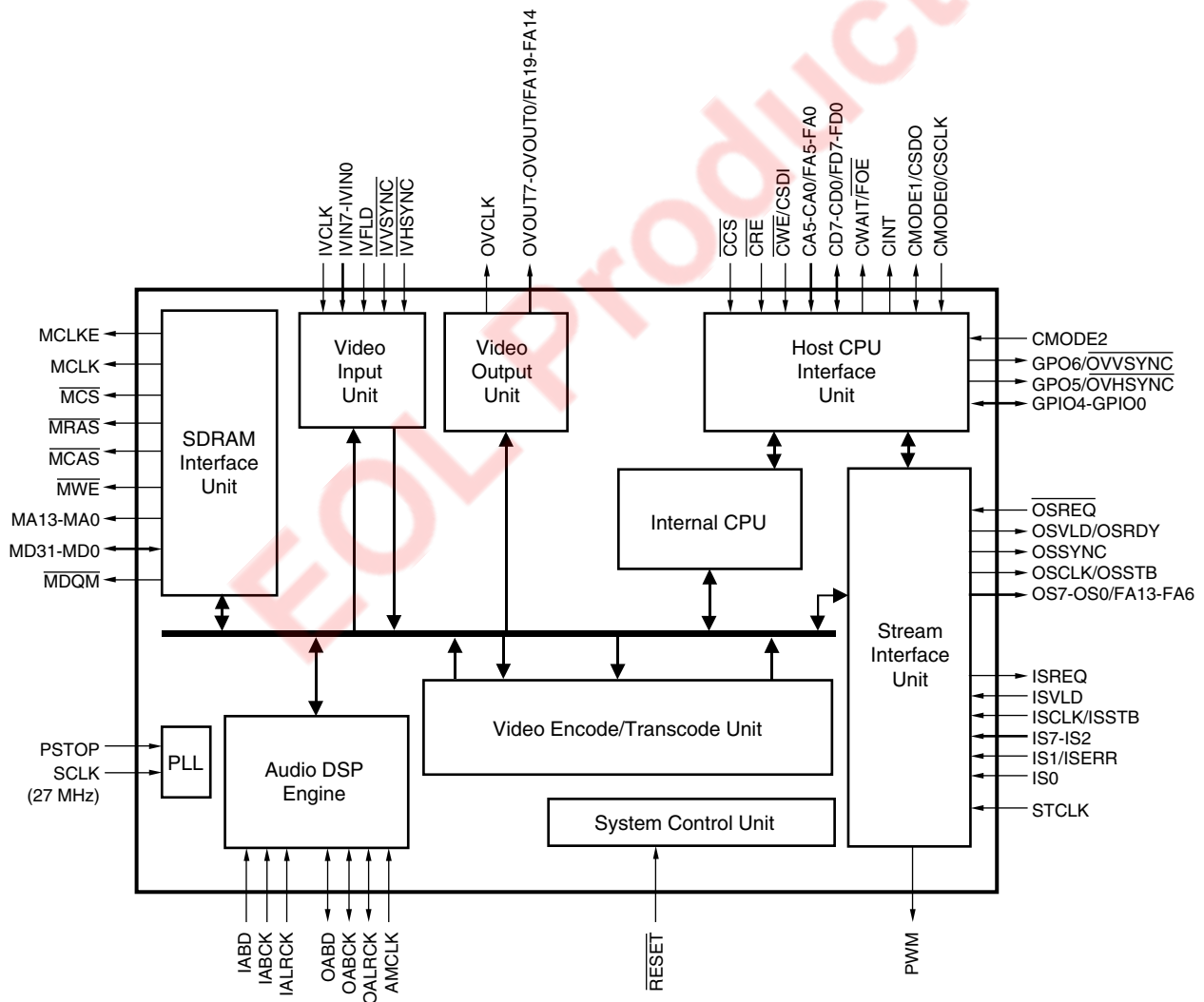
D-VHS , DVDビデオ・レコーダ , HDDビデオ・レコーダ

オーダ情報

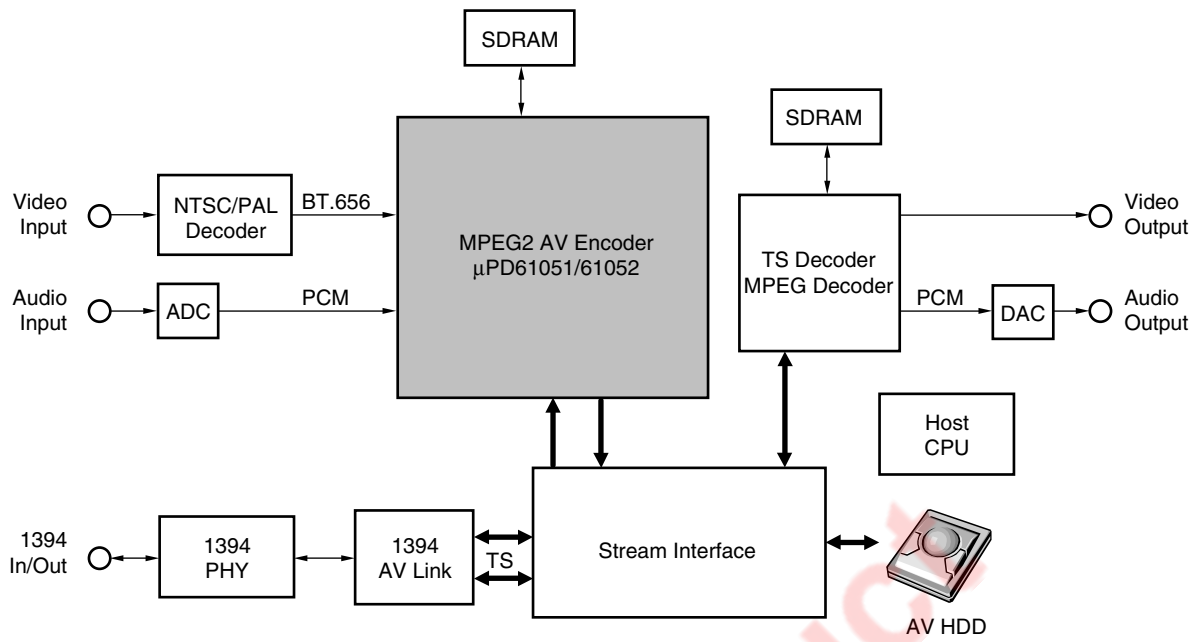
オーダ名称	パッケージ
μ PD61051GD-LML	208ピン・プラスチックQFP (ファインピッチ) (28×28)
★ μ PD61051GD-LML-A <sup>注</sup>	208ピン・プラスチックQFP (ファインピッチ) (28×28)
μ PD61052GD-LML	208ピン・プラスチックQFP (ファインピッチ) (28×28)
★ μ PD61052GD-LML-A <sup>注</sup>	208ピン・プラスチックQFP (ファインピッチ) (28×28)

注 鉛フリー製品

ブロック図



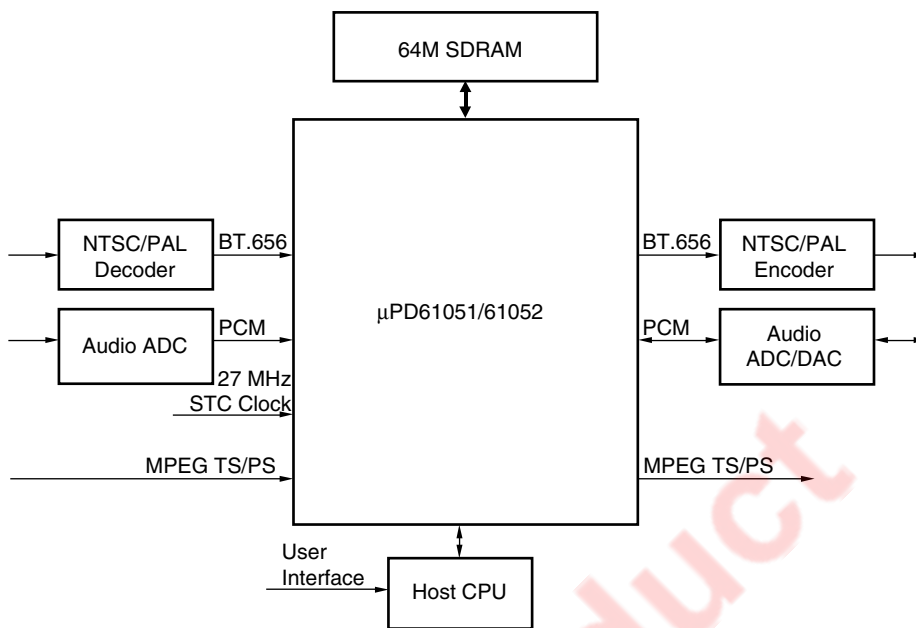
周辺接続



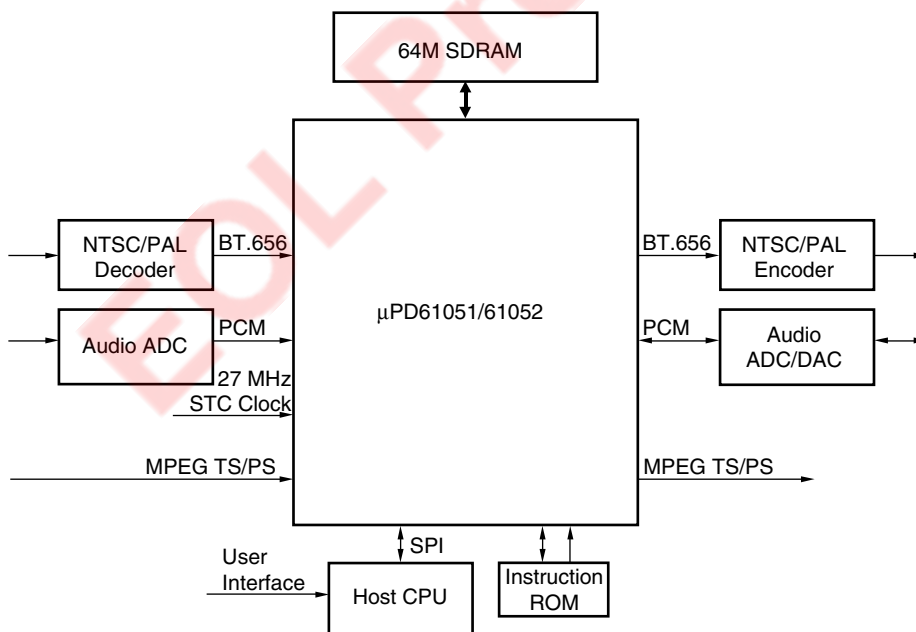
EOL Product

μPD61051, 61052は、2種類のホストCPU接続方式に対応します。

パラレル・バス・インタフェース



シリアル・バス・インタフェース



端子接続図 (Top View)

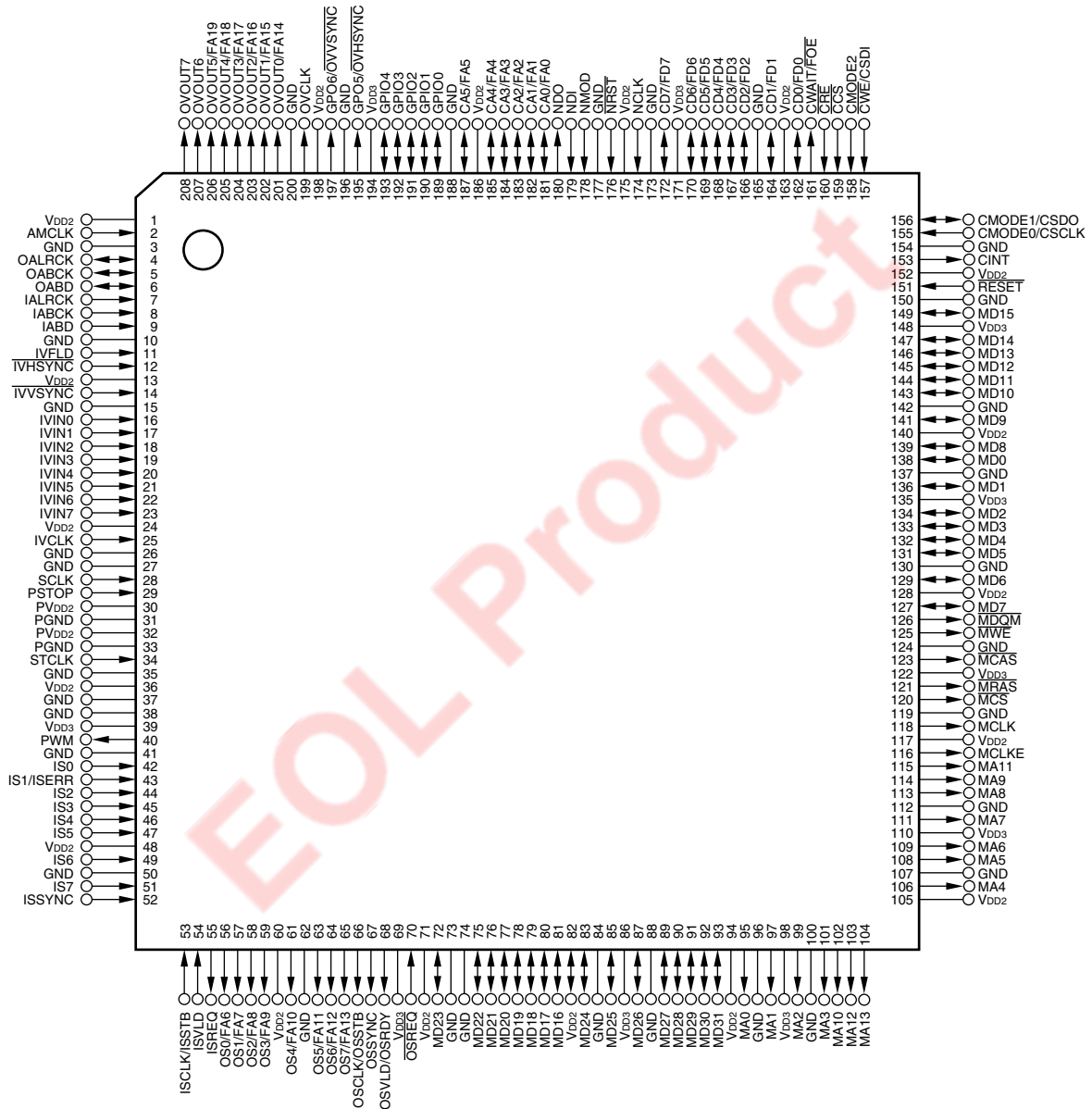
・ 208ピン・プラスチックQFP (ファインピッチ) (28×28)

μPD61051GD-LML

μPD61051GD-LML-A

μPD61052GD-LML

μPD61052GD-LML-A



端子名称

AMCLK	: Audio Main Clock	MA0-MA13	: Memory Address
CA0/FA0-CA5/FA5	: Host CPU Address/ Instruction ROM Address	$\overline{MCAS}$	: Memory Column Address Strobe
$\overline{CCS}$	: Host CPU Chip Select	MCLK	: Memory Clock
CD0/FD0-CD7/FD7	: Host CPU Data/ Instruction ROM Data	MCLKE	: Memory Clock Enable
CINT	: Host CPU Interrupt	$\overline{MCS}$	: Memory Chip Select
CMODE0/CSCLK	: Host CPU Mode/ SPI Clock	MD0-MD31	: Memory Data
CMODE1/CSDO	: Host CPU Mode/ SPI Data Output	MDQM	: Memory DQ Mask Enable
CMODE2	: Host CPU Mode	$\overline{MRAS}$	: Memory Row Address Strobe
$\overline{CRE}$	: Host CPU Read Enable	$\overline{MWE}$	: Memory Write Enable
CWAIT/ $\overline{FOE}$	: Host CPU Wait/ Instruction ROM Output Enable	NCLK	: N-wire Clock
$\overline{CWE}/\overline{CSDI}$	: Host CPU Write Enable/ SPI Data Input	NDI	: N-wire Data Input
GND	: Ground	NDO	: N-wire Data Output
GPI00-GPI04	: General Purpose IO	NMOD	: N-wire Mode
GPO5/ $\overline{OVHSYNC}$	: General Purpose Output/ Output Video Horizontal Sync	$\overline{NRST}$	: N-wire Reset
GPO6/ $\overline{OVVSYNC}$	: General Purpose Output/ Output Video Vertical Sync	OABCK	: Output Audio Bit Clock
IABCK	: Input Audio Bit Clock	OABD	: Output Audio Bit Data
IABD	: Input Audio Bit Data	OALRCK	: Output Audio LR Clock
IALRCK	: Input Audio LR Clock	OS0/FA6-OS7/FA13	: Output Stream Data/ Instruction ROM Address
IS0, IS2-IS7	: Input Stream Data	OSCLK/OSSTB	: Output Stream Data Clock/ Output Stream Data Strobe
IS1/ISERR	: Input Stream Data/Input Stream Error	$\overline{OSREQ}$	: Output Stream Data Request
ISCLK/ISSTB	: Input Stream Data Clock/ Input Stream Data Strobe	OSSYNC	: Output Stream Data Sync
ISREQ	: Input Stream Data Request	OSVLD/OSRDY	: Output Stream Data Valid/ Output Stream Data Ready
ISSYNC	: Input Stream Data Sync	OVCLK	: Output Video Clock
ISVLD	: Input Stream Data Valid	OVOUT0/FA14-OVO	: Output Video Data/ Instruction ROM Address
IVCLK	: Input Video Clock	UT5/FA19	
IVFLD	: Input Video Field Index	OVOUT6, OVOUT7	: Output Video Data
$\overline{IVHSYNC}$	: Input Video Horizontal Sync	PGND	: PLL Ground
IVIN0-IVIN7	: Input Video Data	PSTOP	: PLL Stop
$\overline{IVVSYNC}$	: Input Video Vertical Sync	PV <sub>DD2</sub>	: PLL 2.5 V Power Supply
		PWM	: PWM Output
		$\overline{RESET}$	: Reset
		SCLK	: System Clock
		STCLK	: System Time Clock
		V <sub>DD2</sub>	: 2.5 V Power Supply
		V <sub>DD3</sub>	: 3.3 V Power Supply



## 目 次

<b>1. 端子機能</b> ...	<b>9</b>
1.1 ビデオ入力インタフェース ...	9
1.2 ビデオ出力インタフェース ...	9
1.3 オーディオ入力インタフェース ...	9
1.4 オーディオ入出力インタフェース ...	10
1.5 ストリーム入力インタフェース ...	10
1.6 ストリーム出力インタフェース ...	11
1.7 SDRAM インタフェース ...	11
1.8 ホスト CPU インタフェース ...	12
1.8.1  パラレル・バス・インタフェース ...	12
1.8.2  シリアル・バス・インタフェース ...	12
1.9 クロック, リセット関係 ...	13
1.10 N-Wire インタフェース ...	13
1.11 GPIO ...	14
1.12 電  源 ...	14
1.13 未使用端子の処理 ...	15
<b>2. 機能概要</b> ...	<b>16</b>
2.1 ビデオ ...	16
2.1.1 エンコード ...	16
2.1.2 トランスコード ...	16
2.1.3 入出力処理 ...	17
2.2 オーディオ ...	19
2.2.1 エンコード ...	19
2.2.2 トランスコード ...	19
2.2.3 入出力処理 ...	19
2.3 MPEG システム処理 ...	22
2.3.1 システム・タイム・クロック ...	22
2.3.2 マルチプレクス ...	23
2.3.3 デマルチプレクス ...	23
2.3.4 トランスコード ...	24
2.4 ストリーム・インタフェース ...	25
2.4.1  パラレル・ストリーム・データ接続 ...	25
2.4.2  シリアル・ストリーム・データ接続 ...	29
2.5 ホスト CPU インタフェース ...	32
2.6 SDRAM インタフェース ...	33
2.7 メモリ接続 ...	34

2.8	メモリ・マップ	...	36
<b>3.</b>	<b>システム・インタフェース・レジスタ</b>	...	<b>38</b>
3.1	レジスタ・マップ (基本型)	...	39
3.2	機能説明	...	40
3.2.1	共有レジスタ	...	40
3.2.2	データ転送レジスタ	...	40
3.2.3	内蔵CPU割り込みレジスタ	...	47
3.2.4	割り込みマスク・レジスタ	...	47
3.2.5	ダウンロード割り込みレジスタ	...	48
3.2.6	割り込みレジスタ	...	48
3.2.7	リセット・レジスタ	...	49
3.2.8	ROMアクセス・サイクル・レジスタ	...	49
3.2.9	ポート・セットアップ・レジスタ	...	49
<b>4.</b>	<b>操作手順</b>	...	<b>50</b>
4.1	概要	...	50
4.2	ファームウェア・ダウンロード	...	51
4.2.1	ホストCPU 内蔵CPUのインストラクションRAM転送	...	51
4.2.2	外部ROM 内蔵CPUのインストラクションRAM転送	...	52
4.2.3	ホストCPU SDRAM転送	...	53
4.2.4	外部ROM SDRAM転送	...	54
4.3	通常動作中のSDRAM書き込み	...	55
4.4	通常動作中のSDRAM読み出し	...	56
4.5	SDRAM初期化	...	57
4.6	ファームウェア切り替えによる動作モード設定	...	58
4.7	転送終了処理	...	59
4.8	転送エラー処理	...	60
4.8.1	転送エラー処理1	...	60
4.8.2	転送エラー処理2	...	61
4.8.3	転送エラー処理3	...	62
<b>5.</b>	<b>共有レジスタの使用例</b>	...	<b>63</b>
5.1	レジスタ・マップの例	...	64
5.2	ファームウェア定義のレジスタの例	...	65
5.2.1	COMCODE : コマンド・レジスタ	...	65
5.2.2	ESTS : ステータス・レジスタ	...	65
<b>6.</b>	<b>電気的特性</b>	...	<b>67</b>
<b>7.</b>	<b>外形図</b>	...	<b>99</b>
<b>8.</b>	<b>半田付け推奨条件</b>	...	<b>100</b>

## 1. 端子機能

共用端子は太字で名称を示す機能を説明します。

### 1.1 ビデオ入力インタフェース

ビデオ入力はITU-R BT.656フォーマットに準拠します。ITU-R BT.656で規定するSAV/EAVを使わずに水平同期と垂直同期、フィールド・インデクスを使用することもできます。

端子名称	I/O	端子番号	機能	アクティブ極性
IVIN7-IVIN0	I	23-16	ビデオ・データ	
IVCLK	I	25	ビデオ・クロック (27 MHz)	
<u>IVHSYNC</u>	I	12	水平同期	L
<u>IVVSYNC</u>	I	14	垂直同期	L
IVFLD	I	11	フィールド・インデクス	

### 1.2 ビデオ出力インタフェース

ビデオ出力はITU-R BT.656フォーマットに準拠します。SAV/EAVに加え、水平同期、垂直同期を出力することもできます。水平 / 垂直同期信号はファームウェアで出力を選択することができます。ハードウェア・リセット後はファームウェアで初期設定するまでGPOになりません。

奇数フィールドのとき、OVVSYNCはOVHSYNCの立ち下がり後4クロック目に立ち下がります。

偶数フィールドのとき、OVVSYNCはOVHSYNCの立ち下がりからH/2 + 4クロック目に立ち下がります。

端子名称	I/O	端子番号	機能	アクティブ極性
OVOUT7, OVOUT6	O	208, 207	ビデオ・データ	
<b>OVOUT5-OVOUT0</b> FA19-FA14	O	206-201	ビデオ・データ	
OVCLK	O	199	ビデオ・クロック (27 MHz)	
GPO5/ <u>OVHSYNC</u>	O	195	水平同期	L
GPO6/ <u>OVVSYNC</u>	O	197	垂直同期	L

### 1.3 オーディオ入力インタフェース

端子名称	I/O	端子番号	機能	アクティブ極性
IALRCK	I	7	LRCK	
IABCK	I	8	BCK	
IABD	I	9	ビット・データ	

1.4 オーディオ入出力インタフェース

ハードウェア・リセット後は入力になります。OALRCK, OABCK, OABDIは10 kΩ抵抗でプルアップしてください。ファームウェアで入出力を選択します。

端子名称	I/O	端子番号	機能	アクティブ極性
OALRCK	IO	4	LRCK	
OABCK	IO	5	BCK	
OABD	IO	6	ビット・データ	
AMCLK	I	2	オーディオ・クロック	

1.5 ストリーム入力インタフェース

TSストリームのスレーブ入力時 (ISVLDを使用したスレーブ入力時) は, シリアルでストリームを入力することができます。シリアルでストリームを入力するときはストリーム・データをIS0から入力します。

ISREQのアクティブ極性はポート・セットアップ・レジスタで選択できます。電源投入後は不定になります。

ISCLK/ISSTB, ISSYNC, ISERRとISVLDのアクティブ極性はファームウェアで選択します。電源投入後は不定になります。

端子名称	I/O	端子番号	機能	アクティブ極性
ISREQ	O	55	ストリーム・データ受信準備完了 シリアル・インタフェース選択時は無効です。 リセット後はアクティブ・ロウになります。	
ISCLK/ISSTB	I	53	ストリーム・データ・ストロープ リセット後はISCLKになります。	
ISCLK/ISSTB	I	53	ストリーム・データ・クロック リセット後はアクティブ・ハイ・エッジになります。	
ISSYNC	I	52	ストリーム・データ同期 リセット後はアクティブ・ハイになります。	
ISVLD	I	54	ストリーム・データ・バリッド リセット後はアクティブ・ロウになります。	
IS1/ISERR	I	43	ストリーム・エラー リセット後はアクティブ・ハイになります。	
IS1/ISERR	I	43	ストリーム・データ入力	
IS7-IS2, IS0	I	51, 49, 47-44, 42	ストリーム・データ入力	

**備考** ここでのリセットはRESET端子によるハードウェア・リセットまたはリセット・レジスタのALL RESETを指します。

1.6 ストリーム出力インタフェース

TSストリームのマスタ出力時(バリッド動作マスタ・モード)は,シリアルでストリームを出力することができます。シリアルでストリームを出力するときはストリーム・データをOS0から出力します。

OSVLDのアクティブ極性はポート・セットアップ・レジスタで選択できます。

OSCLK/OSSTB, OSSYNCのアクティブ極性はファームウェアで選択します。電源投入後は不定になります。

端子名称	I/O	端子番号	機能	アクティブ極性
OSREQ	I	70	ストリーム・データ送信準備要求	L
OSCLK/OSSTB	O	66	ストリーム・データ・ストロープ リセット後はアクティブ・ハイ・エッジになります。	
OSCLK/OSSTB	O	66	ストリーム・データ・クロック リセット後はOSSTBになります。	
OSSYNC	O	67	ストリーム・データ同期 リセット後はアクティブ・ハイになります。	
OSVLD/OSRDY	O	68	ストリーム・データ・バリッド リセット後はOSRDYになります。	
OSVLD/OSRDY	O	68	ストリーム・データ送信準備完了 リセット後はアクティブ・ロウになります	
OS7-OS0/FA13-FA6	O	65-63, 61, 59-56	ストリーム・データ出力	

**備考** ここでのリセットはRESET端子によるハードウェア・リセットまたはリセット・レジスタのALL RESETを指します。

1.7 SDRAMインタフェース

端子名称	I/O	端子番号	機能	アクティブ極性
MA13-MA0	O	104, 103, 115, 102, 114, 113, 111, 109, 108, 106, 101, 99, 97, 95	ロウ/カラム・アドレス	
MD31-MD0	IO	93-89, 87, 85, 83, 72, 75-81, 149, 147-143, 141, 139, 127, 129, 131-134, 136, 138	データ 50 kΩのプルアップ抵抗を内蔵しています。	
MCLK	O	118	クロック	
MCLKE	O	116	クロック・イネーブル	H
MCS	O	120	チップ・セレクト	L
MRAS	O	121	ロウ・アドレス・ストロープ	L
MCAS	O	123	カラム・アドレス・ストロープ	L
MWE	O	125	ライト・イネーブル	L
MDQM	O	126	データ・アクセス	L

1.8 ホストCPUインタフェース

CMODE2の設定でパラレル・バス接続とシリアル・バス接続を選択します。

端子名称	I/O	端子番号	機能	アクティブ極性
CMODE2	I	158	パラレル/シリアル選択 L: パラレル, H: シリアル	

1.8.1 パラレル・バス・インタフェース

端子名称	I/O	端子番号	機能	アクティブ極性
CA5-CA0/FA5-FA0	I	187, 185-181	アドレス	
CD7-CD0/FD7-FD0	IO	172, 170-166, 164, 162	データ	
$\overline{\text{CWE}}$ /CSDI	I	157	ライト・イネーブル	L
$\overline{\text{CRE}}$	I	160	リード・イネーブル	L
$\overline{\text{CCS}}$	I	159	チップ・セレクト	L
CINT	O	153	割り込み	H
CWAIT/ $\overline{\text{FOE}}$	O	161	ウェイト	
CMODE0/CSCLK	I	155	CWAITの極性の設定 L: ロウ・ウェイト, H: ハイ・ウェイト	
CMODE1/CSDO	I	156	CWAITの動作の設定 50 kΩのプルアップ抵抗を内蔵しています。 L: ウェイト動作 (レディ後レディ状態を保持) H: レディ動作 (レディ後ウェイト状態へ遷移)	

1.8.2 シリアル・バス・インタフェース

シリアル・バス接続のときは、インストラクションROMから内蔵CPUのインストラクションをダウンロードすることができます。

(1) シリアル・バス・インタフェース

端子名称	I/O	端子番号	機能	アクティブ極性
CMODE0/CSCLK	I	155	SPIクロック $\overline{\text{CCS}}$ がディスエーブル(ハイ・レベル)の期間は、CSCLKをハイ・レベルに固定してください。	
$\overline{\text{CWE}}$ /CSDI	I	157	SPIデータ入力	
CMODE1/CSDO	O	156	SPIデータ出力 50 kΩのプルアップ抵抗を内蔵しています。	
$\overline{\text{CCS}}$	I	159	チップ・セレクト	L
CINT	O	153	割り込み	H

(2) インストラクションROM インタフェース

端子名称	I/O	端子番号	機能	アクティブ 極性
CA5-CA0/FA5-FA0	O	187, 185-181	アドレス	
OS7-OS0/FA13-FA6	O	65-63, 61, 59-56	アドレス	
OVOUT5-OVOUT0/ FA19-FA14	O	206-201	アドレス	
CD7-CD0/FD7-FD0	I	172, 170-166, 164, 162	データ	
CWAIT/ $\overline{FOE}$	O	161	アウトプット・イネーブル	L

1.9 クロック, リセット関係

端子名称	I/O	端子番号	機能	アクティブ 極性
SCLK	I	28	システム・クロック (27 MHz)	
STCLK	I	34	システム・タイム・クロック	
PSTOP	I	29	内部PLL動作制御 L: 通常動作, H: 内部PLLのクロックが停止	H
PWM	O	40	PWM出力	
$\overline{RESET}$	I	151	リセット入力	L

1.10 N-Wireインタフェース

内蔵CPUのファームウェア評価用IE接続端子です。

IE未接続時にはNDI端子はプルアップし、ロウ・レベルにならないようにノイズ対策をしてください。

端子名称	I/O	端子番号	機能	アクティブ 極性
NMOD	I	178	IE接続時に使用する端子です。 IE接続時はプルアップしてください	H
NCLK	I	174	シリアル・クロック	
$\overline{NRST}$	I	176	リセット	L
NDI	I	179	データ入力	
NDO	O	180	データ出力	

1.11 GPIO

GPIOはRESET端子のハードウェア・リセット,リセット・レジスタのALL RESETおよびNBRのリセット後は入力になります。10 kΩ抵抗でプルアップしてください。

端子名称	I/O	端子番号	機能	アクティブ極性
GPIO0	IO	189	ファームウェア使用端子	
GPIO1	IO	190	ファームウェア使用端子	
GPIO2	IO	191	ファームウェア使用端子	
GPIO3	IO	192	ファームウェア使用端子	
GPIO4	IO	193	ファームウェア使用端子	
GPO5/OVHSYNC	O	195	ファームウェア使用端子	
GPO6/OVVSYNC	O	197	ファームウェア使用端子	

1.12 電 源

端子名称	I/O	端子番号	機能	アクティブ極性
V <sub>DD3</sub>	-	39, 69, 86, 98, 110, 122, 135, 148, 171, 194	インタフェース用3.3 V電源	
V <sub>DD2</sub>	-	1, 13, 24, 36, 48, 60, 71, 82, 94, 105, 117, 128, 140, 152, 163, 175, 186, 198	内部回路用2.5 V電源	
GND	-	3, 10, 15, 26, 27, 35, 37, 38, 41, 50, 62, 73, 74, 84, 88, 96, 100, 107, 112, 119, 124, 130, 137, 142, 150, 154, 165, 173, 177, 188, 196, 200	GND	
PV <sub>DD2</sub>	-	30, 32	PLL用2.5 V電源	
PGND	-	31, 33	PLL用GND	



1.13 未使用端子の処理

使用しない端子は、次のように接続してください。

名 称	I/O	処 理
IVIN7-IVIN0	I	GND
IVCLK	I	GND
$\overline{\text{IVHSYNC}}$	I	GND
$\overline{\text{IVVSYNC}}$	I	GND
IVFLD	I	GND
OVOUT7, OVOUT6	O	オープン
OVOUT5-OVOUT0/FA19-FA14	O	オープン
OVCLK	O	オープン
IALRCK	I	GND
IABCK	I	GND
IABD	I	GND
OALRCK	IO	10 kΩ抵抗でプルアップ
OABCK	IO	10 kΩ抵抗でプルアップ
OABD	IO	10 kΩ抵抗でプルアップ
AMCLK	I	GND
ISREQ	O	オープン
ISCLK/ISSTB	I	GND
ISSYNC	I	GND
ISVLD	I	GND
IS7-IS0	I	GND
$\overline{\text{OSREQ}}$	I	GND
OSSYNC	O	オープン
CA5-CA0/FA5-FA0	IO	オープン
CD7-CD0/FD7-FD0	IO	10 kΩ抵抗でプルアップ
$\overline{\text{CRE}}$	I	GND
CINT	O	オープン
CWAIT/ $\overline{\text{FOE}}$	O	オープン
PWM	O	オープン
NMOD	I	4.7 kΩ抵抗でプルアップ
NCLK	I	4.7 kΩ抵抗でプルアップ
$\overline{\text{NRST}}$	I	50 kΩ抵抗でプルダウン
NDI	I	4.7 kΩ抵抗でプルアップ
NDO	O	4.7 kΩ抵抗でプルアップ
GPIO4-GPIO0	IO	10 kΩ抵抗でプルアップ
GPO5/ $\overline{\text{OVHSYNC}}$	O	オープン
GPO6/ $\overline{\text{OVVSYNC}}$	O	オープン

## 2. 機能概要

各機能，入出力インタフェースはファームウェアにて設定します。

ファームウェアにより対応可能な機能が異なります。

### 2.1 ビデオ

このLSIは，内蔵CPUのファームウェア制御と専用回路を組み合わせ柔軟なエンコードとトランスコード処理を行います。エンコード可能なNTSC/PALの画像フォーマットは表2 - 1のとおりです。トランスコード可能な画像サイズは720ドット×480/576ライン/フレーム以下です。

表2 - 1 対応する画像フォーマット

MPEG2	MPEG1	画像フォーマット
	-	720ドット×480/576ライン/フレーム
	-	704ドット×480/576ライン/フレーム
	-	544ドット×480/576ライン/フレーム
	-	480ドット×480/576ライン/フレーム
	-	352ドット×480/576ライン/フレーム
		352ドット×240/288ライン/フレーム

#### 2.1.1 エンコード

ビデオ入出力ユニットで4:2:2フォーマットから4:2:0フォーマットに変換したピクチャをMPEG2規格MP@ML, SP@ML, およびMPEG1規格でエンコードします。効率のよい1パスでバリエブル・ビット・レート (VBR) またはコンスタント・ビット・レート (CBR) でエンコードします。プレアナリシスにより高画質なエンコードを支援します。エンコードは，フレーム構造で行います。

タイム・ベース・コレクタ (TBC)，エンコード中のストリームのローカル・デコード表示，PALのエンコードを行う場合は，64 Mビット以上のSDRAMを必要とします。

- ・動き探索範囲

Pピクチャ：±128ドット (H) × ±64ライン (V)

Bピクチャ：±96ドット (H) × ±48ライン (V)，±64ドット (H) × ±32ライン (V)

- ・MP@MLにおけるI/Pピクチャ周期：M 3

- ・M = 1のときのみデュアル・プライム予測に対応

#### 2.1.2 トランスコード

MPEG2規格のMP@ML規格準拠のストリームをトランスコードして圧縮率の変換が可能です。

2.1.3 入出力処理

(1) ビデオ入力

入力ビデオ・フォーマットはITU-R BT.656準拠(8ビットY/Cb/Cr 4:2:2フォーマット)と8ビットY/Cb/Cr 4:2:0フォーマットに対応しています。SAV/EAVを使用しないで水平同期と垂直同期,フィールド・インデクスを使用することもできます。この場合フィールド判定は,IVFLDをIVVSYNCで取り込んで使用する,あるいはIVVSYNCの立ち下がり2クロック後のIVHSYNCの極性で判定します。ロウ・レベルのとき奇数フィールド,ハイ・レベルのとき偶数フィールドと判定します。IVVSYNCとIVHSYNCは3IVCLK以上のハイ/ロウ・レベル期間が必要です。非標準ビデオ信号に対応するために入力する同期信号を監視し,同期エラーを検出することができます。

(2) ピクチャ・サイズ変換フィルタ

ストリームのビット・レートに適応してエンコードのピクチャ・サイズを変更することができます。また,外部で変換して4:2:0フォーマットを直接入力することもできます。

表2-2 入力ビデオのデータ配列

フォーマット	ライン	データ配列
4:2:2入力	奇数 / 偶数ライン	Cb0, Y0, Cr0, Y1, Cb1, Y2, Cr1, Y3, Cb2, Y4, Cr2, Y5,...
4:2:0入力	奇数ライン	Cb0, Y0, Cr0, Y1, Cb1, Y2, Cr1, Y3, Cb2, Y4, Cr2, Y5,...
	偶数ライン	(-), Y0, (-), Y1, (-), Y2, (-), Y3, (-), Y4, (-), Y5,...

(3) タイム・ベース・コレクタ(TBC)

フレーム・タイプのTBCを内蔵しています。チャンネル・チェンジおよびVTRなどの非標準ビデオ信号に対しても安定したエンコードを可能にします。TBCは,64 Mビット以上のSDRAMを必要とします。次のビデオ信号を補正可能です。

表2-3 補正可能ビデオ信号

	水平同期	垂直同期
NTSC	1626 ~ 1806 IVCLK/H	246 ~ 278 H/V
PAL	1628 ~ 1828 IVCLK/H	294 ~ 330 H/V

備考 IVCLK : 27 MHz

(4) ノイズ・リダクション

輝度信号,色差信号に対してそれぞれ3レベル選択できます。

(5) スライサ

垂直ブランキング期間のデータをデコードすることができます。輝度信号からVBID,クローズド・キャプション,ワイド・スクリーン・シグナルがデコード可能です。VBIDまたはワイド・スクリーン・シグナル中のコピー制御情報をシステム・インタフェース・レジスタに出力することで,ホストCPUがコピー制御情報の書き換え,エンコードの停止ができます。

表2-4 スライサ

TV方式	VBIデータ	検出ライン
NTSC	VBID	20, 283
	クローズド・キャプション	21, 284
PAL	ワイド・スクリーン・シグナル	23 ( 336 )

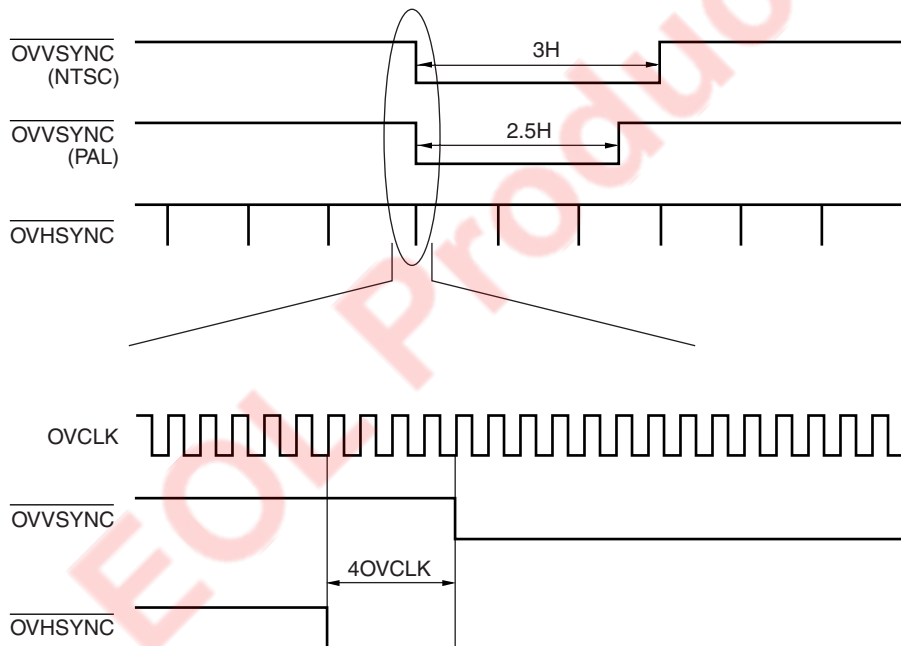
(6) ビデオ出力

入力したピクチャまたはローカル・デコードしたピクチャを720ドット×480/576ラインのピクチャ・サイズに変換して、ITU-R BT.656フォーマットで出力します。

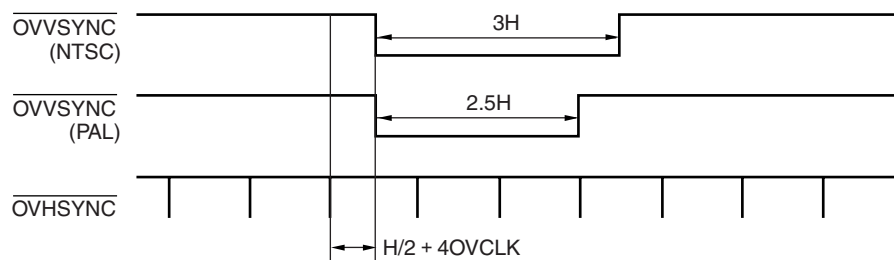
垂直同期と水平同期をGPO端子と切り替えて出力します。垂直同期信号を水平同期信号に対して4VCLK遅らせて出力することで、次段の回路がフィールド判定を容易にします。

図2-1 ビデオ出力

(a) 奇数フィールド



(b) 偶数フィールド



## 2.2 オーディオ

このLSIは、MPEGオーディオのエンコードとトランスコードに必要な処理を内蔵オーディオ・エンコード用DSPで行います。

### 2.2.1 エンコード

MPEG1オーディオ・レイヤ2またはドルビーデジタル民生用エンコーダ(μPD61052のみ)でエンコードを行います。また、外付けオーディオ・エンコーダでエンコードしたオーディオ・エレメンタリ・ストリームを入力して、内蔵のオーディオ・エンコード用DSPをバイパスすることも可能です。

### 2.2.2 トランスコード

デマルチプレクスしたオーディオ・ストリームを最大2本までそのままマルチプレクスします。MPEG1オーディオ・ストリームを解析して再マルチプレクスに必要な情報を抽出し、ホストCPUに通知することも可能です。

### 2.2.3 入出力処理

オーディオ入カインタフェースとオーディオ入出力インタフェースにそれぞれPCMオーディオ信号を入力することができます。2つのオーディオ信号を入力する場合は、一方をエンコードして他方をそのままマルチプレクサに転送します。外付けオーディオ・エンコーダを使用してエンコード済みのオーディオ・エレメンタリ・ストリームを片方に入力することで、2つのオーディオ・エレメンタリ・ストリームを同時にマルチプレクスすることもできます。

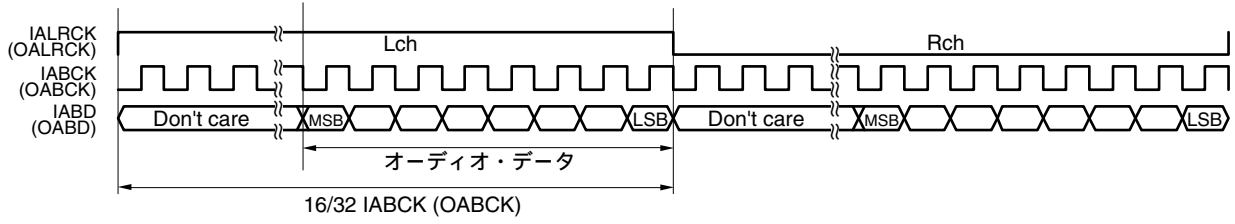
オーディオ入出力インタフェースからPCMオーディオまたはオーディオ・エレメンタリ・ストリームを出力することができます。オーディオ・クロック(AMCLK)はSTCクロック(STCLK)に位相ロックしたクロックを入力します。

表2-5 オーディオ入出力

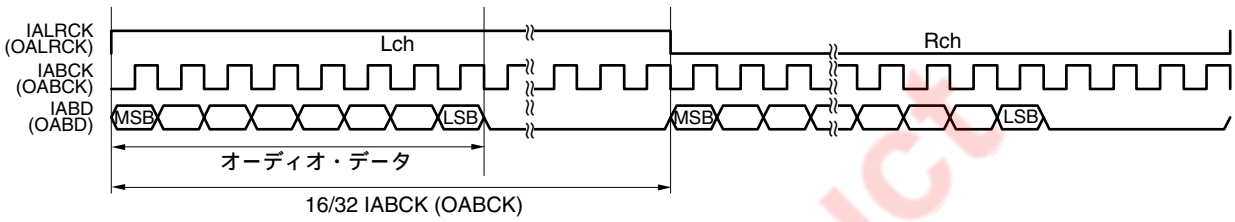
項目	入力/出力形式
データ長	16/20/24ビット
サンプリング周波数	32 kHz/44.1 kHz/48 kHz
転送形式	MSBファースト I <sup>2</sup> S / 前詰め / 後詰め
フォーマット	PCM Audio, IEC60958準拠

図2-2 オーディオ入力

(a) MSB ファースト後詰めモード



(b) MSB ファースト前詰めモード



(c) I<sup>2</sup>S モード

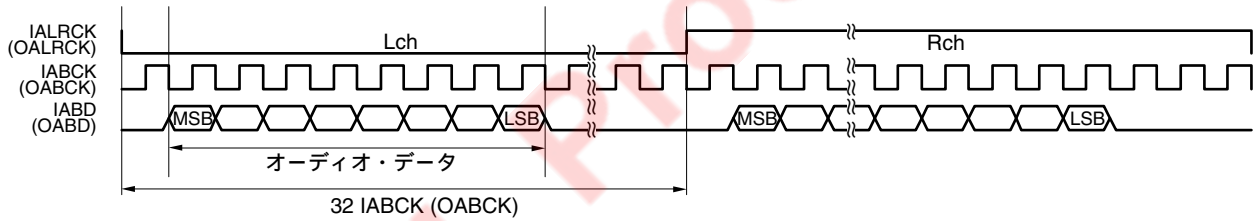
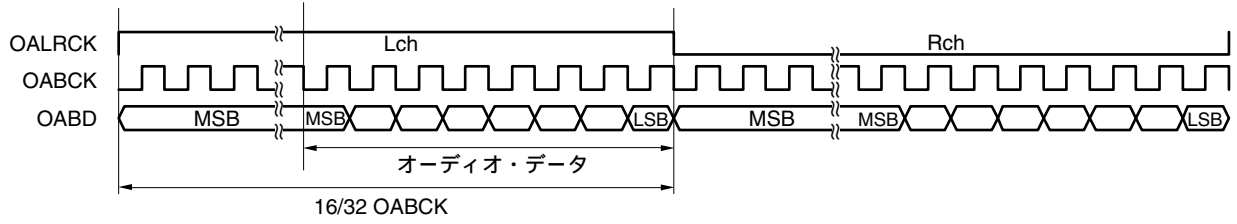
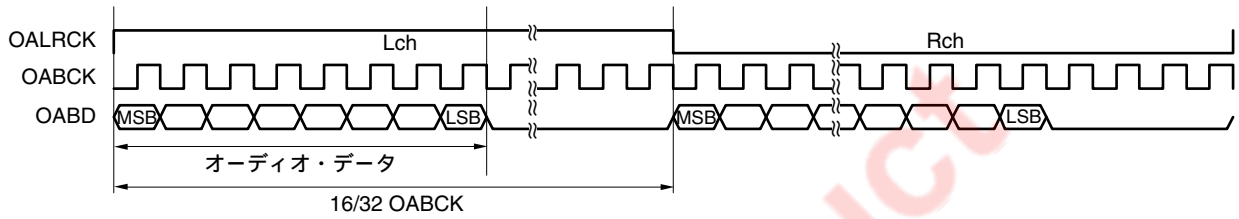


図2-3 オーディオ出力

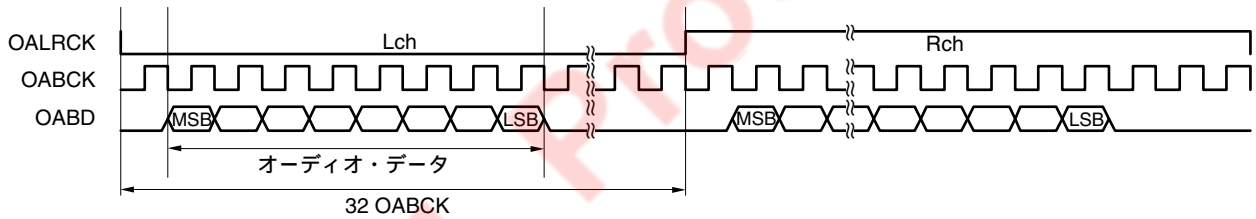
(a) MSB ファースト後詰めモード



(b) MSB ファースト前詰めモード



(c) I<sup>2</sup>S モード



2.3 MPEGシステム処理

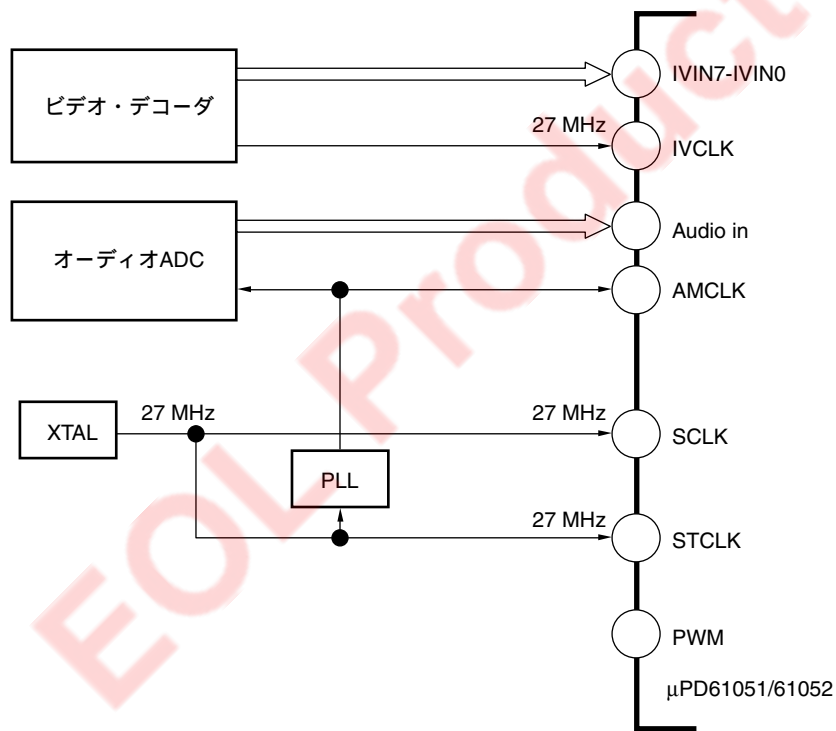
このLSIは、オーディオとビデオ、ユーザ・データのストリームをMPEG2-TS/PSまたはMPEG1に準拠したシステム・ストリームにマルチプレクス、デマルチプレクスします。マルチプレクスとデマルチプレクスを組み合わせるとMPEG2-TS MPEG2-PS変換をとまなうトランスコードが行えます。

2.3.1 システム・タイム・クロック

(1) エンコードのみのシステム

エンコードのみのシステムでは、27 MHzの発振器で生成したクロックをSTCLKに入力します。オーディオのマスタ・クロックをSTCLKの27 MHzから生成することで、ストリームをデコードしたときにオーディオがSTCからずれていくことを防止できます。

図2-4 システム・タイム・クロック入力 (エンコードのみのシステム)

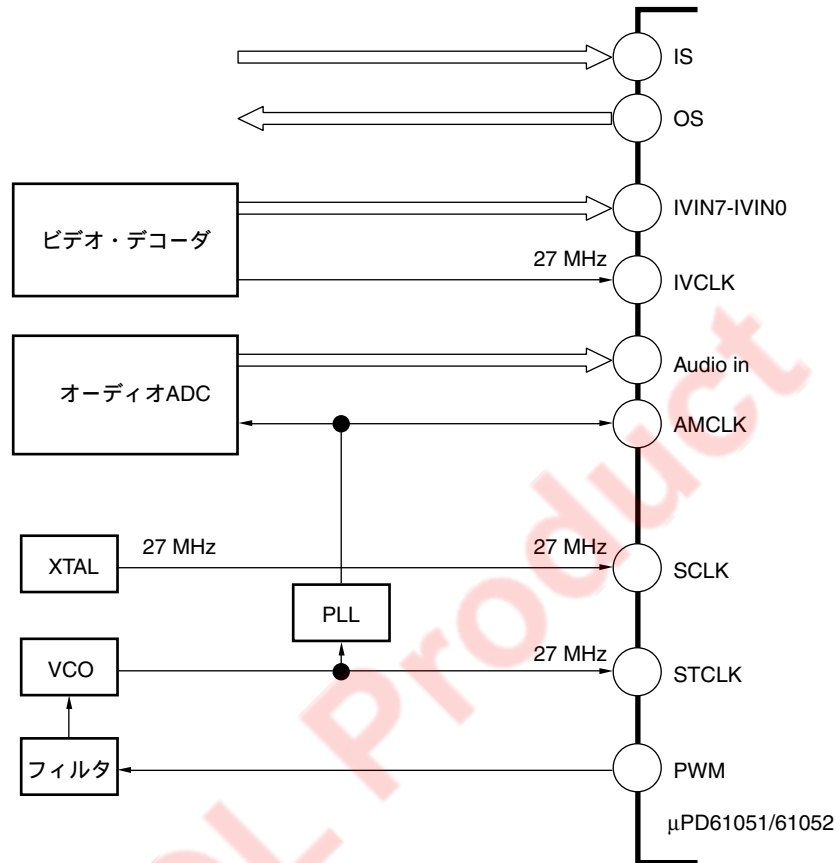




(2) エンコードおよびトランスコードのシステム

ストリームのPCR/SCRとシステム・タイム・クロックの値を比較して、STCLKの周波数を制御するためのパルス幅変調 (PWM) した信号を出力します。

図2-5 システム・タイム・クロック入力 (エンコードおよびトランスコードのシステム)



2.3.2 マルチプレクス

ビデオ・エンコーダ部とオーディオ・エンコーダ部から送られるエレメンタリ・ストリームをMPEG2-TS/PSに準拠したストリームにマルチプレクスします。このとき、SCR/PCR, DTS, PTSを打刻します。

PSI/SI情報からDVB準拠のSITパケットを生成してパーシャルTSを生成することも可能です。

ホストCPUインタフェースから入力したパケットをマルチプレクスしてストリームを生成することもできます。

2.3.3 デマルチプレクス

(1) MPEG2-TS

内蔵する16エントリのPIDフィルタを用いて、ビデオ・ストリーム1本、オーディオ・ストリーム2本、ユーザ・データ・ストリーム2本に分離します。内蔵CPUは、DVB準拠のPSI/SI情報からセクション・データを抽出します。

(2) MPEG2-PS

ストリームIDフィルタにより、ビデオ・ストリームとオーディオ・ストリーム、ユーザ・データ・ストリームに分離します。

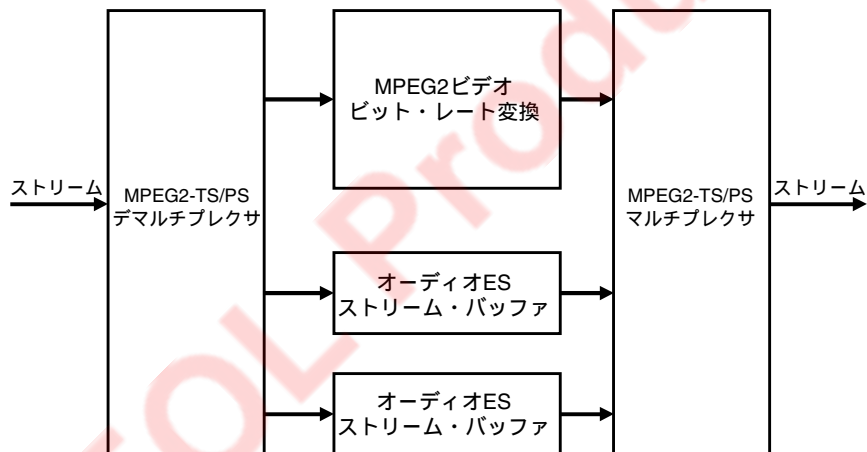
(3) VBI 情報

ホストCPUインタフェースから、ユーザ・データ・ストリーム、ビデオとオーディオのフォーマット、ワイド・スクリーン・シグナル、クローズド・キャプション、VBIDを読み出すことができます。

2.3.4 トランスコード

トランスコードは、TS/PSデマルチプレクサ、TS/PSマルチプレクサを組み合わせることで実現します。TS/PSデマルチプレクサは、MPEG2-TS/PSストリームからビデオ・ストリームとオーディオ・ストリーム、ユーザ・データ・ストリームを分離します。分離したビデオ・ストリームは、エレメンタリ・レベルでビット・レート変換やCBR/VBR変換などが行われます。ビット・レート変換したストリームは、オーディオ・ストリームやユーザ・データ・ストリームと再マルチプレクスします。ストリームを再マルチプレクスするときにPCR, SCR, PTS, DTSを補正します。

図2-6 トランスコード



MPEGのシステム・レイヤ変換は次のとおりです。

- MPEG2-TS    MPEG2-TS
- MPEG2-TS    MPEG2-PS
- MPEG2-PS    MPEG2-TS
- MPEG2-PS    MPEG2-PS
- MPEG1        MPEG1

2.4 ストリーム・インタフェース

MPEG2-TSストリームを入力するときは、ストリーム・インタフェースをパラレル・データ接続とシリアル・データ接続が選択できます。MPEG2-PSなど、その他のストリームの場合はパラレル・ストリーム・データ接続になりません。

2.4.1 パラレル・ストリーム・データ接続

このLSIは、外部デバイスとマスタまたはスレーブの接続ができます。パラレル接続時、最大ストリーム入力レートは100 Mbps、最大ストリーム出力レートは30 Mbpsまでに対応します。ただし、エンコード、トランスコード可能なストリームはMP@MLで15 Mbpsに制限されます。

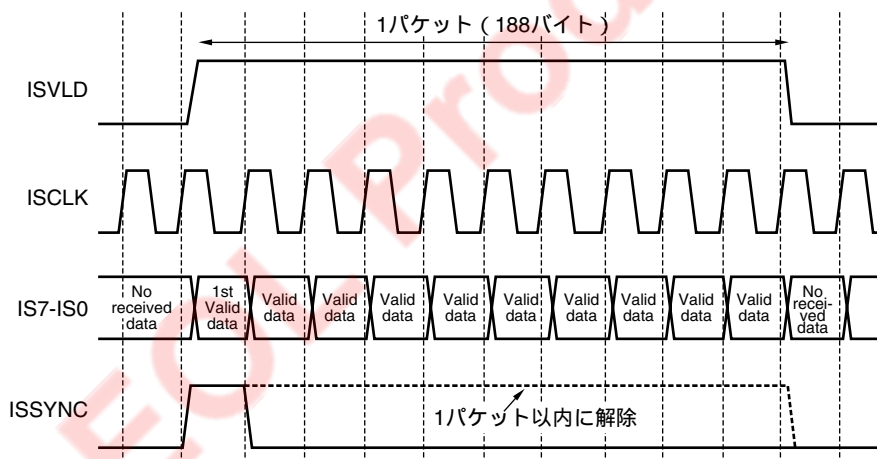
(1) ストリーム入力

ストリーム入力はISREQを解除後に4バイトまでデータの受信が可能です。

**備考** ISSTBとISCLKは同一端子です。

図2-7 パラレル・ストリーム受信動作 (1/2)

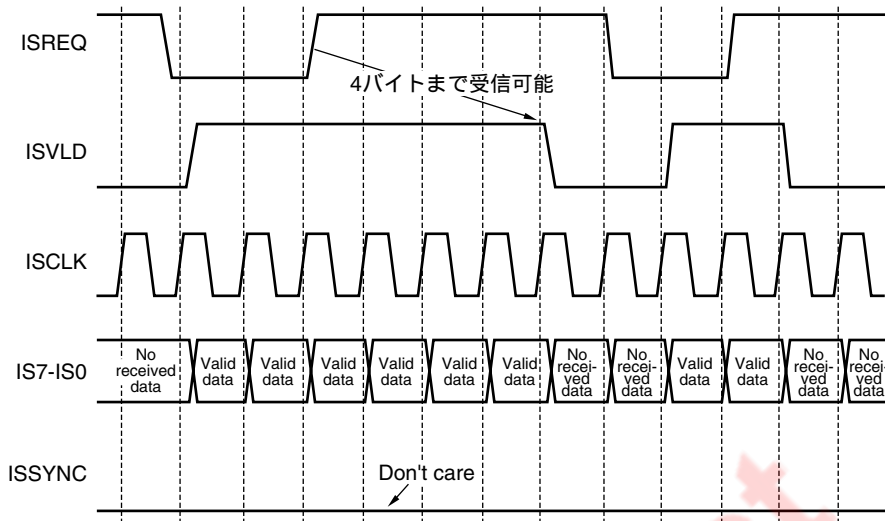
(a) MPEG2-TS の受信 (パケット長 188 バイト時)



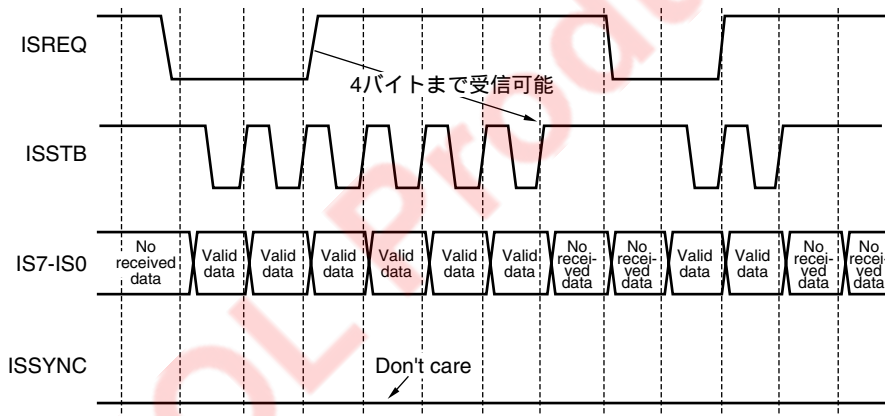
ISCLKは13.5 MHz以下で転送してください。

図 2-7 パラレル・ストリーム受信動作 (2/2)

(b) MPEG2-PS, ES の受信 (バリッド, クロック受信)



(c) MPEG2-PS, ES の受信 (ストローブ受信)



★ (2) ストリーム出力

バリッド動作マスタ・モード, ストローブ動作バイト転送モードの2モードがあります。

2つのストリーム出力モードと転送レートの設定によりシステムに合った転送方法を選択できます。

**備考** OSSTBとOSCLK, OSRDYとOSVLDは同一端子です。OSSTBとOSRDYまたは, OSCLKとOSVLDの組み合わせで動作を選択します。

(a) バリッド動作マスタ・モード

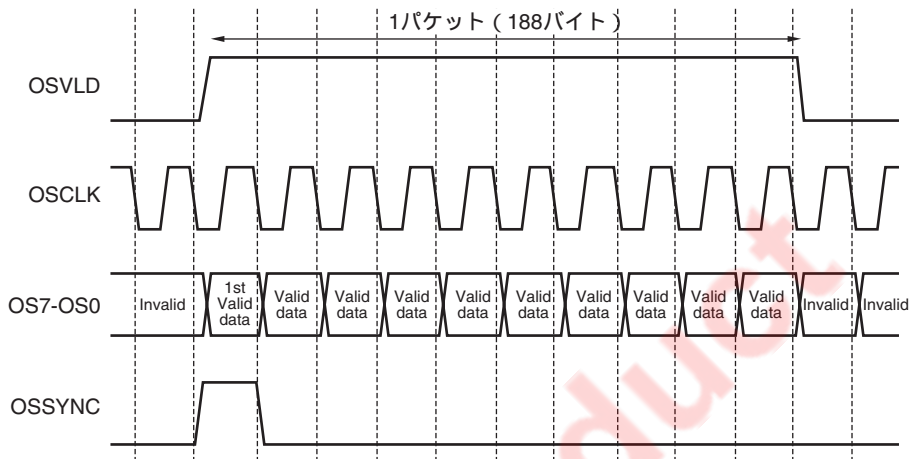
MPEG2-TS専用の出力モードです。

OSCLKの周期に37 ns ( 1/27 MHz ) のn倍 ( 3 ≤ n ≤ 255の整数 ) が選択できます。

ただし、ローカル・デコードまたは入力したビデオを出力する場合は ( 4 ≤ n ≤ 255の整数 ) になります。

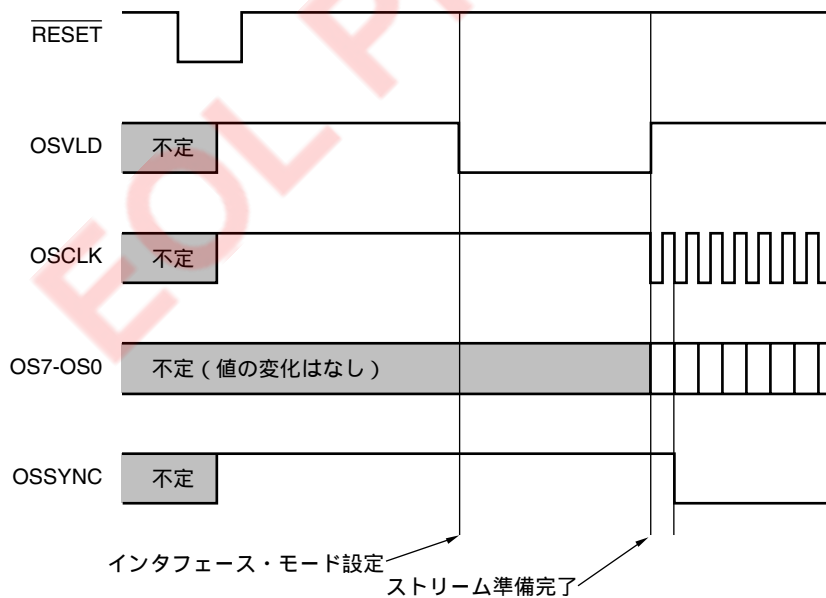
図2-8 パラレル・ストリーム送信動作 : MPEG2-TS の送信 ( パケット長 188 バイト時 )

(a) バリッド動作マスタ・モード



★

(b) リセットからの状態遷移

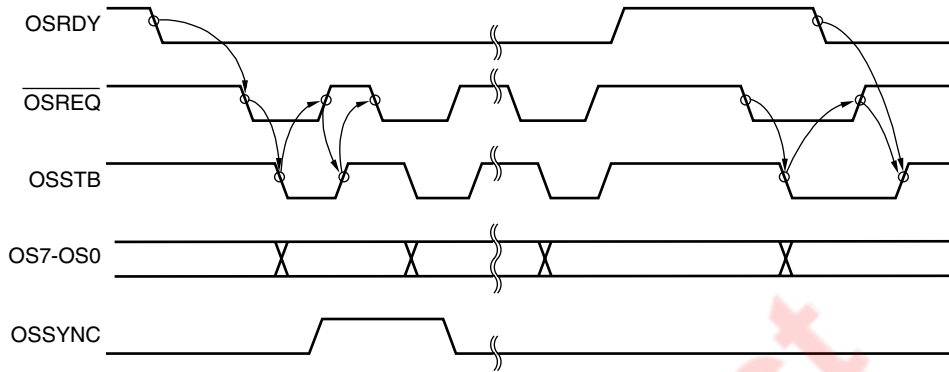


(b) ストローブ動作バイト転送モード

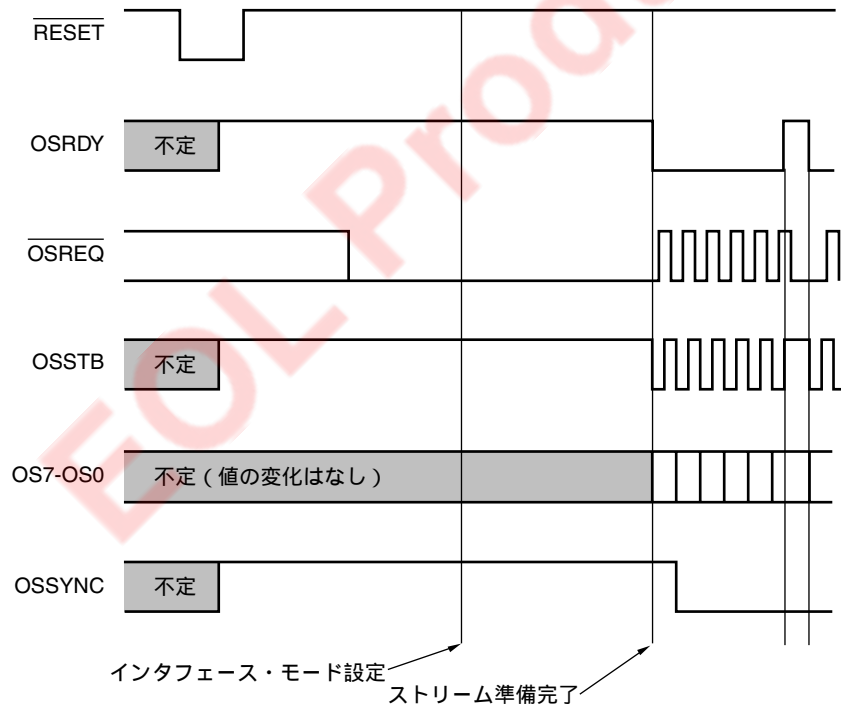
OSREQとOSSTBのハンドシェイクで転送レートが決まります。

図2-9 パラレル・ストリーム送信動作：MPEG2-PS, MPEG2-ES の送信

(a) ストローブ動作バイト転送モード



(b) リセットからの状態遷移



#### 2.4.2 シリアル・ストリーム・データ接続

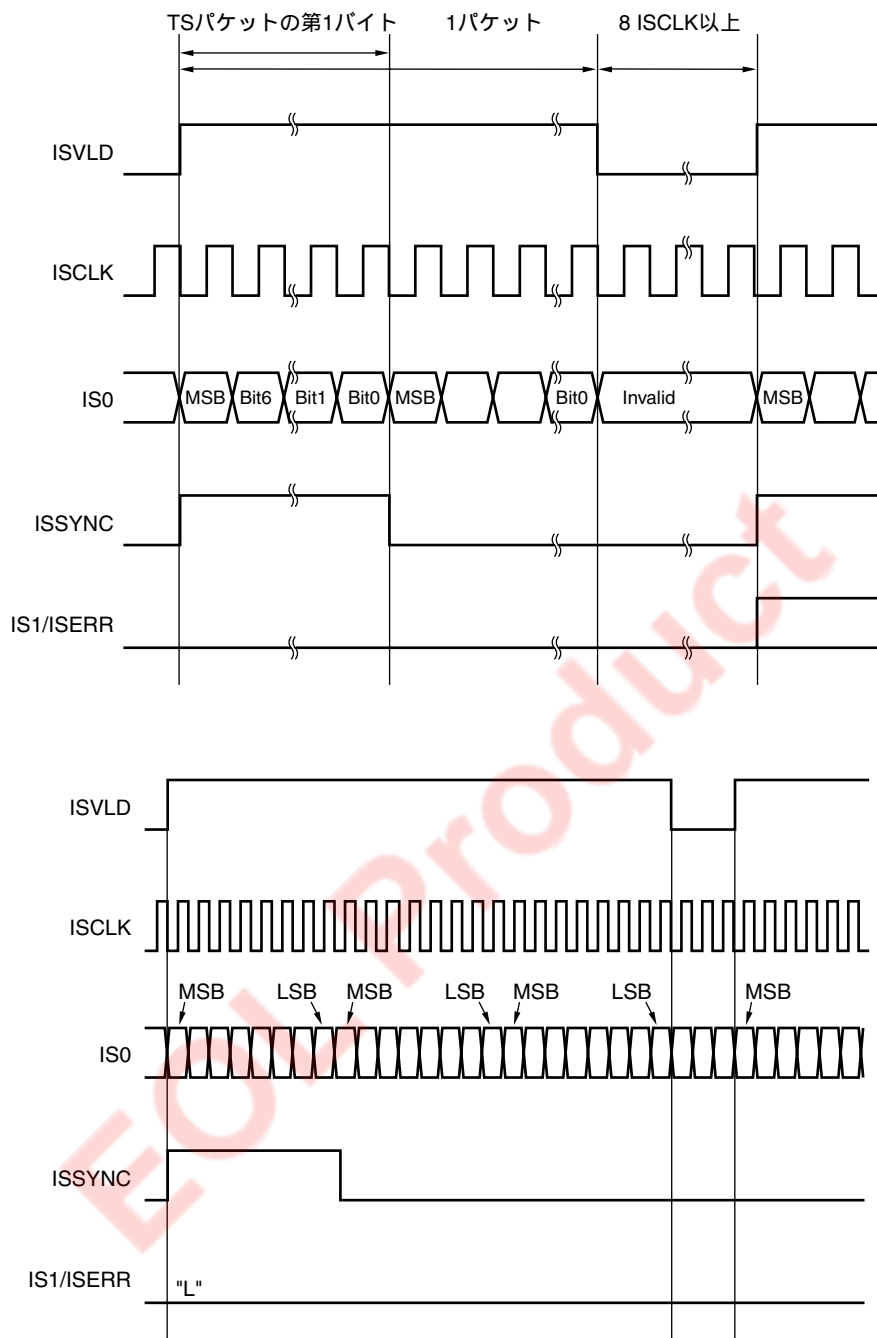
このLSIはストリームをシリアルで入出力できます。シリアル・ストリーム・インタフェースはMPEG2-TSストリームのみ対応します。シリアルではパラレルでストリームを入出力する場合に比べてビット・レートが制限されます。シリアル接続時、最大ストリーム入力レートは64 Mbps、最大ストリーム出力レートは27 Mbpsまでに対応します。ただし、エンコード、トランスコード可能なストリームはMP@MLで15 Mbpsに制限されます。

##### (1) ストリーム入力

ISCLKは64 MHz以下の転送クロックを入力します。データはMSBファーストです。ISSYNCは1バイト以上1パケット以下の間アクティブにし、パケットがエラーの場合はISERRのエラーをパケットの先頭から入力します。ISVLDは1つのバイトは連続バリッドにする必要があります。パケットとパケットの間は8クロック以上ISVLDをインバリッドにしてください。

EOL Product

図2-10 シリアル・ストリーム入力



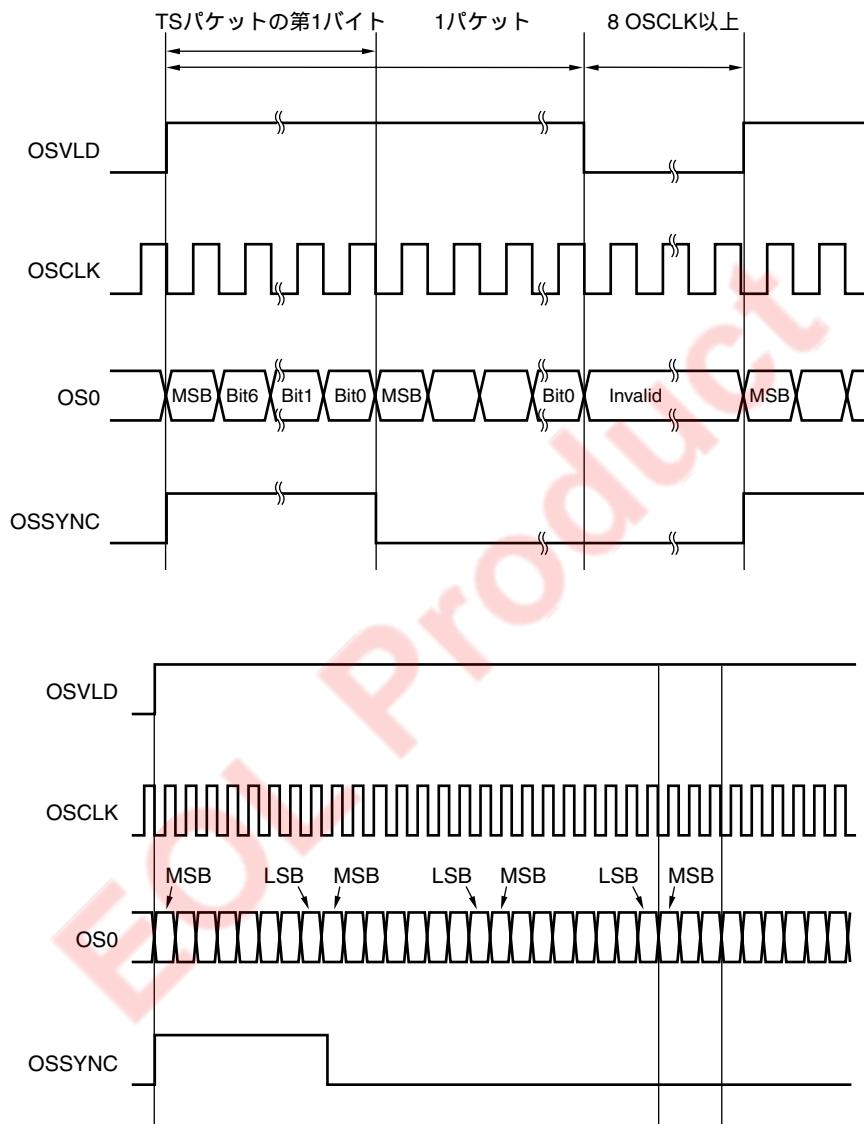
備考 ISVLD, ISSYNC, ISERRアクティブ・ハイ, ISCLKアクティブ・ハイ・エッジの場合



(2) ストリーム出力

OSCLKは27 MHz固定です。パケットの先頭1バイトOSSYNCをアクティブにします。OSVLDは1パケット連続してアクティブになります。データはMSBファーストで出力します。OSSYNCはパケットの先頭で1バイトの間アクティブになります。

図2-11 シリアル・ストリーム出力

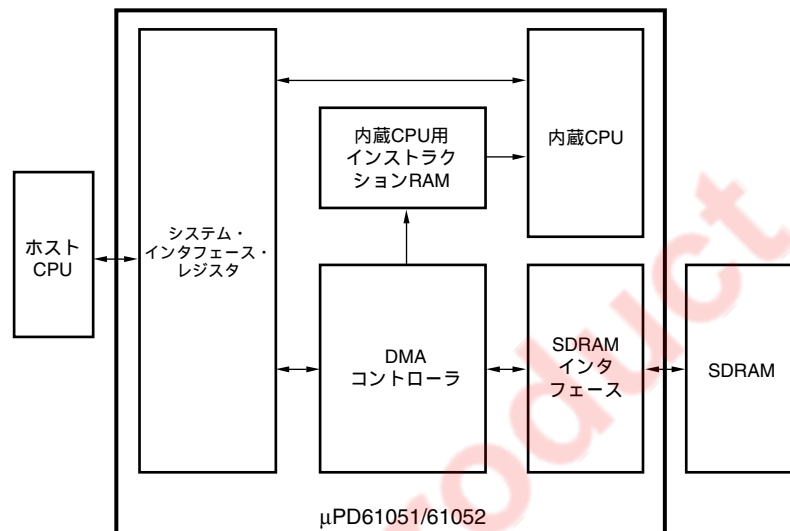


備考 OSVLD, OSSYNC, OSERRアクティブ・ハイの場合

## 2.5 ホストCPUインタフェース

外部のホストCPUとの接続に8ビット・パラレル・データ・インタフェースとシリアル・インタフェース (SPI) が選択できます。内蔵CPUはホストCPUインタフェース部にあるシステム・インタフェース・レジスタを介して、ホストCPUとの間でコマンド、ステータスの送受信を行います。また、システム・インタフェース・レジスタを介して内蔵DMAコントローラを制御することで、内蔵CPU用のインストラクションをインストラクションRAMにロードしたり、SDRAM上のデータ領域に大容量データを転送できます。

図2-12 ホスト CPU インタフェース



次に、内蔵CPUへのインストラクションのロードについて説明します。

### (1) パラレル・インタフェース

ホストCPUはSDRAMの初期化後に内蔵CPUのファームウェアをすべてSDRAMに転送できます。動作モード (ファームウェア) の切り替えには、外部ホストCPUがSDRAMに格納したファームウェアのアドレスを指定して内蔵CPUのインストラクションRAMにダウンロードさせることもできます。

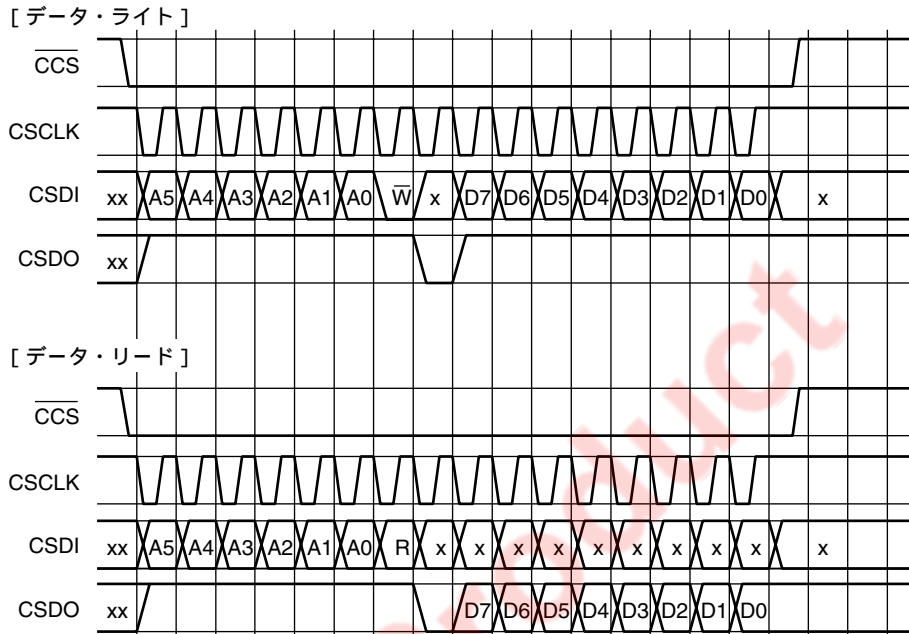
### (2) シリアル・インタフェース

ホストCPUとSPI (Serial Peripheral Interface) シリアル・バスで通信します。ホストCPUがマスタになります。チップ・セレクトのロウ・エッジが通信開始でハイ・エッジが通信終了として扱います。チップ・セレクトがロウになったあとの最初の1バイトでアドレスと次の1バイトをリードするかライトするかを示します。アドレス6ビット、データ8ビットのMSBファーストです。CCSがディスエーブル (ハイ・レベル) の期間は、CSCLKをハイ・レベルに固定してください。

ホストCPUはハードウェア・リセット後にμPD61051/61052の端子のモードとROMのアクセス・サイクルをシステム・インタフェース・レジスタに設定し、SDRAMの初期化後に内蔵CPUのインストラクションをSDRAMに転送できます。あらかじめエンコードとトランスコードに必要なファームウェアをSDRAMに格納することで、SDRAMからの高速転送により短時間で機能の切り替えができます。また、内蔵CPUのファームウェアは、μPD61051/61052がマスタとなって外部のROMからダウンロードすることが可能です。

CSCLK : シリアル・クロック  
 CSDI : データ入力  
 CSDO : データ出力  
 $\overline{\text{CCS}}$  : チップ・セレクト

図2-13 シリアル・インタフェース



2.6 SDRAMインタフェース

外部メモリはSDRAMを使用します。次の4種類が接続可能です。

表2-6 使用メモリ

メモリ	メモリ・バス幅	使用個数	使用メモリ容量
16 MビットSDRAM	16ビット	2	32 Mビット
64 MビットSDRAM	32ビット	1	64 Mビット
64 MビットSDRAM	16ビット	2	128 Mビット
128 MビットSDRAM	16ビット	2	128 Mビット
128 MビットSDRAM	32ビット	1	128 Mビット

このメモリに入力画像とビデオ・ストリーム、オーディオ・ストリーム、ストリーム・ヘッダ、ユーザ・データ、ファームウェアのインストラクション、ストリームの生成に必要なパラメータの一部を保存します。

このLSIではCASレイテンシ = 3, パースト長 = 4のみ使用しています。

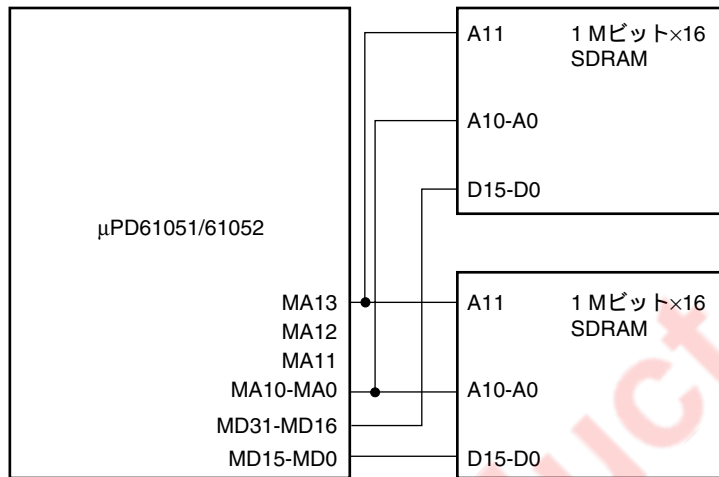
ローカル・デコードの表示, TBC, PALのエンコードまたはトランスコードは64 Mビット以上の領域が必要です。

2.7 メモリ接続

各メモリの接続は次のとおりです。

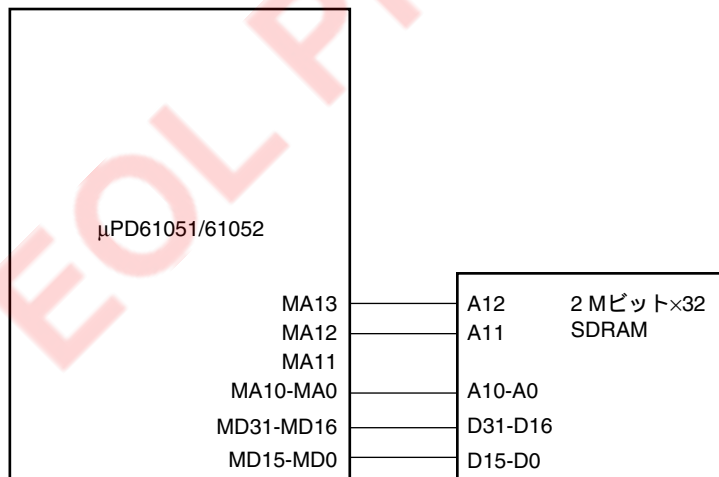
図2-14 メモリ接続 (1/2)

(a) 16 M ビット SDRAM × 2 個



バンクA : SDRAMアドレス= 0x xxxx xxxx xxxxB  
 バンクB : SDRAMアドレス= 1x xxxx xxxx xxxxB

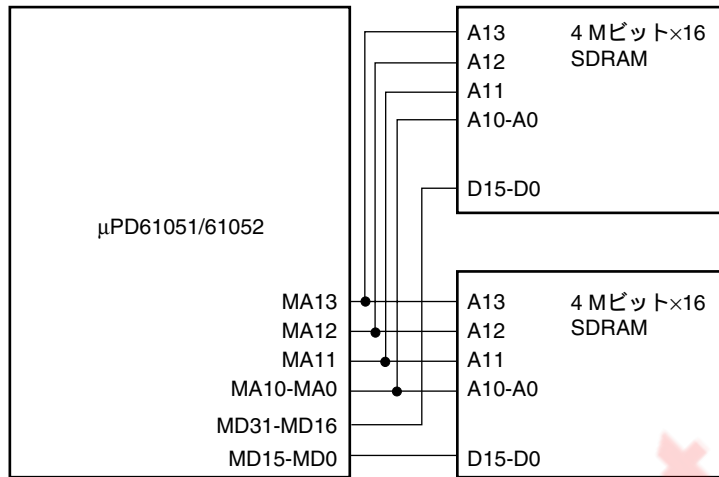
(b) 64 M ビット SDRAM × 1 個



バンクA : SDRAMアドレス= 00 xxxx xxxx xxxxB  
 バンクB : SDRAMアドレス= 10 xxxx xxxx xxxxB  
 バンクC : SDRAMアドレス= 01 xxxx xxxx xxxxB  
 バンクD : SDRAMアドレス= 11 xxxx xxxx xxxxB

図 2-14 メモリ接続 (2/2)

(c) 64 M ビット SDRAM × 2 個, 128 M ビット SDRAM × 2 個



バンク A : SDRAM アドレス = 00 xxxx xxxx xxxxB  
 バンク B : SDRAM アドレス = 10 xxxx xxxx xxxxB  
 バンク C : SDRAM アドレス = 01 xxxx xxxx xxxxB  
 バンク D : SDRAM アドレス = 11 xxxx xxxx xxxxB

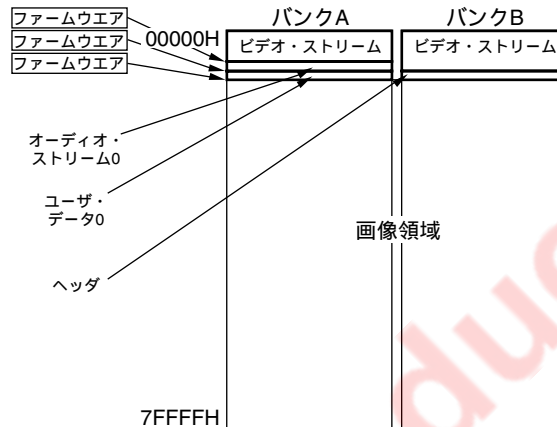
EOL Product

2.8 メモリ・マップ

画像領域とユーザブル・ワーク・エリアの割り当てはファームウエアで指定します。インストラクション・プールは、ファームウエアで使用していない領域を使用します。SDRAM内のインストラクション・プールからインストラクションRAMにファームウエアを転送すると、ホストCPUから内蔵CPUのインストラクションRAMに命令を転送するよりも高速にモード切り替えができます。

図2-15 メモリ・マップ (1/2)

(a) 16 M ビット SDRAM × 2 個



(b) 64 M ビット SDRAM × 1 個の例

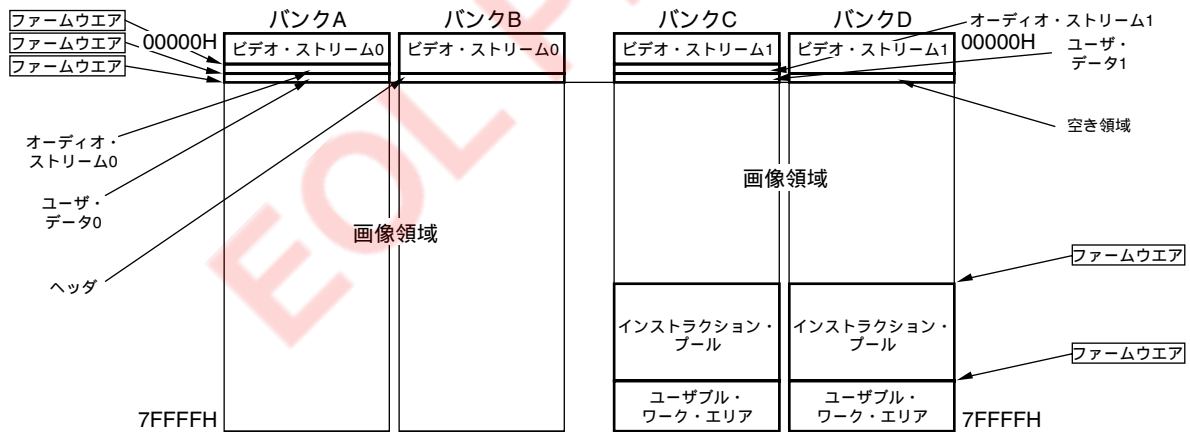
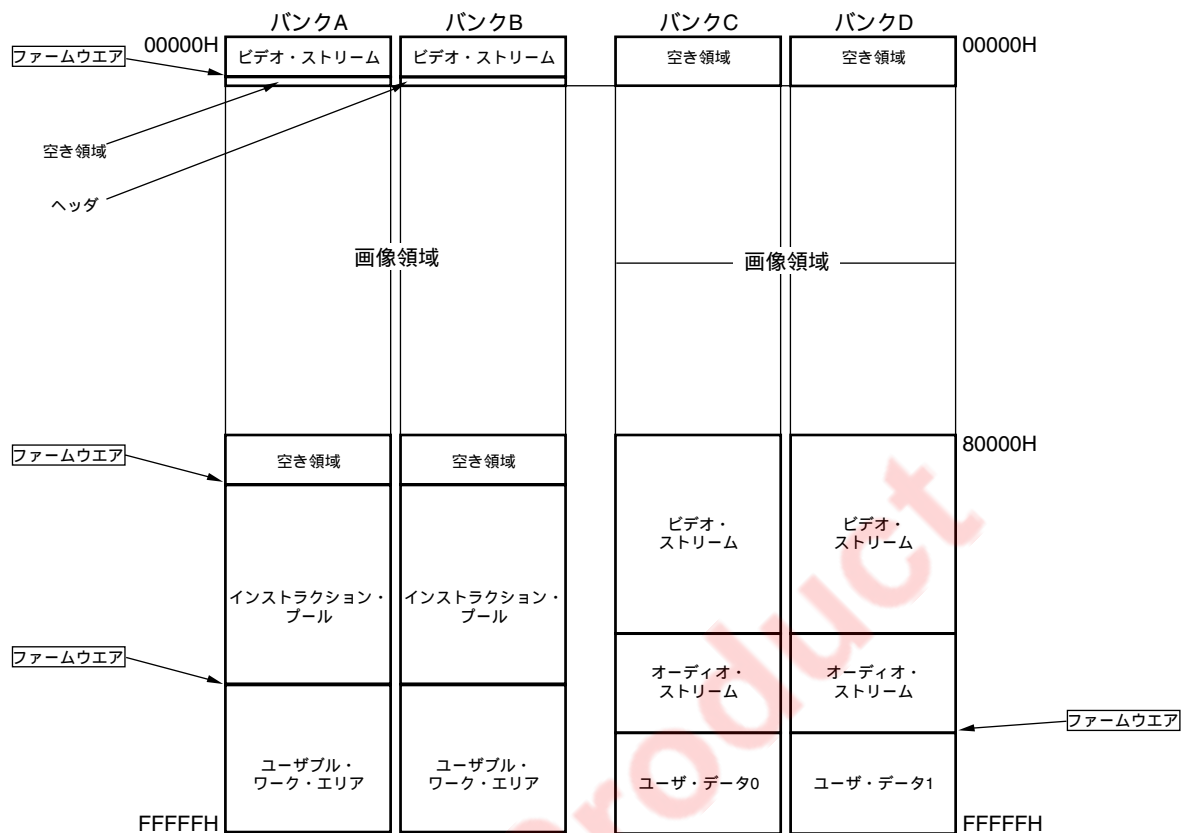


図 2-15 メモリ・マップ (2/2)

(c) 64 M ビット SDRAM × 2 個, 128 M ビット SDRAM × 2 個の例

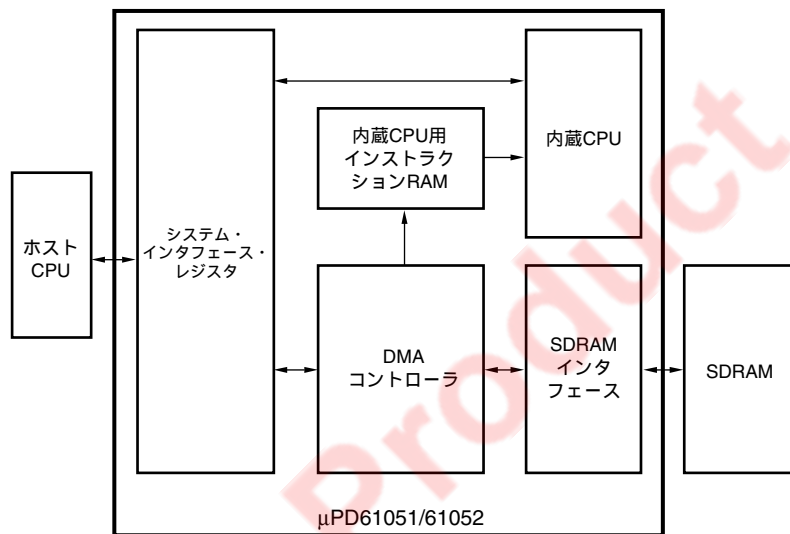


### 3. システム・インタフェース・レジスタ

このLSIは、内蔵CPUのインストラクションRAM (iRAM) にロードするファームウェアを交換することで、さまざまな動作モードに応じたレジスタ・マップを構成できます。

レジスタは64バイトの領域を持ち、共有レジスタと割り込みレジスタ、割り込みマスク・レジスタの内容を各アプリケーションごとに定義します。内蔵CPUとホストCPUの双方から同じアドレスに書き込みがあった場合は後から書いたデータがレジスタに残ります。また、共有レジスタは同時に同じアドレスに書き込みが発生した場合はホストCPUのデータがレジスタに残ります。

図3-1 システム・インタフェース・レジスタ





3.1 レジスタ・マップ (基本型)

番地	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	R/W	
00H-1FH	ファームウェアで定義								R/W	
20H	SI	SSD	SDI	MSD	MI		SDW	SDR	R/W	Download mode
21H	SA19-SA16								R/W	Source address
22H	SA15-SA8								R/W	Source address
23H	SA7-SA0								R/W	Source address
24H	DA16								R/W	Destination address
25H	DA15-DA8								R/W	Destination address
26H	DA7-DA0								R/W	Destination address
27H	TC18-TC16								R/W	Transfer data count
28H	TC15-TC8								R/W	Transfer data count
29H	TC7-TC0								R/W	Transfer data count
2AH	iCPU-INT								R/W	Int. to internal CPU
2BH	DMA-ERR-M DMA-RDY-M DMA-DONE-M								R/W	Interrupt mask0
2CH	ファームウェアで定義								R/W	Interrupt mask1
2DH	ファームウェアで定義								R/W	Interrupt mask2
2EH	ファームウェアで定義								R/W	Interrupt mask3
2FH	ファームウェアで定義								R/W	Interrupt mask4
30H	DMA-ERR DMA-RDY DMA-DONE								R/W	Interrupt0
31H	ファームウェアで定義								R/W	Interrupt1
32H	ファームウェアで定義								R/W	Interrupt2
33H	ファームウェアで定義								R/W	Interrupt3
34H	ファームウェアで定義								R/W	Interrupt4
35H	iROM2-iROM0								R/W	Mask ROM cycle
36H	ISREQ OSVLD								R/W	Port setup
37H-3DH										
3EH	NBR ALL RESET								R/W	Reset
3FH	TD7-TD0								R/W	Transfer data

3.2 機能説明

3.2.1 共有レジスタ

番地	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	R/W
00H-1FH	ファームウェアで定義								R/W

アプリケーションごとにファームウェアで定義するレジスタです。

ホストCPUと内蔵CPUとの送信に使用します。

RESET端子またはリセット・レジスタのALL RESETのリセットにより00H番地と01H番地を0Hに初期化します。そのほかのレジスタの初期値は不定です。リセット直前の設定値を保持します。

3.2.2 データ転送レジスタ

ホストCPU SDRAM, SDRAM ホストCPU, ホストCPU 内蔵CPUのインストラクションRAM, SDRAM 内蔵CPUのインストラクションRAM, インストラクションROM 内蔵CPUのインストラクションRAMの転送を行うためのレジスタです。SDRAMとの転送は、このLSIに内蔵した128バイトの転送バッファを經由してそれぞれの転送先にデータを転送します。インストラクションRAMとの転送は4バイト単位になります。

転送モード・レジスタを設定して転送を開始してから、転送終了して転送モード・レジスタを解除する前に転送モード・レジスタ、ソース・アドレス・レジスタ、デスティネーション・アドレス・レジスタ、転送カウンタ・レジスタを変更すると、転送エラーが発生します。ホストCPU→内蔵CPUのインストラクションRAM転送、ホストCPU SDRAM転送、SDRAM 内蔵CPUのインストラクションRAM転送、インストラクションROM SDRAM転送、インストラクションROM 内蔵CPUのインストラクションRAM転送時は、転送前に内蔵CPUをソフトウェア・リセットに設定(3EH番地 02H)し、転送後にリセットを解除してください。

(1) 転送モード・レジスタ

番地	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	R/W
20H	SI	SSD	SDI	MSD	MI		SDW	SDR	R/W

Download mode

ビット位置	フィールド	機 能	初期値
7	SI	ホストCPU 内蔵CPUのインストラクションRAM 0：転送解除，1：転送 <sup>注</sup>	0
6	SSD	ホストCPU SDRAM 0：転送解除，1：転送 <sup>注</sup>	0
5	SDI	SDRAM 内蔵CPUのインストラクションRAM 0：転送解除，1：転送 <sup>注</sup>	0
4	MSD	インストラクションROM SDRAM 0：転送解除，1：転送 <sup>注</sup>	0
3	MI	インストラクションROM 内蔵CPUのインストラクシ ョンRAM 0：転送解除，1：転送 <sup>注</sup>	0
2		設定禁止（0を設定）	
1	SDW	ホストCPU SDRAM 0：転送解除，1：転送	0
0	SDR	SDRAM ホストCPU 0：転送解除，1：転送	0

注 転送時は、内蔵CPUをソフトウェア・リセットに設定（3EH番地 02H）してください。

同時に複数のビットに1を設定することはできません。転送途中で別の転送モードへ切り替えたときは転送エラーが発生します。転送途中で転送を解除したときは転送を中止します。このとき転送バッファの中のデータは無効になります。SDRの1回の転送は最大128バイトまでです。転送を中止したときは転送エラー処理を必ず行ってください。

(2) ソース・アドレス・レジスタ

番地	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	R/W	
21H					SA19-SA16				R/W	Source address
22H	SA15-SA8								R/W	Source address
23H	SA7-SA0								R/W	Source address

転送バッファに転送するデータのアドレスを指定します。SDRAMとインストラクションROMからの転送時に有効になります。転送モード・レジスタをセットしてからは転送モードを解除するまで変更できません。転送モードを解除する前に書き換えると転送エラーが発生します。

SDRAM，外付けインストラクションROMのアドレスとの関係は図3 - 2，3 - 3のとおりです。SDRAMのアドレス指定は32アドレス×4ワード単位（128バイト）になります。

SDRAMのバンクとアドレスの対応は，表3 - 1のとおりです。

図3-2 ソース・アドレスと SDRAM アドレスの対応

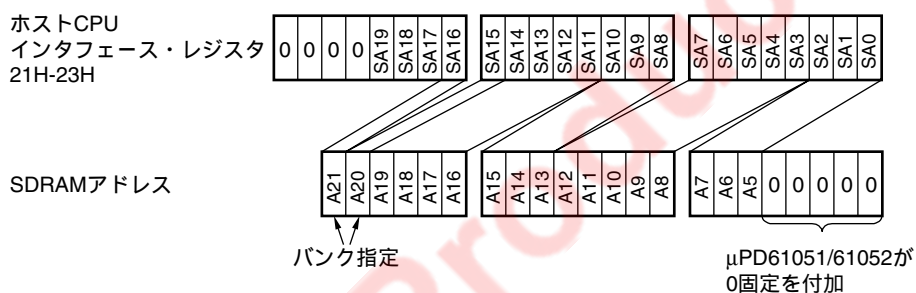


図3-3 ソース・アドレスと外付けインストラクションROMアドレスの対応

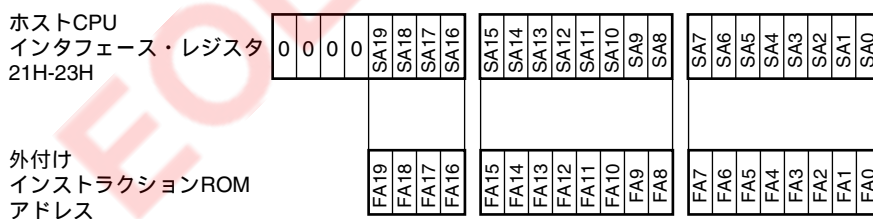


表3 - 1 SDRAM のバンクとアドレスの対応

メモリ	バンクA	バンクB	バンクC	バンクD
16 MビットSDRAM × 2個	000000H-07FFFFFFH	200000H-27FFFFFFH	-	-
16 MビットSDRAM × 1個	000000H-07FFFFFFH	200000H-27FFFFFFH	100000H-17FFFFFFH	300000H-37FFFFFFH
64 MビットSDRAM × 2個	000000H-0FFFFFFFH	200000H-2FFFFFFFH	100000H-1FFFFFFFH	300000H-3FFFFFFFH
128 MビットSDRAM × 1個				
128 MビットSDRAM × 2個				
128 MビットSDRAM × 2個	000000H-0FFFFFFFH	200000H-2FFFFFFFH	100000H-1FFFFFFFH	300000H-3FFFFFFFH

(3) デスティネーション・アドレス・レジスタ

番地	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	R/W	
24H								DA16	R/W	Destination address
25H	DA15-DA8								R/W	Destination address
26H	DA7-DA0								R/W	Destination address

転送バッファから転送する先のアドレスを指定します。SDRAMと内蔵CPUのインストラクションRAMへの転送時に有効になります。転送モード・レジスタをセットしてからは転送モードを解除するまで変更できません。転送モードを解除する前に書き換えると転送エラーが発生します。

SDRAM，内蔵CPUのインストラクションRAMのアドレスとの関係は図3 - 4，3 - 5のとおりです。SDRAMのアドレス指定は32アドレス×4ワード単位（128バイト）になります。

図3-4 デスティネーション・アドレスと SDRAM アドレスの対応

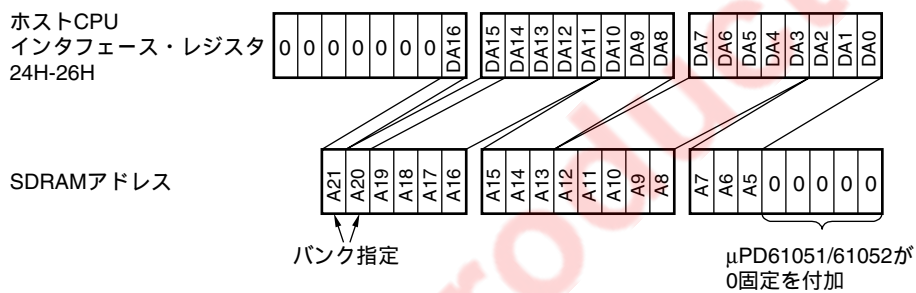
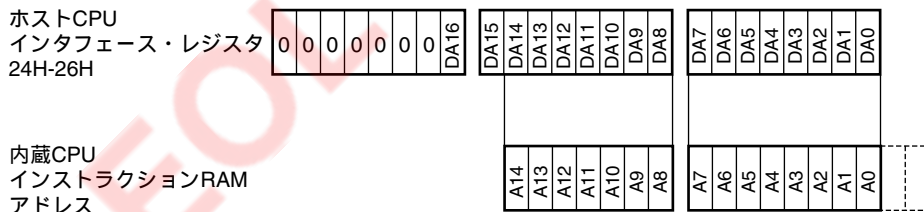


図3-5 デスティネーション・アドレスと内蔵 CPU インストラクション RAM アドレスの対応



(4) 転送カウンタ・レジスタ

番地	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	R/W
27H						TC18-TC16			R/W
28H	TC15-TC8								R/W
29H	TC7-TC0								R/W

Transfer data count  
Transfer data count  
Transfer data count

転送するデータのバイト数を設定します。

ホストCPUとSDRAM間の転送時は転送バイト数を4バイト単位で設定します。

ホストCPUまたは、インストラクションROM、SDRAMから内蔵CPUのインストラクションRAMへの転送時は4バイト単位で転送バイト数/4を設定します。

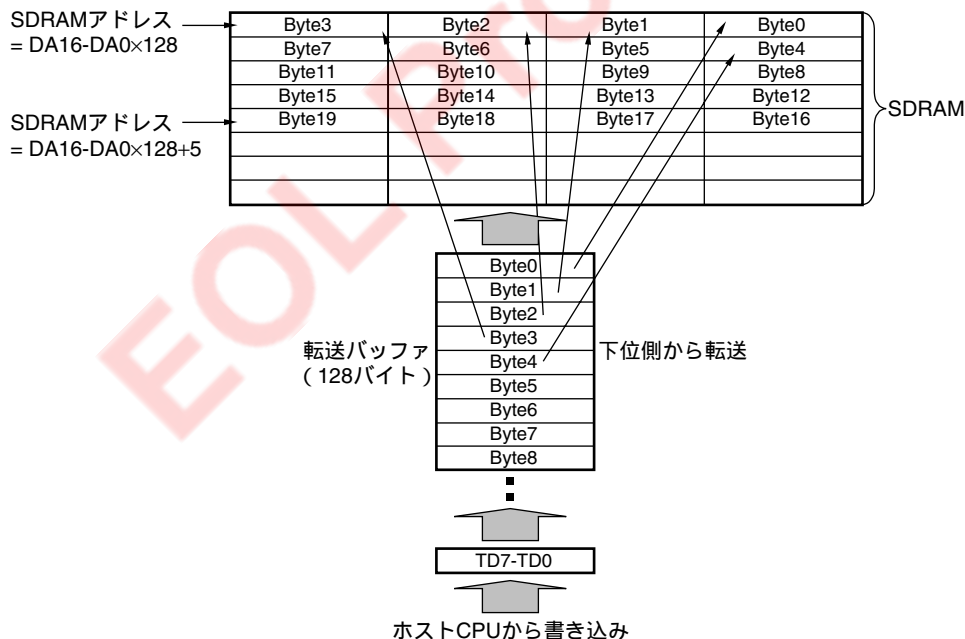
(5) 転送データ・レジスタ

番地	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	R/W
3FH	TD7-TD0								R/W

Transfer data

転送するデータをホストCPUがリード/ライトするデータ転送窓です。

図3-6 SDRAM へのライト例



## SDRAMのリード

### 割り込みの制限

ホストCPUはデータ転送を必要とする割り込みに対して割り込みマスク・レジスタ(2CH-2FH番地)でマスクを設定する。

### 読み出し先のアドレスを設定

ホストCPUはμPD61051/61052のソース・アドレス・レジスタ(21H-23H番地)にSDRAMのアドレスを設定する。

### 読み出すデータ数(128バイト以下)を設定

ホストCPUはμPD61051/61052の転送カウンタ・レジスタ(27H-29H番地)にデータのバイト数を4バイト単位で設定する。

### SDRAM ホストCPUの転送を設定

ホストCPUはμPD61051/61052の転送モード・レジスタ(20H番地)に01Hを設定する。

### CINT割り込み(割り込み端子)

割り込み要因が転送準備完了であることを確認し、割り込み要因をクリア

ホストCPUはμPD61051/61052の割り込みレジスタ0(30H番地)が02Hまたは01Hになっていることを確認し、μPD61051/61052の割り込みレジスタ0(30H番地)に割り込みレジスタ0(30H番地)から読み出した値を書き込み、割り込み要因をクリアする。

### 設定したバイト数のデータのリード

ホストCPUは設定したバイト数の回数、μPD61051/61052の転送データ・レジスタ(3FH番地)からデータをリードする。

### CINT割り込み(割り込み端子)

割り込み要因が転送完了であることを確認

ホストCPUはμPD61051/61052の割り込みレジスタ0(30H番地)が01Hになっていることを確認する(μPD61051/61052の割り込みレジスタ0(30H番地)に01Hを書き込み、割り込み要因をクリアする)。

### SDRAM ホストCPUの転送を解除

ホストCPUはμPD61051/61052の転送モード・レジスタ(20H番地)に00Hを設定したあとにμPD61051/61052の割り込みレジスタ0(30H番地)に01Hを書き込み、割り込み要因をクリアする。

### 割り込み制限の解除

で行った割り込みの制限を解除する。

## SDRAMへのライト

### 割り込みの制限

ホストCPUはデータ転送を必要とする割り込みに対して割り込みマスク・レジスタ(2CH-2FH番地)でマスクを設定する。

### 書き込み先のアドレスを設定

ホストCPUはμ PD61051/61052のデスティネーション・アドレス・レジスタ(24H-26H番地)にSDRAMのアドレスを設定する。

### 書き込むデータ数を設定

ホストCPUはμ PD61051/61052の転送カウンタ・レジスタ(27H-29H番地)にデータのバイト数を4バイト単位で設定する。

### ホストCPU SDRAM転送を設定

ホストCPUはμ PD61051/61052の転送モード・レジスタ(20H番地)に02Hを設定する。

### データのライト

ホストCPUは設定したバイト数または128バイトの少ない方のバイト数のデータを、μ PD61051/61052の転送データ・レジスタ(3FH番地)にライトする。

### CINT割り込み(割り込み端子)

#### 割り込み要因が転送完了であることを確認

転送するデータの数か128バイト以下のとき、ホストCPUはμ PD61051/61052の割り込みレジスタ0(30H番地)が01Hになっていることを確認しへ進む。

#### 128バイト以降のデータ転送準備を確認

ホストCPUはμ PD61051/61052の割り込みレジスタ0(30H番地)が02Hまたは01Hになっていることを確認し、μ PD61051/61052の割り込みレジスタ0(30H番地)に割り込みレジスタ0(30H番地)から読み出した値を書き込み、割り込み要因をクリアする。に戻って残りのデータをライトする。

### SDRAM ホストCPUの転送を解除

ホストCPUはμ PD61051/61052の転送モード・レジスタ(20H番地)に00Hを設定して、μ PD61051/61052の割り込みレジスタ0(30H番地)に01Hを書き込み、割り込み要因をクリアする。

### 割り込み制限の解除

で行った割り込みの制限を解除する。



必要な場合は転送したデータに対応するデータ・バンク番号とバイト数を共有レジスタに設定して、内蔵CPUに割り込みを通知

ホストCPUはμ PD61051/61052の共有レジスタ（00H-1FH番地の間）のAPIで定義するアドレスにデータ・バンク番号とバイト数を設定し、μ PD61051/61052の2AH番地に01Hを設定して内蔵CPUに割り込みを通知する。

### 3.2.3 内蔵 CPU 割り込みレジスタ

番地	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	R/W	
2AH								iCPU-INT	R/W	Int. to internal CPU

内蔵CPUに対してホストCPUから割り込みを設定します。内蔵CPUが割り込み処理をしてビットをクリアします。レジスタの初期値は0Hです。

### 3.2.4 割り込みマスク・レジスタ

番地	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	R/W	
2BH						DMA-ERR-M	DMA-RDY-M	DMA-DONE-M	R/W	Interrupt mask0
2CH	ファームウェアで定義								R/W	Interrupt mask1
2DH	ファームウェアで定義								R/W	Interrupt mask2
2EH	ファームウェアで定義								R/W	Interrupt mask3
2FH	ファームウェアで定義								R/W	Interrupt mask4

割り込みレジスタのマスク・レジスタです。割り込みレジスタにビット単位で対応します。割り込みマスクを設定すると割り込みレジスタに1が設定されてもCINT端子に割り込みが発生しません。

レジスタの初期値は0Hです。

3.2.5 ダウンロード割り込みレジスタ

番地	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	R/W	
30H						DMA-ERR	DMA-RDY	DMA-DONE	R/W	Interrupt0

ダウンロードの割り込みレジスタです。割り込み要因が発生すると1をセットします。ホストCPUは割り込み要因に対する処理をしたあとに処理したレジスタに書き込みを行うと割り込みがクリアします。

クリア処理は割り込みレジスタがクリアされるまで継続してください。

レジスタの初期値は0Hです。

ビット位置	フィールド	機 能	初期値
7-3		設定禁止 (0を設定)	
2	DMA-ERR	データ転送エラー 0: ノーマル, 1: エラー	0
1	DMA-RDY	データ転送準備完了 0: ノーマル, 1: 転送準備完了	0
0	DMA-DONE	データ転送完了 0: ノーマル, 1: 転送完了	0

128バイト転送ごとにDMA-RDYまたはDMA-DONEを出力します。

転送の終了にDMA-DONEを出力します。

3.2.6 割り込みレジスタ

番地	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	R/W	
31H				ファームウエアで定義					R/W	Interrupt1
32H				ファームウエアで定義					R/W	Interrupt2
33H				ファームウエアで定義					R/W	Interrupt3
34H				ファームウエアで定義					R/W	Interrupt4

割り込みレジスタです。割り込み要因が発生すると1をセットします。ホストCPUは割り込み要因に対する処理をしたあとに処理した割り込み要因のビットに1を書き込むと割り込みがクリアします。

クリア処理は割り込みレジスタがクリアされるまで継続してください。

割り込みをクリアしたときにマスクしていない割り込みレジスタに1がセットしてある場合は1 μs後にCINT端子に割り込みを出力します。

レジスタの初期値は0Hです。リセット直前の設定値を保持します。

番地	ビット位置	フィールド	機 能	初期値
31H-	7-0		ファームウエアで定義	0H
34H			0: ノーマル, 1: 割り込み	

3.2.7 リセット・レジスタ

番地	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	R/W
3EH							NBR	ALL RESET	R/W

Reset

ホストCPUがALL RESETに1を設定すると、内部をリセットして自動的に0に戻ります。

RESET端子またはリセット・レジスタのALL RESETのリセットにより、このレジスタを0Hに初期化します。

ビット位置	フィールド	機 能	初期値
7-2		設定禁止 (0を設定)	
1	NBR	内蔵CPUリセット 0: ノーマル, 1: リセット	0
0	ALL RESET	ハードウェア・リセットと同等のリセット 0: ノーマル, 1: リセット	0

3.2.8 ROM アクセス・サイクル・レジスタ

番地	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	R/W
35H							iROM2-iROM0		R/W

Mask ROM cycle

ホストCPUインタフェースをシリアル・バス接続したときに、内蔵CPUのインストラクションを入れておく外部ROMのアクセス・サイクルを指定します。

RESET端子またはリセット・レジスタのALL RESETのリセットにより、このレジスタを7Hに初期化します。

ビット位置	フィールド	機 能	初期値
7-3		設定禁止 (0を設定)	
2-0	iROM2- iROM0	インストラクションROMのアクセス・サイクル設定 0: 設定禁止, 1-7: (設定値 + 2) × 24.6 ns	7H

3.2.9 ポート・セットアップ・レジスタ

番地	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	R/W
36H							ISREQ	OSVLD	R/W

Port setup

ビット位置	フィールド	機 能	初期値
7-2		設定禁止 (0を設定)	
1	ISREQ	ISREQの極性設定 0: ロウ・リクエスト, 1: ハイ・リクエスト	0
0	OSVLD	OSVLD/OSRDYの極性設定 0: ロウ・バリッド/レディ, 1: ハイ・バリッド/レディ	0

4. 操作手順

ホストCPUは内蔵CPUのインストラクションRAMに個々の動作モードのファームウェアを転送して動作させます。

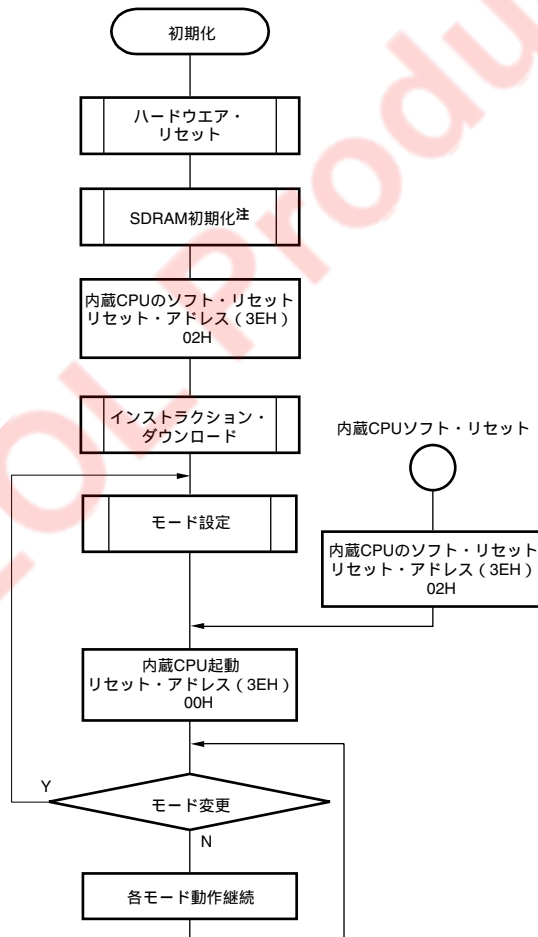
このLSIはファームウェアをSDRAMに転送することで、SDRAMから個々の動作モードのファームウェアを内蔵CPUのインストラクションRAMにロードして動作することもできます。

ホストCPUインタフェースに平行ル・バス・インタフェースを使用する場合は、ハードウェア・リセット後にホストCPUがデータ転送レジスタを設定して内蔵CPUのインストラクションRAMにSDRAMの初期化プログラムを転送し実行したあとに、ファームウェアをSDRAMにロードすることもできます。

ホストCPUインタフェースにシリアル・バス・インタフェースを使用する場合は、ハードウェア・リセット後にホストCPUがデータ転送レジスタを設定して外部のインストラクションROMから内蔵CPUのインストラクションRAMにSDRAMの初期化プログラムを転送し実行したあとに、ファームウェアを外部のインストラクションROMからSDRAMにロードします。

4.1 概要

ハードウェア・リセット後、動作モードの設定などの初期化処理手順を次に示します。



注 SDRAM初期化ファームウェアを独立させない場合は不要です。

4.2 ファームウェア・ダウンロード

ホストCPUは、内蔵CPU用のインストラクションRAMにファームウェアをダウンロードします。

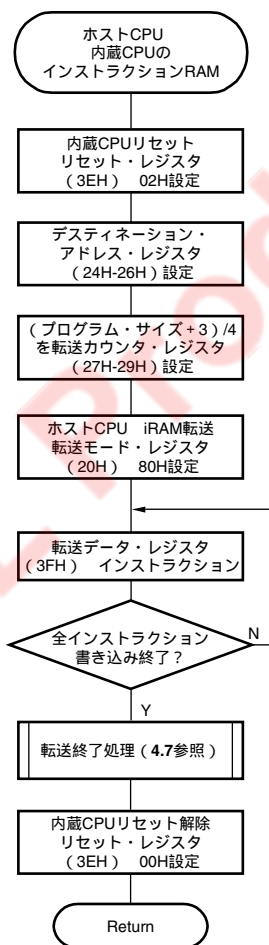
シリアル・バスでホストCPUを接続している場合は、ダウンロード処理の高速化のために外部ROMからファームウェアをダウンロードすることもできます。また、複数のファームウェアをSDRAMのインストラクション・プール領域に格納しておき、必要に応じて入れ換えることも可能です。

内蔵CPUのインストラクションRAMへ転送するとき、転送カウンタ・レジスタの設定値(転送バイト数/4)は(プログラム・サイズ+3)/4です。

4.2.1 ホストCPU 内蔵CPUのインストラクションRAM転送

ホストCPUは内蔵CPUのためのインストラクションRAMにファームウェアをダウンロードします。

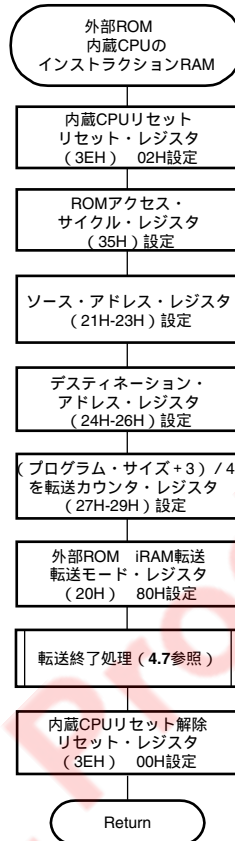
続けてデータを転送する場合は、内蔵CPUをリセットしたまま転送してください。途中でCPUリセットを解除すると誤動作するおそれがあります。



4.2.2 外部ROM 内蔵CPUのインストラクションRAM転送

ホストCPUとの接続がシリアル・バスの場合、ファームウェア・ダウンロードの高速化のため内蔵CPU用のインストラクションRAMに外部ROMからファームウェアをダウンロードすることもできます。

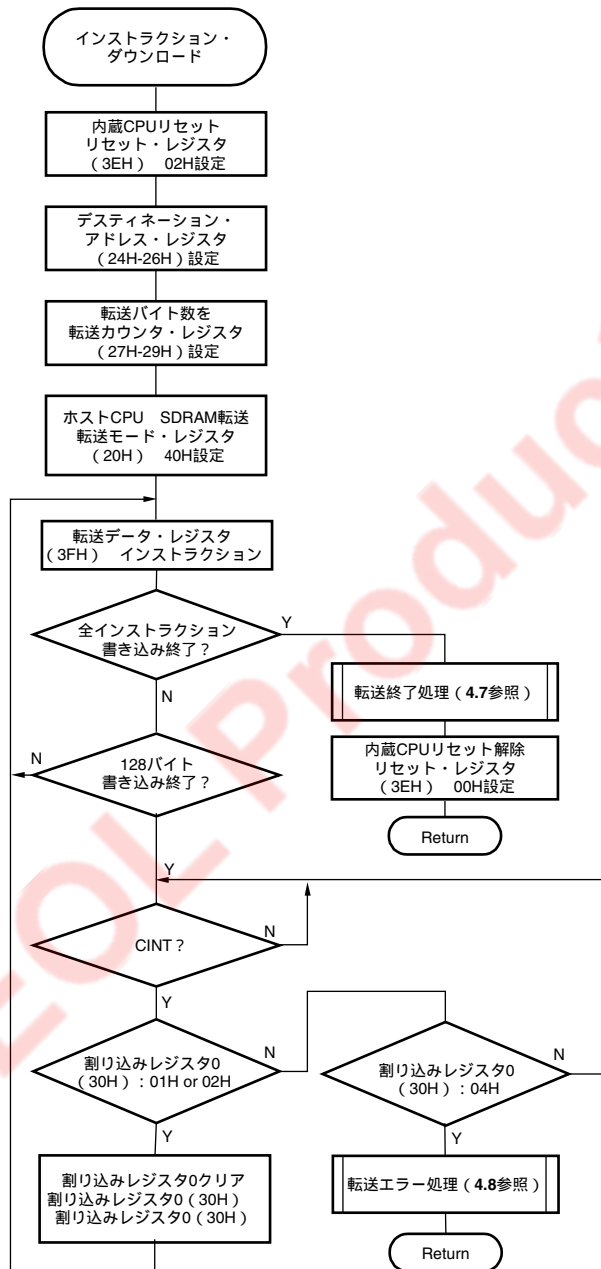
続けてデータを転送する場合は、内蔵CPUをリセットしたまま転送してください。途中でCPUリセットを解除すると誤動作するおそれがあります。



4.2.3 ホストCPU SDRAM 転送

ホストCPUは内蔵CPUのためのファームウェアをSDRAMのインストラクション・プール領域に格納することができます。複数のファームウェアを格納しておき、必要に応じて入れ換えることも可能です。

続けてデータを転送する場合は、内蔵CPUをリセットしたまま転送してください。途中でCPUリセットを解除すると誤動作するおそれがあります。転送バイト数は4バイト単位です。

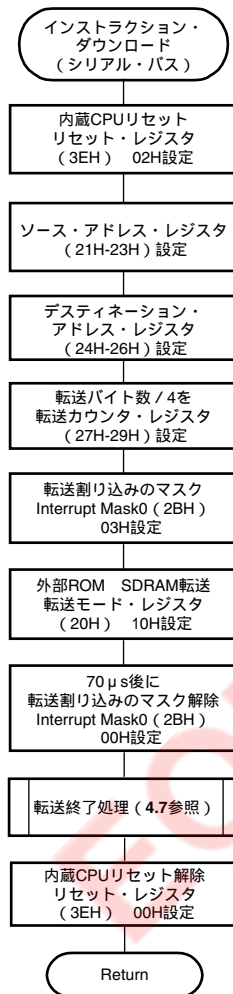


4.2.4 外部ROM SDRAM 転送

内蔵CPUのためのファームウエアを外部ROMからSDRAMのインストラクション・プール領域に格納することができます。複数のファームウエアを格納しておき、必要に応じて入れ換えることも可能です。

続けてデータを転送する場合は、内蔵CPUをリセットしたまま転送してください。途中でCPUリセットを解除すると誤動作するおそれがあります。1 Kバイト以下のデータを転送するときは128バイトごとに分割して転送してください。転送バイト数は4バイト単位です。

(a) 1 Kバイト以上の転送時



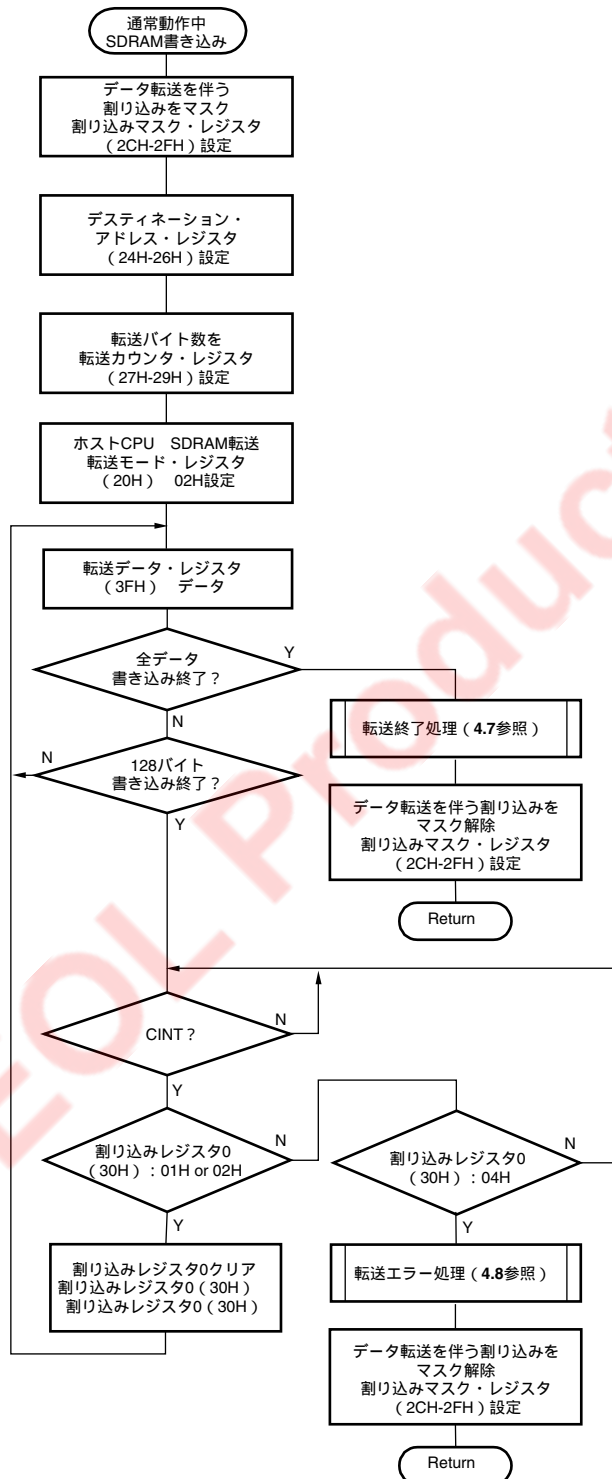
(b) 128バイト以下の転送時





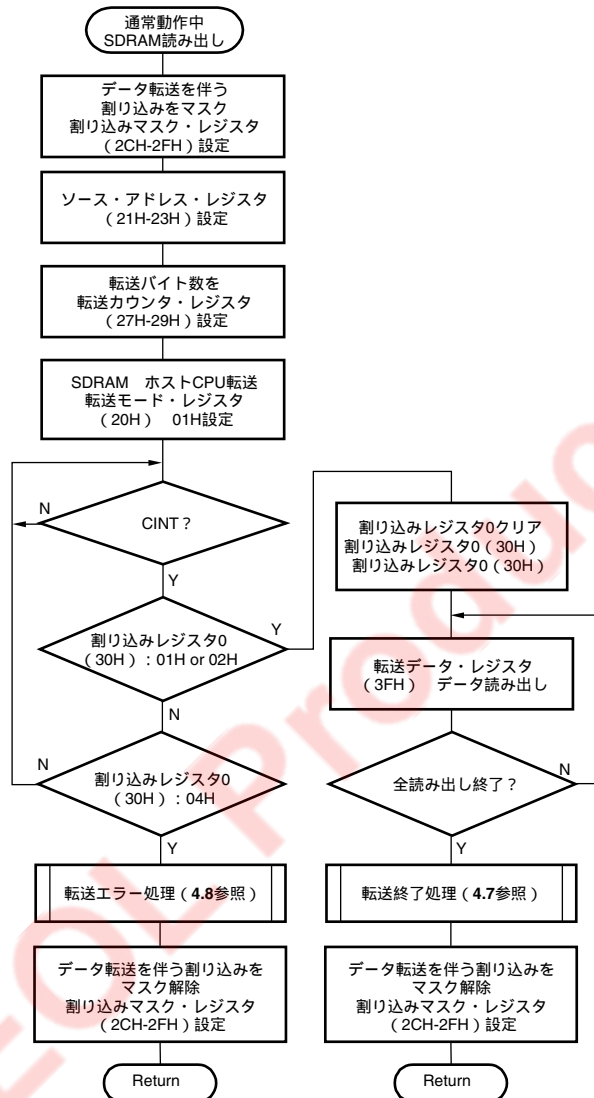
4.3 通常動作中のSDRAM書き込み

エンコード処理中などに、ユーザ・データなどの比較的大きなデータをSDRAM上のユーザブル・ワーク・エリアに転送する際などに使用します。転送バイト数は4バイト単位です。



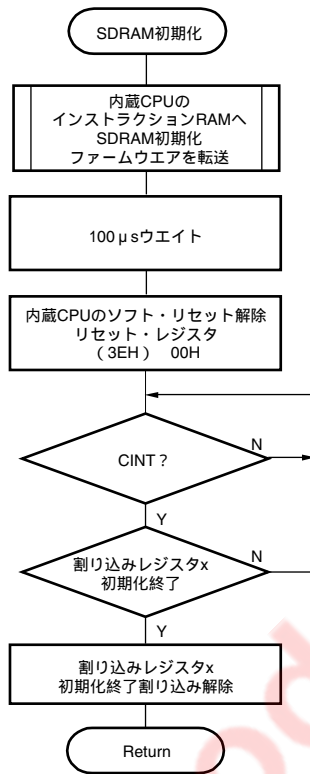
4.4 通常動作中のSDRAM読み出し

トランスコード処理中などに、ユーザ・データなどの比較的大きなデータをSDRAM上のユーザ・データ領域から転送する際などに使用します。1回の読み出し処理で読み出せるデータの最大数は、128バイトまでです。128バイト以上のデータを読み出すときは、読み出し処理を繰り返し実行してください。転送バイト数は4バイト単位です。



4.5 SDRAM初期化

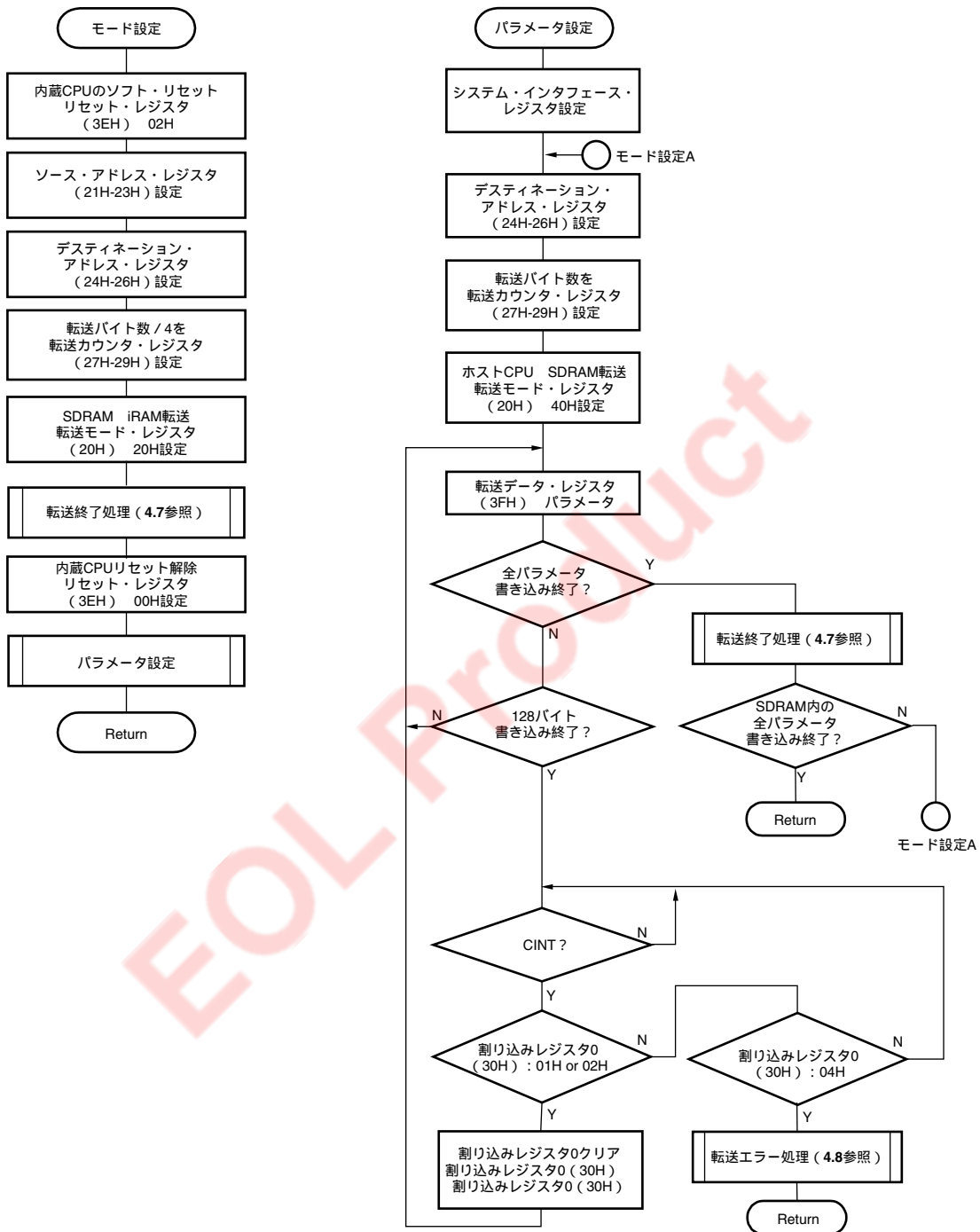
SDRAMの初期化を行うための専用ファームウェアをダウンロードして実行します。



EOL Product

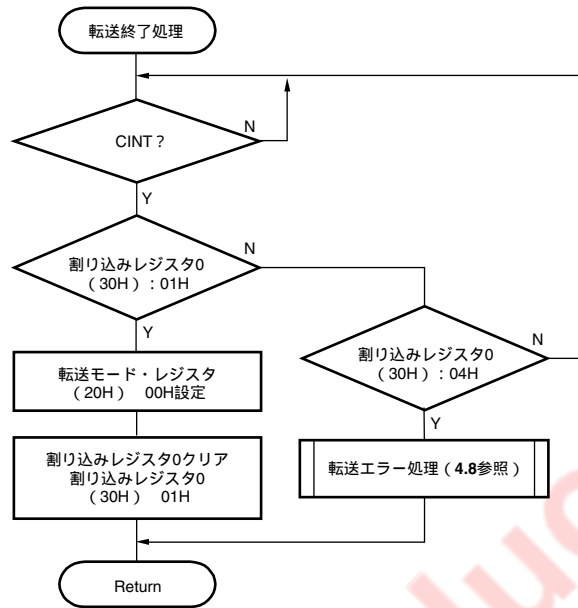
4.6 ファームウェア切り替えによる動作モード設定

複数のファームウェアをSDRAMのインストラクション・プール領域に格納しておき、必要に応じて入れ換える際に必要な処理を次に示します。



4.7 転送終了処理

ホストCPUはインストラクション，データの転送の終了時に転送エラーの確認をしてから転送モード・レジスタと割り込みの解除を行います。

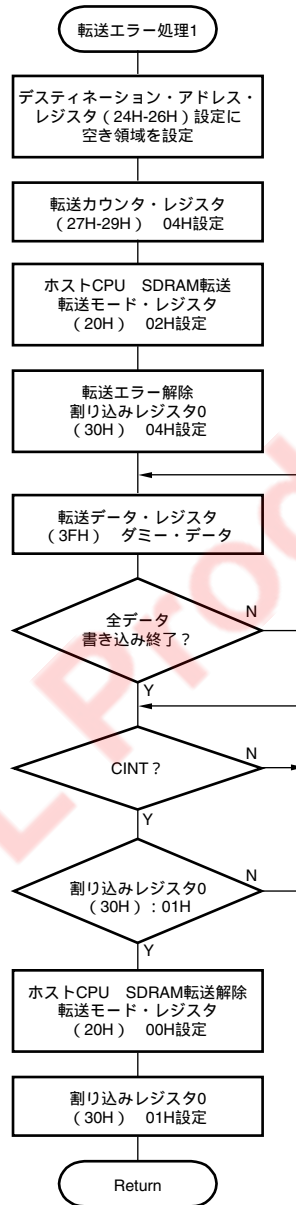


EOL Product

4.8 転送エラー処理

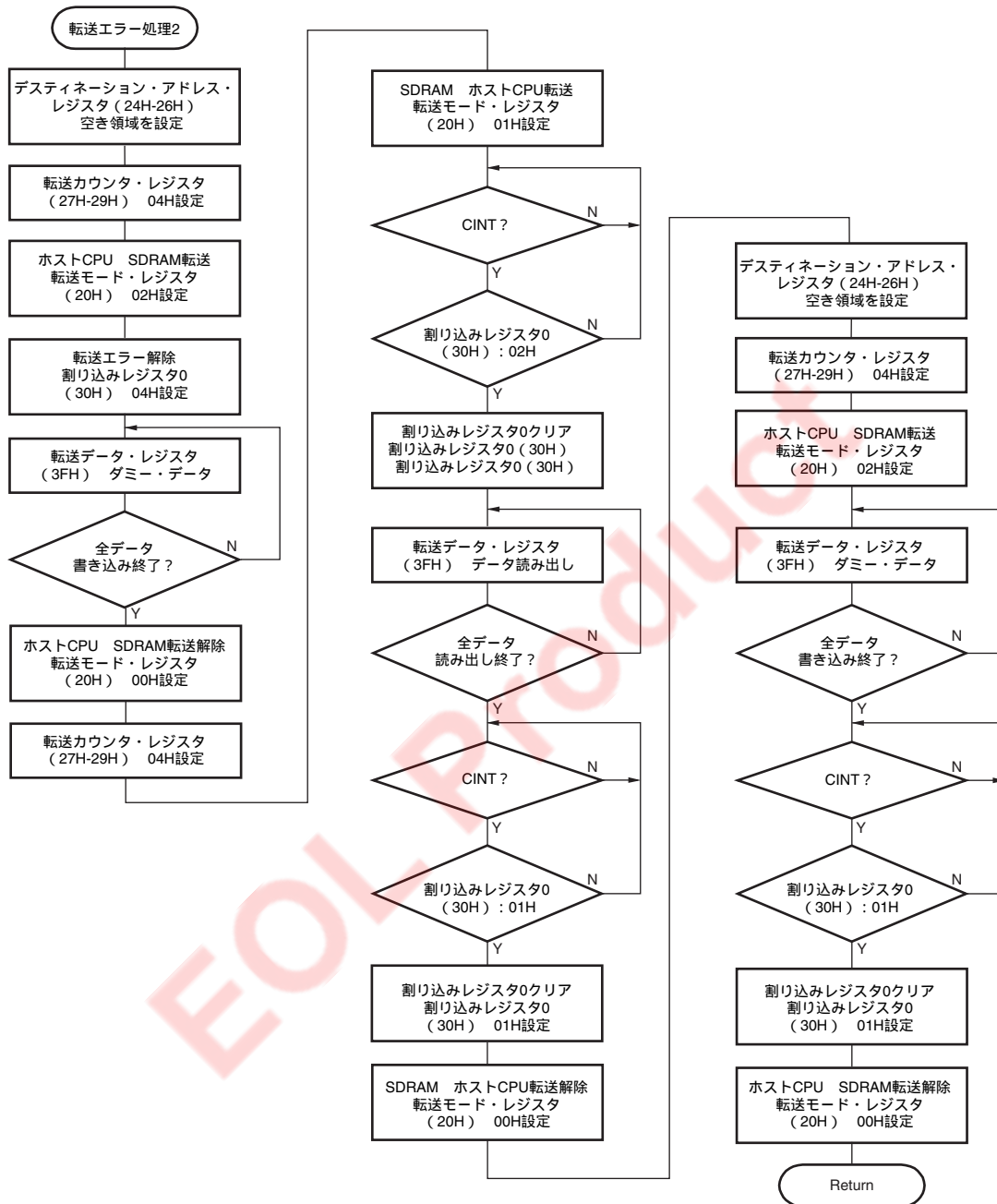
4.8.1 転送エラー処理 1

ホストCPU 内蔵CPUのインストラクションRAM転送，ホストCPU SDRAM転送，通常動作中のSDRAM書き込み，外部ROM SDRAM転送，外部ROM 内蔵CPUのインストラクションRAM転送を中断したときに発生するDMA-ERRのエラー処理です。



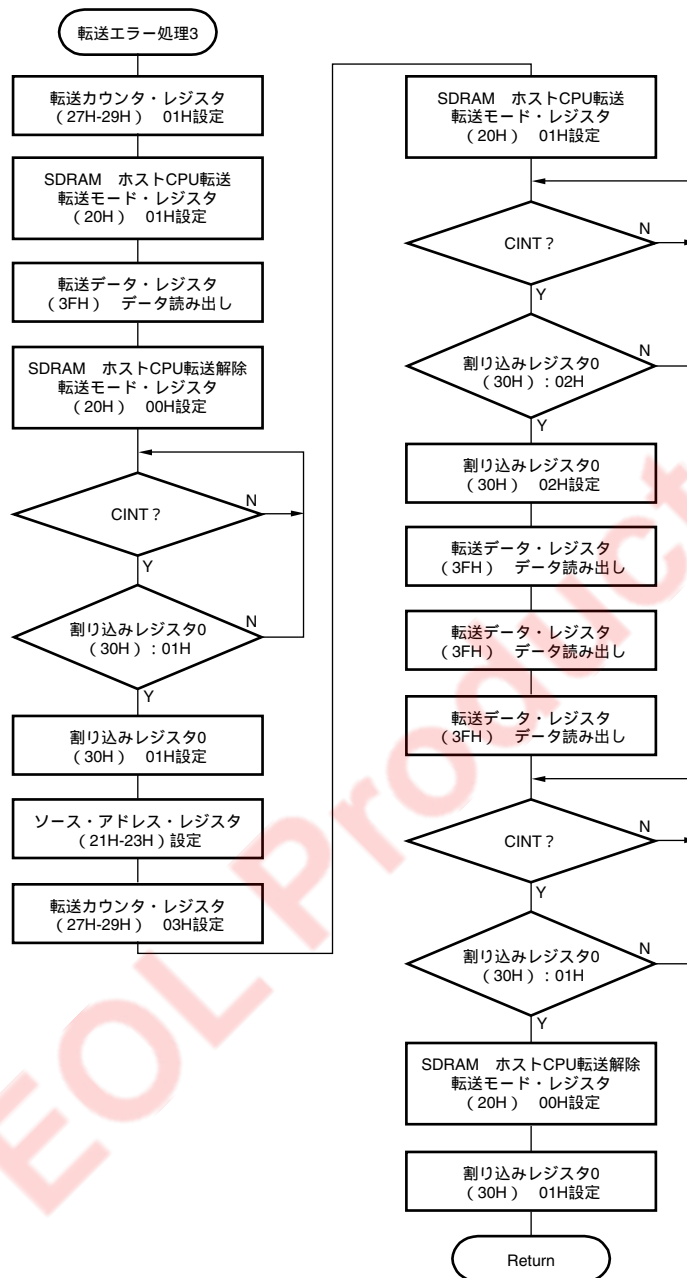
4.8.2 転送エラー処理 2

通常動作中のSDRAM読み出し，SDRAM 内蔵CPUのインストラクションRAM転送を中断したときに発生するDMA-ERRのエラー処理です。



4.8.3 転送エラー処理 3

ホストCPUシリアル接続時の転送処理を中断したときに発生するDMA-ERRのエラー処理です。

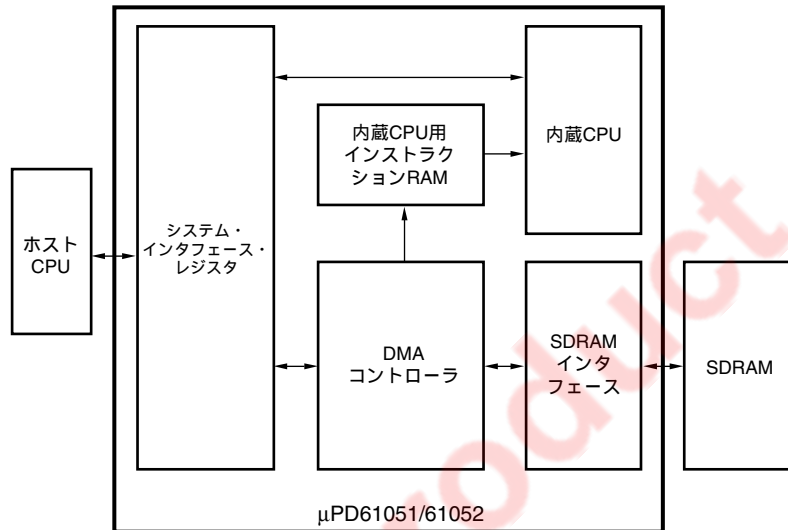




5. 共有レジスタの使用例


μ PD61051, 61052は内蔵CPUの制御によりエンコードやトランスコードなどの処理を行います。ホストCPUは、内蔵CPUとシステム・インタフェース・レジスタを介して通信することで、間接的にエンコードやトランスコードの制御を行うことになります。システム・インタフェース・レジスタのレジスタ・マップはファームウェアで定義します。これらのレジスタはコマンド、ステータス、パラメータなどの受け渡しに使用します。

図5-1 ホスト・インタフェース・レジスタ



5.1 レジスタ・マップの例

番地	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
00H						COMCODE		
01H						ESTS		
02H-1FH	パラメータ用レジスタ (各ファームウェアで定義)							
20H	SI	SSD	SDI	MSD	MI		SDW	SDR
21H						SA19-SA16		
22H						SA15-SA8		
23H						SA7-SA0		
24H								DA16
25H						DA15-DA8		
26H						DA7-DA0		
27H						TC18-TC16		
28H						TC15-TC8		
29H						TC7-TC0		
2AH								iCPU-INT
2BH						DMA-ERR-M	DMA-RDY-M	DMA-DONE-M
2CH-2FH	割り込みマスク・レジスタ (各ファームウェアで定義)							
30H						DMA-ERR	DMA-RDY	DMA-DONE
31H-34H	割り込みレジスタ (各ファームウェアで定義)							
35H						iROM2-iROM0		
36H							ISREQ	OSVLD
37H-3DH								
3EH							NBR	ALL RESET
3FH						TD7-TD0		

未定義のレジスタ (  ) は各システムの機能拡張に使用します。0を設定してください

5.2 ファームウェア定義のレジスタの例

5.2.1 COMCODE : コマンド・レジスタ

番地	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
00H								COMCODE

ホストCPUはコマンド・レジスタを介して状態を変更することができます。3つの状態があり、この間で状態遷移することでエンコード処理の制御を行います。

コマンド	コード
スタンバイ/ストップ	001
スタート	011
予約	その他

入力可能なコマンドは内部状態により異なります。状態遷移可能なコマンドの場合は、コマンドに従って状態遷移します。

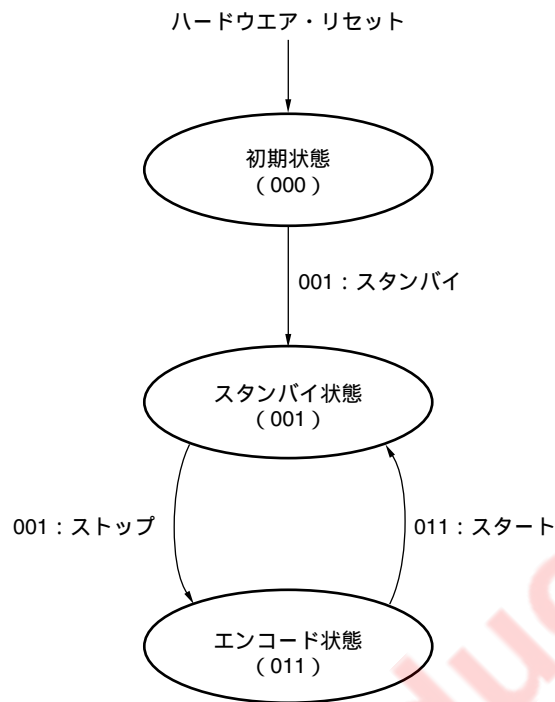
5.2.2 ESTS : ステータス・レジスタ

番地	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
01H								ESTS

処理の状態をステータス表示します。状態遷移が正しくない場合は状態遷移しません。

ESTS	コード
初期状態	000
スタンバイ状態	001
エンコード状態	011

図5-2 コマンド状態遷移



- 初期状態で発行可能なコマンド : スタンバイ
- スタンバイ状態で発行可能なコマンド : スタート
- エンコード状態で発行可能なコマンド : ストップ

6. 電気的特性

絶対最大定格 (TA = 25 )

項目	略号	条件	定格	単位
電源電圧	V <sub>DD3</sub>	V <sub>DD3</sub> 端子, 対GND	4.6	V
	V <sub>DD2</sub>	V <sub>DD2</sub> 端子, 対GND PV <sub>DD2</sub> 端子, 対PGND	3.6	V
入力電圧	V <sub>IN</sub>	対GND3	- 0.5 ~ + 4.6	V
出力電圧	V <sub>OUT</sub>	対GND3	- 0.5 ~ + 4.6	V
出力電流	I <sub>OUT</sub>		20	mA
許容損失	P <sub>D</sub>		2	W
動作周囲温度	T <sub>A</sub>		0 ~ + 70	
保存温度	T <sub>stg</sub>		- 55 ~ + 125	

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なうおそれがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

DC特性 (TA = 0 ~ + 70 , V<sub>DD3</sub> = 3.3 ± 0.165 V , V<sub>DD2</sub> = 2.5 ± 0.2 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧	V <sub>DD3</sub>	V <sub>DD3</sub> 端子, 対GND	3.135	3.3	3.465	V
	V <sub>DD2</sub>	V <sub>DD2</sub> 端子, 対GND PV <sub>DD2</sub> 端子, 対PGND	2.3	2.5	2.7	V
ハイ・レベル入力電圧	V <sub>IH</sub>		2.2		V <sub>DD3</sub> + 0.5	V
ロウ・レベル入力電圧	V <sub>IL</sub>	SCLK	- 0.5		+ 0.6	V
		SCLK以外の端子	- 0.5		+ 0.7	V
ハイ・レベル出力電圧	V <sub>OH</sub>		2.4			V
ロウ・レベル出力電圧	V <sub>OL</sub>				0.4	V
入力リーク電流	I <sub>LI</sub>	MD31-MD0, CMODE1以外の端子			± 10	μA
消費電流	I <sub>DD3</sub>	3.3 V電源			70	mA
	I <sub>PDD</sub>	2.5 V PLL電源			15	mA
	I <sub>DD2</sub>	2.5 V内部回路			510	mA

容量 (TA = 25 )

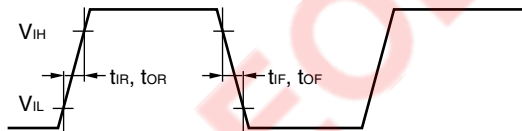
項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	C <sub>i</sub>				20	pF
出力容量	C <sub>o</sub>				20	pF
入出力容量	C <sub>io</sub>				20	pF

AC特性 (  $T_A = 0 \sim +70$  ,  $V_{DD3} = 3.3 \pm 0.165 V$  ,  $V_{DD2} = 2.5 \pm 0.2 V$  ,  $C_L = 15 pF$  ,  $t_R = t_F = 1 ns$  )

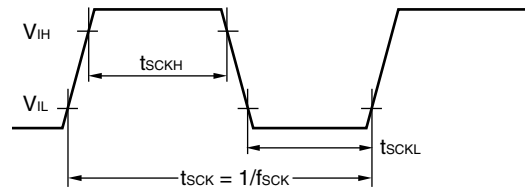
(1) システム

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCLK周波数	f <sub>SCK</sub>			27.0		MHz
SCLKハイ・レベル幅	t <sub>SCKH</sub>	デューティ40:60	13.2			ns
SCLKロウ・レベル幅	t <sub>SCKL</sub>	デューティ40:60	13.2			ns
PSTOP解除時間1	t <sub>STP1</sub>	対V <sub>DD3</sub>	1			μs
PSTOP解除時間2	t <sub>STP2</sub>	対V <sub>DD2</sub>	1			μs
PSTOP解除時間3	t <sub>STP3</sub>	対PV <sub>DD2</sub>	1			μs
PSTOP解除時間4	t <sub>STP4</sub>	対SCLK	1			μs
PSTOPパルス幅	t <sub>WSTP</sub>		1			μs
RESET解除時間	t <sub>RES</sub>	対PSTOP ↓	100			μs
ビデオ入力リセット時間	t <sub>IVRES</sub>	IVCLK安定後	600			ns
オーディオ・リセット時間	t <sub>AURES</sub>	AMCLK安定後	600			ns
STCリセット時間	t <sub>STRES</sub>	STCLK安定後	600			ns
リセット・パルス幅	t <sub>RESW</sub>	全クロック安定後	600			ns
入力立ち上がり時間	t <sub>IR</sub>	対AMCLK, STCLK, SCLK, ISCLK			3	ns
		対IVCLK			5	ns
入力立ち下がり時間	t <sub>IF</sub>	対AMCLK, STCLK, SCLK, ISCLK			3	ns
		対IVCLK			5	ns
出力立ち上がり時間	t <sub>OR</sub>				3	ns
出力立ち下がり時間	t <sub>OF</sub>				3	ns

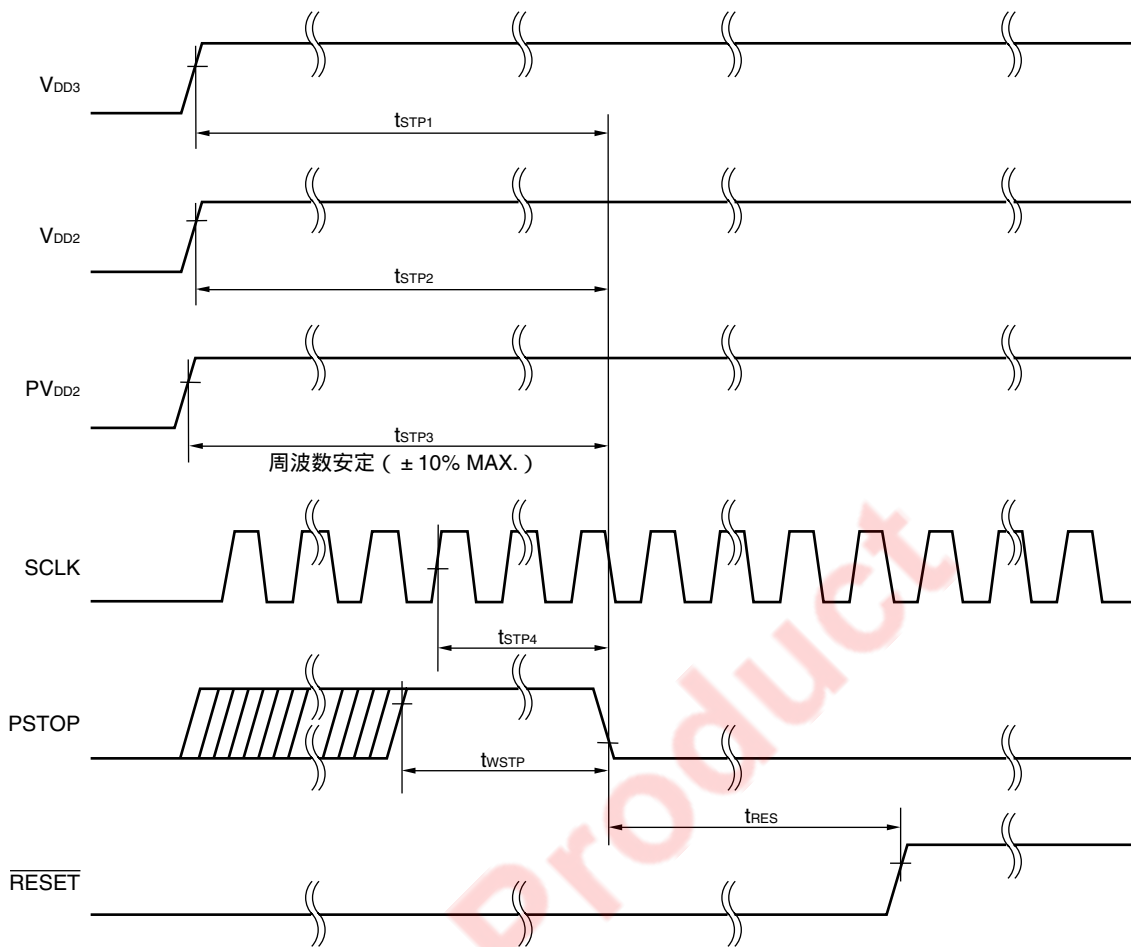
ハイ・レベル, ロウ・レベル



クロック入力

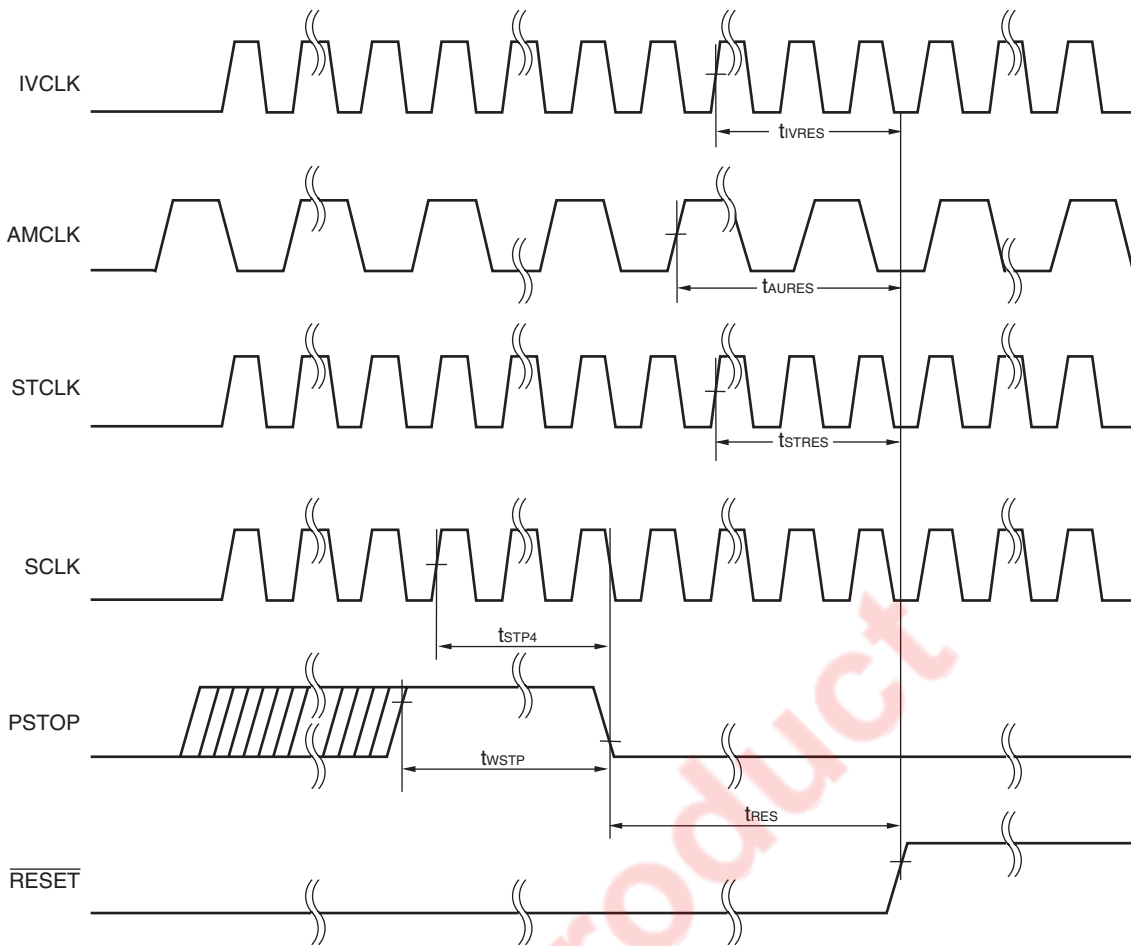


リセット入力

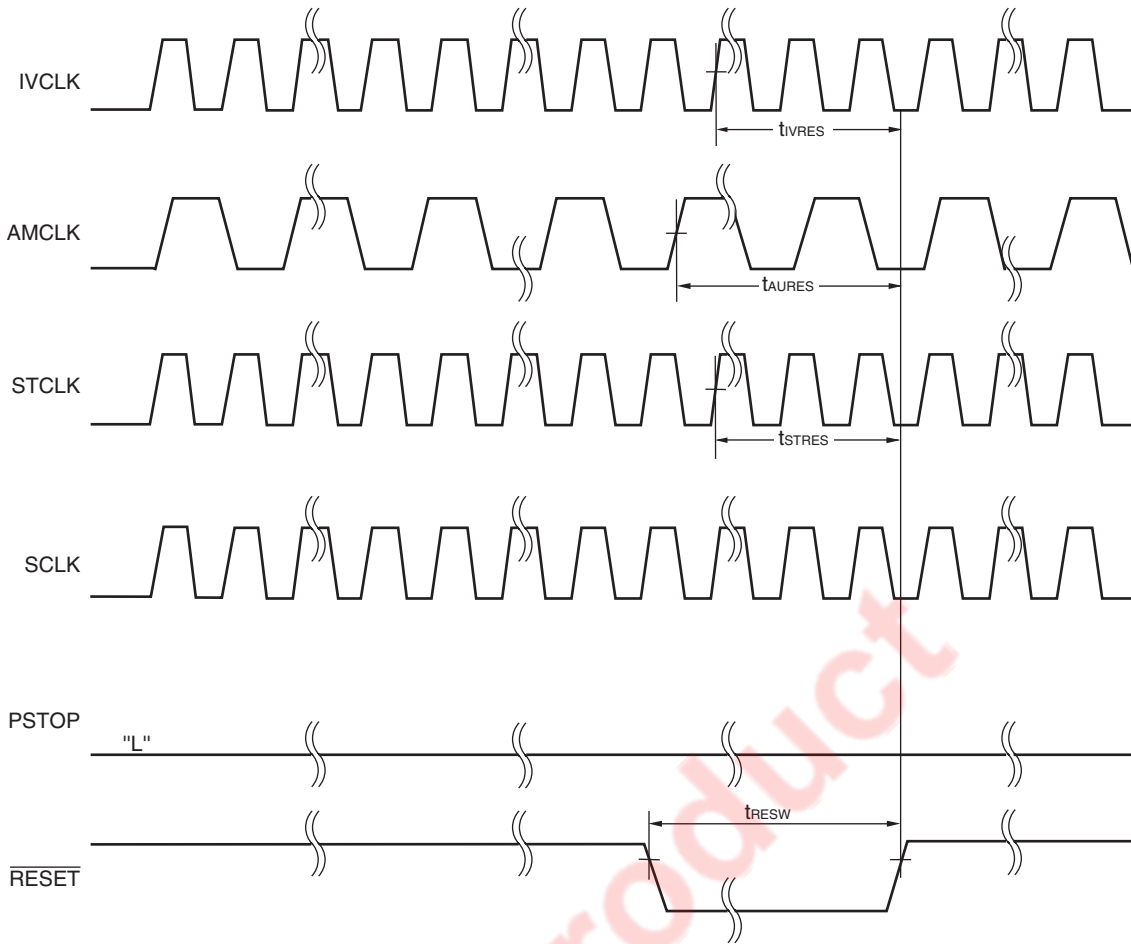


注意 電源ON/OFF時の注意点

- 「V<sub>DD3</sub>」と「V<sub>DD2</sub> , PV<sub>DD2</sub>」は同時に電源を投入してください。
- 同時投入が難しい場合は、「V<sub>DD2</sub> , PV<sub>DD2</sub>」を先に投入してください。
- 電源を切る場合は、「V<sub>DD3</sub>」と「V<sub>DD2</sub> , PV<sub>DD2</sub>」を同時に切断してください。
- 同時に切断することが難しい場合は、「V<sub>DD2</sub>、PV<sub>DD2</sub>」を最後に切断してください。

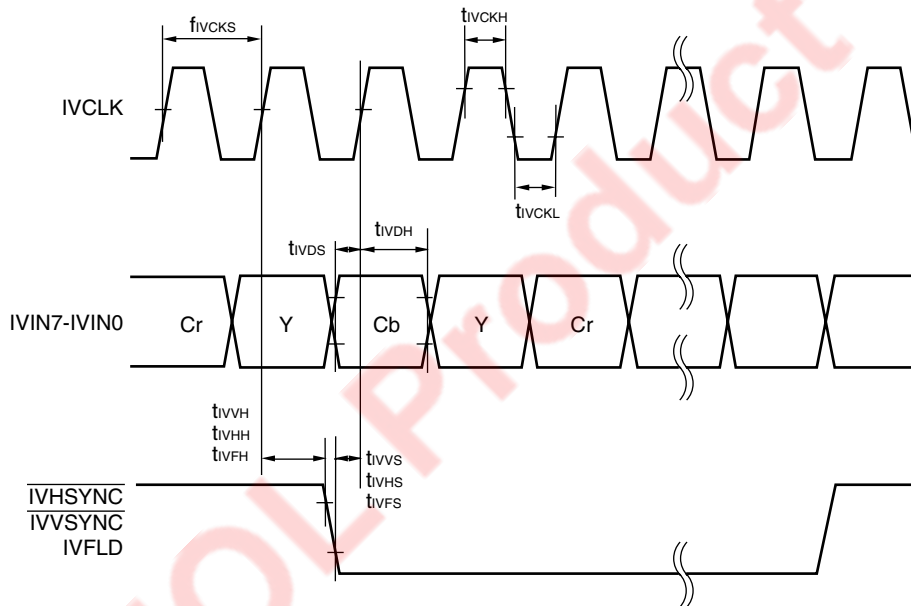






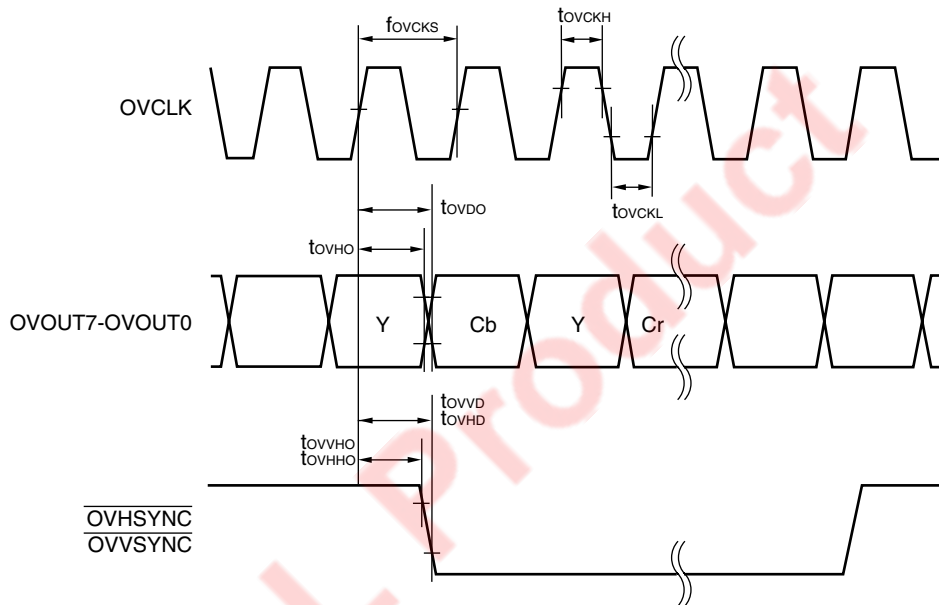
(2) ビデオ入力インタフェース

項目	略号	条件	MIN.	TYP.	MAX.	単位
IVCLK周波数	f <sub>IVCKS</sub>			27		MHz
IVCLKハイ・レベル幅	t <sub>IVCKH</sub>		10			ns
IVCLKロウ・レベル幅	t <sub>IVCKL</sub>		10			ns
IVIN7-IVIN0セットアップ時間	t <sub>IVDS</sub>	対IVCLK	5			ns
IVIN7-IVIN0ホールド時間	t <sub>IVDH</sub>	対IVCLK	4			ns
IVVSYNC入力セットアップ時間	t <sub>IVVS</sub>	対IVCLK	5			ns
IVVSYNC入力ホールド時間	t <sub>IVVH</sub>	対IVCLK	4			ns
IVHSYNC入力セットアップ時間	t <sub>IVHS</sub>	対IVCLK	5			ns
IVHSYNC入力ホールド時間	t <sub>IVHH</sub>	対IVCLK	4			ns
IVFLD入力セットアップ時間	t <sub>IVFS</sub>	対IVCLK	5			ns
IVFLD入力ホールド時間	t <sub>IVFH</sub>	対IVCLK	4			ns



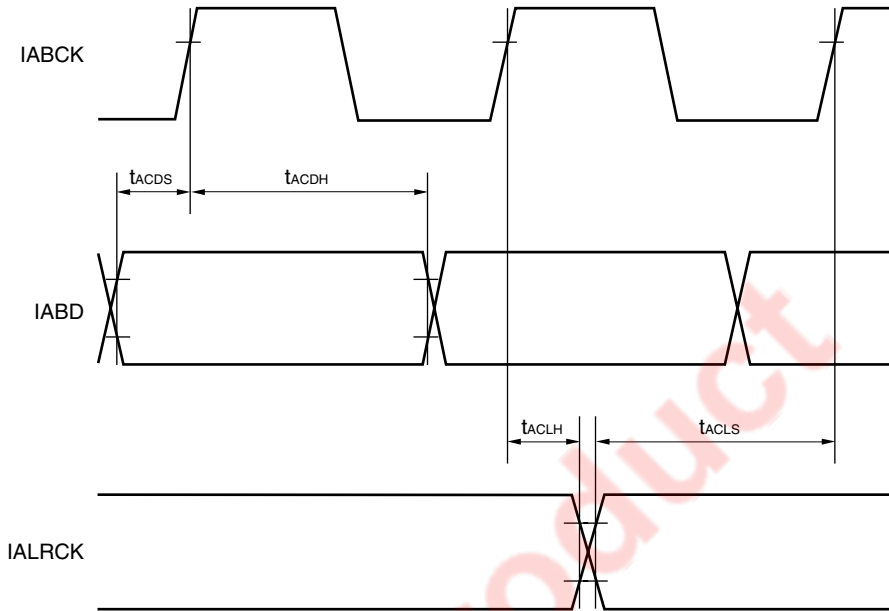
(3) ビデオ出力インタフェース

項目	略号	条件	MIN.	TYP.	MAX.	単位
OVCLK周波数	f <sub>OVCKS</sub>			27		MHz
OVCLKハイ・レベル幅	t <sub>OVCKH</sub>		8			ns
OVCLKロウ・レベル幅	t <sub>OVCKL</sub>		8			ns
OVOUT7-OVOUT0ホールド時間	t <sub>OVHO</sub>	対OVCLK	7			ns
OVOUT7-OVOUT0遅延時間	t <sub>OVDO</sub>	対OVCLK			28	ns
OVVSYNCホールド時間	t <sub>OVVHO</sub>	対OVCLK	7			ns
OVVSYNC遅延時間	t <sub>OVVD</sub>	対OVCLK			28	ns
OVHSYNCホールド時間	t <sub>OVVHO</sub>	対OVCLK	7			ns
OVHSYNC遅延時間	t <sub>OVVD</sub>	対OVCLK			28	ns



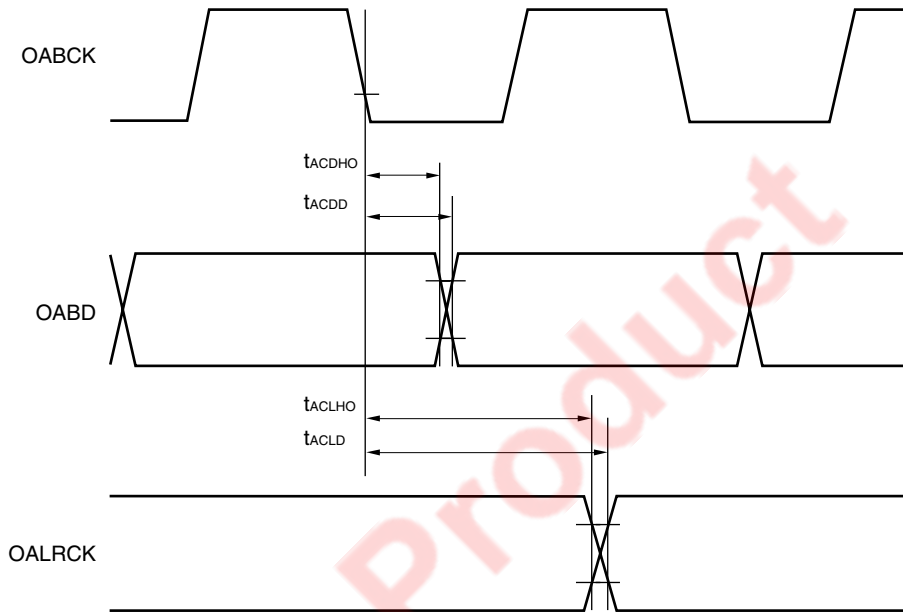
(4) オーディオ入カインタフェース

項目	略号	条件	MIN.	TYP.	MAX.	単位
ビット・データ・セットアップ時間	t <sub>ACDS</sub>	対IABCK	37			ns
ビット・データ・ホールド時間	t <sub>ACDH</sub>	対IABCK	37			ns
LRCKセットアップ時間	t <sub>ACLS</sub>	対IABCK	100			ns
LRCKホールド時間	t <sub>ACLH</sub>	対IABCK	37			ns



(5) オーディオ出力インターフェース

項目	略号	条件	MIN.	TYP.	MAX.	単位
ビット・データ・ホールド時間	$t_{ACDHO}$	対OABCK	- 5			ns
ビット・データ出力遅延時間	$t_{ACDD}$	対OABCK			25	ns
LRCKホールド時間	$t_{ACLHO}$	対OABCK	- 5			ns
LRCK出力遅延時間	$t_{ACLD}$	対OABCK			25	ns
BCKデューティ比	$d_{OBCK}$			50		%
AMCLKデューティ比	$d_{AMCLK}$			50		%
AMCLK周波数	$f_{AMCLK}$				18.432	MHz



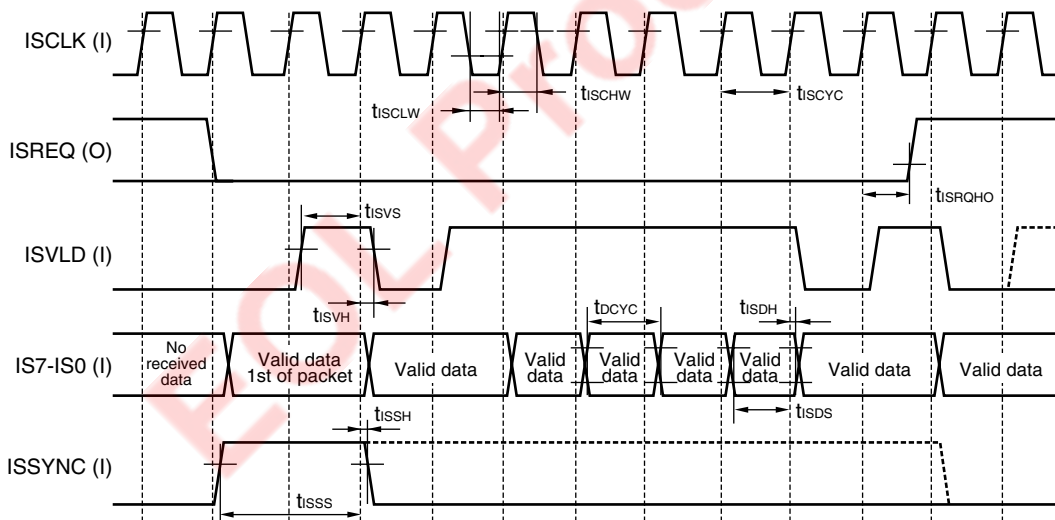
(6) ストリーム入インタフェース

(a) パラレル・ストリーム・データ入力

バリッド動作

項目	略号	条件	MIN.	TYP.	MAX.	単位
ISCLKサイクル	t <sub>ISCLC</sub>		80			ns
ISCLKロウ・レベル幅	t <sub>ISCLW</sub>		37			ns
ISCLKハイ・レベル幅	t <sub>ISCHW</sub>		37			ns
ISREQ出力ホールド時間	t <sub>ISRQHO</sub>	対ISCLKアクティブ・エッジ	0			ns
ISVLDセットアップ時間	t <sub>ISVS</sub>	対ISCLKアクティブ・エッジ	7			ns
ISVLDホールド時間	t <sub>ISVH</sub>	対ISCLKアクティブ・エッジ	3			ns
ISSYNCセットアップ時間	t <sub>ISSS</sub>	対ISCLKアクティブ・エッジ	7			ns
ISSYNCホールド時間	t <sub>ISSH</sub>	対ISCLKアクティブ・エッジ	3			ns
IS7-IS0セットアップ時間	t <sub>ISDS</sub>	対ISCLKアクティブ・エッジ	7			ns
IS7-IS0ホールド時間	t <sub>ISDH</sub>	対ISCLKアクティブ・エッジ	3			ns
データ・サイクル時間	t <sub>DCYC</sub>		80			ns

備考 ISREQはマスタ・モードで動作させたときのみ有効になります。ISREQ出力遅延時間は、ISCLKに対して非同期にインアクティブになります。

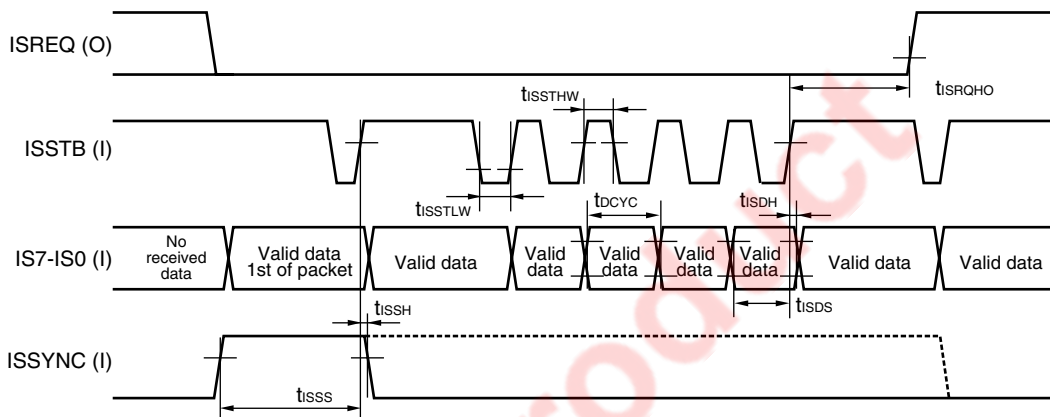


備考 ISSYNC : アクティブ・ハイ , ISREQ : アクティブ・ロウ , ISCLK : アクティブ・ハイ・エッジ

ストロープ動作

項目	略号	条件	MIN.	TYP.	MAX.	単位
ISSTBロウ・レベル幅	t <sub>ISSTLW</sub>		37			ns
ISSTBハイ・レベル幅	t <sub>ISSTHW</sub>		37			ns
ISREQ出力ホールド時間	t <sub>ISRQHO</sub>	対ISSTBアクティブ・エッジ	0			ns
ISSYNCセットアップ時間	t <sub>ISSS</sub>	対ISSTBアクティブ・エッジ	7			ns
ISSYNCホールド時間	t <sub>ISSH</sub>	対ISSTBアクティブ・エッジ	3			ns
IS7-IS0セットアップ時間	t <sub>ISDS</sub>	対ISSTBアクティブ・エッジ	7			ns
IS7-IS0ホールド時間	t <sub>ISDH</sub>	対ISSTBアクティブ・エッジ	3			ns
データ・サイクル時間	t <sub>DCYC</sub>		80			ns

備考 ISREQ出力遅延時間は、ISSTBに対して非同期にインアクティブになります。

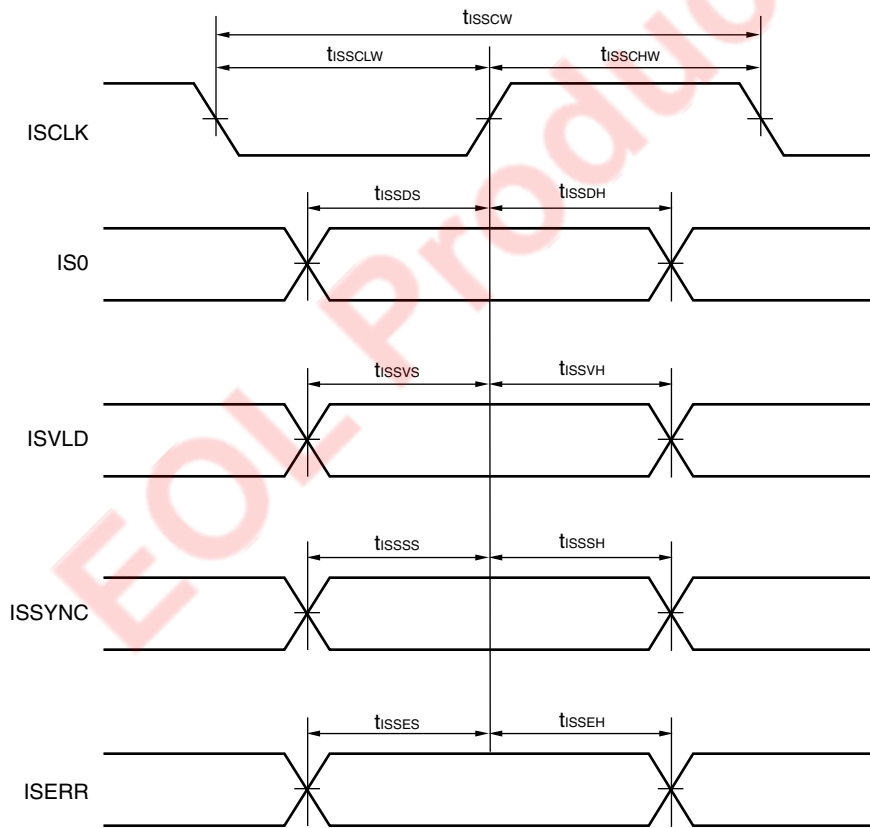


備考 ISSYNC : アクティブ・ハイ , ISREQ : アクティブ・ロウ , ISSTB : アクティブ・ハイ・エッジ

(b) シリアル・ストリーム・データ入力

項目	略号	条件	MIN.	TYP.	MAX.	単位
ISCLK期間	t <sub>ISSCW</sub>		15.6			ns
ISCLKロウ・レベル幅	t <sub>ISSCLW</sub>		5.0			ns
ISCLKハイ・レベル幅	t <sub>ISSCHW</sub>		5.0			ns
ISVLDセットアップ時間	t <sub>ISSVS</sub>	対ISCLKアクティブ・エッジ	2.5			ns
ISVLDホールド時間	t <sub>ISSVH</sub>	対ISCLKアクティブ・エッジ	2.5			ns
ISSYNCセットアップ時間	t <sub>ISSSS</sub>	対ISCLKアクティブ・エッジ	2.5			ns
ISSYNCホールド時間	t <sub>ISSSH</sub>	対ISCLKアクティブ・エッジ	2.5			ns
ISERRセットアップ時間	t <sub>ISSES</sub>	対ISCLKアクティブ・エッジ	2.5			ns
ISERRホールド時間	t <sub>ISSEH</sub>	対ISCLKアクティブ・エッジ	2.5			ns
IS0セットアップ時間	t <sub>ISSDS</sub>	対ISCLKアクティブ・エッジ	2.5			ns
IS0ホールド時間	t <sub>ISSDH</sub>	対ISCLKアクティブ・エッジ	2.5			ns

備考 セットアップ時間とホールド時間は、ISCLKのアクティブ・エッジに対して規定します。



備考 ISCLK : アクティブ・ハイ・エッジ



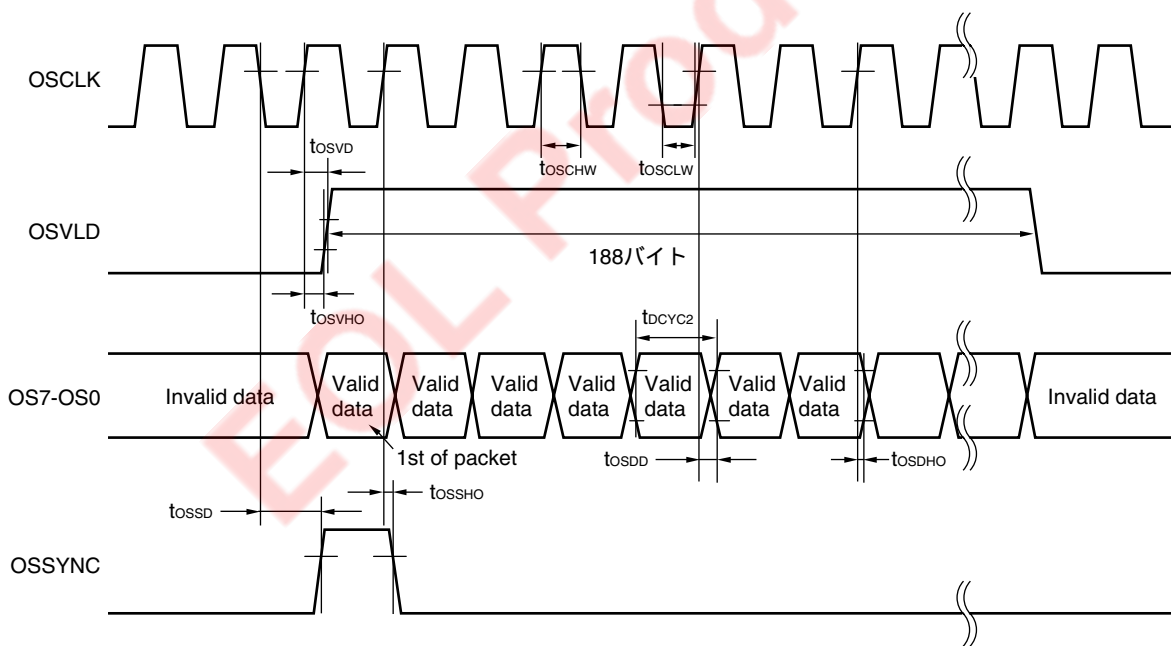
(7) ストリーム出カインタフェース

(a) パラレル・ストリーム・データ出力

バリッド動作マスタ・モード

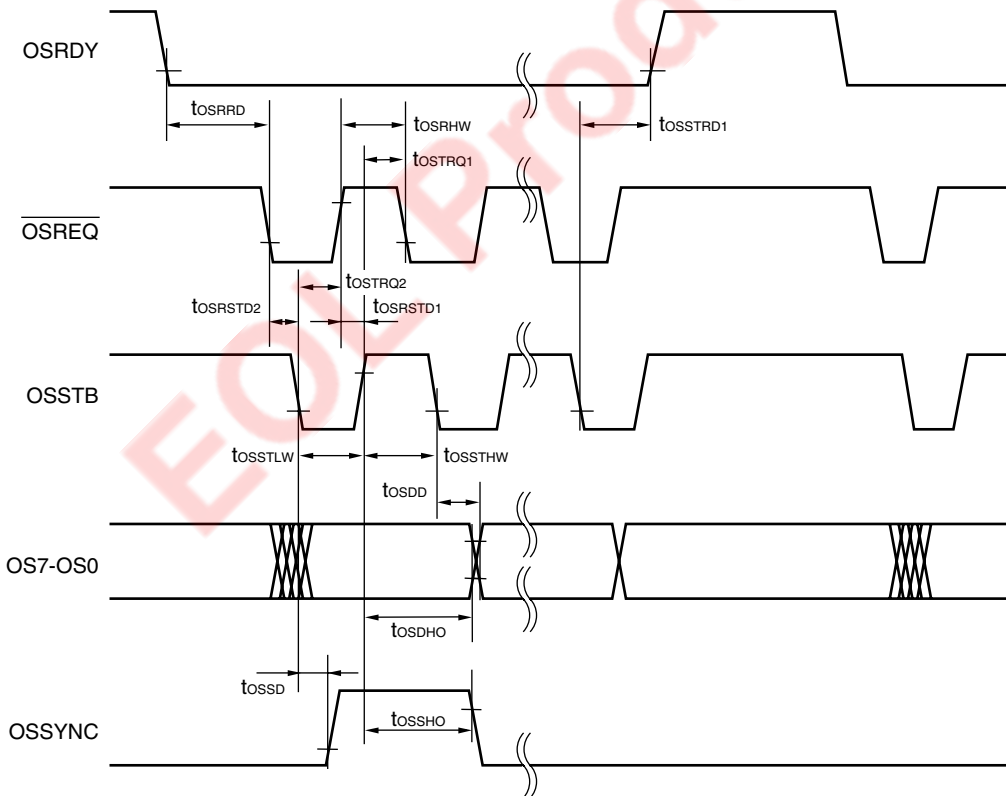
項目	略号	条件	MIN.	TYP.	MAX.	単位
OSCLKロウ・レベル幅	tosCLW	アクティブ立ち上がりエッジ	30			ns
		アクティブ立ち下がりエッジ	70			ns
OSCLKハイ・レベル幅	tosCHW	アクティブ立ち上がりエッジ	70			ns
		アクティブ立ち下がりエッジ	30			ns
OSVLDホールド時間	tosVHO	対OSCLKアクティブ・エッジ	30			ns
OSVLD遅延時間	tosVD	対OSCLKインアクティブ・エッジ	- 5		+ 5	ns
OSSYNCホールド時間	tosSHO	対OSCLKアクティブ・エッジ	30			ns
OSSYNC遅延時間	tosSD	対OSCLKインアクティブ・エッジ	- 5		+ 5	ns
OS7-OS0ホールド時間	tosDHO	対OSCLKアクティブ・エッジ	30			ns
OS7-OS0遅延時間	tosDD	対OSCLKインアクティブ・エッジ	- 5		+ 5	ns
データ・サイクル時間	tDCYC2		105			ns

備考 OSVLD : アクティブ・ハイ , OSSYNC : アクティブ・ハイ , OSCLK : アクティブ・ハイ・エッジ



ストローブ動作バイト転送モード

項目	略号	条件	MIN.	TYP.	MAX.	単位
OSREQハイ・レベル時間	tOSRHW		2			STCLK
OSSTBハイ・レベル幅	tOSSTHW	アクティブ立ち上がりエッジ	100			ns
		アクティブ立ち下がりエッジ	70			ns
OSSTBロウ・レベル幅	tOSSTLW	アクティブ立ち上がりエッジ	70			ns
		アクティブ立ち下がりエッジ	100			ns
OSREQホールド時間	tOSRRD	対OSRDYアクティブ・エッジ	0			ns
OSREQホールド時間	tOSTRQ1	対OSSTBアクティブ・エッジ	0			ns
	tOSTRQ2	対OSSTBインアクティブ・エッジ	0			ns
OSSTB遅延時間	tOSRSTD1	対OSREQアクティブ・エッジ	2		3	STCLK
	tOSRSTD2	対OSREQインアクティブ・エッジ	3			STCLK
OSRDY遅延時間	tOSSTRD1	対OSSTBインアクティブ・エッジ			3	STCLK
OSSYNC出力遅延時間	tOSSD	対OSSTBインアクティブ・エッジ	- 5		+ 5	ns
OSSYNC出力ホールド時間	tOSSHO	対OSSTBアクティブ・エッジ	70			ns
OS7-OS0出力遅延時間	tOSDD	対OSSTBインアクティブ・エッジ	- 5		+ 5	ns
OS7-OS0出力ホールド時間	tOSDHO	対OSSTBアクティブ・エッジ	70			ns

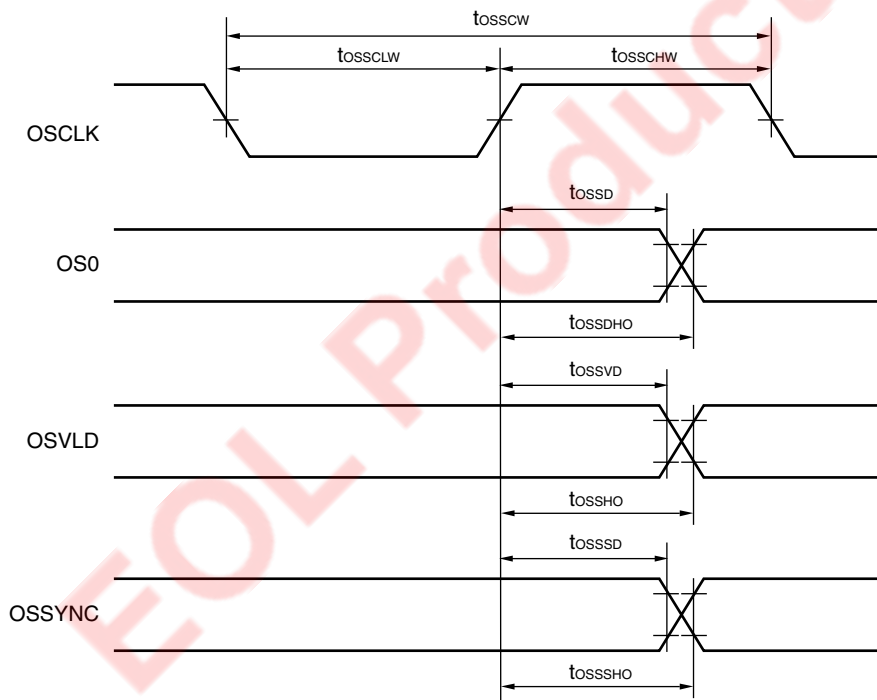


備考 OSSYNC : アクティブ・ハイ , OSRDY : アクティブ・ロウ , OSSTB : アクティブ・ハイ・エッジ

(b) シリアル・ストリーム・データ出力

項目	略号	条件	MIN.	TYP.	MAX.	単位
OSCLK期間	tOSSCW			37		ns
OSCLKロウ・レベル幅	tOSSCLW		10			ns
OSCLKハイ・レベル幅	tOSSCHW		10			ns
OS0遅延時間	tOSSDD	対OSCLKアクティブ・エッジ			27	ns
OS0ホールド時間	tOSSDHO	対OSCLKアクティブ・エッジ	5.0			ns
OSVLD遅延時間	tOSSVD	対OSCLKアクティブ・エッジ			27	ns
OSVLDホールド時間	tOSSVHO	対OSCLKアクティブ・エッジ	5.0			ns
OSSYNC遅延時間	tOSSSD	対OSCLKアクティブ・エッジ			27	ns
OSSYNCホールド時間	tOSSSHO	対OSCLKアクティブ・エッジ	5.0			ns

- 備考 1. OSCLK出力は次段の回路のアクティブ極性に合わせて反転することができます。  
 2. OSCLK期間はSTCLKによって決まります。



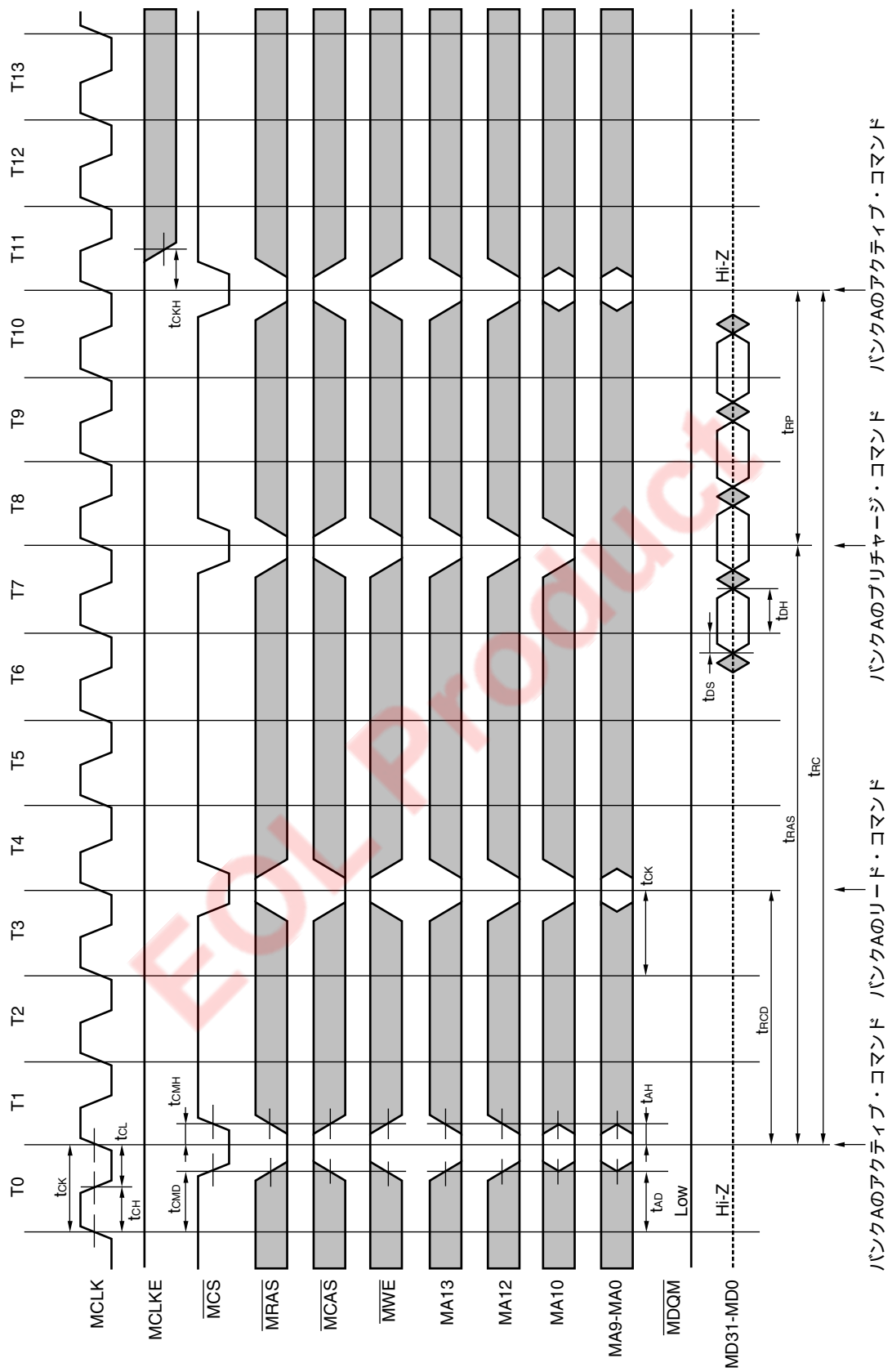
備考 OSCLK : アクティブ・ハイ・エッジ

(8) SDRAM インタフェース

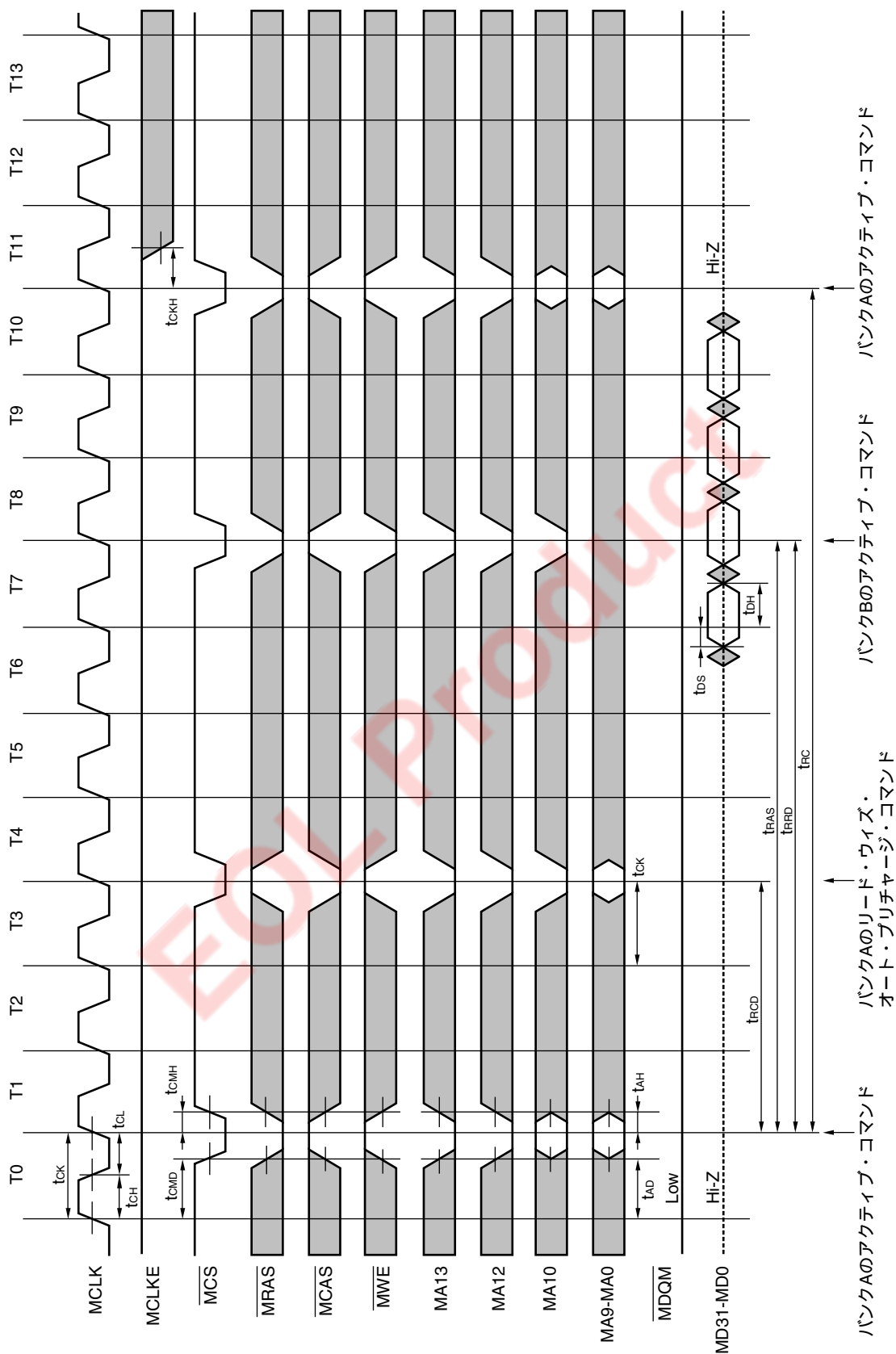
項目	略号	条件	MIN.	TYP.	MAX.	単位
MCLKサイクル時間	t <sub>CK</sub>			12.3		ns
MCLKハイ・レベル幅	t <sub>CH</sub>		3.5			ns
MCLKロウ・レベル幅	t <sub>CL</sub>		3.5			ns
MD31-MD0出力ホールド時間	t <sub>OH</sub>	対MCLK	1.5			ns
MD31-MD0出力遅延時間	t <sub>OD</sub>	対MCLK			9	ns
MD31-MD0ロウ・インピーダンス出力時間	t <sub>LZ</sub>	対MCLK	0			ns
MD31-MD0ハイ・インピーダンス出力時間	t <sub>HZ</sub>	対MCLK			9	ns
MD31-MD0入力セットアップ時間	t <sub>DS</sub>	対MCLK	6			ns
MD31-MD0入力ホールド時間	t <sub>DH</sub>	対MCLK	2			ns
MA13-MA0遅延時間	t <sub>AD</sub>	対MCLK			9	ns
MA13-MA0ホールド時間	t <sub>AH</sub>	対MCLK	1.5			ns
MCLKE遅延時間	t <sub>CKD</sub>	対MCLK			9	ns
MCLKEホールド時間	t <sub>CKH</sub>	対MCLK	1.5			ns
コマンド遅延時間	t <sub>CMD</sub>	対MCLK			9	ns
コマンド・ホールド時間	t <sub>CMH</sub>	対MCLK	1.5			ns
ACT → REF/ACTコマンド期間	t <sub>RC</sub>		12			MCLK
REF → REF/ACTコマンド期間	t <sub>RC1</sub>		12			MCLK
ACT → PREコマンド期間	t <sub>RAS</sub>		12			MCLK
PRE → ACTコマンド期間	t <sub>RP</sub>		12			MCLK
ACT → R/Wコマンド遅延時間	t <sub>RCD</sub>		3			MCLK
ACT (0) → ACT (1)コマンド期間	t <sub>RRD</sub>		4			MCLK
データ入力→ PREコマンド期間	t <sub>DPL</sub>		2			MCLK
データ入力→ ACT (REF)コマンド期間 (オート・プリチャージ)	t <sub>DAL</sub>		6			MCLK
モード・レジスタ設定サイクル期間	t <sub>RSC</sub>		2			MCLK
リフレッシュ時間 (4096リフレッシュ・サイクル)	t <sub>REF</sub>				50	ms

備考 REF : リフレッシュ , ACT : アクティブ , PRE : プリチャージ

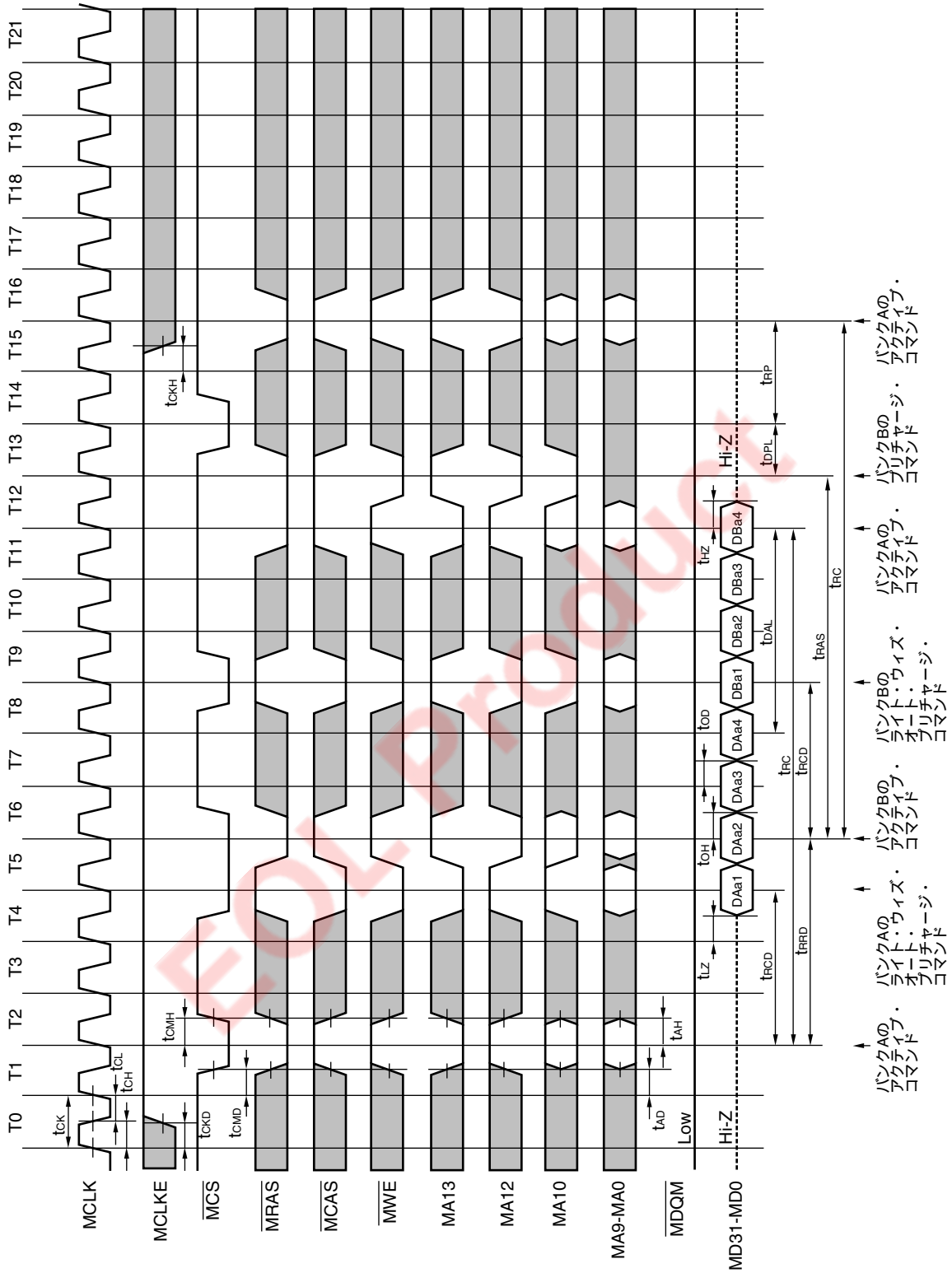
リード・タイミング (マニュアル・プリチャージ, パースト長=4, CASレイテンシ=3)



リード・タイミング (オート・プリチャージ, パースト長= 4, CASレイテンシ= 3)



ライト・タイミング (バースト長=4, CASレイテンシ=3)



(9) ホスト CPU インタフェース

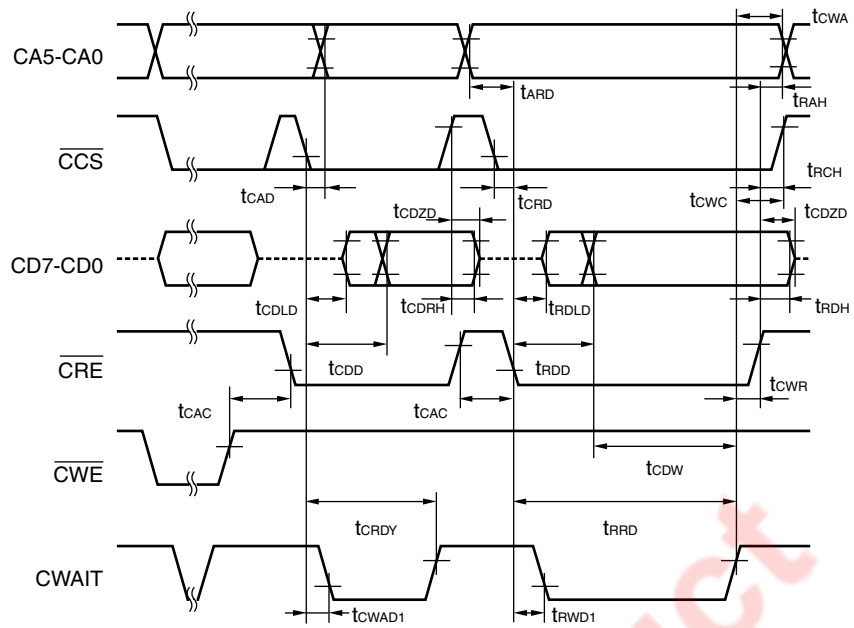
(a) パラレル・バス・インタフェース：ウエイト動作

項目	略号	条件	MIN.	TYP.	MAX.	単位
CCS CA5-CA0遅延時間	tCAD	対 $\overline{\text{CCS}}$ , Don't care	-	-	-	ns
CCS CWAIT遅延時間	tCWAD1	対 $\overline{\text{CCS}}$ , $\overline{\text{CCS}}$ が $\overline{\text{CRE}}/\overline{\text{CWE}}$ より遅い場合			15	ns
CCS CWAIT解除時間	tCRDY	対 $\overline{\text{CCS}}$ , $\overline{\text{CCS}}$ が $\overline{\text{CRE}}/\overline{\text{CWE}}$ より遅い場合			175	ns
CA5-CA0 $\overline{\text{CRE}}$ 遅延時間	tARD	対CA5-CA0	- 20			ns
CCS $\overline{\text{CRE}}$ 遅延時間	tCRD	対 $\overline{\text{CCS}}$	- 20			ns
CRE CWAIT遅延時間	tRWD1	対 $\overline{\text{CRE}}$			15	ns
CRE CWAIT解除時間	tRRD	対 $\overline{\text{CRE}}$			175	ns
CCS CD7-CD0ロウ・インピーダンス時間	tCDLD	対 $\overline{\text{CCS}}$ , データ不定	0			ns
CRE CD7-CD0ロウ・インピーダンス時間	tRDLD	対 $\overline{\text{CRE}}$ , データ不定	0			ns
CCS CD7-CD0遅延時間	tCDD	対 $\overline{\text{CCS}}$ , データ確定			150	ns
CRE CD7-CD0遅延時間	tRDD	対 $\overline{\text{CRE}}$ , データ確定			150	ns
CRE CD7-CD0ホールド時間	tRDH	対 $\overline{\text{CRE}}$ , $\overline{\text{CCS}}$ より早い場合	0			ns
CRE CA5-CA0ホールド時間	tRAH	対 $\overline{\text{CRE}}$	- 27			ns
CRE $\overline{\text{CCS}}$ ホールド時間	tRCH	対 $\overline{\text{CRE}}$	- 27			ns
CCS CD7-CD0ホールド時間	tCDRH	対 $\overline{\text{CCS}}$ , $\overline{\text{CRE}}$ より早い場合	0			ns
CD7-CD0 CWAIT解除時間	tCDW	対CD7-CD0確定	10			ns
CD7-CD0ハイ・インピーダンス遅延時間	tCDZD	対 $\overline{\text{CRE}}$ または $\overline{\text{CCS}}$			12	ns
CA5-CA0 $\overline{\text{CWE}}$ 遅延時間	tAWD	対CA5-CA0	- 28			ns
CCS $\overline{\text{CWE}}$ 遅延時間	tCWD	対 $\overline{\text{CCS}}$	- 20			ns
CWE CWAIT遅延時間	tWWD1	対 $\overline{\text{CWE}}$			15	ns
CWE CWAIT解除時間	tWRD	対 $\overline{\text{CWE}}$			150	ns
CWE CD7-CD0遅延時間	tWDD	対 $\overline{\text{CWE}}$ , データ確定まで			30	ns
CWE CD7-CD0ホールド時間	tWDH	対 $\overline{\text{CWE}}$	- 7			ns
CWE CA5-CA0ホールド時間	tWAH	対 $\overline{\text{CWE}}$	- 27			ns
CWE $\overline{\text{CCS}}$ ホールド時間	tWCH	対 $\overline{\text{CWE}}$	- 27			ns
CCS CD7-CD0ホールド時間	tCDWH	対 $\overline{\text{CCS}}$	0			ns
CCS CWAIT解除時間	tCWAD2	対 $\overline{\text{CCS}}$	0		15	ns
CWAIT解除 $\overline{\text{CWE}}/\overline{\text{CRE}}$ ホールド時間	tCWR	対CWAIT解除	0			ns
CWAIT解除 CA5-CA0ホールド時間	tCWA	対CWAIT解除	0			ns
CWAIT解除 $\overline{\text{CCS}}$ ホールド時間	tCWC	対CWAIT解除	0			ns
CRE/CWEリカバリ時間	tCAC		25			ns
他デバイス後のアクセス・サイクル	tCCYC		200			ns

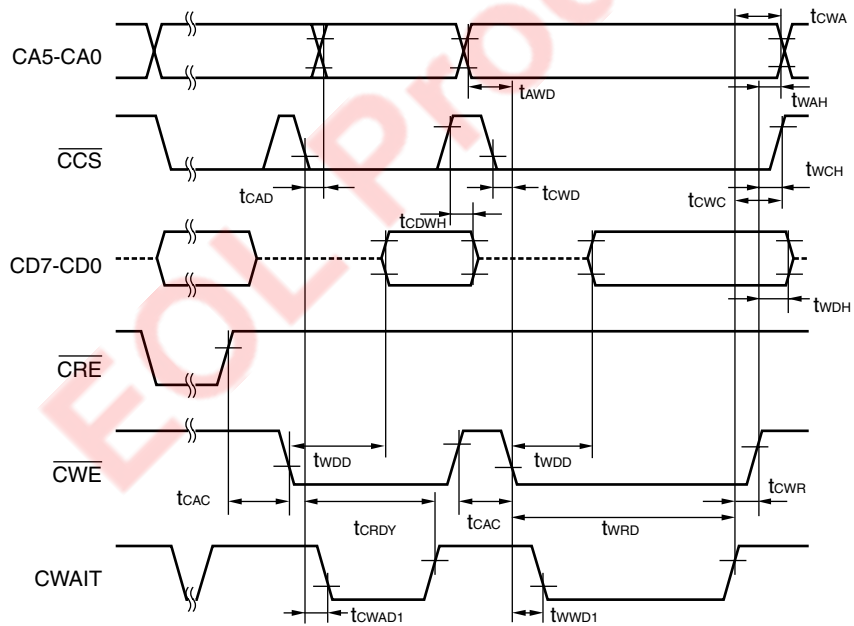
備考 ウエイト中に $\overline{\text{CCS}}$ を解除(ハイ・レベルに)するとCWAITを解除します。アクセス時はウエイト解除まで $\overline{\text{CCS}}$ をハイ・レベルにしないでください。



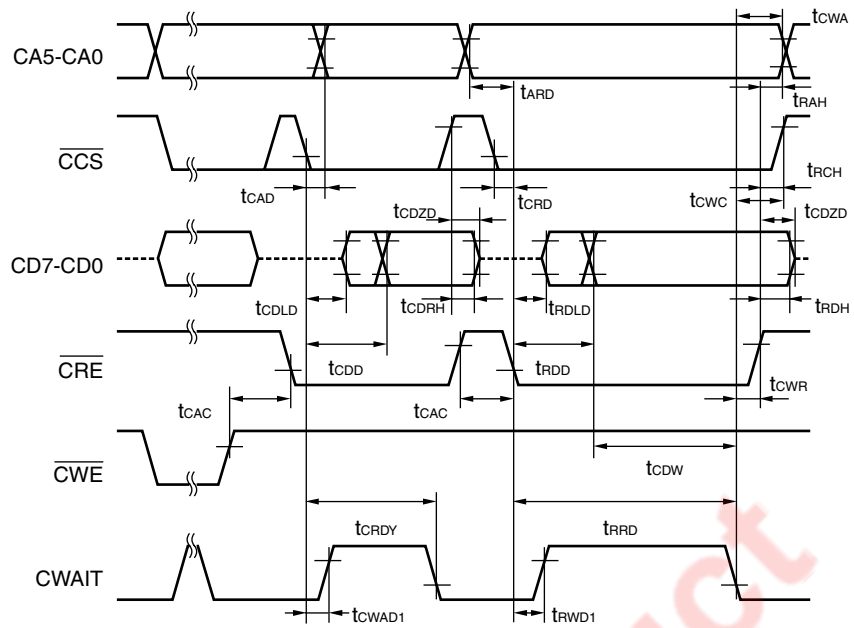
ウェイト動作 (ウェイト・アクティブ・ロウ, リード・サイクル)



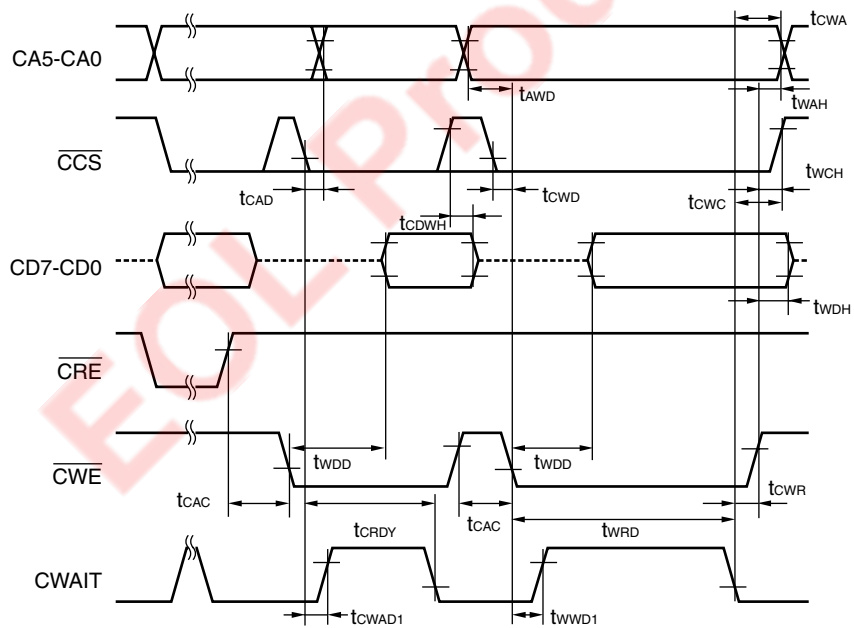
ウェイト動作 (ウェイト・アクティブ・ロウ, ライト・サイクル)

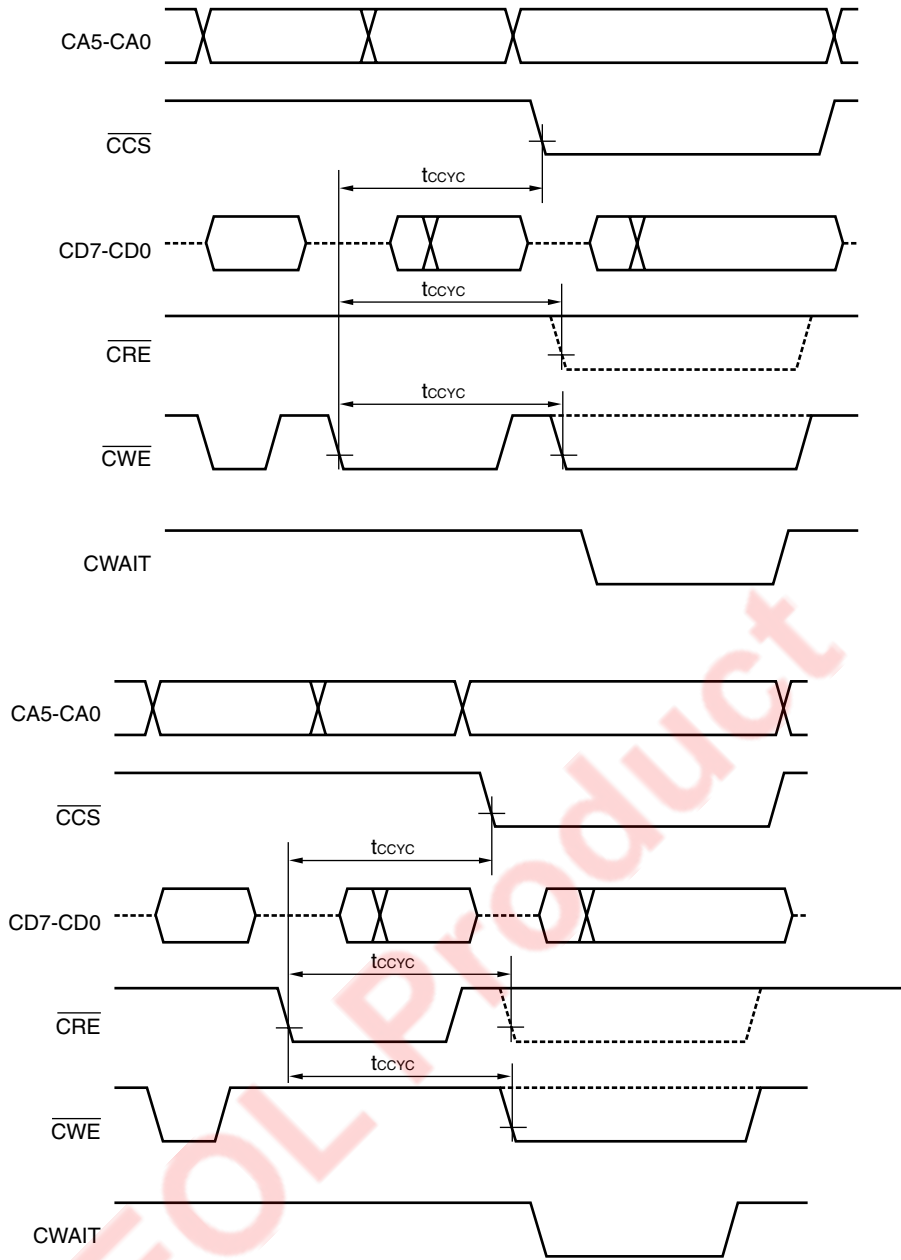


ウェイト動作 (ウェイト・アクティブ・ハイ, リード・サイクル)



ウェイト動作 (ウェイト・アクティブ・ハイ, ライト・サイクル)



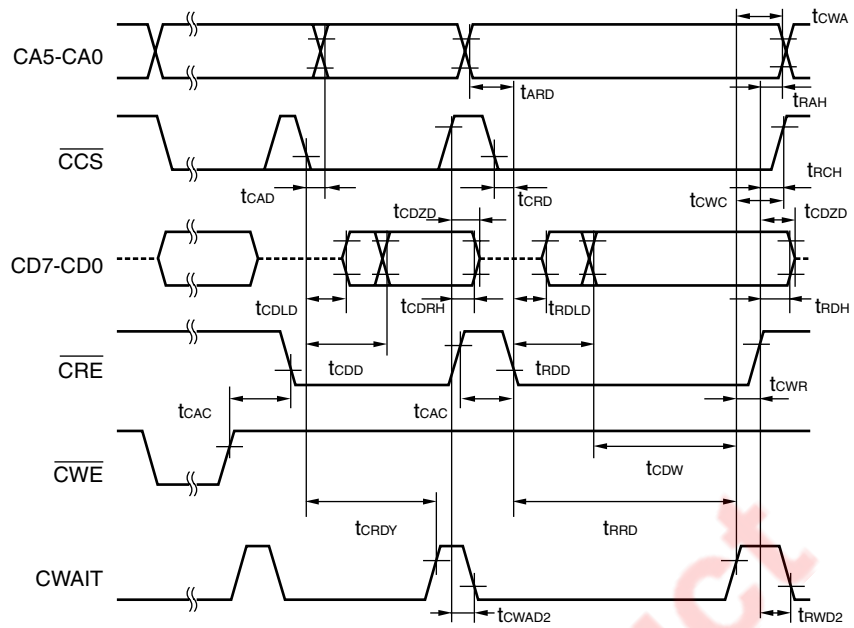


(b) パラレル・バス・インタフェース：レディ動作

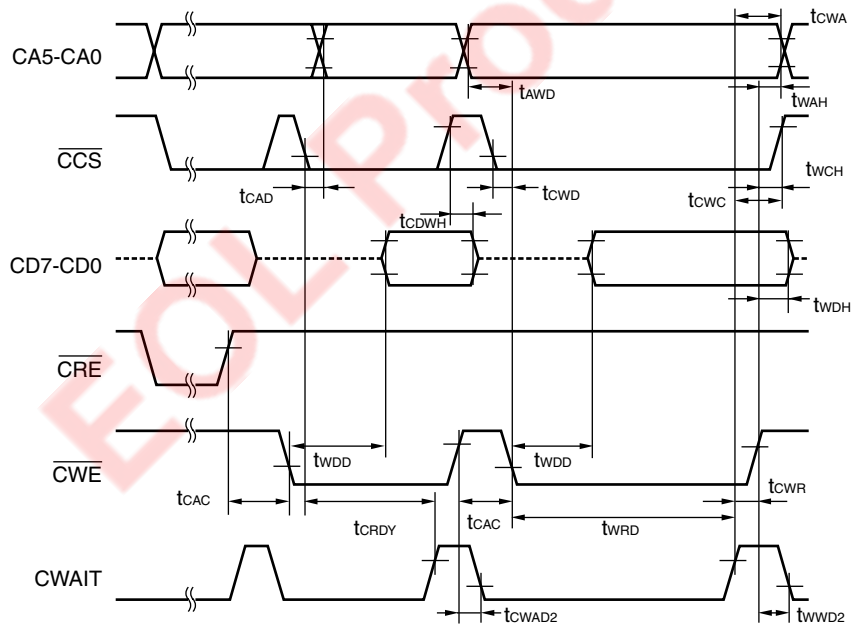
項目	略号	条件	MIN.	TYP.	MAX.	単位
CCS CA5-CA0遅延時間	tCAD	対 $\overline{\text{CCS}}$ , Don't care	-	-	-	ns
CCS CWAIT遅延時間	tCWAD1	対 $\overline{\text{CCS}}$ , CCSが $\overline{\text{CRE}}/\overline{\text{CWE}}$ より遅い場合			15	ns
CCS CWAITレディ時間	tCRDY	対 $\overline{\text{CCS}}$ , CCSが $\overline{\text{CRE}}/\overline{\text{CWE}}$ より遅い場合			175	ns
CA5-CA0 $\overline{\text{CRE}}$ 遅延時間	tARD	対CA5-CA0	- 20			ns
CCS $\overline{\text{CRE}}$ 遅延時間	tCRD	対 $\overline{\text{CCS}}$	- 20			ns
CRE CWAITレディ時間	tRRD	対 $\overline{\text{CRE}}$			175	ns
CCS CD7-CD0ロウ・インピーダンス時間	tCDLD	対 $\overline{\text{CCS}}$ , データ不定	0			ns
CRE CD7-CD0ロウ・インピーダンス時間	tRDLD	対 $\overline{\text{CRE}}$ , データ不定	0			ns
CCS CD7-CD0遅延時間	tCDD	対 $\overline{\text{CCS}}$ , データ確定			150	ns
CRE CD7-CD0遅延時間	tRDD	対 $\overline{\text{CRE}}$ , データ確定			150	ns
CRE CD7-CD0ホールド時間	tRDH	対 $\overline{\text{CRE}}$ , $\overline{\text{CCS}}$ より早い場合	0			ns
CRE CA5-CA0ホールド時間	tRAH	対 $\overline{\text{CRE}}$	- 27			ns
CRE $\overline{\text{CCS}}$ ホールド時間	tRCH	対 $\overline{\text{CRE}}$	- 27			ns
CCS CD7-CD0ホールド時間	tCDRH	対 $\overline{\text{CCS}}$ , $\overline{\text{CRE}}$ より早い場合	0			ns
CD7-CD0 CWAITレディ時間	tCDW	対CD7-CD0確定	10			ns
CD7-CD0ハイ・インピーダンス遅延時間	tCDZD	対 $\overline{\text{CRE}}$ または $\overline{\text{CCS}}$			12	ns
CA5-CA0 $\overline{\text{CWE}}$ 遅延時間	tAWD	対CA5-CA0	- 28			ns
CCS $\overline{\text{CWE}}$ 遅延時間	tCWD	対 $\overline{\text{CCS}}$	- 20			ns
CWE CWAITレディ時間	tWRD	対 $\overline{\text{CWE}}$			150	ns
CWE CD7-CD0遅延時間	tWDD	対 $\overline{\text{CWE}}$ , データ確定まで			30	ns
CWE CD7-CD0ホールド時間	tWDH	対 $\overline{\text{CWE}}$	- 7			ns
CWE CA5-CA0ホールド時間	tWAH	対 $\overline{\text{CWE}}$	- 27			ns
CWE $\overline{\text{CCS}}$ ホールド時間	tWCH	対 $\overline{\text{CWE}}$	- 27			ns
CCS CD7-CD0ホールド時間	tCDWH	対 $\overline{\text{CCS}}$	0			ns
CRE CWAIT解除時間	tRWD2	対 $\overline{\text{CRE}}$	0		15	ns
CWE CWAIT解除時間	tWWD2	対 $\overline{\text{CWE}}$	0		15	ns
CCS CWAIT解除時間	tCWAD2	対 $\overline{\text{CCS}}$	0		15	ns
CWAITレディ $\overline{\text{CWE}}/\overline{\text{CRE}}$ ホールド時間	tCWR	対CWAITレディ	0			ns
CWAITレディ CA5-CA0ホールド時間	tCWA	対CWAITレディ	0			ns
CWAITレディ $\overline{\text{CCS}}$ ホールド時間	tCWC	対CWAITレディ	0			ns
CRE/CWEリカバリ時間	tCAC		25			ns
他デバイス後のアクセス・サイクル	tCCYC		200			ns

備考 ウェイト中にCCSを解除(ハイ・レベルに)するとCWAITを解除します。アクセス時はレディになるまでCCSをハイ・レベルにしないでください。

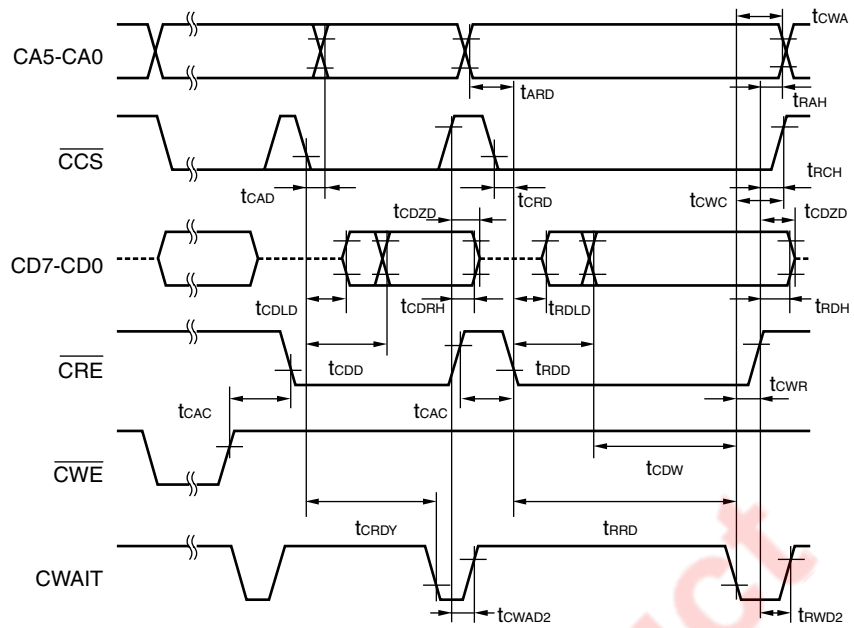
レディ動作 (レディ・アクティブ・ハイ, リード・サイクル)



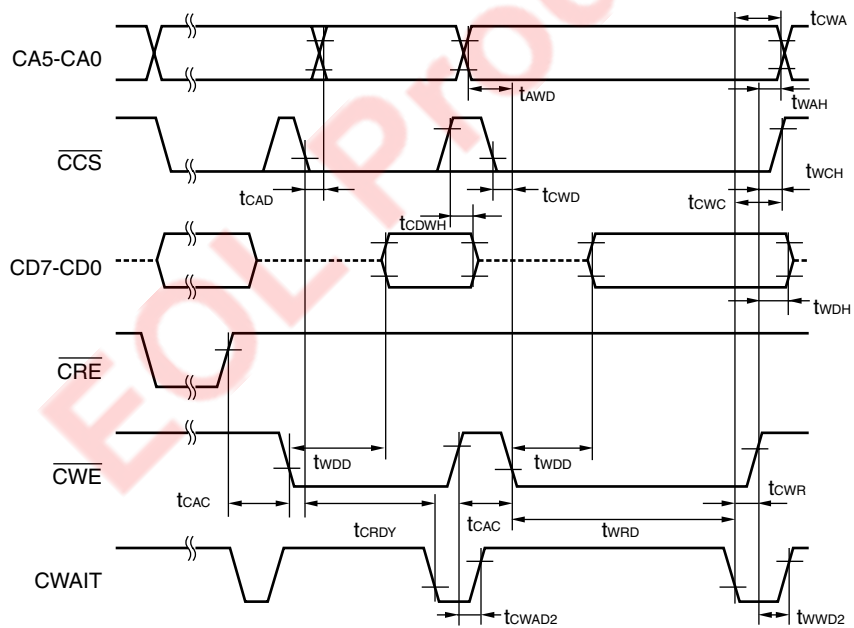
レディ動作 (レディ・アクティブ・ハイ, ライト・サイクル)

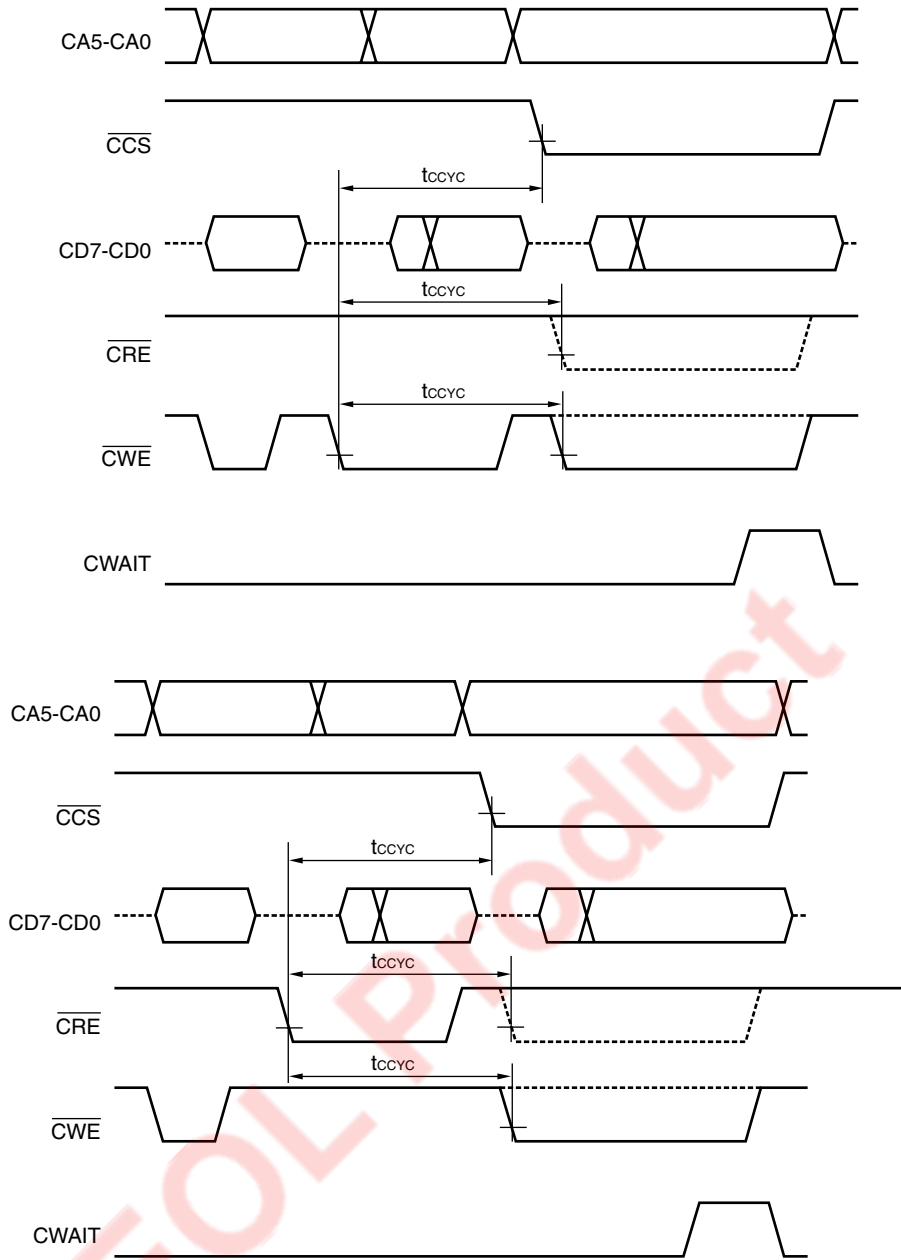


レディ動作 (レディ・アクティブ・ロウ, リード・サイクル)



レディ動作 (レディ・アクティブ・ロウ, ライト・サイクル)



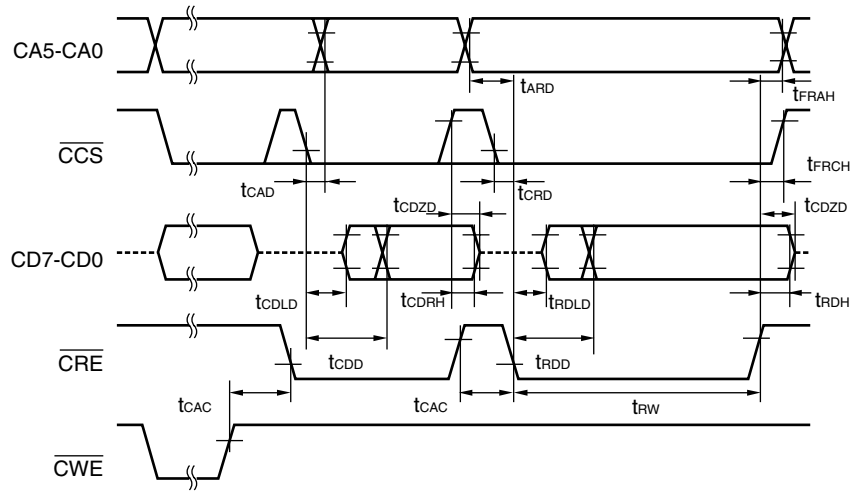


(c) パラレル・バス・インタフェース：固定ウエイト動作

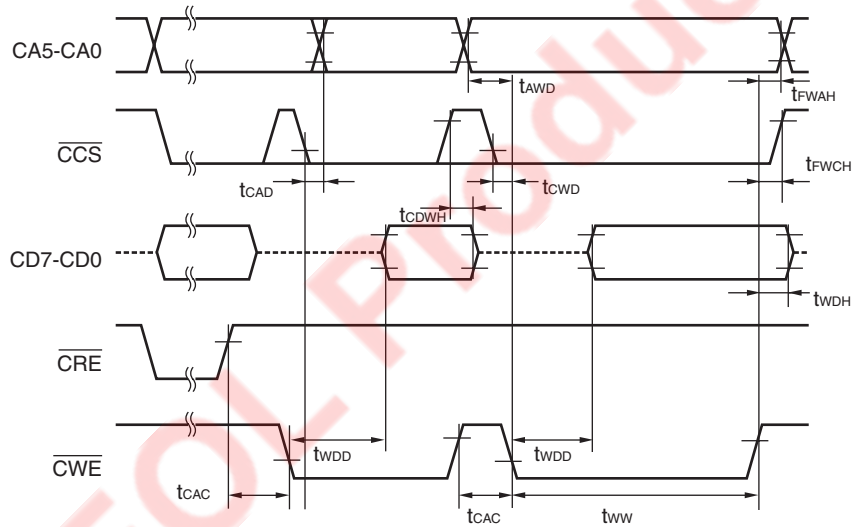
項目	略号	条件	MIN.	TYP.	MAX.	単位
CCS CA5-CA0遅延時間	tCAD	対CCS , Don't care	-	-	-	ns
CREパルス幅	tRW		175			ns
CA5-CA0 CRE 遅延時間	tARD	対CA5-CA0	- 20			ns
CCS CRE 遅延時間	tCRD	対CCS	- 20			ns
CCS CD7-CD0ロウ・インピーダンス時間	tCDLD	対CCS , データ不定	0			ns
CRE CD7-CD0ロウ・インピーダンス時間	tRDLD	対CRE , データ不定	0			ns
CCS CD7-CD0遅延時間	tCDD	対CCS , データ確定			150	ns
CRE CD7-CD0遅延時間	tRDD	対CRE , データ確定			150	ns
CRE CD7-CD0ホールド時間	tRDH	対CRE , CCS より早い場合	0			ns
CRE CA5-CA0ホールド時間	tFRAH	対CRE	- 27			ns
CRE CCS ホールド時間	tFRCH	対CRE	- 27			ns
CCS CD7-CD0ホールド時間	tCDRH	対CCS	0			ns
CD7-CD0ハイ・インピーダンス遅延時間	tCDZD	対CRE またはCCS			12	ns
CWEパルス幅	tWW		150			ns
CA5-CA0 CWE 遅延時間	tAWD	対CA5-CA0	- 28			ns
CCS CWE 遅延時間	tCWD	対CCS	- 20			ns
CWE CD7-CD0遅延時間	tWDD	対CWE , データ確定まで			30	ns
CWE CD7-CD0ホールド時間	tWDH	対CWE	- 7			ns
CWE CA5-CA0ホールド時間	tFWAH	対CWE	- 27			ns
CWE CCS ホールド時間	tFWCH	対CWE	- 27			ns
CCS CD7-CD0ホールド時間	tCDWH	対CCS	0			ns
CRE/CWEリカバリ時間	tCAC		25			ns
他デバイス後のアクセス・サイクル	tCCYC		200			ns

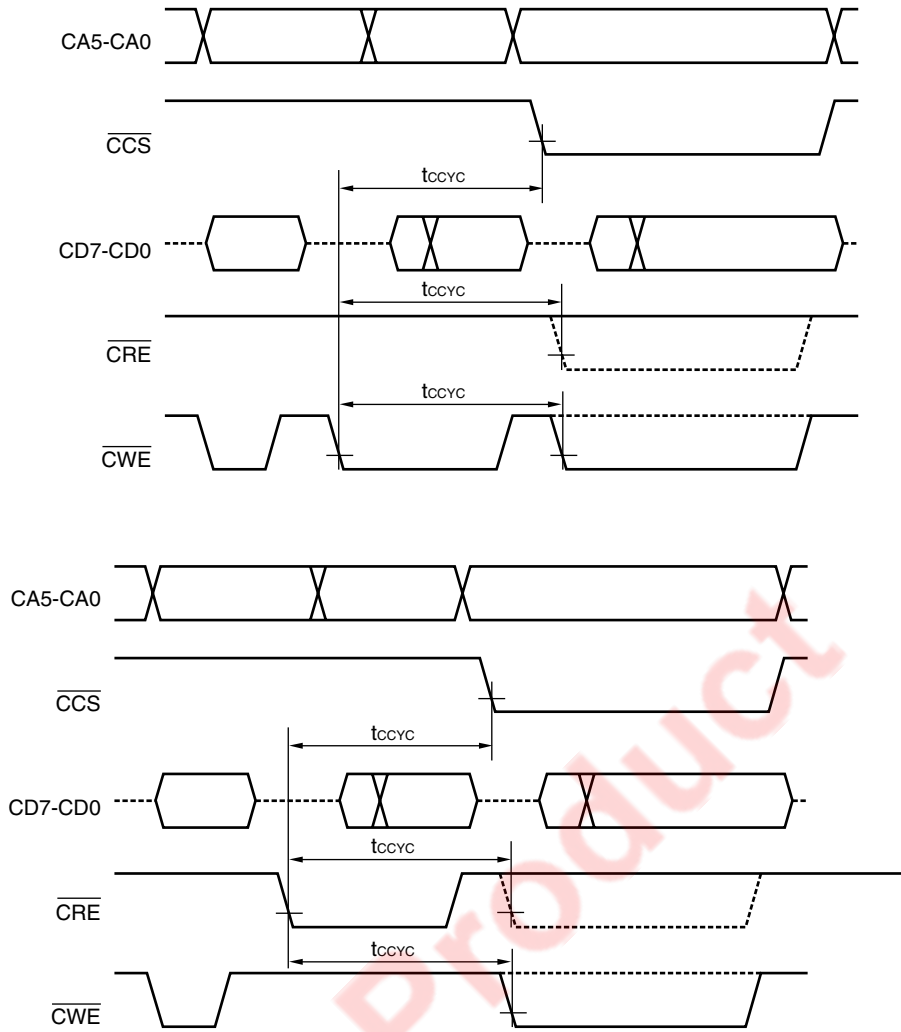


固定ウエイト動作 (リード・サイクル)



固定ウエイト動作 (ライト・サイクル)

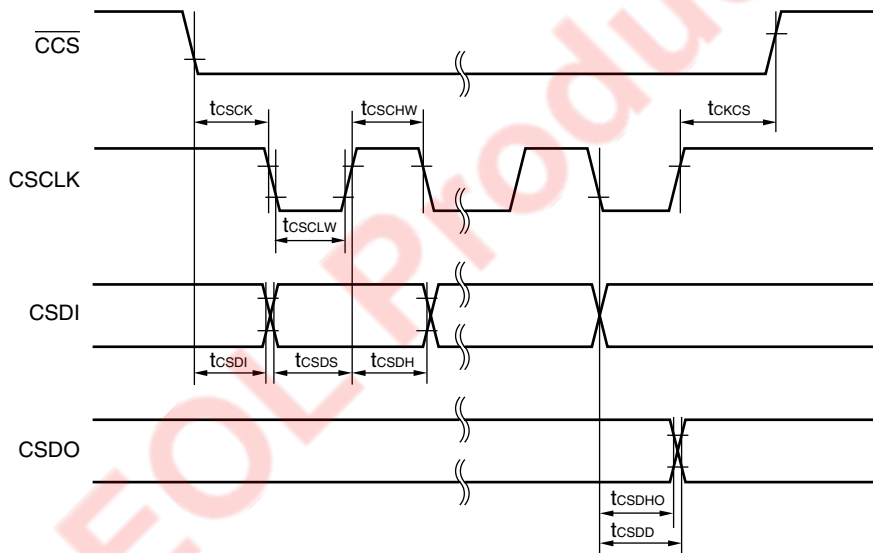


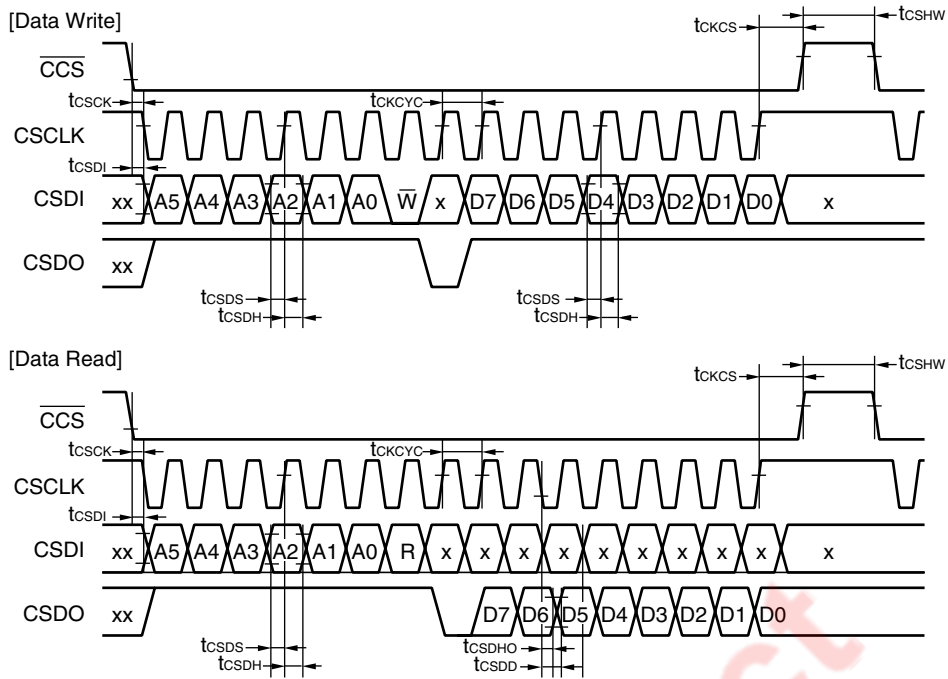


(10) シリアル・バス・インタフェース

(a) シリアル・バス・インタフェース

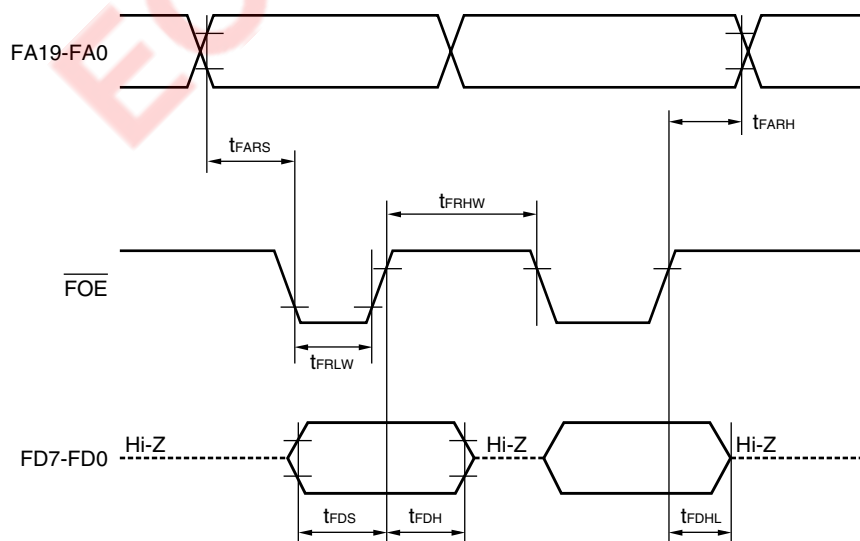
項目	略号	条件	MIN.	TYP.	MAX.	単位
CCLK遅延時間	t <sub>CCLK</sub>	対 $\overline{\text{CCS}}$	10			ns
CSDI遅延時間	t <sub>CSDI</sub>	対 $\overline{\text{CCS}}$	10			ns
CSDIセットアップ時間	t <sub>CSDS</sub>	対CCLK	10			ns
CSDIホールド時間	t <sub>CSDH</sub>	対CCLK	10			ns
CSDOホールド時間	t <sub>CSDHO</sub>	対CCLK	0			ns
CSDO遅延時間	t <sub>CSDD</sub>	対CCLK			15	ns
CCSホールド時間	t <sub>CKCS</sub>	対CCLK	75			ns
CCSハイ・レベル幅	t <sub>CSHW</sub>		125			ns
CCLKサイクル時間	t <sub>CKCYC</sub>		100			ns
CCLKハイ・レベル幅	t <sub>CSCHW</sub>		40			ns
CCLKロウ・レベル幅	t <sub>CSCLW</sub>		40			ns





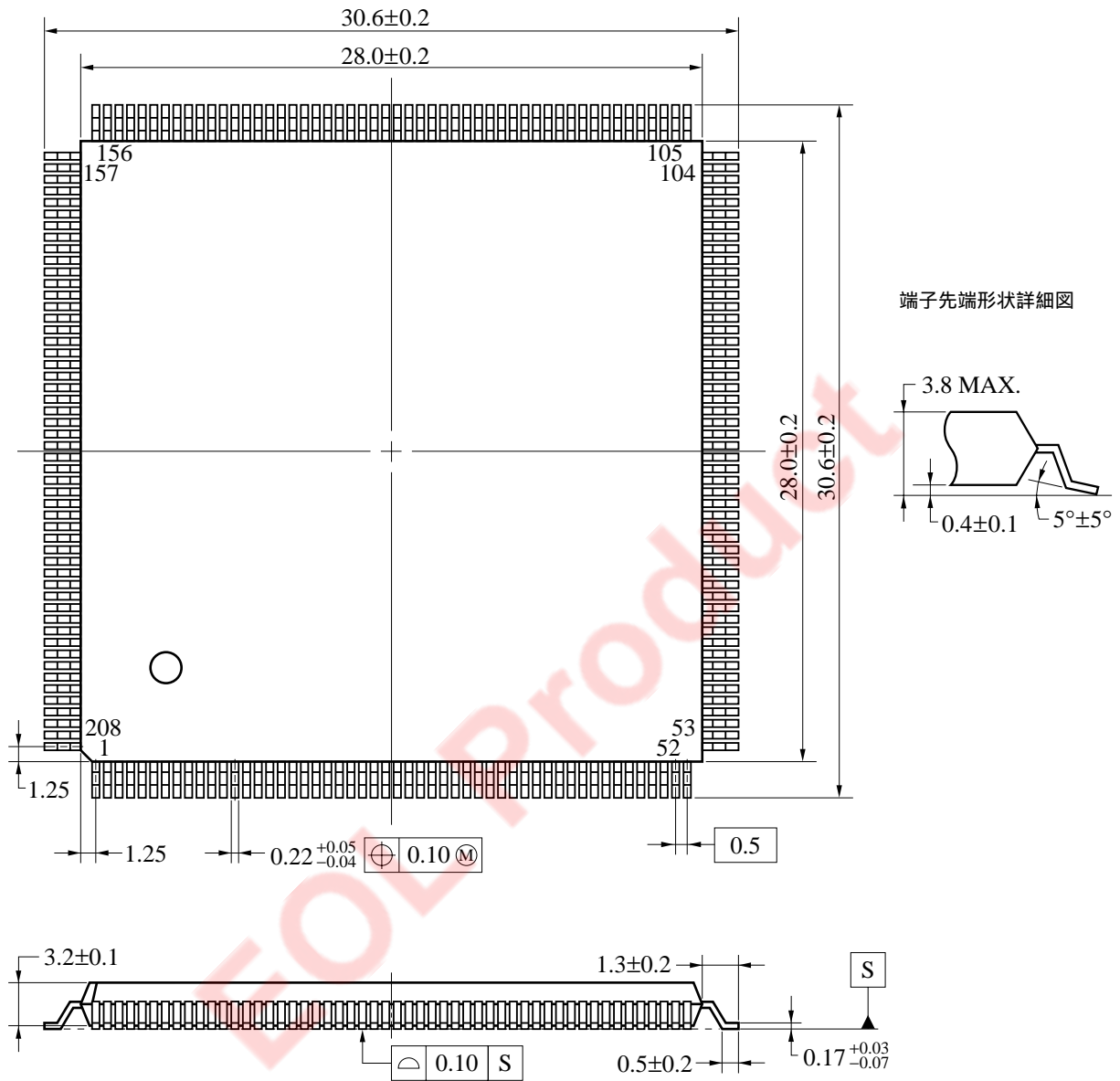
(b) インストラクションROMインタフェース

項目	略号	条件	MIN.	TYP.	MAX.	単位
アドレス・セットアップ時間	tFARS	対FOE	0			ns
アドレス・ホールド時間	tFARH	対FOE	5			ns
FOEロウ・レベル幅	tFRLW		70		225	ns
FOEハイ・レベル幅	tFRHW		24			ns
データ・セットアップ時間	tFDS	対FOE	25			ns
データ・ホールド時間	tFDH	対FOE	0			ns
データ・ハイ・インピーダンス出力時間	tFDHL	対FOE			60	ns



7. 外形図

208ピン・プラスチック QFP (ファインピッチ)(28x28) 外形図 (単位: mm)



P208GD-50-LML, MML, SML, WML-7

8. 半田付け推奨条件

この製品の半田付け実装は、次の条件で実施してください。

なお、推奨条件以外の半田付け方法および半田付け条件については、当社販売員にご相談ください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」( <http://www.necel.com/pkg/ja/jissou/index.html> )

表8 - 1 表面実装タイプの半田付け推奨条件

- μPD61051GD-LML : 208ピン・プラスチックQFP (ファインピッチ) (28×28)
- μPD61051GD-LML-A <sup>注1</sup> : 208ピン・プラスチックQFP (ファインピッチ) (28×28)
- μPD61052GD-LML : 208ピン・プラスチックQFP (ファインピッチ) (28×28)
- μPD61052GD-LML-A <sup>注1</sup> : 208ピン・プラスチックQFP (ファインピッチ) (28×28)

半田付け方式	半田付け条件	推奨条件記号
★ 赤外線リフロ	パッケージ・ピーク温度：235 ，時間：30秒以内（210 以上），回数：3回以内， 制限日数：7日間 <sup>注2</sup> （以降は125 プリバーク20～72時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキング ができません。	IR35-207-3
★ VPS	パッケージ・ピーク温度：215 ，時間：40秒以内（200 以上），回数：3回以内， 制限日数：7日間 <sup>注2</sup> （以降は125 プリバーク20～72時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキング ができません。	VP15-207-3
端子部分加熱	端子温度：300 以下，時間：3秒以内（デバイスの一辺当たり）	-

注 1. 鉛フリー製品

2. ドライパック開封後の保管日数で保管条件は25 ，65%RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱方式は除く）。

## CMOSデバイスの一般的注意事項

### 静電気対策（MOS全般）

**注意** MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

### 未使用入力の処理（CMOS特有）

**注意** CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して $V_{DD}$ またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

### 初期化以前の状態（MOS全般）

**注意** 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

ドルビーは、ドルビーラボラトリーズの商標です。

- 本資料に記載されている内容は2003年11月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命、身体および財産に対する損害の危険を最小限度にするために、冗長設計、延焼対策設計、誤動作防止設計等安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。  
標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット  
特別水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器  
特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等  
当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

- (1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- (2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

M8E 02.11

## 【発行】

### NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話(代表)：044(435)5111

お問い合わせ先

## 【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

## 【営業関係、技術関係お問い合わせ先】

半導体ホットライン

(電話：午前 9:00～12:00、午後 1:00～5:00)

電話：044-435-9494

E-mail：info@necel.com

## 【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか、NECエレクトロニクス特約店へお申し付けください。