

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。



**4M ビット Bi-CMOS シンクロナス高速スタティック RAM**  
**256K ワード × 18 ビット / 128K ワード × 36 ビット**  
**LVTTL インタフェース / レジスタ - ラッチ / レイト・ライト**

μPD464518AL( 262,144 ワード × 18 ビット ) , μPD464536AL( 131,072 ワード × 36 ビット ) は , 先進の Bi-CMOS 技術を用いた N チャンネル・メモリ・セルのシンクロナス・スタティック RAM です。

本製品は , 高速動作 , 低電圧 , 大容量 , 多ビット構成のキャッシュ / バッファ・メモリを必要とするアプリケーションに最適です。

外形は , 119 ピン・プラスチック BGA ( Ball Grid Array ) を用意しております。

### 特 徴

- ・シンクロナス・オペレーション
- ・LVTTL 3.3 V 入出力レベル
- ・高速クロック・アクセス時間 : 5.5 ns (182 MHz), 6.0 ns (166 MHz), 7.0 ns (143 MHz)
- ・非同期アウトプット・イネーブル入力 : /G
- ・シングル・ディファレンシャル・クロック入力
- ・バイト・ライト・コントロール入力 : /SBa (DQa1-9), /SBb (DQb1-9), /SBc (DQc1-9), /SBd (DQd1-9)
- ・3 ステート出力
- ・セルフタイム・ライト・サイクル
- ・レイト・ライト方式
- ・バウンダリ・スキャン ( JTAG ) IEEE1149.1 準拠
- ・3.3 V 単一電源
- ・スリープ・モード : ZZ ( ハイ・レベル入力によりスリープ・モードを利用可能 )

### オーダ情報

オーダ名称	アクセス時間 ns	クロック周波数 MHz	パッケージ
μPD464518ALS1-A55	5.5	182	119 ピン・プラスチック BGA
μPD464518ALS1-A6	6.0	166	
μPD464518ALS1-A7	7.0	143	
μPD464536ALS1-A55	5.5	182	
μPD464536ALS1-A6	6.0	166	
μPD464536ALS1-A7	7.0	143	

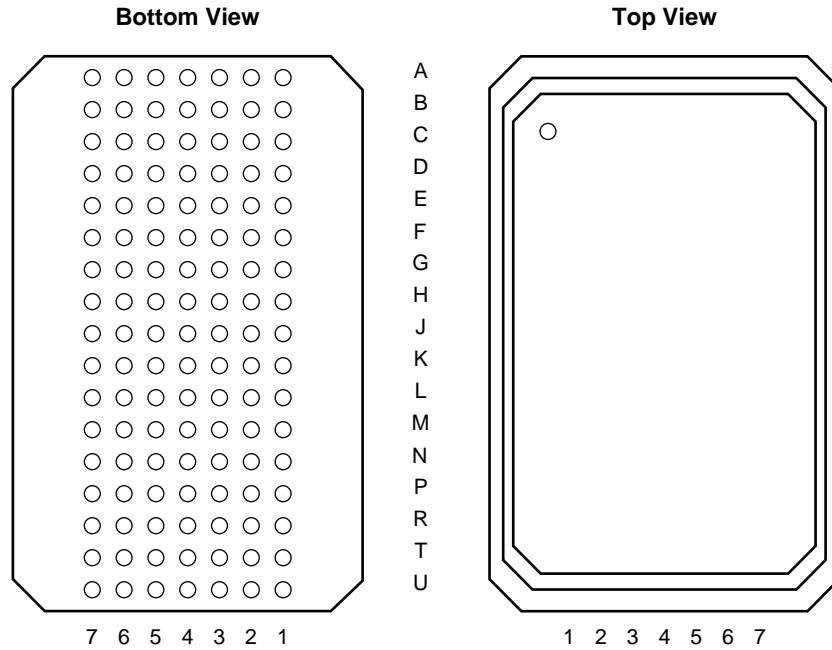
本資料の内容は , 予告なく変更することがありますので , 最新のものであることをご確認の上ご使用ください。

端子接続図

/xxx はアクティブ・ロウを示します。

119 ピン・プラスチック BGA (256K ワード × 18 ビット端子配置)

[μPD464518ALS1]



	7	6	5	4	3	2	1
VDDQ	SA2	SA6	NC	SA9	SA12	VDDQ	
NC	NC	SA16	NC	SA17	NC	NC	
NC	SA3	SA7	VDD	SA10	SA13	NC	
NC	DQa9	VSS	NC	VSS	NC	DQb1	
DQa8	NC	VSS	/SS	VSS	DQb2	NC	
VDDQ	DQa7	VSS	/G	VSS	NC	VDDQ	
DQa6	NC	VSS	NC	/SBb	DQb3	NC	
NC	DQa5	VSS	NC	VSS	NC	DQb4	
VDDQ	VDD	NC	VDD	NC	VDD	VDDQ	
DQa4	NC	VSS	K	VSS	DQb5	NC	
NC	DQa3	/SBa	/K	VSS	NC	DQb6	
VDDQ	NC	VSS	/SW	VSS	DQb7	VDDQ	
NC	DQa2	VSS	SA1	VSS	NC	DQb8	
DQa1	NC	VSS	SA0	VSS	DQb9	NC	
NC	SA4	VSS	VDD	VDD	SA14	NC	
ZZ	SA5	SA8	NC	SA11	SA15	NC	
VDDQ	NC	TDO	TCK	TDI	TMS	VDDQ	

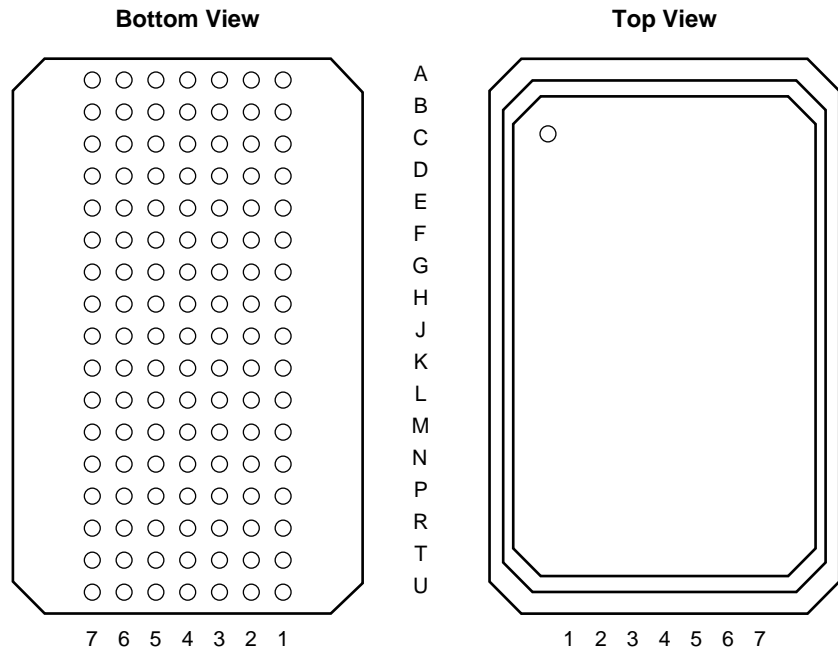
	1	2	3	4	5	6	7
A	VDDQ	SA12	SA9	NC	SA6	SA2	VDDQ
B	NC	NC	SA17	NC	SA16	NC	NC
C	NC	SA13	SA10	VDD	SA7	SA3	NC
D	DQb1	NC	VSS	NC	VSS	DQa9	NC
E	NC	DQb2	VSS	/SS	VSS	NC	DQa8
F	VDDQ	NC	VSS	/G	VSS	DQa7	VDDQ
G	NC	DQb3	/SBb	NC	VSS	NC	DQa6
H	DQb4	NC	VSS	NC	VSS	DQa5	NC
J	VDDQ	VDD	NC	VDD	NC	VDD	VDDQ
K	NC	DQb5	VSS	K	VSS	NC	DQa4
L	DQb6	NC	VSS	/K	/SBa	DQa3	NC
M	VDDQ	DQb7	VSS	/SW	VSS	NC	VDDQ
N	DQb8	NC	VSS	SA1	VSS	DQa2	NC
P	NC	DQb9	VSS	SA0	VSS	NC	DQa1
R	NC	SA14	VDD	VDD	VSS	SA4	NC
T	NC	SA15	SA11	NC	SA8	SA5	ZZ
U	VDDQ	TMS	TDI	TCK	TDO	NC	VDDQ

端子名と端子機能 (μPD464518ALS1)

端子名	端子説明	端子機能
VDD	電源電圧	RAM コア用電源電圧
Vss	グランド	
VDDQ	出力電源電圧	出力バッファ用電源電圧
K, /K	メイン・クロック入力	
SA0 - SA17	同期アドレス入力	
DQa1 - DQb9	同期データ入出力	
/SS	同期チップ選択	SRAM 選択
/SW	同期バイト・ライト・イネーブル	ライト・コマンド
/SBa	同期バイト "a" ライト・イネーブル	DQa1 - DQa9 へのライト
/SBb	同期バイト "b" ライト・イネーブル	DQb1 - DQb9 へのライト
/G	非同期アウトプット・イネーブル	非同期入力
ZZ	スリープ・モード・イネーブル	ハイ・レベル入力によりスリープ・モードを利用可能
NC	ノー・コネクション	
TMS	テスト・モード選択 (JTAG)	
TDI	テスト・データ入力 (JTAG)	
TCK	テスト・クロック入力 (JTAG)	
TDO	テスト・データ出力 (JTAG)	

119 ピン・プラスチック BGA (128K ワード × 36 ビット端子配置)

[μPD464536ALS1]



7	6	5	4	3	2	1
VDDQ	SA2	SA5	NC	SA9	SA12	VDDQ
NC	NC	SA15	NC	SA16	NC	NC
NC	SA3	SA6	VDD	SA10	SA13	NC
DQb8	DQb9	VSS	NC	VSS	DQc9	DQc8
DQb6	DQb7	VSS	/SS	VSS	DQc7	DQc6
VDDQ	DQb5	VSS	/G	VSS	DQc5	VDDQ
DQb3	DQb4	/SBb	NC	/SBc	DQc4	DQc3
DQb1	DQb2	VSS	NC	VSS	DQc2	DQc1
VDDQ	VDD	NC	VDD	NC	VDD	VDDQ
DQa1	DQa2	VSS	K	VSS	DQd2	DQd1
DQa3	DQa4	/SBa	/K	/SBd	DQd4	DQd3
VDDQ	DQa5	VSS	/SW	VSS	DQd5	VDDQ
DQa6	DQa7	VSS	SA1	VSS	DQd7	DQd6
DQa8	DQa9	VSS	SA0	VSS	DQd9	DQd8
NC	SA4	VSS	VDD	VDD	SA14	NC
ZZ	NC	SA7	SA8	SA11	NC	NC
VDDQ	NC	TDO	TCK	TDI	TMS	VDDQ

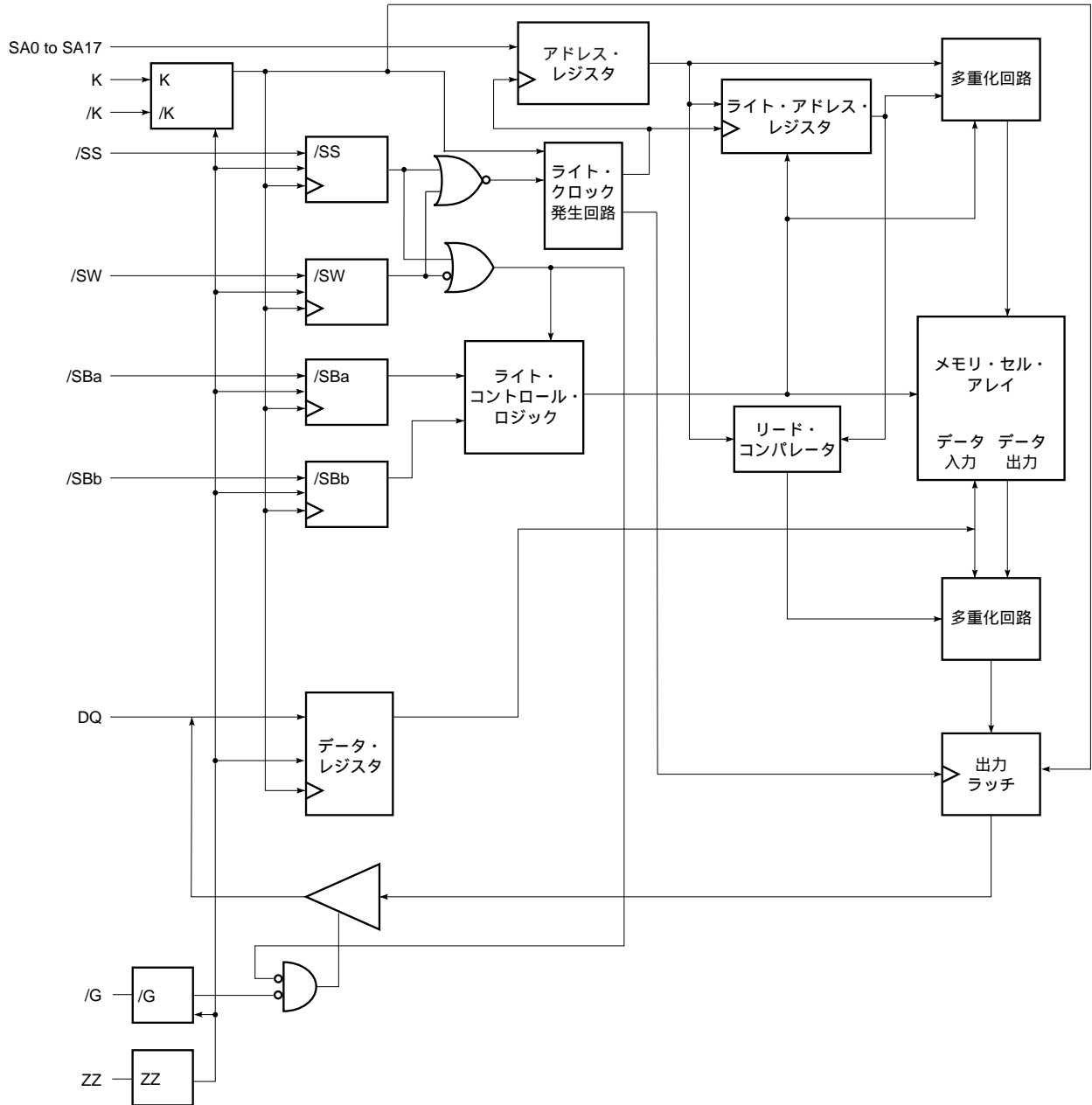
	1	2	3	4	5	6	7
A	VDDQ	SA12	SA9	NC	SA5	SA2	VDDQ
B	NC	NC	SA16	NC	SA15	NC	NC
C	NC	SA13	SA10	VDD	SA6	SA3	NC
D	DQc8	DQc9	VSS	NC	VSS	DQb9	DQb8
E	DQc6	DQc7	VSS	/SS	VSS	DQb7	DQb6
F	VDDQ	DQc5	VSS	/G	VSS	DQb5	VDDQ
G	DQc3	DQc4	/SBc	NC	/SBb	DQb4	DQb3
H	DQc1	DQc2	VSS	NC	VSS	DQb2	DQb1
J	VDDQ	VDD	NC	VDD	NC	VDD	VDDQ
K	DQd1	DQd2	VSS	K	VSS	DQa2	DQa1
L	DQd3	DQd4	/SBd	/K	/SBa	DQa4	DQa3
M	VDDQ	DQd5	VSS	/SW	VSS	DQa5	VDDQ
N	DQd6	DQd7	VSS	SA1	VSS	DQa7	DQa6
P	DQd8	DQd9	VSS	SA0	VSS	DQa9	DQa8
R	NC	SA14	VDD	VDD	VSS	SA4	NC
T	NC	NC	SA11	SA8	SA7	NC	ZZ
U	VDDQ	TMS	TDI	TCK	TDO	NC	VDDQ

端子名と端子機能 (μPD464536ALS1)

端子名	端子説明	端子機能
VDD	電源電圧	RAM コア用電源電圧
Vss	グランド	
VDDQ	出力電源電圧	出力バッファ用電源電圧
K, /K	メイン・クロック入力	
SA0 - SA16	同期アドレス入力	
DQa1 - DQd9	同期データ入出力	
/SS	同期チップ選択	SRAM 選択
/SW	同期バイト・ライト・イネーブル	ライト・コマンド
/SBa	同期バイト "a" ライト・イネーブル	DQa1 - DQa9 へのライト
/SBb	同期バイト "b" ライト・イネーブル	DQb1 - DQb9 へのライト
/SBc	同期バイト "c" ライト・イネーブル	DQc1 - DQc9 へのライト
/SBd	同期バイト "d" ライト・イネーブル	DQd1 - DQd9 へのライト
/G	非同期アウトプット・イネーブル	非同期入力
ZZ	スリープ・モード・イネーブル	ハイ・レベル入力によりスリープ・モードを利用可能
NC	ノー・コネクション	
TMS	テスト・モード選択 (JTAG)	
TDI	テスト・データ入力 (JTAG)	
TCK	テスト・クロック入力 (JTAG)	
TDO	テスト・データ出力 (JTAG)	

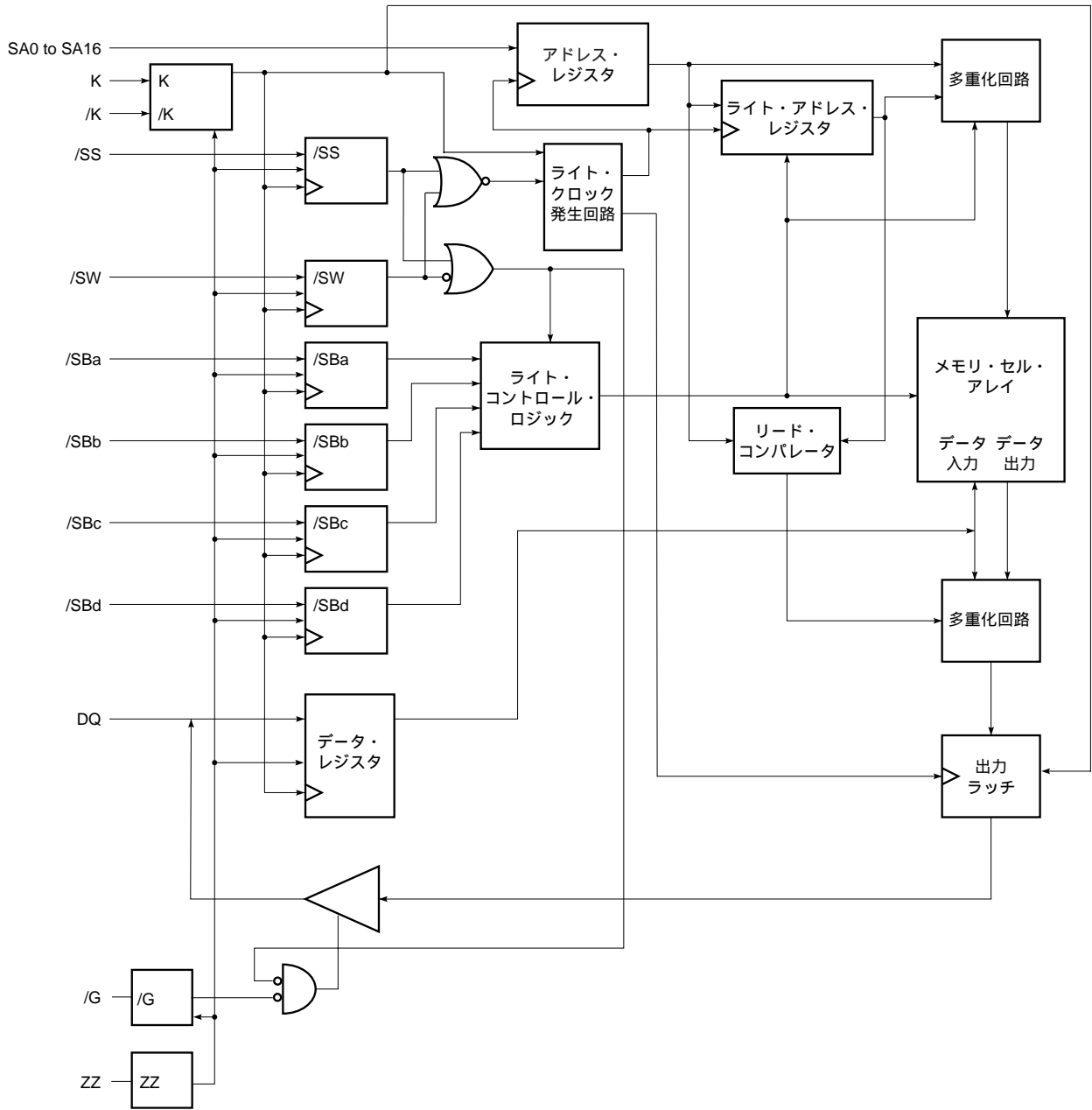
レイト・ライト・ブロック図

[μPD464518ALS1]





[μPD464536ALS1]



同期真理値表

ZZ	/SS	/SW	/SBa	/SBb	/SBc	/SBd	モード	DQa1-9	DQb1-9	DQc1-9	DQd1-9	電源
L	H	×	×	×	×	×	非選択	High-Z	High-Z	High-Z	High-Z	アクティブ
L	L	H	×	×	×	×	リード	Dout	Dout	Dout	Dout	アクティブ
L	L	L	L	L	L	L	ライト	Din	Din	Din	Din	アクティブ
L	L	L	L	H	H	H	ライト	Din	High-Z	High-Z	High-Z	アクティブ
L	L	L	H	L	L	L	ライト	High-Z	Din	Din	Din	アクティブ
H	×	×	×	×	×	×	スリープ・モード	High-Z	High-Z	High-Z	High-Z	スタンバイ

備考 ×：任意

アウトプット・イネーブル真理値表

モード	/G	DQ
リード	L	Dout
リード	H	High-Z
スリープ (ZZ = H)	×	High-Z
ライト (/SW = L)	×	High-Z
非選択 (/SS = H)	×	High-Z

備考 ×：任意

電気的特性

絶対最大定格

項目	略号	条件	MIN.	TYP.	MAX.	単位	注
電源電圧	V <sub>DD</sub>		-0.5		+4	V	1
出力電源電圧	V <sub>DDQ</sub>		-0.5		+4	V	1
入力電圧	V <sub>IN</sub>		-0.5		V <sub>DD</sub> +0.5	V	1
入出力電圧	V <sub>I/O</sub>		-0.5		V <sub>DD</sub> +0.5	V	1
動作周囲温度	T <sub>j</sub>		5		110	°C	2
保存温度	T <sub>stg</sub>		-55		+125	°C	

注 1. -1.0 V (MIN.) (パルス幅 : 10% T<sub>cyc</sub>)

2. T<sub>j</sub> = ジャンクション温度

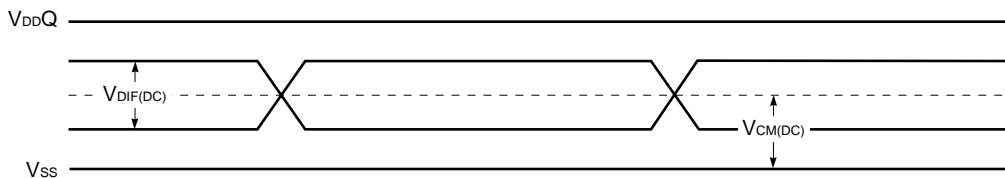
注意 各項目のうち 1 項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

推奨動作条件 (T<sub>j</sub> = 5 ~ 110°C)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧	V <sub>DD</sub>		3.15	3.3	3.45	V
出力電源電圧	V <sub>DDQ</sub>		3.15	3.3	3.45	V
ロウ・レベル入力電圧	V <sub>IL</sub>		-0.3 <sup>≠</sup>		+0.8	V
ハイ・レベル入力電圧	V <sub>IH</sub>		2.0		V <sub>DD</sub> +0.3	V
クロック入力差異電圧	V <sub>DIF(DC)</sub>		0.2		V <sub>DD</sub> +0.6	V
クロック入力共通電圧範囲	V <sub>CM(DC)</sub>		1.3		2.1	V

注 -1.0 V (MIN.) (パルス幅 : 10% T<sub>cyc</sub>)

備考 V<sub>DIF(DC)</sub>, V<sub>CM(DC)</sub>は下図を参照



入出力容量 (T<sub>A</sub> = 25°C, f = 1 MHz)

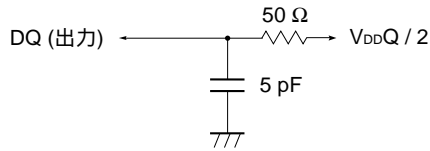
項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	C <sub>IN</sub>	V <sub>IN</sub> = 0 V			6	pF
入出力容量	C <sub>I/O</sub>	V <sub>I/O</sub> = 0 V			7	pF

備考 これらのパラメータは全数測定されたものではなく、サンプル値です。

DC 特性 (推奨動作条件による)

項目	略号	条件	MIN.	TYP.	MAX.	単位	注
入力リーク電流	$I_{LI}$	$V_{IN} = 0V \sim V_{DD}$	-5		+5	μA	
DQ リーク電流	$I_{LO}$	$V_{IO} = 0V \sim V_{DDQ}$ , /SS = $V_{IH}$ or /G = $V_{IH}$	-5		+5	μA	
動作電源電流	$I_{CC}$	/SS = $V_{L}$ , サイクル = 182 MHz, IDQ = 0 mA			450	mA	
					650		
スリープ・モード 電源電流	$I_{SBZZ}$	ZZ = $V_{IH}$ , 他のすべての入力 = $V_{IH}$ or $V_{L}$ , サイクル = DC, IDQ = 0 mA			45	mA	
スタンバイ電源電流	$I_{SBSS}$	$V_{IN} = V_{IH}$ or $V_{L}$ , /SS = $V_{IH}$ , ZZ = $V_{L}$ , サイクル = 182 MHz, IDQ = 0 mA			430	mA	
					630		
ロウ・レベル出力電圧	$V_{OL}$	$I_{OL} = 8$ mA			0.4	V	1
ハイ・レベル出力電圧	$V_{OH}$	$I_{OH} = -5$ mA	2.4			V	1

注1. 下図参照

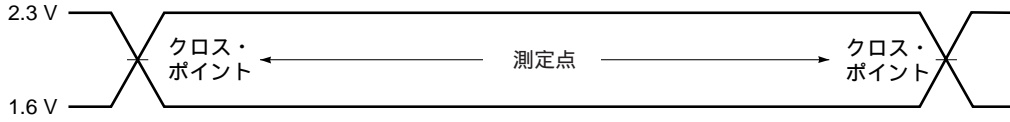


AC 特性 (推奨動作条件による)

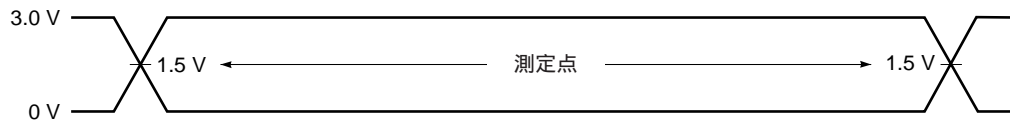
AC 特性試験条件

入力波形 (立ち上がり / 立ち下がり時間 = 0.5 ns (20 ~ 80%))

K, /K 信号



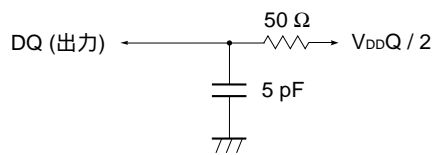
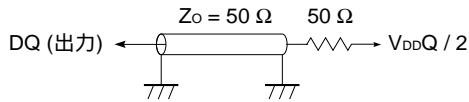
他の信号



出力波形



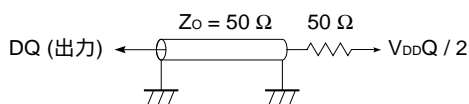
出力負荷



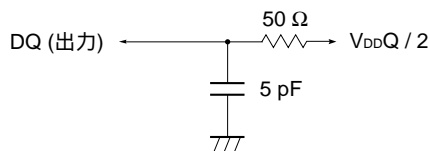
シングル・ディファレンシャル・クロック，レジスタ入力/ラッチ出力モード

項目	略号	-A55 (182 MHz)		-A6 (166 MHz)		-A7 (143 MHz)		単位	注	
		MIN.	MAX.	MIN.	MAX.	MIN.	MAX.			
		クロック・サイクル時間	$t_{KHKH}$	5.5	—	6.0	—			7.0
クロック・フェーズ時間	$t_{KHKL} / t_{KLKH}$	1.8	—	2.0	—	2.5	—	ns		
セットアップ時間	アドレス	$t_{AVKH}$	0.5	—	0.5	—	0.5	—	ns	
	ライト・データ	$t_{DVKH}$								
	ライト・イネーブル	$t_{WVKH}$								
	チップ選択	$t_{SVKH}$								
ホールド時間	アドレス	$t_{KHAX}$	1.0	—	1.0	—	1.0	—	ns	
	ライト・データ	$t_{KHDX}$								
	ライト・イネーブル	$t_{KH WX}$								
	チップ選択	$t_{KHSX}$								
クロック・アクセス時間	$t_{KHQV}$	—	5.5	—	6.0	—	7.0	ns	1	
K ロウ・レベル 出力確定時間	$t_{KLQV}$	—	3.0	—	3.0	—	3.5	ns	1	
K ロウ・レベル 出力変化時間	$t_{KLQX}$	0.7	—	0.7	—	0.7	—	ns	1	
/G ロウ・レベル 出力確定時間	$t_{GLQV}$	—	3.0	—	3.0	—	3.5	ns	1	
/G ロウ・レベル 出力変化時間	$t_{GLQX}$	0.7	—	0.7	—	0.7	—	ns	1	
/G ハイ・レベル 出力 High-Z 時間	$t_{GHQZ}$	0.7	3.0	0.7	3.0	0.7	3.5	ns	2	
K ハイ・レベル 出力 High-Z 時間	$t_{KHQZ}$	0.7	3.0	0.7	3.0	0.7	3.5	ns	2	
K ロウ・レベル 出力 Low-Z 時間	$t_{KHQX2}$	0.7	—	0.7	—	0.7	—	ns	2	
スリープ・モード・リカバリ時間	$t_{ZZR}$	5.5	—	6.0	—	7.0	—	ns		
スリープ・モード・イネーブル時間	$t_{ZZE}$	—	5.5	—	6.0	—	7.0	ns		

注 1. 下図参照

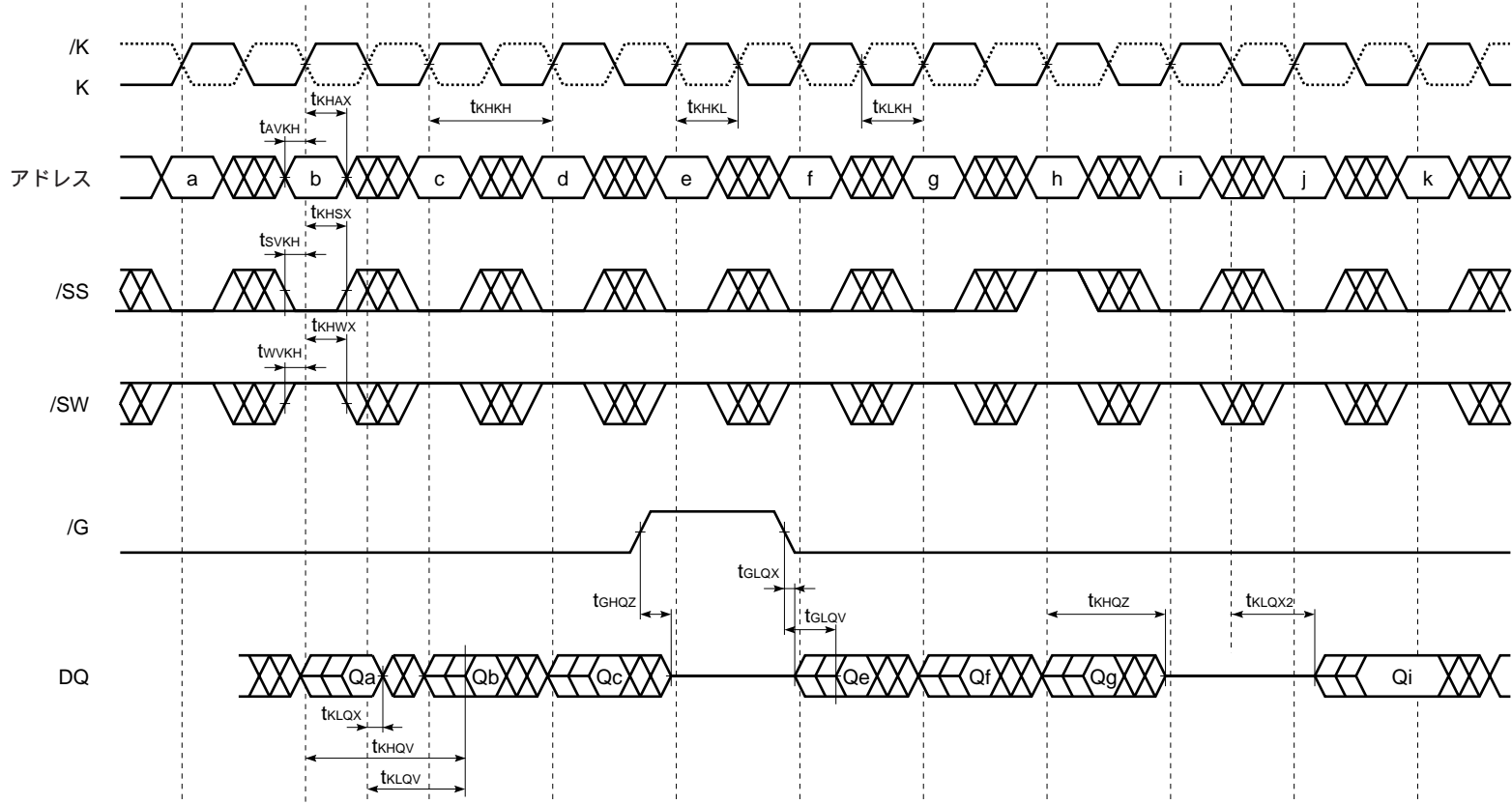


2. 下図参照

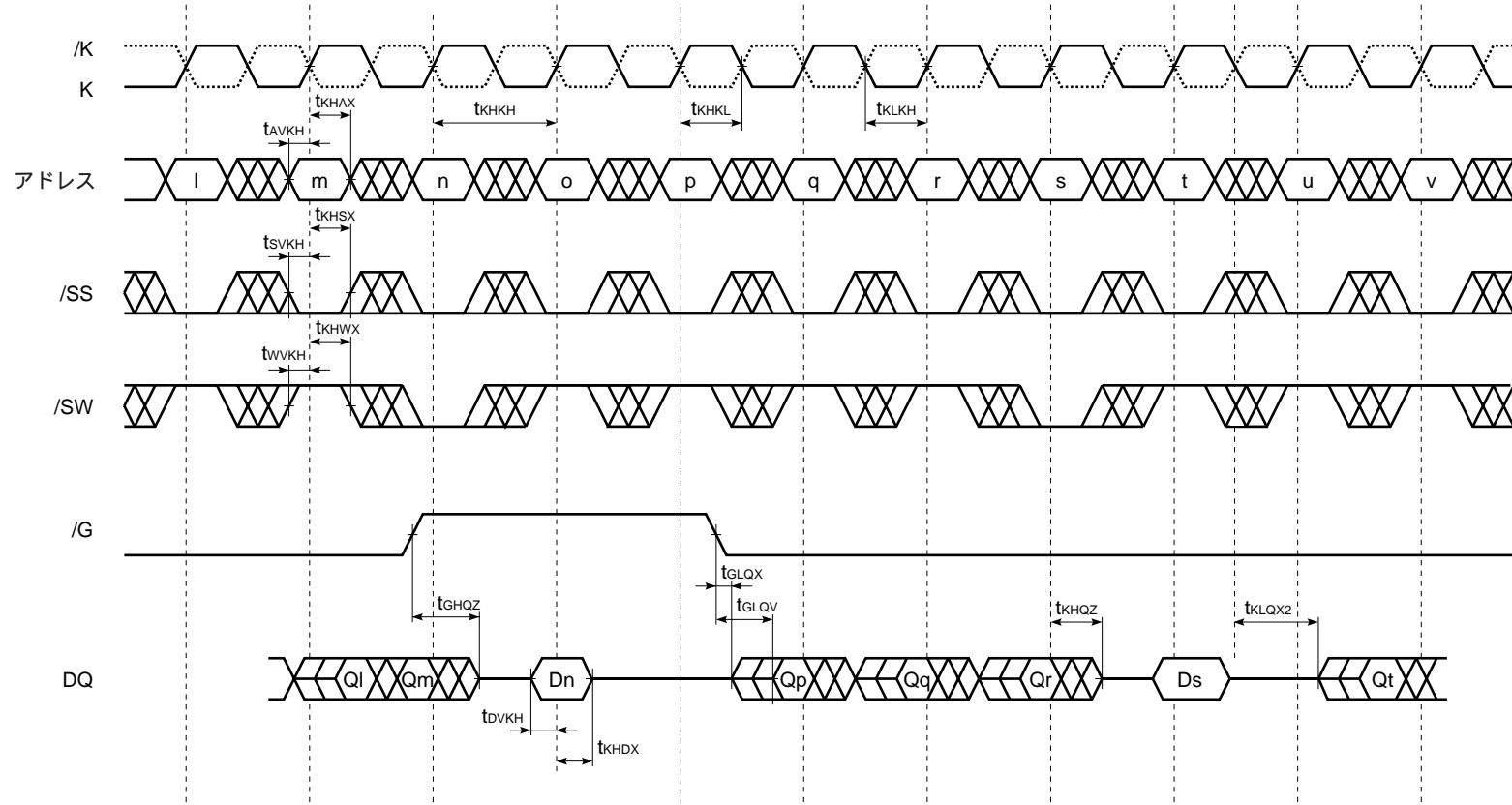


# 保守/廃止

## リード動作



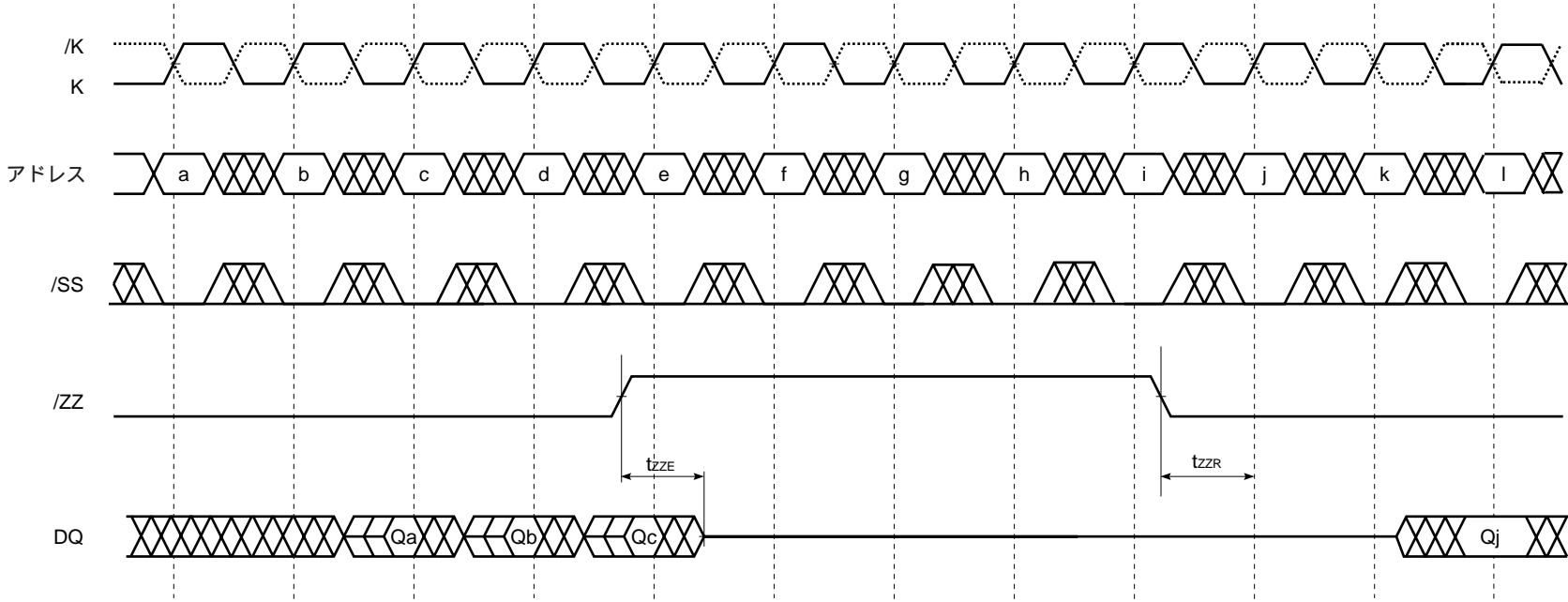
ライト動作





# 保守/廃止

## スリープ・モード



**JTAG 特性**

本製品は IEEE 1149.1 で規定されている JTAG 機能をサポートしています。

**テスト・アクセス・ポート端子 (TAP)**

端子名	端子割り当て	機能
TCK	4U	テスト・クロック入力： TCK の立ち上がりエッジですべての入力信号が取り込まれ、TCK の立ち下がりエッジで出力が開始されます。
TMS	2U	テスト・モード選択： TAP コントローラにコマンドを入力します。
TDI	3U	テスト・データ入力： TDI と TDO の間に配列されるシリアル・レジスタの入力側です。 TDI と TDO の間に配列されるレジスタは、TAP コントローラの状態と、TAP コントローラに取り込まれた命令によって決定します。
TDO	5U	テスト・データ出力： TDI と TDO の間に配列されるシリアル・レジスタの出力側です。 出力は TCK の立ち下がりエッジで変化します。

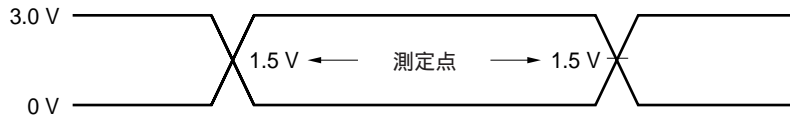
**備考** 本製品は TRST (TAP リセット) を内蔵していません。TCK が 5 回立ち上がる間、TMS をハイ・レベルに保持すると Test-Logic-Reset 状態になります。電源投入時、TAP コントローラはリセット状態です。

**JTAG DC 特性 (Tj = 5 ~ 110 °C)**

項目	略号	条件	MIN.	TYP.	MAX.	単位
JTAG 入力ハイ・レベル電圧	V <sub>IH</sub>		2.2		V <sub>DD</sub> +0.3	V
JTAG 入力ロウ・レベル電圧	V <sub>IL</sub>		-0.3		+0.8	V
JTAG 出力ハイ・レベル電圧	V <sub>OH</sub>	I <sub>OH</sub> = -8 mA	2.4		-	V
JTAG 出力ロウ・レベル電圧	V <sub>OL</sub>	I <sub>OL</sub> = 8 mA	-		0.4	V

JTAG AC 特性試験条件 ( $T_j = 5 \sim 110 \text{ }^\circ\text{C}$ )

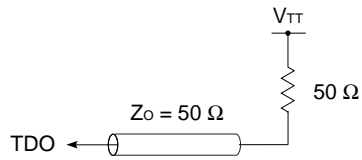
入力波形 (立ち上がり / 立ち下がり時間 = 1 ns (20 ~ 80%))



出力波形



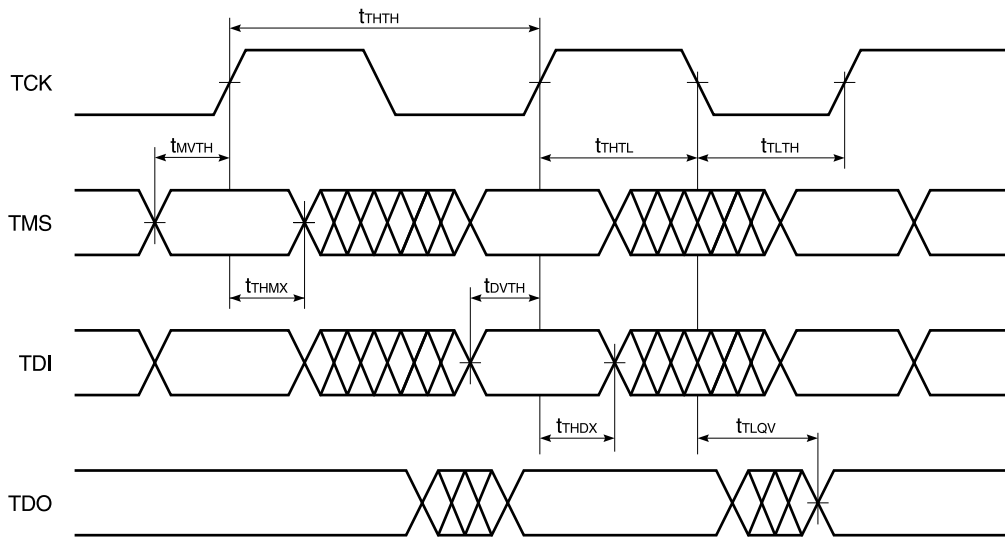
出力負荷 ( $V_{TT} = 1.5 \text{ V}$ )



JTAG AC 特性 (Tj = 5 ~ 110 °C)

項目	略号	条件	MIN.	TYP.	MAX.	単位
クロック・サイクル時間 (TCK)	t <sub>THTH</sub>		100		-	ns
クロック・フェーズ時間 (TCK)	t <sub>THTL</sub> / t <sub>TLTH</sub>		40		-	ns
セットアップ時間 (TMS / TDI)	t <sub>MVTH</sub> / t <sub>DVTH</sub>		10		-	ns
ホールド時間 (TMS / TDI)	t <sub>THMX</sub> / t <sub>THDX</sub>		10		-	ns
TCK ロウ・レベル TDO 確定時間 (TDO)	t <sub>TLQV</sub>		-		20	ns

JTAG タイミング・チャート



スキャン・レジスタ定義 (1)

レジスタ名	機 能
インストラクション・レジスタ	インストラクション・レジスタは、TAP コントローラが実行する命令を保持しています。インストラクション・レジスタが TDI と TDO の間に配列されると、レジスタに命令が取り込まれます。 電源投入時、インストラクション・レジスタは、IDCODE 命令を取り込みます。このとき、TAP コントローラは Test-Logic-Reset 状態にリセットされます。
バイパス・レジスタ	バイパス・レジスタは、TDI と TDO の間に配列される 1 ビットのレジスタです。バイパス・レジスタは、連続するテスト・データを、TAP コントローラを経由する最短経路で他のデバイスに伝送します。
ID レジスタ	ID レジスタは 32 ビットのレジスタです。 インストラクション・レジスタが IDCODE 命令を取り込んだ状態で、TAP コントローラが capture-DR 状態になると、ID レジスタは 32 ビットのデバイス・コードと製造者コードを取り込みます。 TAP コントローラが shift-DR 状態になると、ID レジスタは TDI と TDO の間に配列されます。
バウンダリ・レジスタ	バウンダリ・レジスタは TAP コントローラによって制御されます。 TAP コントローラが capture-DR 状態になると、バウンダリ・レジスタは RAM の I/O リングの内容を取り込みます。そして、TAP コントローラが shift-DR 状態になると、バウンダリ・レジスタは TDI と TDO の間に配列されます。いくつかの TAP 命令はバウンダリ・レジスタを使用します。 スキャン・オーダ表では、デバイスの外部端子とバウンダリ・レジスタとの接続を表しています。最初の列はバウンダリ・レジスタにおけるビットの位置を定義しています。TDO に最も近いシフト・レジスタ・ビット (例: 最初にシフト・アウトするビット) にはビット 1 を定義しています。2 列目は外部端子で入力、または入出力する端子名、3 列目は外部端子の ID を示しています。

スキャン・レジスタ定義 (2)

レジスタ名	μPD464518AL	μPD464536AL	単 位
インストラクション・レジスタ	3	3	bit
バイパス・レジスタ	1	1	bit
ID レジスタ	32	32	bit
バウンダリ・レジスタ	51	70	bit

ID レジスタ定義

品 名	構 成	ID [31:28] vendor revision no.	ID [27:12] part no.	ID [11:1] vendor ID no.	ID [0] fix bit
μPD464518AL	256K × 18	XXXX	0110001011 101000	00010010000	1
μPD464536AL	128K × 36	XXXX	0110101100 101000	00010010000	1

スキャン出力順

[ μPD464518AL (256K ワード × 18 ビット) ]

ビット 番号	外部端子	外部端子 ID
1	M2	5R
2	SA5	6T
3	SA0	4P
4	SA4	6R
5	SA8	5T
6	ZZ	7T
7	DQa1	7P
8	DQa2	6N
9	DQa3	6L
10	DQa4	7K
11	/SBa	5L
12	/K	4L
13	K	4K
14	/G	4F
15	DQa5	6H
16	DQa6	7G
17	DQa7	6F
18	DQa8	7E
19	DQa9	6D
20	SA2	6A
21	SA3	6C
22	SA7	5C
23	SA6	5A
24	NC	6B
25	SA16	5B

ビット 番号	外部端子	外部端子 ID
26	SA17	3B
27	NC	2B
28	SA9	3A
29	SA10	3C
30	SA13	2C
31	SA12	2A
32	DQb1	1D
33	DQb2	2E
34	DQb3	2G
35	DQb4	1H
36	/SBb	3G
37	NC	4D
38	/SS	4E
39	NC	4G
40	NC	4H
41	/SW	4M
42	DQb5	2K
43	DQb6	1L
44	DQb7	2M
45	DQb8	1N
46	DQb9	2P
47	SA11	3T
48	SA14	2R
49	SA1	4N
50	SA15	2T
51	M1	3R

[ μPD464536AL (128K ワード × 36 ビット) ]

ビット 番号	外部端子	外部端子 ID
1	M2	5R
2	SA0	4P
3	SA8	4T
4	SA4	6R
5	SA7	5T
6	ZZ	7T
7	DQa9	6P
8	DQa8	7P
9	DQa7	6N
10	DQa6	7N
11	DQa5	6M
12	DQa4	6L
13	DQa3	7L
14	DQa2	6K
15	DQa1	7K
16	/SBa	5L
17	/K	4L
18	K	4K
19	/G	4F
20	/SBb	5G
21	DQb1	7H
22	DQb2	6H
23	DQb3	7G
24	DQb4	6G
25	DQb5	6F
26	DQb6	7E
27	DQb7	6E
28	DQb8	7D
29	DQb9	6D
30	SA2	6A
31	SA3	6C
32	SA6	5C
33	SA5	5A
34	NC	6B
35	SA15	5B

ビット 番号	外部端子	外部端子 ID
36	SA16	3B
37	NC	2B
38	SA9	3A
39	SA10	3C
40	SA13	2C
41	SA12	2A
42	DQc9	2D
43	DQc8	1D
44	DQc7	2E
45	DQc6	1E
46	DQc5	2F
47	DQc4	2G
48	DQc3	1G
49	DQc2	2H
50	DQc1	1H
51	/SBc	3G
52	NC	4D
53	/SS	4E
54	NC	4G
55	NC	4H
56	/SW	4M
57	/SBd	3L
58	DQd1	1K
59	DQd2	2K
60	DQd3	1L
61	DQd4	2L
62	DQd5	2M
63	DQd6	1N
64	DQd7	2N
65	DQd8	1P
66	DQd9	2P
67	SA11	3T
68	SA14	2R
69	SA1	4N
70	M1	3R

JTAG 命令

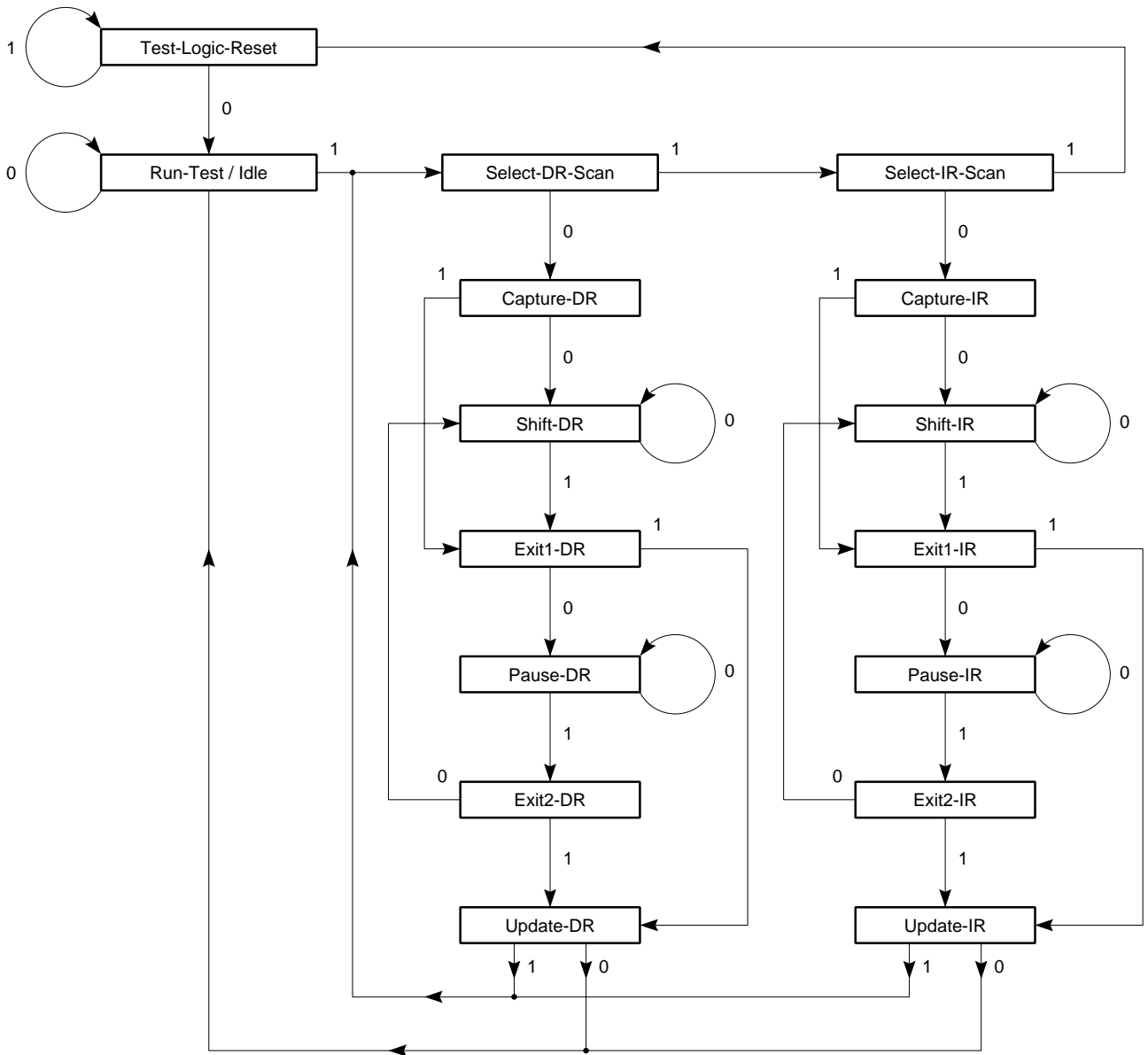
命 令	詳 細
EXTEST	EXTEST 命令は IEEE 1149.1 で実行内容が規定されている一般的な命令です。 インストラクション・レジスタの長さに関わらず、インストラクション・レジスタに 0 が取り込まれます。 本製品は EXTEST 命令を実行しないため、IEEE 1149.1 に準拠していません。 EXTEST (000) 命令がインストラクション・レジスタに取り込まれると、RAM は SAMPLE 命令を取り込んだ場合と同様に対応します。ただし、RAM の出力はハイ・インピーダンスになります。
IDCODE	TAP コントローラが capture-DR 状態のとき、ID ROM が ID レジスタに取り込まれます。 IDCODE 命令は、TAP コントローラが shift-DR 状態のとき、ID レジスタを TDI と TDO の間に配列します。IDCODE 命令は電源投入時に取り込まれる初期設定で、TAP コントローラは電源投入時に Test-Logic-Reset 状態におかれます。
BYPASS	BYPASS 命令がインストラクション・レジスタに取り込まれると、TAP コントローラが shift-DR 状態において、バイパス・レジスタを TDI と TDO の間に配列します。 BYPASS 命令は基板レベルのスキャン・パスが、最短経路で他のデバイスのスキャン・パスをテストすることを容易にします。
SAMPLE	SAMPLE は IEEE 1149.1 で実行内容が規定されている一般的な命令です。 SAMPLE 命令がインストラクション・レジスタに取り込まれていると、TAP コントローラは capture-DR 状態において、RAM の入力バッファと入出力バッファに入力されているデータをバウンダリ・スキャン・レジスタに取り込みます。 RAM のクロックは TAP クロック (TCK) に依存しないため、入力バッファが状態を遷移している間に TAP コントローラが I/O リングの内容を取り込むことが可能です。この場合、デバイスが物理的に破壊されることはありませんが、入力データの内容は保証できません。 RAM の入力信号は、TAP へ入力するデータのセットアップ時間とホールド時間 (t <sub>cs</sub> と t <sub>ch</sub> ) を満たすことができるように、十分に安定させる必要があります。 RAM のクロック入力、バウンダリ・スキャン・レジスタに I/O リングの内容を取り込む場合を除いて、TAP コントローラの動作に対して停止する必要はありません。 バウンダリ・スキャン・レジスタが TDI と TDO の間に配列されたあと、TAP コントローラは shift-DR 状態に遷移します。この機能は IEEE 1149.1 に準拠していません。
SAMPLE-Z	SAMPLE-Z 命令がインストラクション・レジスタに取り込まれると、すべての RAM 出力は非活性(ハイ・インピーダンス)になります。 TAP コントローラが shift-DR 状態になると、バウンダリ・レジスタが TDI と TDO の間に配列されます。

JTAG 設定コード

IR2	IR1	IR0	設 定	注
0	0	0	EXTEST	1
0	0	1	IDCODE	
0	1	0	SAMPLE-Z	1
0	1	1	BYPASS	
1	0	0	SAMPLE	
1	0	1	BYPASS	
1	1	0	BYPASS	
1	1	1	BYPASS	

注 1. 出力ドライバの状態はハイ・インピーダンスになり、パッドの値はシリアル・スキャン・ラッチに取り込まれません。

TAP コントローラ状態遷移図



テスト・アクセス・ポート解除

このデバイスは、TAP コントローラを利用しないで使うことが可能です。デバイスの通常動作を妨げずに TAP コントローラを解除するには、中間電位が起きないように TCK を V<sub>SS</sub> に固定します。

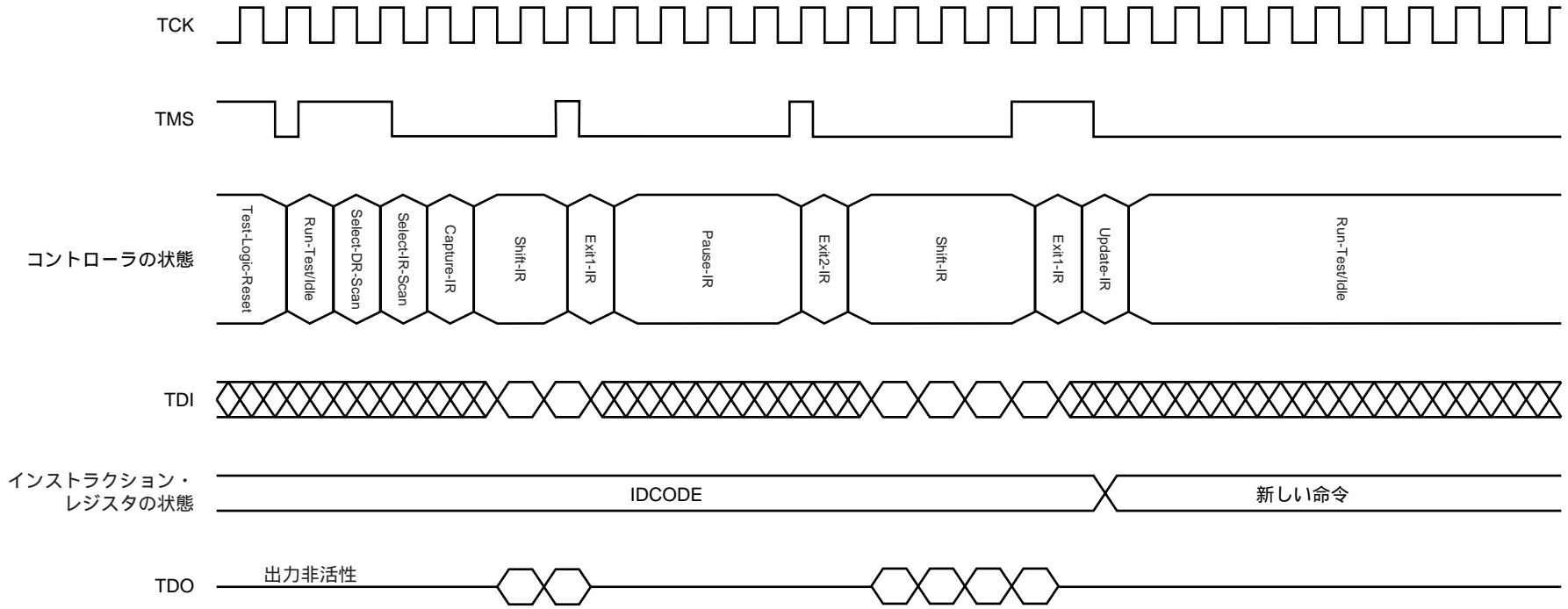
TDI と TMS は、内部で V<sub>DD</sub> に接続されているため、開放状態にしてかまいませんが、TAP コントローラを使用しない場合には、1 kΩ程度の抵抗を経由して V<sub>DD</sub> に固定してください。

また、TAP コントローラを使用しない場合、TDO は開放状態にしてください。



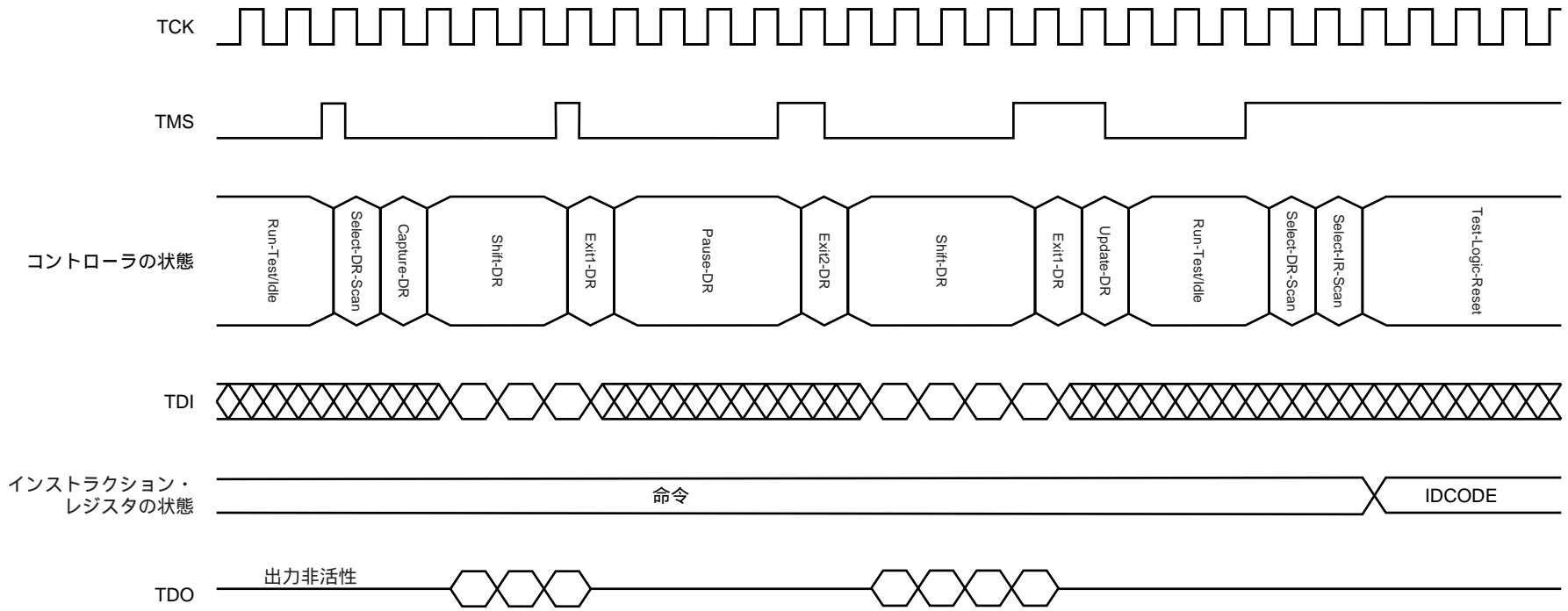
**保守/廃止**

テスト回路動作 (インストラクション・スキャン)



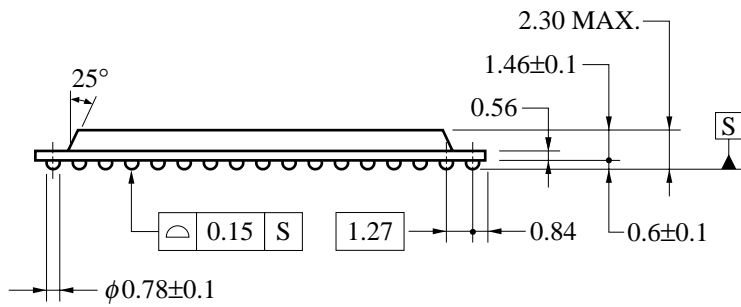
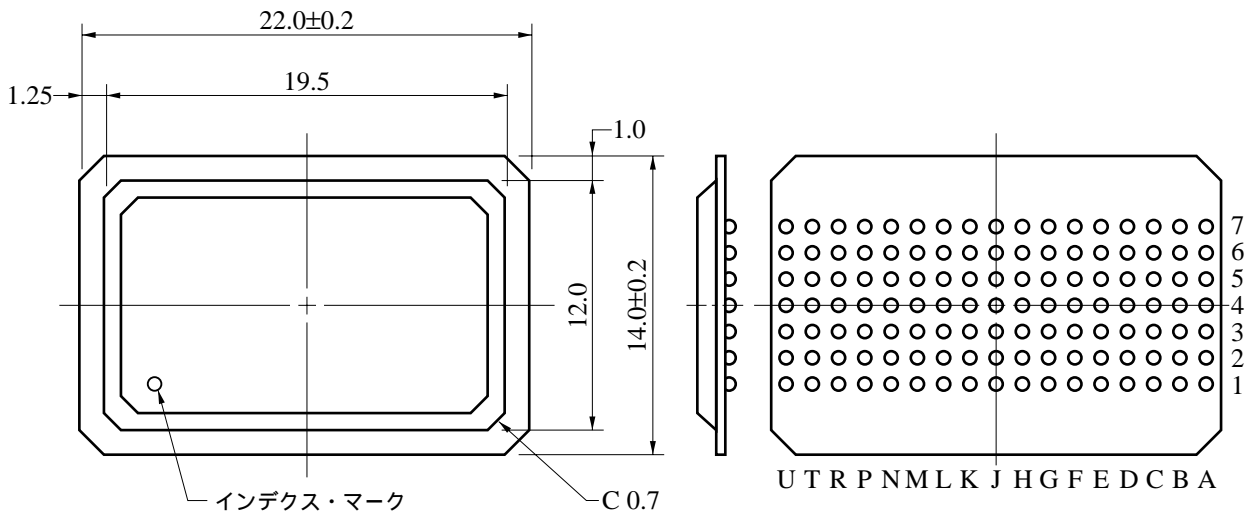
**保守/廃止**

テスト回路動作 (データ・スキャン)



外形図

119ピン・プラスチック BGA 外形図 (単位: mm)



P119S1-127-R4-1

**半田付け推奨条件**

$\mu$ PD464518AL, 464536AL の半田付け実装は、当社販売員にお問い合わせください。

**表面実装タイプ**

$\mu$ PD464518ALS1 : 119 ピン・プラスチック BGA

$\mu$ PD464536ALS1 : 119 ピン・プラスチック BGA

## CMOSデバイスの一般的注意事項

**静電気対策（MOS全般）**

**注意** MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

**未使用入力の処理（CMOS特有）**

**注意** CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して $V_{DD}$ またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

**初期化以前の状態（MOS全般）**

**注意** 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

- 本資料の内容は予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。
- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
- 本資料に記載された回路、ソフトウェア、及びこれらに付随する情報は、半導体製品の動作例、応用例を説明するためのものです。従って、これら回路・ソフトウェア・情報をお客様の機器に使用される場合には、お客様の責任において機器設計をしてください。これらの使用に起因するお客様もしくは第三者の損害に対して、当社は一切その責を負いません。
- 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。  
 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット  
 特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災 / 防犯装置、各種安全装置、生命維持を直接の目的としない医療機器  
 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等  
 当社製品のデータ・シート / データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

M7 98.8

— お問い合わせ先 —

【技術的なお問い合わせ先】

NEC半導体テクニカルホットライン  
 (電話：午前 9:00 ~ 12:00, 午後 1:00 ~ 5:00)

電話 : 044-435-9494  
 FAX : 044-435-9608  
 E-mail : info@lsi.nec.co.jp

【営業関係お問い合わせ先】

システムLSI第一営業事業部  
 東京 (03)3798-6106, 6107, 6108, 6155  
 大阪 (06)6945-3178, 3200, 3208  
 名古屋 (052)222-2375  
 仙台 (022)267-8740  
 水戸 (029)226-1702  
 広島 (082)242-5504  
 鳥取 (0857)27-5313  
 松山 (089)945-4149

システムLSI第二営業事業部  
 東京 (03)3798-6110, 6111, 6112, 6151, 6156  
 名古屋 (052)222-2170, 2190  
 松本 (0263)35-1662  
 前橋 (027)243-6060  
 立川 (042)526-5981  
 静岡 (054)254-4794  
 金沢 (076)232-7303  
 福岡 (092)261-2806

【資料の請求先】

上記営業関係お問い合わせ先またはNEC特約店へお申しつけください。

【NECエレクトロニクスデバイス ホームページ】

NECエレクトロニクスデバイスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.ic.nec.co.jp/>