

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

μPD44165082A, 44165092A, 44165182A, 44165362A

**18M ビット QDR™II SRAM
2ワード・バースト・オペレーション**

μPD44165082A(2,097,152ワード×8ビット), μPD44165092A(2,097,152ワード×9ビット), μPD44165182A(1,048,576ワード×18ビット), μPD44165362A(524,288ワード×36ビット)は、先進のCMOS技術を用いた6トランジスタ・メモリ・セルの、シンクロナス・クワッド・データ・レート(QDR)SRAMです。

本製品は、独自のシンクロナス周辺回路とバースト・カウンタを採用しています。すべての入力レジスタは入力クロック(K, K#)の立ち上がりエッジで制御されます。

本製品は、高速シンクロナス動作、低電圧、大容量かつ、多ビット構成を必要とするアプリケーションに最適です。

外形は、165ピン・プラスチックBGAを用意しています。

特 徴

- ・ 1.8 ± 0.1V 電源電圧
- ・ 165ピン・プラスチックBGAパッケージ(13×15)を採用
- ・ HSTL インタフェース
- ・ PLL 回路の使用により、有効データ出力時間を拡大
- ・ データ・ポートが独立しているため、リード動作とライト動作の並行処理が可能
- ・ パイプライン・ダブル・データ・レート動作
- ・ 2ワード・バースト・オペレーション
- ・ 入力クロック(K, K#)の立ち上がりエッジで、すべての入力レジスタを制御
- ・ 出力クロック(C, C#)の使用により、遅延時間やクロック・スキューを補正
受け取り側のデバイスにクロックとデータを同時に伝達することが可能
- ・ セルフタイム・ライト・コントロール
- ・ クロック・ストップをサポート、クロック再開後1,024サイクルで通常動作
- ・ 出力インピーダンスが設定可能
- ・ 高速クロック・サイクル時間: 4.0 ns (250 MHz), 5.0 ns (200 MHz)
- ・ JTAG バウンダリ・スキャン
- ・ 動作周囲温度: Commercial T_A = 0 ~ +70°C (-E40, -E50)
Industrial T_A = -40 ~ +85°C (-E40Y, -E50Y)

本資料の内容は、予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。

オーダ情報

(1) 動作周囲温度 $T_A = 0 \sim +70^\circ\text{C}$

オーダ名称	サイクル時間 ns	クロック周波数 MHz	構成 (ワード × ビット)	パッケージ	動作周囲温度
μPD44165082AF5-E40-EQ2	4.0	250	2M × 8	165 ピン・ プラスチック BGA (13 × 15)	Commercial ($T_A = 0 \sim +70^\circ\text{C}$)
μPD44165082AF5-E50-EQ2	5.0	200			
μPD44165092AF5-E40-EQ2	4.0	250	2M × 9		
μPD44165092AF5-E50-EQ2	5.0	200			
μPD44165182AF5-E40-EQ2	4.0	250	1M × 18		
μPD44165182AF5-E50-EQ2	5.0	200			
μPD44165362AF5-E40-EQ2	4.0	250	512K × 36		
μPD44165362AF5-E50-EQ2	5.0	200			

備考 QDR コンソーシアム標準のパッケージ・サイズは、13 × 15 と 15 × 17 です。
フット・プリントは共通です。

(2) 動作周囲温度 $T_A = -40 \sim +85^\circ\text{C}$

オーダ名称	サイクル時間 ns	クロック周波数 MHz	構成 (ワード × ビット)	パッケージ	動作周囲温度
μPD44165082AF5-E40Y-EQ2	4.0	250	2M × 8	165 ピン・ プラスチック BGA (13 × 15)	Industrial ($T_A = -40 \sim +85^\circ\text{C}$)
μPD44165082AF5-E50Y-EQ2	5.0	200			
μPD44165092AF5-E40Y-EQ2	4.0	250	2M × 9		
μPD44165092AF5-E50Y-EQ2	5.0	200			
μPD44165182AF5-E40Y-EQ2	4.0	250	1M × 18		
μPD44165182AF5-E50Y-EQ2	5.0	200			

備考 QDR コンソーシアム標準のパッケージ・サイズは、13 × 15 と 15 × 17 です。
 フット・プリントは共通です。

端子接続図

165 ピン・プラスチック BGA (13 x 15)

(Top View)

[μPD44165082A]

2M x 8

	1	2	3	4	5	6	7	8	9	10	11
A	CQ#	Vss	A	W#	NW1#	K#	NC	R#	A	Vss	CQ
B	NC	NC	NC	A	NC	K	NW0#	A	NC	NC	Q3
C	NC	NC	NC	Vss	A	A	A	Vss	NC	NC	D3
D	NC	D4	NC	Vss	Vss	Vss	Vss	Vss	NC	NC	NC
E	NC	NC	Q4	VDDQ	Vss	Vss	Vss	VDDQ	NC	D2	Q2
F	NC	NC	NC	VDDQ	VDD	Vss	VDD	VDDQ	NC	NC	NC
G	NC	D5	Q5	VDDQ	VDD	Vss	VDD	VDDQ	NC	NC	NC
H	DLL#	VREF	VDDQ	VDDQ	VDD	Vss	VDD	VDDQ	VDDQ	VREF	ZQ
J	NC	NC	NC	VDDQ	VDD	Vss	VDD	VDDQ	NC	Q1	D1
K	NC	NC	NC	VDDQ	VDD	Vss	VDD	VDDQ	NC	NC	NC
L	NC	Q6	D6	VDDQ	Vss	Vss	Vss	VDDQ	NC	NC	Q0
M	NC	NC	NC	Vss	Vss	Vss	Vss	Vss	NC	NC	D0
N	NC	D7	NC	Vss	A	A	A	Vss	NC	NC	NC
P	NC	NC	Q7	A	A	C	A	A	NC	NC	NC
R	TDO	TCK	A	A	A	C#	A	A	A	TMS	TDI

A	: アドレス入力	DLL#	: DLL/PLL ディセーブル入力
D0-D7	: データ入力	TMS	: IEEE 1149.1 テスト入力
Q0-Q7	: データ出力	TDI	: IEEE 1149.1 テスト入力
R#	: リード入力	TCK	: IEEE 1149.1 クロック入力
W#	: ライト入力	TDO	: IEEE 1149.1 テスト出力
NW0#, NW1#	: ニブル・ライト・データ・セレクト入力	VREF	: HSTL 参照電圧
K, K#	: 入力クロック	VDD	: 電源電圧
C, C#	: 出力クロック	VDDQ	: 出力バッファ電源電圧
CQ, CQ#	: エコー・クロック出力	Vss	: グランド
ZQ	: 出力インピーダンス・マッチング入力	NC	: ノー・コネクション

- 備考 1. xxx# はアクティブ LOW を示します。
2. インデクス・マークに関しては、外形図を参照してください。
3. 10A 端子は、36M ビット製品で上位アドレス入力端子として使用します。
 2A 端子は、72M ビット製品で上位アドレス入力端子として使用します。
 7A 端子は、144M ビット製品で上位アドレス入力端子として使用します。
 また、2A 端子と 10A 端子は、本製品では NC にすることも可能です。

165 ピン・プラスチック BGA (13 x 15)

(Top View)

[μPD44165092A]

2M x 9

	1	2	3	4	5	6	7	8	9	10	11
A	CQ#	Vss	A	W#	NC	K#	NC	R#	A	Vss	CQ
B	NC	NC	NC	A	NC	K	BW0#	A	NC	NC	Q4
C	NC	NC	NC	Vss	A	A	A	Vss	NC	NC	D4
D	NC	D5	NC	Vss	Vss	Vss	Vss	Vss	NC	NC	NC
E	NC	NC	Q5	VDDQ	Vss	Vss	Vss	VDDQ	NC	D3	Q3
F	NC	NC	NC	VDDQ	VDD	Vss	VDD	VDDQ	NC	NC	NC
G	NC	D6	Q6	VDDQ	VDD	Vss	VDD	VDDQ	NC	NC	NC
H	DLL#	VREF	VDDQ	VDDQ	VDD	Vss	VDD	VDDQ	VDDQ	VREF	ZQ
J	NC	NC	NC	VDDQ	VDD	Vss	VDD	VDDQ	NC	Q2	D2
K	NC	NC	NC	VDDQ	VDD	Vss	VDD	VDDQ	NC	NC	NC
L	NC	Q7	D7	VDDQ	Vss	Vss	Vss	VDDQ	NC	NC	Q1
M	NC	NC	NC	Vss	Vss	Vss	Vss	Vss	NC	NC	D1
N	NC	D8	NC	Vss	A	A	A	Vss	NC	NC	NC
P	NC	NC	Q8	A	A	C	A	A	NC	D0	Q0
R	TDO	TCK	A	A	A	C#	A	A	A	TMS	TDI

- | | | | |
|---------|----------------------|------|----------------------|
| A | : アドレス入力 | DLL# | : DLL/PLL ディセーブル入力 |
| D0-D8 | : データ入力 | TMS | : IEEE 1149.1 テスト入力 |
| Q0-Q8 | : データ出力 | TDI | : IEEE 1149.1 テスト入力 |
| R# | : リード入力 | TCK | : IEEE 1149.1 クロック入力 |
| W# | : ライト入力 | TDO | : IEEE 1149.1 テスト出力 |
| BW0# | : バイト・ライト・データ・セレクト入力 | VREF | : HSTL 参照電圧 |
| K, K# | : 入力クロック | VDD | : 電源電圧 |
| C, C# | : 出力クロック | VDDQ | : 出力バッファ電源電圧 |
| CQ, CQ# | : エコー・クロック出力 | Vss | : グランド |
| ZQ | : 出力インピーダンス・マッチング入力 | NC | : ノー・コネクション |

- 備考 1. xxx# はアクティブ LOW を示します。
2. インデクス・マークに関しては、**外形図**を参照してください。
3. 10A 端子は、36M ビット製品で上位アドレス入力端子として使用します。
 2A 端子は、72M ビット製品で上位アドレス入力端子として使用します。
 7A 端子は、144M ビット製品で上位アドレス入力端子として使用します。
 また、2A 端子と 10A 端子は、本製品では NC にすることも可能です。

165 ピン・プラスチック BGA (13 x 15)

(Top View)

[μPD44165182A]

1M x 18

	1	2	3	4	5	6	7	8	9	10	11
A	CQ#	Vss	NC	W#	BW1#	K#	NC	R#	A	Vss	CQ
B	NC	Q9	D9	A	NC	K	BW0#	A	NC	NC	Q8
C	NC	NC	D10	Vss	A	A	A	Vss	NC	Q7	D8
D	NC	D11	Q10	Vss	Vss	Vss	Vss	Vss	NC	NC	D7
E	NC	NC	Q11	VDDQ	Vss	Vss	Vss	VDDQ	NC	D6	Q6
F	NC	Q12	D12	VDDQ	VDD	Vss	VDD	VDDQ	NC	NC	Q5
G	NC	D13	Q13	VDDQ	VDD	Vss	VDD	VDDQ	NC	NC	D5
H	DLL#	VREF	VDDQ	VDDQ	VDD	Vss	VDD	VDDQ	VDDQ	VREF	ZQ
J	NC	NC	D14	VDDQ	VDD	Vss	VDD	VDDQ	NC	Q4	D4
K	NC	NC	Q14	VDDQ	VDD	Vss	VDD	VDDQ	NC	D3	Q3
L	NC	Q15	D15	VDDQ	Vss	Vss	Vss	VDDQ	NC	NC	Q2
M	NC	NC	D16	Vss	Vss	Vss	Vss	Vss	NC	Q1	D2
N	NC	D17	Q16	Vss	A	A	A	Vss	NC	NC	D1
P	NC	NC	Q17	A	A	C	A	A	NC	D0	Q0
R	TDO	TCK	A	A	A	C#	A	A	A	TMS	TDI

A	: アドレス入力	DLL#	: DLL/PLL ディセーブル入力
D0-D17	: データ入力	TMS	: IEEE 1149.1 テスト入力
Q0-Q17	: データ出力	TDI	: IEEE 1149.1 テスト入力
R#	: リード入力	TCK	: IEEE 1149.1 クロック入力
W#	: ライト入力	TDO	: IEEE 1149.1 テスト出力
BW0#, BW1#	: バイト・ライト・データ・セレクト入力	VREF	: HSTL 参照電圧
K, K#	: 入力クロック	VDD	: 電源電圧
C, C#	: 出力クロック	VDDQ	: 出力バッファ電源電圧
CQ, CQ#	: エコー・クロック出力	Vss	: グランド
ZQ	: 出力インピーダンス・マッチング入力	NC	: ノー・コネクション

- 備考 1. xxx# はアクティブ LOW を示します。
2. インデクス・マークに関しては、**外形図**を参照してください。
3. 3A 端子は、36M ビット製品で上位アドレス入力端子として使用します。
 10A 端子は、72M ビット製品で上位アドレス入力端子として使用します。
 2A 端子は、144M ビット製品で上位アドレス入力端子として使用します。
 また、2A 端子と 10A 端子は、本製品では NC にすることも可能です。

165 ピン・プラスチック BGA (13 x 15)

(Top View)

[μPD44165362A]

512K x 36

	1	2	3	4	5	6	7	8	9	10	11
A	CQ#	Vss	NC	W#	BW2#	K#	BW1#	R#	NC	Vss	CQ
B	Q27	Q18	D18	A	BW3#	K	BW0#	A	D17	Q17	Q8
C	D27	Q28	D19	Vss	A	A	A	Vss	D16	Q7	D8
D	D28	D20	Q19	Vss	Vss	Vss	Vss	Vss	Q16	D15	D7
E	Q29	D29	Q20	VDDQ	Vss	Vss	Vss	VDDQ	Q15	D6	Q6
F	Q30	Q21	D21	VDDQ	VDD	Vss	VDD	VDDQ	D14	Q14	Q5
G	D30	D22	Q22	VDDQ	VDD	Vss	VDD	VDDQ	Q13	D13	D5
H	DLL#	VREF	VDDQ	VDDQ	VDD	Vss	VDD	VDDQ	VDDQ	VREF	ZQ
J	D31	Q31	D23	VDDQ	VDD	Vss	VDD	VDDQ	D12	Q4	D4
K	Q32	D32	Q23	VDDQ	VDD	Vss	VDD	VDDQ	Q12	D3	Q3
L	Q33	Q24	D24	VDDQ	Vss	Vss	Vss	VDDQ	D11	Q11	Q2
M	D33	Q34	D25	Vss	Vss	Vss	Vss	Vss	D10	Q1	D2
N	D34	D26	Q25	Vss	A	A	A	Vss	Q10	D9	D1
P	Q35	D35	Q26	A	A	C	A	A	Q9	D0	Q0
R	TDO	TCK	A	A	A	C#	A	A	A	TMS	TDI

- | | | | |
|-----------|----------------------|------|----------------------|
| A | : アドレス入力 | DLL# | : DLL/PLL ディセーブル入力 |
| D0-D35 | : データ入力 | TMS | : IEEE 1149.1 テスト入力 |
| Q0-Q35 | : データ出力 | TDI | : IEEE 1149.1 テスト入力 |
| R# | : リード入力 | TCK | : IEEE 1149.1 クロック入力 |
| W# | : ライト入力 | TDO | : IEEE 1149.1 テスト出力 |
| BW0#-BW3# | : バイト・ライト・データ・セレクト入力 | VREF | : HSTL 参照電圧 |
| K, K# | : 入力クロック | VDD | : 電源電圧 |
| C, C# | : 出力クロック | VDDQ | : 出力バッファ電源電圧 |
| CQ, CQ# | : エコー・クロック出力 | Vss | : グランド |
| ZQ | : 出力インピーダンス・マッチング入力 | NC | : ノー・コネクション |

- 備考**
- xxx# はアクティブ LOW を示します。
 - インデクス・マークに関しては、**外形図**を参照してください。
 - 9A 端子は、36M ビット製品で上位アドレス入力端子として使用します。
3A 端子は、72M ビット製品で上位アドレス入力端子として使用します。
10A 端子は、144M ビット製品で上位アドレス入力端子として使用します。
また、2A 端子と 10A 端子は、本製品では NC にすることも可能です。

端子機能

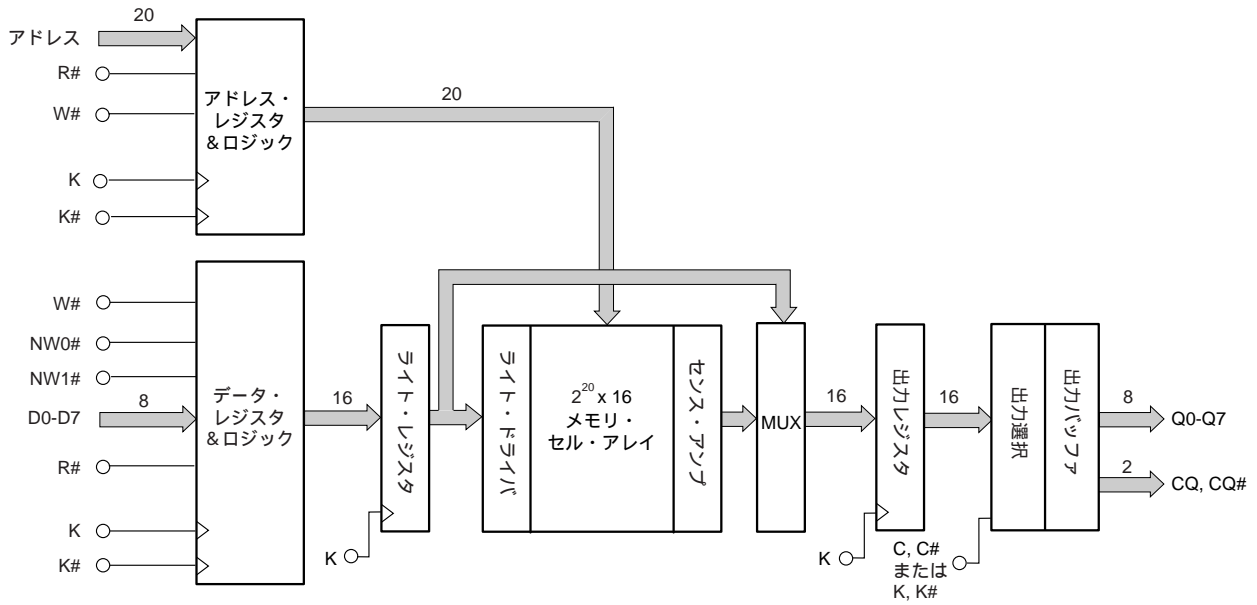
(1/2)

端子名	機能
A	<p>シンクロナス・アドレス入力： アドレス入力はKの立ち上がりエッジに同期して取り込まれます。アドレスを取り込む際、リード・サイクルではKの立ち上がりエッジ、ライト・サイクルではK#の立ち上がりエッジに対して、セットアップ時間、ホールド時間を満たさなければなりません。 すべてのデータ伝送は、2ワード・バーストで実行されます。 デバイスが非選択状態つまりNOP (R# = W# = HIGH) のとき、これらの入力は無視されます。</p>
D0-Dxx	<p>シンクロナス・データ入力： 入力データは、K、K#の立ち上がりエッジに同期して取り込まれます。データを入力する際、K、K#の立ち上がりエッジに対して、セットアップ時間、ホールド時間を満たさなければなりません。 ボールの配置は端子接続図を参照してください。 x8 ビット構成：D0-D7 x9 ビット構成：D0-D8 x18 ビット構成：D0-D17 x36 ビット構成：D0-D35</p>
Q0-Qxx	<p>シンクロナス・データ出力： 出力データは、C、C#の立ち上がりエッジに同期します。C、C#がHIGHに固定されている場合、出力データはK、K#の立ち上がりエッジに同期します。出力データは、R#コマンドに応じてC、C#(またはK、K#)に同期して出力されます。 ボールの配置は端子接続図を参照してください。 x8 ビット構成：Q0-Q7 x9 ビット構成：Q0-Q8 x18 ビット構成：Q0-Q17 x36 ビット構成：Q0-Q35</p>
R#	<p>シンクロナス・リード入力： シンクロナス・リード入力をLOWにすると、アドレスを取り込み、リード動作を開始します。シンクロナス・リード入力を取り込む際、Kの立ち上がりエッジに対して、セットアップ時間、ホールド時間を満たさなければなりません。</p>
W#	<p>シンクロナス・ライト入力： シンクロナス・ライト入力をLOWにすると、アドレスを取り込み、ライト動作を開始します。シンクロナス・ライト入力を取り込む際、Kの立ち上がりエッジに対して、セットアップ時間、ホールド時間を満たさなければなりません。</p>
NWx# BWx#	<p>シンクロナス・バイト・ライト・データ・セレクト入力 (x8 ビット構成ではニブル・ライト)： シンクロナス・バイト (ニブル) ・ライト・データ・セレクト入力をLOWにすると、ライト・サイクルでバイト、またはニブルのデータが書き込まれます。これらの信号は、ライト・サイクル中のK、K#の立ち上がりエッジに対して、セットアップ時間、ホールド時間を満たさなければなりません。 x8 ビット構成：NW0#, NW1# x9 ビット構成：BW0# x18 ビット構成：BW0#, BW1# x36 ビット構成：BW0#-BW3# BWx#, NWx#とデータ端子との関係はバイト・ライト動作を参照してください。</p>
K, K#	<p>入力クロック： K、K#に同期してアドレスが取り込まれます。リード・アドレスとコントロール入力信号は、Kの立ち上がりエッジに、ライト・アドレスはK#の立ち上がりエッジに同期して取り込まれ、入力データはK、K#の立ち上がりエッジに同期して取り込まれます。K#はKと逆位相の信号です。 すべてのシンクロナス入力信号は、K、K#の立ち上がりエッジに対して、セットアップ時間、ホールド時間を満たさなければなりません。</p>
C, C#	<p>出力クロック： C、C#により、出力データのタイミングを調整することができます。C#の立ち上がりエッジを基準にして最初のデータが出力され、Cの立ち上がりエッジを基準にして次のデータが出力されます。C#はCと逆位相の信号です。C、C#の代わりにK、K#を基準にする場合、C = C# = HIGH 固定にしてください。C = C# = HIGH 固定以外の場合 (C、C#のトグル) には、動作は保証されません。</p>

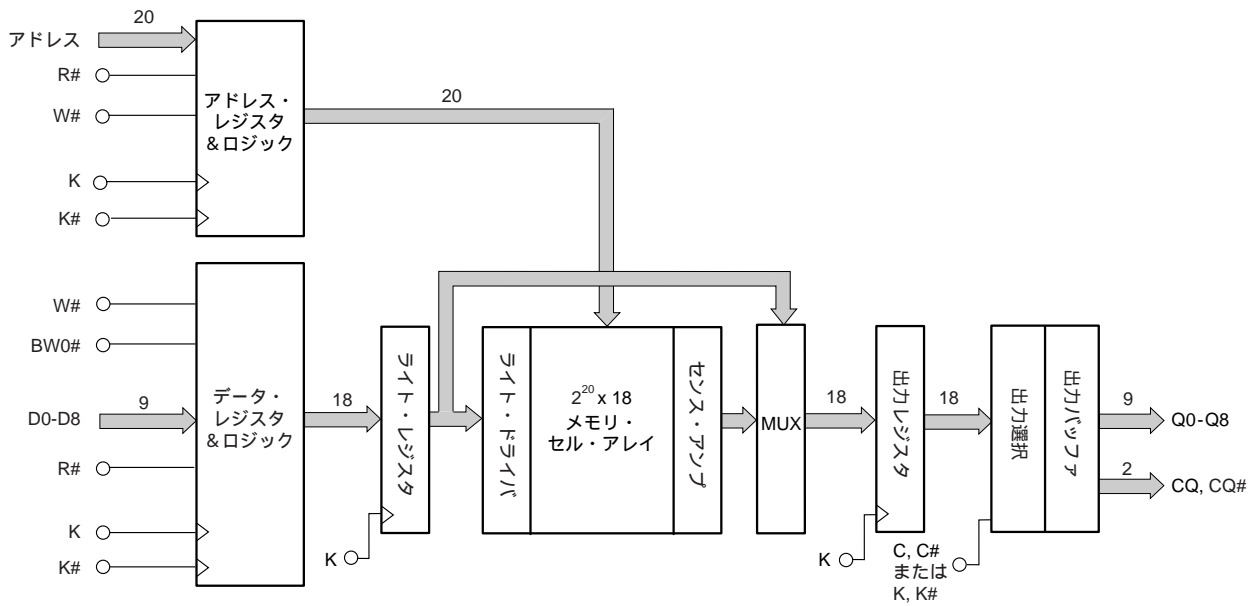
端子名	機能
CQ, CQ#	シンクロナス・エコー・クロック出力： CQ, CQ#の立ち上がりエッジはデータ出力と一致します。シンクロナス・エコー・クロック出力は有効データを識別するために使用することができます。シンクロナス・エコー・クロック出力は、Q 端子の状態に関わらず、常にエコー・クロックを出力します。 C, C#を停止した場合（シングル・クロック・モード時は、K, K#を停止した場合）、CQ, CQ#は停止します。
ZQ	出力インピーダンス・マッチング入力： デバイスの出力インピーダンスとシステム・データ・バスのインピーダンスが一致するように調整します。このとき、Q, CQ, CQ#の出力インピーダンスは $0.2 \times RQ$ に調整されます。RQ はグランドとの間の抵抗です。ZQ を直接 V_{DDQ} に接続することにより、出力インピーダンスを最小にすることができます。ZQ を直接グランドに接続したり、開放状態にすることはできません。 出力インピーダンスは、電源電圧や温度による変動を考慮するために、1,024 サイクルごとに調整されます。抵抗を変更したあとは、電源投入のシーケンスを適用することにより新しい出力インピーダンスが再設定されます。
DLL#	DLL/PLL ディセーブル入力： システム・デバッグやボード・デバッグを行う場合、DLL# = LOW にすることでDLL/PLL 回路を使用せずに、TKHKH (MAX.)より遅いクロック周波数で動作させることができます。AC/DC 特性は保証されません。通常動作には、DLL# を HIGH レベルにしてください。10 kΩ以下の抵抗で V_{DDQ} に接続することができます。
TMS	IEEE 1149.1 テスト入力：
TDI	1.8 V I/O レベル。JTAG 機能を使用しない場合は、開放状態でかまいません。
TCK	IEEE 1149.1 クロック入力： 1.8 V I/O レベル。JTAG 機能を使用しない場合は、 V_{SS} に接続してください。
TDO	IEEE 1149.1 テスト出力： 1.8 V I/O レベル。
V _{REF}	HSTL 入力参照電圧： 通常は $V_{DDQ}/2$ です。入力バッファに参照電圧を供給します。
V _{DD}	電源電圧： 通常は 1.8 V です。DC 推奨動作条件、DC 特性を参照してください。
V _{DDQ}	電源電圧： 出力バッファ用の電源電圧です。通常は 1.5 V ですが、1.8 V でも使用可能です。DC 推奨動作条件、DC 特性を参照してください。
V _{SS}	電源電圧： グランド
NC	ノー・コネクション： 内部接続されていません。

ブロック図

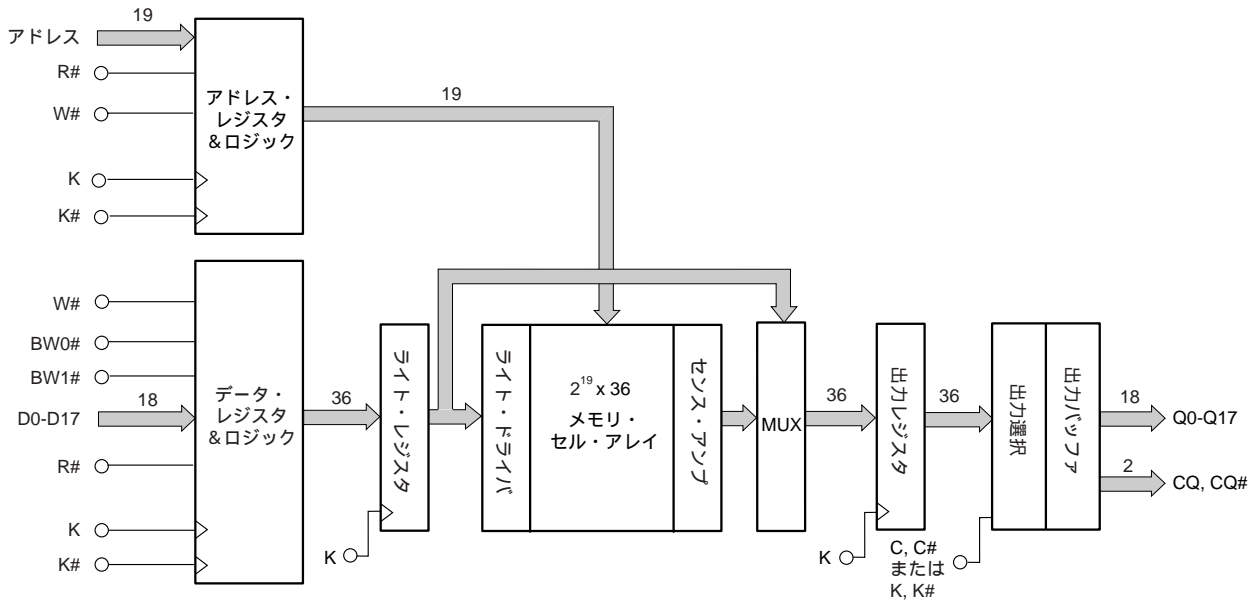
[μPD44165082A]



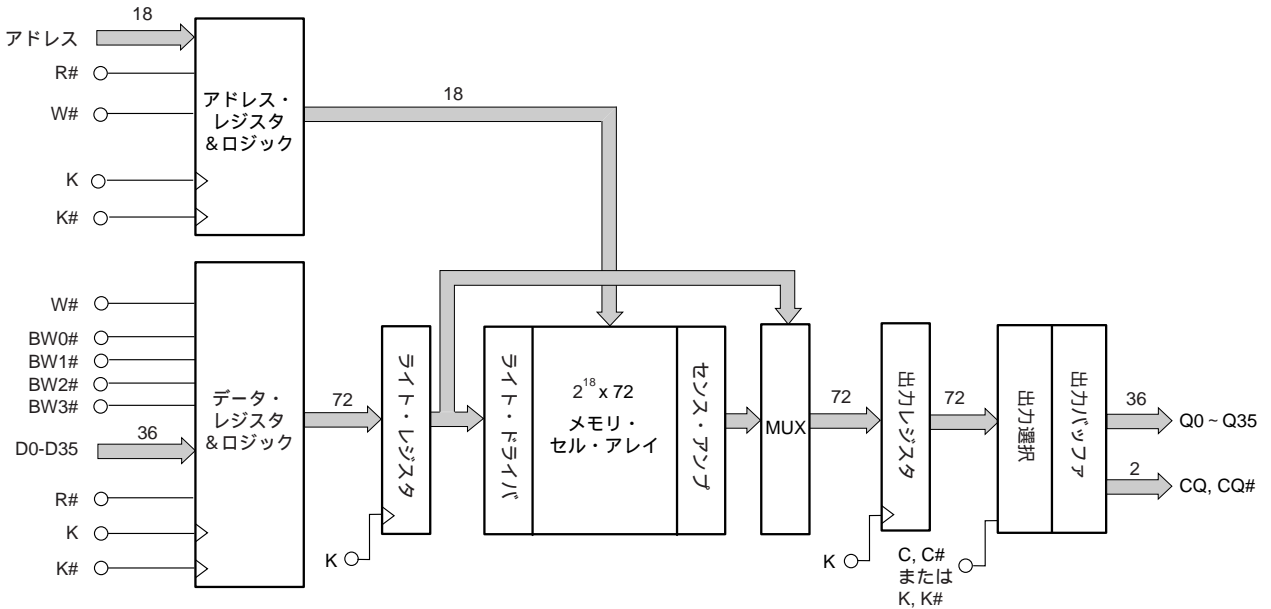
[μPD44165092A]



[μPD44165182A]



[μPD44165362A]



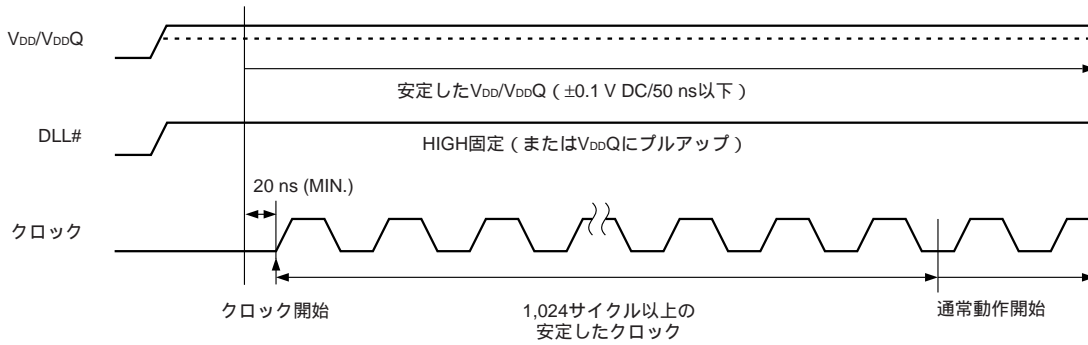
電源投入

次に、 V_{DD}/V_{DDQ} が安定したあとにクロックを開始する場合および V_{DD}/V_{DDQ} が安定する前にクロックを開始する場合の推奨する電源投入方法を示します。

1. V_{DD}/V_{DDQ} が安定したあとにクロックを開始する場合

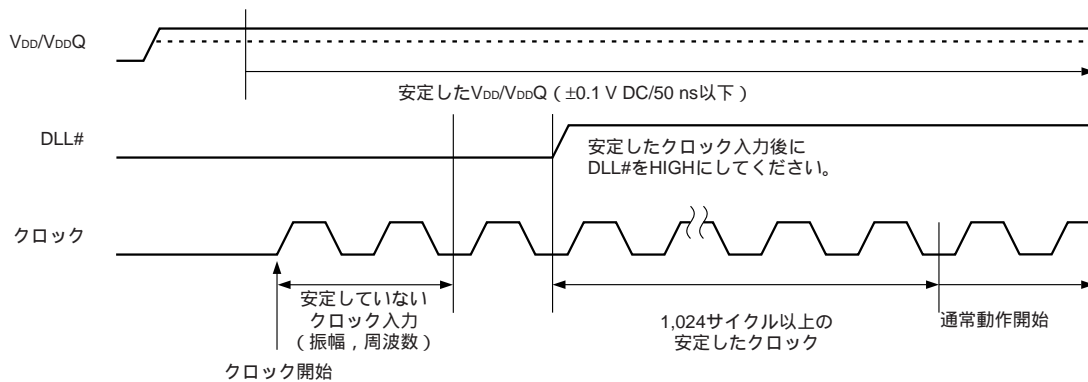
クロックがコントローラから供給されます。

(a)

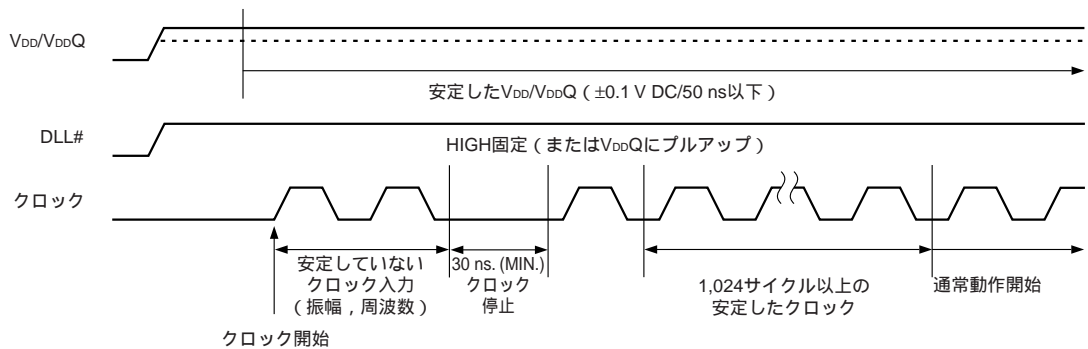


注意 クロック開始から安定したクロックを入力してください。

(b)



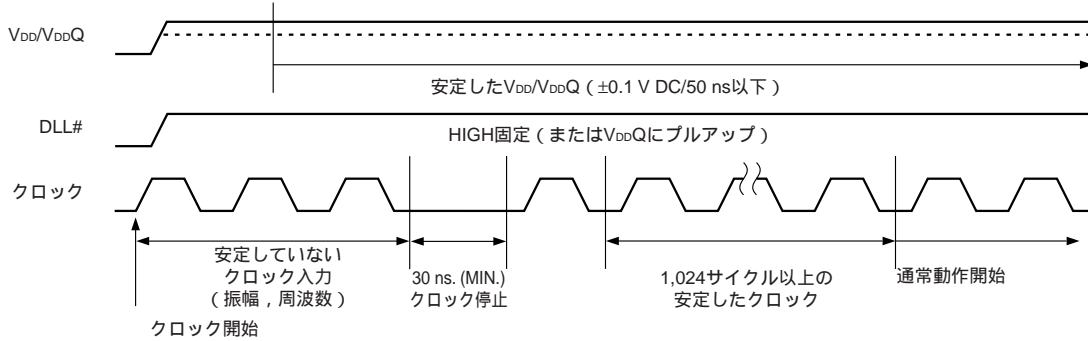
(c)



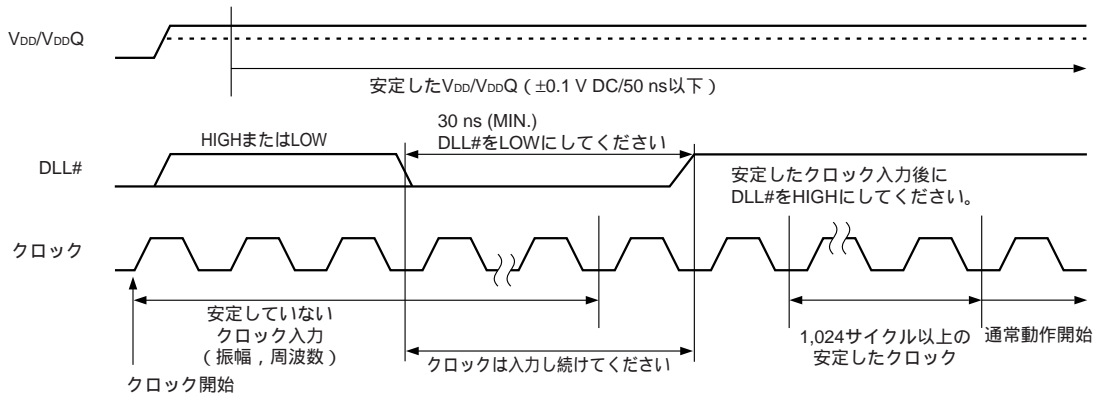
2. V_{DD}/V_{DDQ} が安定する前にクロックを開始する場合

クロックがクロック・ジェネレータから供給されます。

(a)



(b)



真理値表

動作	CLK	R#	W#	D または Q		
ライト・サイクル アドレスを取り込み, K, K# の連続する 2回の立ち上がりエッジで, ライト・ データを入力する。	L → H	X	L	データ入力		
				入力データ	D _A (A+0)	D _A (A+1)
				入力クロック	K (t) ↑	K# (t) ↑
リード・サイクル アドレスを取り込み, C, C#の連続する 2回の立ち上がりエッジで, リード・ データを出力する。	L → H	L	X	データ出力		
				出力データ	Q _A (A+0)	Q _A (A+1)
				出力クロック	C# (t+1) ↑	C (t+2) ↑
ノー・オペレーション (NOP)	L → H	H	H	D = X, Q = High-Z		
クロック停止	停止	X	X	前の状態		

備考 1. H : HIGH, L : LOW, X : 任意, ↑ : 立ち上がりエッジ

2. 入力データは K, K#の立ち上がりエッジで取り込まれます。
出力データは C, C#の立ち上がりエッジで出力されます。C, C#が HIGH に固定されている場合, 出力データは K, K#の立ち上がりエッジで出力されます。
3. 真理値表に示した制御信号は, K の立ち上がりエッジで取り込まれます。制御信号を取り込む際, K の立ち上がりエッジに対して, セットアップ時間, ホールド時間を満たさなければなりません。
4. 電源投入時, 本製品は内部回路により DQ 端子の出力をハイ・インピーダンスに保ちます。
5. 真理値表に示した動作の詳細は, **状態遷移図**, **リード/ライト・タイミング・チャート**を参照してください。
6. クロック停止中は, K = K# = C = C#であることを推奨します。伝送ラインのチャージ状態の影響を受けず, 最も速くクロックを再開させることができます。

バイト・ライト動作

[μPD44165082A]

動作	K	K#	NW0#	NW1#
ライト D0-D7	L → H	-	0	0
	-	L → H	0	0
ライト D0-D3	L → H	-	0	1
	-	L → H	0	1
ライト D4-D7	L → H	-	1	0
	-	L → H	1	0
ライト動作なし	L → H	-	1	1
	-	L → H	1	1

備考 1. H : HIGH, L : LOW, : 立ち上がりエッジ

- ライト・サイクルが開始されている場合, NW0#, NW1#は, セットアップ, ホールド条件が満たされているバースト・ライト動作の任意の部分に変更することができます。

[μPD44165092A]

動作	K	K#	BW0#
ライト D0-D8	L → H	-	0
	-	L → H	0
ライト動作なし	L → H	-	1
	-	L → H	1

備考 1. H : HIGH, L : LOW, : 立ち上がりエッジ

- ライト・サイクルが開始されている場合, BW0#は, セットアップ, ホールド条件が満たされているバースト・ライト動作の任意の部分に変更することができます。

[μPD44165182A]

動作	K	K#	BW0#	BW1#
ライト D0-D17	L → H	-	0	0
	-	L → H	0	0
ライト D0-D8	L → H	-	0	1
	-	L → H	0	1
ライト D9-D17	L → H	-	1	0
	-	L → H	1	0
ライト動作なし	L → H	-	1	1
	-	L → H	1	1

備考 1. H : HIGH, L : LOW, : 立ち上がりエッジ

- ライト・サイクルが開始されている場合, BW0#, BW1#は, セットアップ, ホールド条件が満たされたバースト・ライト動作の任意の部分に変更することができます。

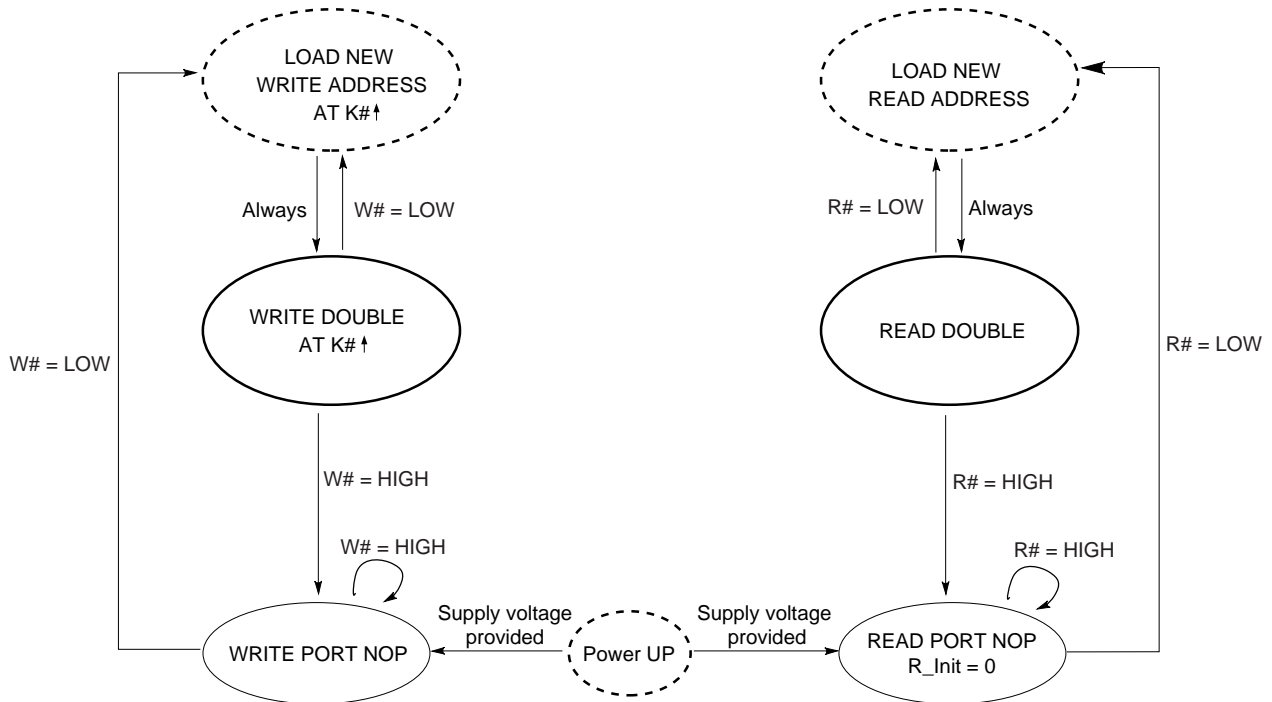
[μPD44165362A]

動作	K	K#	BW0#	BW1#	BW2#	BW3#
ライト D0-D35	L → H	-	0	0	0	0
	-	L → H	0	0	0	0
ライト D0-D8	L → H	-	0	1	1	1
	-	L → H	0	1	1	1
ライト D9-D17	L → H	-	1	0	1	1
	-	L → H	1	0	1	1
ライト D18-D26	L → H	-	1	1	0	1
	-	L → H	1	1	0	1
ライト D27-D35	L → H	-	1	1	1	0
	-	L → H	1	1	1	0
ライト動作なし	L → H	-	1	1	1	1
	-	L → H	1	1	1	1

備考 1. H : HIGH, L : LOW, : 立ち上がりエッジ

- ライト・サイクルが開始されている場合, BW0#-BW3#は, セットアップ, ホールド条件が満たされたバースト・ライト動作の任意の部分に変更することができます。

バス・サイクル状態遷移図



- 備考 1. アドレスは、バースト動作を容易にするために、内部に追加された1つの最下位ビットと連結しています。通常、アドレスは xxx...xxx+0, xxx...xxx+1 の一定の順番になっています。バス・サイクルはこのシーケンスの終わり (バースト・カウント = 2) で終端します。
2. リード動作とライト動作は、それぞれの状態を同時に遷移することが可能です。
3. 状態遷移のタイミングは入力クロック (K) によって制御されます。

電気的特性

絶対最大定格

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧	V _{DD}		-0.5		+2.5	V
出力電源電圧	V _{DDQ}		-0.5		V _{DD}	V
入力電圧	V _{IN}		-0.5		V _{DD} + 0.5 (2.5 V MAX.)	V
入出力電圧	V _{I/O}		-0.5		V _{DDQ} + 0.5 (2.5 V MAX.)	V
動作周囲温度	T _A	Commercial	0		+70	°C
		Industrial	-40		+85	
保存温度	T _{stg}		-55		+125	°C

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

DC 推奨動作条件

項目	略号	条件	MIN.	TYP.	MAX.	単位	注
電源電圧	V _{DD}		1.7		1.9	V	
出力電源電圧	V _{DDQ}		1.4		V _{DD}	V	1
HIGH レベル入力電圧	V _{IH(DC)}		V _{REF} + 0.1		V _{DDQ} + 0.3	V	1, 2
LOW レベル入力電圧	V _{IL(DC)}		-0.3		V _{REF} - 0.1	V	1, 2
クロック入力電圧	V _{IN}		-0.3		V _{DDQ} + 0.3	V	1, 2
参照電圧	V _{REF}		0.68		0.95	V	

注 1. 通常動作時、V_{DDQ} は V_{DD} を越えないようにしてください。

2. 電源投入時：t ≤ 200 ms の場合、V_{IH} ≤ V_{DDQ} + 0.3 V、V_{DD} ≤ 1.7 V、V_{DDQ} ≤ 1.4 V です。

AC 推奨動作条件

項目	略号	条件	MIN.	TYP.	MAX.	単位	注
HIGH レベル入力電圧	V _{IH(AC)}		V _{REF} + 0.2		-	V	1
LOW レベル入力電圧	V _{IL(AC)}		-		V _{REF} - 0.2	V	1

注 1. オーバーシュート：t ≤ TKHKH/2 の場合、V_{IH(AC)} ≤ V_{DD} + 0.7 V (2.5 V MAX.) です。

アンダーシュート：t ≤ TKHKH/2 の場合、V_{IL(AC)} ≥ -0.5 V です。

制御入力信号のパルス幅は TKHKL (MIN.) 以上になるようにしてください。

また、制御信号のサイクル幅は TKHKH (MIN.) 以下になるようにしてください。

DC 特性 (V_{DD} = 1.8 ± 0.1 V)

項目	略号	条件	MIN.	TYP.	MAX.			単位	注	
					x8, x9	x18	x36			
入力リーク電流	I _{LI}		-2	-	+2			μA		
入出力リーク電流	I _{LO}		-2	-	+2			μA		
動作電源電流 (リード・サイクル/ ライト・サイクル)	I _{DD}	注 1	Commercial	-E40		530	640	850	mA	
			(T _A = 0 ~ +70°C)	-E50		460	550	710		
			Industrial	-E40Y		570	660	-		
			(T _A = -40 ~ +85°C)	-E50Y		490	570	-		
スタンバイ電源電流 (ノー・オペレーション)	I _{SB1}	注 1	Commercial	-E40		290	290	290	mA	
			(T _A = 0 ~ +70°C)	-E50		270	270	270		
			Industrial	-E40Y		310	310	-		
			(T _A = -40 ~ +85°C)	-E50Y		290	290	-		
HIGH レベル出力電圧	V _{OH(Low)}	I _{OH} ≤ 0.1 mA	V _{DDQ} -0.2	-	V _{DDQ}			V	4, 5	
	V _{OH}	注 2	V _{DDQ} /2-0.12	-	V _{DDQ} /2+0.12			V	4, 5	
LOW レベル出力電圧	V _{OL(Low)}	I _{OL} ≤ 0.1 mA	V _{SS}	-	0.2			V	4, 5	
	V _{OL}	注 3	V _{DDQ} /2-0.12	-	V _{DDQ} /2+0.12			V	4, 5	

注 1. V_{IN} ≤ V_{IL} or V_{IN} ≥ V_{IH}, I_{I/O} = 0 mA, サイクル = MAX.

- 調整されたインピーダンスを出力。175 Ω ≤ R_Q ≤ 350 Ω の場合、|I_{OH}| = (V_{DDQ}/2)/(R_Q/5) ±15% です。
- 調整されたインピーダンスを出力。175 Ω ≤ R_Q ≤ 350 Ω の場合、I_{OL} = (V_{DDQ}/2)/(R_Q/5) ±15% です。
- AC 負荷電流は、この DC 特性よりも高い値です。
- HSTL 出力は JEDEC HSTL クラス I に準拠しています。

入出力容量 (T_A = 25°C, f = 1 MHz)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量 (アドレス, 制御系端子)	C _{IN}	V _{IN} = 0 V		4	5	pF
入出力容量 (D, Q, CQ, CQ#)	C _{I/O}	V _{I/O} = 0 V		6	7	pF
クロック入力容量	C _{clk}	V _{clk} = 0 V		5	6	pF

備考 これらのパラメータは全数測定されたものではなく、サンプル値です。

熱抵抗

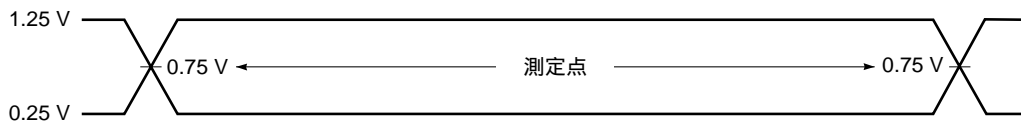
項目	略号	条件	MIN.	TYP.	MAX.	単位
熱抵抗 (ジャンクション-周囲)	θ _{ja}			25.1		°C/W
熱抵抗 (ジャンクション-ケース)	θ _{jc}			2.8		°C/W

備考 これらのパラメータは、風速 1 m/s の条件下で計算した値です。

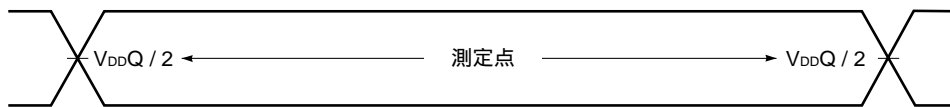
AC 特性 ($V_{DD} = 1.8 \pm 0.1 \text{ V}$)

AC 特性試験条件 ($V_{DD} = 1.8 \pm 0.1 \text{ V}$, $V_{DDQ} = 1.4 \text{ V} \sim V_{DD}$)

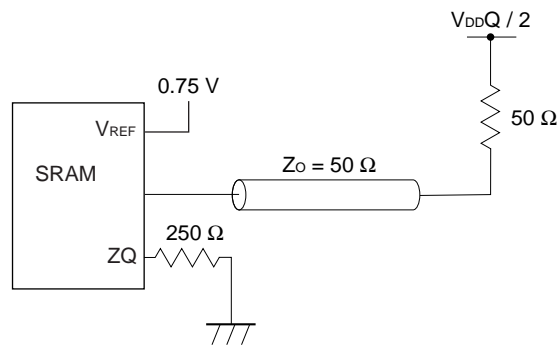
入力波形 (立ち上がり / 立ち下がり時間 $\leq 0.3 \text{ ns}$)



出力測定点



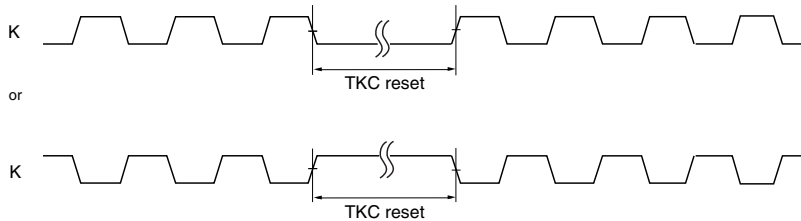
出力負荷



リード・サイクル/ライト・サイクル

項目	略号	-E40, -E40Y (250 MHz)		-E50, -E50Y (200 MHz)		単位	注
		MIN.	MAX.	MIN.	MAX.		
クロック							
平均クロック・サイクル時間 (K, K#, C, C#)	TKHKH	4.0	8.4	5.0	8.4	ns	1
クロック・フェーズ・ジッター (K, K#, C, C#)	TKC var	-	0.2	-	0.2	ns	2
クロック HIGH 時間 (K, K#, C, C#)	TKHKL	1.6	-	2.0	-	ns	
クロック LOW 時間 (K, K#, C, C#)	TKLKH	1.6	-	2.0	-	ns	
クロック HIGH クロック#HIGH (K→K#, C→C#)	TKHK#H	1.8	-	2.2	-	ns	
クロック#HIGH クロック HIGH (K#→K, C#→C)	TK#HKH	1.8	-	2.2	-	ns	
入力クロック	TKHCH	0	1.8	-	-	ns	
出力クロック		0	2.3	0	2.3		
(K→C, K#→C#)		0	2.8	0	2.8		
		0	3.55	0	3.55		
200 ~ 250 MHz							
167 ~ 200 MHz							
133 ~ 167 MHz							
< 133 MHz							
DLL/PLL ロック時間 (K, C)	TKC lock	1,024	-	1,024	-	Cycle	3
クロック (K) 静止 DLL/PLL リセット	TKC reset	30	-	30	-	ns	4
出力時間							
出力クロック (C, C#) HIGH 出力確定時間	TCHQV	-	0.45	-	0.45	ns	
出力クロック (C, C#) HIGH 出力ホールド時間	TCHQX	-0.45	-	-0.45	-	ns	
出力クロック (C, C#) HIGH エコー・クロック確定時間	TCHCQV	-	0.45	-	0.45	ns	
出力クロック (C, C#) HIGH エコー・クロック・ホールド時間	TCHCQX	-0.45	-	-0.45	-	ns	
CQ, CQ# HIGH 出力確定時間	TCQHQV	-	0.3	-	0.35	ns	5
CQ, CQ# HIGH 出力ホールド時間	TCQHQX	-0.3	-	-0.35	-	ns	5
出力クロック (C) HIGH 出力 High-Z 時間	TCHQZ	-	0.45	-	0.45	ns	
出力クロック (C) HIGH 出力 Low-Z 時間	TCHQX1	-0.45	-	-0.45	-	ns	
セットアップ時間							
アドレス確定 入力クロック (K) 立ち上がり時間	TAVKH	0.35	-	0.4	-	ns	6
コントロール入力 (R#, W#) 確定 入力クロック (K) 立ち上がり時間	TIVKH	0.35	-	0.4	-	ns	6
データ入力, ライト・データ・ セレクト入力 (BWx#, NWx#) 確定 入力クロック (K, K#) 立ち上がり時間	TDVKH	0.35	-	0.4	-	ns	6
ホールド時間							
入力クロック (K) 立ち上がり アドレス・ホールド時間	TKHAX	0.35	-	0.4	-	ns	6
入力クロック (K) 立ち上がり コントロール入力 (R#, W#) ホールド時間	TKHIX	0.35	-	0.4	-	ns	6
入力クロック (K, K#) 立ち上がり データ入力, ライト・データ・ セレクト入力 (BWx#, NWx#) ホールド時間	TKHDX	0.35	-	0.4	-	ns	6

- 注 1. 本製品は、システム・デバッグやボード・デバッグを行う場合、DLL# = LOW にすることで DLL/PLL 回路を使用せずに、TKHKH (MAX.) より遅いクロック周波数で動作させることができます。この動作において、リード・レーテンシ (RL) は 1.5 になります。ただし、AC/DC 特性は保証されません。
2. クロック・フェーズ・ジッターは、クロックの立ち上がりエッジから、期待される次のクロックの立ち上がりエッジまでの期間の変動を示します。TKC var (MAX.) は、peak to peak での値を示します。
3. V_{DD} のスルー・レートは、DLL/PLL ロックを保持させるため、0.1 V DC/50 ns 以下にしてください。DLL/PLL ロック時間は、V_{DD} と入力クロックがいったん安定してから開始されます。DLL/PLL がロックするまでの期間は、NOP (R# = W# = HIGH) にすることを推奨します。
4. この動作については入力クロック K がモニタされます。タイミングは次のようになります。

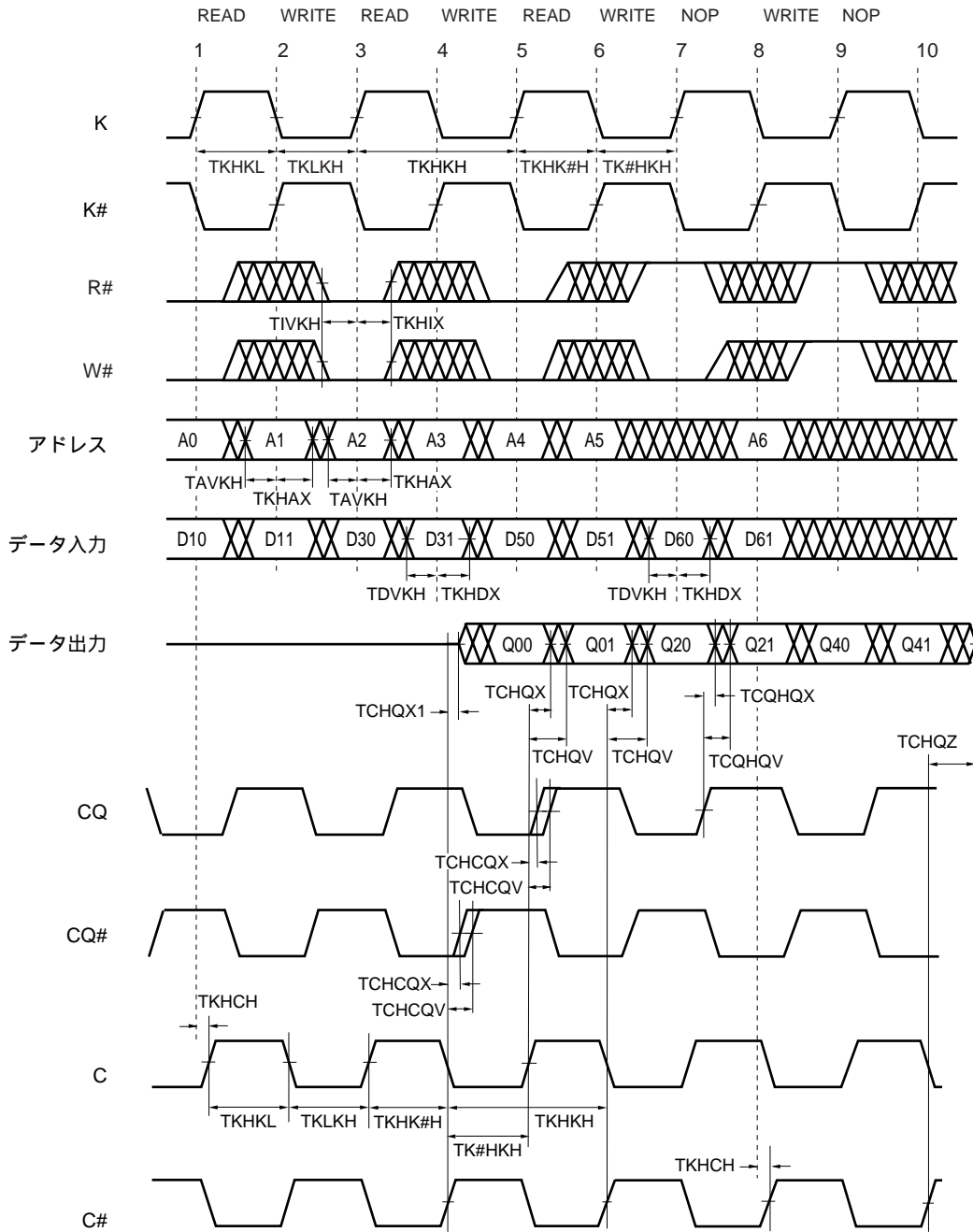


5. エコー・クロックは、出力データ確定、データ・ホールドに対して、厳密に制御されます。設計において、エコー・クロックとデータとの変動は±0.1 ns です。データ・シート中の値は試験条件でのガードバンドや変動値を反映しています。
6. 本製品は同期型のデバイスです。すべてのアドレス、データ、制御信号は、それらを取り込むクロックに対してセットアップ時間、ホールド時間を満たさなければなりません。

備考 1. これらのパラメータはサンプル値です。

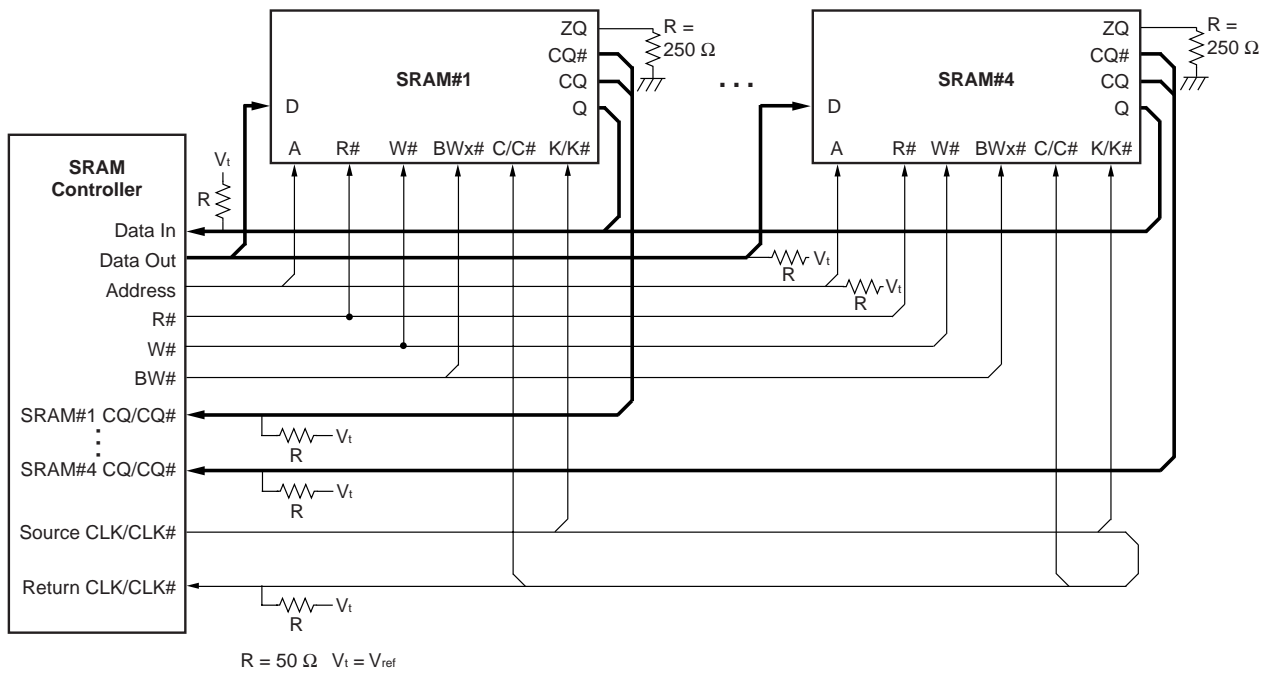
2. AC 特性試験条件中の、出力負荷で定義された条件については記載していません。
3. 制御信号は TKHKL (MIN.) 以下のパルス幅では動作しません。
4. C, C#を HIGH に保持した場合、C, C#を基準にしている出力時間のパラメータは K, K#を基準にします。
5. V_{DDQ} : 1.5 V DC

リード/ライト・タイミング・チャート



- 備考 1.** Q00 はアドレス A0+0 からの出力を示します。Q01 は A0 をもとに生成される次の内部バースト・アドレス (例: A0+1) からの出力を示します。
- 2.** 出力ディセーブル(ハイ・インピーダンス)は [READ/WRITE] - [NOP/WRITE], [READ/WRITE] - [NOP/NOP], [READ/NOP] - [NOP/WRITE] および [READ/NOP] - [NOP/NOP] のシーケンスにおいて、最後の READ (R# = LOW) を取り込んだあと、2.5 クロック後に出力がディセーブル(ハイ・インピーダンス)になります。
- 3.** このタイミング・チャートにおいて、アドレス A0 = A1 の場合、データは Q00 = D10, Q01 = D11 となります。ライト・データは、リード・データが出力される直前に入力されます。

アプリケーション例



備考 AC 特性は、SRAM 出力の、CQ, CQ#, Q が終端されている条件で規定されています。

JTAG 特性

本製品は IEEE 1149.1 で規定されている JTAG 機能をサポートしています。

テスト・アクセス・ポート端子 (TAP)

端子名	端子割り当て	機 能
TCK	2R	テスト・クロック入力： TCK の立ち上がりエッジですべての入力信号が取り込まれ，TCK の立ち下がりエッジで出力が開始されます。
TMS	10R	テスト・モード選択： TAP コントローラにコマンドを入力します。
TDI	11R	テスト・データ入力： TDI と TDO の間に配列されるシリアル・レジスタの入力側です。 TDI と TDO の間に配列されるレジスタは，TAP コントローラの状態と，TAP コントローラに取り込まれた命令によって決定します。
TDO	1R	テスト・データ出力： TDI と TDO の間に配列されるシリアル・レジスタの出力側です。 出力は TCK の立ち下がりエッジで変化します。

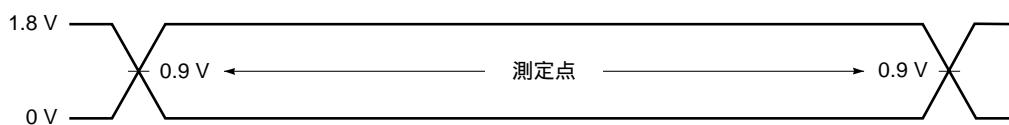
備考 本製品は TRST (TAP リセット) を内蔵していません。TCK が 5 回立ち上がる間，TMS を HIGH に保持すると Test-Logic-Reset 状態になります。電源投入時，TAP コントローラはリセット状態です。

JTAG DC 特性 ($V_{DD} = 1.8 \pm 0.1 V$)

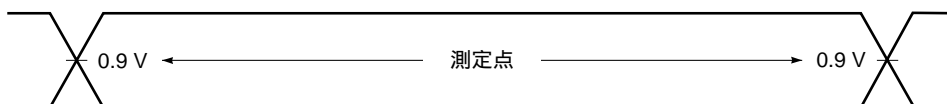
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
JTAG 入力リーク電流	I_{LI}	$0 V \leq V_{IN} \leq V_{DD}$	-5.0	-	+5.0	μA
JTAG 入出力リーク電流	I_{LO}	$0 V \leq V_{IN} \leq V_{DDQ}$ ，出力ディセーブル	-5.0	-	+5.0	μA
JTAG 入力 HIGH レベル電源電圧	V_{IH}		1.3	-	$V_{DD}+0.3$	V
JTAG 入力 LOW レベル電源電圧	V_{IL}		-0.3	-	+0.5	V
JTAG 出力 HIGH レベル電源電圧	V_{OH1}	$ I_{OHC} = 100 \mu A$	1.6	-	-	V
	V_{OH2}	$ I_{OHT} = 2 mA$	1.4	-	-	V
JTAG 出力 LOW レベル電源電圧	V_{OL1}	$I_{OLC} = 100 \mu A$	-	-	0.2	V
	V_{OL2}	$I_{OLT} = 2 mA$	-	-	0.4	V

JTAG AC 特性試験条件

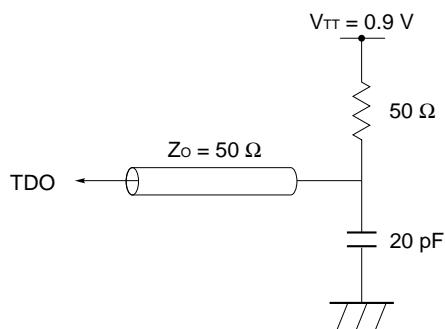
入力波形（立ち上がり / 立ち下がり時間 ≤ 1 ns）



出力測定点



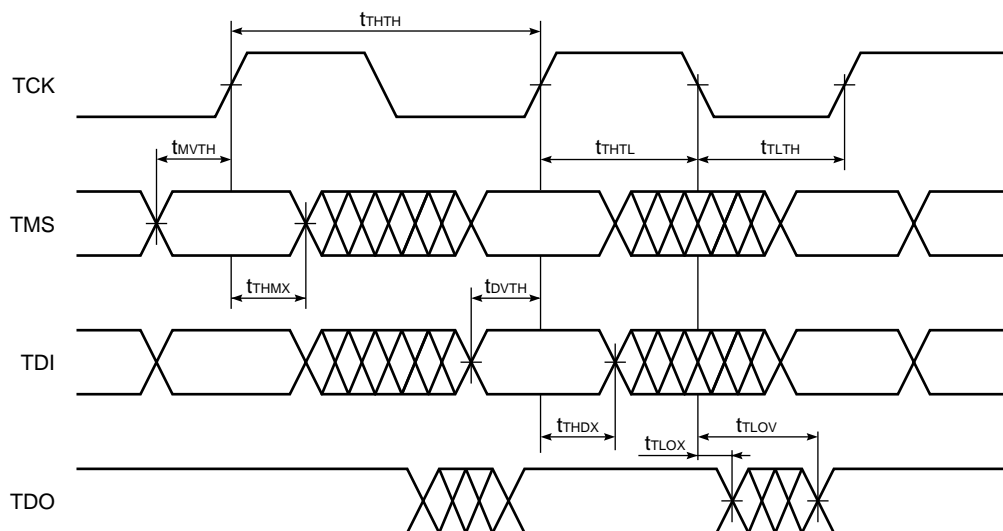
出力負荷



JTAG AC 特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
クロック						
クロック・サイクル時間	t_{THTH}		50	-	-	ns
クロック周波数	f_{TF}		-	-	20	MHz
クロック HIGH 時間	t_{HTL}		20	-	-	ns
クロック LOW 時間	t_{LTH}		20	-	-	ns
出力時間						
TCK LOW TDO 未定	t_{TLOX}		0	-	-	ns
TCK LOW TDO 確定	t_{TLOV}		-	-	10	ns
セットアップ時間						
TMS セットアップ時間	t_{MVTH}		5	-	-	ns
TDI 確定 TCK HIGH	t_{DVTH}		5	-	-	ns
Capture セットアップ時間	t_{CS}		5	-	-	ns
ホールド時間						
TMS ホールド時間	t_{THMX}		5	-	-	ns
TCK HIGH TDI 無効	t_{THDX}		5	-	-	ns
Capture ホールド時間	t_{CH}		5	-	-	ns

JTAG タイミング・チャート



スキャン・レジスタ定義 (1)

レジスタ名	機 能
インストラクション・レジスタ	インストラクション・レジスタは、TAP コントローラが実行する命令を保持しています。インストラクション・レジスタが TDI と TDO の間に配列されると、レジスタに命令が取り込まれます。 電源投入時、インストラクション・レジスタは IDCODE 命令を取り込みます。このとき、TAP コントローラは Test-Logic-Reset 状態にリセットされます。
バイパス・レジスタ	バイパス・レジスタは、TDI と TDO の間に配列される 1 ビットのレジスタです。 バイパス・レジスタは、連続するテスト・データを、TAP コントローラを経由する最短経路で他のデバイスに伝送します。
ID レジスタ	ID レジスタは 32 ビットのレジスタです。 インストラクション・レジスタが IDCODE 命令を取り込んだ状態で、TAP コントローラが capture-DR 状態になると、ID レジスタは 32 ビットのデバイス・コードと製造者コードを取り込みます。 TAP コントローラが shift-DR 状態になると、ID レジスタは TDI と TDO の間に配列されます。
バウンダリ・レジスタ	バウンダリ・レジスタは TAP コントローラによって制御されます。 TAP コントローラが capture-DR 状態になると、バウンダリ・レジスタは RAM の I/O リングの内容を取り込みます。そして、TAP コントローラが shift-DR 状態になると、バウンダリ・レジスタは TDI と TDO の間に配列されます。いくつかの TAP 命令はバウンダリ・レジスタを使用します。 スキャン・オーダ表では、デバイスの外部端子とバウンダリ・レジスタとの接続を表しています。最初の列はバウンダリ・レジスタにおけるビットの位置を定義しています。2 列目は外部端子で入力、または入出力する端子名、3 列目は外部端子の番号を示しています。

スキャン・レジスタ定義 (2)

レジスタ名	ビット・サイズ	単 位
インストラクション・レジスタ	3	bit
バイパス・レジスタ	1	bit
ID レジスタ	32	bit
バウンダリ・レジスタ	107	bit

ID レジスタ定義

品 名	構 成	ID [31:28] vendor revision no.	ID [27:12] part no.	ID [11:1] vendor ID no.	ID [0] fix bit
μPD44165082A	2M × 8	XXXX	0000 0000 0000 1100	00000010000	1
μPD44165092A	2M × 9	XXXX	0000 0000 0101 0001	00000010000	1
μPD44165182A	1M × 18	XXXX	0000 0000 0000 1101	00000010000	1
μPD44165362A	512K × 36	XXXX	0000 0000 0000 1110	00000010000	1

スキャン・オーダ表

ビット 番号	端子名				端子 番号
	x8	x9	x18	x36	
1	C#				6R
2	C				6P
3	A				6N
4	A				7P
5	A				7N
6	A				7R
7	A				8R
8	A				8P
9	A				9R
10	NC	Q0	Q0	Q0	11P
11	NC	D0	D0	D0	10P
12	NC	NC	NC	D9	10N
13	NC	NC	NC	Q9	9P
14	NC	NC	Q1	Q1	10M
15	NC	NC	D1	D1	11N
16	NC	NC	NC	D10	9M
17	NC	NC	NC	Q10	9N
18	Q0	Q1	Q2	Q2	11L
19	D0	D1	D2	D2	11M
20	NC	NC	NC	D11	9L
21	NC	NC	NC	Q11	10L
22	NC	NC	Q3	Q3	11K
23	NC	NC	D3	D3	10K
24	NC	NC	NC	D12	9J
25	NC	NC	NC	Q12	9K
26	Q1	Q2	Q4	Q4	10J
27	D1	D2	D4	D4	11J
28	ZQ				11H
29	NC	NC	NC	D13	10G
30	NC	NC	NC	Q13	9G
31	NC	NC	Q5	Q5	11F
32	NC	NC	D5	D5	11G
33	NC	NC	NC	D14	9F
34	NC	NC	NC	Q14	10F
35	Q2	Q3	Q6	Q6	11E
36	D2	D3	D6	D6	10E

ビット 番号	端子名				端子 番号
	x8	x9	x18	x36	
37	NC	NC	NC	D15	10D
38	NC	NC	NC	Q15	9E
39	NC	NC	Q7	Q7	10C
40	NC	NC	D7	D7	11D
41	NC	NC	NC	D16	9C
42	NC	NC	NC	Q16	9D
43	Q3	Q4	Q8	Q8	11B
44	D3	D4	D8	D8	11C
45	NC	NC	NC	D17	9B
46	NC	NC	NC	Q17	10B
47	CQ				11A
48	-				内部
49	A	A	A	NC	9A
50	A				8B
51	A				7C
52	A				6C
53	R#				8A
54	NC	NC	NC	BW1#	7A
55	NW0#	BW0#	BW0#	BW0#	7B
56	K				6B
57	K#				6A
58	NC	NC	NC	BW3#	5B
59	NW1#	NC	BW1#	BW2#	5A
60	W#				4A
61	A				5C
62	A				4B
63	A	A	NC	NC	3A
64	DLL#				1H
65	CQ#				1A
66	NC	NC	Q9	Q18	2B
67	NC	NC	D9	D18	3B
68	NC	NC	NC	D27	1C
69	NC	NC	NC	Q27	1B
70	NC	NC	Q10	Q19	3D
71	NC	NC	D10	D19	3C
72	NC	NC	NC	D28	1D

ビット 番号	端子名				端子 番号
	x8	x9	x18	x36	
73	NC	NC	NC	Q28	2C
74	Q4	Q5	Q11	Q20	3E
75	D4	D5	D11	D20	2D
76	NC	NC	NC	D29	2E
77	NC	NC	NC	Q29	1E
78	NC	NC	Q12	Q21	2F
79	NC	NC	D12	D21	3F
80	NC	NC	NC	D30	1G
81	NC	NC	NC	Q30	1F
82	Q5	Q6	Q13	Q22	3G
83	D5	D6	D13	D22	2G
84	NC	NC	NC	D31	1J
85	NC	NC	NC	Q31	2J
86	NC	NC	Q14	Q23	3K
87	NC	NC	D14	D23	3J
88	NC	NC	NC	D32	2K
89	NC	NC	NC	Q32	1K
90	Q6	Q7	Q15	Q24	2L
91	D6	D7	D15	D24	3L
92	NC	NC	NC	D33	1M
93	NC	NC	NC	Q33	1L
94	NC	NC	Q16	Q25	3N
95	NC	NC	D16	D25	3M
96	NC	NC	NC	D34	1N
97	NC	NC	NC	Q34	2M
98	Q7	Q8	Q17	Q26	3P
99	D7	D8	D17	D26	2N
100	NC	NC	NC	D35	2P
101	NC	NC	NC	Q35	1P
102	A				3R
103	A				4R
104	A				4P
105	A				5P
106	A				5N
107	A				5R

JTAG 命令

命 令	詳 細
EXTEST	EXTEST 命令により、JTAG 回路から外部回路をテストできます。 出力端子側のパウンダリ・スキャン・レジスタ・セルにテスト・ベクタが設定され、入力端子側にテスト結果が取り込まれます。通常、EXTEST 命令を実行する前に PRELOAD 命令を実行して、パウンダリ・スキャン・レジスタ・セルに最初のテスト・ベクタを設定します。その結果、EXTEST 命令を実行中に TAP コントローラが Update-IR 状態になると、出力ドライバが有効になり、PRELOAD データが出力端子から出力されます。
IDCODE	TAP コントローラが capture-DR 状態のとき、ID ROM が ID レジスタに取り込まれます。 IDCODE 命令は、TAP コントローラが shift-DR 状態のとき、ID レジスタを TDI と TDO の間に配列します。IDCODE 命令は電源投入時に取り込まれる初期設定で、TAP コントローラは電源投入時に Test-Logic-Reset 状態におかれます。
BYPASS	BYPASS 命令がインストラクション・レジスタに取り込まれると、TAP コントローラは shift-DR 状態において、バイパス・レジスタを TDI と TDO の間に配列します。 BYPASS 命令は基板レベルのスキャン・パスが、最短経路で他のデバイスのスキャン・パスをテストすることを容易にします。
SAMPLE / PRELOAD	SAMPLE / PRELOAD 命令は IEEE 1149.1 で実行内容が規定されている一般的な命令です。 SAMPLE / PRELOAD 命令がインストラクション・レジスタに取り込まれていると、TAP コントローラは capture-DR 状態において、RAM 入出力端子に入力されているデータを、パウンダリ・スキャン・レジスタに取り込みます。 RAM のクロックは TAP クロック (TCK) に依存しないため、入力バッファが状態を遷移している間に TAP コントローラが I/O リングの内容を取り込むことが可能です。この場合、デバイスが物理的に破壊されることはありませんが、入力データの内容は保証できません。 RAM の入力信号は、TAP へ入力するデータのセットアップ時間とホールド時間 (t _{CS} と t _{CH}) を満たすことができるように、十分に安定させる必要があります。 RAM のクロック入力は、パウンダリ・スキャン・レジスタに I/O リングの内容を取り込む場合を除いて、TAP コントローラの動作に対して停止する必要はありません。 パウンダリ・スキャン・レジスタが TDI と TDO の間に配列されたあと、TAP コントローラは shift-DR 状態に遷移します。
SAMPLE-Z	SAMPLE-Z 命令がインストラクション・レジスタに取り込まれると、すべての RAM 出力端子は非活性 (ハイ・インピーダンス) になります。 TAP コントローラが shift-DR 状態になると、パウンダリ・レジスタが TDI と TDO の間に配列されます。

JTAG 命令コード

IR2	IR1	IR0	命 令	注
0	0	0	EXTEST	
0	0	1	IDCODE	
0	1	0	SAMPLE-Z	1
0	1	1	RESERVED	2
1	0	0	SAMPLE / PRELOAD	
1	0	1	RESERVED	2
1	1	0	RESERVED	2
1	1	1	BYPASS	

- 注 1. 出力端子はハイ・インピーダンスになり、パッドの値はシリアル・スキャン・ラッチに取り込まれます。
 2. この命令コードは、ベンダが本製品の評価に用いていますので、使用しないでください。

出力ピンの状態 (CQ, CQ#, Q)

命 令	Control-Register の状態	出力ピンの状態	
		CQ, CQ#	Q
EXTEST	0	Update	High-Z
	1	Update	Update
IDCODE	0	SRAM	SRAM
	1	SRAM	SRAM
SAMPLE-Z	0	High-Z	High-Z
	1	High-Z	High-Z
SAMPLE	0	SRAM	SRAM
	1	SRAM	SRAM
BYPASS	0	SRAM	SRAM
	1	SRAM	SRAM

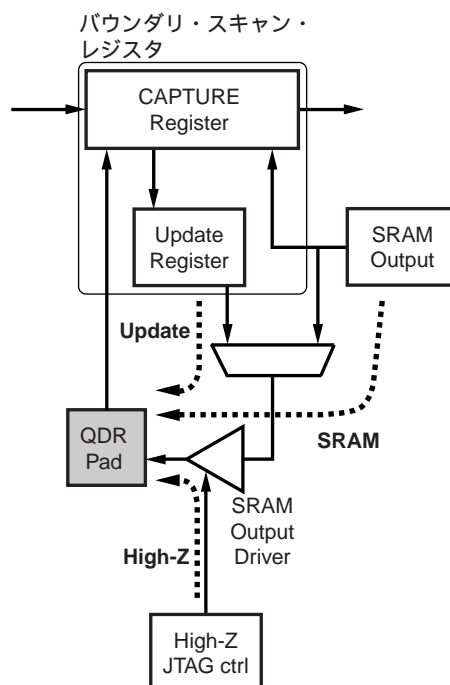
備考 各命令時における出力ピンの状態は、Control-Register の状態 (バウンダリ・スキャン・レジスタ、ビット番号 48 番の値) により変わります。それらには 3 つの状態があります。

Update: Update Register の内容が、出力ピン (QDR Pad) に出力されます。

SRAM : SRAM 内部出力 (SRAM Output) の内容が、出力ピン (QDR Pad) に出力されます。

High-Z : High-Z JTAG ctrl の制御により、出力ピン (QDR Pad) はハイ・インピーダンスになります。

Control-Register の状態は、EXTEST もしくは SAMPLE 命令における Update-DR 時に設定されます。



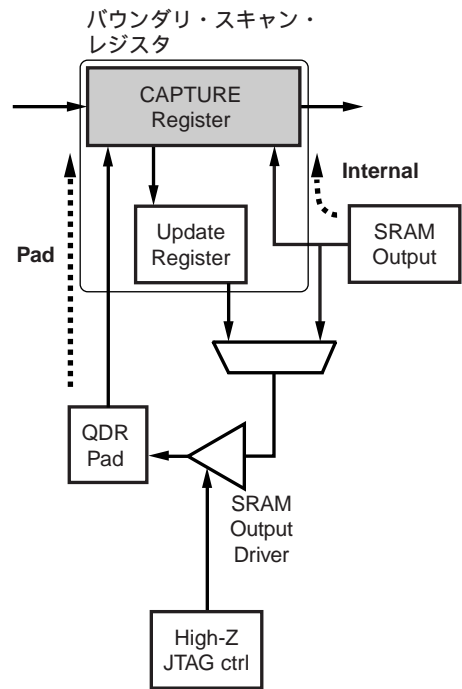
バウンダリ・スキャン・レジスタの状態 (出力ピン CQ, CQ#, Q)

命 令	SRAM の状態	バウンダリ・スキャン・レジスタの状態		注
		CQ, CQ#	Q	
EXTEST	READ (Low-Z)	Pad	Pad	
	NOP (High-Z)	Pad	Pad	
IDCODE	READ (Low-Z)	-	-	No definition
	NOP (High-Z)	-	-	
SAMPLE-Z	READ (Low-Z)	Pad	Pad	
	NOP (High-Z)	Pad	Pad	
SAMPLE	READ (Low-Z)	Internal	Internal	
	NOP (High-Z)	Internal	Pad	
BYPASS	READ (Low-Z)	-	-	No definition
	NOP (High-Z)	-	-	

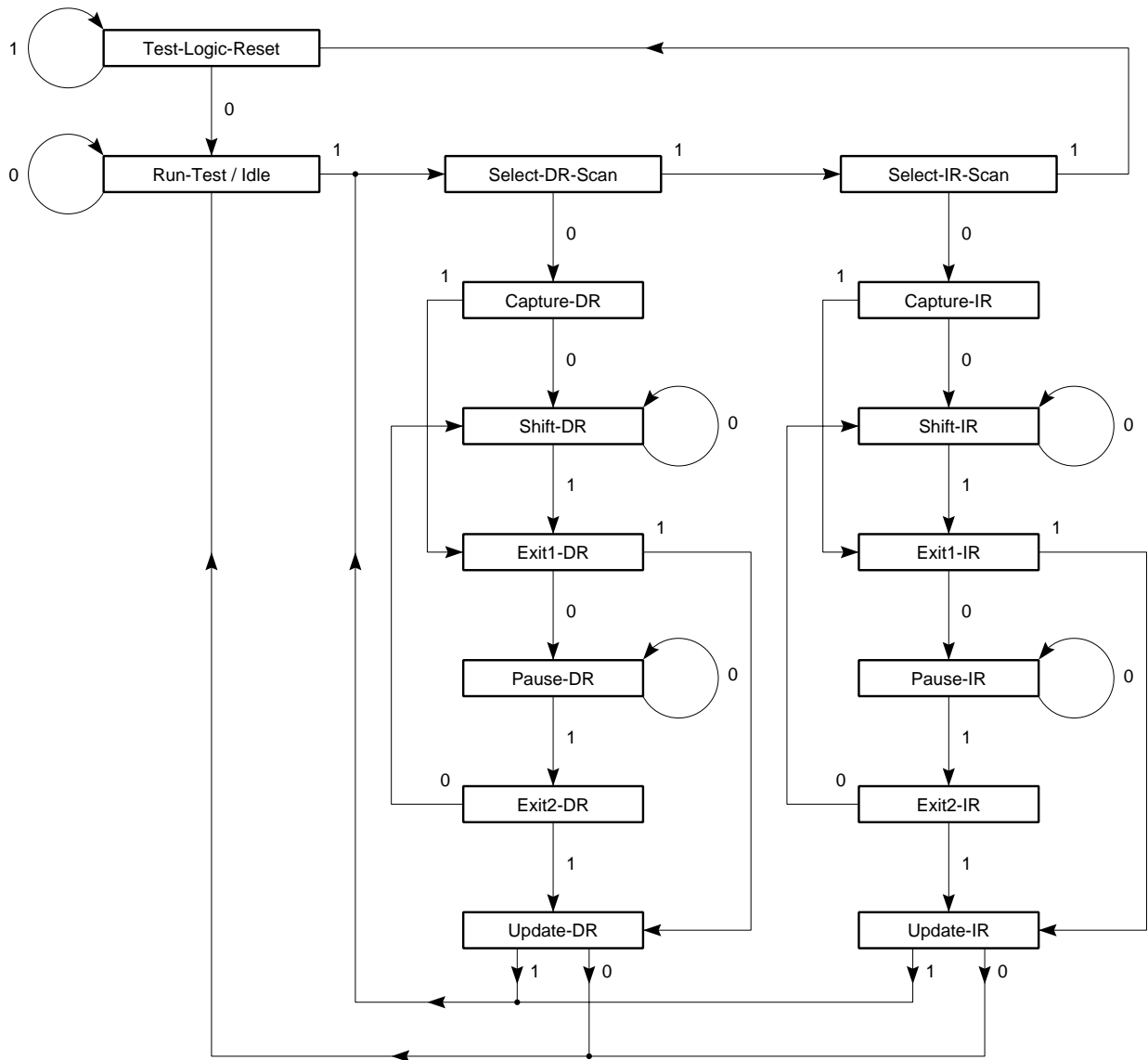
備考 各命令時におけるバウンダリ・スキャン・レジスタの状態は、命令コードと SRAM 動作モードにより変わります。それらには 2 つの状態があります。

Pad : 出力ピン (QDR Pad) の内容が、バウンダリ・スキャン・レジスタ中の CAPTURE Register に取り込まれます。

Internal: SRAM 内部出力 (SRAM Output) の内容が、バウンダリ・スキャン・レジスタ中の CAPTURE Register に取り込まれます。



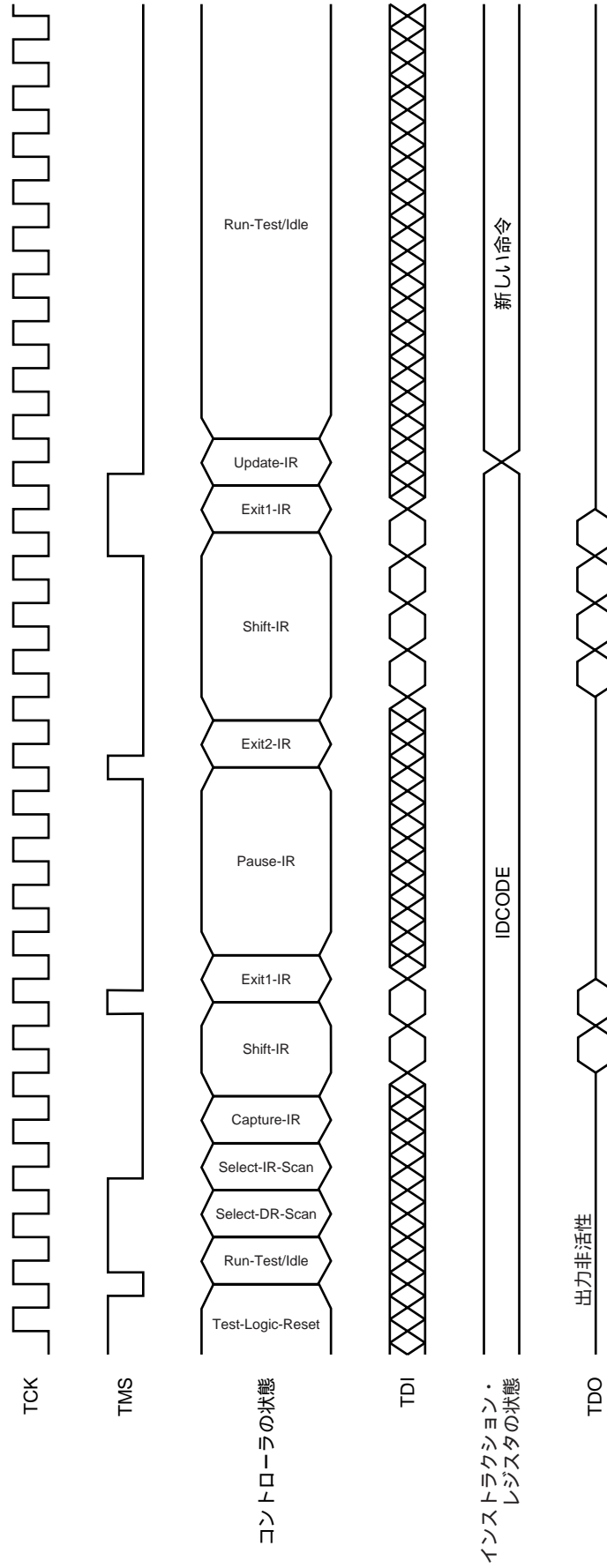
TAP コントローラ状態遷移図



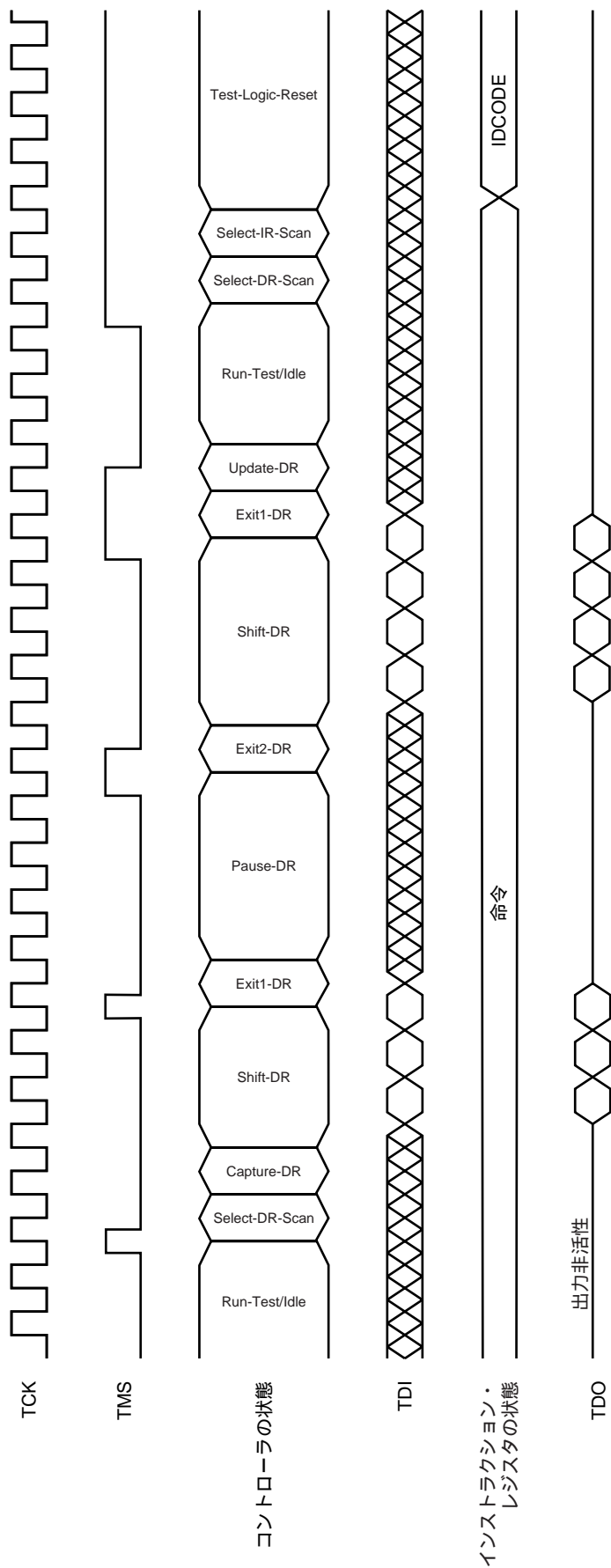
テスト・アクセス・ポート解除

このデバイスは、TAP コントローラを利用しないで使うことが可能です。デバイスの通常動作を妨げずに TAP コントローラを解除するには、中間電位が起きないように TCK を V_{SS} に固定します。TDI と TMS は開放状態にしてください。TAP コントローラを使用しない場合には、1 kΩ程度の抵抗を経由して V_{DD} に固定してください。また、TAP コントローラを使用しない場合、TDO は開放状態にしてください。

テスト回路動作 (インストラクション・スキャン)

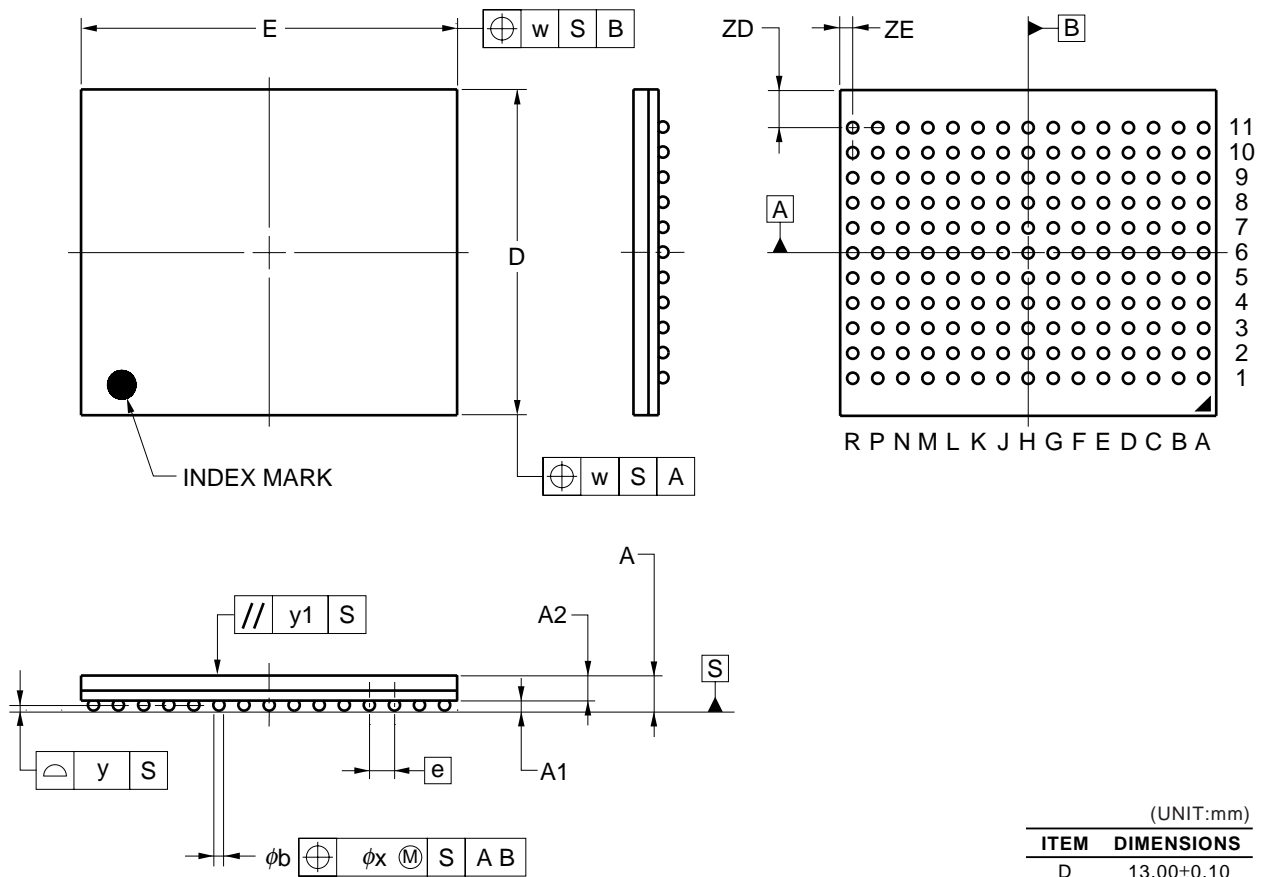


テスト回路動作 (データ・スキャン)



外形図

165ピン・プラスチック BGA (13x15) 外形図



(UNIT:mm)

ITEM	DIMENSIONS
D	13.00±0.10
E	15.00±0.10
w	0.15
e	1.00
A	1.40±0.11
A1	0.40±0.05
A2	1.00
b	0.50±0.05
x	0.08
y	0.10
y1	0.20
ZD	1.50
ZE	0.50

P165F5-100-EQ2

半田付け推奨条件

μPD44165082A, 44165092A, 44165182A, 44165362A の半田付け実装は、当社販売員にお問い合わせください。

表面実装タイプ

μPD44165082AF5-EQ2	: 165 ピン・プラスチック BGA (13×15)
μPD44165092AF5-EQ2	: 165 ピン・プラスチック BGA (13×15)
μPD44165182AF5-EQ2	: 165 ピン・プラスチック BGA (13×15)
μPD44165362AF5-EQ2	: 165 ピン・プラスチック BGA (13×15)

品質水準

- ・本製品の品質水準は、標準水準（一般電子機器用）です。
- ・本製品は耐放射線設計をしておりません。
- ・半導体デバイスは、地上に到達する宇宙線などの影響により、予期せぬ不具合を生じる可能性があります。

改版履歴

版数/ 発行年月日	ページ		種類	修正箇所	修正内容
	修正後	修正前			
第 3 版/ Feb. 2007	全体	全体	追加		-E40Y, -E50Y (Industrial)
	p.9	p.8	修正	端子機能 ZQ, DLL#, NC	本文の記述を修正
	p.21	p.20	修正	リード・サイクル/ライト・サイクル	注 1 を修正
			追加		注 4 を追加
	p.22	p.21	追加	リード/ライト・タイミング・チャート	TCQHGX を追加
p.26	p.25	修正	JTAG AC 特性	JTAG AC 特性を修正	
第 4 版/ July 2009	p.2, 3	p.2, 3	削除	オーダ情報	鉛フリー品の削除。
	p.36	p.36	削除	表面実装タイプ	

(メ モ)

CMOSデバイスの一般的注意事項

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力がノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

QDR RAM と Quad Data Rate RAM は、サイプレスセミコンダクタ社、ルネサステクノロジ社、IDT 社、NEC エレクトロニクス、サムスン電子社により開発された製品の新しいシリーズを含みます。

- 本資料に記載されている内容は2009年7月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。また、当社製品は耐放射線設計については行っていません。当社製品をお客様の機器にご使用の際には、当社製品の不具合の結果として、生命、身体および財産に対する損害や社会的損害を生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

- (1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- (2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

M8E0710J

【発行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話(代表)：044(435)5111

お問い合わせ先

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

【営業関係、技術関係お問い合わせ先】

半導体ホットライン

(電話：午前 9:00～12:00、午後 1:00～5:00)

電話：044-435-9494

E-mail：info@necel.com

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか、NECエレクトロニクスの販売特約店へお申し付けください。