

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

$\mu$  PD30700, 30700L, 30710VR10000<sup>TM</sup>, VR12000<sup>TM</sup>  
64ビット・マイクロプロセッサ

$\mu$  PD30700, 30700L (別名称VR10000),  $\mu$  PD30710 (別名称VR12000) は、当社のRISC (Reduced Instruction Set Computer) 型マイクロプロセッサVRシリーズ<sup>TM</sup>の1つで、MIPS<sup>TM</sup>社開発の新RISCアーキテクチャであるANDES<sup>TM</sup>アーキテクチャを採用した高性能64ビット・マイクロプロセッサです。

VR10000, VR12000は、高性能コンピュータなどをターゲットとし、スーパスカラ方式パイプラインの採用により、処理スピードを大幅に向上しています。

**備考** ANDES (Architecture with Non-sequential Dynamic Execution Scheduling)

詳しい機能説明などは、次のマニュアルに記載しております。設計の際には必ずお読みください。

- ・VR10000, VR12000 USER'S MANUAL (U10278E)
- ・VR5000<sup>TM</sup>, VR10000 INSTRUCTION USER'S MANUAL (U12754E)

**特 徴**

MIPS社の64ビットRISCアーキテクチャを採用 高速演算処理	動作周波数
5命令並列実行スーパスカラ方式	< VR10000 >
< VR10000 >	・内部：最大250 MHz
・14SPECint95, 23SPECfp95	・外部：最大250 MHz
< VR12000 >	・外部 / 内部通倍率を1倍から4倍まで選択可能
・17SPECint95, 27SPECfp95	< VR12000 >
VR4000 <sup>TM</sup> , VR4200 <sup>TM</sup> , VR4400 <sup>TM</sup> と上位互換の命令セット (MIPS- / / / 準拠)	・内部：最大300 MHz
高速変換緩衝機能 (TLB) 搭載 (64ダブル・エントリ)	・外部：最大150 MHz
アドレス空間 物理：40ビット	・外部 / 内部通倍率を2倍から10倍まで選択可能
仮想：44ビット	マルチプロセッサ機能内蔵
浮動小数点ユニット (FPU) 内蔵	・クラスタ接続のバス採用, 4つまで接続可能
一次キャッシュ・メモリ内蔵 (命令 / データ各32 Kバイト, 2ウェイ・セット・アソシティブ)	電源電圧
二次キャッシュ・メモリ・インタフェース	< VR10000 >
・128ビットの二次キャッシュ・インタフェース内蔵	V <sub>DD</sub> = 3.3 V ± 0.165 V ( $\mu$ PD30700)
・SSRAMインタフェース内蔵 (VR10000: 最高250 MHz, VR12000: 最高200 MHz)	V <sub>DD</sub> = 2.6 V ± 0.1 V ( $\mu$ PD30700L)
・最大16 Mバイトまで, サポート	< VR12000 >
	V <sub>DD</sub> = 2.6 V ± 0.1 V ( $\mu$ PD30710)

この資料では、機能上の違いがないかぎり、VR10000を代表品種として説明しています。

本資料の内容は、予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。

## 用 途

UNIX™サーバ

WindowsNT™サーバ

デスクトップ・ワークステーション など

## オーダ情報

オーダ名称	パッケージ	最大内部動作周波数
μ PD30700RS-180	599ピン・セラミックLGA	180
μ PD30700RS-200	"	200
μ PD30700LRS-225 <sup>注</sup>	"	225
μ PD30700LRS-250 <sup>注</sup>	"	250
μ PD30710RS-300 <sup>注</sup>	"	300

注 開発中

備考 LGA ( Land Gird Array )

端子接続図

・599ピン・セラミックLGA

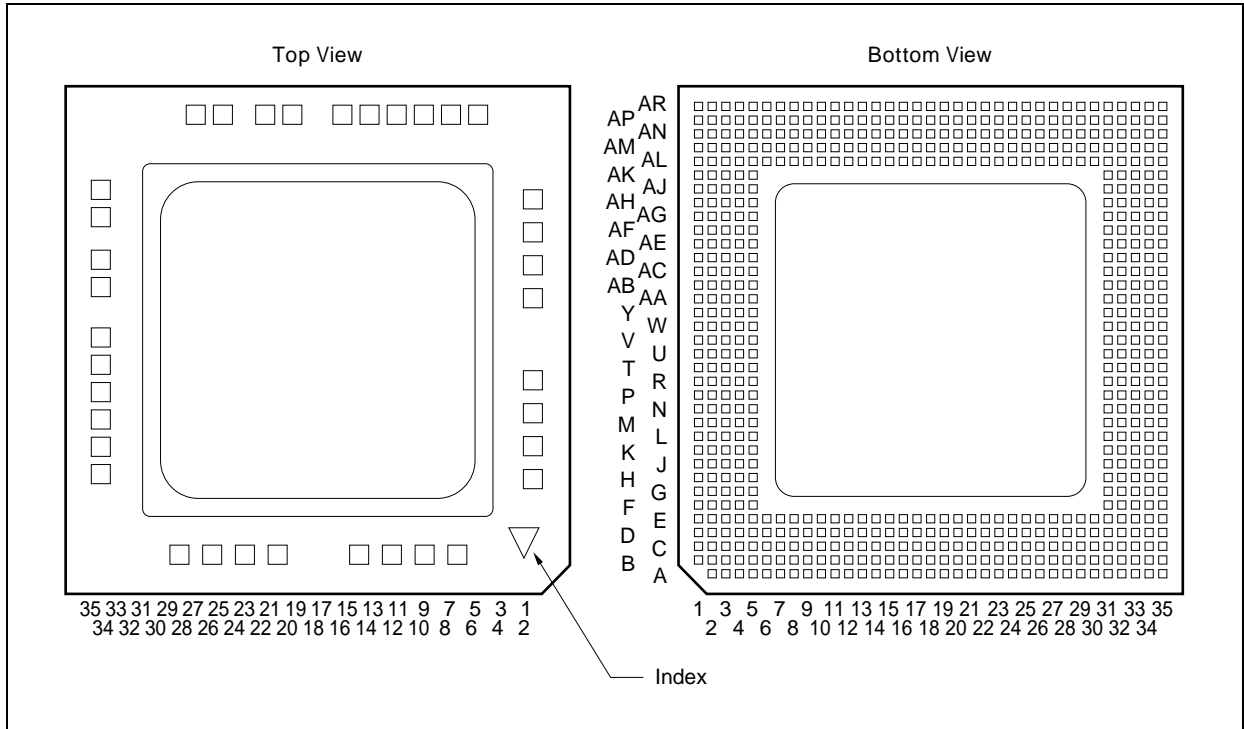
μ PD30700RS-180

μ PD30700RS-200

μ PD30700LRS-225

μ PD30700LRS-250

μ PD30710RS-300



(1/4)

番号	名称	番号	名称	番号	名称	番号	名称
A1	-	B9	SCADCS	C17	SysAD41	D25	V <sub>SS</sub>
A2	V <sub>DD</sub>	B10	SCAAddr5	C18	V <sub>DD</sub>	D26	V <sub>DD</sub>
A3	V <sub>SS</sub>	B11	V <sub>SS</sub>	C19	SysAD36	D27	SCData68
A4	V <sub>DD</sub> QSC	B12	SCData78	C20	SysAD32	D28	SCData64
A5	SCData89	B13	SCClk0	C21	V <sub>SS</sub>	D29	V <sub>SS</sub>
A6	SCData85	B14	V <sub>DD</sub>	C22	V <sub>SS</sub>	D30	SCAAddr12
A7	V <sub>SS</sub>	B15	SCData72	C23	SysClkRet	D31	SCAAddr16
A8	SCADWr	B16	SysAD44	C24	V <sub>SS</sub>	D32	V <sub>SS</sub>
A9	SCAAddr8	B17	V <sub>SS</sub>	C25	V <sub>DD</sub> Pa	D33	SCDataChk0
A10	V <sub>DD</sub> QSC	B18	SysAD40	C26	SCData71	D34	SCData29
A11	SCAAddr1	B19	V <sub>SS</sub>	C27	V <sub>SS</sub>	D35	V <sub>DD</sub> QSC
A12	SCData76	B20	SysAD33	C28	SCData67	E1	SCClk5
A13	V <sub>SS</sub>	B21	V <sub>SS</sub>	C29	SCDataChk2	E2	V <sub>SS</sub>
A14	SCData74	B22	DCOK	C30	V <sub>DD</sub> QSC	E3	V <sub>DD</sub>
A15	SysAD46	B23	SysClkRet	C31	SCAAddr13	E4	SCDataChk6
A16	V <sub>DD</sub> QSys	B24	V <sub>SS</sub> Pa	C32	SCAAddr18	E5	V <sub>DD</sub>
A17	SysAD42	B25	V <sub>SS</sub> Pa	C33	V <sub>DD</sub> QSC	E6	SCData90
A18	SysAD37	B26	SCClk1	C34	V <sub>DD</sub>	E7	SCData86
A19	SysAD35	B27	SCDataChk9	C35	V <sub>SS</sub>	E8	V <sub>DD</sub> QSC
A20	V <sub>DD</sub> QSys	B28	V <sub>DD</sub>	D1	V <sub>DD</sub> QSC	E9	SCData80
A21	V <sub>SS</sub>	B29	SCData65	D2	SCTCS	E10	SCADWay
A22	SysClk	B30	SCAAddr9	D3	SCDataChk8	E11	V <sub>SS</sub>
A23	SysClk	B31	V <sub>SS</sub>	D4	V <sub>SS</sub>	E12	SCAAddr4
A24	V <sub>SS</sub> Pa	B32	SCAAddr15	D5	SCData92	E13	SCAAddr0
A25	NC	B33	SCAAddr17	D6	SCData88	E14	V <sub>DD</sub> QSC
A26	SCClk1	B34	V <sub>SS</sub>	D7	V <sub>SS</sub>	E15	SCClk0
A27	V <sub>SS</sub>	B35	V <sub>DD</sub>	D8	SCData82	E16	SysAD47
A28	SCData70	C1	V <sub>SS</sub>	D9	SCADOE	E17	V <sub>SS</sub>
A29	V <sub>SS</sub>	C2	V <sub>DD</sub>	D10	V <sub>DD</sub>	E18	SysAD39
A30	SCDataChk4	C3	V <sub>DD</sub> QSC	D11	SCAAddr6	E19	V <sub>SS</sub>
A31	SCAAddr11	C4	SCData94	D12	SCAAddr2	E20	SysCyc
A32	V <sub>DD</sub> QSC	C5	SCData91	D13	V <sub>SS</sub>	E21	V <sub>SS</sub>
A33	V <sub>SS</sub>	C6	V <sub>DD</sub> QSC	D14	SCData77	E22	V <sub>DD</sub> Pd
A34	V <sub>DD</sub>	C7	SCData84	D15	SCData73	E23	V <sub>SS</sub>
A35	V <sub>SS</sub>	C8	SCData81	D16	V <sub>DD</sub>	E24	V <sub>SS</sub>
B1	V <sub>DD</sub>	C9	V <sub>SS</sub>	D17	SysAD43	E25	V <sub>SS</sub>
B2	V <sub>SS</sub>	C10	SCAAddr7	D18	SysAD38	E26	SCData69
B3	SCData95	C11	SCAAddr3	D19	SysAD34	E27	SCData66
B4	SCData93	C12	V <sub>DD</sub> QSC	D20	V <sub>DD</sub>	E28	V <sub>DD</sub> QSC
B5	V <sub>SS</sub>	C13	SCData79	D21	V <sub>SS</sub>	E29	SCAAddr10
B6	SCData87	C14	SCData75	D22	V <sub>SS</sub> Pd	E30	SCAAddr14
B7	SCData83	C15	V <sub>SS</sub>	D23	V <sub>SS</sub>	E31	V <sub>DD</sub>
B8	V <sub>DD</sub>	C16	SysAD45	D24	V <sub>SS</sub>	E32	SCData31

注 100 Ωの抵抗を介してください。

(2/4)

番号	名称	番号	名称	番号	名称	番号	名称
E33	V <sub>DD</sub>	K1	V <sub>DD</sub> QSC	P4	SCTag6	V32	SysAD6
E34	V <sub>SS</sub>	K2	SCTag14	P5	V <sub>DD</sub> QSC	V33	V <sub>DD</sub>
E35	SCData27	K3	SCTag17	P31	V <sub>DD</sub> QSC	V34	SysAD4
F1	V <sub>DD</sub>	K4	V <sub>DD</sub>	P32	SCData4	V35	SysAD2
F2	SCTW <sub>r</sub>	K5	SCTag19	P33	SCData2	W1	SCCIk4
F3	V <sub>DD</sub> QSC	K31	SCData18	P34	V <sub>DD</sub>	W2	V <sub>SS</sub>
F4	SCCIk5	K32	V <sub>DD</sub>	P35	SysAD15	W3	SCTagChk1
F5	V <sub>SS</sub> <sup>注</sup>	K33	SCData16	R1	SCTag0	W4	SCCIk4
F31	SCData30	K34	SCData11	R2	V <sub>DD</sub> QSC	W5	V <sub>SS</sub>
F32	SCData28	K35	V <sub>DD</sub> QSC	R3	V <sub>SS</sub>	W31	V <sub>SS</sub>
F33	V <sub>DD</sub> QSC	L1	SCTag12	R4	SCTag1	W32	SysAD1
F34	SCData25	L2	V <sub>SS</sub>	R5	SCTag3	W33	JTCK
F35	SCData23	L3	V <sub>DD</sub>	R31	SCData0	W34	V <sub>SS</sub>
G1	V <sub>SS</sub>	L4	SCTag15	R32	SysAD13	W35	JTDI
G2	SCTag22	L5	V <sub>SS</sub>	R33	V <sub>SS</sub>	Y1	V <sub>CC</sub> QSys
G3	SCTag24	L31	V <sub>SS</sub>	R34	SysAD14	Y2	SysCmd0
G4	V <sub>SS</sub>	L32	SCData14	R35	SysAD12	Y3	SysCmd1
G5	SCTOE	L33	SCData9	T1	V <sub>DD</sub> QSC	Y4	V <sub>DD</sub>
G31	SCData26	L34	V <sub>SS</sub>	T2	NC	Y5	SysCmd3
G32	V <sub>SS</sub>	L35	SCData7	T3	SCTWay	Y31	JTDO
G33	SCData21	M1	SCTag7	T4	V <sub>DD</sub>	Y32	V <sub>DD</sub>
G34	SCData19	M2	SCTag9	T5	SCTagLSBAddr	Y33	VrefSys
G35	V <sub>SS</sub>	M3	V <sub>DD</sub> QSC	T31	SysAD11	Y34	SysAD0
H1	SCTag20	M4	SCTag11	T32	V <sub>DD</sub>	Y35	V <sub>DD</sub> QSys
H2	V <sub>DD</sub>	M5	SCTag13	T33	SysAD9	AA1	SysCmd2
H3	V <sub>DD</sub> QSC	M31	SCData12	T34	SysAD10	AA2	SysCmd4
H4	SCTag25	M32	SCData10	T35	V <sub>DD</sub> QSys	AA3	V <sub>SS</sub>
H5	V <sub>DD</sub> QSC	M33	V <sub>DD</sub> QSC	U1	SCTagChk6	AA4	SysCmd5
H31	V <sub>DD</sub> QSC	M34	SCData5	U2	V <sub>SS</sub>	AA5	SysCmd7
H32	SCData24	M35	SCData3	U3	SCTagChk5	AA31	SCCIk2
H33	V <sub>DD</sub> QSC	N1	V <sub>SS</sub>	U4	V <sub>SS</sub> <sup>注</sup>	AA32	SCData32
H34	V <sub>DD</sub>	N2	SCTag5	U5	V <sub>SS</sub>	AA33	V <sub>SS</sub>
H35	SCData17	N3	SCTag8	U31	V <sub>SS</sub>	AA34	JTMS
J1	SCTag16	N4	V <sub>SS</sub>	U32	SysAD7	AA35	VrefSC
J2	SCTag18	N5	SCTag10	U33	SysAD5	AB1	SysCmd6
J3	V <sub>SS</sub>	N31	SCData8	U34	V <sub>SS</sub>	AB2	V <sub>DD</sub>
J4	SCTag21	N32	V <sub>SS</sub>	U35	SysAD8	AB3	SysCmd8
J5	SCTag23	N33	SCData6	V1	SCTagChk4	AB4	SysCmd10
J31	SCData22	N34	SCData1	V2	SCTagChk2	AB5	V <sub>DD</sub> QSys
J32	SCData20	N35	V <sub>SS</sub>	V3	V <sub>DD</sub>	AB31	V <sub>DD</sub> QSC
J33	V <sub>SS</sub>	P1	SCTag2	V4	SCTagChk0	AB32	SCData35
J34	SCData15	P2	V <sub>DD</sub>	V5	SCTagChk3	AB33	SCCIk2
J35	SCData13	P3	SCTag4	V31	SysAD3	AB34	V <sub>DD</sub>

注 100 Ωの抵抗を介してください。

(3/4)

番号	名称	番号	名称	番号	名称	番号	名称
AB35	SCData33	AG3	V <sub>SS</sub>	AL6	SCData124	AM14	SCData110
AC1	V <sub>SS</sub>	AG4	SysGblPerf	AL7	SCData120	AM15	SCCIk3
AC2	SysCmd9	AG5	SysWrRdy	AL8	V <sub>DD</sub> QSC	AM16	V <sub>DD</sub>
AC3	SysCmdPar	AG31	SCData53	AL9	SCData114	AM17	SysAD58
AC4	V <sub>SS</sub>	AG32	SCData51	AL10	SCBDOE	AM18	SysAD54
AC5	SysReq	AG33	V <sub>SS</sub>	AL11	SCBAddr8	AM19	SysAD52
AC31	SCData39	AG34	SCData48	AL12	SCBAddr4	AM20	V <sub>DD</sub>
AC32	V <sub>SS</sub>	AG35	SCData46	AL13	SCBAddr0	AM21	SysADChk4
AC33	SCData37	AH1	SysResp2	AL14	V <sub>DD</sub> QSC	AM22	SysAD30
AC34	SCData34	AH2	V <sub>DD</sub>	AL15	SCData106	AM23	V <sub>SS</sub>
AC35	V <sub>SS</sub>	AH3	V <sub>DD</sub> QSys	AL16	SCData104	AM24	SysAD26
AD1	SysCmd11	AH4	SysStatePar	AL17	SysAD60	AM25	SysAD22
AD2	SysVal	AH5	V <sub>DD</sub> QSys	AL18	SysAD56	AM26	V <sub>DD</sub>
AD3	V <sub>DD</sub> QSys	AH31	V <sub>DD</sub> QSC	AL19	SysAD50	AM27	SCData102
AD4	SysGnt	AH32	SCData55	AL20	SysADChk6	AM28	SCData98
AD5	SysReset	AH33	V <sub>DD</sub> QSC	AL21	SysADChk2	AM29	V <sub>SS</sub>
AD31	SCData43	AH34	V <sub>DD</sub>	AL22	V <sub>DD</sub> QSys	AM30	SCBAddr11
AD32	SCData41	AH35	SCData50	AL23	SysAD28	AM31	SCBAddr15
AD33	V <sub>DD</sub> QSC	AJ1	V <sub>SS</sub>	AL24	SysAD24	AM32	V <sub>SS</sub>
AD34	SCData38	AJ2	SysResp0	AL25	SysAD20	AM33	SCData63
AD35	SCData36	AJ3	SysRdRdy	AL26	SysAD16	AM34	SCData62
AE1	SysRel	AJ4	V <sub>SS</sub>	AL27	SCData100	AM35	V <sub>DD</sub> QSC
AE2	V <sub>SS</sub>	AJ5	SysState1	AL28	V <sub>DD</sub> QSC	AN1	V <sub>SS</sub>
AE3	V <sub>DD</sub>	AJ31	SCData57	AL29	SCBAddr9	AN2	V <sub>DD</sub>
AE4	SysRespPar	AJ32	V <sub>SS</sub>	AL30	SCBAddr13	AN3	V <sub>DD</sub> QSC
AE5	V <sub>SS</sub>	AJ33	SCData54	AL31	V <sub>DD</sub>	AN4	SCDataChk7
AE31	V <sub>SS</sub>	AJ34	SCData52	AL32	SCDataChk1	AN5	SCData125
AE32	SCData45	AJ35	V <sub>SS</sub>	AL33	V <sub>DD</sub>	AN6	V <sub>DD</sub> QSC
AE33	SCData42	AK1	SysStateVal	AL34	V <sub>SS</sub>	AN7	SCData118
AE34	V <sub>SS</sub>	AK2	SysState2	AL35	SCData60	AN8	SCData115
AE35	SCData40	AK3	V <sub>DD</sub> QSys	AM1	V <sub>DD</sub> QSys	AN9	V <sub>SS</sub>
AF1	V <sub>DD</sub> QSys	AK4	SysCorErr	AM2	SysUncErr	AN10	SCBDCS
AF2	DCOk	AK5	SysNMI	AM3	V <sub>SS</sub> <sup>注</sup>	AN11	SCBAddr5
AF3	SysResp3	AK31	SCData61	AM4	V <sub>SS</sub>	AN12	V <sub>DD</sub> QSC
AF4	V <sub>DD</sub>	AK32	SCData59	AM5	SCData126	AN13	SCData109
AF5	SysResp1	AK33	V <sub>DD</sub> QSC	AM6	SCData122	AN14	SCData108
AF31	SCData49	AK34	SCData58	AM7	V <sub>SS</sub>	AN15	V <sub>SS</sub>
AF32	V <sub>DD</sub>	AK35	SCData56	AM8	SCData116	AN16	SysAD62
AF33	SCData47	AL1	SysState0	AM9	SCData112	AN17	SysAD59
AF34	SCData44	AL2	V <sub>SS</sub>	AM10	V <sub>DD</sub>	AN18	V <sub>DD</sub>
AF35	V <sub>DD</sub> QSC	AL3	V <sub>DD</sub>	AM11	SCBAddr6	AN19	SysAD51
AG1	SysRespVal	AL4	V <sub>SS</sub> <sup>注</sup>	AM12	SCBAddr2	AN20	SysAD48
AG2	SysResp4	AL5	V <sub>DD</sub>	AM13	V <sub>SS</sub>	AN21	V <sub>SS</sub>

注 100 Ωの抵抗を介してください。



(4/4)

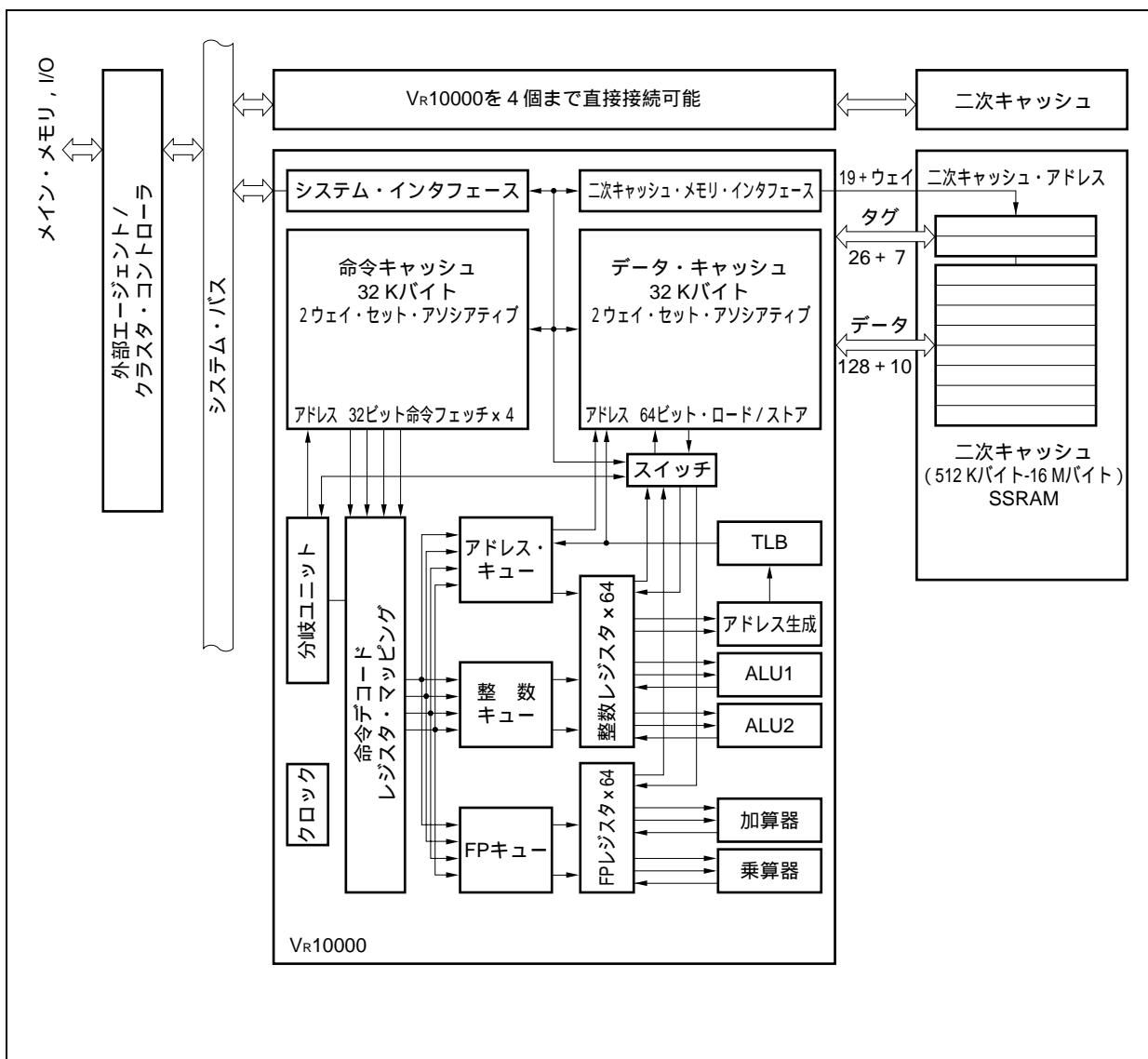
番号	名称	番号	名称	番号	名称	番号	名称
AN22	SysADChk0	AP8	V <sub>DD</sub>	AP29	SCData97	AR15	SysAD63
AN23	SysAD29	AP9	$\overline{\text{SCBDWr}}$	AP30	SCBAddr10	AR16	V <sub>DD</sub> QSys
AN24	V <sub>DD</sub> QSys	AP10	SCBAddr7	AP31	V <sub>SS</sub>	AR17	SysAD57
AN25	SysAD21	AP11	V <sub>SS</sub>	AP32	SCBAddr16	AR18	SysAD55
AN26	SysAD18	AP12	SCBAddr1	AP33	SCBAddr17	AR19	SysAD49
AN27	V <sub>SS</sub>	AP13	SCData107	AP34	V <sub>SS</sub>	AR20	V <sub>DD</sub> QSys
AN28	SCData99	AP14	V <sub>DD</sub>	AP35	V <sub>DD</sub>	AR21	SysADChk5
AN29	SCData96	AP15	SCData105	AR1	V <sub>SS</sub>	AR22	SysADChk1
AN30	V <sub>DD</sub> QSC	AP16	SysAD61	AR2	V <sub>DD</sub>	AR23	V <sub>SS</sub>
AN31	SCBAddr14	AP17	V <sub>SS</sub>	AR3	V <sub>SS</sub>	AR24	SysAD27
AN32	SCBAddr18	AP18	SysAD53	AR4	V <sub>SS</sub> QSC	AR25	SysAD23
AN33	V <sub>DD</sub> QSC	AP19	V <sub>SS</sub>	AR5	SCData123	AR26	V <sub>DD</sub> QSys
AN34	V <sub>DD</sub>	AP20	SysADChk7	AR6	SCData119	AR27	SysAD17
AN35	V <sub>SS</sub>	AP21	SysADChk3	AR7	V <sub>SS</sub>	AR28	SCData101
AP1	V <sub>DD</sub>	AP22	V <sub>DD</sub>	AR8	SCData113	AR29	V <sub>SS</sub>
AP2	V <sub>SS</sub>	AP23	SysAD31	AR9	SCBDWay	AR30	SCDataChk3
AP3	SCDataChk5	AP24	SysAD25	AR10	V <sub>DD</sub> QSC	AR31	SCBAddr12
AP4	SCData127	AP25	V <sub>SS</sub>	AR11	SCBAddr3	AR32	V <sub>DD</sub> QSC
AP5	V <sub>SS</sub>	AP26	SysAD19	AR12	SCData111	AR33	V <sub>SS</sub>
AP6	SCData121	AP27	SCData103	AR13	V <sub>SS</sub>	AR34	V <sub>DD</sub>
AP7	SCData117	AP28	V <sub>DD</sub>	AR14	$\overline{\text{SCClk3}}$	AR35	V <sub>SS</sub>

## 端子名称

DCOK	: DC Voltage OK
JTCK	: JTAG Clock
JTDI	: JTAG Serial Data Input
JTDO	: JTAG Serial Data Output
JTMS	: JTAG Mode Select
SCAAddr ( 18 : 0 ) , SCBAddr ( 18 : 0 )	: Secondary Cache Address Bus
$\overline{\text{SCADCS}}$ , $\overline{\text{SCBDCS}}$	: Secondary Cache Data Chip Select
$\overline{\text{SCADOE}}$ , $\overline{\text{SCBDOE}}$	: Secondary Cache Data Output Enable
SCADWay, SCBDWay	: Secondary Cache Data Way
$\overline{\text{SCADWr}}$ , $\overline{\text{SCBDWr}}$	: Secondary Cache Data Write Enable
SCClk ( 5 : 0 ) , $\overline{\text{SCClk}}$ ( 5 : 0 )	: Secondary Cache Clock
SCData ( 127 : 0 )	: Secondary Cache Data Bus
SCDataChk ( 9 : 0 )	: Secondary Cache Data Check Bus
SCTag ( 25 : 0 )	: Secondary Cache Tag Bus
SCTagChk ( 6 : 0 )	: Secondary Cache Tag Check Bus
SCTagLSBAddr	: Secondary Cache Tag LSB Address
$\overline{\text{SCTCS}}$	: Secondary Cache Chip Select
$\overline{\text{SCTOE}}$	: Secondary Cache Tag Output Enable
SCTWay	: Secondary Cache Tag Way
$\overline{\text{SCTWr}}$	: Secondary Cache Tag Write Enable
SysAD ( 63 : 0 )	: System Address/Data Bus
SysADChk ( 7 : 0 )	: System Address/Data Check Bus
SysClk, $\overline{\text{SysClk}}$	: System Clock
SysClkRet, $\overline{\text{SysClkRet}}$	: System Clock Return
SysCmd ( 11 : 0 )	: System Command Bus
SysCmdPar	: System Command Bus Parity
$\overline{\text{SysCorErr}}$	: System Correctable Error
SysCyc	: System Cycle
$\overline{\text{SysGbPerf}}$	: System Globally Performed
SysGnt	: System Grant
$\overline{\text{SysNMI}}$	: System Non-maskable Interrupt
$\overline{\text{SysRdRdy}}$	: System Read Ready
SysReset	: System Reset
SysResp ( 4 : 0 )	: System Response Bus
SysRespPar	: System Response Bus Parity
$\overline{\text{SysRespVal}}$	: System Response Bus Valid
$\overline{\text{SysUncErr}}$	: System Uncorrectable Error
$\overline{\text{SysVal}}$	: System Valid
$\overline{\text{SysWrRdy}}$	: System Write Ready
$\overline{\text{SysRel}}$	: System Release
SysReq	: System Request

SysState ( 2 : 0 )	: System State Bus
SysStatePar	: System State Bus Parity
SysStateVal	: System State Bus Valid
V <sub>DD</sub>	: Power Supply
V <sub>DDPa</sub>	: V <sub>DD</sub> for the PLL Analog
V <sub>DDPd</sub>	: V <sub>DD</sub> for the PLL Digital
V <sub>DDQSC</sub>	: V <sub>DD</sub> for the Secondary Cache
V <sub>DDQSys</sub>	: V <sub>DD</sub> for the System Interface
VrefSC	: Voltage Reference for the Secondary Cache
VrefSys	: Voltage Reference for the System Interface
V <sub>SS</sub>	: Ground
V <sub>SSPa</sub>	: V <sub>SS</sub> for the PLL Analog
V <sub>SSPd</sub>	: V <sub>SS</sub> for the PLL Digital
NC	: No Connection

ブロック図



## 目 次

1. 端子機能説明 ... 13
  - 1.1 端子機能一覧 ... 13
  - 1.2 未使用端子の処理 ... 16
  
2. CPU内部アーキテクチャ ... 17
  - 2.1 パイプライン ... 17
    - 2.1.1 構成 ... 17
    - 2.1.2 動作 ... 18
  - 2.2 CPUレジスタ (仮想レジスタ) ... 19
  - 2.3 システム制御コプロセッサ (CP0) ... 20
    - 2.3.1 CP0レジスタ ... 20
  - 2.4 データ形式とアドレッシング ... 22
  - 2.5 仮想記憶 ... 24
    - 2.5.1 仮想アドレス空間 ... 24
    - 2.5.2 アドレス変換 ... 27
  - 2.6 キャッシュ ... 29
    - 2.6.1 一次キャッシュ ... 29
    - 2.6.2 二次キャッシュ ... 29
  
3. FPU内部アーキテクチャ ... 30
  - 3.1 内部機能ブロック ... 30
  - 3.2 FPUレジスタ ... 30
  - 3.3 データ形式 ... 31
  
4. インタフェース ... 32
  - 4.1 システム・インタフェース ... 32
    - 4.1.1 システム・インタフェースの動作周波数設定 ... 32
  - 4.2 二次キャッシュ・インタフェース ... 33
  - 4.3 クロック・インタフェース ... 33
    - 4.3.1 システム・インタフェース・クロックとプロセッサ・クロック ... 33
    - 4.3.2 二次キャッシュ・クロック ... 33
  - 4.4 システム構成例 ... 33
    - 4.4.1 ユニプロセッサ・システム ... 33
    - 4.4.2 マルチプロセッサ・システム ... 35
  - 4.5 BTMCインタフェース ... 36
  - 4.6 DSD (Delay Speculative Dirty) モード (Vr12000のみ) ... 38
    - 4.6.1 DSDモード遅延 ... 38
    - 4.6.2 DSDモード中の二次キャッシュ状態 ... 38
    - 4.6.3 その他の特徴 ... 38
  
5. 内部/外部制御機能 ... 39

- 5.1 リセット機能 ... 39
  - 5.1.1 パワーオン・リセット, コールド・リセット ... 39
  - 5.1.2 ソフト・リセット ... 39
- 5.2 割り込み機能 ... 39
- 5.3 JTAG機能 ... 40
  
- 6. 命令セット ... 41
  - 6.1 命令形式 ... 41
  - 6.2 CPU命令セット一覧 ... 41
  - 6.3 FPU命令セット一覧 ... 46
  - 6.4 命令の遅延 ... 49
  
- 7. 電気的特性 ... 50
  
- 8. プッシュプル出力バッファ回路 ... 64
  
- 9. 外形図 ... 65

1. 端子機能説明

1.1 端子機能一覧

(1/3)

端子名	入出力	機能
SCClk (5:0)	出力	二次キャッシュ用クロック信号
$\overline{\text{SCClk}}$ (5:0)	出力	二次キャッシュ用クロック信号 SCClk (5:0) を反転した信号です。
SCAAddr (18:0) , SCBAddr (18:0)	出力	二次キャッシュ用アドレス・バス 二次キャッシュのための19ビットずつのアドレス・バスです。
SCTagLSBAddr	出力	二次キャッシュ・タグLSBアドレス 二次キャッシュ・タグのLSBアドレスを指定します。
SCADWay, SCBDWay	出力	二次キャッシュ・データ・ウェイ 二次キャッシュ・データのウェイを指定します。
SCData (127:0)	入出力	二次キャッシュ・データ・バス 二次キャッシュに対するデータの読み書きのための128ビットのバスです。
SCDataChk (9:0)	入出力	二次キャッシュ・データ・チェック・バス 二次キャッシュ・データに対するECCと偶数パリティの読み書きに使用する10ビットのバスです。
$\overline{\text{SCADOE}}$ , $\overline{\text{SCBDOE}}$	出力	二次キャッシュ・データ出力許可 二次キャッシュ・データの出力を許可する信号です。
$\overline{\text{SCADWr}}$ , $\overline{\text{SCBDWr}}$	出力	二次キャッシュ・データ書き込み許可 二次キャッシュ・データの書き込みを許可する信号です。
$\overline{\text{SCADCS}}$ , $\overline{\text{SCBDCS}}$	出力	二次キャッシュ・データ・チップ・セレクト 二次キャッシュ・データのアクセスを許可する信号です。
SCTWay	出力	二次キャッシュ・タグ・ウェイ 二次キャッシュ・タグのウェイを指定します。
SCTag (25:0)	入出力	二次キャッシュ・タグ・バス 二次キャッシュに対するタグの読み書きのための26ビットのバスです。
SCTagChk (6:0)	入出力	二次キャッシュ・タグ・チェック・バス 二次キャッシュ・タグに対するECCの読み書きに使用する7ビットのバスです。
SCTOE	出力	二次キャッシュ・タグ出力許可 二次キャッシュ・タグの出力を許可する信号です。
$\overline{\text{SCTWr}}$	出力	二次キャッシュ・タグ書き込み許可 二次キャッシュ・タグの書き込みを許可する信号です。
SCTCS	出力	二次キャッシュ・タグ・チップ・セレクト 二次キャッシュ・タグのアクセスを許可する信号です。
SysClk	入力	システム・クロック システム・クロック入力です。
$\overline{\text{SysClk}}$	入力	システム・クロック システム・クロック入力で、SysClkを反転した信号です。
SysClkRet	出力	システム・クロック システム・クロックのターミネーションに用いるシステム・クロック出力です。
$\overline{\text{SysClkRet}}$	出力	システム・クロック システム・クロックのターミネーションに用いるシステム・クロック出力で、SysClkRetを反転した信号です。

(2/3)

端子名	入出力	機能
SysReq	出力	システム・リクエスト V <sub>R</sub> 10000がスレーブのとき、プロセッサ・リクエストの発行許可を要求する信号です。
SysGnt	入力	システム許可 外部エージェントがV <sub>R</sub> 10000に、システム・インタフェースの使用を許可する信号です。
SysRel	入出力	システム解放 システム・インタフェースのマスタ側が、続くSysClkサイクルでシステム・インタフェースの使用権を解放するときに、この信号を1SysClkサイクル間アクティブにします。
SysRdRdy	入力	システム・リード・レディ 外部エージェントが、プロセッサ・リード・リクエストとアップグレード・リクエストを受け付けられることを示します。
SysWrRdy	入力	システム・ライト・レディ 外部エージェントが、プロセッサ・ライト・リクエストとプロセッサ・エリミネート・リクエストを受け付けられることを示します。
SysAD (63 : 0)	入出力	システム・アドレス/データ・バス V <sub>R</sub> 10000と外部エージェント間の通信のための64ビットのアドレス/データ・バスです。
SysADChk (7 : 0)	入出力	システム・アドレス/データ・チェック・バス SysADバスのための8ビットのECCバスです。
SysCmd (11 : 0)	入出力	システム・コマンド・バス V <sub>R</sub> 10000と外部エージェント間のコマンドの通信のための12ビットのバスです。
SysCmdPar	入出力	システム・コマンド・バス・パリティ システム・コマンド・バスのための1ビットの奇数パリティ・ビットです。
SysVal	入出力	システム・バリッド システム・インタフェースのマスタ側が、SysADバスとSysCmdバスに有効なアドレス/コマンド/データをドライブしていることを示す信号です。
SysState (2 : 0)	出力	システム・ステート・バス プロセッサ・コヒーレント状態レスポンスを発行、または追加状態表示を行うための3ビットのバスです。
SysStatePar	出力	システム・ステート・バス・パリティ システム・ステート・バスのための1ビットの奇数パリティ・ビットです。
SysStateVal	出力	システム・ステート・バス・バリッド V <sub>R</sub> 10000が、SysStateバスにプロセッサ・コヒーレント状態レスポンスを発行するとき、この信号を1SysClkサイクル間アクティブにします。
SysResp (4 : 0)	入力	システム・レスポンス・バス 外部エージェントが外部終了レスポンスを発行するための5ビットのバスです。
SysRespPar	入力	システム・レスポンス・バス・パリティ システム・レスポンス・バスのための1ビットの奇数パリティ・ビットです。
SysRespVal	入力	システム・レスポンス・バス・バリッド 外部エージェントが、SysRespバスに外部終了レスポンスを発行するとき、この信号を1SysClkサイクル間アクティブにします。
SysReset	入力	システム・リセット 外部エージェントがV <sub>R</sub> 10000をリセットするための信号です。
SysNMI	入力	システム・ノンマスクブル割り込み 外部エージェントがNMIを発行するための信号です。



端子名	入出力	機能
$\overline{\text{SysCorErr}}$	出力	システム・コレクタブル・エラー V <sub>R</sub> 10000が、修正可能なエラーを発見し、修正するとき、この信号を1SysClkサイクル間アクティブにします。
$\overline{\text{SysUncErr}}$	出力	システム・アンコレクタブル・エラー V <sub>R</sub> 10000が、修正不可能なタグ・エラーを発見したとき、この信号を1SysClkサイクル間アクティブにします。
$\overline{\text{SysGblPerf}}$	入力	システム・グローバル・パーフェクト すべての外部エージェントに対するプロセッサ・リクエストがすべて完了したことを、外部エージェントが示す信号です。
$\overline{\text{SysCyc}}$	入力	システム・サイクル 外部エージェントが、ハードウェア・エミュレーション環境で仮想システム・インタフェース・クロックを定義するために使用します。
JTDI	入力	JTAGデータ入力 JTAGシリアル・データの入力です。
JTDO	出力	JTAGデータ出力 JTAGシリアル・データの出力です。
JTCK	入力	JTAGクロック入力 JTAGシリアル・クロックの入力です。JTAGインタフェースを使用しない場合はロウ・レベルにしてください。
JTMS	入力	JTAGモード選択 JTAGのモードを選択します。
DCOK	入力	DC電圧許可 次の各信号が安定しているとき、外部エージェントがこの信号をアクティブにします。 V <sub>DD</sub> , V <sub>DDQSC</sub> , V <sub>DDQSYS</sub> , V <sub>refSC</sub> , V <sub>refSys</sub> , V <sub>DDPa</sub> , V <sub>DDPd</sub> , SysClk
V <sub>DD</sub>	入力	電源供給端子 CPUコア用の電源です。
V <sub>DDQSC</sub>	入力	二次キャッシュ用V <sub>DD</sub> 二次キャッシュ・インタフェースの出力ドライバ用の電源です。
V <sub>DDQSYS</sub>	入力	システム・インタフェース用V <sub>DD</sub> システム・インタフェースの出力ドライバ用の電源です。
V <sub>refSC</sub>	入力	二次キャッシュ用電圧 二次キャッシュ・インタフェースの入力端子用の基準電圧です。
V <sub>refSys</sub>	入力	システム・インタフェース用電圧 システム・インタフェースの入力端子用の基準電圧です。
V <sub>DDPa</sub>	入力	PLLアナログ用V <sub>DD</sub> PLLアナログ回路用の電源です。
V <sub>DDPd</sub>	入力	PLLデジタル用V <sub>DD</sub> PLLデジタル回路用の電源です。
V <sub>SS</sub>	入力	グランド電位端子 CPUコアと出力ドライバ用のグランドです。
V <sub>SSPa</sub>	入力	PLLアナログ用GND PLLアナログ用のグランドです。
V <sub>SSPd</sub>	入力	PLLデジタル用GND PLLデジタル用のグランドです。
NC	-	ノー・コネクションです。何も接続しないでください。

## 1.2 未使用端子の処理

未使用端子の処理を表1 - 1に示します。

表1 - 1 未使用端子の処理

端子名	入出力	未使用時の推奨接続方法
JTDI	入力	個別に抵抗を介して、 $V_{DD}$ に接続してください。
JTCK		
JTMS		
$\overline{\text{SysNMI}}$		個別に100 $\Omega$ 以上の抵抗を介して、 $V_{DDQ\text{Sys}}$ に接続してください。
$\overline{\text{SysRdRdy}}$		個別に100 $\Omega$ 以上の抵抗を介して、 $V_{SS}$ に接続してください。
$\overline{\text{SysWrRdy}}$		
$\overline{\text{SysGblPerf}}$		
$\overline{\text{SysCyc}}$		
SysADChk (7 : 0)	入出力	個別に100 $\Omega$ 以上の抵抗を介して、 $V_{SS}$ または $V_{DDQ\text{Sys}}$ に接続してください。

2. CPU内部アーキテクチャ

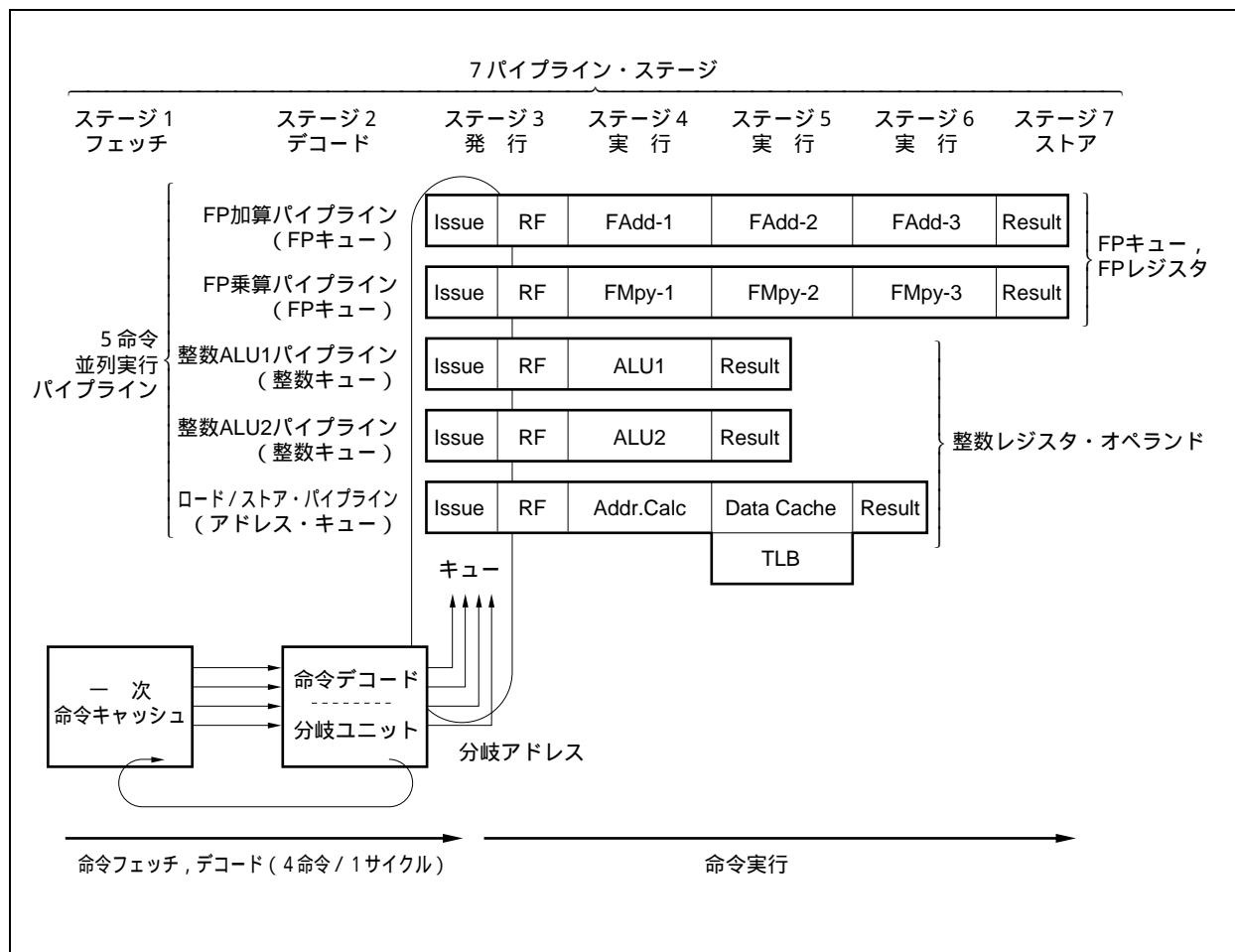
2.1 パイプライン

2.1.1 構成

Vr10000のパイプラインは、次に示す5ウェイのスーパースカラ方式です。このパイプラインでは、1PCycleに4つの命令を同時にフェッチ、デコードできます。

- (1) FP加算パイプライン
- (2) FP乗算パイプライン
- (3) 整数ALU1パイプライン
- (4) 整数ALU2パイプライン
- (5) ロード/ストア・パイプライン

図2-1 パイプライン



## 2.1.2 動作

Vr10000のパイプラインには、7つのステージがあります。次に各ステージの動作を説明します。

### (1) ステージ1 (フェッチ)

1サイクルにつき、4つの命令をフェッチし、命令レジスタに格納します。

### (2) ステージ2 (デコード)

ステージ1でフェッチした4つの命令をデコードします。

### (3) ステージ3 (発行)

デコードした命令を、キューに書き込みます。Vr10000には、FPキュー、整数キュー、アドレス・キューがあります。また、レジスタ・ファイルからオペランドを読み出します。

### (4) ステージ4-ステージ6 (実行)

命令を実行します。命令の種類によって、実行パイプラインと実行サイクルが異なります。

#### (a) FP加算パイプライン

浮動小数点加算命令を実行します。3PCycleかかります。

#### (b) FP乗算パイプライン

浮動小数点乗算、除算、平方根演算命令を実行します。3PCycleかかります。

#### (c) 整数ALU1パイプライン

整数加算、減算、シフト、ロジック命令を1PCycleで実行します。

#### (d) 整数ALU2パイプライン

整数加算、減算、ロジック命令を1PCycleで実行します。

#### (e) ロード/ストア・パイプライン

整数または浮動小数点ロード/ストア命令で使用するメモリ・アドレスを生成します。

### (5) ステージ7 (ストア)

命令の実行結果をレジスタに格納します。

2.2 CPUレジスタ (仮想レジスタ)

V<sub>R</sub>10000のCPUレジスタを、図2 - 2に示します。V<sub>R</sub>10000では、物理的には64本の汎用レジスタがありますが、ソフトウェアや外部からアクセスできるのは32本だけです。残りのレジスタのマッピングは、CPUが自動的に制御します。また、レジスタのビット幅は、V<sub>R</sub>10000の動作モードによって決まります (32ビット・モード時：32ビット、64ビット・モード時：64ビット)。

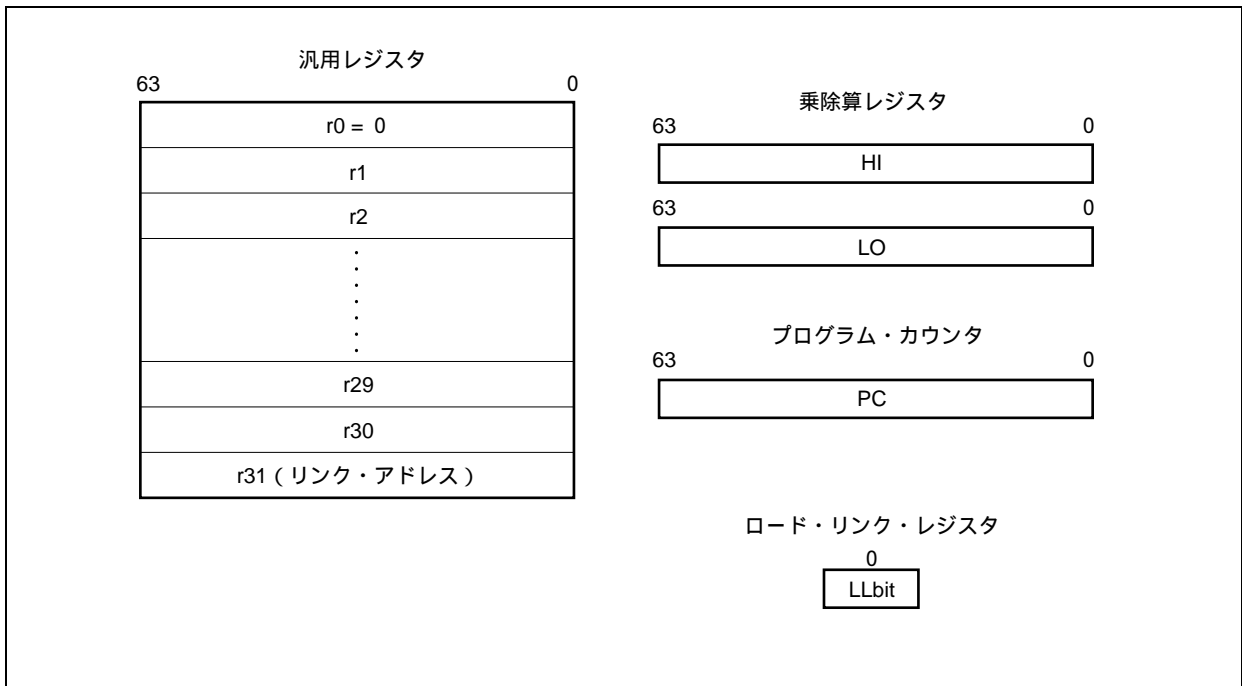
32本の汎用レジスタのうち、次の2つのレジスタは特別な意味を持っています。

- ・レジスタr0 : 内容は常に0です。演算の結果を破棄したいとき、命令のターゲット・レジスタとしてレジスタr0を記述できます。また、0の値が必要なとき、このレジスタをソース・レジスタとして使用することができます。
- ・レジスタr31 : JAL命令とJALR命令のためのリンク・システムです。したがって、ほかの命令でレジスタr31を使用しないでください。

2つの乗除算レジスタ (HI, LO) は、整数乗算の結果、整数除算の商 (LO) と剰余 (HI) を格納します。

ロード・リンク・レジスタは、マルチプロセッサ・システムでV<sub>R</sub>10000同士の同期をとるためのレジスタです。

図2 - 2 CPUレジスタ



プログラム・ステータス・ワード (PSW) は存在しません。その機能は、システム制御コプロセッサ (CP0) に組み込まれたステータス・レジスタと原因レジスタが代行します。

2.3 システム制御コプロセッサ (CP0)

CP0レジスタ / CP0命令は、TLBとキャッシュにアクセスします。また、Vr10000を使用するモードの操作，例外，および割り込みの処理もCP0によって制御されています。さらに，テスト / デバッグ機能もCP0に含まれています。

2.3.1 CP0レジスタ

Vr10000で使用できる全CP0レジスタを次に示します。未使用レジスタ (RFU) への書き込み，読み出しについては未定義です。

図2-3 CP0レジスタとTLB

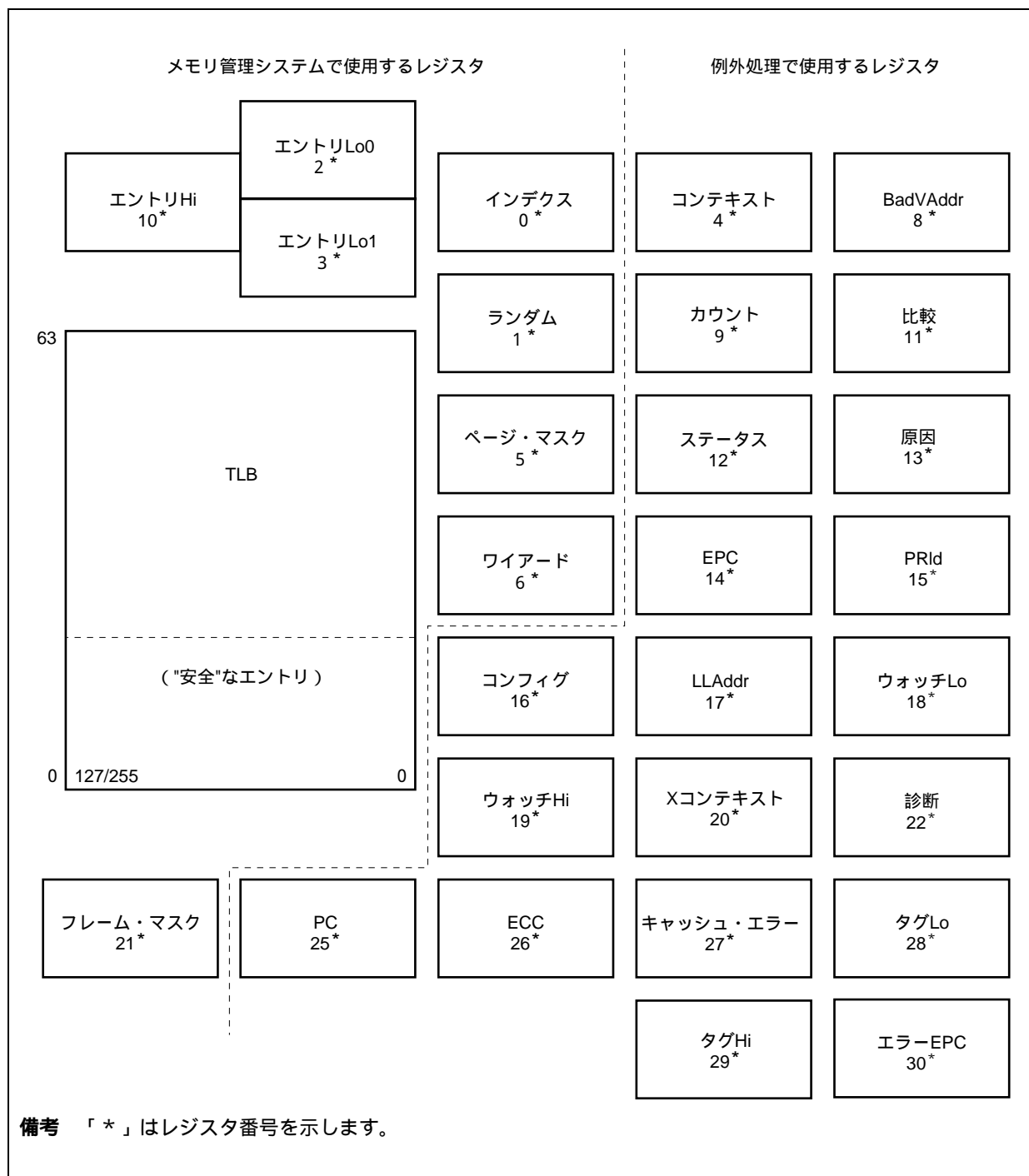


表2 - 1 CP0レジスタ一覧

番 号	レジスタ	説 明
0	インデクス	TLBエントリのプログラマブル・ポインタ
1	ランダム	TLBエントリのランダム・ポインタ
2	エントリLo0	偶数VPN用TLBエントリの後半
3	エントリLo1	奇数VPN用TLBエントリの後半
4	コンテキスト	32ビット・モード時のカーネルの仮想PTEテーブルへのポインタ
5	ページ・マスク	TLBページ・マスク
6	ワイアード	ワイアードTLBエントリ数
7	-	RFU ( Reserved for Future Use )
8	BadVAddr	最後にエラーを起こした仮想アドレス
9	カウント	タイマ・カウント
10	エントリHi	TLBエントリの前半 ( VPNとASIDを含む )
11	比較	タイマ比較
12	ステータス	ステータス・レジスタ
13	原因	最後の例外の原因
14	EPC	例外プログラム・カウンタ
15	PRId	プロセッサ・リビジョン識別子
16	コンフィグ	コンフィギュレーション・レジスタ
17	LLAddr	LL命令のアドレス
18	ウォッチLo	メモリ参照トラップ・アドレスの下位ビット
19	ウォッチHi	メモリ参照トラップ・アドレスの上位ビット
20	Xコンテキスト	64ビット・モード時のカーネルの仮想PTEテーブルへのポインタ
21	フレーム・マスク	エントリLoレジスタのビット・マスク
22	診断	分岐診断
23, 24	-	RFU
25	PC	パフォーマンス・カウンタ
26	ECC	二次キャッシュのECCと一次キャッシュのパリティ
27	キャッシュ・エラー	キャッシュ・エラーのインデクスとステータス・フィールド
28	タグLo	キャッシュ・タグ・レジスタ下位
29	タグHi	キャッシュ・タグ・レジスタ上位
30	エラーEPC	エラー例外プログラム・カウンタ
31	-	RFU

2.4 データ形式とアドレッシング

Vr10000は、次の4種類のデータ形式を使用しています。

- ダブル・ワード (64ビット)
- ワード (32ビット)
- ハーフ・ワード (16ビット)
- バイト (8ビット)

データ形式がダブル・ワード、ワード、ハーフ・ワードの場合、バイトの並び方を、コンフィグ・レジスタのBEビットでビッグ・エンディアンかリトル・エンディアンのどちらかに設定できます。

図2-4 ワード内のバイト・アドレス：ビッグ・エンディアン



図2-5 ワード内のバイト・アドレス：リトル・エンディアン





図2-6 ダブル・ワード内のバイト・アドレス：ビッグ・エンディアン

	ワード				ハーフ・ワード				バイト		
	63	32	31	16	15	8	7	0	ダブル・ワード・アドレス		
上位 アドレス	16	17	18	19	20	21	22	23	16		
	8	9	10	11	12	13	14	15	8		
下位 アドレス	0	1	2	3	4	5	6	7	0		

備考1. 最上位バイトが最下位アドレスです。  
2. ワードは最上位バイトのアドレスでアドレス指定されます。

図2-7 ダブル・ワード内のバイト・アドレス：リトル・エンディアン

	ワード				ハーフ・ワード				バイト		
	63	32	31	16	15	8	7	0	ダブル・ワード・アドレス		
上位 アドレス	23	22	21	20	19	18	17	16	16		
	15	14	13	12	11	10	9	8	8		
下位 アドレス	7	6	5	4	3	2	1	0	0		

備考1. 最下位バイトが最下位アドレスです。  
2. ワードは最下位バイトのアドレスでアドレス指定されます。

2.5 仮想記憶

2.5.1 仮想アドレス空間

V<sub>R</sub>10000には、32ビット・モードと64ビット・モードの動作モードがあり、また、ユーザ・モード、スーパーバイザ・モード、カーネル・モードの3種類のオペレーティング・モードがあります。図2-8から図2-11に各モードの仮想アドレス空間を示します。

図2-8 ユーザ・モード・アドレス空間

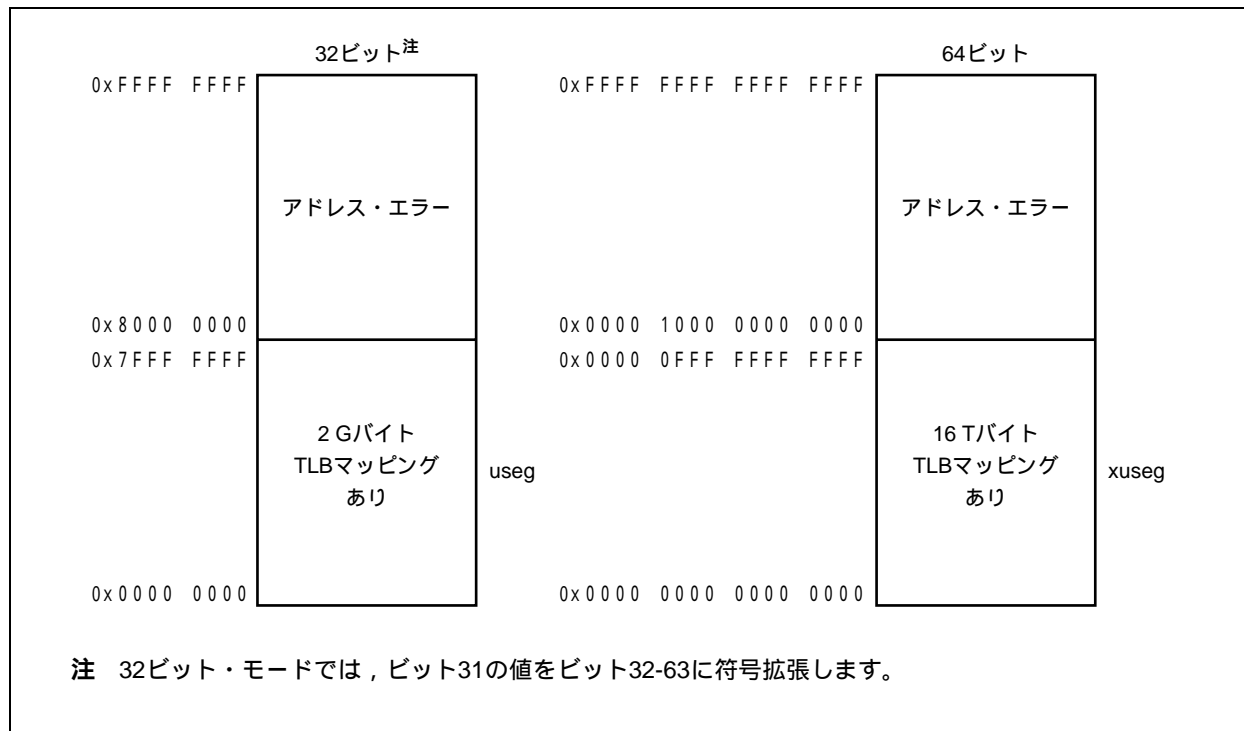


図2-9 スーパーバイザ・モード・アドレス空間

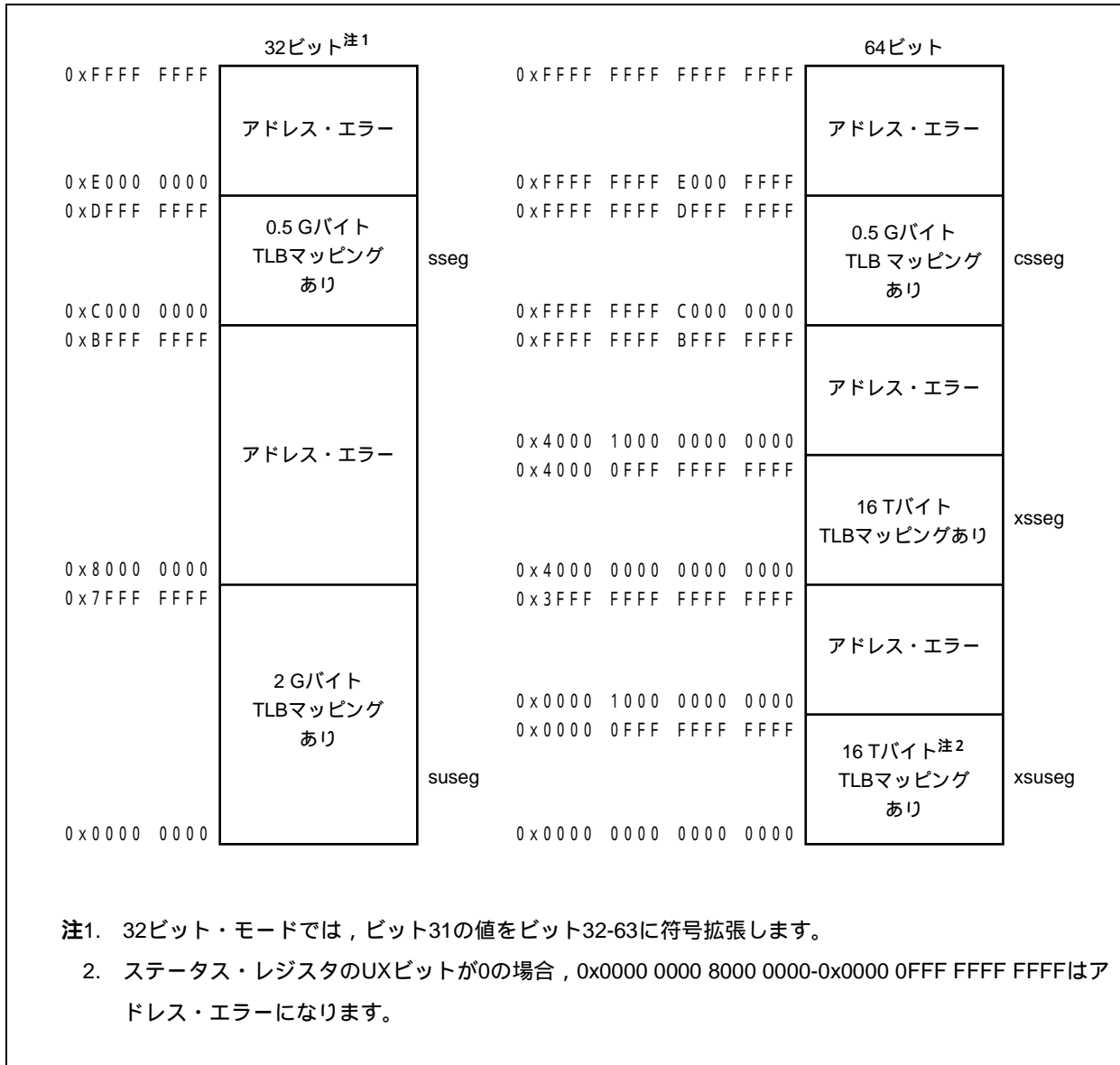


図2 - 10 カーネル・モード・アドレス空間

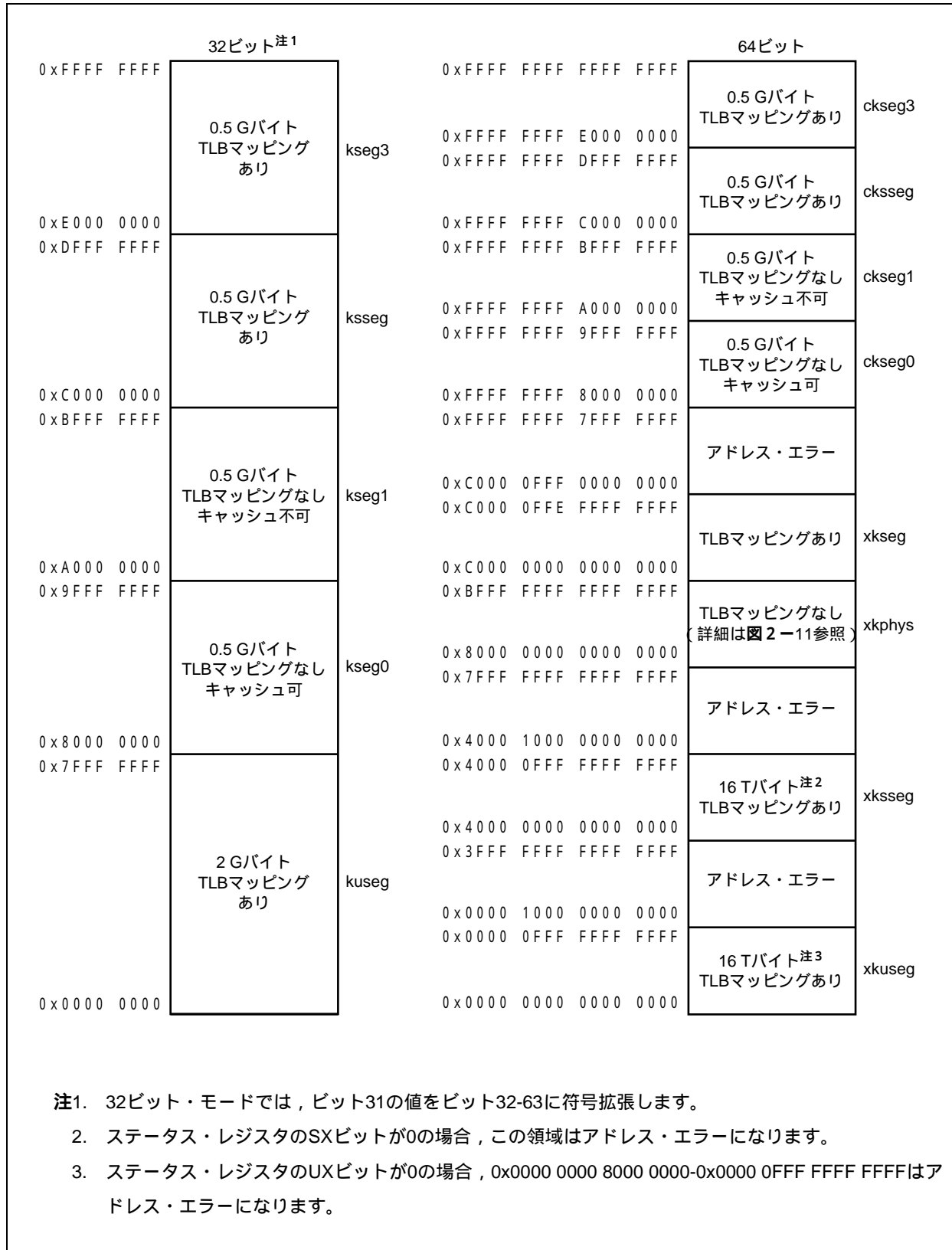


図2 - 11 xkphys領域の詳細

0xBFFF FFFF FFFF FFFF	アドレス・エラー
0xB800 0001 0000 0000 0xB800 0000 FFFF FFFF	4 Gバイト TLBマッピングなし キャッシュ使用
0xB800 0000 0000 0000 0xB7FF FFFF FFFF FFFF	アドレス・エラー
0xB000 0001 0000 0000 0xB000 0000 FFFF FFFF	4 Gバイト TLBマッピングなし キャッシュ使用
0xB000 0000 0000 0000 0xAFFF FFFF FFFF FFFF	アドレス・エラー
0xA800 0001 0000 0000 0xA800 0000 FFFF FFFF	4 Gバイト TLBマッピングなし キャッシュ使用
0xA800 0000 0000 0000 0xA7FF FFFF FFFF FFFF	アドレス・エラー
0xA000 0001 0000 0000 0xA000 0000 FFFF FFFF	4 Gバイト TLBマッピングなし キャッシュ使用
0xA000 0000 0000 0000 0x9FFF FFFF FFFF FFFF	アドレス・エラー
0x9800 0001 0000 0000 0x9800 0000 FFFF FFFF	4 Gバイト TLBマッピングなし キャッシュ使用
0x9800 0000 0000 0000 0x97FF FFFF FFFF FFFF	アドレス・エラー
0x9000 0001 0000 0000 0x9000 0000 FFFF FFFF	4 Gバイト TLBマッピングなし キャッシュ不可
0x9000 0000 0000 0000 0x8FFF FFFF FFFF FFFF	アドレス・エラー
0x8800 0001 0000 0000 0x8800 0000 FFFF FFFF	4 Gバイト TLBマッピングなし キャッシュ使用
0x8800 0000 0000 0000 0x87FF FFFF FFFF FFFF	アドレス・エラー
0x8000 0001 0000 0000 0x8000 0000 FFFF FFFF	4 Gバイト TLBマッピングなし キャッシュ使用
0x8000 0000 0000 0000	

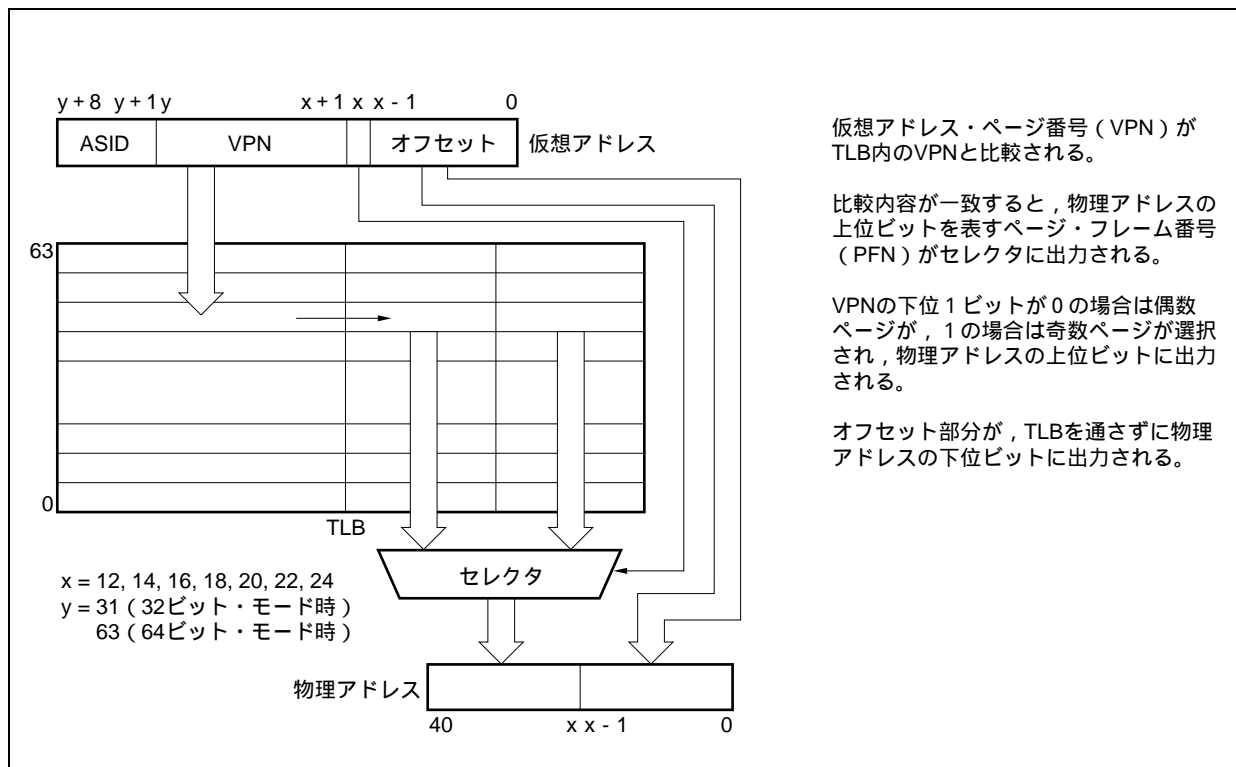
### 2.5.2 アドレス変換

仮想アドレスから物理アドレスへの変換は、内蔵のTLB ( Translation Lookaside Buffer ) によって、ページ単位に行われます。TLBはフルアソシアティブ構成で、仮想アドレス側64エントリ、物理アドレス側32エントリです。ページ・サイズは4 Kバイトから16 Mバイトの間で変えられます。

TLBエントリにヒットしなかった場合、32ビット・モードではTLB不一致例外、64ビット・モードではXTLB不一致例外が発生します。ソフトウェアでTLBの内容と入れ替えてください。

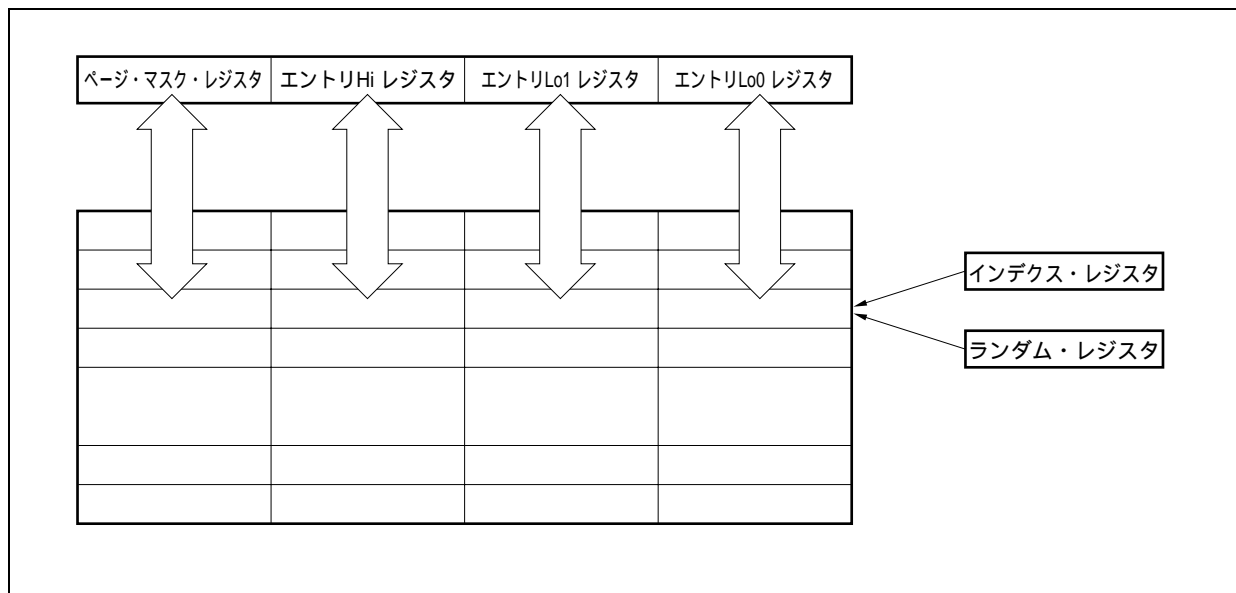
図2 - 12にアドレス変換の概略を示します。

図2 - 12 アドレス変換の概略



TLBエントリの読み出しや書き込みは、インデクス・レジスタ、ランダム・レジスタによって示されるTLBエントリと、エントリHi, エントリLo1, エントリLo0, ページ・マスク・レジスタ間のロード/ストアにより行います。図2 - 13にTLB操作の概略を示します。

図2 - 13 TLB操作の概略



## 2.6 キャッシュ

Vr10000は一次命令キャッシュと一次データ・キャッシュを内蔵し、また外部二次キャッシュを接続するための二次キャッシュ・インタフェースを持っています。

### 2.6.1 一次キャッシュ

#### (1) 一次命令キャッシュ

一次命令キャッシュの特徴を次に示します。

- ・内蔵キャッシュ・メモリ
- ・容量：32 Kバイト
- ・16ワードのキャッシュ・ライン
- ・2ウェイ・セット・アソシアティブ
- ・物理インデクス・アドレス
- ・物理タグ・チェック

#### (2) 一次データ・キャッシュ

一次データ・キャッシュの特徴を次に示します。

- ・内蔵キャッシュ・メモリ
- ・容量：32 Kバイト
- ・8ワードのキャッシュ・ライン
- ・2バンク構成
- ・2ウェイ・セット・アソシアティブ
- ・Non-Blocking方式
- ・ライトバック方式
- ・物理インデクス・アドレス
- ・物理タグ・チェック

### 2.6.2 二次キャッシュ

Vr10000は外部二次キャッシュを使用できます。二次キャッシュの特徴を次に示します。

- ・容量：512 K-16 Mバイト
- ・16/32ワードのキャッシュ・ライン
- ・2ウェイ・セット・アソシアティブ
- ・ウェイ予測テーブル
- ・ライトバック方式
- ・Non-Blocking方式
- ・物理インデクス・アドレス
- ・物理タグ・チェック

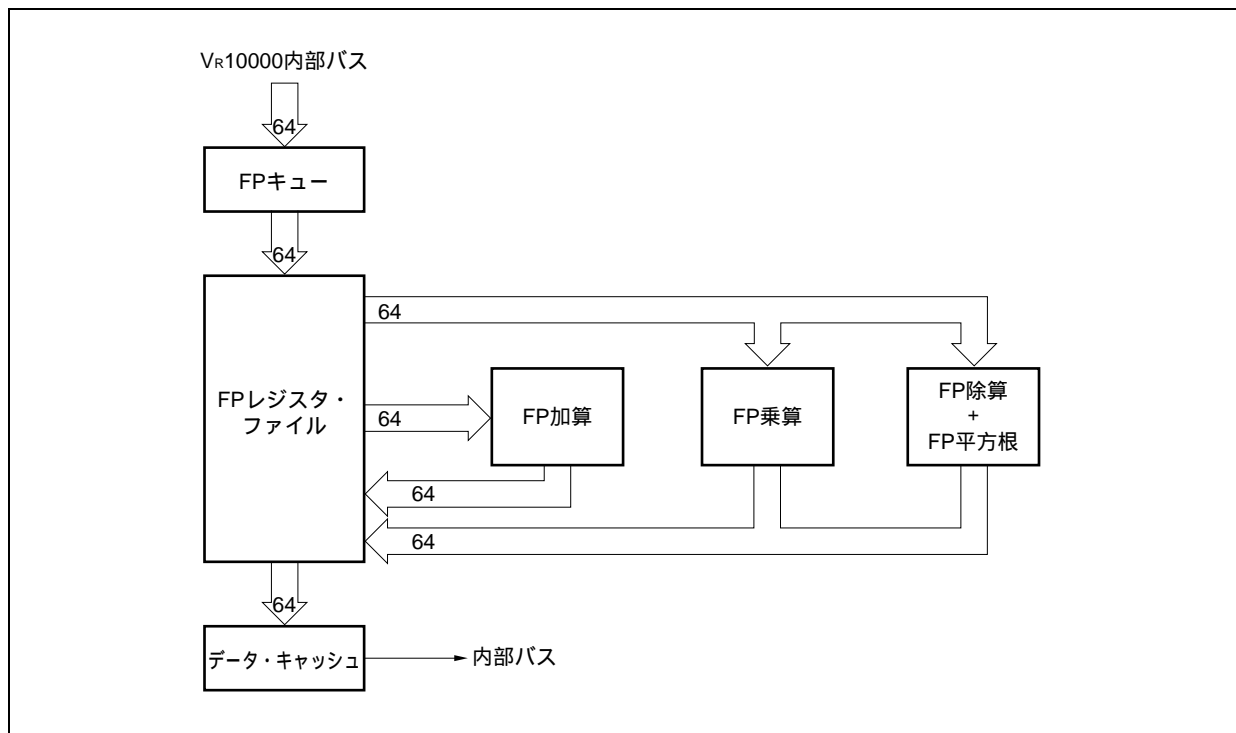
3. FPU内部アーキテクチャ

3.1 内部機能ブロック

図3 - 1にFPU部の内部ブロック図を示します。

FPU部は、MIPS ISAで定義されているすべての浮動小数点演算命令を実行できます。

図3 - 1 FPU部の内部ブロック



3.2 FPUレジスタ

(1) 浮動小数点汎用レジスタ (FGR)

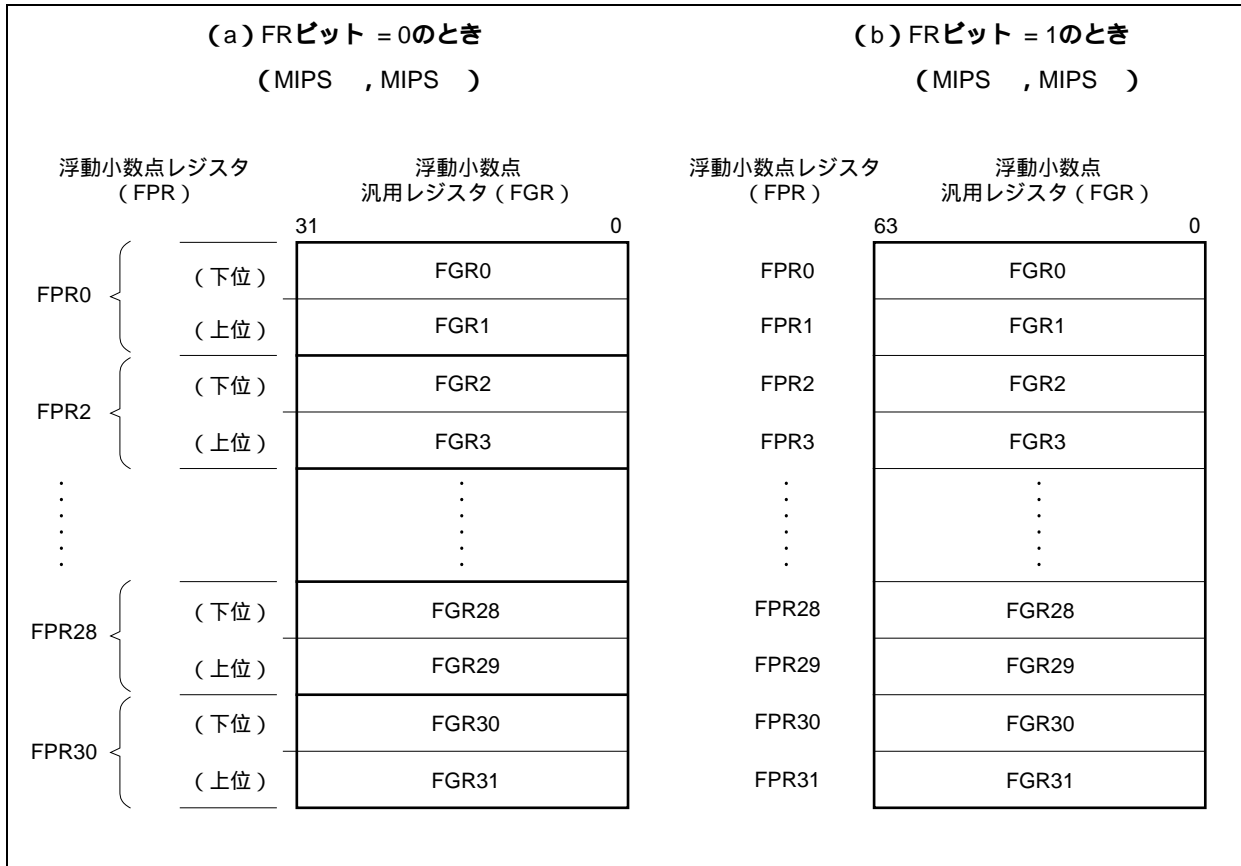
直接アクセス可能な物理的な汎用レジスタで、32個あります。ステータス・レジスタのFRビットの内容により、ビット長が異なります。

(2) 浮動小数点レジスタ (FPR)

論理的な64ビット・レジスタで、浮動小数点演算時、浮動小数点値を保持します。ステータス・レジスタのFRビットの内容により個数が異なります。



図3-2 FPUのレジスタ



3.3 データ形式

(1) 浮動小数点形式

FPUは、32ビット（単精度）と64ビット（倍精度）のIEEE754浮動小数点演算をサポートします。

(2) 固定小数点形式

固定小数点の値は2の補数の形式で演算されます。

## 4. インタフェース

### 4.1 システム・インタフェース

V<sub>R</sub>10000の入出力タイミングは次のようになります。

- ・出力はSysClkの立ち上がりで変化し始めます。
- ・入力にはSysClkの立ち上がりでラッチされます。

システム・インタフェース用のバスは次の2つです。

- ・SysAD (63:0) : アドレスおよびデータの転送用バスです。
- ・SysCmd (11:0) : コマンド・データ識別子の転送用バスです。

SysAD, SysCmdバスは双方向バスで、V<sub>R</sub>10000または外部エージェントによってドライブされ、その方向によって次の2つの状態になります。

- ・マスタ状態 : プロセッサ・リクエストの発行のため、V<sub>R</sub>10000でドライブされます。
- ・スレーブ状態 : 外部リクエストの発行のため、外部エージェントでドライブされます。

SysADバスに含まれている情報によって2つのサイクルがあります。

- ・アドレス・サイクル : SysADバスに有効なアドレスが含まれています。
- ・データ・サイクル : SysADバスに有効なデータが含まれています。

次にインタフェース制御信号について簡単に説明します。

- ・ $\overline{\text{SysReq}}$  : V<sub>R</sub>10000がシステム・インタフェースの使用権を要求する信号です。
- ・ $\overline{\text{SysGnt}}$  : 外部エージェントがV<sub>R</sub>10000にシステム・インタフェースの使用を許可する信号です。
- ・ $\overline{\text{SysRel}}$  : システム・インタフェースのマスタが使用権を解放するときにアクティブにします。
- ・ $\overline{\text{SysRdRdy}}$  : 外部エージェントが、プロセッサ・リード・リクエストとアップグレード・リクエストを受け付け可能であることを示します。
- ・ $\overline{\text{SysWrRdy}}$  : 外部エージェントが、プロセッサ・ライト・リクエストとプロセッサ・エリミネート・リクエストを受け付け可能であることを示します。
- ・ $\overline{\text{SysVal}}$  : システム・インタフェースのマスタが、SysAD, SysCmdバスに有効なデータを出力しているときにアクティブにします。
- ・SysState (2:0) : V<sub>R</sub>10000がコヒーレント状態リクエストを発行するための信号です。
- ・SysResp (4:0) : 外部エージェントが外部終了レスポンスを発行するための信号です。
- ・ $\overline{\text{SysGblPerf}}$  : プロセッサ・リクエストがすべて完了したことを、外部エージェントが示す信号です。

#### 4.1.1 システム・インタフェースの動作周波数設定

V<sub>R</sub>10000では、システム・インタフェースの動作周波数を選択できます。

外部から入力されるクロック (SysClk) を元に、パイプライン動作のためのクロック (PClk) を生成します。このときの倍率は、BTMCインタフェースでリセット時に設定します。詳細は表4-1 **ブート・タイム・モード時のモード設定**のSysAD (9:12) を参照してください。

## 4.2 二次キャッシュ・インタフェース

V<sub>R</sub>10000は、二次キャッシュ制御回路を内蔵しており、外部に二次キャッシュを接続できます。またV<sub>R</sub>10000では、二次キャッシュ・インタフェースの動作周波数を選択できます。

V<sub>R</sub>10000の動作クロック（PClk）を元に、二次キャッシュ動作のためのSCClkを生成します。このときの倍率は、BTMCインタフェースでリセット時に設定します。詳細は表4-1 **ブート・タイム・モード時のモード設定**のSysAD（19：21）を参照してください。

## 4.3 クロック・インタフェース

### 4.3.1 システム・インタフェース・クロックとプロセッサ・クロック

V<sub>R</sub>10000は、PLLを使用してV<sub>R</sub>10000への入力クロック（SysClk,  $\overline{\text{SysClk}}$ ）から内部動作クロックであるプロセッサ・クロック（PClk）を生成します。また、動作中も次の式に従うよう、常にSysClk信号と $\overline{\text{SysClk}}$ 信号をサンプリングします。

$$\text{PClk} = \text{SysClk} \times (\text{SysClkDiv} + 1) / 2$$

例 SysClk = 50 MHz, SysClkDiv = 7の場合

$$\text{PClk} = 50 \times 8 / 2 = 200 \text{ MHz}$$

### 4.3.2 二次キャッシュ・クロック

V<sub>R</sub>10000は、二次キャッシュ用のクロック（SCClk（5：0）,  $\overline{\text{SCClk}}（5：0）$ ）を外部二次キャッシュに供給します。SCClk（5：0）はSysClkによって生成されます。

SCClk（5：0）とSysClkの関係は次の式で表せます。

$$\text{SCClk} = \text{SysClk} \times (\text{SysClkDiv} + 1) / (\text{SCClkDiv} + 1)$$

例 SysClk = 50 MHz, SysClkDiv = 7, SCClkDiv = 2の場合

$$\text{SCClk} = 50 \times 8 / 3 = 133 \text{ MHz}$$

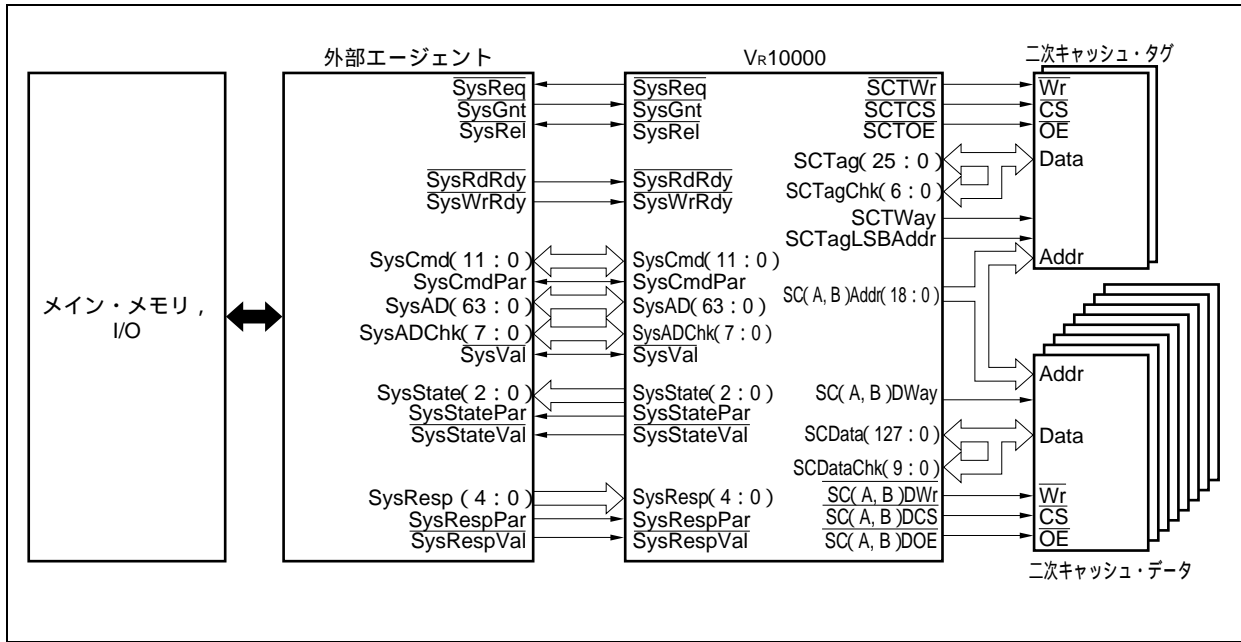
## 4.4 システム構成例

V<sub>R</sub>10000はクラスタ・バスを採用しているため、マルチプロセッサ・システムにも対応できます。次にユニプロセッサ・システム、マルチプロセッサ・システムそれぞれの構成例を示します。

### 4.4.1 ユニプロセッサ・システム

V<sub>R</sub>10000を1つだけ使ったシステムです。構成例を図4-1に示します。

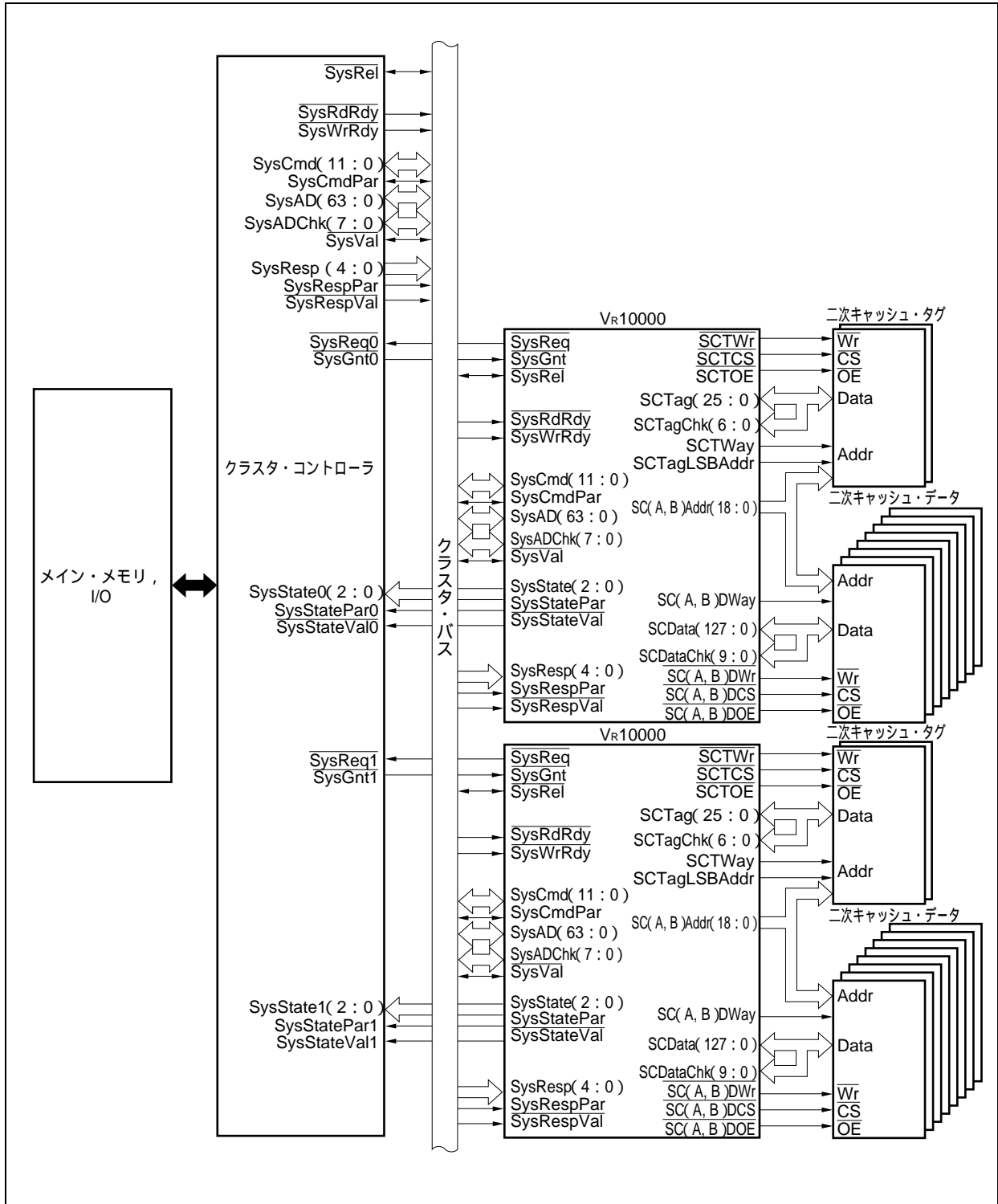
図4 - 1 ユニプロセッサ・システム構成例



4.4.2 マルチプロセッサ・システム

クラスタ・バスに，Vr10000を最大4個まで直接接続できます。また，Vr10000がリクエストを発行したあと，レスポンスの待機中にほかの処理を最大4つまで受け付けられます。構成例を図4 - 2に示します。

図4 - 2 マルチプロセッサ・システム構成例



4.5 BTMCインタフェース

V<sub>R</sub>10000の動作は、モード・ビットで設定します。モード・ビットの内容は、パワーオン・リセットかコールド・リセット・シーケンスでSysGntがアクティブの間にSysAD (63 : 0) を通じてプロセッサに格納されます。なお、SysAD (24 : 0) を通じて設定されるモード・ビットの内容は、コンフィグ・レジスタのビット24-ビット0に格納されます。

ブート・タイム・モード時のモード設定 (SysADバスのビットとの対応) を表4 - 1に示します。

表4 - 1 ブート・タイム・モード時のモード設定 (1/3)

SysAD	モード設定	
	V <sub>R</sub> 10000	V <sub>R</sub> 12000
0 : 2	Kseg0CA : Kseg0キャッシュ状態 0, 1 : RFU 2 : キャッシュ不可 3 : キャッシュ可, 非コヒーレント 4 : キャッシュ可, コヒーレントexclusive 5 : キャッシュ可, コヒーレントexclusive on write 6 : RFU 7 : キャッシュ不可, アクセラレート	
3, 4	DevNum : プロセッサ番号	
5	CohPrcReqTar : プロセッサ・コヒーレント・リクエストの発行先 0 : 外部エージェント 1 : すべて	
6	PrcElmReq : プロセッサ・エリミネート・リクエストの許可 0 : 禁止 1 : 許可	
7, 8	PrcReqMax : システム・バス上に保留にできるプロセッサ・リクエストの数 0 : 1つ 1 : 2つ 2 : 3つ 3 : 4つ	
9 : 12	SysClkDiv : SysClkに対するPClkの倍率 0 : RFU 1 : 1倍 2 : 1.5倍 3 : 2倍 4 : 2.5倍 5 : 3倍 6 : 3.5倍 7 : 4倍 8-F : RFU	SysClkDiv : SysClkに対するPClkの倍率 0 : RFU 1 : RFU 2 : RFU 3 : 2倍 4 : 2.5倍 5 : 3倍 6 : 3.5倍 7 : 4倍 8 : 4.5倍 9 : 5倍 A : 5.5倍 B : 6倍 C : 7倍 D : 8倍 E : 9倍 F : 10倍

表4-1 ブート・タイム・モード時のモード設定 (2/3)

SysAD	モード設定	
	VR10000	VR12000
13	SCBlkSize : 二次キャッシュのライン・サイズ 0 : 16ワード 1 : 32ワード	
14	SCCorEn : 二次キャッシュ・データのECCエラー修正方法 0 : 再アクセス 1 : 常にアクセス	
15	MemEnd : エンディアン 0 : リトル・エンディアン 1 : ビッグ・エンディアン	
16 : 18	SCSize : 二次キャッシュ・サイズ 0 : 512 K 1 : 1 Mバイト 2 : 2 Mバイト 3 : 4 Mバイト 4 : 8 Mバイト 5 : 16 Mバイト 6, 7 : RFU	
19 : 21	SCClkDiv : SCClkに対するPClkの倍率 0 : RFU 1 : 1倍 2 : 1.5倍 3 : 2倍 4 : 2.5倍 5 : 3倍 6, 7 : RFU	SCClkDiv : SCClkに対するPClkの倍率 0 : RFU 1 : 1倍 2 : 1.5倍 3 : 2倍 4 : 2.5倍 5 : 3倍 6 : RFU 7 : 4倍
22 : 24	RFU	DSD <sup>注1</sup> : DSD ( Delay Speculative Dirty ) モード 0-3 : RFU 4 : DSD 5-7 : RFU
25 : 28	SCClkTap : 内部二次キャッシュ : クロックとSysClk ( 5 : 0 ) , $\overline{\text{SysClk}}$ ( 5 : 0 ) の位相比較 0 : 同じ位相 1 : SCClkが1/12PClkサイクル先行 2 : SCClkが2/12PClkサイクル先行 3 : SCClkが3/12PClkサイクル先行 4 : SCClkが4/12PClkサイクル先行 5 : SCClkが5/12PClkサイクル先行 6, 7 : 不定 8 : SCClkが6/12PClkサイクル先行 9 : SCClkが7/12PClkサイクル先行 A : SCClkが8/12PClkサイクル先行 B : SCClkが9/12PClkサイクル先行 C : SCClkが10/12PClkサイクル先行 D : SCClkが11/12PClkサイクル先行 E, F : 不定	

表4-1 ブート・タイム・モード時のモード設定 (3/3)

SysAD	モード設定	
	VR10000	VR12000
29	RFU	
30	ODrainSys : システム・インタフェース信号 <sup>注2</sup> の処置	
31 : 63	RFU	

注1. 4.6 DSD (Delay Speculative Dirty) モード参照。

2. SysReq, SysRel, SysCmd (11 : 0), SysCmdPar, SysAD (63 : 0), SysADChk (7 : 0), SysVal, SysState (2 : 0), SysStatePar, SysStateVal, SysCorErr, SysUncErr

#### 4.6 DSD (Delay Speculative Dirty) モード (VR12000のみ)

DSD (Delay Speculative Dirty) モードは投機的なストアによるダーティ・ビットのセットを防ぎます。

ブート・モードのビット24はコンフィグ・レジスタのビット24に一致しており、カーネル・モード、スーパーバイザ・モード中のDSDモードを設定します。ただし、DSDモードはステータス・レジスタのビット24を設定することにより、ユーザ・モード時にも実行できます。コンフィグ・レジスタのビット24はリード・オンリーでブート・タイム中のみ設定できます。

DSDモードがセットされると、VR12000の二次キャッシュ・ブロックのダーティ・ビットは、ストア命令がアクティブ・リスト内で一番古い命令となって実行可能状態になるまでセットされません(割り込みによってダーティ・ビットがセットされることがあります(ストア命令は投機的な状態ではなくなります)が、ストア命令はすぐには終了しません)。

##### 4.6.1 DSDモード遅延

DSDモードはダーティ・ビットの設定を遅らせる代わりに、処理速度をわずかに遅くさせます。この遅延は、ダーティ・ビットを設定する必要がある場合、メイン・メモリからのブロック・リフィルのたびに発生します。ダーティ・ビットの設定には10サイクルを必要としますが、プロセッサは通常、ほかの命令を実行したまま重複して実行します。

いったん二次キャッシュでブロックがダーティになると、このモードが性能に影響を与えることはありません。

##### 4.6.2 DSDモード中の二次キャッシュ状態

DSDモード中の二次キャッシュは、ストア命令がパイプライン中の一番古い命令でなくなると、ミス・ヒットによりClean Exclusive状態になります。

Shared状態のラインのヒットにより、ただちにClean Exclusive状態にアップグレードされるため、バス操作は投機的な状態でスタートします(処理速度は相対的に遅くなります)。

##### 4.6.3 その他の特徴

DSDモードとは関係なく、VR12000は非コヒーレント・キャッシュのロードをこの命令が一番古い命令になるまで遅延します。これは、マッピングされていないxkphys領域のアドレスを非コヒーレント・キャッシュとしてアクセスする投機的なロードが、適切なコヒーレンシ・チェックなしに二次キャッシュへデータを送ることがあるためです。



## 5. 内部/外部制御機能

### 5.1 リセット機能

リセットは、次の3種類があります。

- ・パワーオン・リセット
- ・コールド・リセット
- ・ソフト・リセット

コールド・リセット、ソフト・リセットは電源オン状態でのリセットです。

リセットにより内部状態は初期化されますが、ソフト・リセットでは内部クロックと二次キャッシュ・クロックは影響を受けません。

#### 5.1.1 パワーオン・リセット、コールド・リセット

$\overline{\text{SysGnt}}$ 信号と $\overline{\text{SysRespVal}}$ 信号をインアクティブ、 $\overline{\text{SysReset}}$ 信号をアクティブにすると、実行されます。リセット中にモード・ビットから64ビットのデータを受信し、プロセッサ内部の初期状態を設定します（設定内容については、4.5 BTMCインタフェースを参照してください）。

#### 5.1.2 ソフト・リセット

$\overline{\text{SysGnt}}$ 信号と $\overline{\text{SysRespVal}}$ 信号をインアクティブ、 $\overline{\text{SysReset}}$ 信号をアクティブにすると実行されます。このリセットでは外部インタフェースの状態はすべて初期化されますが、内部クロックと二次キャッシュ・クロックは動作を続けます。また、一次、二次キャッシュと同様、CP0, FPUレジスタの内容も保持されます。

## 5.2 割り込み機能

割り込み要求には、大きく分けて次の2つがあります。

- ・マスカブル割り込み要求
- ・ノンマスカブル割り込み（NMI）要求

### (1) マスカブル割り込み要求

マスク制御を受ける割り込みです。マスク処理はステータス・レジスタで行います（各割り込みごとの処理、または一括処理を設定できます）。

各割り込み間の優先順位はありません。

#### (a) ハードウェア割り込み要求（5要因）

外部割り込みリクエストを発行すると受け付けられます。

#### (b) ソフトウェア割り込み要求（2要因）

原因レジスタのIP0, IP1ビットをセットすると受け付けられます。

#### (c) タイマ割り込み要求（1要因）

カウント・レジスタの値が比較レジスタの値と等しくなるか、2つのパフォーマンス・カウンタのうち1つが、オーバーフローすると、原因レジスタのIP7ビットがセットされて受け付けられます。

## (2) NMI要求 (1要因)

マスク制御を受け付けない割り込み要求です。SysNMI信号をアクティブにすることで受け付けられます。

### 5.3 JTAG機能

JTAGバウンダリ・スキャン機能は、V<sub>R</sub>10000とその他のコンポーネント間の相互接続のテストを行うためのメカニズムです。プロセッサ自体をテストする機能ではありません。

JTAGの最小限の機能として、V<sub>R</sub>10000には次のものが組み込まれています。ただし機能的には、JTAGバウンダリ・スキャン・レジスタの外部テスト機能しか持っていません。

TAPコントローラ

JTAG命令レジスタ

JTAGバイパス・レジスタ

JTAGバウンダリ・スキャン・レジスタ

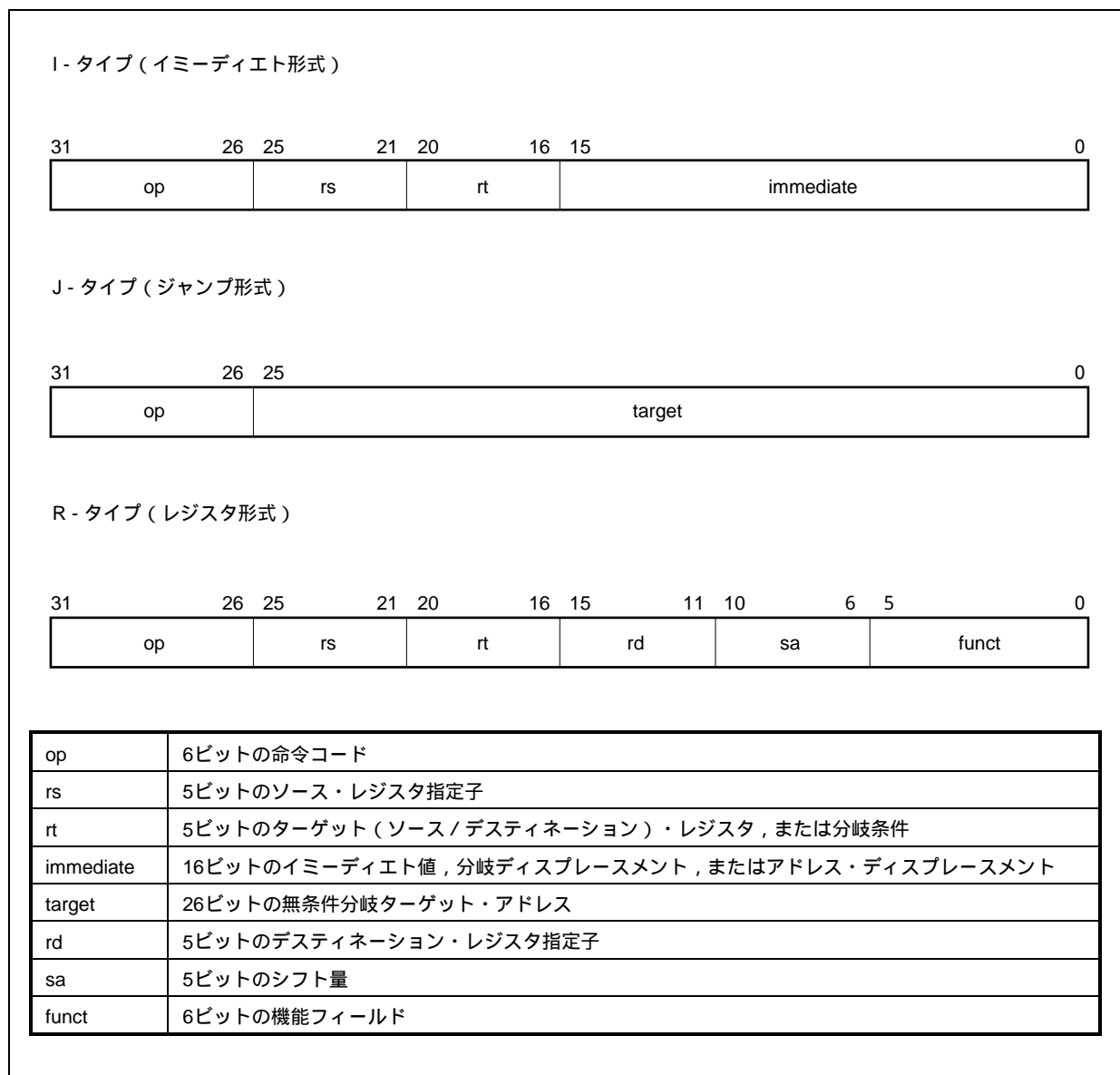
## 6. 命令セット

VR10000の命令は、ワード境界に位置する1ワード（32ビット）で構成されます。命令形式は図6 - 1に示す3つがあります。命令形式を3つに単純化することで、命令のデコードを簡略化しています。複雑で使用頻度の低いオペレーションとアドレッシング・モードは、コンパイラで実現します。

### 6.1 命令形式

VR10000の命令形式を次に示します。

図6 - 1 CPU命令形式



### 6.2 CPU命令セット一覧

VR10000のCPU命令は、すべてのVRシリーズ・プロセッサに共通の命令セット (ISA : Instruction Set Architecture) , VR4000シリーズとVR10000シリーズで実行される命令セット (拡張ISA) およびシステム制御コプロセッサ命令セットの3種類に分類されます。表6 - 1から表6 - 4に各命令セットの一覧を示します。

表6 - 1 CPU命令セット : MIPS (1/2)

命 令		説 明				形 式	
ロード/ストア命令		op	base	rt	offset		
LB	Load Byte				LB	rt, offset ( base )	
LBU	Load Byte Unsigned				LBU	rt, offset ( base )	
LH	Load Halfword				LH	rt, offset ( base )	
LHU	Load Halfword Unsigned				LHU	rt, offset ( base )	
LW	Load Word				LW	rt, offset ( base )	
LWL	Load Word Left				LWL	rt, offset ( base )	
LWR	Load Word Right				LWR	rt, offset ( base )	
SB	Store Byte				SB	rt, offset ( base )	
SH	Store Halfword				SH	rt, offset ( base )	
SW	Store Word				SW	rt, offset ( base )	
SWL	Store Word Left				SWL	rt, offset ( base )	
SWR	Store Word Right				SWR	rt, offset ( base )	
ALUイミディエイト命令		op	rs	rt	offset		
ADDI	Add Immediate				ADDI	rt, rs, immediate	
ADDIU	Add Immediate Unsigned				ADDIU	rt, rs, immediate	
SLTI	Set On Less Than Immediate				SLTI	rt, rs, immediate	
SLTIU	Set On Less Than Immediate Unsigned				SLTIU	rt, rs, immediate	
ANDI	And Immediate				ANDI	rt, rs, immediate	
ORI	Or Immediate				ORI	rt, rs, immediate	
XORI	Exclusive Or Immediate				XORI	rt, rs, immediate	
LUI	Load Upper Immediate				LUI	rt, immediate	
3オペランド・タイプ命令		op	rs	rt	rd	sa	funct
ADD	Add				ADD	rd, rs, rt	
ADDU	Add Unsigned				ADDU	rd, rs, rt	
SUB	Subtract				SUB	rd, rs, rt	
SUBU	Subtract Unsigned				SUBU	rd, rs, rt	
SLT	Set On Less Than				SLT	rd, rs, rt	
SLTU	Set On Less Than Unsigned				SLTU	rd, rs, rt	
AND	And				AND	rd, rs, rt	
OR	Or				OR	rd, rs, rt	
XOR	Exclusive Or				XOR	rd, rs, rt	
NOR	Nor				NOR	rd, rs, rt	
シフト命令		op	rs	rt	rd	sa	funct
SLL	Shift Left Logical				SLL	rd, rt, sa	
SRL	Shift Right Logical				SRL	rd, rt, sa	
SRA	Shift Right Arithmetic				SRA	rd, rt, sa	
SLLV	Shift Left Logical Variable				SLLV	rd, rt, rs	
SRLV	Shift Right Logical Variable				SRLV	rd, rt, rs	
SRAV	Shift Right Arithmetic Variable				SRAV	rd, rt, rs	

表6 - 1 CPU命令セット : MIPS (2/2)

命 令	説 明	形 式
乗除算命令	op    rs    rt    rd    sa    funct	
MULT	Multiply	MULT    rs, rt
MULTU	Multiply Unsigned	MULTU    rs, rt
DIV	Divide	DIV    rs, rt
DIVU	Divide Unsigned	DIVU    rs, rt
MFHI	Move From HI	MFHI    rd
MFLO	Move From LO	MFLO    rd
MTHI	Move To HI	MTHI    rs
MTLO	Move To LO	MTLO    rs
ジャンプ命令 (1)	op    target	
J	Jump	J    target
JAL	Jump And Link	JAL    target
ジャンプ命令 (2)	op    rs    rt    rd    sa    funct	
JR	Jump Register	JR    rs
JALR	Jump And Link Register	JALR    rs JALR    rs, rd
ブランチ命令 (1)	op    rs    rt    offset	
BEQ	Branch On Equal	BEQ    rs, rt, offset
BNE	Branch On Not Equal	BNE    rs, rt, offset
BLEZ	Branch On Less Than Or Equal To Zero	BLEZ    rs, offset
BGTZ	Branch On Greater Than Zero	BGTZ    rs, offset
ブランチ命令 (2)	REGIMM    rs    sub    offset	
BLTZ	Branch On Less Than Zero	BLTZ    rs, offset
BGEZ	Branch On Greater Than Or Equal to Zero	BGEZ    rs, offset
BLTZAL	Branch On Less Than Zero And Link	BLTZAL    rs, offset
BGEZAL	Branch On Greater Than Or Equal To Zero And Link	BGEZAL    rs, offset
特殊命令	SPECIAL    rs    rt    rd    sa    funct	
SYSCALL	System Call	SYSCALL
BREAK	Breakpoint	BREAK
コプロセッサ命令 (1)	op    base    rt    offset	
LWCz	Load Word To Coprocessor z	LWCz    rt, offset ( base )
SWCz	Store Word From Coprocessor z	SWCz    rt, offset ( base )
コプロセッサ命令 (2)	COPz    C0    cofun	
COPz	Coprocessor z Operation	COPz    cofun

表6 - 2 CPU命令セット : MIPS

命 令	説 明	形 式
ロード / ストア命令	op    base    rt	offset
LL	Load Linked	LL    rt, offset ( base )
SC	Store Conditional	SC    rt, offset ( base )
ブランチ命令 ( 1 )	op    rs    rt	offset
BEQL	Branch On Equal Likely	BEQL    rs, rt, offset
BNEL	Branch On Not Equal Likely	BNEL    rs, rt, offset
BLEZL	Branch On Less Than Or Equal To Zero Likely	BLEZL    rs, offset
BGTZL	Branch On Greater Than Zero Likely	BGTZL    rs, offset
ブランチ命令 ( 2 )	REGIMM    rs    sub	offset
BLTZL	Branch On Less Than Zero Likely	BLTZL    rs, offset
BGEZL	Branch On Greater Than Or Equal To Zero Likely	BGEZL    rs, offset
BLTZALL	Branch On Less Than Zero And Link Likely	BLTZALL    rs, offset
BGEZALL	Branch On Greater Than Or Equal To Zero And Link Likely	BGEZALL    rs, offset
例外命令	SPECIAL    rs    rt    rd	sa    funct
TGE	Trap If Greater Than Or Equal	TGE    rs, rt
TGEU	Trap If Greater Than Or Equal Unsigned	TGEU    rs, rt
TLT	Trap If Less Than	TLT    rs, rt
TLTU	Trap If Less Than Unsigned	TLTU    rs, rt
TEQ	Trap If Equal	TEQ    rs, rt
TNE	Trap If Not Equal	TNE    rs, rt
例外イミディエイト命令	REGIMM    rs    sub	immediate
TGEI	Trap If Greater Than Or Equal Immediate	TGEI    rs, immediate
TGEIU	Trap If Greater Than Or Equal Immediate Unsigned	TGEIU    rs, immediate
TLTI	Trap If Less Than Immediate	TLTI    rs, immediate
TLTIU	Trap If Less Than Immediate Unsigned	TLTIU    rs, immediate
TEQI	Trap If Equal Immediate	TEQI    rs, immediate
TNEI	Trap If Not Equal Immediate	TNEI    rs, immediate
特殊命令	SPECIAL    rs    rt    rd	sa    funct
SYNC	Synchronize	SYNC
コプロセッサ命令	op    base    rt	offset
LDCz	Load Doubleword To Coprocessor z	LDCz    rt, offset ( base )
SDCz	Store Doubleword From Coprocessor z	SDCz    rt, offset ( base )

表6 - 3 CPU命令セット : MIPS

命 令	説 明	形 式
ロード/ストア命令		
	op    base    rt	offset
LD	Load Doubleword	LD    rt, offset ( base )
LDL	Load Doubleword Left	LDL    rt, offset ( base )
LDR	Load Doubleword Right	LDR    rt, offset ( base )
LLD	Load Linked Doubleword	LLD    rt, offset ( base )
LWU	Load Word Unsigned	LWU    rt, offset ( base )
SCD	Store Conditional Doubleword	SCD    rt, offset ( base )
SD	Store Doubleword	SD    rt, offset ( base )
SDL	Store Doubleword Left	SDL    rt, offset ( base )
SDR	Store Doubleword Right	SDR    rt, offset ( base )
ALUイミディエイト命令		
	op    rs    rt	immediate
DADDI	Doubleword Add Immediate	DADDI    rt, rs, immediate
DADDIU	Doubleword Add Immediate Unsigned	DADDIU    rt, rs, immediate
3オペランド・タイプ命令		
	op    rs    rt    rd	sa    funct
DADD	Doubleword Add	DADD    rd, rs, rt
DADDU	Doubleword Add Unsigned	DADDU    rd, rs, rt
DSUB	Doubleword Subtract	DSUB    rd, rs, rt
DSUBU	Doubleword Subtract Unsigned	DSUBU    rd, rs, rt
シフト命令		
	op    rs    rt    rd	sa    funct
DSLL	Doubleword Shift Left Logical	DSLL    rd, rt, sa
DSRL	Doubleword Shift Right Logical	DSRL    rd, rt, sa
DSRA	Doubleword Shift Right Arithmetic	DSRA    rd, rt, sa
DSLLV	Doubleword Shift Left Logical Variable	DSLLV    rd, rt, rs
DSRLV	Doubleword Shift Right Logical Variable	DSRLV    rd, rt, rs
DSRAV	Doubleword Shift Right Arithmetic Variable	DSRAV    rd, rt, rs
DSLL32	Doubleword Shift Left Logical + 32	DSLL32    rd, rt, sa
DSRL32	Doubleword Shift Right Logical + 32	DSRL32    rd, rt, sa
DSRA32	Doubleword Shift Right Arithmetic + 32	DSRA32    rd, rt, sa
乗除算命令		
	op    rs    rt    rd	sa    funct
DMULT	Doubleword Multiply	DMULT    rs, rt
DMULTU	Doubleword Multiply Unsigned	DMULTU    rs, rt
DDIV	Doubleword Divide	DDIV    rs, rt
DDIVU	Doubleword Divide Unsigned	DDIVU    rs, rt

表6 - 4 CPU命令セット : MIPS

命 令	説 明	形 式
3オペランド・タイプ命令	op    rs    rt    rd	sa    funct
MOVN	Move Conditional On Not Zero	MOVN    rd, rs, rt
MOVZ	Move Conditional On Zero	MOVZ    rd, rs, rt
プリフェッチ命令	op    base    hint	offset
PREF	Prefetch	PREF    hint, offset ( base )

6.3 FPU命令セット一覧

すべてのFPU命令は32ビット長で、ワード境界に位置合わせされています。

表6 - 5から表6 - 8に、FPU命令セットの一覧を示します。

表6 - 5 FPU命令セット : MIPS

命 令	説 明	形 式
ロード/ストア命令	op    base    ft	offset
LWC1	Load Word To FPU	LWC1    ft, offset ( base )
SWC1	Store Word From FPU	SWC1    ft, offset ( base )
転送命令	COP1    sub    rt    fs	0
MTC1	Move Word To FPU	MTC1    rt, fs
MFC1	Move Word From FPU	MFC1    rt, fs
CTC1	Move Control Word To FPU	CTC1    rt, fs
CFC1	Move Control Word From FPU	CFC1    rt, fs
変換命令	COP1    fmt    0    fs	fd    funct
CVT. S. fmt	Floating-point Convert To Single Floating-point Format	CVT. S. fmt    fd, fs
CVT. D. fmt	Floating-point Convert To Double Floating-point Format	CVT. D. fmt    fd, fs
CVT. W. fmt	Floating-point Convert To Single Fixed-point Format	CVT. W. fmt    fd, fs
演算命令	COP1    fmt    ft    fs	fd    funct
ADD. fmt	Floating-point Add	ADD. fmt    fd, fs, ft
SUB. fmt	Floating-point Subtract	SUB. fmt    fd, fs, ft
MUL. fmt	Floating-point Multiply	MUL. fmt    fd, fs, ft
DIV. fmt	Floating-point Divide	DIV. fmt    fd, fs, ft
ABS. fmt	Floating-point Absolute Value	ABS. fmt    fd, fs
MOV. fmt	Floating-point Move	MOV. fmt    fd, fs
NEG. fmt	Floating-point Negate	NEG. fmt    fd, fs
比較命令	COP1    fmt    ft    fs	cc    0    funct
C.cond. fmt	Floating-point Compare	C.cond. fmt    cc, fs, ft
FPUブランチ命令	COP1    BC    cc    0	offset
BC1T	Branch On FPU True	BC1T    cc, offset
BC1F	Branch On FPU False	BC1F    cc, offset



表6 - 6 FPU命令セット : MIPS

命 令	説 明	形 式
ロード / ストア命令	op    base    ft    offset	
LDC1	Load Doubleword To FPU	LDC1    ft, offset ( base )
SDC1	Store Doubleword From FPU	SDC1    ft, offset ( base )
変換命令	COP1    fmt    0    fs    fd    funct	
ROUND. W. fmt	Floating-point Round To Single Fixed-point Format	ROUND. W. fmt    fd, fs
TRUNC. W. fmt	Floating-point Truncate To Single Fixed-point Format	TRUNC. W. fmt    fd, fs
CEIL. W. fmt	Floating-point Ceiling To Single Fixed-point Format	CEIL. W. fmt    fd, fs
FLOOR. W. fmt	Floating-point Floor To Single Fixed-point Format	FLOOR. W. fmt    fd, fs
演算命令	COP1    fmt    ft    fs    fd    funct	
SQRT. fmt	Floating-point Square Root	SQRT. fmt    fd, fs
FPUブランチ命令	COP1    BC    cc    0    offset	
BC1TL	Branch On FPU True Likely	BC1TL    cc, offset
BC1FL	Branch On FPU False Likely	BC1FL    cc, offset

表6 - 7 FPU命令セット : MIPS

命 令	説 明	形 式
転送命令	COP1    sub    rt    fs    0	
DMTC1	Doubleword Move To FPU	DMTC1    rt, fs
DMFC1	Doubleword Move From FPU	DMFC1    rt, fs
変換命令	COP1    fmt    0    fs    fd    funct	
CVT. S. fmt	Floating-point Convert To Single Floating-point Format	CVT. S. fmt    fd, fs
CVT. D. fmt	Floating-point Convert To Double Floating-point Format	CVT. D. fmt    fd, fs
CVT. L. fmt	Floating-point Convert To Long Fixed-point Format	CVT. L. fmt    fd, fs
ROUND. L. fmt	Floating-point Round To Long Fixed-point Format	ROUND. L. fmt    fd, fs
TRUNC. L. fmt	Floating-point Truncate To Long Fixed-point Format	TRUNC. L. fmt    fd, fs
CEIL. L. fmt	Floating-point Ceiling To Long Fixed-point Format	CEIL. L. fmt    fd, fs
FLOOR. L. fmt	Floating-point Floor To Long Fixed-point Format	FLOOR. L. fmt    fd, fs

表6 - 8 FPU命令セット : MIPS

命 令	説 明	形 式
ロード・インデクス命令	op base index 0	fd funct
LWXC1	Load Word Indexed To Floating-point	LWXC1 fd, index ( base )
LDXC1	Load Doubleword Indexed To Floating-point	LDXC1 fd, index ( base )
ストア・インデクス命令	op base index fs 0	funct
SWXC1	Store Word Indexed From Floating-point	SWXC1 fs, index ( base )
SDXC1	Store Doubleword Indexed From Floating-point	SDXC1 fs, index ( base )
変換命令	COP1 fmt 0 fs	fd funct
RECIP. fmt	Reciprocal Approximation	RECIP. fmt fd, fs
RSQRT. fmt	Reciprocal Square Root Approximation	RSQRT. fmt fd, fs
演算命令 ( 1 )	COP1 fmt ft fs	fd funct
MSUB. fmt	Floating-point Multiply Subtract	MSUB. fmt fd, fr, fs, ft
NMSUB. fmt	Floating-point Negative Multiply Subtract	NMSUB. fmt fd, fr, fs, ft
MADD. fmt	Floating-point Multiply Add	MADD. fmt fd, fr, fs, ft
NMADD. fmt	Floating-point Negative Multiply Add	NMADD. fmt fd, fr, fs, ft
MOVN. fmt	Floating-point Move Conditional On Not Zero	MOVN. fmt fd, fs, ft
MOVZ. fmt	Floating-point Move Conditional On Zero	MOVZ. fmt fd, fs, ft
演算命令 ( 2 )	COP1 fmt cc 0 fs	fd funct
MOVF. fmt	Floating-point Move Conditional On FPU False	MOVF. fmt fd, fs, cc
MOVT. fmt	Floating-point Move Conditional On FPU True	MOVT. fmt fd, fs, cc
比較命令	COP1 fmt ft fs cc 0	funct
C. cond. fmt	Floating-point Compare	C. cond. fmt cc, fs, ft
FPUブランチ命令	COP1 BC cc 0	offset
BC1T	Branch On FPU True	BC1T cc, offset
BC1F	Branch On FPU False	BC1F cc, offset
BC1TL	Branch On FPU True Likely	BC1TL cc, offset
BC1FL	Branch On FPU False Likely	BC1FL cc, offset
条件付き転送命令	op rs cc tf rd	funct
MOVF	Move Conditional On FPU False	MOVF rd, rs, cc
MOVT	Move Conditional On FPU True	MOVT rd, rs, cc
プリフェッチ命令	op base index hint 0	funct
PREFX	Prefetch Indexed	PREFX hint, index ( base )

6.4 命令の遅延

(1) 整数演算命令の遅延

表6 - 9に整数演算命令の実行遅延を示します。

各命令についての詳細は、Vr5000, Vr10000 INSTRUCTION USER'S MANUALを参照してください。

表6 - 9 整数演算命令遅延時間

命令タイプ	実行ユニット	PClk	リピート・レート	備 考
ADD, SET, SUB, Logical	ALU1, ALU2	1	1	
MFHI, MTHI, MFLO, MTLO		1	1	
Shift, LUI	ALU1	1	1	
Conditional Branch		1	1	
Conditional Move		1	1	
MULT	ALU2	5/6	6	LO/HIについての遅延
MULTU		6/7	7	LO/HIについての遅延
DMULT		9/10	10	LO/HIについての遅延
DMULTU		10/11	11	LO/HIについての遅延
DIV, DIVU		34/35	35	LO/HIについての遅延
DDIV, DDIVU		66/67	67	LO/HIについての遅延
Load ( 対CP1命令を除く )	ロード/ストア	2	1	キャッシュ・ヒットの場合
Store		-	1	キャッシュ・ヒットの場合

(2) 浮動小数点演算命令の遅延

表6 - 10に浮動小数点演算命令の実行遅延を示します。

各命令についての詳細は、Vr5000, Vr10000 INSTRUCTION USER'S MANUALを参照してください。

表6 - 10 浮動小数点演算命令遅延時間

命令タイプ	実行ユニット	PClk	リピート・レート	備 考
MTC1, DMTC1	ALU1	3	1	
ADD, SUB, ABS, NEG, ROUND, TRUNC, CEIL, FLOOR, C.cond	Fp加算器	2	1	
CVT.S.W, CVT.S.L		4	2	リピート・レートは平均値
CVT ( 上記以外 )		2	1	
MUL	Fp乗算器	2	1	
MFC1, DMFC1		2	1	
Conditional MOVE/CVT.S.L		2	1	
DIV.S, RECIP.S		12	14	
DIV.D, RECIP.D		19	21	
SQRT.S		18	20	
SQRT.D		33	35	
RSQRT.S		30	20	
RSQRT.D		52	35	
MADD	Fp加算器 + Fp乗算器	2/4	1	ほかのMADD命令が演算結果を使用する場合は " 2 "
LWC1, LDC1, LWXC1, LDXC1	ロード/ストア	3	1	キャッシュ・ヒットの場合

7. 電気的特性

(1) μ PD30700RS-180, 30700RS-200

**絶対最大定格 (TA = 25 )**

項 目	略 号	条 件	定 格	単 位
電源電圧	V <sub>DD</sub>		- 0.5 ~ + 3.8	V
入力電圧	V <sub>I</sub>		- 0.5 ~ V <sub>DD</sub> + 0.3	V
		10 ns未満のパルス	- 1.5 ~ V <sub>DD</sub> + 0.3	V
保存温度	T <sub>stg</sub>		- 40 ~ + 125	

- 注意1. 複数の出力を同時にショートしないでください。
2. 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づかない状態で、製品をご使用ください。DC特性とAC特性に示す規格や条件が、製品の正常動作、品質保証の範囲です。

**動作ケース温度 (V<sub>DD</sub> = 3.3 V ± 0.165 V)**

項 目	略 号	条 件	定 格	単 位
動作ケース温度	T <sub>c</sub>		0 ~ 70	

DC特性 (Tc = 0 ~ 70 , VDD = 3.3 V ± 0.165 V)

(a) CMOS/TTL, HSTL共通

項目	略号	条件	MIN.	MAX.	単位
入力容量	C <sub>in</sub>			5	pF
出力容量	C <sub>out</sub>			7	pF
消費電力	P <sub>D</sub>	200 MHz (V <sub>DD</sub> = 3.3 V)		30	W
		180 MHz (V <sub>DD</sub> = 3.3 V)		27	W
入力リーク電力	I <sub>LI</sub>			± 10	μA
入出力リーク電流	I <sub>LIO</sub>			± 10	μA

(b) CMOS/TTLの場合

項目	略号	条件	MIN.	MAX.	単位
出力供給電圧 <sup>注1</sup>	V <sub>DDQ</sub>	V <sub>DDQ</sub> = V <sub>DD</sub>	3.135	3.465	V
入力供給電圧 <sup>注2</sup>	V <sub>REF</sub>		1.2	1.6	V
高レベル出力電圧	V <sub>OH</sub>	V <sub>DD</sub> = MIN., I <sub>OH</sub> = - 4 mA	2.4		V
低レベル出力電圧	V <sub>OL</sub>	V <sub>DD</sub> = MAX., I <sub>OL</sub> = 4 mA		0.4	V
高レベル入力電圧	V <sub>IH</sub>		2.0	V <sub>DD</sub> + 0.3	V
低レベル入力電圧	V <sub>IL</sub>		- 0.5	+ 0.8	V

注1. V<sub>DDQ</sub>はV<sub>DDQSC</sub>端子, V<sub>DDQSys</sub>端子に適用されます。

2. V<sub>REF</sub>はV<sub>refSC</sub>端子, V<sub>refSys</sub>端子に適用されます。

(c) HSTLの場合

項目	略号	条件	MIN.	MAX.	単位
出力供給電圧 <sup>注1</sup>	V <sub>DDQ</sub>		1.4	1.6	V
入力供給電圧 <sup>注2</sup>	V <sub>REF</sub>		0.65	0.75	V
高レベル出力スレッショールド電圧 <sup>注3</sup>	V <sub>OH</sub>	I <sub>OH</sub> = - 4 mA	V <sub>DDQ</sub> /2 + 0.3		V
低レベル出力スレッショールド電圧 <sup>注3</sup>	V <sub>OL</sub>	I <sub>OL</sub> = 4 mA		V <sub>DDQ</sub> /2 - 0.3	V
高レベル差動入力スレッショールド電圧1 <sup>注4</sup>	V <sub>IH</sub>		V <sub>REF</sub> + 0.1	V <sub>DD</sub> + 0.3	V
低レベル差動入力スレッショールド電圧1 <sup>注4</sup>	V <sub>IL</sub>		- 0.3	V <sub>DD</sub> - 0.1	V
高レベル差動入力スレッショールド電圧2 <sup>注5</sup>	V <sub>DIH</sub>		V <sub>DIL</sub> + 0.8	V <sub>DD</sub> + 0.3	V
低レベル差動入力スレッショールド電圧2 <sup>注5</sup>	V <sub>DIL</sub>		- 0.3	V <sub>DIH</sub> - 0.8	V

注1. V<sub>DDQ</sub>はV<sub>DDQSC</sub>端子, V<sub>DDQSys</sub>端子に適用されます。

2. V<sub>REF</sub>はV<sub>refSC</sub>端子, V<sub>refSys</sub>端子に適用されます。

3. V<sub>R10000</sub>はSGIのHSTL仕様の1aと1bをサポートしています。

4. SysClk, SysClk端子以外の入力端子に適用されます。

5. SysClk, SysClk端子に適用されます。

AC特性 (Tc = 0 ~ 70 , VDD = 3.3 V ± 0.165 V)

**クロック・パラメータ**

項 目	略 号	条 件	MIN.	MAX.	単 位
システム・クロック・ハイ・レベル幅	tCH	tCR, tCF 2.0 ns	0.5		ns
システム・クロック・ロウ・レベル幅	tCL	tCR, tCF 2.0 ns	0.5		ns
システム・クロック周波数 <sup>注1,2</sup>		200 MHz品	50	200	MHz
		180 MHz品	45	180	MHz
システム・クロック周期 <sup>注1,2</sup>	tCP	200 MHz品	5	20	ns
		180 MHz品	5.56	22.2	ns
入力システム・クロック・ジッタ	tji			± 125	ps
出力システム・クロック・ジッタ <sup>注3</sup>	tjo			± 500	ps
システム・クロック立ち上がり時間	tCR			2.0	ns
システム・クロック立ち下がり時間	tCF			2.0	ns

注1. VR10000の動作は、PLLが動作しているときだけ保証します。

2. 内部動作周波数は、100 MHz以上のときに動作を保証します。

3. クロック・エッジ間での変化は不定です。

システム・インタフェース・パラメータ

(a) CMOS/TTLの場合

項 目	略 号	条 件	MIN.	MAX.	単 位
データ出力遅延時間	t <sub>DO</sub>			2.0	ns
データ入力セットアップ時間	t <sub>DS</sub>		1.0		ns
データ入力ホールド時間	t <sub>DH</sub>		1.0		ns

(b) HSTLの場合

項 目	略 号	条 件	MIN.	MAX.	単 位
データ出力遅延時間	t <sub>DO</sub>			1.5	ns
データ入力セットアップ時間	t <sub>DS</sub>		1.0		ns
データ入力ホールド時間	t <sub>DH</sub>		1.0		ns

二次キャッシュ・タグ・インタフェース・パラメータ

SCTag ( 25 : 0 ) , SCTagChk ( 6 : 0 ) に適用されます。

(a) CMOS/TTLの場合

項 目	略 号	条 件	MIN.	MAX.	単 位
データ出力遅延時間	t <sub>SDO</sub>			2.0	ns
データ入力セットアップ時間	t <sub>SDS</sub>		1.5		ns
データ入力ホールド時間	t <sub>SDH</sub>		0.5		ns

(b) HSTLの場合

項 目	略 号	条 件	MIN.	MAX.	単 位
データ出力遅延時間	t <sub>SDO</sub>			1.5	ns
データ入力セットアップ時間	t <sub>SDS</sub>		1.5		ns
データ入力ホールド時間	t <sub>SDH</sub>		0.5		ns

(2)  $\mu$  PD30700LRS-225, 30700LRS-250 (暫定)絶対最大定格 ( $T_A = 25$  )

項目	略号	条件	定格	単位
電源電圧	$V_{DD}$		- 0.5 ~ + 3.3	V
入力電圧	$V_I$		- 0.5 ~ $V_{DD} + 0.3$	V
		10 ns未満のパルス	- 1.5 ~ $V_{DD} + 0.3$	V
保存温度	$T_{stg}$		- 40 ~ + 125	

注意1. 複数の出力を同時にショートしないでください。

2. 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づかない状態で、製品をご使用ください。DC特性とAC特性に示す規格や条件が、製品の正常動作、品質保証の範囲です。

動作ケース温度 ( $V_{DD} = 2.6 V \pm 0.1 V$ )

項目	略号	条件	定格	単位
動作ケース温度	$T_c$		0 ~ 70	



DC特性 (T<sub>c</sub> = 0 ~ 70 , V<sub>DD</sub> = 2.6 V ± 0.1 V)

(a) CMOS/TTL, HSTL共通

項目	略号	条件	MIN.	MAX.	単位
入力容量	C <sub>in</sub>			5	pF
出力容量	C <sub>out</sub>			7	pF
消費電力	PD	250 MHz (V <sub>DD</sub> = 2.6 V)		20	W
		225 MHz (V <sub>DD</sub> = 2.6 V)		17	W
入力リーク電力	I <sub>Li</sub>			± 10	μA
入出力リーク電流	I <sub>LIO</sub>			± 10	μA

(b) CMOS/TTLの場合

項目	略号	条件	MIN.	MAX.	単位
出力供給電圧 <sup>注1</sup>	V <sub>DDQ</sub>	V <sub>DDQ</sub> = V <sub>DD</sub>	2.5	2.7	V
入力供給電圧 <sup>注2</sup>	V <sub>REF</sub>		1.2	1.6	V
高レベル出力電圧	V <sub>OH</sub>	V <sub>DD</sub> = MIN., I <sub>OH</sub> = - 4 mA	2.4		V
低レベル出力電圧	V <sub>OL</sub>	V <sub>DD</sub> = MAX., I <sub>OL</sub> = 4 mA		0.4	V
高レベル入力電圧	V <sub>IH</sub>		2.0	V <sub>DD</sub> + 0.3	V
低レベル入力電圧	V <sub>IL</sub>		- 0.5	+ 0.8	V

注1. V<sub>DDQ</sub>はV<sub>DDQSC</sub>端子, V<sub>DDQSys</sub>端子に適用されます。

2. V<sub>REF</sub>はV<sub>refSC</sub>端子, V<sub>refSys</sub>端子に適用されます。

(c) HSTLの場合

項目	略号	条件	MIN.	MAX.	単位
出力供給電圧 <sup>注1</sup>	V <sub>DDQ</sub>		1.4	1.6	V
入力供給電圧 <sup>注2</sup>	V <sub>REF</sub>		0.65	0.75	V
高レベル出力スレッショールド電圧 <sup>注3</sup>	V <sub>OH</sub>	I <sub>OH</sub> = - 4 mA	V <sub>DDQ</sub> /2 + 0.3		V
低レベル出力スレッショールド電圧 <sup>注3</sup>	V <sub>OL</sub>	I <sub>OL</sub> = 4 mA		V <sub>DDQ</sub> /2 - 0.3	V
高レベル差動入力スレッショールド電圧1 <sup>注4</sup>	V <sub>IH</sub>		V <sub>REF</sub> + 0.1	V <sub>DD</sub> + 0.3	V
低レベル差動入力スレッショールド電圧1 <sup>注4</sup>	V <sub>IL</sub>		- 0.3	V <sub>DD</sub> - 0.1	V
高レベル差動入力スレッショールド電圧2 <sup>注5</sup>	V <sub>DIH</sub>		V <sub>DIL</sub> + 0.8	V <sub>DD</sub> + 0.3	V
低レベル差動入力スレッショールド電圧2 <sup>注5</sup>	V <sub>DIL</sub>		- 0.3	V <sub>DIH</sub> - 0.8	V

注1. V<sub>DDQ</sub>はV<sub>DDQSC</sub>端子, V<sub>DDQSys</sub>端子に適用されます。

2. V<sub>REF</sub>はV<sub>refSC</sub>端子, V<sub>refSys</sub>端子に適用されます。

3. V<sub>R10000</sub>はSGIのHSTL仕様の1aと1bをサポートしています。

4. SysClk, SysClk端子以外の入力端子に適用されます。

5. SysClk, SysClk端子に適用されます。

AC特性 (Tc = 0 ~ 70 , VDD = 2.6 V ± 0.1 V)

**クロック・パラメータ**

項 目	略 号	条 件	MIN.	MAX.	単 位
システム・クロック・ハイ・レベル幅	tCH	tCR, tCF 2.0 ns	0.5		ns
システム・クロック・ロウ・レベル幅	tCL	tCR, tCF 2.0 ns	0.5		ns
システム・クロック周波数 <sup>注1,2</sup>		250 MHz品	62.5	250	MHz
		225 MHz品	56.3	225	MHz
システム・クロック周期 <sup>注1,2</sup>	tCP	250 MHz品	4	16	ns
		225 MHz品	4.44	17.8	ns
入力システム・クロック・ジッタ	tji			± 125	ps
出力システム・クロック・ジッタ <sup>注3</sup>	tjo			± 500	ps
システム・クロック立ち上がり時間	tCR			2.0	ns
システム・クロック立ち下がり時間	tCF			2.0	ns

注1. VR10000の動作は、PLLが動作しているときだけ保証します。

2. 内部動作周波数は、100 MHz以上のときに動作を保証します。

3. クロック・エッジ間での変化は不定です。

システム・インタフェース・パラメータ

(a) CMOS/TTLの場合

項 目	略 号	条 件	MIN.	MAX.	単 位
データ出力遅延時間	t <sub>do</sub>			2.0	ns
データ入力セットアップ時間	t <sub>ds</sub>		1.0		ns
データ入力ホールド時間	t <sub>dH</sub>		1.0		ns

(b) HSTLの場合

項 目	略 号	条 件	MIN.	MAX.	単 位
データ出力遅延時間	t <sub>do</sub>			1.5	ns
データ入力セットアップ時間	t <sub>ds</sub>		1.0		ns
データ入力ホールド時間	t <sub>dH</sub>		1.0		ns

二次キャッシュ・タグ・インタフェース・パラメータ

SCTag (25:0) , SCTagChk (6:0) に適用されます。

(a) CMOS/TTLの場合

項 目	略 号	条 件	MIN.	MAX.	単 位
データ出力遅延時間	t <sub>sDO</sub>			2.0	ns
データ入力セットアップ時間	t <sub>sDS</sub>		1.5		ns
データ入力ホールド時間	t <sub>sDH</sub>		0.5		ns

(b) HSTLの場合

項 目	略 号	条 件	MIN.	MAX.	単 位
データ出力遅延時間	t <sub>sDO</sub>			1.5	ns
データ入力セットアップ時間	t <sub>sDS</sub>		1.5		ns
データ入力ホールド時間	t <sub>sDH</sub>		0.5		ns

(3) μ PD30710RS-300 (暫定)

**絶対最大定格 (T<sub>A</sub> = 25 )**

項 目	略 号	条 件	定 格	単 位
電源電圧	V <sub>DD</sub>		- 0.5 ~ + 3.3	V
入力電圧	V <sub>I</sub>		- 0.5 ~ V <sub>DD</sub> + 0.3	V
		10 ns未満のパルス	- 1.5 ~ V <sub>DD</sub> + 0.3	V
保存温度	T <sub>stg</sub>		- 40 ~ + 125	

- 注意1.** 複数の出力を同時にショートしないでください。
2. 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づかない状態で、製品をご使用ください。DC特性とAC特性に示す規格や条件が、製品の正常動作、品質保証の範囲です。

**動作ケース温度 (V<sub>DD</sub> = 2.6 V ± 0.1 V)**

項 目	略 号	条 件	定 格	単 位
動作ケース温度	T <sub>c</sub>		25 ~ 70	

DC特性 (T<sub>c</sub> = 25 ~ 70 , V<sub>DD</sub> = 2.6 V ± 0.1 V)

(a) CMOS/TTL, HSTL共通

項目	略号	条件	MIN.	MAX.	単位
入力容量	C <sub>in</sub>			5	pF
出力容量	C <sub>out</sub>			7	pF
消費電力	PD	300 MHz (V <sub>DD</sub> = 2.6 V)		30	W
入力リーク電力	I <sub>li</sub>			± 10	μA
入出力リーク電流	I <sub>llo</sub>			± 10	μA

(b) COMS/TTLの場合

項目	略号	条件	MIN.	MAX.	単位
出力供給電圧 <sup>注1</sup>	V <sub>DDQ</sub>	V <sub>DDQ</sub> = V <sub>DD</sub>	2.5	2.7	V
入力供給電圧 <sup>注2</sup>	V <sub>REF</sub>		1.2	1.6	V
高レベル出力電圧	V <sub>OH</sub>	V <sub>DD</sub> = MIN., I <sub>OH</sub> = - 4 mA	2.4		V
低レベル出力電圧	V <sub>OL</sub>	V <sub>DD</sub> = MAX., I <sub>OL</sub> = 4 mA		0.4	V
高レベル入力電圧	V <sub>IH</sub>		2.0	V <sub>DD</sub> + 0.3	V
低レベル入力電圧	V <sub>IL</sub>		- 0.5	+ 0.8	V

注1. V<sub>DDQ</sub>はV<sub>DDQ</sub>SC端子, V<sub>DDQ</sub>SSys端子に適用されます。

2. V<sub>REF</sub>はV<sub>ref</sub>SC端子, V<sub>ref</sub>SSys端子に適用されます。

(c) HSTLの場合

項目	略号	条件	MIN.	MAX.	単位
出力供給電圧 <sup>注1</sup>	V <sub>DDQ</sub>		1.4	1.6	V
入力供給電圧 <sup>注2</sup>	V <sub>REF</sub>		0.65	0.75	V
高レベル出力スレッショールド電圧 <sup>注3</sup>	V <sub>OH</sub>	I <sub>OH</sub> = - 4 mA	V <sub>DDQ</sub> /2 + 0.3		V
低レベル出力スレッショールド電圧 <sup>注3</sup>	V <sub>OL</sub>	I <sub>OL</sub> = 4 mA		V <sub>DDQ</sub> /2 - 0.3	V
高レベル差動入力スレッショールド電圧1 <sup>注4</sup>	V <sub>IH</sub>		V <sub>REF</sub> + 0.1	V <sub>DD</sub> + 0.3	V
低レベル差動入力スレッショールド電圧1 <sup>注4</sup>	V <sub>IL</sub>		- 0.3	V <sub>DD</sub> - 0.1	V
高レベル差動入力スレッショールド電圧2 <sup>注5</sup>	V <sub>DIH</sub>		V <sub>DIL</sub> + 0.8	V <sub>DD</sub> + 0.3	V
低レベル差動入力スレッショールド電圧2 <sup>注5</sup>	V <sub>DIL</sub>		- 0.3	V <sub>DIH</sub> - 0.8	V

注1. V<sub>DDQ</sub>はV<sub>DDQ</sub>SC端子, V<sub>DDQ</sub>SSys端子に適用されます。

2. V<sub>REF</sub>はV<sub>ref</sub>SC端子, V<sub>ref</sub>SSys端子に適用されます。

3. V<sub>R12000</sub>はSGIのHSTL仕様の1aと1bをサポートしています。

4. SysClk, SysClk端子以外の入力端子に適用されます。

5. SysClk, SysClk端子に適用されます。

AC特性 (T<sub>c</sub> = 25 ~ 70 , V<sub>DD</sub> = 2.6 V ± 0.1 V)

クロック・パラメータ

項 目	略 号	条 件	MIN.	MAX.	単 位
システム・クロック・ハイ・レベル幅	t <sub>CH</sub>	t <sub>cR</sub> , t <sub>cF</sub> 2.0 ns	0.5		ns
システム・クロック・ロウ・レベル幅	t <sub>CL</sub>	t <sub>cR</sub> , t <sub>cF</sub> 2.0 ns	0.5		ns
システム・クロック周波数 <sup>注1,2</sup>		300 MHz品	30	300	MHz
システム・クロック周期 <sup>注1,2</sup>	t <sub>CP</sub>	300 MHz品	3.33	33.3	ns
入力システム・クロック・ジッタ	t <sub>ji</sub>			± 125	ps
出力システム・クロック・ジッタ <sup>注3</sup>	t <sub>jo</sub>			± 500	ps
システム・クロック立ち上がり時間	t <sub>cR</sub>			2.0	ns
システム・クロック立ち下がり時間	t <sub>cF</sub>			2.0	ns

注1. V<sub>R12000</sub>の動作は、PLLが動作しているときだけ保証します。

2. 内部動作周波数は、100 MHz以上のときに動作を保証します。

3. クロック・エッジ間での変化は不定です。

システム・インタフェース・パラメータ

(a) CMOS/TTLの場合

項 目	略 号	条 件	MIN.	MAX.	単 位
データ出力遅延時間	t <sub>DO</sub>			2.0	ns
データ入力セットアップ時間	t <sub>DS</sub>		1.0		ns
データ入力ホールド時間	t <sub>DH</sub>		1.0		ns

(b) HSTLの場合

項 目	略 号	条 件	MIN.	MAX.	単 位
データ出力遅延時間	t <sub>DO</sub>			1.5	ns
データ入力セットアップ時間	t <sub>DS</sub>		1.0		ns
データ入力ホールド時間	t <sub>DH</sub>		1.0		ns

二次キャッシュ・タグ・インタフェース・パラメータ

SCTag ( 25 : 0 ) , SCTagChk ( 6 : 0 ) に適用されます。

(a) CMOS/TTLの場合

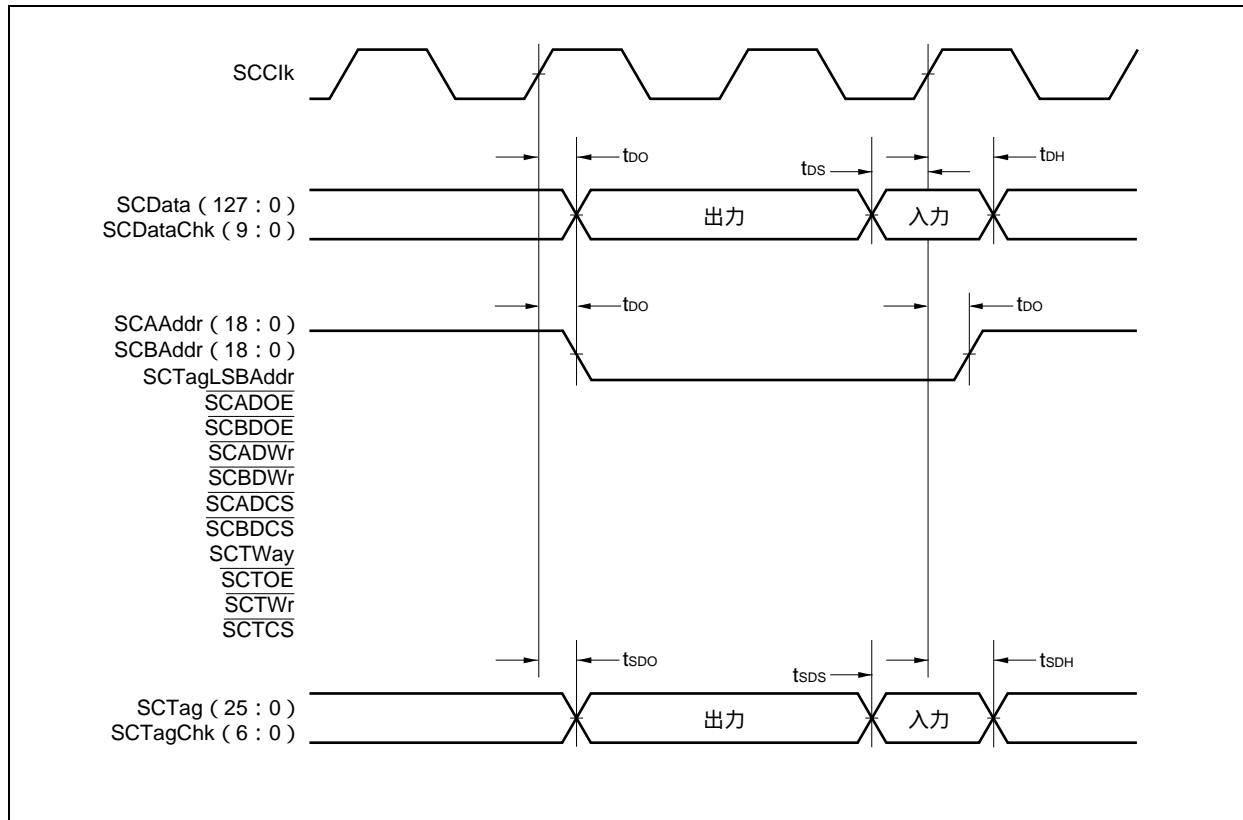
項 目	略 号	条 件	MIN.	MAX.	単 位
データ出力遅延時間	t <sub>SDO</sub>			2.0	ns
データ入力セットアップ時間	t <sub>SDS</sub>		1.5		ns
データ入力ホールド時間	t <sub>SDH</sub>		0.5		ns

(b) HSTLの場合

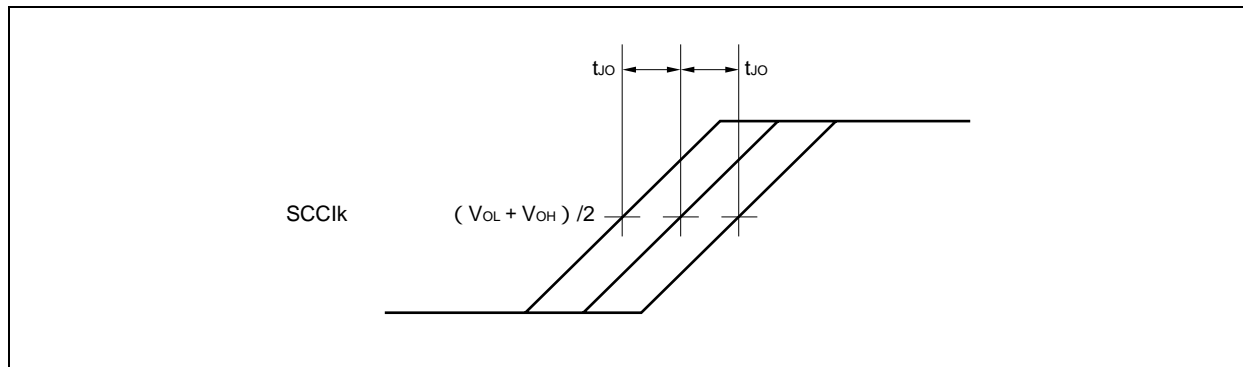
項 目	略 号	条 件	MIN.	MAX.	単 位
データ出力遅延時間	t <sub>SDO</sub>			1.5	ns
データ入力セットアップ時間	t <sub>SDS</sub>		1.5		ns
データ入力ホールド時間	t <sub>SDH</sub>		0.5		ns

タイミング・チャート

二次キャッシュ・インタフェース・タイミング

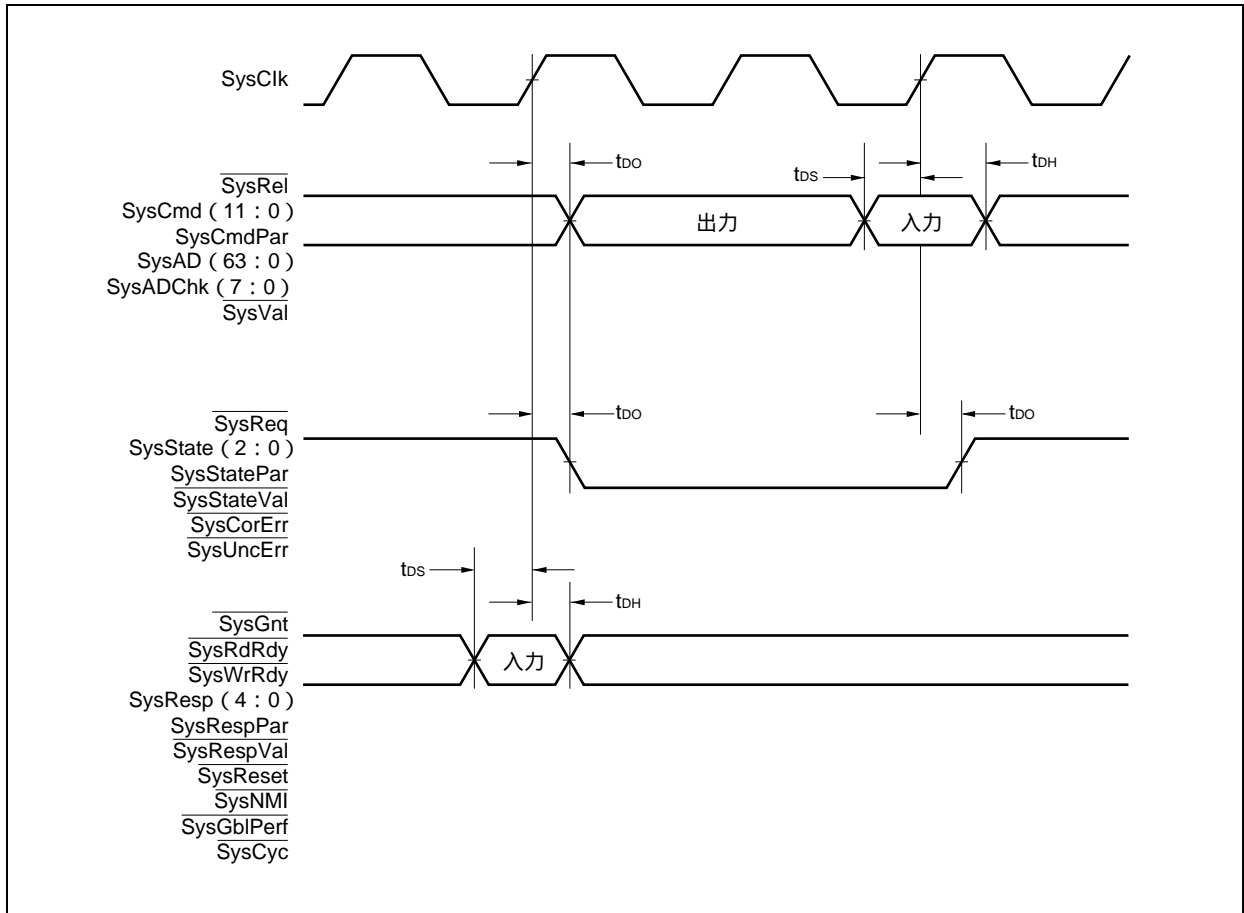


二次キャッシュ・クロック・ジッタ

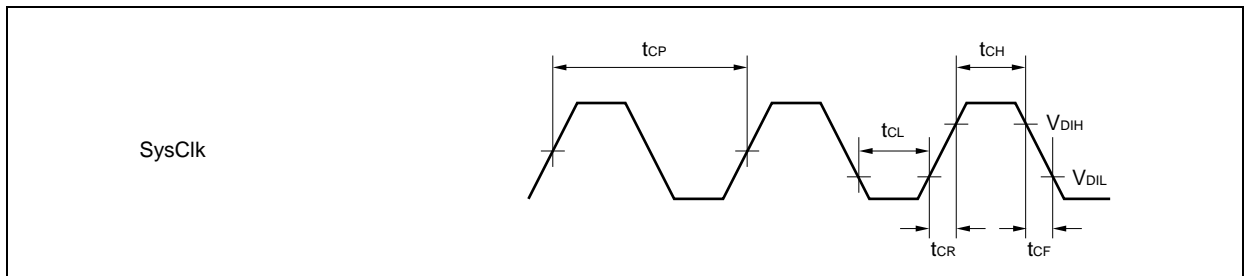




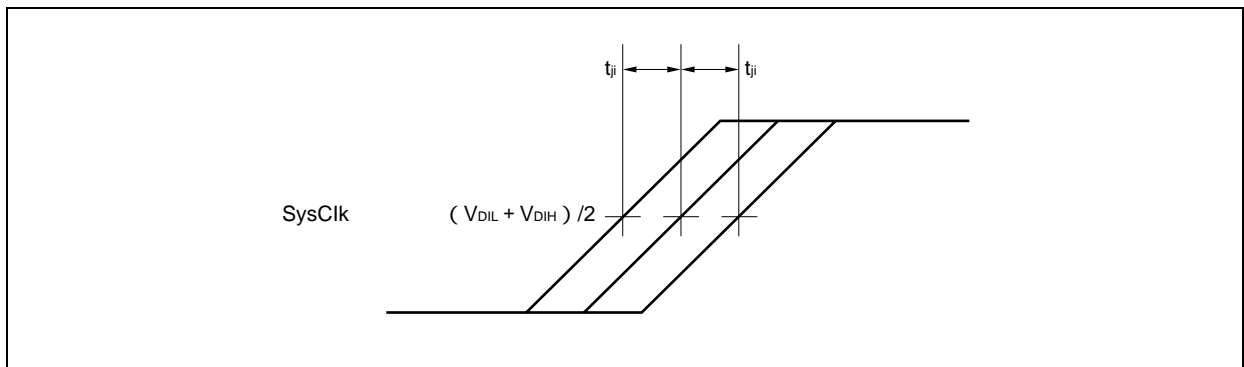
システム・インタフェース・タイミング



システム・クロック



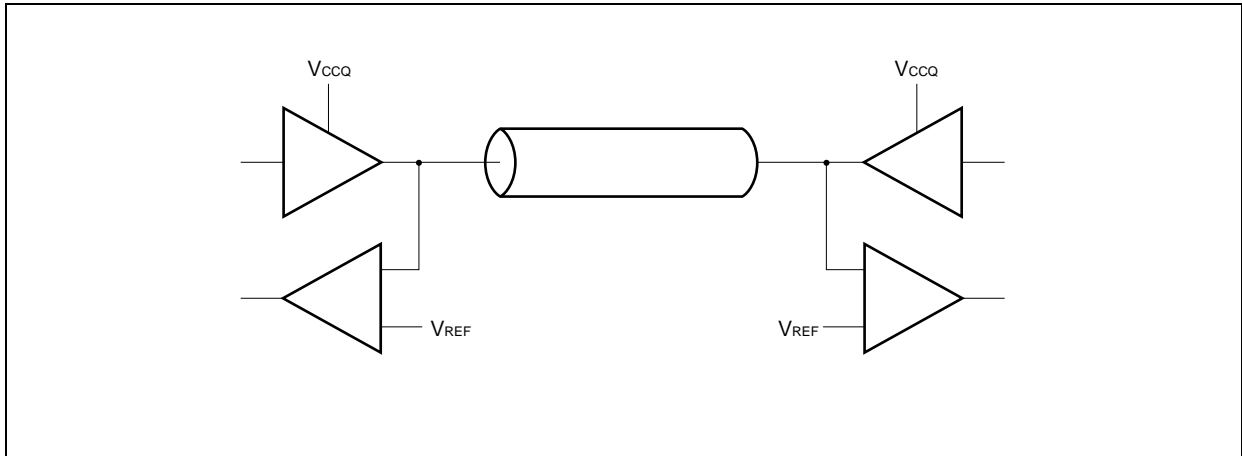
システム・クロック・ジッタ



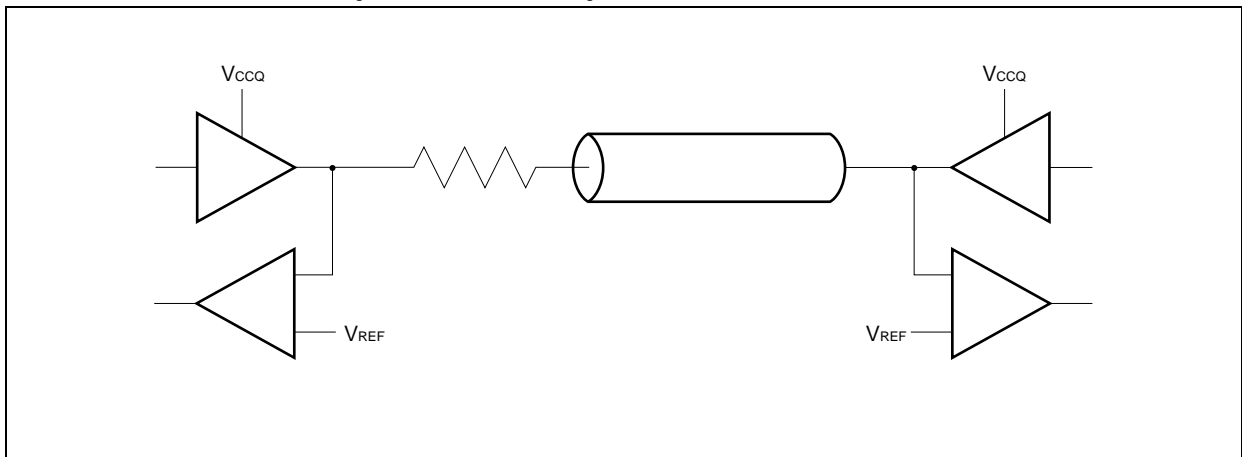
8. プッシュプル出力バッファ回路

プッシュプル出力バッファ回路の構成を次に示します。

プッシュプル出力バッファ回路（終端の負荷なし）

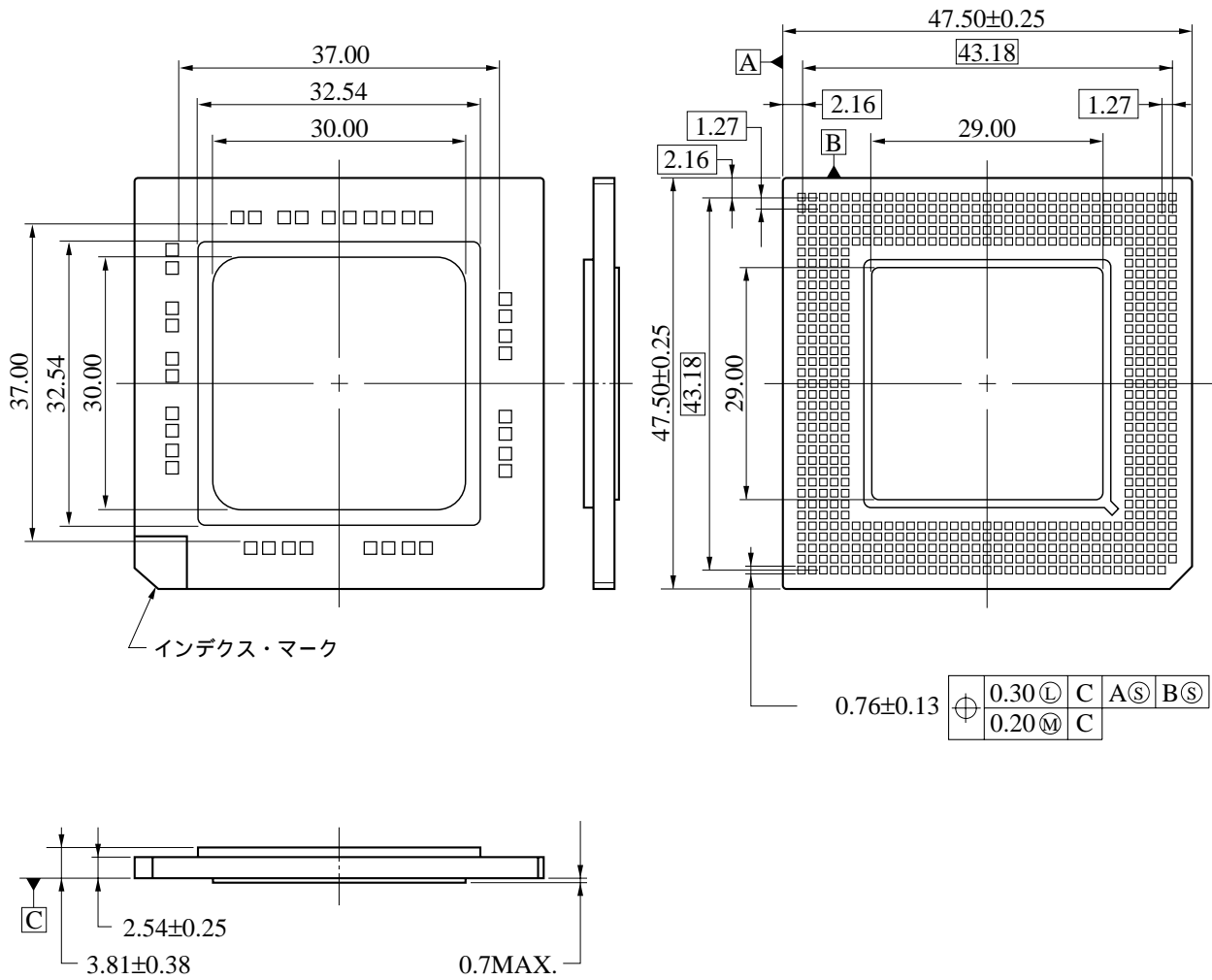


プッシュプル出力バッファ回路（直列終端の負荷あり）



9. 外形図

599ピンセラミック LGA 外形図 (単位 : mm)



X599RS-50A

(× 毛)

## CMOSデバイスの一般的注意事項

**静電気対策（MOS全般）**

**注意** MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

**未使用入力の処理（CMOS特有）**

**注意** CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してV<sub>DD</sub>またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

**初期化以前の状態（MOS全般）**

**注意** 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

**関連資料** V<sub>R</sub>10000, V<sub>R</sub>12000 USER'S MANUAL (U10278E)

V<sub>R</sub>5000, V<sub>R</sub>10000 INSTRUCTION USER'S MANUAL (U12754E)

**参考資料** 電気的特性の考え方 (IEI-601)

関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

V<sub>R</sub>4000, V<sub>R</sub>4200, V<sub>R</sub>4400, V<sub>R</sub>5000, V<sub>R</sub>10000, V<sub>R</sub>12000, V<sub>R</sub>シリーズは、日本電気株式会社の商標です。

MIPSは、米国MIPS Technologies, Inc. の米国における登録商標です。

ANDESは、米国MIPS Technologies, Inc. の商標です。

UNIXはX/Openカンパニーリミテッドがライセンスしている米国ならびに他の国における登録商標です。

WindowsNTは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

本製品は外国為替および外国貿易管理法の規定により規制貨物等（または役務）に該当しますので、日本国外に輸出する場合には、同法に基づき日本国政府の輸出許可が必要です。

本製品は米国の輸出管理法の規制を受ける技術を用いておりますので、本製品および本製品を組み込んだ装置を輸出する場合、輸出先によっては米国政府の許可も必要です。

- 本資料の内容は予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。
- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
- 本資料に記載された回路、ソフトウェア、及びこれらに付随する情報は、半導体製品の動作例、応用例を説明するためのものです。従って、これら回路・ソフトウェア・情報をお客様の機器に使用される場合には、お客様の責任において機器設計をしてください。これらの使用に起因するお客様もしくは第三者の損害に対して、当社は一切その責を負いません。
- 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。  
 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット  
 特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災/防犯装置、各種安全装置、生命維持を直接の目的としない医療機器  
 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等  
 当社製品のデータ・シート/データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

M7 98.8

## — お問い合わせ先 —

### 【技術的なお問い合わせ先】

NEC半導体テクニカルホットライン  
 （電話：午前 9:00～12:00、午後 1:00～5:00）

電話 : 044-435-9494  
 FAX : 044-435-9608  
 E-mail : s-info@saed.tmg.nec.co.jp

### 【営業関係お問い合わせ先】

第一販売事業部	第二販売事業部	第三販売事業部
東京 (03)3798-6106, 6107, 6108	東京 (03)3798-6110, 6111, 6112	東京 (03)3798-6151, 6155, 6586, 1622, 1623, 6156
名古屋 (052)222-2375	立川 (042)526-5981, 6167	水戸 (029)226-1702
大阪 (06)6945-3178, 3200, 3208, 3212	松本 (0263)35-1662	広島 (082)242-5504
仙台 (022)267-8740	静岡 (054)254-4794	高崎 (027)326-1303
郡山 (024)923-5591	金沢 (076)232-7303	鳥取 (0857)27-5313
千葉 (043)238-8116	松山 (089)945-4149	太田 (0276)46-4014
		名古屋 (052)222-2170, 2190
		福岡 (092)261-2806

### 【資料の請求先】

上記営業関係お問い合わせ先またはNEC特約店へお申しつけください。

### 【インターネット電子デバイス・ニュース】

NECエレクトロニクスデバイスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.ic.nec.co.jp/>