

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

VR3800™
32ビット・マイクロプロセッサ

μ PD30380 (VR3800) は、当社のRISC (Reduced Instruction Set Computer) 型マイクロプロセッサVRシリーズ™の1つで、MIPS社開発のRISCアーキテクチャを採用した高性能32ビット・マイクロプロセッサです。

VR3800は、VR3000A™をCPUコアとし、周辺として命令/データ・キャッシュ、クロック・ジェネレータ、リセット回路、バス・インタフェース回路を1チップに集積しています。このため、特に組み込み用途のシステムを容易に構築できます。

詳しい機能説明などは、次のマニュアルに記載しております。設計の際には必ずお読みください。

- ・VR3800 ユーザーズ・マニュアル：IEU-838

特 徴

- ・MIPS社のRISCアーキテクチャを採用
- ・高速演算処理
 - ・5段パイプライン処理
- ・VR3000Aと命令互換 (浮動小数点演算用コプロセッサと仮想記憶管理機構はサポートしません)
- ・周辺機能を内蔵
 - ・キャッシュ・メモリ (命令：4Kバイト、データ：1Kバイト)
 - ・クロック・ジェネレータ (4相クロック生成)
 - ・バス・インタフェース (4段ライト・バッファ、32ビット・アドレス/データ・セパレート・バス)
- ・システム構築が容易なアーキテクチャ
 - ・リセット時の動作モード設定の簡略化
 - ・Ready制御による汎用バス・サイクル
 - ・8ビット/16ビット・ブートROM対応 (ダイナミック・バス・サイジング)
 - ・16ビット固定バス・モード可能

用 途

- ・プリンタ、PPC、FAXなど

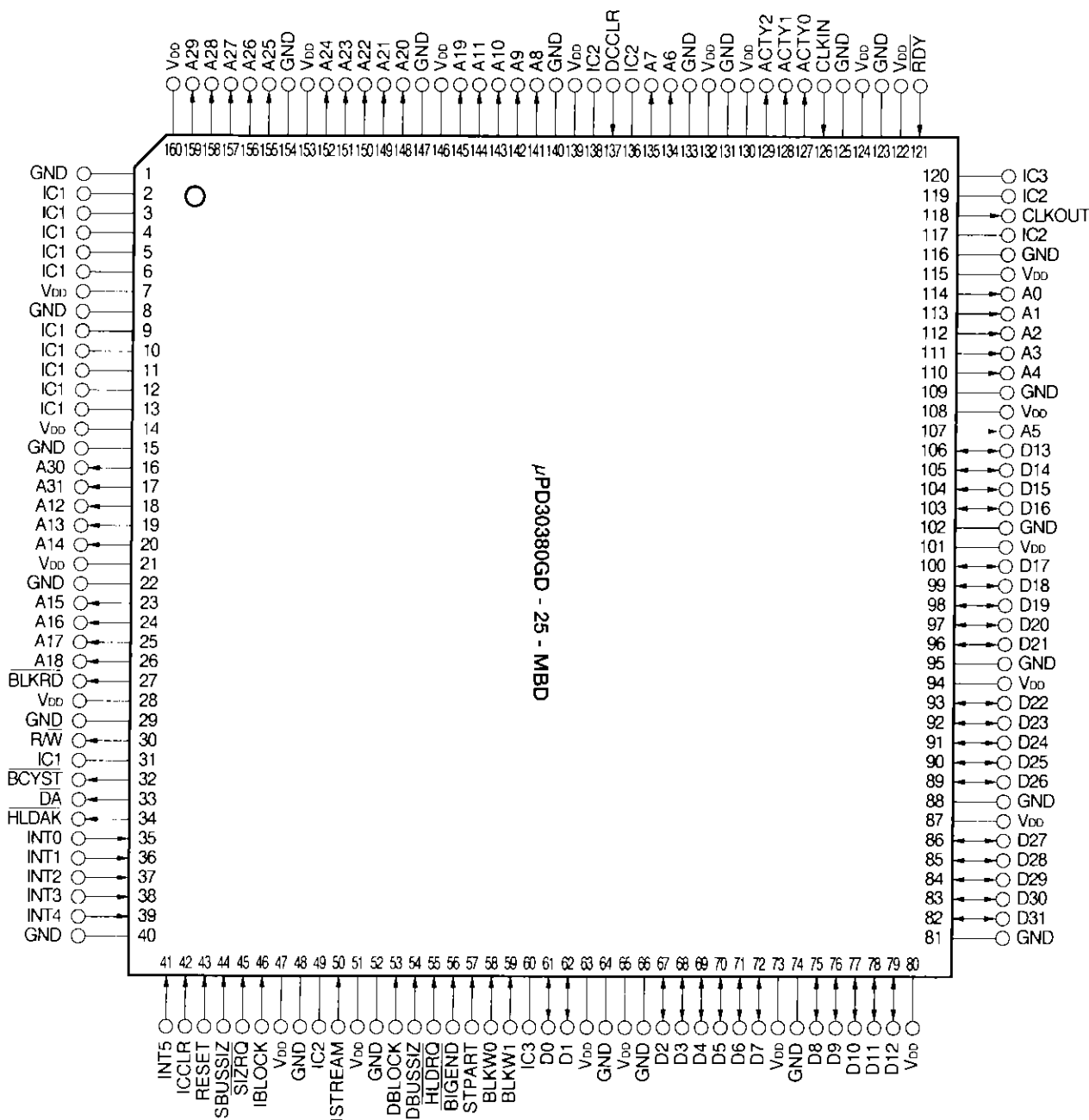
オーダ情報

オーダ名称	パッケージ	品質水準
μ PD30380 - GD - 25 - MBD	160ピン・プラスチックQFP (□28 mm)	標準 (一般電子機器用)

品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」 (IEI-620) をご覧ください。

本資料の内容は、後日変更する場合があります。

端子接続図

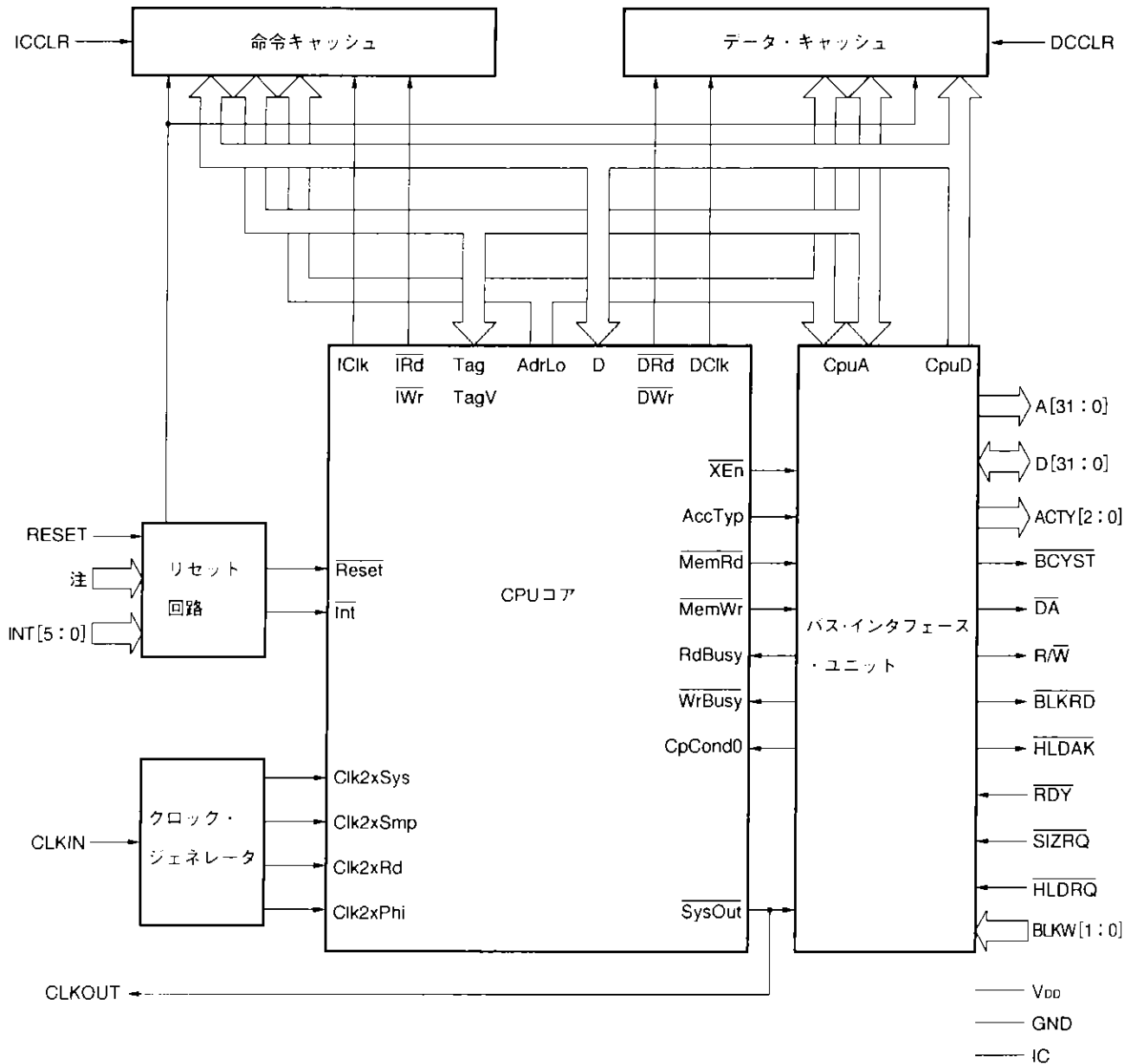


- 注意 1. IC1端子には何も接続しないでください。
- 2. IC2端子はGNDに直接接続してください。
- 3. IC3端子はVDDに直接接続してください。

端子名称

A [31 : 0]	: Address Bus
ACTY [2 : 0]	: Access Type
$\overline{\text{BCYST}}$: Bus Cycle Start
$\overline{\text{BIGEND}}$: Big Endian
$\overline{\text{BLKRD}}$: Block Read
BLKW [1 : 0]	: Block Wait
CLKIN	: Clock In
CLKOUT	: Clock Out
D [31 : 0]	: Data Bus
$\overline{\text{DA}}$: Data Access
DBLOCK	: Data Cache Block Request
DBUSSIZ	: Dynamic Bus Sizing
DCCLR	: Data Cache Clear
$\overline{\text{HLDK}}$: Hold Acknowledge
$\overline{\text{HLDRQ}}$: Hold Request
IBLOCK	: Instruction Cache Block Request
ICCLR	: Instruction Cache Clear
INT [5 : 0]	: Interrupt Request
ISTREAM	: Instruction Stream
$\overline{\text{R/W}}$: Read/Write
$\overline{\text{RDY}}$: Ready
RESET	: Reset
SBUSSIZ	: Static Bus Sizing
$\overline{\text{SIZRQ}}$: Bus Sizing Request
STPART	: Store Partial
V _{DD}	: Power Supply
GND	: Ground
IC	: Internally Connected

内部ブロック図



注 SBUSSIZ, DBUSSIZ, DBLOCK, IBLOCK, STPART, ISTREAM, BIGEND

目 次

1. 端子機能 … 7
 - 1.1 機能一覧 … 7
 - 1.2 特定時の出力端子の状態 … 9
2. CPUコア・アーキテクチャ … 10
 - 2.1 パイプライン … 10
 - 2.2 CPUコア内部機能ブロック … 11
 - 2.3 レジスタ … 12
 - 2.3.1 汎用レジスタ … 12
 - 2.3.2 CP0レジスタ … 13
 - 2.4 仮想/物理アドレス … 14
 - 2.5 例外処理 … 15
 - 2.5.1 例外処理一覧… 15
3. 内部ブロック機能 … 16
 - 3.1 キャッシュ・メモリ … 16
 - 3.2 リセット制御 … 17
 - 3.3 クロック・ジェネレータ … 17
 - 3.4 割り込み … 17
4. バス・インタフェース … 18
 - 4.1 リード/ライト・バッファ … 18
 - 4.2 バス・オペレーション … 19
 - 4.2.1 バス・アービタ … 19
 - 4.2.2 シングル・リード・サイクル … 19
 - 4.2.3 ライト・サイクル … 19
 - 4.2.4 ブロック・リード・サイクル … 19
 - 4.2.5 バス・ホールド … 20
 - 4.2.6 ダイナミック・バス・サイジング … 20
 - 4.2.7 16ビット固定バス・サイジング … 20
 - 4.3 データ形式 … 20
5. 命令セット … 22
 - 5.1 命令フォーマット … 22
 - 5.2 命令セット一覧 … 22
6. Vr3000Aとのソフトウェアの互換性 … 26
 - 6.1 Vr3000Aとの違い … 26
 - 6.2 Vr3800独自の機能 … 26
7. 電気的特性 … 27

8. 外形図 … 35

9. 半田付け推奨条件 … 36

1. 端子機能

1.1 機能一覧

端子名	入出力	機能																		
CLKIN	入力	クロック入力 単相のクロックを入力します。																		
CLKOUT	出力	クロック出力 システム・クロックとして使用します。																		
A [31 : 0]	出力	アドレス・バス																		
D [31 : 0]	入出力	データ・バス																		
ACTY [2 : 0] 注1	出力	<p>アクセス・タイプ</p> <p>ライト・アクセス時：データ長を示します。</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>ACTY [2 : 0]</th> <th>データ長</th> </tr> </thead> <tbody> <tr> <td>× 0 0</td> <td>バイト</td> </tr> <tr> <td>× 0 1</td> <td>ハーフ・ワード</td> </tr> <tr> <td>× 1 0</td> <td>3バイト</td> </tr> <tr> <td>× 1 1</td> <td>ワード</td> </tr> </tbody> </table> <p>リード・アクセス時：アクセス領域の種類を示します。</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>ACTY [2 : 0]</th> <th>種類</th> </tr> </thead> <tbody> <tr> <td>0 × ×</td> <td>非キャッシュ注2</td> </tr> <tr> <td>1 × 0</td> <td>データ・キャッシュ</td> </tr> <tr> <td>1 × 1</td> <td>命令キャッシュ</td> </tr> </tbody> </table>	ACTY [2 : 0]	データ長	× 0 0	バイト	× 0 1	ハーフ・ワード	× 1 0	3バイト	× 1 1	ワード	ACTY [2 : 0]	種類	0 × ×	非キャッシュ注2	1 × 0	データ・キャッシュ	1 × 1	命令キャッシュ
ACTY [2 : 0]	データ長																			
× 0 0	バイト																			
× 0 1	ハーフ・ワード																			
× 1 0	3バイト																			
× 1 1	ワード																			
ACTY [2 : 0]	種類																			
0 × ×	非キャッシュ注2																			
1 × 0	データ・キャッシュ																			
1 × 1	命令キャッシュ																			
\overline{DA}	出力	データ・アクセス バス・サイクルにおけるデータのストロープ信号です。																		
$\overline{R/W}$	出力	リード/ライト アクセスがリード・サイクルかライト・サイクルかを示します。																		
\overline{BLKRD}	出力	ブロック・リード キャッシュのリフィル時に、ブロック・リードを行うことを示します。																		
\overline{BCYST}	出力	バス・サイクル・スタート バス・サイクルの開始を示します。																		
\overline{RDY}	入力	レディ バス・サイクルの完結を指示します。																		
\overline{HLDRQ}	入力	ホールド・リクエスト CPUに対し、バスの使用权を放棄することを要求します。																		
\overline{HLDAK}	出力	ホールド・アクノリッジ CPUがバスの使用权を放棄したことを示します。																		

注1. バス・サイジング時にはこれ以外の動作を行うことがあります。詳細はユーザーズ・マニュアルを参照してください。

2. ACTY [1 : 0] はCPUコアが要求しているデータ長を示していますが、アドレス出力はワード・アラインさせる（バス・サイジング時にはサイジングされたバス幅の単位でアライン）ため、アドレスとACTY [1 : 0] の関係が正しくない場合があります。

リード時にはデータ・バス幅に対応したすべてのバイトをアクセスしてください。必要なバイトを認識させる必要はありません。ただし、I/Oなどで特定のバイトしかアクセスがない場合には、そのバイトのアクセスだけでかまいません。

端子名	入出力	機能										
INT [5:0]	入力	マスカブル割り込み要求										
BLKW [1:0]	入力	<p>ブロック・ウエイト</p> <p>ブロック・リード（キャッシュ・リフィル）時の単位バス・サイクル数を指定します。</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>BLKW [1:0]</th> <th>単位バス・サイクル</th> </tr> </thead> <tbody> <tr> <td>0 0</td> <td>1クロック</td> </tr> <tr> <td>0 1</td> <td>2クロック</td> </tr> <tr> <td>1 0</td> <td>3クロック</td> </tr> <tr> <td>1 1</td> <td>4クロック</td> </tr> </tbody> </table>	BLKW [1:0]	単位バス・サイクル	0 0	1クロック	0 1	2クロック	1 0	3クロック	1 1	4クロック
BLKW [1:0]	単位バス・サイクル											
0 0	1クロック											
0 1	2クロック											
1 0	3クロック											
1 1	4クロック											
RESET	入力	リセット要求										
IBLOCK	入力	<p>命令キャッシュ・ブロック要求</p> <p>命令キャッシュのリフィルをブロック・リードで行うことを指示します。</p> <p>リセット時に1回だけサンプリングします。</p> <p>1：ブロック・リードでリフィル</p> <p>0：シングル・リードでリフィル</p>										
DBLOCK	入力	<p>データ・キャッシュ・ブロック要求</p> <p>データ・キャッシュのリフィルをブロック・リードで行うことを指示します。</p> <p>リセット時に1回だけサンプリングします。</p> <p>1：ブロック・リードでリフィル</p> <p>0：シングル・リードでリフィル</p>										
SIZRQ	入力	<p>バス・サイジング・リクエスト</p> <p>リード・バス・サイクルを8ビット幅または16ビット幅で行うことを指示します。</p> <p>バス・サイクルごとにサンプリングします。</p> <p>サイジング時のバス幅はリセット時にサンプリングするDBUSSIZ端子で決定します。</p> <p>ブロック・リード・サイクルでサイジングを指示した場合の動作は不定です。</p>										
BIGEND	入力	<p>ビッグ・エンディアン</p> <p>メモリ・アクセスをリトル・エンディアンのバイト順序で行うことを指示します。</p> <p>リセット時に1回だけサンプリングします。</p> <p>1：リトル・エンディアン</p> <p>0：ビッグ・エンディアン</p>										
ISTREAM	入力	<p>命令ストリーム</p> <p>命令のストリーミング動作を許可します。</p> <p>リセット時に1回だけサンプリングします。</p> <p>1：ストリーミング行う</p> <p>0：ストリーミングを行わない</p>										
STPART	入力	<p>ストア・バーチャル</p> <p>部分ワード・ストア時にデータ・キャッシュに対してリード・モディファイ・ライトを行うように指示します。</p> <p>リセット時に1回だけサンプリングします。</p> <p>1：リード・モディファイ・ライトを行う</p> <p>0：リード・モディファイ・ライトを行わない</p>										

端子名	入出力	機能
SBUSSIZ	入力	固定バス・サイジング 常に16ビット・バス・モードで動作させます。 リセット時に1回だけサンプリングします。 1 : 16ビット・バス・モード 0 : 32ビット・バス・モード
DBUSSIZ	入力	ダイナミック・バス・サイジング ダイナミック・バス・サイジングのバス幅を指定します。 リセット時に1回だけサンプリングします。 1 : 16ビット幅 0 : 8ビット幅
ICCLR	入力	命令キャッシュ・クリア 命令キャッシュを無効化します。
DCCLR	入力	データ・キャッシュ・クリア データ・キャッシュを無効化します。
V _{DD}	—	正電源供給端子
GND	—	グラント電位端子
IC1	—	内部接続端子 何も接続しないでください。
IC2	—	内部接続端子 GNDに直接接続してください。
IC3	—	内部接続端子 V _{DD} に直接接続してください。

1.2 特定時の出力端子の状態

端子名	バス・ホールド時	リセット時
CLKOUT	通常動作と同じ	
A [31:0]	Hi-Z	
D [31:0]		
ACTY [2:0]		
DA		
R/W		
BLKRD		
BCYST		
HLDK	L	H

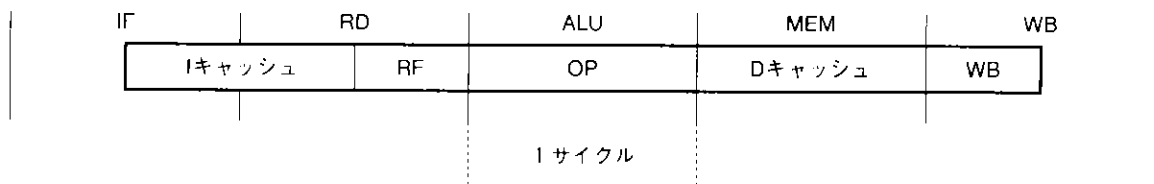
2. CPUコア・アーキテクチャ

2.1 パイプライン

各命令の実行は、次の5つのステップで構成されます。

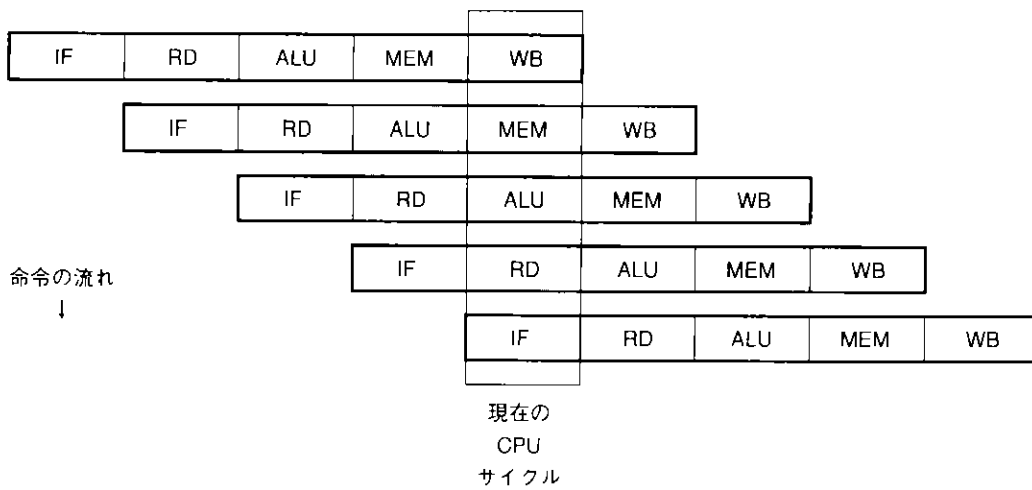
- 1) IF —— 命令をフェッチします (Iキャッシュ)。
- 2) RD —— 命令のデコード時に、CPUレジスタから必要なオペランドをフェッチします。
- 3) ALU —— 命令オペランドに対し必要なオペレーションを実行します。
- 4) MEM —— (必要ならば) メモリにアクセスします (Dキャッシュ)。
- 5) WB —— レジスタ・ファイルに結果を書き込みます。

図2-1 命令の実行



Vr3800は5段のパイプラインを使用し、ほとんどの命令を1サイクルで実行します。したがって、一度に5つの命令を実行すると、下図に示されているようにオーバーラップします。

図2-2 命令パイプライン

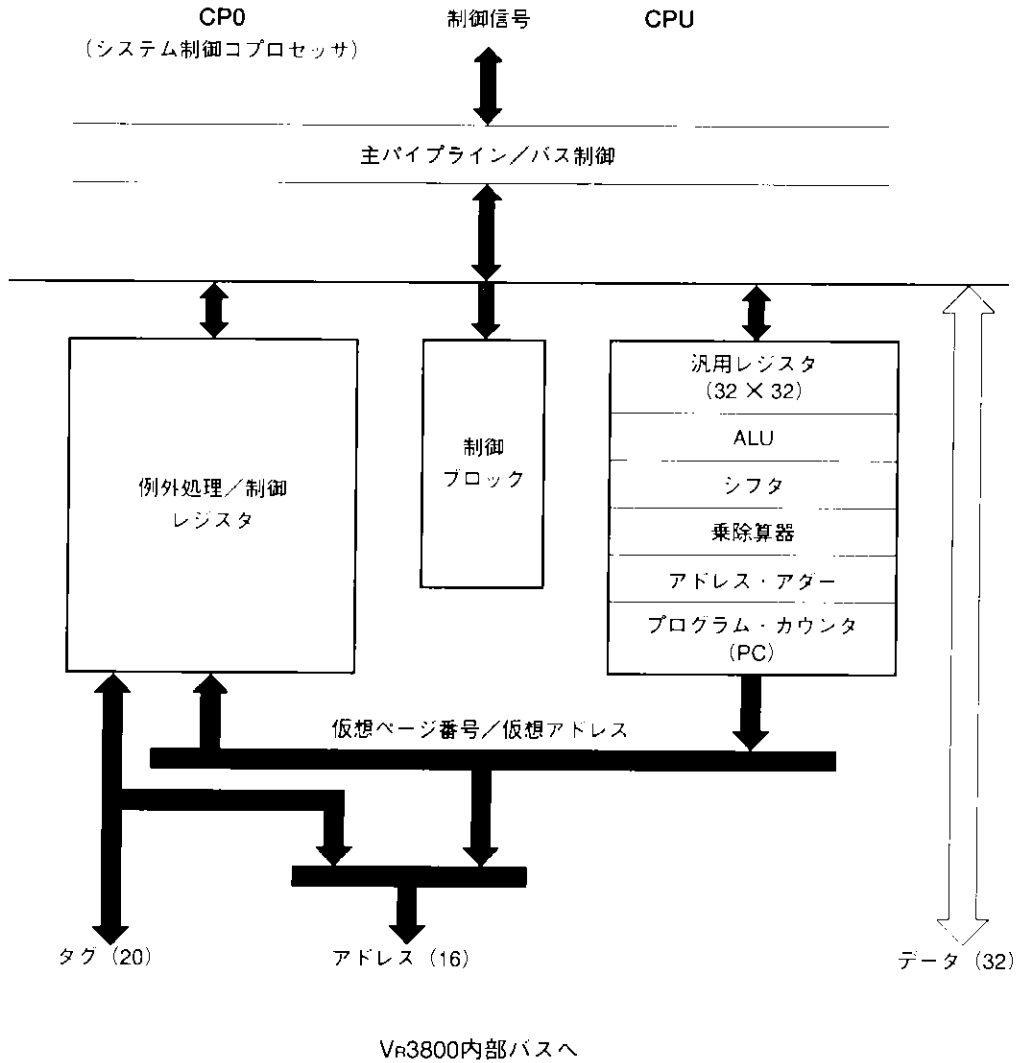


2.2 CPUコア内部機能ブロック

VR3800は、CPUコアとしてVR3000Aを使用しています。

VR3000Aは、2つの密結合型プロセッサで構成されています。一方は32ビットRISC型CPUで、演算を実行します。もう一方はシステム制御コプロセッサ（CP0）です。システム制御コプロセッサ（CP0）はアドレス・マッピングの管理、例外処理の制御および命令キャッシュとデータ・キャッシュの制御を行います。下図は、VR3000Aに組み込まれている機能を示したものです。

図 2-3 VR3000A内部ブロック図



2.3 レジスタ

2.3.1 汎用レジスタ

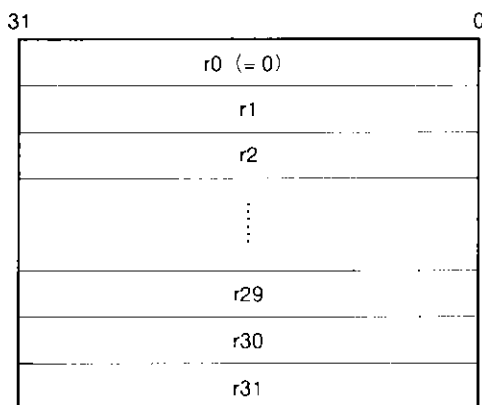
下図は、Vr3800のCPU（演算実行部）レジスタを示しています。汎用レジスタは32個あり、それぞれが単一ワード（32ビット）で構成されています。32個の汎用レジスタは同じように扱われますが、2つのレジスタだけは例外です。つまり、汎用レジスタr0はゼロの値にハードワイヤされています。汎用レジスタr31はジャンプおよびリンク命令に対するリンク・レジスタです。

汎用レジスタr0は、演算の結果を廃棄するときに命令のターゲット・レジスタとして指定できます。このレジスタは、ソース・レジスタとして使用する場合、どのような場合でも値はゼロです。

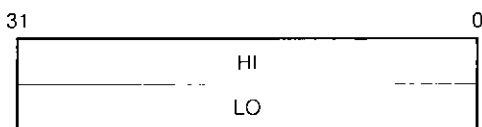
2つの乗算／除算レジスタ（HI, LO）は、乗算演算のダブル・ワード（64ビット）の結果および除算命令の商と剰余の結果を格納します。

図 2-4 CPUレジスタ

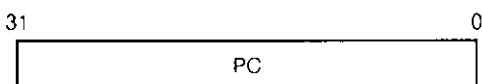
(a) 汎用レジスタ



(b) 乗算／除算レジスタ



(c) プログラム・カウンタ



2.3.2 CP0レジスタ

システム制御コプロセッサ（CP0）はVr3800チップに内蔵され、Vr3800の仮想アドレッシングおよび例外処理機能をサポートします。

また、Vr3000Aで定義できる外部のコプロセッサ（CP1 - CP3）とTLBは、Vr3800ではサポートしていません。

図 2-5 CP0レジスタ



レジスタ	番号	説明
ステータス	12	モード、割り込み可能、診断状態情報
原因	13	最後の例外の性質
EPC	14	例外プログラム・カウンタ
コンテキスト	4	カーネルの仮想可能ページ・テーブル配列エントリへのポインタ
BadVAddr	8	最後のエラー仮想アドレス
PRId	15	プロセッサ・リビジョンID

備考 Vr3800はTLBを使用した仮想記憶管理機構をサポートしないため、Vr3000Aにあった次のレジスタは使用できません。

- インデクス・レジスタ
- ランダム・レジスタ
- エントリLOレジスタ
- エントリHIレジスタ

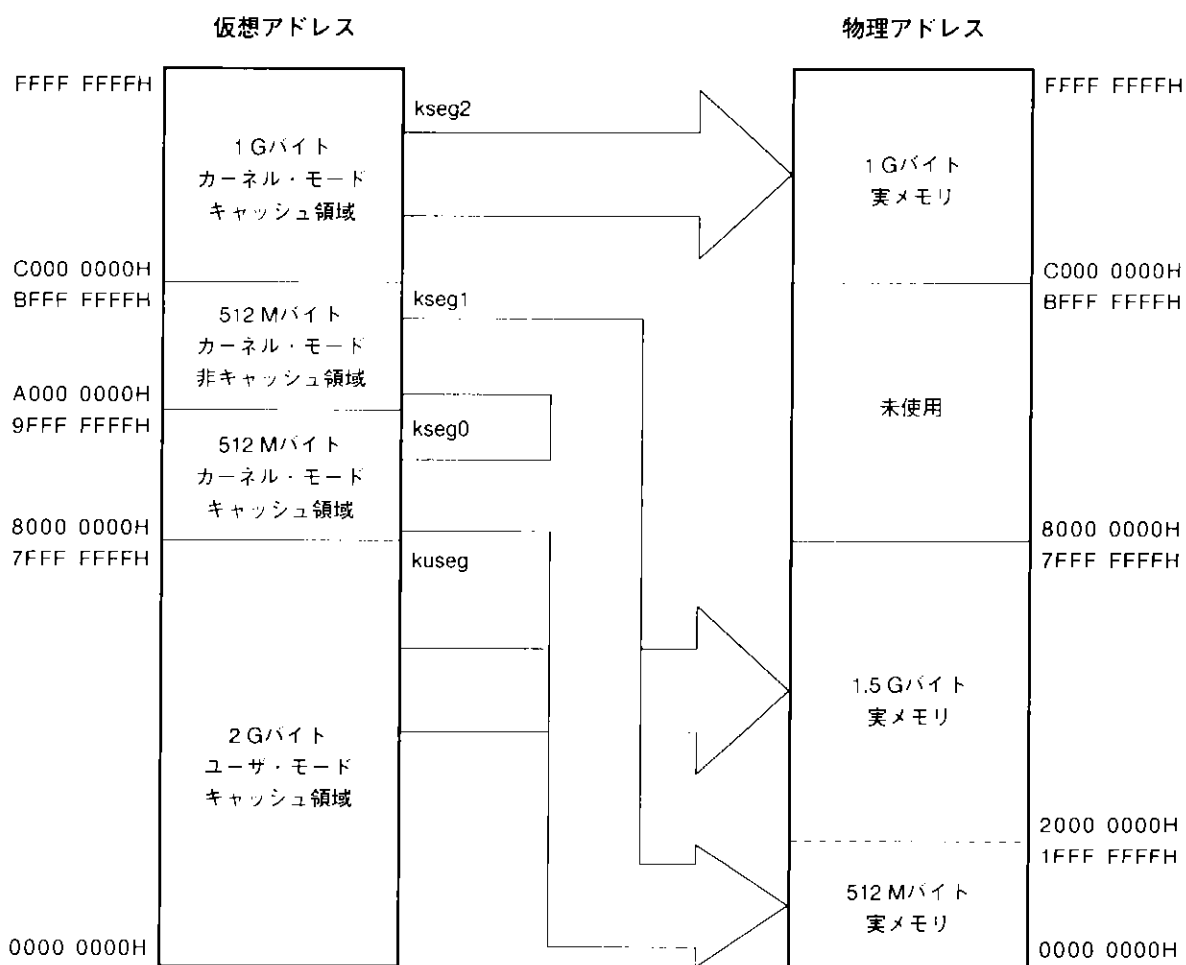
2.4 仮想 / 物理アドレス

Vr3800は組み込み制御分野用のため、Vr3000AにあったTLBを削除し、仮想アドレスがそのまま物理アドレスとなるようにしています。ただしVr3000AのTLBマッピングなし領域 (kseg0, kseg1) については、同様に物理アドレスの下位領域にマッピングされます。

また、カーネル / ユーザ・モードの概念はそのままなので、ユーザ・モードでカーネル・モードのアドレス空間を参照した場合には、アドレス・エラー例外が発生します。

次にアドレス・マップを示します。

図 2-6 アドレス・マップ



備考 ksegはカーネル・セグメント、kusegはカーネル・ユーザ・セグメントです。

2.5 例外処理

Vr3800Aは例外を検出すると通常の命令実行を中断し、割り込みをマスクするとともに実行レベルをユーザ・モードからカーネル・モードに移します。命令実行の中断は、例外を引き起こした命令と、それ以降のすでに実行が開始されている命令パイプライン内の命令を、すべて異常終了することにより行われます。命令中断後、Vr3800は指定された例外処理ハンドラ・ルーチンに直接ジャンプします。

例外が発生すると、Vr3800は例外処理に必要な情報を例外処理レジスタに書き込み、また例外が処理されたあとに実行が再開されるリスタート・メモリ位置をEPC（例外プログラム・カウンタ）にロードします。EPCにロードされるリスタート・アドレスは、例外を引き起こした命令のアドレスか、または、命令が分岐遅延スロットで実行されていた場合は、遅延スロットの直前の分岐命令のアドレスです。

2.5.1 例外処理一覧

例 外	例外ベクトル	原 因
リセット	BFC0 0000H	Vr3800のRESET信号がアクティブになったあとにインアクティブになると起こります。
アドレス・エラー	8000 0080H (BEV セットの場合は BFC0 0180H)	位置合わせされていないワード（つまり、4または2で割り切れないアドレスのワードまたはハーフ・ワード）に対するロード、フェッチ、またはストア命令時に起こります。また、ユーザ・モードで最上位ビットが1にセットされた仮想アドレスを参照する場合も起こります。
オーバフロー		加算または減算実行時の2の補数オーバフロー時に起こります。
システム・コール		syscall命令の実行時に起こります。
ブレークポイント		break命令の実行時に起こります。
予約命令		未定義または予約メジャ・オペレーション・コード（ビット31..26）の実行または予約マイナ・オペレーション・コード（ビット5..0）が未定義の特殊命令の実行時に起こります。
コプロセッサ使用不可		ターゲット・コプロセッサに対しCU（Coprocessor Unusable）ビットがセットされていないときのコプロセッサ命令の実行時に起こります。
割り込み		Vr3800の6つのハードウェア割り込み入力のいずれかがオン、または原因レジスタの2つのソフトウェア割り込みビットのいずれかがセットされているときに起こります。

備考 Vr3800にはVr3000AにあったTLBとBusError端子がないため、UTLB不一致例外、TLB不一致例外、TLB変更例外およびバス・エラー例外は発生しません。

3. 内部ブロック機能

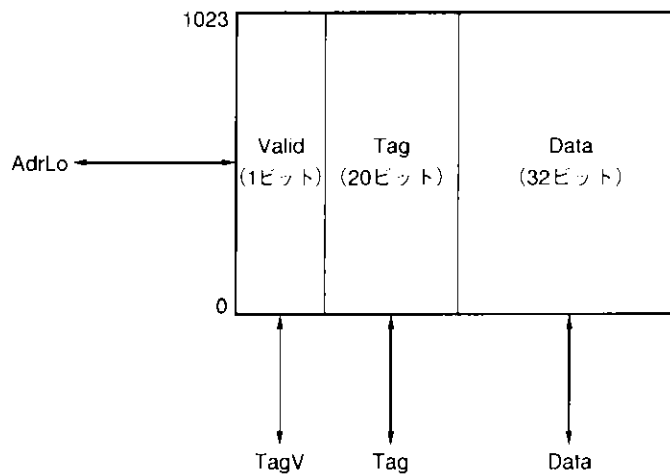
3.1 キャッシュ・メモリ

VR3800では、VR3000Aで外付けだったキャッシュ・メモリを内蔵し、システム構築を容易にしています。容量は命令キャッシュが4Kバイト、データ・キャッシュが1Kバイトです。キャッシュの構成はダイレクト・マップ、ライト・スルー方式です。リフィル・サイズはリセット時に、命令、データ・キャッシュそれぞれを4ワードか1ワードに設定できます。

命令キャッシュとデータ・キャッシュの内容は、リセットで無効化されます。

また、外部端子（ICCLR, DCCLR）をアクティブにしてもキャッシュの内容を無効化できます。

図3-1 キャッシュの構成（命令キャッシュ）



3.2 リセット制御

リセット制御部では、次の3つの制御を行います。

- ・CPUコアに入力する初期化情報の設定
- ・Vr3800独自の初期化情報の設定（キャッシュ・メモリ、バス・サイジング）
- ・内蔵キャッシュ・メモリの無効化

また、リセット時に専用端子で初期設定を選択します。

表3-1にモード選択の一覧を示します。

表3-1 Vr3800のモード選択

端子名	設定	機能
ISTREAM	1	命令ストリーミングを行う。
	0	命令ストリーミングを行わない。
STPART	1	部分ワード・ストア時、データ・キャッシュにヒットすると、そのエントリを更新する。
	0	部分ワード・ストア時、データ・キャッシュの対応エントリを無効化する。
BIGEND	1	リトル・エンディアンに指定する。
	0	ビッグ・エンディアンに指定する。
IBLOCK	1	命令キャッシュのリフィル・サイズを4ワードに指定する。
	0	命令キャッシュのリフィル・サイズを1ワードに指定する。
DBLOCK	1	データ・キャッシュのリフィル・サイズを4ワードに指定する。
	0	データ・キャッシュのリフィル・サイズを1ワードに指定する。
DBUSSIZ	1	ダイナミック・バス・サイジングを16ビット幅で行う。
	0	ダイナミック・バス・サイジングを8ビット幅で行う。
SBUSSIZ	1	固定バス・サイジングを16ビット幅で行う。
	0	固定バス・サイジングを16ビット幅で行わない。

3.3 クロック・ジェネレータ

Vr3000Aでは、おもに外付けのキャッシュ・メモリのタイミングを制御するため、4相でCPU動作周波数の倍周波数のクロック入力が必要でした。

Vr3800には外付けのクロック回路を簡略化するため、クロック・ジェネレータを内蔵しています。このため、単相でCPU動作周波数のクロックを入力します。

バス・サイクル・タイミングはCLKOUTを基準に定義していますので、システムの基準クロックには、CLKOUTを用いてください。

3.4 割り込み

6つのハードウェア割り込みと2つのソフトウェア割り込みをサポートします。また、各割り込み要求を個別にマスクできます。なお、各割り込み間の優先順位はありません。

ハードウェア割り込み要求はINT [5:0] 端子から入力し、ラン・サイクルで受け付けます。またステータス・レジスタのIntMaskビットで、端子ごとに個別に要求をマスクできます。

ソフトウェア割り込み要求は原因レジスタのSW [1:0] ビットに直接ソフトウェアで入力し、ラン・サイクルで受け付けます。また、ハードウェア割り込みと同じように要求をマスクできます。

4. バス・インタフェース

Vr3800は、バス・インタフェース・ユニット (BIU) を内蔵しています。BIUは、CPUコアのアドレス・バスとデータ・バスをメイン・メモリ・システムから分離し、メイン・メモリにアクセスするブロックです。また、CPUコア、キャッシュ・メモリ、クロック・ジェネレータ以外の機能はすべてBIUの中に統合しています。

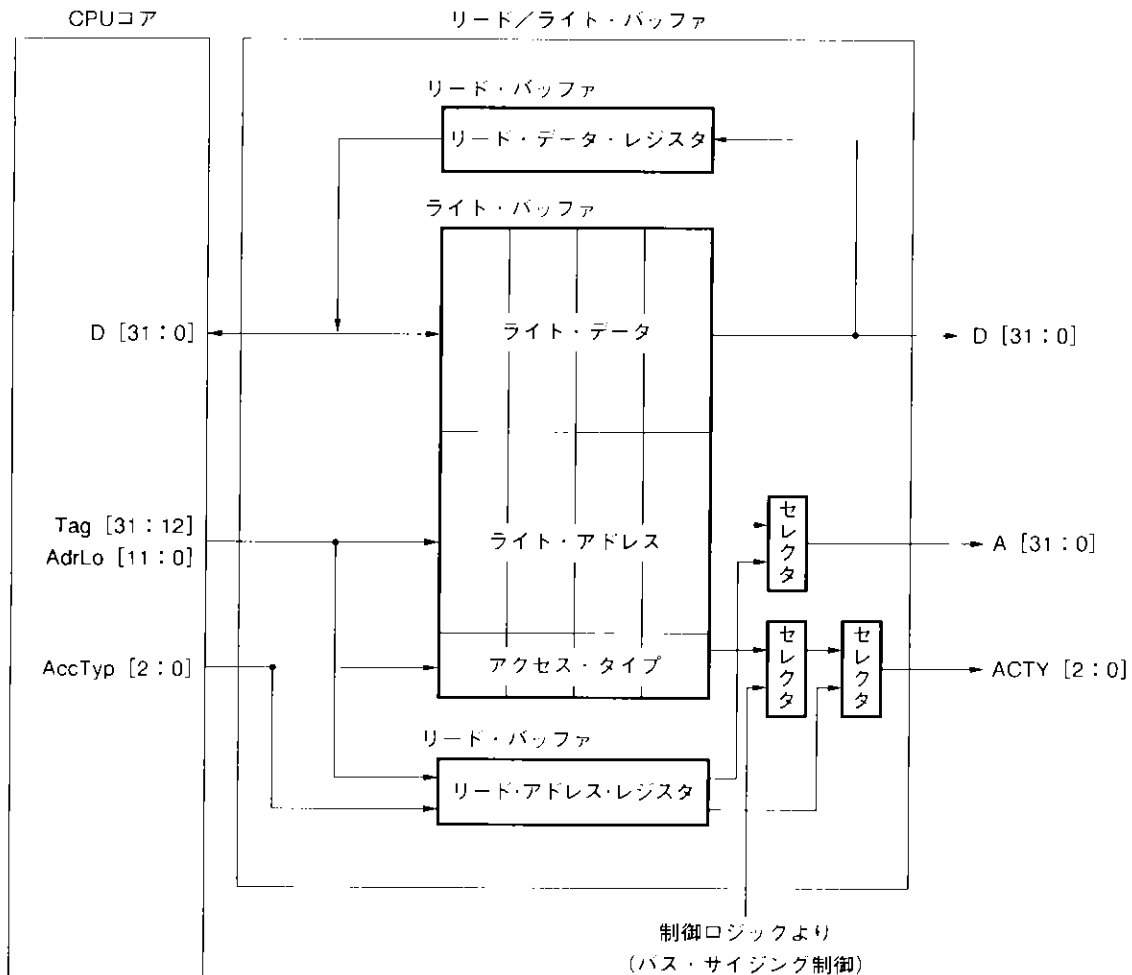
4.1 リード/ライト・バッファ

(1) リード・バッファ

アドレスとデータの1段バッファです。Vr3800では4ワードのブロック・リード転送をサポートします。

(2) ライト・バッファ

アドレス、データ、およびアクセス・タイプの各4段FIFOバッファです。Vr3800のキャッシュ・メモリはライト・スルー構成のため、メイン・メモリへのストア動作は比較的多く発生しますが、ストア動作が4命令分連続して発生しても、パイプラインを止めずに演算を実行できます。



4.2 バス・オペレーション

Vr3800は、レディ制御（RDY端子）による汎用メモリ・インタフェースを採用しています。2クロック・バス・サイクルを基本としますが、メイン・メモリのアクセス時間に合わせて、リード/ライト・バス・サイクルをRDY信号で待ち合わせるすることができます。

Vr3800には、次の3つのバス・サイクルの状態があります。

- T1 …バス・サイクルの最初の状態
- T2 …バス・サイクルの最初以外の状態
- Ti …メモリ・アクセス要求のない状態

4.2.1 バス・アービタ

メイン・メモリへのリード要求、ライト要求、バス・ホールド要求の優先順位を制御します。要求の優先順位は次のとおりです。

バス・ホールド > メモリ・リード > メモリ・ライト

リード要求をライト要求より優先させているので、命令フェッチが効率的に行われます。

さらに、ライト・バッファ内のアドレスとリード・アクセスのアドレスが一致した場合には、ライト・バッファ内のデータを優先的に出力するための待ち合わせを制御します。

この場合、要求の優先順位は例外的に次の順になります。

バス・ホールド > メモリ・ライト > メモリ・リード

4.2.2 シングル・リード・サイクル

非キャッシュ領域でのリード要求発生時、およびキャッシュ・ミス・ヒット発生時にリフィル・サイズを1ワードに設定した場合発生します。

4.2.3 ライト・サイクル

ライト要求発生時に発生します。Vr3800のキャッシュ・メモリはライト・スルー方式のため、キャッシュ領域、非キャッシュ領域に関係なく、すべてのライト要求に対してアクセスを行います。

4.2.4 ブロック・リード・サイクル

キャッシュのリフィル・サイクル数を4ワードに指定した場合に発生します。

1ワード目にアクセスするバス・サイクルはRDY信号で制御されますが、2 - 4ワード目の間の入力データをサンプリングする間隔は、メイン・メモリのアクセス時間に応じてアクセスごとにBLKW端子で指定できます。これにより、単位バス・サイクルは次のようになります。

BLKW [1:0]	単位バス・サイクル
0 0	1クロック
0 1	2クロック
1 0	3クロック
1 1	4クロック

4.2.5 バス・ホールド

ほかのバス・マスタがV_R3800に対してバスの使用权を要求した場合、V_R3800をバス・ホールド状態にできます。このときV_R3800は、ほとんどすべての出力端子をフローティング（ハイ・インピーダンス）状態にして、バスを外部から切り離します。

バス・ホールド状態への移行はHLD_{RQ}端子で要求します。バス・ホールド状態になると、HLD_{AK}信号をアクティブにし、外部に通知します。

4.2.6 ダイナミック・バス・サイジング

バス・サイクルごとに、データ・バス幅を8ビットまたは16ビットに制御する機能です。RDY信号をアクティブにするのと同じタイミングでSIZ_{RQ}信号をアクティブにすることにより行います。この機能はシングル・リード・サイクル時だけ使用できます。基本的には、リセット立ち上げ時のブートROMのビット幅を減らすためのものです。

なおダイナミック・バス・サイジング時のデータ・バス幅の設定は、リセット時にDBUSSIZ端子で設定します。

4.2.7 16ビット固定バス・サイジング

リセット時にSBUSSIZ信号をアクティブにすると、データ・バスは常に16ビットで動作するモードになります。

リード・サイクル、ライト・サイクル共にバス・サイジングの対象となります。ただし、ブロック・リード・サイクルは使用できません。

4.3 データ形式

V_R3800では、32ビット（ワード）、16ビット（ハーフ・ワード）、8ビット（バイト）を定義しています。バイトの順序は、ビッグ・エンディアンかリトル・エンディアンに指定できます（ハードウェア・リセット時）。

図4-1 ワード内のバイト・アドレス

(a) ビッグ・エンディアン

	31	24 23	16 15	8 7	0	ワード・アドレス
上位アドレス	8	9	10	11		8
	4	5	6	7		4
下位アドレス	0	1	2	3		0

(b) リトル・エンディアン

	31	24 23	16 15	8 7	0	ワード・アドレス
上位アドレス	11	10	9	8		8
	7	6	5	4		4
下位アドレス	3	2	1	0		0

またバス・サイジングによって、データの整列位置は次のようになります。

図 4-2 16ビット・バス・サイジング時のデータ・バス上の整列位置

(a) ビッグ・エンディアン

	31	24 23	16 15	8 7	0
上位アドレス	無効	無効	2	3	
下位アドレス	無効	無効	0	1	

(b) リトル・エンディアン

	31	24 23	16 15	8 7	0
上位アドレス	無効	無効	3	2	
下位アドレス	無効	無効	1	0	

図 4-3 8ビット・バス・サイジング時のデータ・バス上の整列位置

	31	24 23	16 15	8 7	0
上位アドレス	無効	無効	無効	3	
	無効	無効	無効	2	
	無効	無効	無効	1	
下位アドレス	無効	無効	無効	0	

備考 各欄のアドレスは、バイト・アドレスの下位 2 ビットの10進値を示します。

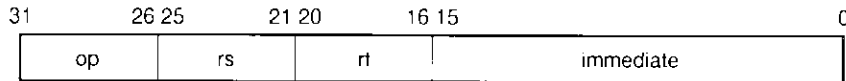
5. 命令セット

Vr3800は、Vr3000Aと完全互換の命令セットを提供します。

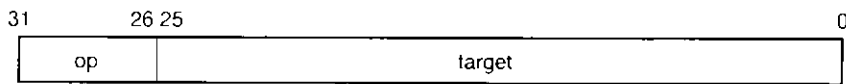
Vr3800のすべての命令は、ワード境界に位置合わせされた単一ワード（32ビット）で構成されます。命令形式の基本形は、下図に示されているように3種類しかありません。したがって、命令デコードを高速で行えます。複雑な（使用頻度の低い）オペレーションおよびアドレッシングは、コンパイラが生成します。

5.1 命令フォーマット

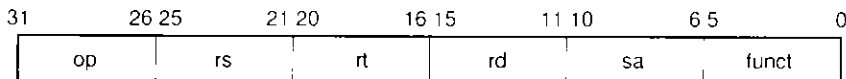
Iタイプ（イミューディエト）



Jタイプ（ジャンプ）



Rタイプ（レジスタ）



op	6ビットの命令コード
rs	5ビットのソース・レジスタ指定子
rt	5ビットのターゲット（ソース/デスティネーション）・レジスタまたは分岐条件
immediate	16ビットのイミューディエト、分岐ディスプレイースメント、またはアドレス・ディスプレイースメント
target	26ビットの無条件分岐ターゲット・アドレス
rd	5ビットのデスティネーション・レジスタ指定子
sa	5ビットのシフト量
funct	6ビットの機能フィールド

5.2 命令セット一覧

Vr3800の命令は、CPU命令セットとシステム制御コプロセッサ命令セットの2種類に分類されます。以下に、各命令セットの一覧を示します。

保守 / 廃止

表 5-1 CPU命令セット (1/3)

命 令	説 明	形 式					
ロード/ストア命令		op	base	rt	offset		
LB	Load Byte	LB		rt, offset (base)			
LBU	Load Byte Unsigned	LBU		rt, offset (base)			
LH	Load Halfword	LH		rt, offset (base)			
LHU	Load Halfword Unsigned	LHU		rt, offset (base)			
LW	Load Word	LW		rt, offset (base)			
LWL	Load Word Left	LWL		rt, offset (base)			
LWR	Load Word Right	LWR		rt, offset (base)			
SB	Store Byte	SB		rt, offset (base)			
SH	Store Halfword	SH		rt, offset (base)			
SW	Store Word	SW		rt, offset (base)			
SWL	Store Word Left	SWL		rt, offset (base)			
SWR	Store Word Right	SWR		rt, offset (base)			
演算命令 (ALUイミディエト)		op	rs	rt	immediate		
ADDI	Add Immediate	ADDI	rt, rs,	immediate			
ADDIU	Add Immediate Unsigned	ADDIU	rt, rs,	immediate			
SLTI	Set On Less Than Immediate	SLTI	rt, rs,	immediate			
SLTIU	Set On Less Than Immediate Unsigned	SLTIU	rt, rs,	immediate			
ANDI	And Immediate	ANDI	rt, rs,	immediate			
ORI	Or Immediate	ORI	rt, rs,	immediate			
XORI	Exclusive Or Immediate	XORI	rt, rs,	immediate			
LUI	Load Upper Immediate	LUI	rt,	immediate			
演算命令 (3オペランド・タイプ)		op	rs	rt	rd	0	funct
ADD	Add	ADD		rd, rs, rt			
ADDU	Add Unsigned	ADDU		rd, rs, rt			
SUB	Subtract	SUB		rd, rs, rt			
SUBU	Subtract Unsigned	SUBU		rd, rs, rt			
SLT	Set On Less Than	SLT		rd, rs, rt			
SLTU	Set On Less Than Unsigned	SLTU		rd, rs, rt			
AND	And	AND		rd, rs, rt			
OR	Or	OR		rd, rs, rt			
XOR	Exclusive Or	XOR		rd, rs, rt			
NOR	Nor	NOR		rd, rs, rt			

保守 / 廃止

表 5-1 CPU命令セット (2/3)

命 令	説 明	形 式						
演算命令 (シフト) <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td style="width: 10%;">op</td> <td style="width: 10%;">rs</td> <td style="width: 10%;">rt</td> <td style="width: 10%;">rd</td> <td style="width: 10%;">sa</td> <td style="width: 10%;">funct</td> </tr> </table>			op	rs	rt	rd	sa	funct
op	rs	rt	rd	sa	funct			
SLL	Shift Left Logical	SLL rd, rt, sa						
SRL	Shift Right Logical	SRL rd, rt, sa						
SRA	Shift Right Arithmetic	SRA rd, rt, sa						
SLLV	Shift Left Logical Variable	SLLV rd, rt, rs						
SRLV	Shift Right Logical Variable	SRLV rd, rt, rs						
SRAV	Shift Right Arithmetic Variable	SRAV rd, rt, rs						
演算命令 (乗除算) <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td style="width: 10%;">op</td> <td style="width: 10%;">rs</td> <td style="width: 10%;">rt</td> <td style="width: 10%;">rd</td> <td style="width: 10%;">0</td> <td style="width: 10%;">funct</td> </tr> </table>			op	rs	rt	rd	0	funct
op	rs	rt	rd	0	funct			
MULT	Multiply	MULT rs, rt						
MULTU	Multiply Unsigned	MULTU rs, rt						
DIV	Divide	DIV rs, rt						
DIVU	Divide Unsigned	DIVU rs, rt						
MFHI	Move From HI	MFHI rd						
MFLO	Move From LO	MFLO rd						
MTHI	Move To HI	MTHI rs						
MTLO	Move To LO	MTLO rs						
ジャンプ命令 (1) <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td style="width: 10%;">op</td> <td style="width: 80%;">target</td> </tr> </table>			op	target				
op	target							
J	Jump	J target						
JAL	Jump And Link	JAL target						
ジャンプ命令 (2) <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td style="width: 10%;">op</td> <td style="width: 10%;">rs</td> <td style="width: 10%;">0</td> <td style="width: 10%;">rd</td> <td style="width: 10%;">0</td> <td style="width: 10%;">funct</td> </tr> </table>			op	rs	0	rd	0	funct
op	rs	0	rd	0	funct			
JR	Jump Register	JR rs						
JALR	Jump And Link Register	JALR rs, rd						
ブランチ命令 (1) <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td style="width: 10%;">op</td> <td style="width: 10%;">rs</td> <td style="width: 10%;">rt</td> <td style="width: 70%;">offset</td> </tr> </table>			op	rs	rt	offset		
op	rs	rt	offset					
BEQ	Branch On Equal	BEQ rs, rt, offset						
BNE	Branch On Not Equal	BNE rs, rt, offset						
BLEZ	Branch On Less Than Or Equal Zero	BLEZ rs, offset						
BGTZ	Branch On Greater Than Zero	BGTZ rt, offset						
ブランチ命令 (2) <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td style="width: 10%;">op</td> <td style="width: 10%;">rs</td> <td style="width: 10%;">funct</td> <td style="width: 70%;">offset</td> </tr> </table>			op	rs	funct	offset		
op	rs	funct	offset					
BLTZ	Branch On Less Than Zero	BLTZ rs, offset						
BGEZ	Branch On Greater Than Or Equal Zero	BGEZ rs, offset						
BLTZAL	Branch On Less Than Zero And Link	BLTZAL rs, offset						
BGEZAL	Branch On Greater Than Or Equal Zero And Link	BGEZAL rs, offset						

表 5-1 CPU命令セット (3/3)

命 令	説 明	形 式			
特殊命令		<table style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 20%; border: 1px solid black;">op</td> <td style="width: 50%; border: 1px solid black;">code</td> <td style="width: 30%; border: 1px solid black;">funct</td> </tr> </table>	op	code	funct
op	code	funct			
SYSCALL	System Call	SYSCALL			
BREAK	Breakpoint	BREAK			
コプロセッサ命令 ^注		<table style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 20%; border: 1px solid black;">op</td> <td style="width: 30%; border: 1px solid black;">funct</td> <td style="width: 50%; border: 1px solid black;">offset</td> </tr> </table>	op	funct	offset
op	funct	offset			
BCzT	Branch On Coprocessor z True	BCzT offset			
BCzF	Branch On Coprocessor z False	BCzF offset			

注 コプロセッサ 0 (CP0) を指定し、ライト・バッファの状態を調べる場合だけ使用できます。詳細は 6.2

VR3800独自の機能を参照してください。

また、外付けのコプロセッサ (CP1 - CP3) をサポートしていないため、その他のコプロセッサ命令は使用できません。

表 5-2 システム制御コプロセッサ命令セット

命 令	説 明	形 式					
システム制御コプロセッサ命令 (1)		<table style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 20%; border: 1px solid black;">op</td> <td style="width: 15%; border: 1px solid black;">funct</td> <td style="width: 10%; border: 1px solid black;">rt</td> <td style="width: 10%; border: 1px solid black;">rd</td> <td style="width: 45%; border: 1px solid black;">0</td> </tr> </table>	op	funct	rt	rd	0
op	funct	rt	rd	0			
MFC0	Move From Coprocessor 0	MFC0 rt, rd					
MTC0	Move To Coprocessor 0	MTC0 rt, rd					
システム制御コプロセッサ命令 (2) ^注		<table style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 20%; border: 1px solid black;">op</td> <td style="width: 15%; border: 1px solid black;">CO</td> <td style="width: 45%; border: 1px solid black;">0</td> <td style="width: 20%; border: 1px solid black;">funct</td> </tr> </table>	op	CO	0	funct	
op	CO	0	funct				
RFE	Restore From Exception	RFE					

注 VR3800にはTLBがないため、VR3000AにあったTLB命令は使用できません。

6. Vr3000Aとのソフトウェアの互換性

6.1 Vr3000Aとの違い

Vr3800は、基本的にはVr3000Aとソフトウェア互換です。ただし、ハードウェアの制限と追加機能のため、次のような違いがあります。

項 目	Vr3800	Vr3000A
外部コプロセッサ (CP1-CP3)	サポートしない	サポートする
コプロセッサ条件端子	ない	4本 (CpCond0-3)
命令/データ・キャッシュの無効化	リセットで自動処理か端子入力での処理	ソフトウェアで処理
仮想記憶管理機構	サポートしない	サポートする (TLB使用)

上記の制限のため、Vr3800では次の命令は使用できません。

コプロセッサ命令：CFCz, COPz, CTCz, LWCz, MFCz, MTCz, SWCz

システム制御コプロセッサ (CP0) 命令：TLBP, TLBR, TLBWI, TLBWR

6.2 Vr3800独自の機能

(1) ライト・バッファ・エンプティ待ち合わせ機能

Vr3800では、システム制御コプロセッサの条件分岐命令であるBC0T命令とBC0F命令で、BIUのライト・バッファの状態を知ることができます。

- ・条件が真 (1) : ライト・バッファにデータがない
- ・条件が偽 (0) : ライト・バッファにデータがある

これらの命令でコプロセッサ条件を参照することによって、次のような処理ができます。

- ・ライト・アクセスとリード・アクセスの順序の調停
- ・連続するライト・サイクルにおけるライト間隔の調節



7. 電気的特性

絶対最大定格 (Ta = 25 °C)

項目	略号	条件	定格	単位
電源電圧	V _{DD}		-0.5 ~ +7.0	V
入力電圧	V _I		-0.5 ~ V _{DD} + 0.3	V
クロック入力電圧	V _K		-0.5 ~ V _{DD} + 0.3	V
出力電圧	V _O		-0.5 ~ V _{DD} + 0.3	V
動作温度	V _{opt}		0 ~ +70	°C
保存温度	V _{sig}		-65 ~ +150	°C

注意 1. IC製品の出力（または入出力）端子同士を直結したり、V_{DD}またはV_{CC}やGNDに直結したりしないでください。ただし、オープン・ドレイン端子やオープン・コレクタ端子同士は直結できます。また、ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路でも直結可能です。

2. 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づかない状態で、製品をご使用ください。

DC特性とAC特性に示す規格や条件が、製品の正常動作、品質保証の範囲です。

DC特性 (Ta = 0 ~ +70 °C, V_{DD} = +5 V ± 5 %)

項目	略号	条件	MIN.	MAX.	単位
低レベル・クロック入力電圧	V _{KL}		-0.5	+0.6	V
高レベル・クロック入力電圧	V _{KH}		4.0	V _{DD} + 0.3	V
低レベル入力電圧	V _{IL}	クロック以外	-0.5	+0.8	V
高レベル入力電圧	V _{IH}		2.2	V _{DD} + 0.3	V
低レベル出力電圧	V _{OL}	I _{OL} = 3.2 mA		0.45	V
高レベル出力電圧	V _{OH}	I _{OH} = -400 μA	2.4		V
入力リーク電流	I _{LI}			±10	μA
出力リーク電流	I _{LO}			±10	μA
電源電流	I _{DD}	f = 25 MHz		0.5	A

備考 動作時の電源電流は、動作クロック周波数にほぼ比例します。

容量 (Ta = 25 °C, V_{DD} = 0 V)

項目	略号	条件	MIN.	MAX.	単位
入力容量	C _I	f = 1 MHz		15	pF
出力容量	C _O			15	pF
入出力容量	C _{IO}			15	pF

保守 / 廃止

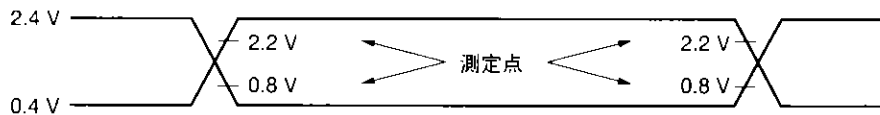
AC特性 (Ta = 0 ~ +70 °C, VDD = +5V ± 5%)

項目	略号	条件	MIN.	MAX.	単位
クロック入力周期	t _{CYK}		40	100	ns
クロック入力ハイ・レベル幅	t _{KKH}		17		ns
クロック入力ロウ・レベル幅	t _{KKL}		17		ns
クロック入力立ち上がり時間	t _{KR}			3	ns
クロック入力立ち下がり時間	t _{KF}			3	ns
クロック出力周期	t _{CYKO}	C _L = 50 pF	40	100	ns
クロック出力ハイ・レベル幅	t _{KKH0}		17		ns
クロック出力ロウ・レベル幅	t _{KKLO}		17		ns
クロック出力立ち上がり時間	t _{KPO}			3	ns
クロック出力立ち下がり時間	t _{KFO}			3	ns
RESET保持時間 (対V _{DD} ↑)	t _{HVR}		300t _{CYK}		ns
RESET解除設定時間 (対CLKOUT↑)	t _{SRK}		5		ns
RESETハイ・レベル・パルス幅 (対CLKOUT↑)	t _{WRL}		10t _{CYK}		ns
モード選択設定時間 (対CLKOUT↑)	t _{MS}		5		ns
モード選択保持時間 (対CLKOUT↑)	t _{MH}		2		ns
RDY設定時間 (対CLKOUT↓)	t _{SRYK}		5		ns
RDY保持時間 (対CLKOUT↓)	t _{HCRY}		2		ns
SIZRQ設定時間 (対CLKOUT↓)	t _{SSK}		12		ns
SIZRQ保持時間 (対CLKOUT↓)	t _{HKS}		2		ns
BLKW設定時間 (対CLKOUT↓)	t _{SBWK}		5		ns
BLKW保持時間 (対CLKOUT↓)	t _{HKBW}		3		ns
HLDQR設定時間 (対CLKOUT↓)	t _{SHK}		5		ns
HLDQR保持時間 (対CLKOUT↓)	t _{HKH}		3		ns
データ設定時間 (対CLKOUT↓)	t _{SDK}		6		ns
データ保持時間 (対CLKOUT↓)	t _{HKDI}		2		ns
ICCLR, DCCLR設定時間 (対CLKOUT↓)	t _{SICK}		5		ns
ICCLR, DCCLR保持時間 (対CLKOUT↓)	t _{HKIC}		2		ns
INT設定時間 (対CLKOUT↓)	t _{SIK}		5		ns
INT保持時間 (対CLKOUT↓)	t _{HKI}		2		ns
アドレス等 ^{注1} 出力アクティブ遅延時間 (対CLKOUT↑)	t _{DKA}	C _i = 50 pF		15	ns
アドレス等 ^{注1} 出力インアクティブ遅延時間 (対CLKOUT↑)	t _{HKA}			15	ns
BCYST等 ^{注2} 出力アクティブ遅延時間 (対CLKOUT↑)	t _{DKB}			12	ns
BCYST等 ^{注2} 出力インアクティブ遅延時間 (対CLKOUT↑)	t _{HKB}			12	ns

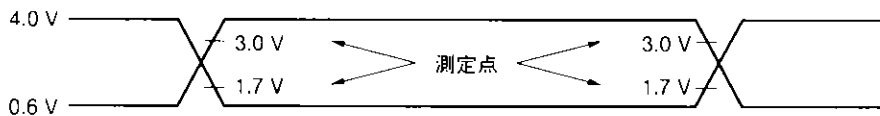
- 注1. A [31:0], ACTY [2:0] 信号が対象となります。
 2. BCYST, BLKRD, R/W, HLDK信号が対象となります。

項目	略号	条件	MIN.	MAX.	単位
DA出力アクティブ遅延時間 (対CLKOUT↓)	t _{DKDA}	C _L = 50 pF		12	ns
DA出力インアクティブ遅延時間 (対CLKOUT↓)	t _{HKDA}			12	ns
ブロック・アドレス切り替え遅延時間 (対CLKOUT↓)	t _{DKAB}		2.5	12	ns
データ出力遅延時間 (対CLKOUT↓)	t _{DKD}			12	ns
データ出力保持時間 (対CLKOUT↑)	t _{HKDO}			20	ns
アクティブ→フローティング遅延時間 (対CLKOUT↑)	t _{HZK}			20	ns
フローティング→アクティブ遅延時間 (対CLKOUT↑)	t _{LZK}			20	ns

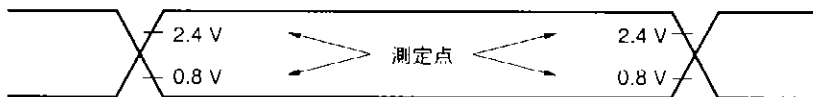
ACテスト入力波形 (CLK以外)



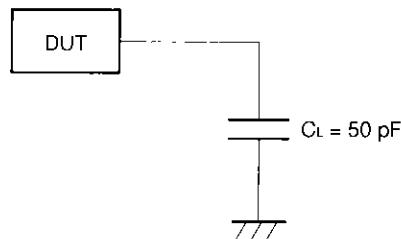
ACテスト入力波形 (CLK)



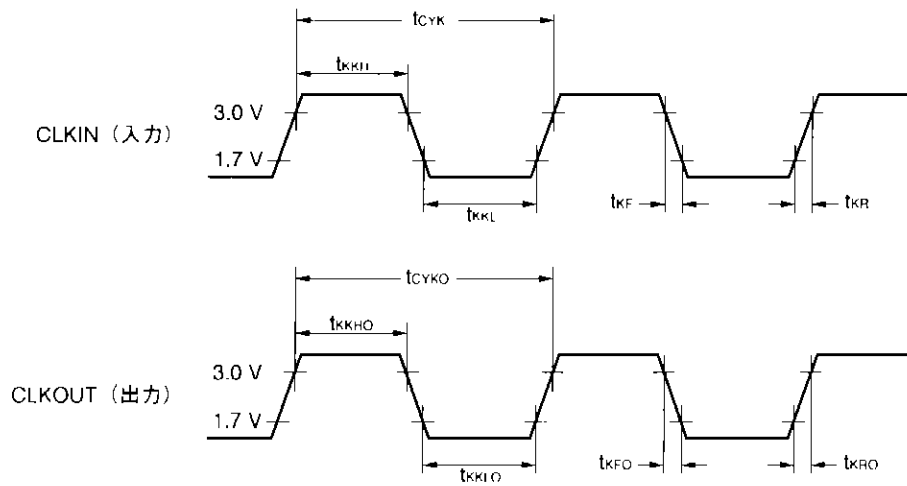
ACテスト出力測定点



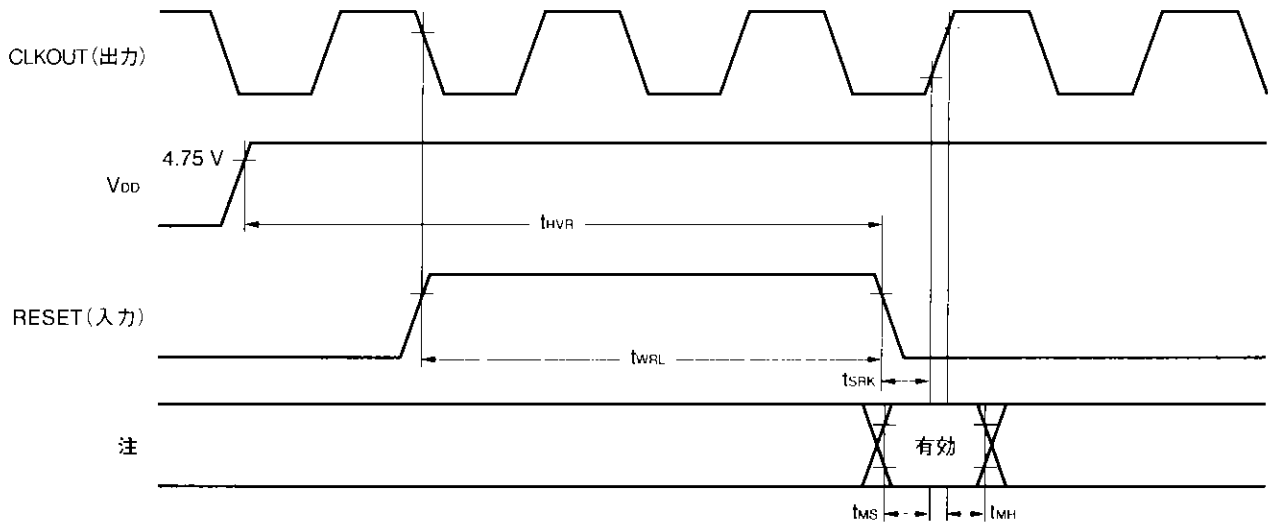
テスト負荷



クロック入出力タイミング



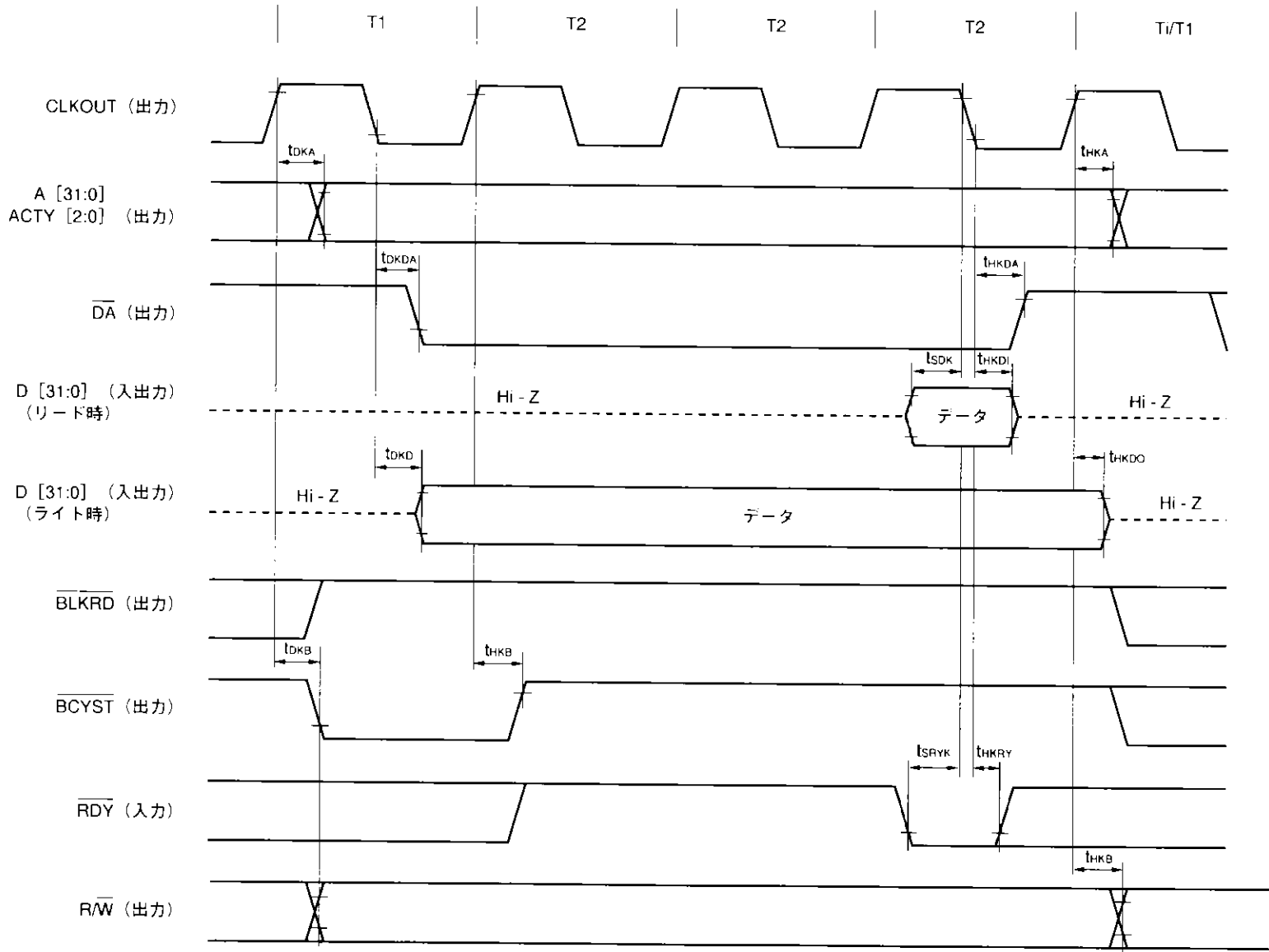
リセット・タイミング



注 DBUSSIZ, SBUSSIZ, IBLOCK, DBLOCK, STPART, ISTREAM, BIGEND

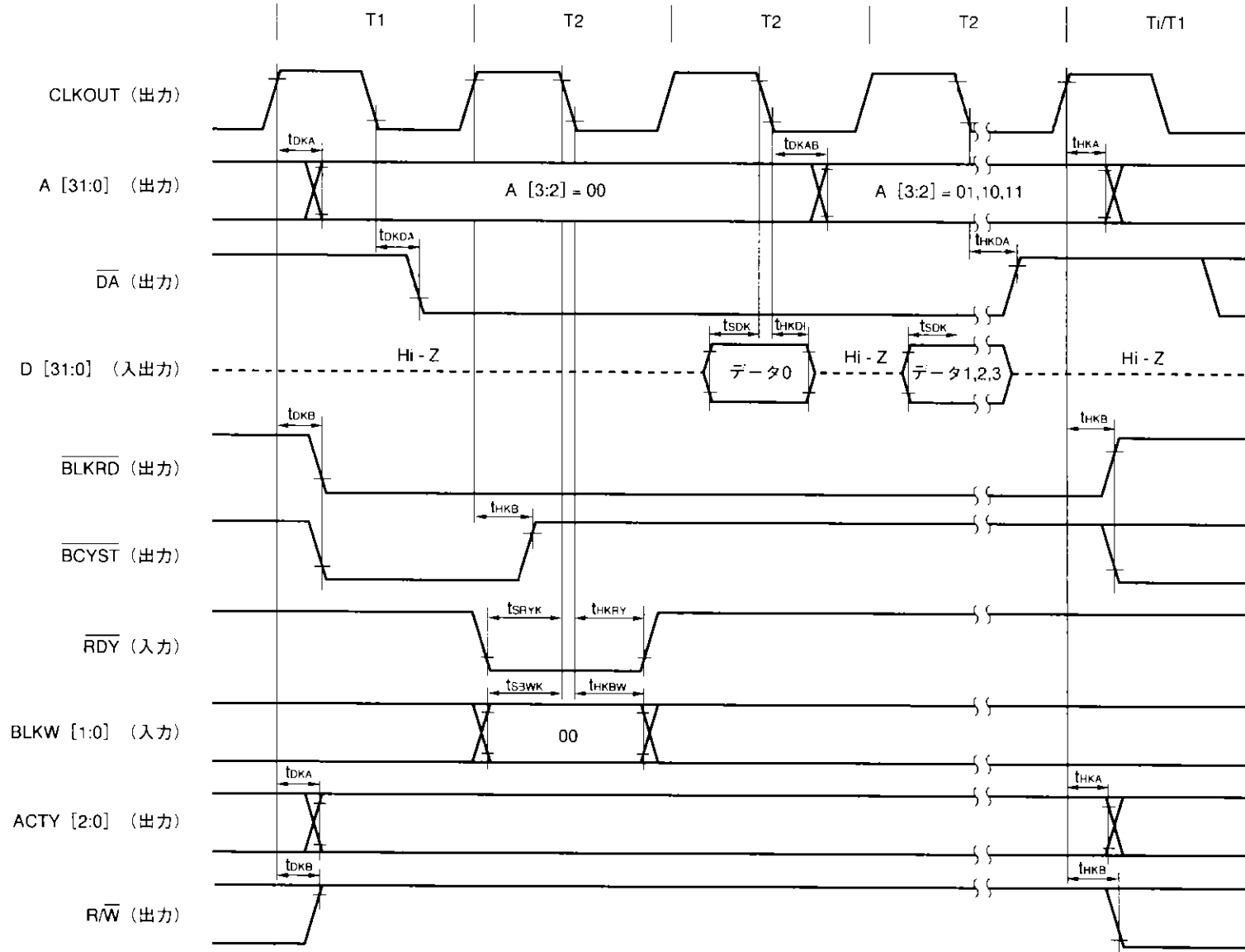
保守/廃止

シングル・リード/ライト・サイクル・タイミング



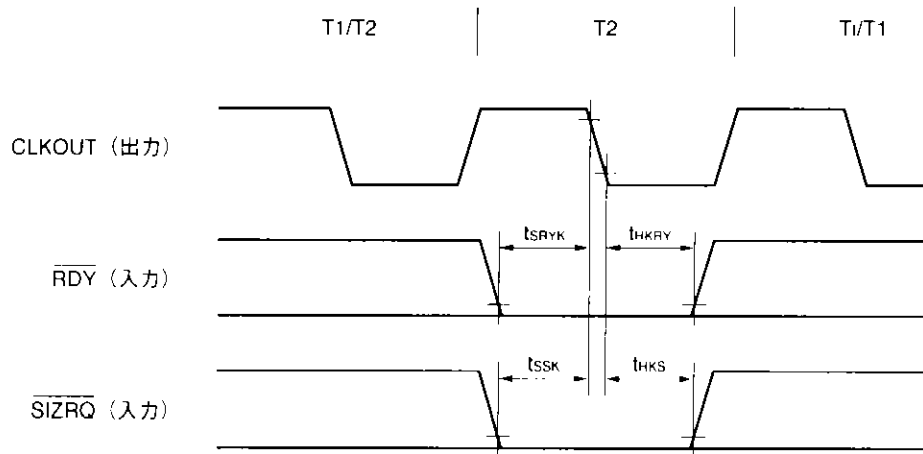
保守/廃止

ブロック・リード・サイクル・タイミング (BLKW [1:0] = 00の場合)

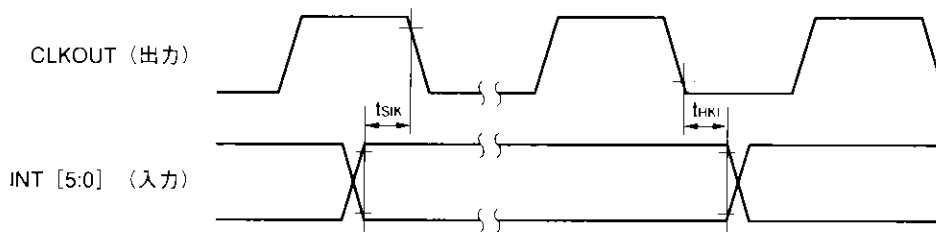


*

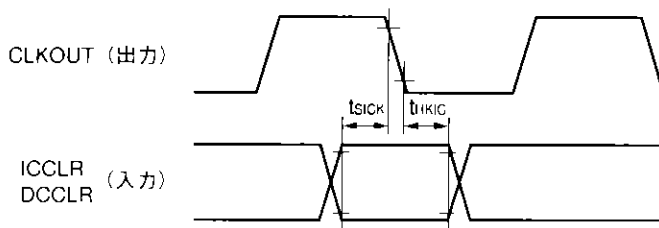
ダイナミック・バス・サイジング



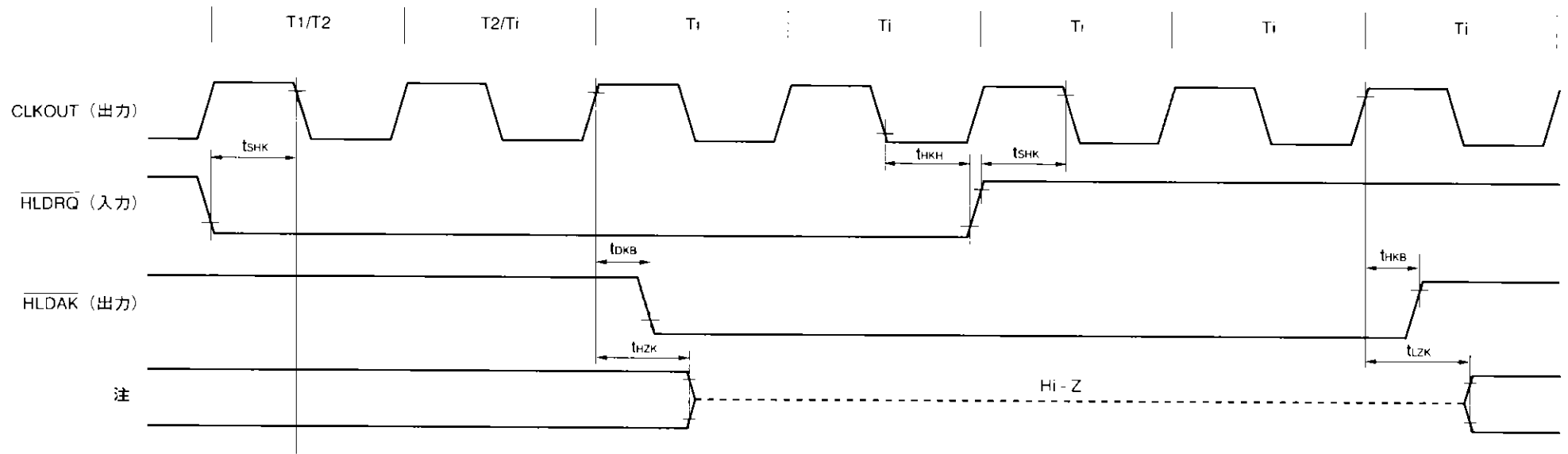
割り込み入力タイミング



キャッシュ・クリア・タイミング



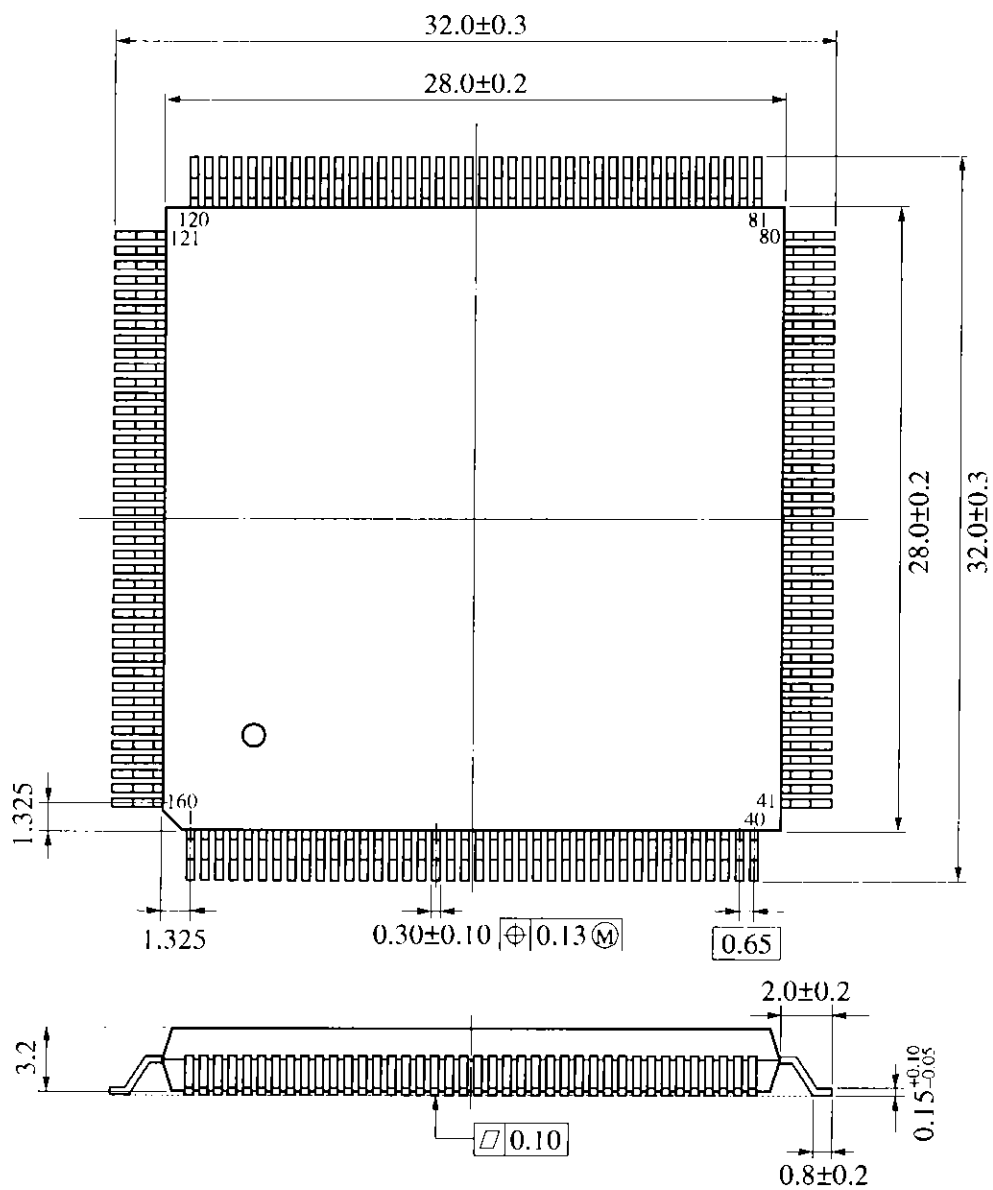
バス・ホールド・タイミング



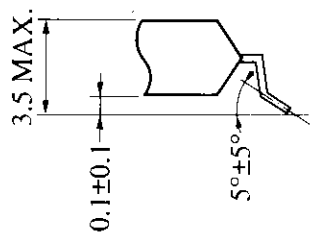
注 A [31:0], D [31:0], ACTY [2:0], \overline{DA} , $\overline{R/W}$, \overline{BLKRD} , \overline{BCYST}

8. 外形図

160ピン・プラスチック QFP(□28) 外形図 (単位 : mm)



端子先端形状詳細図



P160GD-65-LBD, MBD

★ 9. 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の詳細は、インフォメーション資料「半導体デバイス実装マニュアル」(IEI - 616)をご参照ください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

表9-1 半田付け条件

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃、時間：30秒以内（210℃以上）、 回数：2回以内 制限日数：3日間 ^注 （以降は125℃プリベーク 36時間必要） 〈留意事項〉 (1) 2回目のリフロは1回目のリフロによるデバイス温度が常温に戻ってから開始してください。 (2) 1回目のリフロ後の水によるフラックス洗浄は避けください。	IR35-363-2
端子部分加熱	端子温度：300℃以下、時間：3秒以内（デバイスの一辺当たり）	—

注 ドライバック開封後の保管制限日数で、保管条件は25℃、65%RH以下。

注意 半田付け方式の併用は避けください（ただし、端子部分加熱方式は除く）。

CMOSデバイスの一般的注意事項

①静電気対策 (MOS全般)

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

②未使用入力の処理 (CMOS特有)

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性 (タイミングは規定しません) を考慮すると、個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

③初期化以前の状態 (MOS全般)

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

関連資料 VR3800 アプリケーション・ノート モニタ・プログラムとハードウェア設計編 (IEA-753)

VR3000A データ・シート (IC-8278)

ユーザース・マニュアル ハードウェア編 (IEU-748)

アーキテクチャ編 (IEU-730)

参考資料 電气的特性の考え方 マイコン編 (IEI-601)



本製品は外国為替および外国貿易管理法の規定により戦略物資等（または役務）に該当しますので、日本国外に輸出する場合には、同法に基づき日本国政府の輸出許可が必要です。

本製品は米国の輸出管理規則の規制を受ける技術を用いておりますので、本製品および本製品を組み込んだ装置を輸出する場合、輸出先によっては米国政府の許可も必要です。

- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- この製品を使用したことにより、第三者の工業所有権等にかかわる問題が発生した場合、当社製品の構造製法に直接かかわるもの以外につきましては、当社はその責を負いませんのでご了承ください。
- 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。
 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
 特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災/防犯装置、各種安全装置、生命維持を直接の目的としない医療機器
 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
 当社製品のデータ・シート/データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。
- この製品は耐放射線設計をしておりません。

M4 94.6

VR3800, VR3000AおよびVRシリーズは、日本電気株式会社の商標です。

— お問い合わせは、最寄りのNECへ —

【営業関係お問い合わせ先】

半導体第一販売事業部 半導体第二販売事業部 半導体第三販売事業部	〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3454-1111 (大代表)
中部支社 半導体販売部	〒460 名古屋市中区栄四丁目14番5号 (松下中日ビル)	名古屋 (052)242-2755
関西支社 半導体第一販売部 半導体第二販売部 半導体第三販売部	〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3178 大阪 (06) 945-3200 大阪 (06) 945-3208
北海道支社 札幌 東北支社 仙台 岩手支店 盛岡 山形支店 山形 郡山支店 郡山 いわき支店 いわき 長岡支店 長岡 土浦支店 土浦 水戸支店 水戸 神奈川支社 横浜 群馬支店 高崎 太田支店 太田 宇都宮支店 宇都宮	(011)231-0161 (022)261-5511 (0196)51-4344 (0236)23-5511 (0249)23-5511 (0246)21-5511 (0258)36-2155 (0298)23-6161 (0292)26-1717 (045)324-5511 (0273)26-1255 (0276)46-4011 (0286)21-2281	小山支店 小山 (0285)24-5011 長野支社 長野 (0262)35-1444 松本支店 松本 (0263)35-1666 上諏訪支店 諏訪 (0266)53-5350 甲府支店 甲府 (0552)24-4141 埼玉支店 大宮 (048)641-1411 立川支店 立川 (0425)26-5981 千葉支社 千葉 (043)238-8116 静岡支社 静岡 (054)255-2211 沼津支店 沼津 (0559)63-4455 浜松支店 浜松 (053)452-2711 北陸支社 金沢 (0762)23-1621 福井支店 福井 (0776)22-1866
富山支店 富山 三豊支店 津 京都支社 京都 神戸支社 神戸 中国支社 広島 鳥取支店 鳥取 岡山支店 岡山 四国支社 高松 新居浜支店 新居浜 松山支店 松山 九州支社 福岡 北九州支店 北九州	(0764)31-8461 (0592)25-7341 (075)344-7824 (078)332-3311 (082)242-5504 (0857)27-6311 (086)225-4455 (0878)36-1200 (0897)32-5001 (0899)45-4111 (092)271-7700 (093)541-2887	

【本資料に関する技術お問い合わせ先】

半導体ソリューション技術本部 マイクロコンピュータ技術部	〒210 川崎市幸区塚越三丁目484番地	川崎 (044)548-8890	半導体 インフォメーションセンター FAX(044)548-7900 (FAXにてお願い致します)
半導体販売技術本部 東日本販売技術部	〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3798-9619	
半導体販売技術本部 中部販売技術部	〒460 名古屋市中区栄四丁目14番5号 (松下中日ビル)	名古屋 (052)242-2762	
半導体販売技術本部 西日本販売技術部	〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3383	