

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

デジタル・チューニング・システム用専用ハードウェア内蔵
4ビット・シングルチップ・マイクロコントローラ

- ★ μ PD17934Aは、デジタル・チューニング・システム用ハードウェアを内蔵した4ビット・シングルチップCMOSマイクロコントローラです。
- ★ μ PD17934Aは、電源電圧0.9Vの超低電圧で230MHzまで動作するプリスケラ、PLL周波数シンセサイザ、中間周波数(IF)カウンタおよびLCDコントローラ/ドライバを1チップに納めたデジタル・チューニング・システム(DTS)用低電圧4ビットCMOSマイクロコントローラです。
したがって、1チップで高性能なポータブル・セット用デジタル・チューニング・システムを構成することができます。

特 徴

- | | |
|---------------------------------|---------------------------------|
| ★ プログラム・メモリ (ROM) | 周辺ハードウェア |
| 16 Kバイト (8192 × 16ビット) | 汎用入出力ポート, LCDコントローラ/ドライバ, |
| 汎用データ・メモリ (RAM) | シリアル・インタフェース, A/Dコンバータ, |
| 448 × 4ビット | BEEP出力, 周波数カウンタ |
| 命令実行時間 | 割り込み |
| 53.3 μ sec (75 kHz水晶振動子使用) | 外部: 1本 |
| PLL周波数シンセサイザ内蔵 | 内部: 3本 |
| デュアル・モジュラス・プリスケラ(230 MHz MAX.), | RESET端子によるリセット |
| プログラマブル・ディバイダ, 位相比較器, チャー | 低消費電力 |
| ジ・ポンプ | 電源電圧: $V_{DD} = 0.9 \sim 1.8$ V |

★ オーダ情報

オーダ名称	パッケージ
μ PD17934AGK- $\times \times \times$ -BE9	80ピン・プラスチックTQFP (ファインピッチ) (12x12)

備考 $\times \times \times$ はROMコード番号です。

本資料の内容は、予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。

機能概要

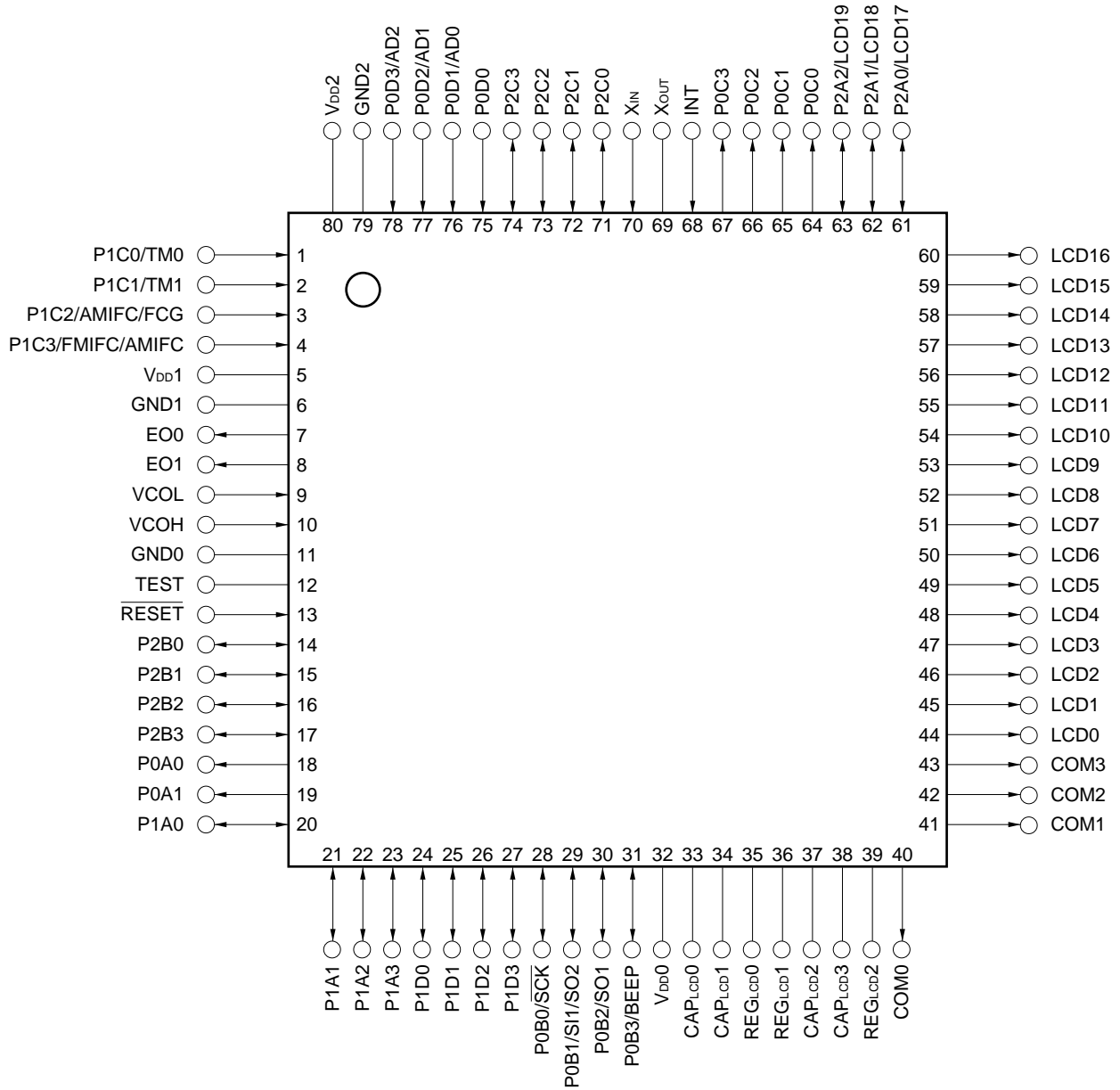
★

項目		機能
プログラム・メモリ (ROM)		16 Kバイト (8192×16ビット)
汎用データ・メモリ (RAM)		448×4ビット
命令実行時間		53.3 μs (75 kHz水晶振動子使用)
汎用ポート		37本 { <ul style="list-style-type: none"> ・入出力ポート : 20本 ・入力ポート : 11本 (内3本はLCDセグメント端子と兼用) ・出力ポート : 6本
スタック・レベル		<ul style="list-style-type: none"> ・アドレス・スタック : 15レベル (スタック操作可) ・割り込みスタック : 4レベル (スタック操作可)
ベクタ割り込み (マスカブル割り込み)		<ul style="list-style-type: none"> ・外部 : 1本 (INT) ・内部 : 3本 (ベーシック・タイマ0, 8ビット・タイマ, シリアル・インタフェース)
タイマ		3チャンネル <ul style="list-style-type: none"> ・ベーシック・タイマ0 (125 ms) ・ベーシック・タイマ1 (8 ms, 32 ms) ・8ビット・タイマ (イベント・カウンタ付き)
A/Dコンバータ		8ビット分解能×3チャンネル
LCDコントローラ/ドライバ		<ul style="list-style-type: none"> ・20セグメント, 4コモン ・1/4デューティ, 1/2バイアス, フレーム周波数 62.5 Hz, 駆動電圧 $V_{LCD1} = 3.0 V$ TYP. ・兼用セグメント端子 : 3本 (1本ごとに汎用入力ポートとして使用可能)
シリアル・インタフェース		1チャンネル (3線式/2線式モード選択可能)
PLL周波数 シンセサイザ	分周方式	2種類 { <ul style="list-style-type: none"> ・直線分周方式 (VCOL端子) ・パルス・スワロ方式 (VCOL端子/VCOH端子)
	基準周波数	6種類選択可能 (1, 3, 5, 6.25, 12.5, 25 kHz)
	チャージ・ポンプ	エラー・アウト出力 : 2本 (EO0, EO1端子)
	位相比較器	プログラムによりアンロック検出可能
中間周波数 (IF) カウンタ		周波数測定 { <ul style="list-style-type: none"> ・AMIFC端子 400 kHz ~ 2 MHz ・FMIFC端子 10 ~ 11 MHz 外部ゲート幅測定 (FCG端子)
BEEP出力		1本 (1.5 kHz, 3 kHz)
リセット		<ul style="list-style-type: none"> ・RESET端子によるリセット ・ウォッチドッグ・タイマ・リセット 電源投入時1回のみ設定可能 : 4096命令, 8192命令, 未使用を選択 ・スタック・ポインタ・オーバフロー/アンダフロー・リセット 電源投入時1回のみ設定可能 : 割り込みスタック, アドレス・スタックを選択
電源電圧		$V_{DD} = 0.9 \sim 1.8 V$
パッケージ		80ピン・プラスチックTQFP (ファインピッチ) (12x12)

端子接続図 (Top View)

★ 80ピン・プラスチックTQFP (ファインピッチ) (12x12)

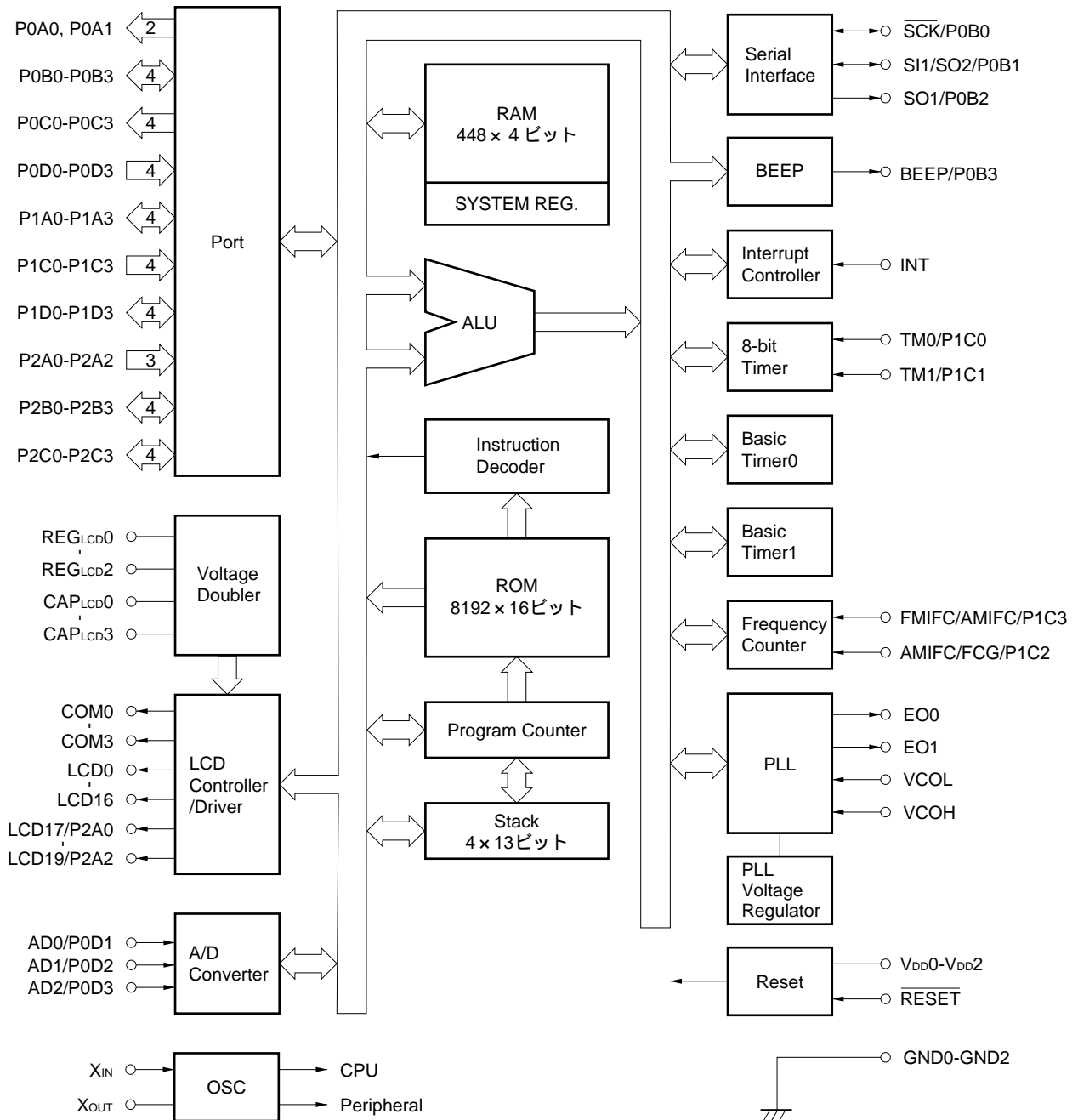
μ PD17934AGK- x x x -BE9



端子名称

AD0-AD2	: A/Dコンバータ入力	P1C0-P1C3	: ポート1C
AMIFC	: AM中間周波数カウンタ入力	P1D0-P1D3	: ポート1D
BEEP	: BEEP出力	P2A0-P2A2	: ポート2A
CAP _{Lcd0} -CAP _{Lcd3}	: LCD駆動電圧用コンデンサ接続	P2B0-P2B3	: ポート2B
COM0-COM3	: LCDコモン出力	P2C0-P2C3	: ポート2C
EO0, EO1	: エラー・アウト出力	REG _{Lcd0} -REG _{Lcd2}	: LCD駆動用レギュレータ出力
FCG	: 外部ゲート・カウンタ入力	$\overline{\text{RESET}}$: リセット入力
FMIFC	: FM中間周波数カウンタ入力	$\overline{\text{SCK}}$: 3線式シリアル・クロック入出力
GND0-GND2	: グランド	SI1	: 3線式シリアル・データ入力
INT	: 外部割り込み入力	SO1, SO2	: 3線式シリアル・データ出力
LCD0-LCD19	: LCDセグメント出力	TEST	: テスト用入力
P0A0, P0A1	: ポート0A	TM0, TM1	: タイマ・イベント入力
P0B0-P0B3	: ポート0B	VCOH, VCOL	: PLL用局部発振入力
P0C0-P0C3	: ポート0C	V _{DD0} -V _{DD2}	: 電源
P0D0-P0D3	: ポート0D	X _{IN} , X _{OUT}	: 水晶振動子接続
P1A0-P1A3	: ポート1A		

★ ブロック図



目 次

1 . 端子機能 ...	11
1.1 端子機能一覧 ...	11
1.2 端子の等価回路 ...	14
1.3 未使用端子の処理 ...	18
1.4 TEST端子の使用上の注意 ...	19
2 . プログラム・メモリ (ROM) ...	20
2.1 プログラム・メモリ概要 ...	20
2.2 プログラム・メモリ ...	21
2.3 プログラム・カウンタ ...	22
2.4 プログラムの流れ ...	22
2.5 プログラム・メモリ使用時の注意 ...	25
3 . アドレス・スタック (ASK) ...	26
3.1 アドレス・スタック概要 ...	26
3.2 アドレス・スタック・レジスタ (ASR) ...	26
3.3 スタック・ポインタ (SP) ...	28
3.4 アドレス・スタックの動作 ...	29
3.5 アドレス・スタック使用時の注意 ...	30
4 . データ・メモリ (RAM) ...	31
4.1 データ・メモリ概要 ...	31
4.2 データ・メモリの構成と機能 ...	33
4.3 データ・メモリのアドレッシング ...	35
4.4 データ・メモリ使用時の注意 ...	36
5 . システム・レジスタ (SYSREG) ...	37
5.1 システム・レジスタ概要 ...	37
5.2 システム・レジスタ一覧 ...	38
5.3 アドレス・レジスタ (AR) ...	39
5.4 ウィンドウ・レジスタ (WR) ...	41
5.5 バンク・レジスタ (BANK) ...	42
5.6 インデクス・レジスタ (IX) とデータ・メモリ・ロウ・アドレス・ポインタ (MP : メモリ・ポインタ)	
... 43	
5.7 ジェネラル・レジスタ・ポインタ (RP) ...	45
5.8 プログラム・ステータス・ワード (PSWORD) ...	47
6 . ジェネラル・レジスタ (GR) ...	49
6.1 ジェネラル・レジスタ概要 ...	49
6.2 ジェネラル・レジスタ ...	49
6.3 各命令におけるジェネラル・レジスタのアドレス生成 ...	50

6.4	ジェネラル・レジスタ使用時の注意	...	50
7	ALU (Arithmetic Logic Unit) ブロック	...	51
7.1	ALUブロック概要	...	51
7.2	各ブロックの構成と機能	...	52
7.3	ALU処理命令一覧	...	52
7.4	ALU使用時の注意	...	56
8	レジスタ・ファイル (RF) とコントロール・レジスタ	...	57
8.1	レジスタ・ファイル概要	...	57
8.2	レジスタ・ファイルの構成と機能	...	58
8.3	コントロール・レジスタと入力/出力選択レジスタ	...	59
8.4	LCDセグメント・レジスタ	...	69
8.5	コントロール・レジスタ使用時の注意	...	69
9	データ・バッファ (DBF)	...	70
9.1	データ・バッファ概要	...	70
9.2	データ・バッファ	...	71
9.3	周辺ハードウェアとデータ・バッファ一覧	...	72
9.4	データ・バッファ使用時の注意	...	74
10	データ・バッファ・スタック	...	75
10.1	データ・バッファ・スタック概要	...	75
10.2	データ・バッファ・スタック・レジスタ	...	75
10.3	データ・バッファ・スタック・ポインタ	...	77
10.4	データ・バッファ・スタックの動作	...	78
10.5	データ・バッファ・スタックの使用方法	...	79
10.6	データ・バッファ・スタック使用時の注意	...	79
11	汎用ポート	...	80
11.1	汎用ポート概要	...	80
11.2	汎用入出力ポート (P0B, P1A, P1D, P2B, P2C)	...	82
11.3	汎用入力ポート (P0D, P1C, P2A)	...	91
11.4	汎用出力ポート (P0A, P0C)	...	94
12	割り込み	...	96
12.1	割り込みブロック概要	...	96
12.2	割り込み制御ブロック	...	98
12.3	割り込みスタック・レジスタ	...	104
12.4	スタック・ポインタ, アドレス・スタック・レジスタとプログラム・カウンタ	...	108
12.5	割り込みイネーブル・フリップフロップ (INTE)	...	108
12.6	割り込み受け付け動作	...	109
12.7	割り込み受け付け後の動作	...	114

- 12.8 割り込み処理ルーチンからの復帰処理 ... 114
- 12.9 外部 (INT端子) 割り込み ... 115
- 12.10 内部割り込み ... 117

- 13. **タイマ** ... 118
 - 13.1 タイマ概要 ... 118
 - 13.2 ベーシック・タイマ0 ... 119
 - 13.3 ベーシック・タイマ1 ... 123
 - 13.4 タイマ0 ... 129

- 14. **A/Dコンバータ** ... 136
 - 14.1 A/Dコンバータ概要 ... 136
 - 14.2 入力切り替えブロック ... 137
 - 14.3 比較電圧生成およびコンペア・ブロック ... 139
 - 14.4 比較タイミング・チャート ... 141
 - 14.5 A/Dコンバータの使用方法 ... 142
 - 14.6 A/Dコンバータ使用時の注意 ... 146
 - 14.7 リセット時の状態 ... 146

- 15. **シリアル・インタフェース** ... 147
 - 15.1 シリアル・インタフェース概要 ... 147
 - 15.2 クロック入出力制御ブロックおよびデータ入出力制御ブロック ... 148
 - 15.3 クロック制御ブロック ... 151
 - 15.4 クロック・カウンタ ... 151
 - 15.5 プリセットタブル・シフト・レジスタ ... 152
 - 15.6 ウェイト制御ブロック ... 152
 - 15.7 シリアル・インタフェースの動作 ... 153
 - 15.8 データ設定時およびデータ読み込み時の注意 ... 157
 - 15.9 動作モードと各部の動作概要 ... 158
 - 15.10 リセット時の状態 ... 160

- 16. **PLL周波数シンセサイザ** ... 161
 - 16.1 PLL周波数シンセサイザ概要 ... 161
 - 16.2 入力切り替えブロックおよびプログラマブル・ディバイダ ... 162
 - 16.3 基準周波数発生器 ... 166
 - 16.4 位相比較器 (-DET) , チャージ・ポンプおよびアンロックFF ... 168
 - 16.5 PLLディスエーブル状態 ... 172
 - 16.6 PLL周波数シンセサイザの使用方法 ... 173
 - 16.7 リセット時の状態 ... 177

- 17. **中間周波数 (IF) カウンタ** ... 178
 - 17.1 中間周波数 (IF) カウンタ概要 ... 178
 - 17.2 入力切り替えブロックおよびゲート時間制御ブロック ... 179

- 17.3 スタート/ストップ制御ブロックおよびIFカウンタ ... 182
- 17.4 IFカウンタの使用方法 ... 189
- 17.5 外部ゲート・カウンタの使用方法 ... 191
- 17.6 リセット時の状態 ... 192

- 18 . BEEP ... 193
 - 18.1 BEEP概要 ... 193
 - 18.2 BEEPの出力波形 ... 195
 - 18.3 リセット時の状態 ... 196

- 19 . LCDコントローラ/ドライバ ... 197
 - 19.1 LCDコントローラ/ドライバ概要 ... 197
 - 19.2 LCD駆動電圧生成ブロック ... 198
 - 19.3 LCDセグメント・レジスタ ... 199
 - 19.4 セグメント信号/汎用入力ポート切り替えブロック ... 201
 - 19.5 コモン信号出力, セグメント信号出力タイミング制御ブロック ... 203
 - 19.6 コモン信号およびセグメント信号出力波形 ... 204
 - 19.7 LCDコントローラ/ドライバの使用方法 ... 206
 - 19.8 リセット時の状態 ... 208

- 20 . スタンバイ ... 209
 - 20.1 スタンバイ機能概要 ... 209
 - 20.2 ホールト機能 ... 210
 - 20.3 クロック・ストップ機能 ... 216
 - 20.4 ホールトおよびクロック・ストップ時のデバイス動作 ... 218
 - 20.5 ホールト状態およびクロック・ストップ状態中の各端子の処理上の注意 ... 218

- 21 . リセット ... 221
 - 21.1 リセットの概要 ... 221
 - 21.2 $\overline{\text{RESET}}$ 端子によるリセット ... 222
 - 21.3 WDT & SPリセット ... 223

- 22 . 命令セット ... 229
 - 22.1 命令セット概要 ... 229
 - 22.2 凡 例 ... 230
 - 22.3 命令一覧表 ... 231
 - 22.4 アセンブラ (RA17K) 組み込みマクロ命令 ... 233

- 23 . 予約シンボル ... 234
 - 23.1 データ・バッファ (DBF) ... 234
 - 23.2 システム・レジスタ (SYSREG) ... 234
 - 23.3 LCDセグメント・レジスタ ... 235
 - 23.4 ポート・レジスタ ... 236

23.5	レジスタ・ファイル(コントロール・レジスタ)	...	237
23.6	周辺ハードウェア・レジスタ	...	239
23.7	その他	...	239
24	電気的特性	...	240
25	外形図	...	244
26	半田付け推奨条件	...	245
付録A	水晶振動子を接続するときの注意	...	246
付録B	開発ツール	...	247

1. 端子機能

1.1 端子機能一覧

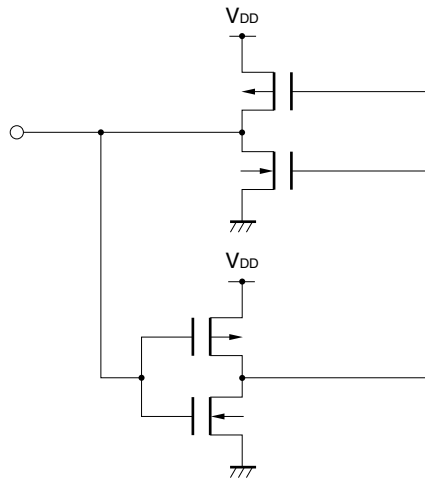
端子番号	記号	機能	出力形式		
1	P1C0/TM0	ポート1C, タイマ・イベント入力, AM/FMのIFカウンタ(周波数カウント用)入力です。 P1C0-P1C3 4ビットの入力ポート TM0, TM1 タイマ・イベント入力 AMIFC AM用のIFカウンタ入力端子 FMIFC FM用のIFカウンタ入力端子 FCG IFカウンタのゲート・カウント入力端子	-		
2	P1C1/TM1				
3	P1C2/AMIFC/FCG				
4	P1C3/FMIFC/AMIFC				
		リセット時	クロック・ストップ時		
		RESET端子によるリセット	WDT&SPリセット		
		入力(P1C0-P1C3)	入力(P1C0-P1C3)		
80	V _{DD2}	電源です。同電位を供給してください。 V _{DD2} : A/Dコンバータのコンパレータとその周辺およびIFカウンタの電源です。 V _{DD1} : PLLの電源です。 V _{DD0} : 上記を除くすべての電源です。	-		
5	V _{DD1}				
32	V _{DD0}				
79	GND2	グラウンドです。	-		
6	GND1				
11	GND0				
7	EO0	PLL周波数シンセサイザのチャージ・ポンプからの出力です。 局部発振の分周周波数と基準周波数の位相差比較結果を出力します。	CMOS 3ステート		
8	EO1				
				リセット時	クロック・ストップ時
				RESET端子によるリセット	WDT&SPリセット
		ハイ・インピーダンス出力	ハイ・インピーダンス出力		
9	VCOL	PLLの局部発振(VCO)周波数の入力です。 VCOL ・プログラムでHF, MFモード選択時, アクティブ。それ以外のときはブルダウン。 VCOH ・プログラムでVHFL, VHFHモード選択時, アクティブ。それ以外のときはブルダウン。 これらの端子の入力は交流アンプとなっているため, 入力信号の直流分はコンデンサでカットしてください。	-		
10	VCOH				
12	TEST	テスト用入力端子です。必ずGNDに直接接続してください。	-		
13	RESET	リセット入力です。	-		

端子番号	記号	機能	出力形式	
14	P2B0	4ビットの入出力ポートです。 1ビット単位で入力/出力設定が可能です。	CMOS プッシュプル	
17	P2B3	リセット時 クロック・ストップ時		
		RESET端子によるリセット WDT&SPリセット		
		入力 入力 保持		
18	P0A0	2ビットの出力ポートです。	N-chオープン・ ドレイン	
19	P0A1	リセット時 クロック・ストップ時		
		RESET端子によるリセット WDT&SPリセット		
		口ウ・レベルを出力 口ウ・レベルを出力 保持		
20	P1A0	4ビットの入出力ポートです。 1ビット単位で入力/出力設定が可能です。	N-chオープン・ ドレイン	
23	P1A3	リセット時 クロック・ストップ時		
		RESET端子によるリセット WDT&SPリセット		
		入力 入力 保持		
24	P1D0	4ビットの入出力ポートです。 1ビット単位で入力/出力設定が可能です。	N-chオープン・ ドレイン	
27	P1D3	リセット時 クロック・ストップ時		
		RESET端子によるリセット WDT&SPリセット		
		入力 入力 保持		
28	P0B0/SCK	P0Bおよびシリアル・インタフェースの入出力とBEEP出力です。 P0B3-P0B0 ・4ビットの入出力ポート ・1ビット単位で入力/出力の設定可能 BEEP ・BEEP出力 SO1, SO2, SI1 シリアル・インタフェース1の3線式または2線式シリアルI/O選択時の, シリアル・データ出力, シリアル・データ入力 SCK ・シリアル・クロック入出力	CMOS プッシュプル	
31	P0B1/SI1/SO2			リセット時 クロック・ストップ時
	P0B2/SO1			RESET端子によるリセット WDT&SPリセット
	P0B3/BEEP			入力 (P0B3-P0B0) 入力 (P0B3-P0B0) 保持
33	CAP _{Lcd0}	LCD駆動用電源を作るための, ダブラ回路用のコンデンサを接続する端子です。 CAP _{Lcd0} -CAP _{Lcd1} 間, CAP _{Lcd2} -CAP _{Lcd3} 間にそれぞれ0.33μFのコンデンサを接続してください。	-	
34	CAP _{Lcd1}			
37	CAP _{Lcd2}			
38	CAP _{Lcd3}			
35	REG _{Lcd0}	LCD駆動用電源のレギュレータ出力端子です。 0.1μFのコンデンサでGNDに接続してください。	-	
36	REG _{Lcd1}			
39	REG _{Lcd2}			

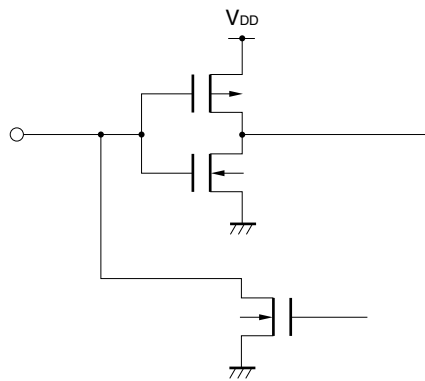
端子番号	記号	機能	出力形式	
40	COM0	LCDコントローラ/ドライバのコモン信号を出力します。	CMOS 3ステート	
		リセット時		クロック・ストップ時
43	COM3	RESET端子によるリセット	WDT&SPリセット	
		ロウ・レベルを出力	ロウ・レベルを出力	ロウ・レベルを出力
44	LCD0	LCDコントローラ/ドライバのセグメント信号出力です。	CMOS プッシュプル	
60	LCD16			
61	P2A0/LCD17	ポート2A入力, およびLCDコントローラ/ドライバのセグメント信号の出力です。 P2A0-P2A2 3ビットの入力ポート LCD17-LCD19 LCDセグメント出力	-	
63	P2A1/LCD18			
	P2A2/LCD19			
		リセット時	クロック・ストップ時	
		RESET端子によるリセット	WDT&SPリセット	
		入力 (P2A2-P2A0)	入力 (P2A2-P2A0)	保持
64	P0C0	4ビットの出力です。	CMOS プッシュプル	
		リセット時		クロック・ストップ時
67	P0C3	RESET端子によるリセット		WDT&SPリセット
		ロウ・レベルを出力	ロウ・レベルを出力	保持
68	INT	エッジ検出のベクタ割り込み入力です。 エッジは立ち上がり, 立ち下がりの選択が可能です。	-	
69	X _{OUT}	水晶振動子の接続用端子です。	-	
70	X _{IN}			
71	P2C0	4ビットの入出力ポートです。 1ビット単位で入力/出力設定が可能です。	CMOS プッシュプル	
		リセット時		クロック・ストップ時
74	P2C3	RESET端子によるリセット		WDT&SPリセット
		入力	入力	保持
75	P0D0	ポート0D入力, A/Dコンバータ入力, HALT, STOP解除信号入力です。 P0D0-P0D3 4ビットの入力ポート AD0-AD2 A/Dコンバータのアナログ入力 HALT, STOP解除 ハイ・レベル入力によりモードを解除	-	
	P0D1/AD0			
78	P0D2/AD1			
	P0D3/AD2			
		リセット時	クロック・ストップ時	
		RESET端子によるリセット	WDT&SPリセット	
		ブルダウン抵抗付き入力 (P0D3-P0D0)	ブルダウン抵抗付き入力 (P0D3-P0D0)	保持

1.2 端子の等価回路

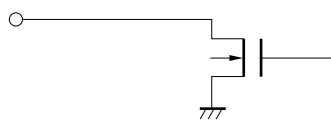
- (1) P0B (P0B3/BEEP, P0B2/SO1, P0B1/SI1/SO2, P0B0/ \overline{SCK})
 - P2B (P2B3, P2B2, P2B1, P2B0)
 - P2C (P2C3, P2C2, P2C1, P2C0)
- } (入出力)



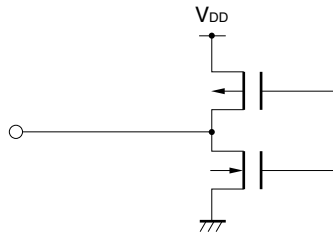
- (2) P1A (P1A3, P1A2, P1A1, P1A0)
 - P1D (P1D3, P1D2, P1D1, P1D0)
- } (入出力)



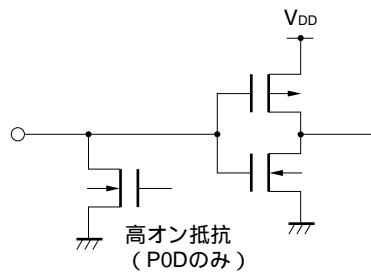
- (3) P0A (P0A1, P0A0) (出力)



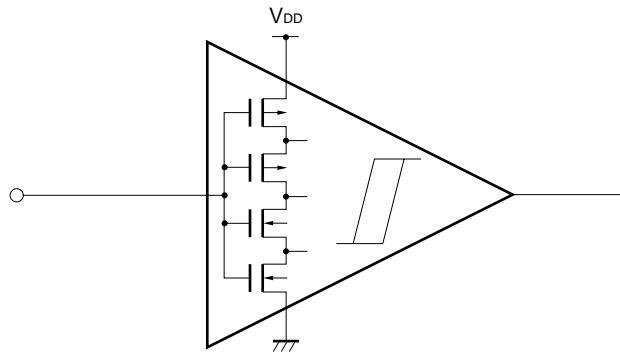
(4) P0C (P0C3, P0C2, P0C1, P0C0) } (出力)



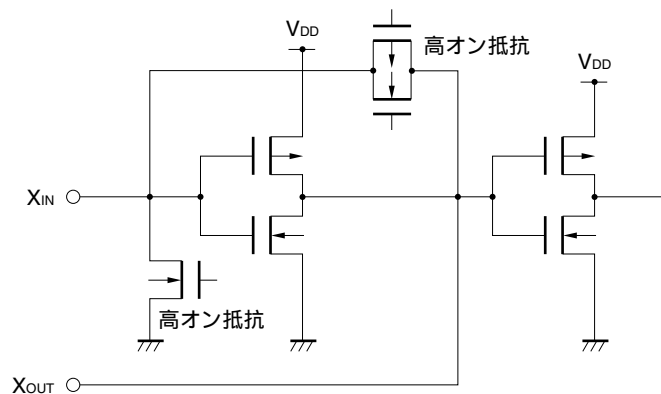
(5) P0D (P0D3/AD2, P0D2/AD1, P0D1/AD0, P0D0)
 P1C (P1C3/FMIFC/AMIFC, P1C2/AMIFC/FCG, P1C1/TM1, P1C0/TM0) } (入力)
 P2A (P2A2/LCD19, P2A1/LCD18, P2A0/LCD17)



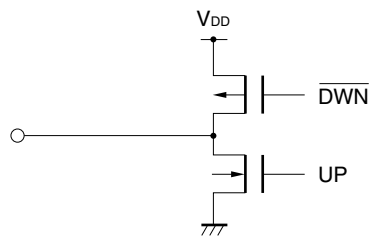
(6) INT } (シュミット・トリガ入力)
 RESET



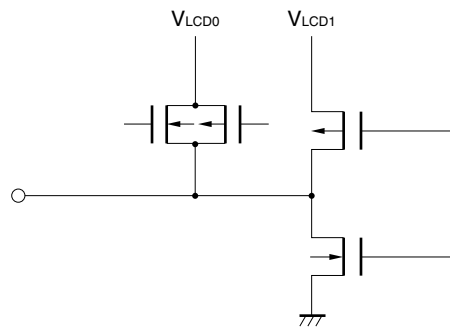
(7) XOUT (出力) , XIN (入力)



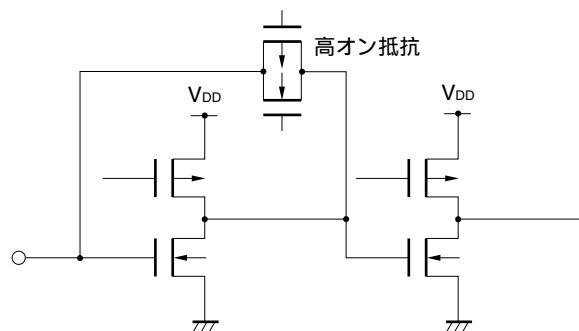
(8) EO1, EO0 (出力)



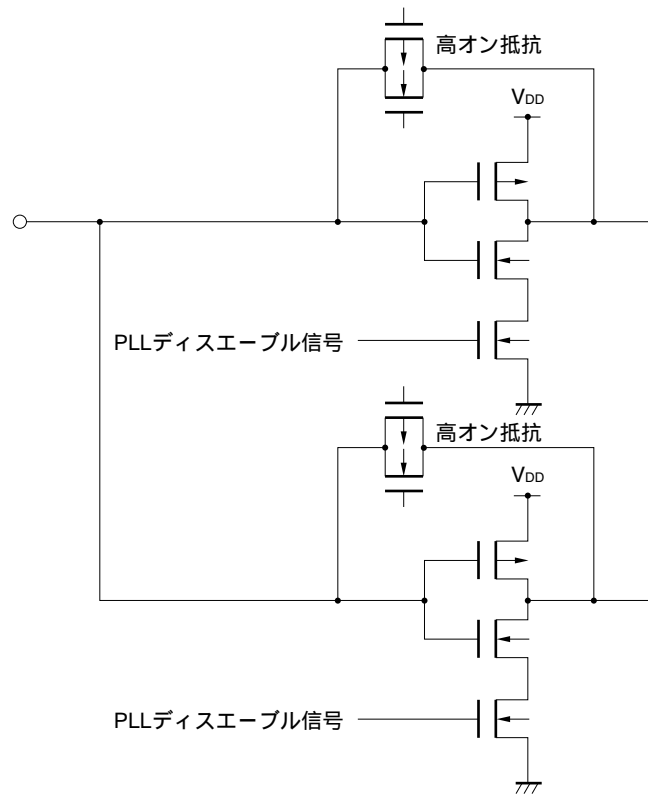
(9) COM3-COM0 (出力)



(10) VCOH (入力)



(11) VCOL (入力)



1.3 未使用端子の処理

未使用端子には、次に示すような処置を推奨します。

表 1 - 1 未使用端子の処理

端子名	入出力方式	未使用時の推奨処理	
ポート端子	P0D3/AD2-P0D1/AD0, P0D0	入力	各端子ごとに抵抗を介して、GNDに接続してください。 ^{注1}
	P1C3/FMIFC/AMIFC ^{注2}		
	P1C2/AMIFC/FCG ^{注2}		
	P1C1/TM1	ポートに設定して、各端子ごとに抵抗を介して、V _{DD} またはGNDに接続してください。	
	P1C0/TM0		
	P0A1, P0A0	出力	ソフトウェアでロウ・レベル出力に設定して、オープンにしてください。
	P0C3-P0C0		
	P0B3/BEEP	入出力 ^{注3}	ソフトウェアで汎用入力ポートに設定して、各端子ごとに抵抗を介して、V _{DD} またはGNDに接続してください。
	P0B2/SO1		
	P0B1/SI1/SO2		
	P0B0/ $\overline{\text{SCK}}$		
	P1A3-P1A0		
	P1D3-P1D0		
	P2A2/LCD19		
P2A1/LCD18			
P2A0/LCD17			
P2B3-P2B0			
P2C3-P2C0			
ポート以外の端子	EO1	出力	オープンにしてください。
	EO0		
	INT	入力	抵抗を介して、GNDに接続してください。 ^{注1}
	TEST	-	GNDに直接接続してください。
	VCOH	入力	ソフトウェアでPLLディスエーブルに設定して、オープンにしてください。
VCOL			

注1 . 外部でプルアップ（抵抗を介してV_{DD}に接続）またはプルダウン（抵抗を介してGNDに接続）する場合、高い抵抗値でプルアップまたはプルダウンすると、その端子はハイ・インピーダンスに近くなるためポートの消費（貫通）電流が増えますので注意してください。応用回路にもよりますが、プルアップまたはプルダウン抵抗値は、数十k 程度が一般的です。

2 . 汎用入力ポートではハイ・インピーダンス状態でも消費電流は増加しない回路になっています。

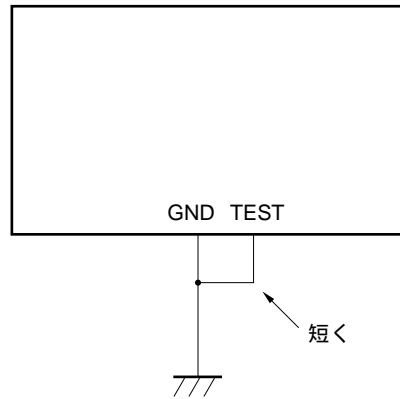
AMIFC, FMIFC, FCGには設定しないでください。設定すると消費電流が増えます。

3 . 入出力ポートは、 $\overline{\text{RESET}}$ 端子によるリセット時、ウォッチドッグ・タイマまたはスタック・オーバフロー/アンダ・フロー・リセット時、クロック・ストップ時、汎用入力ポートとなります。

1.4 TEST端子の使用上の注意

TEST端子にV_{DD}を印加すると、テスト・モードに設定されてしまいます。このため、必ず配線長を極力短くしてGND端子に直接接続してください。

TEST端子とGND端子間の配線の引き回しが長い場合や、TEST端子に外来ノイズが加わった場合などで、TEST端子とGND端子間に電位差が生じたときには、お客様のプログラムが正常に動作しないことがあります。



2 . プログラム・メモリ (ROM)

2.1 プログラム・メモリ概要

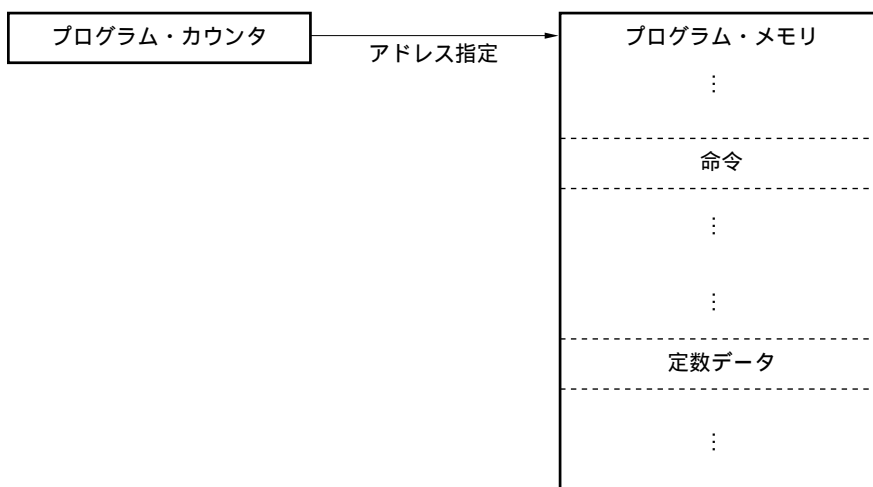
図 2 - 1 に、プログラム・メモリの概要を示します。

図 2 - 1 に示すように、プログラム・メモリのアドレスは、プログラム・カウンタにより指定します。

プログラム・メモリは、大別して次の 2 つの機能があります。

- ・プログラムを格納しておく
- ・定数データを格納しておく

図 2 - 1 プログラム・メモリの概略



★ 2.2 プログラム・メモリ

図2 - 2に、プログラム・メモリの構成を示します。

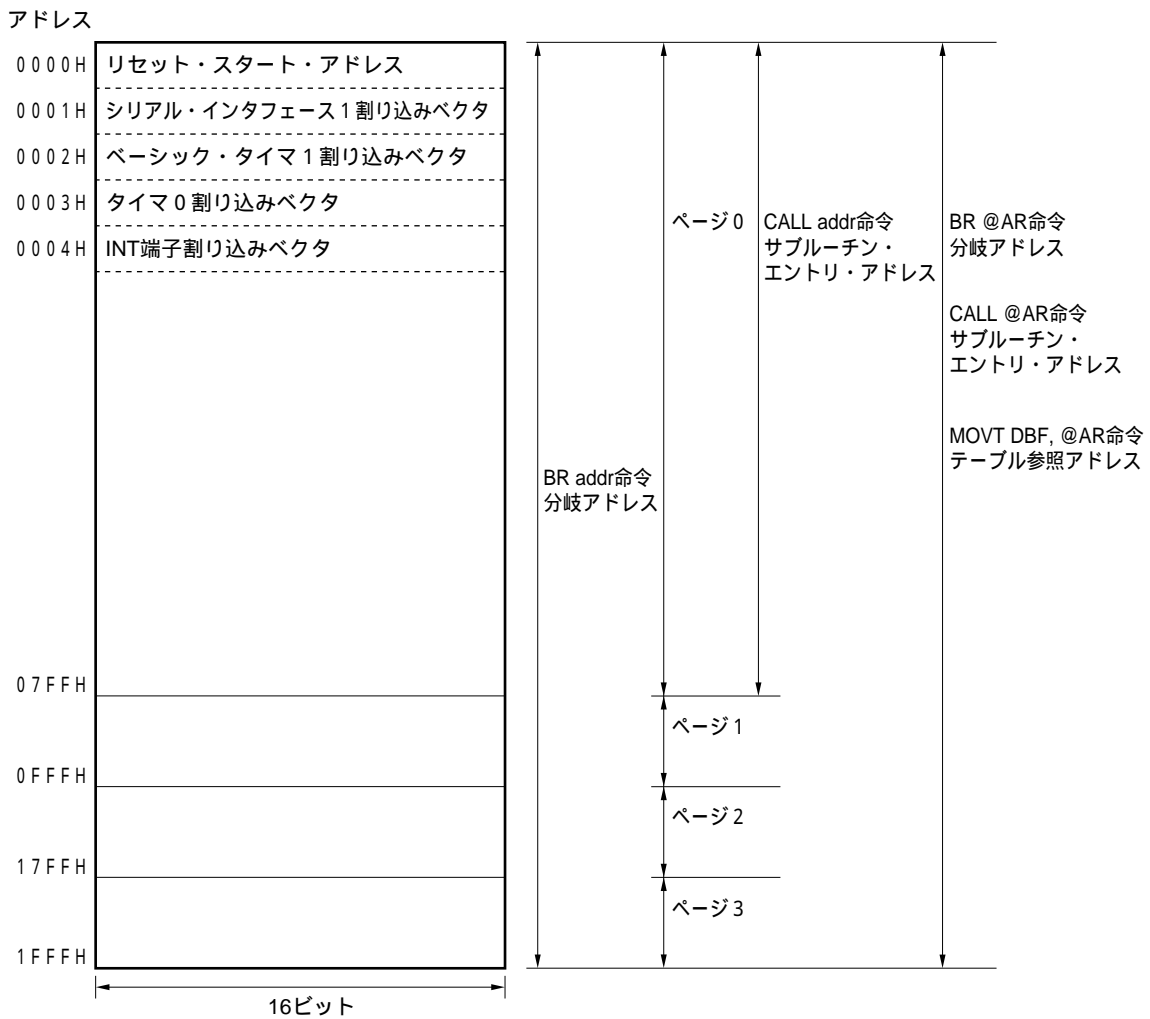
図2 - 2に示すように、プログラム・メモリは、次のように構成されています。

μ PD17934A : 8192 × 16ビット (0000H-1FFFFH番地)

“命令”はすべて16ビット長の“1語命令”であるため、プログラム・メモリの1つの番地に1つの命令を格納することができます。

定数データは、テーブル参照命令を使用して、データ・バッファにプログラム・メモリの内容を読み込みます。

図2 - 2 プログラム・メモリの構成



2.3 プログラム・カウンタ

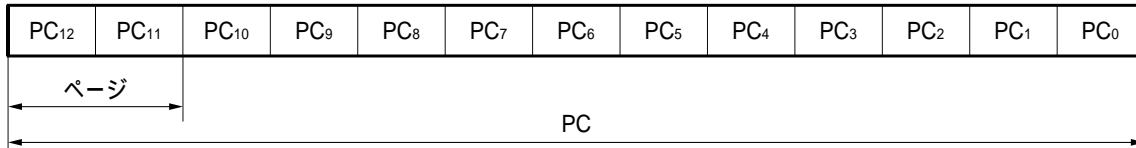
2.3.1 プログラム・カウンタの構成

図2 - 3 にプログラム・カウンタの構成を示します。

図2 - 3 に示すように、プログラム・カウンタは、13ビットのバイナリ・カウンタで構成されています。さらに、ビット11およびビット12は、ページを示します。

プログラム・カウンタは、プログラム・メモリのアドレスを指定します。

図2 - 3 プログラム・カウンタの構成



2.4 プログラムの流れ

プログラムの流れは、プログラム・メモリのアドレスを指定するプログラム・カウンタによって制御されます。

次に、各命令実行時の動作を示します。

図2 - 4 に、各命令実行時にプログラム・カウンタに設定される値を示します。

また、表2 - 1 に、割り込み受け付け時のベクタ・アドレスを示します。

2.4.1 分岐命令

(1) 直接分岐 (“ BR addr ”)

直接分岐命令の分岐先アドレスは、プログラム・メモリの全アドレスです。

(2) 間接分岐 (“ BR @AR ”)

★ 間接分岐命令の分岐先アドレスは、プログラム・メモリの全アドレス (0000H-1FFFFH番地) です。

“ 5.3 アドレス・レジスタ (AR) ” も参照してください。

2.4.2 サブルーチン

(1) 直接サブルーチン・コール (“CALL addr”)

直接サブルーチン・コール命令で呼び出せるサブルーチンの先頭アドレスは、ページ 0 内 (0000H-07FFH 番地) です。

(2) 間接サブルーチン・コール (CALL @AR)

間接サブルーチン・コール命令で呼び出せるサブルーチンの先頭アドレスは、プログラム・メモリの全アドレ

★ ス (0000H-1FFFFH 番地) です。

“ 5.3 アドレス・レジスタ (AR) ” も参照してください。

2.4.3 テーブル参照

★ テーブル参照命令 (“MOVT DBF, @AR”) で参照できるアドレスは、プログラム・メモリの全アドレス (0000H-1FFFFH 番地) です。

“ 5.3 アドレス・レジスタ (AR) ” および “ 9.2.2 テーブル参照命令 (“MOVT DBF, @AR”) ” も参照してください。

図 2 - 4 各命令におけるプログラム・カウンタの値

プログラム・カウンタ		プログラム・カウンタ (PC) の内容													
		b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
BR addr	ページ0	0	0	← 命令のオペランド (addr) →											
	ページ1	0	1												
	ページ2	1	0												
	ページ3	1	1												
CALL addr		0	0	← 命令のオペランド (addr) →											
BR @AR CALL @AR MOVT DBF, @AR		← アドレス・レジスタの内容 →													
RET RETSK RETI		← スタック・ポインタ (SP) で指定されるアドレス・ スタック・レジスタ (ASR) の内容 (戻り番地) →													
上記以外の命令 (スキップ命令も含む)		← インクリメント →													
割り込み受け付け時		← 各割り込みのベクタ・アドレス →													
ウォッチドッグ・タイマ・リセット, RESET端子によるリセット		0	0	0	0	0	0	0	0	0	0	0	0	0	

表 2 - 1 割り込みベクタ・アドレス

順位	内部 / 外部	割り込み要因	ベクタ・アドレス
1	外部	INT端子	0004H
2	内部	タイマ0	0003H
3	"	ベーシック・タイマ1	0002H
4	"	シリアル・インタフェース1	0001H

★ 2.5 プログラム・メモリ使用時の注意

プログラム・メモリ・アドレスは0000H-1FFFH番地です。次のことに注意してください。

- ・1FFFH番地に命令を書き込むときは、必ず分岐命令を書き込んでください。

3. アドレス・スタック (ASK)

3.1 アドレス・スタック概要

図3 - 1に、アドレス・スタックの概要を示します。

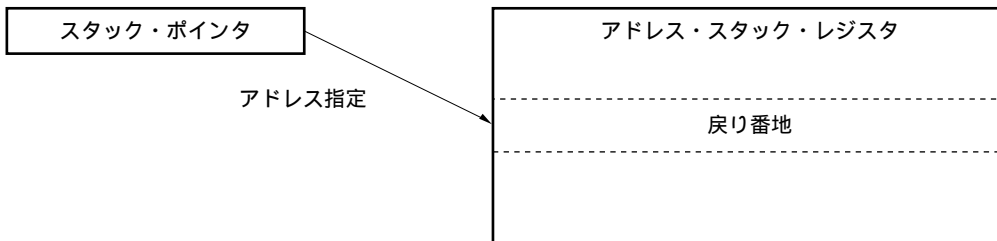
アドレス・スタックは、スタック・ポインタおよびアドレス・スタック・レジスタで構成されています。

アドレス・スタック・レジスタのアドレスは、スタック・ポインタにより指定します。

アドレス・スタックは、サブルーチン・コール命令実行時、割り込み受け付け時などに戻り番地を退避します。

また、テーブル参照命令実行時も、アドレス・スタックを使用します。

図3 - 1 アドレス・スタック概要



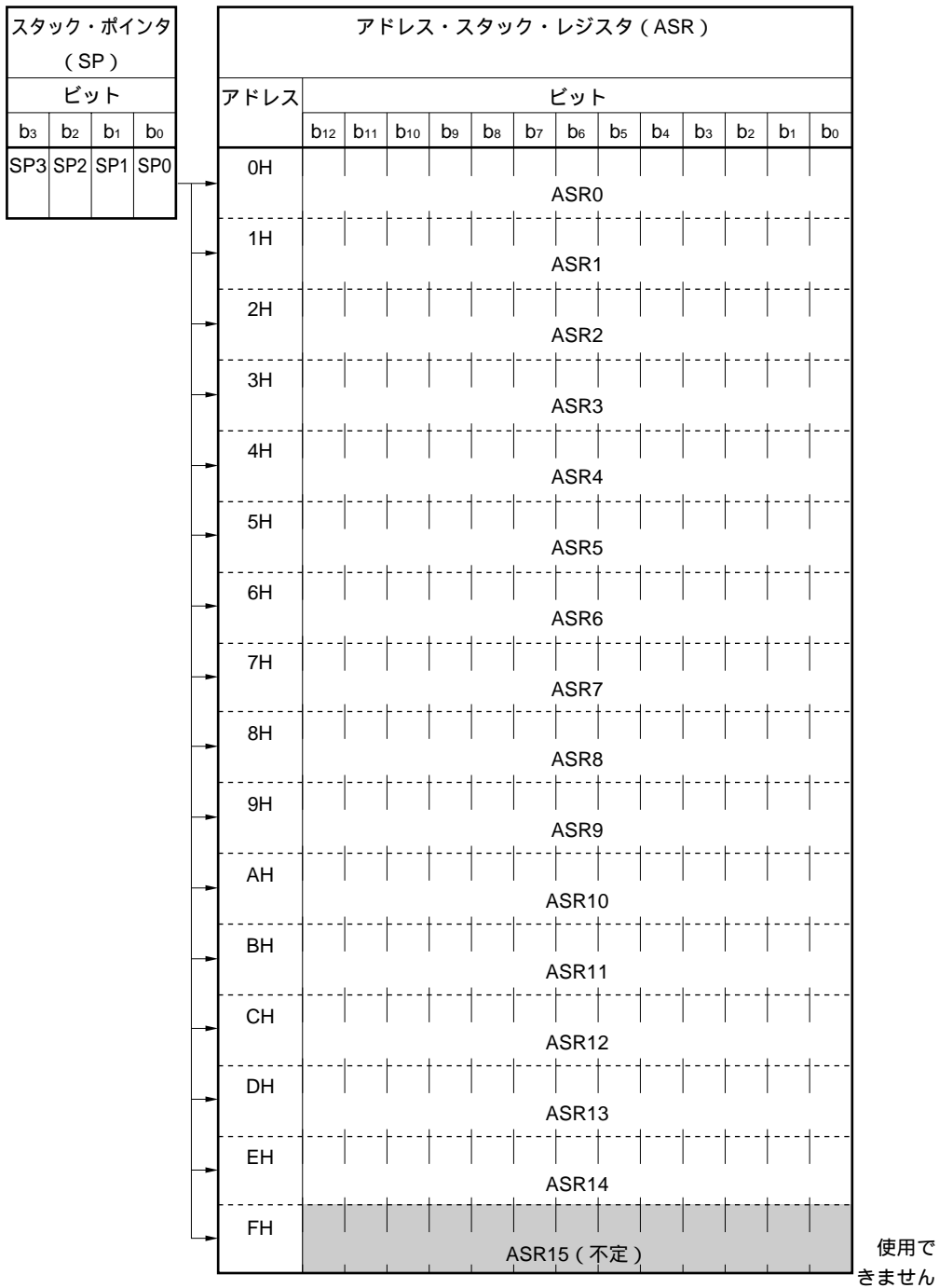
3.2 アドレス・スタック・レジスタ (ASR)

図3 - 2に、アドレス・スタック・レジスタの構成を示します。

アドレス・スタック・レジスタは、13ビット×16個のレジスタASR0-ASR15で構成されています。ただし、ASR15にはレジスタがなく、実際には13ビット×15個のレジスタ (ASR0-ASR14) で構成されています。

アドレス・スタックは、サブルーチン・コール時、割り込み受け付け時およびテーブル参照命令実行時に、戻り番地を格納します。

図3 - 2 アドレス・スタック・レジスタの構成



3.3 スタック・ポインタ (SP)

3.3.1 スタック・ポインタの構成と機能

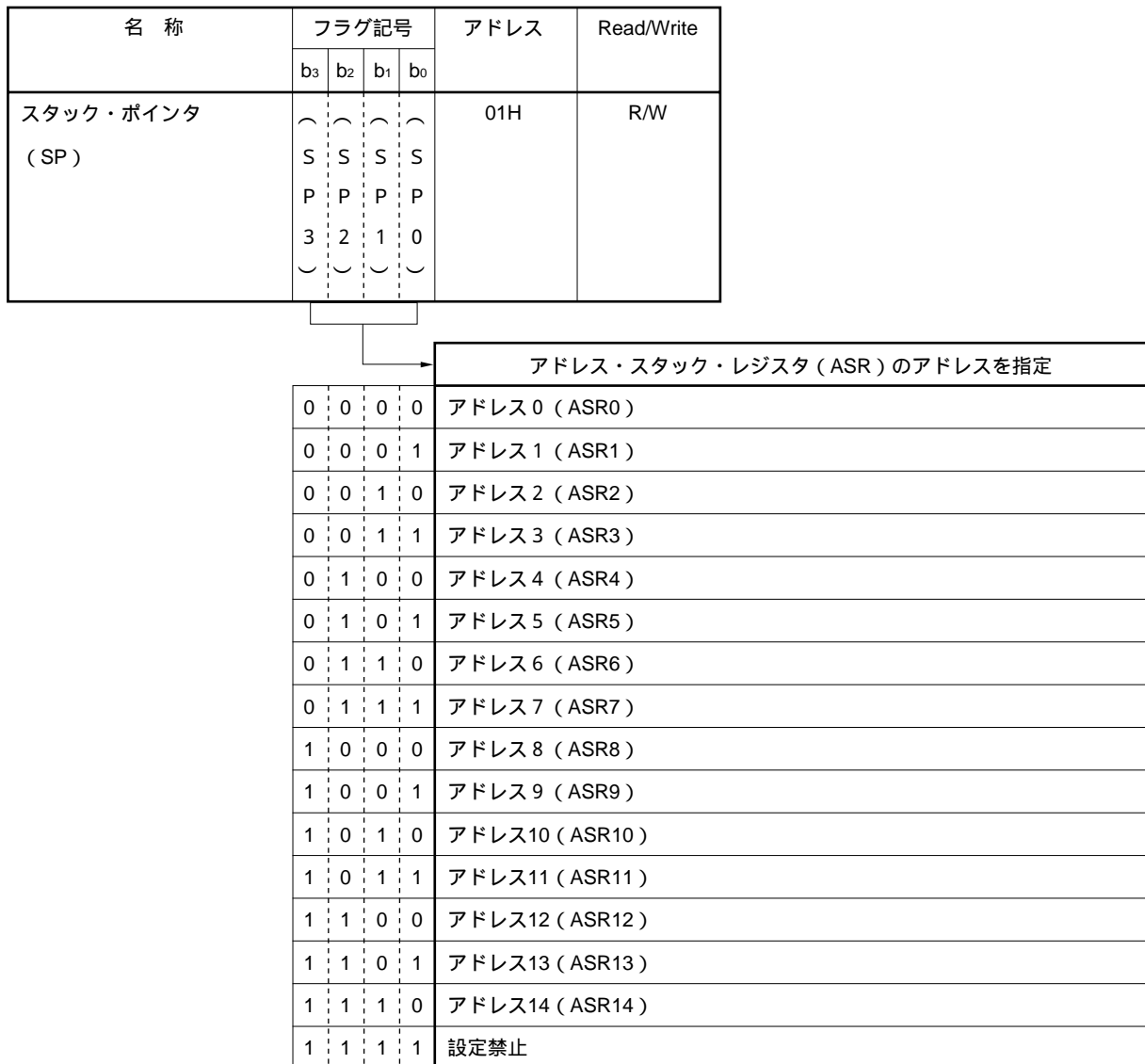
図3 - 3に、スタック・ポインタの構成と機能を示します。

スタック・ポインタは、4ビットのバイナリ・カウンタで構成されています。

スタック・ポインタは、アドレス・スタック・レジスタのアドレスを指定します。

スタック・ポインタは、レジスタ操作命令により、直接、値を読み込んだり書き込んだりすることもできます。

図3 - 3 スタック・ポインタの構成と機能



リ セ ッ ト 時	RESET端子によるリセット	1	1	1	1
	WDT & SPリセット	1	1	1	1
クロック・ストップ時		保 持			

RESET端子によるリセット : RESET端子によるリセット時

WDT&SPリセット : ウォッチドッグ・タイマおよびスタック・ポインタ・リセット時

クロック・ストップ : クロック・ストップ命令実行時

3.4 アドレス・スタックの動作

3.4.1 サブルーチン・コール命令 (“CALL addr”, “CALL @AR”) およびリターン命令 (“RET”, “RETSK”)

サブルーチン・コール命令が実行されると、スタック・ポインタの値を - 1 し、スタック・ポインタで指定されるアドレス・スタック・レジスタに戻り番地を格納します。

リターン命令が実行されると、スタック・ポインタで指定されるアドレス・スタック・レジスタの内容 (戻り番地) をプログラム・カウンタに復帰し、スタック・ポインタの値を + 1 します。

3.4.2 テーブル参照命令 (“MOV T DBF, @AR”)

テーブル参照命令が実行されると、スタック・ポインタの値を - 1 し、スタック・ポインタで指定されるアドレス・スタック・レジスタに戻り番地を格納します。

次に、アドレス・レジスタで指定されるプログラム・メモリの内容をデータ・バッファに読み出し、スタック・ポインタで指定されるアドレス・スタック・レジスタの内容 (戻り番地) をプログラム・カウンタに復帰したあと、スタック・ポインタの値を + 1 します。

3.4.3 割り込み受け付け時とリターン命令 (“RETI”)

割り込みが受け付けられると、スタック・ポインタの値を - 1 し、スタック・ポインタで指定されるアドレス・スタック・レジスタに戻り番地を格納します。

リターン命令が実行されると、スタック・ポインタで指定されるアドレス・スタック・レジスタの内容 (戻り番地) をプログラム・カウンタに復帰し、スタック・ポインタの値を + 1 します。

3.4.4 アドレス・スタック操作命令 (“PUSH AR”, “POP AR”)

“PUSH” 命令が実行されると、スタック・ポインタの値を - 1 し、スタック・ポインタで指定されるアドレス・スタック・レジスタにアドレス・レジスタの内容を転送します。

“POP” 命令が実行されると、スタック・ポインタで指定されるアドレス・スタック・レジスタの内容をアドレス・レジスタに転送し、スタック・ポインタの値を + 1 します。

3.5 アドレス・スタック使用時の注意

3.5.1 ネスティング・レベルとオーバフロー時の動作

スタック・ポインタが0FHのときのアドレス・スタック・レジスタ (ASR15) の値は“不定”です。

したがって、スタック操作を行わない状態で15レベルを越えるサブルーチン・コールや割り込みを使用すると、“不定”な番地へ復帰するため使用しないでください。

3.5.2 アドレス・スタックのオーバフローまたはアンダフロー検出によるリセット

アドレス・スタックのオーバフローまたはアンダフローの検出によりリセットを発生させることを、プログラムにより選択できます。リセットが発生するとプログラムは0番地からスタートし、コントロール・レジスタの一部を初期化します。

また、 $\overline{\text{RESET}}$ 端子によるリセット時は、このリセット機能が有効になっています。詳しくは“21.リセット”を参照してください。

4 . データ・メモリ (RAM)

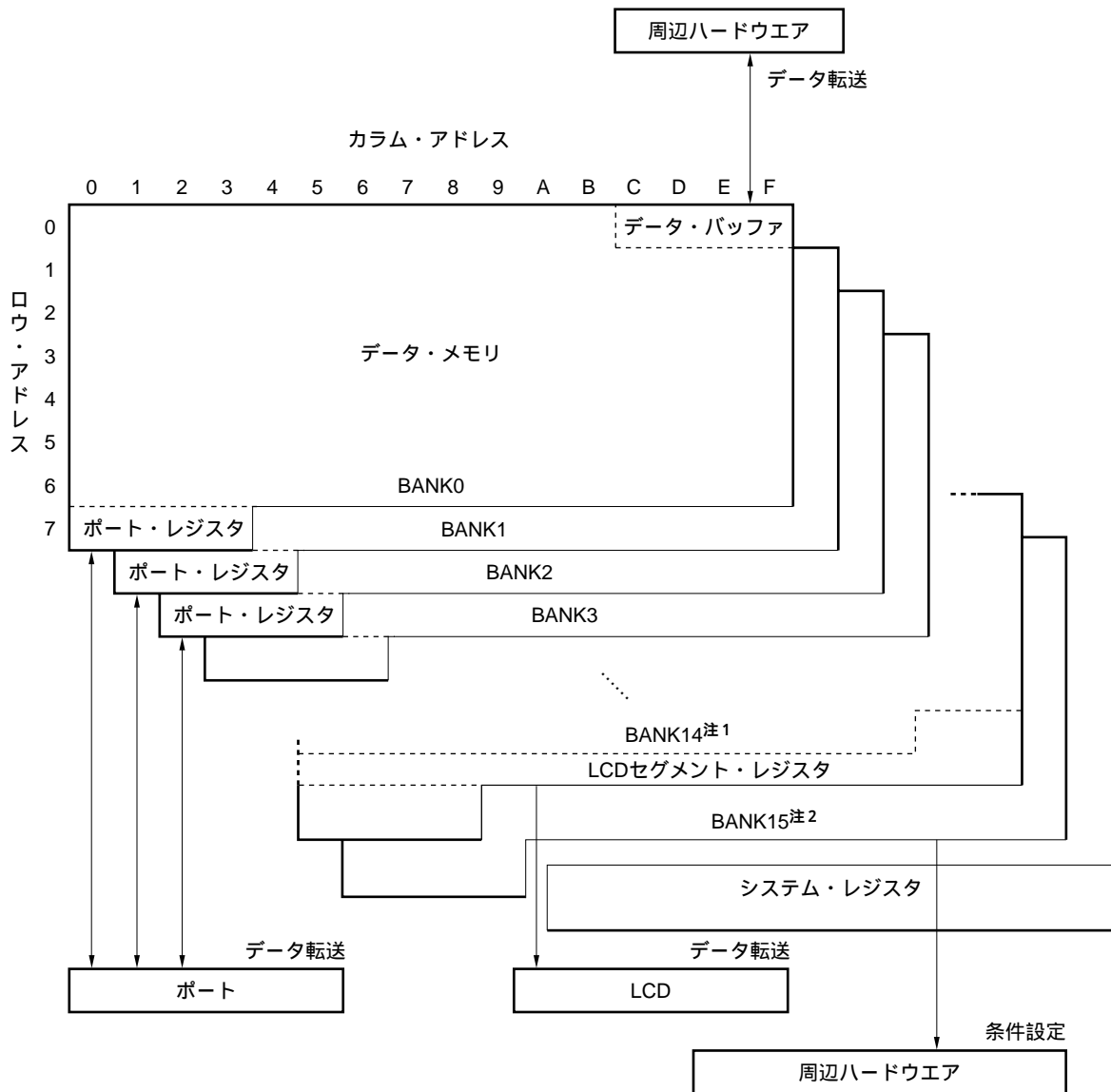
4.1 データ・メモリ概要

図4 - 1に、データ・メモリの概要を示します。

図4 - 1に示すように、データ・メモリ上には、システム・レジスタ、データ・バッファ、ポート・レジスタ、LCDセグメント・レジスタおよびコントロール・レジスタが配置されています。

データ・メモリは、データの格納、周辺ハードウェアとのデータ転送、ポートとのデータ転送およびCPUの制御を行います。

図4-1 データ・メモリの概要



注1 . BANK14の5CH-6FHには、LCDセグメント・レジスタが割り当てられています。

2 . BANK15の00H-6FHには、コントロール・レジスタが割り当てられています。なお、60H-6FHにはポート入力/出力選択レジスタが割り当てられています。

注意1 . BANK15の31H番地はテスト・モード用領域になっていますので、絶対に何も書き込まないでください。

2 . BANK4からBANK14の5BHまではありません。

4.2 データ・メモリの構成と機能

図4 - 2に、データ・メモリの構成を示します。

図4 - 2に示すように、データ・メモリは、複数のバンクに分割されており、各バンクは、ロウ・アドレス7H、コラム・アドレス0FHの計128ニブルで構成されています。

データ・メモリは、機能別に次の4.2.1-4.2.6に示すブロックに分けられます。

データ・メモリの内容は、データ・メモリ操作命令を実行することにより、4ビットの演算、比較、判断および転送が1命令で行えます。

表4 - 1に、データ・メモリ操作命令を示します。

4.2.1 システム・レジスタ (SYSREG)

システム・レジスタは、アドレス74H-7FH番地に割り当てられています。

システム・レジスタは、バンクに無関係に割り当てられているため、どのバンクであってもアドレス74H-7FH番地には、同一のシステム・レジスタが存在します。

詳細は、“5. システム・レジスタ (SYSREG)”を参照してください。

4.2.2 データ・バッファ (DBF)

データ・バッファは、BANK0のアドレス0CH-0FH番地に割り当てられています。

詳細は、“9. データ・バッファ (DBF)”を参照してください。

4.2.3 ポート・レジスタ

ポート・レジスタは、BANK0-BANK2のアドレス70H-73H番地に割り当てられています。

詳細は、“11. 汎用ポート”を参照してください。

4.2.4 コントロール・レジスタ，ポート入力/出力選択レジスタ

コントロール・レジスタはBANK15のアドレス00H-6FH番地に割り当てられています。そのうち、ポート入力/出力選択レジスタはBANK15のアドレス60H-6FH番地に割り当てられています。また、コントロール・レジスタのBANK15のアドレス00H-3FH番地は、レジスタ・ファイルのアドレス00H-3FH番地と重なっています。

詳細は、“8. レジスタ・ファイル (RF) とコントロール・レジスタ”を参照してください。

4.2.5 LCDセグメント・レジスタ

LCDセグメント・レジスタはデータ・メモリのBANK14のアドレス5CH-6FH番地の計20ニブルで構成されています。

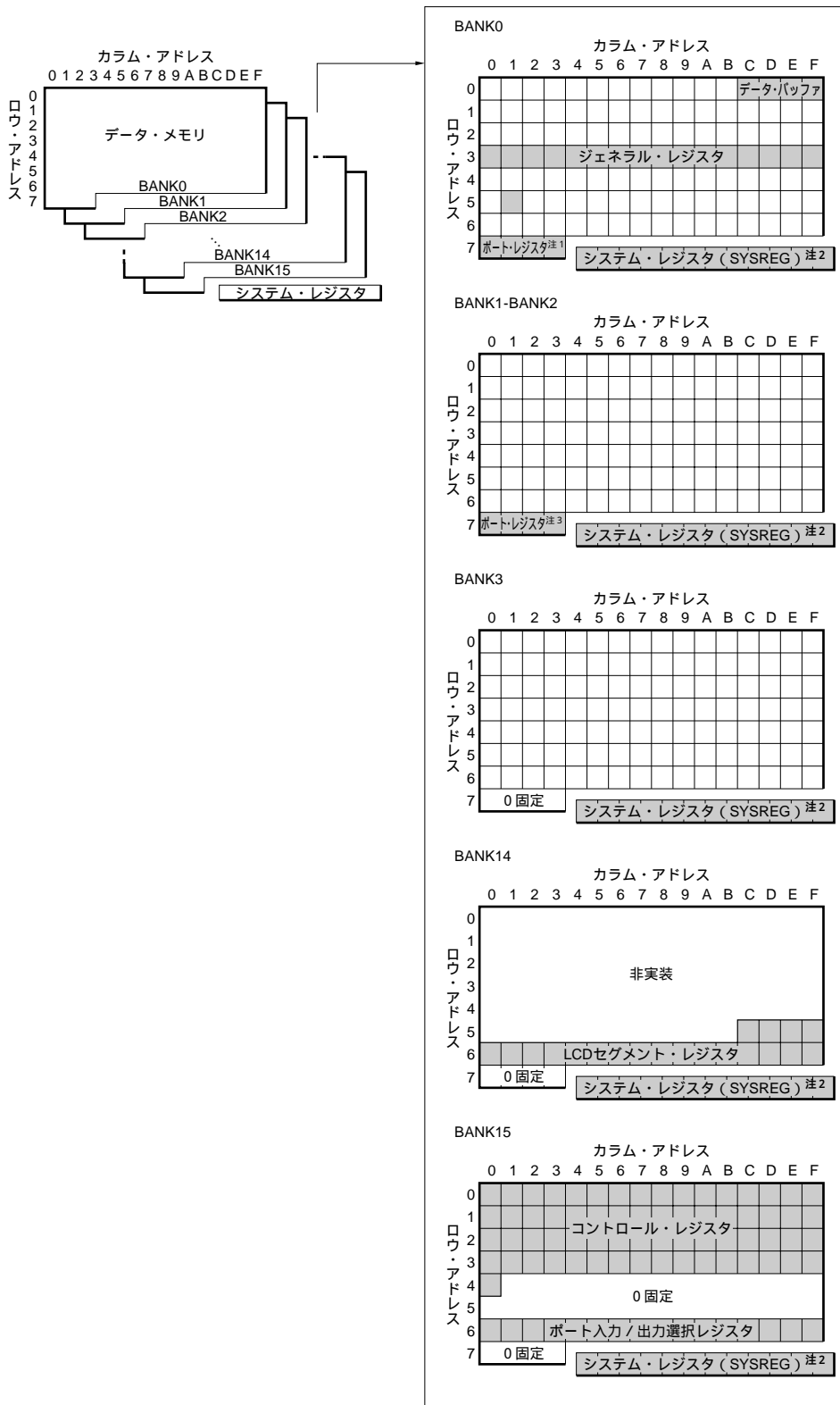
詳細は“8.4 LCDセグメント・レジスタ”および“19. LCDコントローラ/ドライバ”を参照してください。

4.2.6 汎用データ・メモリ

汎用データ・メモリは、データ・メモリからシステム・レジスタ，ポート・レジスタ，コントロール・レジスタ，ポート入力/出力選択レジスタ，LCDセグメント・レジスタを除いた部分に割り当てられています。

BANK0-BANK3の各112ニブルの計448ニブルから構成されます。

図4-2 データ・メモリの構成



注1 . 70Hの上位2ビットは0固定です。

2 . 同一のシステム・レジスタが存在しています。

3 . BANK1の71Hと、BANK2の70Hの上位1ビット、73Hはすべて0固定です。

注意1 . BANK15の31H番地はテスト・モード用領域になっていますので、絶対に何も書き込まないでください。

2 . BANK4からBANK14の5BHまではありません。

表4 - 1 データ・メモリ操作命令一覧

機 能		命 令
演算	加算	ADD ADDC
	減算	SUB SUBC
	論理	AND OR XOR
比較		SKE SKGE SKLT SKNE
転送		MOV LD ST
判断		SKT SKF

4.3 データ・メモリのアドレッシング

図4 - 3に、データ・メモリのアドレス指定を示します。

データ・メモリのアドレスは、バンク、ロウ・アドレスおよびカラム・アドレスで指定します。

ロウ・アドレスおよびカラム・アドレスはデータ・メモリ操作命令で直接指定しますが、バンクは、バンク・レジスタの内容で指定します。

バンク・レジスタについては、“5. システム・レジスタ (SYSREG)” を参照してください。

図4 - 3 データ・メモリのアドレス指定



4.4 データ・メモリ使用時の注意

4.4.1 $\overline{\text{RESET}}$ 端子によるリセット時

$\overline{\text{RESET}}$ 端子によるリセット時は、汎用データ・メモリの内容は“不定”です。

必要に応じて、イニシャライズしてください。

4.4.2 実装されていないデータ・メモリに対する注意

実装されていないデータ・メモリのアドレスに対してデータ・メモリ操作命令の読み込み命令を実行すると、不定なデータが読み込まれます。

なお、書き込み命令を行っても何も変化しません。

5 . システム・レジスタ (SYSREG)

5.1 システム・レジスタ概要

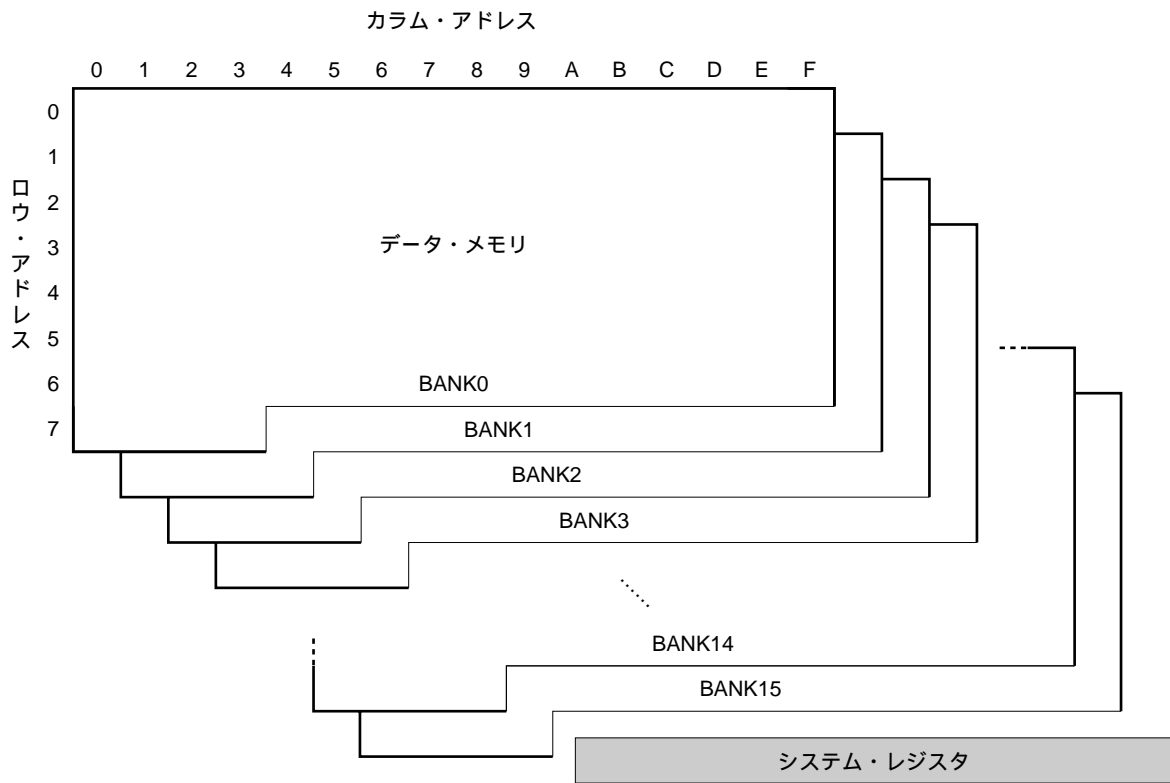
図5 - 1に、システム・レジスタのデータ・メモリ上の配置と概要を示します。

図5 - 1に示すように、システム・レジスタは、データ・メモリ・アドレスの74H-7FH番地にバンクとは無関係に配置されています。つまり、どのバンクであっても、74H-7FH番地には同一のシステム・レジスタが存在しています。

システム・レジスタは、データ・メモリ上に配置されているため、すべてのデータ・メモリ操作命令で操作することができます。

システム・レジスタは、機能別に7種類のレジスタで構成されています。

図5 - 1 システム・レジスタのデータ・メモリ上の配置と概要



備考 BANK4からBANK14の5BHまではありません。

アドレス	74H	75H	76H	77H	78H	79H	7AH	7BH	7CH	7DH	7EH	7FH
名称	アドレス・レジスタ (AR)				ウインドウ・レジスタ (WR)	バンク・レジスタ (BANK)	インデクス・レジスタ (IX) データ・メモリ・ロウ・アドレス・ポインタ (MP)			ジェネラル・レジスタ・ポインタ (RP)	プログラム・ステータス・ワード (PSWORD)	
機能	プログラム・メモリ・アドレスの制御				レジスタ・ファイルとメモリのデータ転送	データ・バンク指定	データ・メモリのアドレス修飾			ジェネラル・レジスタのアドレス指定	演算制御	

5.2 システム・レジスタ一覧

図5 - 2 に、システム・レジスタの構成を示します。

図5 - 2 システム・レジスタの構成

アドレス	74H	75H	76H	77H	78H	79H	7AH	7BH	7CH	7DH	7EH	7FH																																
名称	システム・レジスタ																																											
	アドレス・レジスタ (AR)				ウインドウ・ レジスタ (WR)	バンク・ レジスタ (BANK)	インデクス・レジスタ (IX) データ・メモリ・ロウ・ア ドレス・ポインタ (MP)			ジェネラル・ レジスタ・ ポインタ (RP)		プログラム・ ステータス・ ワード (PSWORD)																																
記号	AR3		AR2		AR1		AR0		WR	BANK	IXH	IXM	IXL	RPH	RPL	PSW																												
	MPH		MPL																																									
ビット	b ₃	b ₂	b ₁	b ₀	b ₃	b ₂	b ₁	b ₀	b ₃	b ₂	b ₁	b ₀	b ₃	b ₂	b ₁	b ₀	b ₃	b ₂	b ₁	b ₀	b ₃	b ₂	b ₁	b ₀	b ₃	b ₂	b ₁	b ₀	b ₃	b ₂	b ₁	b ₀	b ₃	b ₂	b ₁	b ₀	b ₃	b ₂	b ₁	b ₀	b ₃	b ₂	b ₁	b ₀
データ											M P E			(IX)		(RP)				B	C	Z	I	C	M	Y	X	D	P	E														

5.3 アドレス・レジスタ (AR)

5.3.1 アドレス・レジスタの構成

図5 - 3 に、アドレス・レジスタの構成を示します。

図5 - 3 に示すように、アドレス・レジスタは、システム・レジスタの74H-77H番地 (AR3-AR0) の16ビットで構成されています。

図5 - 3 アドレス・レジスタの構成

アドレス		74H				75H				76H				77H			
名称		アドレス・レジスタ (AR)															
記号		AR3				AR2				AR1				AR0			
ビット		b ₃	b ₂	b ₁	b ₀	b ₃	b ₂	b ₁	b ₀	b ₃	b ₂	b ₁	b ₀	b ₃	b ₂	b ₁	b ₀
データ		M															L
		S															S
		B															B
リ セ ッ ト 時	RESET端子によるリセット	0				0				0				0			
	WDT&SPリセット	0				0				0				0			
	クロック・ストップ時	保持				保持				保持				保持			

RESET端子によるリセット : RESET端子によるリセット時

WD&SPリセット : ウォッチドッグ・タイマおよびスタック・ポインタ・リセット時

クロック・ストップ : クロック・ストップ命令実行時

5.3.2 アドレス・レジスタの機能

アドレス・レジスタは、テーブル参照命令（“MOV_T DBF, @AR”）、スタック操作命令（“PUSH AR”、“POP AR”）、間接分岐命令（“BR @AR”）および間接サブルーチン・コール命令（“CALL @AR”）実行時に、プログラム・メモリ・アドレスの指定を行います。

アドレス・レジスタには、“1”ずつインクリメントできる専用命令（“INC AR”）が用意されています。

次の（1）-（5）に、各命令を実行したときの動作を説明します。

（1）テーブル参照命令（“MOV_T DBF, @AR”）

アドレス・レジスタの内容で指定されるプログラム・メモリ・アドレスの定数データ（16ビット）を、データ・バッファに読み出します。

- ★ アドレス・レジスタで指定できる定数データの格納番地は、0000H-1FFFH番地です。

（2）スタック操作命令（“PUSH AR”、“POP AR”）

“PUSH AR”命令を実行したときは、スタック・ポインタを-1し、-1されたスタック・ポインタで指定されるアドレス・スタック・レジスタに、アドレス・レジスタ（AR）の内容を転送します。

“POP AR”命令を実行したときは、スタック・ポインタで指定されるアドレス・スタック・レジスタの内容をアドレス・レジスタに転送して、スタック・ポインタを+1します。

（3）間接分岐命令（“BR @AR”）

アドレス・レジスタの内容で指定されるプログラム・メモリ・アドレスへ分岐します。

- ★ アドレス・レジスタで指定できる分岐アドレスは、0000H-1FFFH番地です。

（4）間接サブルーチン・コール命令（“CALL @AR”）

アドレス・レジスタの内容で指定されるプログラム・メモリ・アドレスのサブルーチンを、コールできます。

- ★ アドレス・レジスタで指定できるサブルーチンの先頭アドレスは、0000H-1FFFH番地です。

（5）アドレス・レジスタ・インクリメント命令（“INC AR”）

アドレス・レジスタの内容を、“1”ずつインクリメントします。

5.3.3 アドレス・レジスタとデータ・バッファ

アドレス・レジスタは、周辺ハードウェアの一部として、データ・バッファを介してのデータ転送ができます。

詳細は、“9.データ・バッファ（DBF）”を参照してください。

5.3.4 アドレス・レジスタ使用時の注意

アドレス・レジスタは、16ビットで構成されていますので、最大FFFFH番地まで指定できます。

- ★ しかし、プログラム・メモリが存在するのは0000H-1FFFH番地です。
- ★ したがって、アドレス・レジスタに設定する最大値は1FFFH番地までとしてください。

5.4 ウインドウ・レジスタ (WR)

5.4.1 ウインドウ・レジスタの構成

図5 - 4にウインドウ・レジスタの構成を示します。

図5 - 4に示すように、ウインドウ・レジスタはシステム・レジスタの78H番地 (WR) の4ビットで構成されています。

図5 - 4 ウインドウ・レジスタの構成

アドレス	78H			
名称	ウインドウ・レジスタ (WR)			
記号	WR			
ビット	b ₃	b ₂	b ₁	b ₀
データ	M			L
	S			S
	B			B
リセット時	RESET端子によるリセット	不定		
クロック・ストップ時	WDT&SPリセット	保持		

5.4.2 ウインドウ・レジスタの機能

ウインドウ・レジスタは後述するレジスタ・ファイル (RF) とのデータ転送に使用します。

レジスタ・ファイルとのデータ転送は専用命令である“PEEK WR, rf”および“POKE rf, WR”命令により操作します (rf: レジスタ・ファイルのアドレス)。

次の(1)および(2)に、各命令を実行したときの動作を説明します。

“8. レジスタ・ファイル (RF) とコントロール・レジスタ”も参照してください。

(1) “PEEK WR, rf” 命令

“rf”でアドレス指定されるレジスタ・ファイルの内容を、ウインドウ・レジスタに転送します。

(2) “POKE rf, WR” 命令

ウインドウ・レジスタの内容を、“rf”でアドレス指定されるレジスタ・ファイルに転送します。

5.5 バンク・レジスタ (BANK)

5.5.1 バンク・レジスタの構成

図5 - 5 に、バンク・レジスタの構成を示します。

図5 - 5 に示すように、バンク・レジスタはシステム・レジスタの79H番地 (BANK) の4ビットで構成されています。

図5 - 5 バンク・レジスタの構成

アドレス	79H			
名称	バンク・レジスタ (BANK)			
記号	BANK			
ビット	b ₃	b ₂	b ₁	b ₀
データ	M			L
	S			S
	B			B
リセット時	RESET端子によるリセット			
	0			
	WDT&SPリセット			
	0			
	クロック・ストップ時			
	保持			

5.5.2 バンク・レジスタの機能

バンク・レジスタは、データ・メモリのバンクを指定します。

表5 - 1 に、バンク・レジスタの値とデータ・メモリのバンク指定を示します。

バンク・レジスタはシステム・レジスタ上に存在しているため、現在指定されているバンクに関係なく書き換えることができます。

つまり、バンク・レジスタを操作する場合は、そのときのバンクの状態は関係ありません。

表5 - 1 データ・メモリのバンク指定

バンク・レジスタ (BANK)				データ・メモリの バンク
b ₃	b ₂	b ₁	b ₀	
0	0	0	0	BANK0
0	0	0	1	BANK1
0	0	1	0	BANK2
0	0	1	1	BANK3
1	1	1	0	BANK14
1	1	1	1	BANK15

備考 BANK4からBANK14の00H-5BHまではありません。

注意 データ・メモリの実装領域は製品によって異なります。詳しくは“図4 - 2 データ・メモリの構成”を参照してください。

5.6 インデクス・レジスタ (IX) とデータ・メモリ・ロウ・アドレス・ポインタ (MP : メモリ・ポインタ)

5.6.1 インデクス・レジスタとデータ・メモリ・ロウ・アドレス・ポインタの構成

図5 - 6 に、インデクス・レジスタとデータ・メモリ・ロウ・アドレス・ポインタの構成を示します。

図5 - 6 に示すように、インデクス・レジスタは、システム・レジスタの7AHの下位3ビット (IXH) と7BH, 7CH (IXM, IXL) の計11ビットからなるインデクス・レジスタ (IX) と、7FH (PSW) の最下位ビットにあるインデクス・イネーブル・フラグ (IXE) から構成されています。

データ・メモリ・ロウ・アドレス・ポインタ (メモリ・ポインタ) は7AH (MPH) の下位3ビットと7BH (MPL) の計7ビットからなるデータ・メモリ・ロウ・アドレス・ポインタ (MP) と、7AH (MPH) の最上位ビットにあるデータ・メモリ・ロウ・アドレス・ポインタ・イネーブル・フラグ (メモリ・ポインタ・イネーブル・フラグ : MPE) から構成されています。

すなわちインデクス・レジスタの上位7ビットとデータ・メモリ・ロウ・アドレス・ポインタは共用していることとなります。

図5 - 6 インデクス・レジスタとデータ・メモリ・ロウ・アドレス・ポインタの構成

アドレス	7AH				7BH				7CH				7EH				7FH			
名称	インデクス・レジスタ (IX)															プログラム・ステータス・ワード (PSWORD)				
記号	IXH			IXM				IXL								PSW				
	MPH			MPL																
ビット	b ₃	b ₂	b ₁	b ₀	b ₃	b ₂	b ₁	b ₀	b ₃	b ₂	b ₁	b ₀	b ₃	b ₂	b ₁	b ₀	b ₃	b ₂	b ₁	b ₀
データ	M	M										L								I
	P	S										S								X
	E	B										B								E
	IX																			
	M											L								
	S											S								
	B											B								
	MP																			
リセット時	RESET端子によるリセット				0				0				0				0			
	WDT&SPリセット				0				0				0				0			
クロック・ストップ時	保持				保持				保持				保持				保			

保 : 保持

5.6.2 インデクス・レジスタとデータ・メモリ・ロウ・アドレス・ポインタの機能

インデクス・レジスタとデータ・メモリ・ロウ・アドレス・ポインタは、データ・メモリのアドレスを修飾します。次の(1)および(2)に、それぞれの機能を示します。

また、インデクス・レジスタには、“1”ずつインクリメントする専用命令(“INC IX”)が用意されています。アドレス修飾の詳細については、“7. ALU (Arithmetic Logic Unit) ブロック”を参照してください。

(1) インデクス・レジスタ (IX)

データ・メモリ操作命令を実行したときに、データ・メモリ・アドレスを、インデクス・レジスタの内容により修飾します。

ただし、IXEフラグが“1”にセットされているときのみ有効になります。

アドレス修飾の方法は、データ・メモリのバンクとロウ・アドレスおよびカラム・アドレスをインデクス・レジスタの内容とOR演算し、その演算結果(実アドレスと呼ぶ)で指定されるデータ・メモリに対して命令を実行します。

インデクス・レジスタによるアドレス修飾は、すべてのデータ・メモリ操作命令が対象になります。

また、次の命令は、インデクス・レジスタの修飾対象となりません。

INC	AR	RORC	r
INC	IX	CALL	addr
MOVT	DBF, @AR	CALL	@AR
PUSH	AR	RET	
POP	AR	RETSK	
PEEK	WR, rf	RETI	
POKE	rf, WR	EI	
GET	DBF, p	DI	
PUT	p, DBF	STOP	s
BR	addr	HALT	h
BR	@AR	NOP	

(2) データ・メモリ・ロウ・アドレス・ポインタ (MP)

ジェネラル・レジスタ間接転送命令(“MOV @r, m”, “MOV m, @r”)を実行したときに、間接転送先のアドレスを修飾します。

ただし、MPEフラグが“1”にセットされているときのみ有効になります。

アドレス修飾の方法は、間接転送先のバンクとロウ・アドレスを、データ・メモリ・ロウ・アドレス・ポインタの内容で置き換えます。

ジェネラル・レジスタ間接転送命令以外は、アドレス修飾の対象になりません。

(3) インデクス・レジスタ・インクリメント命令 (“INC IX”)

インデクス・レジスタの内容を“1”ずつインクリメントします。

インデクス・レジスタは、10ビットで構成されていますので、インデクス・レジスタの内容が“3FFH”のときに“INC IX”命令を実行すると、“000H”になります。

5.7 ジェネラル・レジスタ・ポインタ (RP)

5.7.1 ジェネラル・レジスタ・ポインタの構成

図5 - 7に、ジェネラル・レジスタ・ポインタの構成を示します。

図5 - 7に示すように、ジェネラル・レジスタ・ポインタはシステム・レジスタの7DH番地 (RPH) の4ビットと7EH番地 (RPL) の上位3ビットの計7ビットで構成されています。

図5 - 7 ジェネラル・レジスタ・ポインタの構成

アドレス		7DH				7EH			
名称		ジェネラル・レジスタ・ポインタ (RP)							
記号		RPH				RPL			
ビット		b ₃	b ₂	b ₁	b ₀	b ₃	b ₂	b ₁	b ₀
データ		M						L	B
		S						S	C
		B						B	D
リセット時	RESET端子によるリセット	0				0			
	WDT&SPリセット	0				0			
クロック・ストップ時		保持				保持			

5.7.2 ジェネラル・レジスタ・ポインタの機能

ジェネラル・レジスタ・ポインタは、データ・メモリ上のジェネラル・レジスタを指定します。

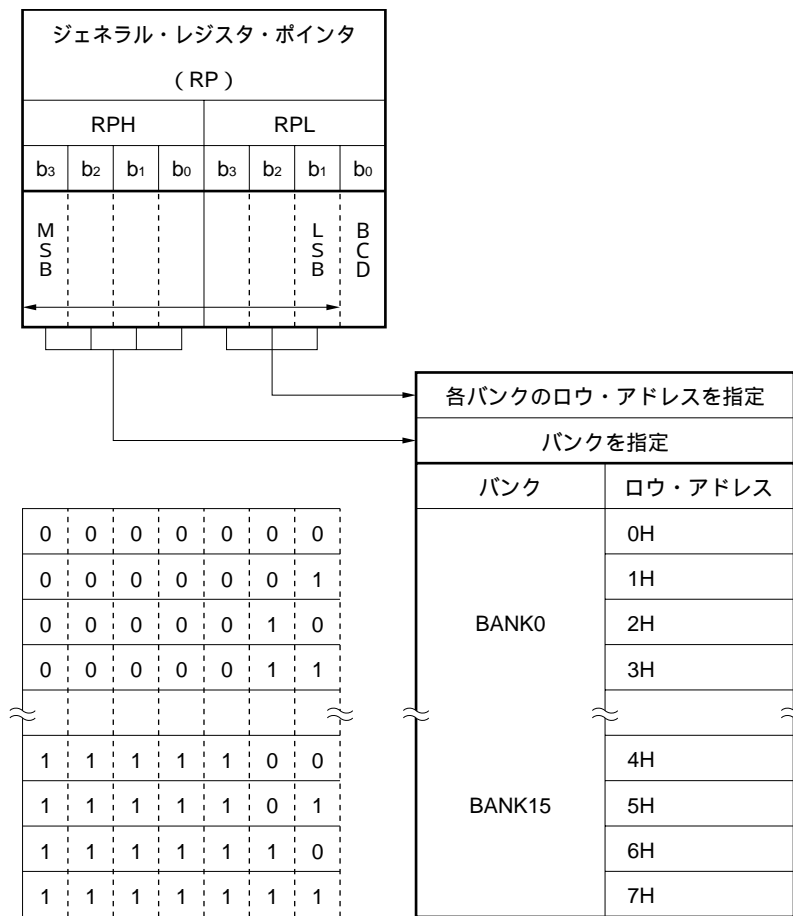
図5 - 8に、ジェネラル・レジスタ・ポインタで指定されるジェネラル・レジスタのアドレスを示します。

図5 - 8に示すように、ジェネラル・レジスタ・ポインタの上位4ビット（RPH：7DH番地）でバンクを指定し、下位3ビット（RPL：7EH番地）でロウ・アドレスを指定します。

ジェネラル・レジスタ・ポインタの有効ビットは7ビットであるため、すべてのバンクのすべてのロウ・アドレス（0H-7H番地）をジェネラル・レジスタに指定できます。

ジェネラル・レジスタの動作の詳細は、“6．ジェネラル・レジスタ（GR）”を参照してください。

図5 - 8 ジェネラル・レジスタ・ポインタで指定されるジェネラル・レジスタのアドレス



備考 BANK4からBANK14の5BHまではありません。

5.7.3 ジェネラル・レジスタ・ポインタ使用時の注意

ジェネラル・レジスタ・ポインタであるアドレス7EH番地（RPL）の最下位ビットは、プログラム・ステータス・ワードのBCDフラグに割り当てられています。

したがって、RPLを書き換える場合は、BCDフラグの値に注意してください。

5.8 プログラム・ステータス・ワード (PSWORD)

5.8.1 プログラム・ステータス・ワードの構成

図5 - 9 にプログラム・ステータス・ワードの構成を示します。

図5 - 9 に示すように、プログラム・ステータス・ワードはシステム・レジスタの7EH番地 (RPL) の最下位ビットと7FH番地 (PSW) の4ビットの計5ビットで構成されています。

プログラム・ステータス・ワードはさらに1ビットずつ機能が分かれており、それぞれBCDフラグ (BCD)、コンペア・フラグ (CMP)、キャリー・フラグ (CY)、ゼロ・フラグ (Z) およびインデクス・イネーブル・フラグ (IXE) から構成されています。

図5 - 9 プログラム・ステータス・ワードの構成

アドレス	7EH				7FH				
名称	プログラム・ステータス・ワード (PSWORD)								
記号	RPL				PSW				
ビット	b ₃	b ₂	b ₁	b ₀	b ₃	b ₂	b ₁	b ₀	
データ				B C D	C M P	C Y	Z	I X E	
リセット時	RESET端子によるリセット	0				0			
	WDT&SPリセット	0				0			
クロック・ストップ時	保持				保持				

5.8.2 プログラム・ステータス・ワードの機能

プログラム・ステータス・ワードはALU (Arithmetic Logic Unit) での演算および転送命令の条件を設定したり演算結果の状態を示すためのレジスタです。

表5 - 2 に、プログラム・ステータス・ワードの各フラグの機能概要を示します。

詳しい動作については “ 7 . ALU (Arithmetic Logic Unit) ブロック ” を参照してください。

表5 - 2 プログラム・ステータス・ワードの各フラグの機能概要

(RP)		プログラム・ステータス・ワード (PSWORD)							
RPL				PSW					
b ₃	b ₂	b ₁	b ₀	b ₃	b ₂	b ₁	b ₀		
			B	C	C	Z	I		
			C	M	Y		X		
			D	P			E		

フラグ名称	機能
インデクス・イネーブル・フラグ (IXE)	データ・メモリ操作命令実行時にデータ・メモリのアドレスを修飾するためのフラグです。 0 : 修飾されない 1 : 修飾される
ゼロ・フラグ (Z)	算術演算の結果が0であることを示すフラグです。コンペア・フラグの内容により0と1の状態が異なるため注意が必要です。
キャリー・フラグ (CY)	加算命令および減算命令実行後のキャリーまたはボローの発生を示すフラグです。 キャリー / ボローなしでリセット (0) される キャリー / ボローありでセット (1) される また, “ RORC r ” 命令のシフト・ビットに使用されます。
コンペア・フラグ (CMP)	算術演算の結果をデータ・メモリもしくはジェネラル・レジスタへ格納しないためのフラグです。 0 : 結果が格納される 1 : 結果が格納されない
BCDフラグ (BCD)	算術演算を10進で行うためのフラグです。 0 : 2進演算をする 1 : 10進演算をする

5.8.3 プログラム・ステータス・ワード使用時の注意

プログラム・ステータス・ワードに対して算術演算 (加算および減算) 命令を行うと、算術演算の “ 結果 ” が格納されます。

たとえば、キャリーが発生するような演算を実行しても、算術演算の結果が0000BであればPSWには0000Bが格納されます。

6. ジェネラル・レジスタ (GR)

6.1 ジェネラル・レジスタ概要

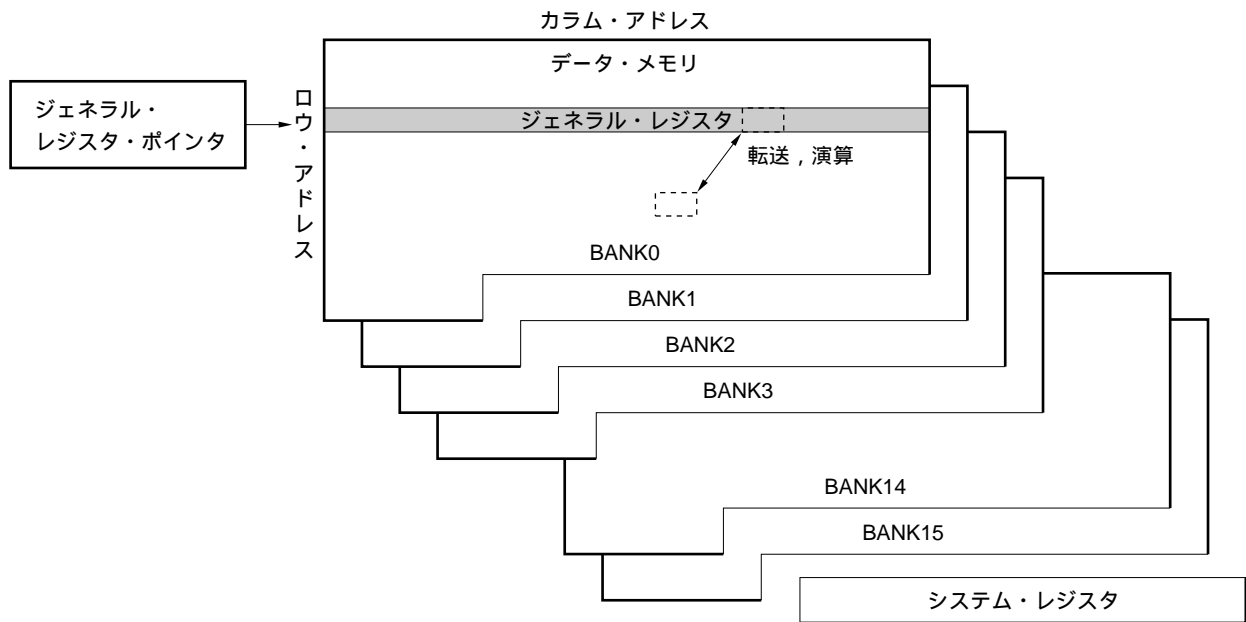
図6 - 1に、ジェネラル・レジスタの概要を示します。

図6 - 1に示すように、ジェネラル・レジスタはジェネラル・レジスタ・ポインタによって、データ・メモリ上に指定されます。

ジェネラル・レジスタを指定するバンクおよびロウ・アドレスは、ジェネラル・レジスタ・ポインタで設定します。

ジェネラル・レジスタは、データ・メモリ間で、データ転送や演算に使用します。

図6 - 1 ジェネラル・レジスタの概要



備考 BANK4からBANK14の5BHまではありません。

6.2 ジェネラル・レジスタ

ジェネラル・レジスタは、データ・メモリ上の同一ロウ・アドレスである16ニブル (16 × 4ビット) で構成されます。

ジェネラル・レジスタ・ポインタ、およびジェネラル・レジスタに指定できるバンクとロウ・アドレスの範囲については、“5.7 ジェネラル・レジスタ・ポインタ (RP)” を参照してください。

ジェネラル・レジスタに指定されている同一ロウ・アドレスの16ニブルは、データ・メモリとの間で演算や転送を1命令で行います。

つまり、1命令でデータ・メモリ同士の演算や転送が可能になります。

ジェネラル・レジスタは、ほかのデータ・メモリと同様に、データ・メモリ操作命令で制御することができます。

6.3 各命令におけるジェネラル・レジスタのアドレス生成

6.3.1および6.3.2に各命令実行時のジェネラル・レジスタのアドレス生成を示します。

各命令の動作についての詳細は，“7．ALU (Arithmetic Logic Unit) ブロック”を参照してください。

- 6.3.1 加算 (“ADD r, m”, “ADDC r, m”),
- 減算 (“SUB r, m”, “SUBC r, m”),
- 論理演算 (“AND r, m”, “OR r, m”, “XOR r, m”),
- 直接転送 (“LD r, m”, “ST m, r”),
- 回転処理 (“RORC r”) 命令

表6-1に、命令のオペランド“r”で指定されるジェネラル・レジスタのアドレスを示します。命令のオペランド“r”は、カラム・アドレスのみを指定します。

表6-1 ジェネラル・レジスタのアドレス生成

	バンク				ロウ・アドレス			カラム・アドレス			
	b3	b2	b1	b0	b2	b1	b0	b3	b2	b1	b0
ジェネラル・レジスタ・アドレス	ジェネラル・レジスタ・ポインタの内容							r			

6.3.2 間接転送 (“MOV @r, m”, “MOV m, @r”) 命令

表6-2に、命令のオペランド“r”で指定されるジェネラル・レジスタのアドレスおよび“@r”で指定される間接転送アドレスを示します。

表6-2 ジェネラル・レジスタのアドレス生成

	バンク				ロウ・アドレス			カラム・アドレス			
	b3	b2	b1	b0	b2	b1	b0	b3	b2	b1	b0
ジェネラル・レジスタ・アドレス	ジェネラル・レジスタ・ポインタの内容							r			
間接転送アドレス	データ・メモリと同一							rの内容			

6.4 ジェネラル・レジスタ使用時の注意

6.4.1 ジェネラル・レジスタのロウ・アドレス

ジェネラル・レジスタのロウ・アドレスは、ジェネラル・レジスタ・ポインタで指定されるため、現在指定されているバンクとジェネラル・レジスタのバンクが異なる場合がありますので注意してください。

6.4.2 ジェネラル・レジスタとイミディエト・データとの演算

ジェネラル・レジスタとイミディエト・データとの演算命令はありません。

ジェネラル・レジスタとイミディエト・データとの演算命令を行うためには、ジェネラル・レジスタではなく、データ・メモリとして扱う必要があります。

7 . ALU (Arithmetic Logic Unit) ブロック

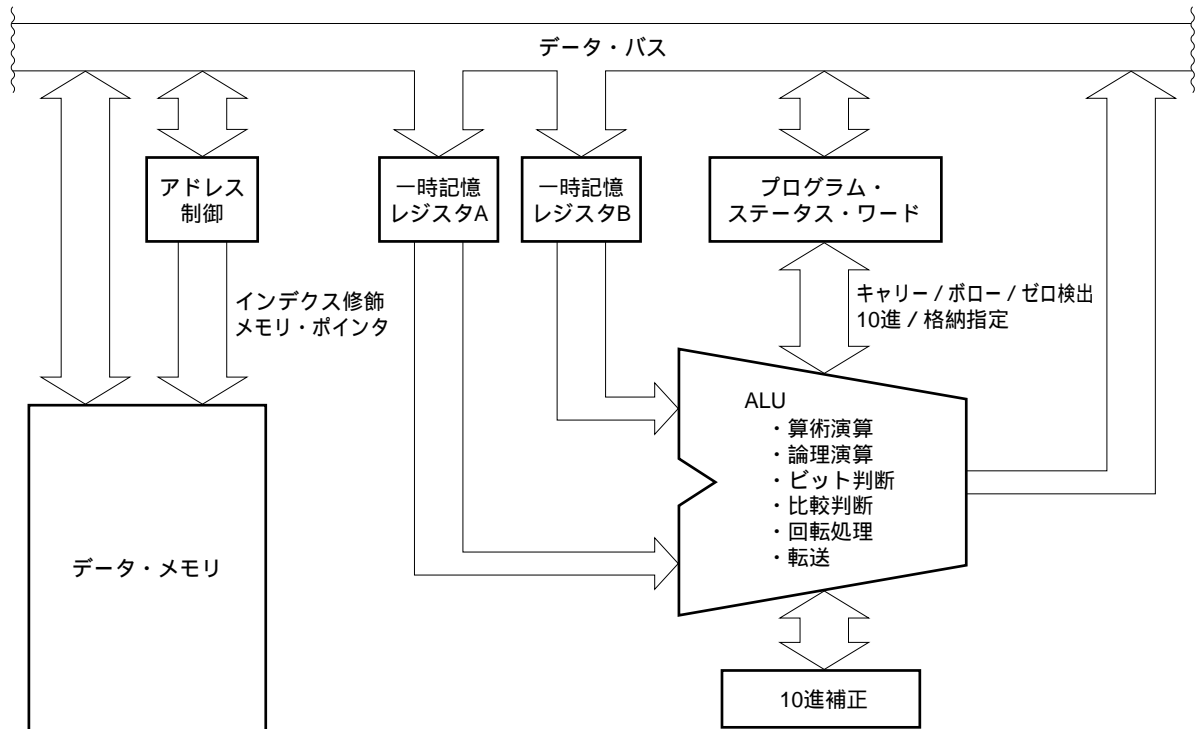
7.1 ALUブロック概要

図7 - 1 に、ALUブロックの概要を示します。

図7 - 1 に示すように、ALUブロックは、ALU、一時記憶レジスタA、B、プログラム・ステータス・ワード、10進補正回路およびデータ・メモリ・アドレス制御回路から構成されています。

ALUは、データ・メモリ上の4ビット・データの演算、判断、比較、回転および転送を行います。

図7 - 1 ALUブロック概要



7.2 各ブロックの構成と機能

7.2.1 ALU

ALUは、プログラムにより指定された命令により、4ビットの算術演算、論理演算、ビット判断、比較判断、回転処理および転送を行います。

7.2.2 一時記憶レジスタAおよびB

一時記憶レジスタAおよびBは、4ビットのデータを一時的に蓄わえておくレジスタです。

このレジスタは、命令実行時に自動的に使用され、プログラムで制御することはできません。

7.2.3 プログラム・ステータス・ワード

プログラム・ステータス・ワードは、ALUの動作制御、および状態を格納します。

プログラム・ステータス・ワードについては、“5.8 プログラム・ステータス・ワード (PSWORD)”を参照してください。

7.2.4 10進補正回路

算術演算時に、プログラム・ステータス・ワードのBCDフラグが“1”にセットされていると、10進補正回路により算術演算結果を10進数に変換します。

7.2.5 アドレス制御回路

アドレス制御回路は、データ・メモリのアドレスを指定します。

このとき、インデックス・レジスタやデータ・メモリ・ロウ・アドレス・ポインタによるアドレスの修飾も制御します。

7.3 ALU処理命令一覧

表7-1に、各命令実行時のALU動作一覧を示します。

表7-2に、インデックス・レジスタとデータ・メモリ・ロウ・アドレス・ポインタによる、データ・メモリ・アドレスの修飾を示します。

表7-3に、10進演算時の10進補正データを示します。

表 7 - 1 ALU処理命令動作一覧

ALU機能	命 令		プログラム・ステータス・ワード (PSWORD) による動作の違い					アドレス修飾	
			BCDフ ラグの値	CMPフ ラグの値	演算動作	CYフラグの動作	Zフラグの動作	インデクス	メモリ・ ポインタ
加算	ADD	r, m	0	0	2進演算 結果を格納する	キャリーまたはボ ローでセット 発生しなければリ セット	演算の結果0000Bでセット 0000B以外はリセット	あり	なし
		m, #n4							
	ADDC	r, m	0	1	2進演算 結果を格納しない		演算の結果0000Bで状態保持 0000B以外はリセット		
		m, #n4							
減算	SUB	r, m	1	0	10進演算 結果を格納する	演算の結果0000Bでセット 0000B以外はリセット	あり	なし	
		m, #n4							
	SUBC	r, m	1	1	10進演算 結果を格納しない				演算の結果0000Bで状態保持 0000B以外はリセット
		m, #n4							
論理演算	OR	r, m	任意 (保持)	任意 (保持)	変わらない	以前の状態を保持	以前の状態を保持	あり	なし
		m, #n4							
	AND	r, m							
		m, #n4							
	XOR	r, m							
		m, #n4							
判断	SKT	m, #n	任意 (保持)	任意 (リセット)	変わらない	以前の状態を保持	以前の状態を保持	あり	なし
	SKF	m, #n							
比較	SKE	m, #n4	任意 (保持)	任意 (保持)	変わらない	以前の状態を保持	以前の状態を保持	あり	なし
	SKNE	m, #n4							
	SKGE	m, #n4							
	SKLT	m, #n4							
転送	LD	r, m	任意 (保持)	任意 (保持)	変わらない	以前の状態を保持	以前の状態を保持	あり	なし
	ST	m, r							
	MOV	m, #n4							
		@r, m							
		m, @r							
回転	RORC	r	任意 (保持)	任意 (保持)	変わらない	ジェネラル・レジ スタのb ₀ の値	以前の状態を保持	なし	なし

表7-2 インデクス・レジスタとデータ・メモリ・ロウ・アドレス・ポインタによるデータ・メモリ・アドレスの修飾および間接転送アドレスの修飾

IXE	MPE	rで指定されるジェネラル・レジスタ・アドレス												mで指定されるデータ・メモリ・アドレス												@rで指定される間接転送アドレス											
		バンク				ロウ・アドレス				カラム・アドレス				バンク				ロウ・アドレス				カラム・アドレス				バンク				ロウ・アドレス				カラム・アドレス			
		b ₃	b ₂	b ₁	b ₀	b ₂	b ₁	b ₀	b ₃	b ₂	b ₁	b ₀	b ₃	b ₂	b ₁	b ₀	b ₂	b ₁	b ₀	b ₃	b ₂	b ₁	b ₀	b ₃	b ₂	b ₁	b ₀	b ₂	b ₁	b ₀	b ₃	b ₂	b ₁	b ₀	b ₃	b ₂	b ₁
0	0	← RP				r				← BANK				← m				← BANK				← m _R				← (r)											
0	1					同上								同上								← MP				← (r)											
1	0					同上				← BANK				← m				← BANK				← m _R				← (r)											
										← Logical IX				← OR				← Logical IXH, IXM				← OR				← (r)											
1	1					同上								同上								← MP				← (r)											

- BANK : バンク・レジスタ
- IX : インデクス・レジスタ
- IXE : インデクス・イネーブル・フラグ
- IXH : インデクス・レジスタのビット10-ビット8
- IXM : インデクス・レジスタのビット7-ビット4
- IXL : インデクス・レジスタのビット3-ビット0
- m : m_R, m_Cで示されるデータ・メモリ・アドレス
- m_R : データ・メモリ・ロウ・アドレス(上位)
- m_C : データ・メモリ・カラム・アドレス(下位)
- MP : データ・メモリ・ロウ・アドレス・ポインタ
- MPE : メモリ・ポインタ・イネーブル・フラグ
- r : ジェネラル・レジスタ・カラム・アドレス
- RP : ジェネラル・レジスタ・ポインタ
- (x) : xでアドレスされる内容
 - x : m, rなどのダイレクト・アドレス

表 7 - 3 10進補正データ

演算結果	16進加算		10進加算	
	CY	演算結果	CY	演算結果
0	0	0000B	0	0000B
1	0	0001B	0	0001B
2	0	0010B	0	0010B
3	0	0011B	0	0011B
4	0	0100B	0	0100B
5	0	0101B	0	0101B
6	0	0110B	0	0110B
7	0	0111B	0	0111B
8	0	1000B	0	1000B
9	0	1001B	0	1001B
10	0	1010B	1	0000B
11	0	1011B	1	0001B
12	0	1100B	1	0010B
13	0	1101B	1	0011B
14	0	1110B	1	0100B
15	0	1111B	1	0101B
16	1	0000B	1	0110B
17	1	0001B	1	0111B
18	1	0010B	1	1000B
19	1	0011B	1	1001B
20	1	0100B	1	1110B
21	1	0101B	1	1111B
22	1	0110B	1	1100B
23	1	0111B	1	1101B
24	1	1000B	1	1110B
25	1	1001B	1	1111B
26	1	1010B	1	1100B
27	1	1011B	1	1101B
28	1	1100B	1	1010B
29	1	1101B	1	1011B
30	1	1110B	1	1100B
31	1	1111B	1	1101B

演算結果	16進減算		10進減算	
	CY	演算結果	CY	演算結果
0	0	0000B	0	0000B
1	0	0001B	0	0001B
2	0	0010B	0	0010B
3	0	0011B	0	0011B
4	0	0100B	0	0100B
5	0	0101B	0	0101B
6	0	0110B	0	0110B
7	0	0111B	0	0111B
8	0	1000B	0	1000B
9	0	1001B	0	1001B
10	0	1010B	1	1100B
11	0	1011B	1	1101B
12	0	1100B	1	1110B
13	0	1101B	1	1111B
14	0	1110B	1	1100B
15	0	1111B	1	1101B
- 16	1	0000B	1	1110B
- 15	1	0001B	1	1111B
- 14	1	0010B	1	1100B
- 13	1	0011B	1	1101B
- 12	1	0100B	1	1110B
- 11	1	0101B	1	1111B
- 10	1	0110B	1	0000B
- 9	1	0111B	1	0001B
- 8	1	1000B	1	0010B
- 7	1	1001B	1	0011B
- 6	1	1010B	1	0100B
- 5	1	1011B	1	0101B
- 4	1	1100B	1	0110B
- 3	1	1101B	1	0111B
- 2	1	1110B	1	1000B
- 1	1	1111B	1	1001B

備考 の部分は、10進補正が正しく行われません。

7.4 ALU使用時の注意

7.4.1 プログラム・ステータス・ワードへの演算使用時の注意

プログラム・ステータス・ワードに対して算術演算を行うと、プログラム・ステータス・ワードには算術演算の結果が格納されます。

プログラム・ステータス・ワードの中のCYフラグおよびZフラグは、通常、算術演算の結果によりセットまたはリセットされますが、プログラム・ステータス・ワード自身に算術演算が行われると、算術演算結果が格納されてしまい、キャリー、ポローおよびゼロの判定ができません。

ただし、CMPフラグがセットされているときは、算術演算の結果が格納されないため、CYフラグおよびZフラグは通常通りセットまたはリセットされます。

7.4.2 10進演算使用時の注意

10進演算は、演算結果が次の範囲になる場合にかぎり実行できます。

- (1) 加算の結果が、10進で0～19であること
- (2) 減算の結果が、10進で0～9または-10～-1であること

この範囲以外で10進演算を行うと、CYフラグがセットされ、演算結果は1010B (0AH) 以上の値になります。

8 . レジスタ・ファイル (RF) とコントロール・レジスタ

8.1 レジスタ・ファイル概要

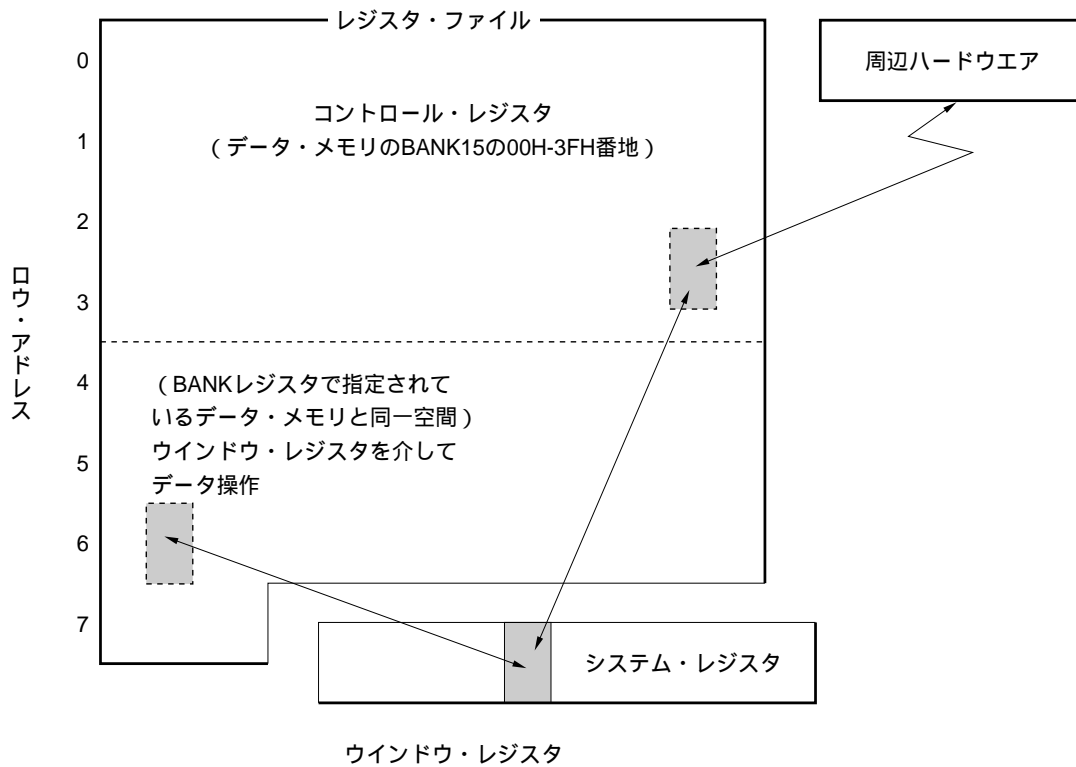
図 8 - 1 に、レジスタ・ファイルの概要を示します。

図 8 - 1 に示すように、レジスタ・ファイルは、データ・メモリの BANK15 のアドレス 00H-3FH 番地上に存在するコントロール・レジスタと、BANKレジスタで指定されているデータ・メモリと重なった部分から構成されています。

コントロール・レジスタは、周辺ハードウェアの条件設定などを行います。

レジスタ・ファイル上のデータは、ウインドウ・レジスタを介して読み込みおよび書き込みを行います。

図 8 - 1 レジスタ・ファイルの概要



8.2 レジスタ・ファイルの構成と機能

図8 - 2に、レジスタ・ファイルの構成とデータ・メモリの関係を示します。

レジスタ・ファイルは、データ・メモリと同様に4ビット単位でアドレスが割り当てられており、ロウ・アドレスが0H-7Hで、カラム・アドレスが0H-0FHの計128ニブルになります。

アドレス00Hから3FH番地まではBANK15のアドレス00H-3FH番地と重なっておりコントロール・レジスタと呼び、周辺ハードウェアの条件設定を行います。

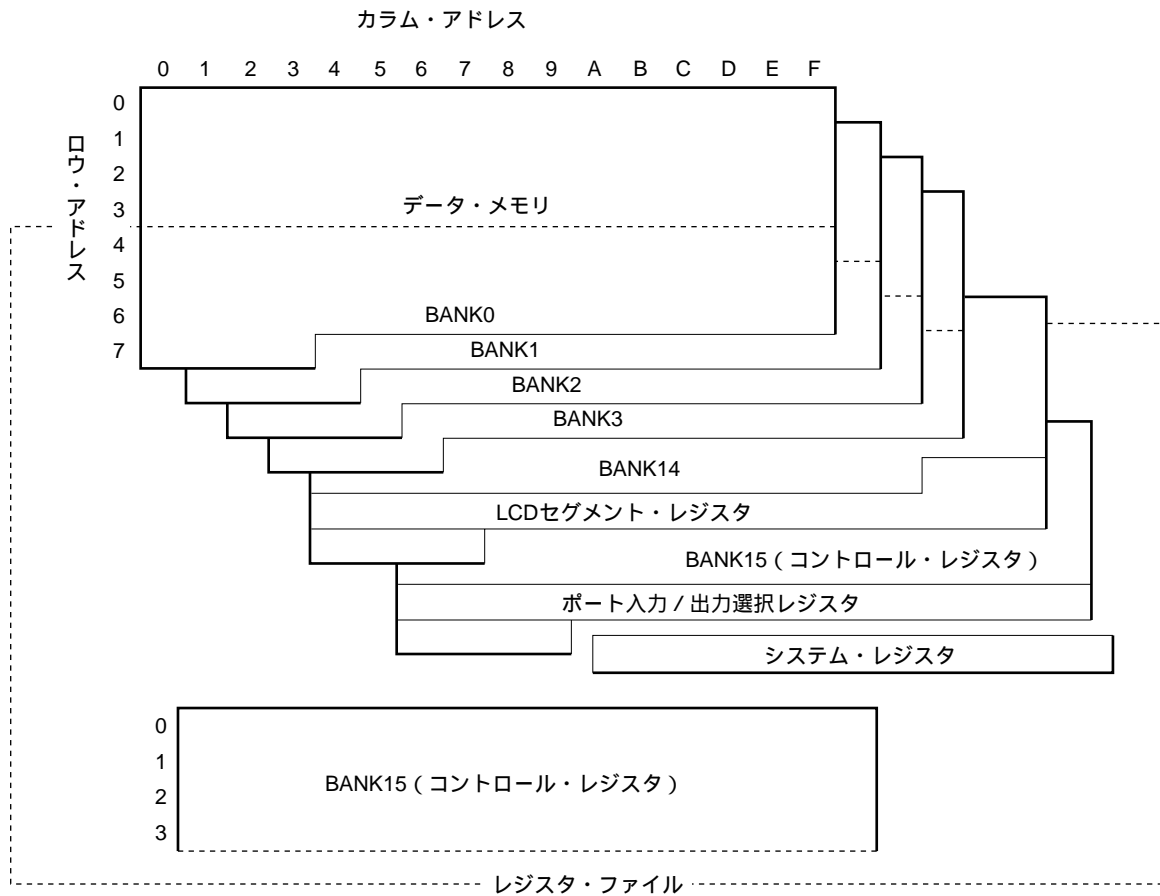
アドレス40Hから7FH番地までは、BANKレジスタで指定されているデータ・メモリと重なっています。

つまり、レジスタ・ファイルの40H-7FH番地は、データ・メモリのそのとき選択されているバンクのアドレス40Hから7FH番地と同じメモリが存在しています。

したがって、アドレス40Hから7FH番地は、レジスタ・ファイル操作命令（“ PEEK WR, rf ”, “ POKE rf, WR ”）により操作できる点を除けば、通常のデータ・メモリと同じです。ただし、BANK15の40H-6FH番地にはポート入力/出力選択レジスタを含むコントロール・レジスタが割り当てられています（詳しくは8.3 コントロール・レジスタと入力/出力選択レジスタを参照してください）。

また、BANK14の5CH-6FH番地にはLCDセグメント・レジスタが割り当てられています（詳しくは8.4 LCDセグメント・レジスタを参照してください）。

図8 - 2 レジスタ・ファイルの構成とデータ・メモリの関係



注意 BANK15の31H番地はテスト・モード用領域になっていますので、絶対に何も書き込まないでください。

備考 BANK4からBANK14の5BHはありません。

8.2.1 レジスタ・ファイル操作命令（“ PEEK WR, rf ” , “ POKE rf, WR ” ）

レジスタ・ファイルのデータの読み込みおよび書き込みは、システム・レジスタの中のウインドウ・レジスタを介して行います。次に各命令の動作を示します。

（ 1 ） “ PEEK WR, rf ”

ウインドウ・レジスタに、 “ rf ” でアドレス指定されるレジスタ・ファイルのデータを読み込む。

（ 2 ） “ POKE rf, WR ”

“ rf ” でアドレス指定されるレジスタ・ファイルに、ウインドウ・レジスタのデータを書き込む。

8.3 コントロール・レジスタと入力/出力選択レジスタ

図 8 - 3 にコントロール・レジスタの構成を示します。

入力/出力選択レジスタを含むコントロール・レジスタはデータ・メモリのBANK15のアドレス00H-6FH番地の計112ニブル（112×4ビット）から構成されています。そのうちBANK15のアドレス00H-3FH番地はレジスタ・ファイルのアドレス00H-3FH番地と重なっています。また、アドレス60H-6FH番地は入力/出力選択レジスタになっています。

ただし、コントロール・レジスタのうち実際に使用しているのは38ニブルです。残りの74ニブルは未使用レジスタで読み出しおよび書き込みは禁止されています。

各コントロール・レジスタは1ニブルずつ属性を持っており、それぞれ読み込み書き込み可能（R/W）、読み込み専用（R）、書き込み専用（W）および読み込んだときリセットされる（R&Reset）の4種類があります。

読み込み専用（RおよびR&Reset）レジスタに書き込みを行っても何も変化しません。

書き込み専用（W）レジスタを読み込むと“不定”の値が読み込まれます。

また、1ニブルの中の4ビット・データのうち、“0”に固定されているビットは、読み込んだときは常に“0”となり、書き込みを行っても“0”を保持します。

未使用レジスタの74ニブルは、内容を読み込むと不定の値が読み込まれ、書き込みを行っても何も変化しません。

なおBANK15の31H番地はテスト・モード用領域になっていますので、絶対に何も書き込まないでください。

表 8 - 1 にコントロール・レジスタの周辺ハードウェア制御機能一覧を示します。

図 8 - 3 コントロール・レジスタの構成 (00H-3FH番地) (1/4)

(BANK15) カラム・アドレス									
ロウ・アドレス	項目	0	1	2	3	4	5	6	7
(8)注1	名称		スタック・ポインタ	ウォッチドッグ・タイマ・クロック 選択	ウォッチドッグ・タイマ・カウンタ・リセット	データ・バッファ・スタック・ポインタ	スタック・オーバフロー・リセット選択		MOV Tビット 選択
	記号		(SP3) (SP2) (SP1) (SP0)	0 0 (WDTICK1) (WDTICK0)	W 0 0 0 D T R E S E T	0 0 (DBFSP1) (DBFSP0)	0 0 S P R S E L L 1 S P R S E L L 0		0 0 M O V T S E L L 1 M O V T S E L L 0
	Read/Write		R/W	R/W	W & Reset	R	R/W		R/W
(9)注1	名称	PLLモード選択	PLL基準周波数 選択	PLLアンロック FF		BEEPクロック 選択		ウォッチドッグ・タイマ/スタック・ポインタのリセット状態検出	ベーシック・タイマ0キャリー
	記号	P L L S C N F P L L M D 2 P L L M D 1 P L L M D 0	0 P L L I C K 2 P L L I C K 1 P L L I C K 0	0 0 0 P L L U L		0 B E E P I O S E L 1 B E E P I C K 1 B E E P I C K 0		0 0 0 W D T I C Y	0 0 0 B T M O C Y
	Read/Write	R/W	R/W	R & Reset		R/W		R & Reset	R & Reset
(A)注1	名称	FCGチャンネル 選択	IFカウンタ・ゲート 状態検出	IFカウンタ・モード選択	IFカウンタ・コントロール	A/Dコンバータ・チャンネル 選択	A/Dコンバータ・モード 選択		
	記号	0 0 0 F C G I C H 0	0 0 0 I F C G O S T T	I F C M D 1 I F C M D 0 I F C C K 1 I F C C K 0	0 0 I F C S T R T I F C R E S	0 0 A D C I C H 1 A D C I C H 0	0 0 A D C S T R T A D C C M P		
	Read/Write	R/W	R	R/W	W	R/W	R	R/W	R/W
(B)注1	名称		注 2						
	記号 1								
	Read/Write								

注 1 . () 内は，アセンブラを使用する際の番地です。

2 . BANK15の31H番地はテスト・モード用領域になっていますので，絶対に何も書き込まないでください。

図 8 - 3 コントロール・レジスタの構成 (00H-3FH番地) (2/4)

8	9	A	B	C	D	E	F
システム・レジスタの割り込みスタック・ポインタ							
0 SYSP10 SYSP11 SYSP12 SYSP13 SYSP14 SYSP15 SYSP16 SYSP17 SYSP18 SYSP19							
R							
ベーシック・タイマ1クロック選択				シリアルI/O1 クロック	シリアルI/O1 モード選択		割り込みエッジ選択
0 BTM1CK0				0 SIO1CK1 SIO1CK0	0 SIO1M1D SIO1M1Z SIO1M1S		0 IPEGO
R/W				R/W	R/W		R/W
			タイマ0カウンタ・クロック選択	タイマ0モード選択	割り込み許可1	割り込み許可2	割り込み許可3
			TMOEN TMOREK1 TMOREK0 TMOCK0	TMOOVF 0 0 0	IP1SIO1 IP2SIO1 IP3TMO3 IP4TMO2 IP5TMO1 IP6TMO0	IP7TMO4 IP8TMO3 IP9TMO2 IP10TMO1 IP11TMO0	IP12PE IP13PE IP14PE IP15PE
			R/W	R/W	R/W	R/W	R/W
				シリアル・インタフェース1 割り込み要求	ベーシック・インタバル・タイマ 1割り込み要求	タイマ0 割り込み要求	INT0端子 割り込み要求
				0 0 0 IRQSIO1	0 0 0 IRQBTM1	0 0 0 IRQTMO0	INT0 0 0 IRQ01
				R/W	R/W	R/W	R/W

図 8 - 3 コントロール・レジスタの構成 (40H-6FH番地) (3/4)

(BANK15) カラム・アドレス									
ロウ・アドレス	項目	0	1	2	3	4	5	6	7
4	名称	LCDモード選 択							
	記号	L C D M O D E S E L E C T	0	0					
	Read/ Write	R/W							
5	名称								
	記号								
	Read/ Write								
6	名称								
	記号								
	Read/ Write								

表 8 - 1 コントロール・レジスタの周辺ハードウェア制御機能一覧 (1/5)

周辺ハードウェア	コントロール・レジスタ				周辺ハードウェア制御機能				リセット時		
	名 称	番地 (BANK15)	Read/ Write	b3 b2 b1 b0 記号	機 能	設 定 値		リセット端子に よるリセット	WDT & SPリセット	クロック・ストップ時	
						0	1				
スタック	スタック・ポインタ	01H	R/W	(SP3) ----- (SP2) ----- (SP1) ----- (SP0)				F	F	保持	
	システム・レジスタの割り込みスタック・ポインタ	08H	R	0 ----- (SYSRSP2) ----- (SYSRSP1) ----- (SYSRSP0)				5	5	保持	
	データ・バッファ・スタック・ポインタ	04H	R	0 ----- 0 ----- (DBFSP1) ----- (DBFSP0)	“ 0 ”固定 データ・バッファ・スタックの多重レベルを検出			0	0	保持	
						0 0 1 1 0レベル 1レベル 2レベル 3レベル 0 1 0 1					
スタック・オーバーフロー / アンダフロー・リセット選択	05H	R/W	0 ----- 0	“ 0 ”固定				3	保持	保持	
			SPRSEL1	割り込みスタック・オーバーフロー / アンダフロー・リセット選択 (電源投入後一度だけ設定可能)	リセット禁止	リセット有効					
			SPRSEL0	アドレス・スタック・オーバーフロー / アンダフロー・リセット選択 (電源投入後一度だけ設定可能)							
ウォッチドッグ・タイマ	ウォッチドッグ・タイマ・クロック選択	02H	R/W	0 ----- 0 ----- (WDTCK1) ----- (WDTCK0)	“ 0 ”固定 ウォッチドッグ・タイマのクロックを選択 (電源投入後一度だけ設定可能)			0 0 1 1 使用しない 4096命令 設定禁止 8192命令 0 1 0 1	3	保持	保持
				WDTRES	ウォッチドッグ・タイマ・カウンタをリセット	無効	書き込むとリセット	不定	不定	不定	
	ウォッチドッグ・タイマ・カウンタ・リセット	03H	W & Reset	0 ----- 0 ----- 0	“ 0 ”固定						
WDT & SPリセット状態検出	16H	R & Reset	0 ----- 0 ----- 0					0	1	保持	
			WDTCY	ウォッチドッグ・タイマ / スタック・ポインタのリセットの検出	リセット要求なし	リセット要求あり					

表 8 - 1 コントロール・レジスタの周辺ハードウェア制御機能一覧 (2/5)

周辺ハードウェア	コントロール・レジスタ				周辺ハードウェア制御機能				リセット時		クロック・ストップ時	
	名称	番地 (BANK15)	Read/ Write	b ₃ b ₂ b ₁ b ₀ 記号	機能	設定値		リセット端子に よるリセット	WDT リセット			
						0	1					
MOV T	MOV Tビット選択	07H	R/W	0	“ 0 ” 固定			0	0	保持		
				0								
				MOV TSEL1		MOV T命令による転送ビットを設定	00 0 1				16ビット転送 上位8ビット転送 下位8ビット転送	
				MOV TSEL0	(8ビット転送時は0EH, 0FHのみに転送)	01 1 0						
シリアル・インタフェース	シリアル/O1 クロック選択	1CH	R/W	0	“ 0 固定 ”			0	0	0		
				0								
				SIO1CK1		シリアル・インタフェース 1	0 0 1 1				外部クロック 12.5 kHz 18.75 kHz 37.5 kHz (75 kHz MAX.)	
					SIO1CK0	のシフト・クロックの設定	0 1 0 1					
	シリアル/O1 モード選択	1DH	R/W	0	“ 0 ” 固定			0	0	0		
				SIO1MOD		S11/SO2端子の切り替え設定	S11				SO2	
SIO1HIZ				P0B2/SO1端子の状態を設定		汎用入出力ポート	シリアル・データ 出力端子					
				SIO1TS	動作開始, 停止の設定	動作停止	動作開始					
PLL周波数 シンセサイザ	PLLモード選択	10H	R/W	PLLSCNF	スワロ・カウンタの下位ビットを設定	最下位ビットを0	最下位ビットを1	0	0	0		
				PLLMD2	PLLの分周モードを設定	0: ディスエーブル	1: MF					
				PLLMD1		2: 設定禁止	3: HF					
				PLLMD0		4: VHFL	5: 設定禁止					
						6: VHFH	7: 設定禁止					
	PLL基準周波数選択	11H	R/W	0	“ 0 ” 固定			7	7	7		
				PLLRFCK2		PLLの基準周波数を設定	0: 1 kHz				1: 3 kHz	2: 5 kHz
				PLLRFCK1			3: 6.25 kHz				4: 12.5 kHz	5: 25 kHz
				PLLRFCK0			6: ディスエーブル				7: ディスエーブル	
	PLLアンロックFF	12H	R & Reset	0	“ 0 ” 固定			不 定	不 定	保 持		
0												
				PLLUL	アンロックFFの状態を検出	ロック状態	アンロック状態					
BEEP	BEEP / 汎用ポート端 子機能選択	14H	R/W	0	“ 0 ” 固定			0	0	0		
				BEEP0SEL		P0B3/BEEP端子の機能を選択	汎用入出力ポート				BEEP	
				BEEP0CK1		BEEP端子の設定	0 0 1 1				ロウ・レベル出力 1.5 kHz 3 kHz	
				BEEP0CK0			0 1 0 1				ハイ・レベル出力	
タイマ	ベーシック・タイマ 0 キャリー	17H	R & Reset	0	“ 0 ” 固定			0	保 持	保 持		
				0								
				0								
					BTM0CY	ベーシック・タイマ0キャリー-FFの検出	FFリセット	FFセット	1			
	ベーシック・タイマ 1 クロック選択	18H	R/W	0	“ 0 ” 固定			0	0	保 持		
			BTM1CK0	ベーシック・タイマ0のクロック選択		31.25 Hz (32 ms)	125 Hz (8 ms)					

備考 不 : 不定 保 : 保持

表 8 - 1 コントロール・レジスタの周辺ハードウェア制御機能一覧 (3/5)

周辺ハードウェア	コントロール・レジスタ				周辺ハードウェア制御機能			リセット時		
	名称	番地 (BANK15)	Read/ Write	b ₃ b ₂ b ₁ b ₀ 記号	機能	設定値		リセット端子に よるリセット	WRT&P リセット	ストップ時
						0	1			
タイマ	タイマ0カウンタ・クロック選択	2BH	R/W	TM0EN	タイマ0カウンタのスタート/ストップを設定	ストップ	スタート	0	0	0
				TM0RES	タイマ0カウンタのリセットを設定	変化しない	リセット			
				TM0CK1	タイマ0カウンタの基本クロックを設定	0 0 1 1 TM0 TM1 75 kHz 25 kHz (13.3μs) (40μs)				
				TM0CK0	タイマ0カウンタのクロックをロックを設定	0 1 0 1				
タイマ0モード選択	2CH	R/W	TM0OVF	タイマ0オーバフロー検出	オーバフローなし	オーバフローあり	0	0	0	
			TM0GCEG	ゲート・クローズ入力信号のエッジを設定	立ち上がりエッジ	立ち下がりエッジ				
			TM0GOEG	ゲート・オープン入力信号のエッジを設定						
			TM0MD	タイマ0のモジュロ・カウンタ/ゲート・カウンタの切り替え	モジュロ・カウンタ	ゲート・カウンタ				
割り込み	割り込みエッジ選択	1FH	R/W	0	“0”固定			0	0	保持
				0						
				0						
				IEG0	割り込み発行エッジを設定 (INT端子)	立ち上がりエッジ	立ち下がりエッジ			
割り込み許可	2FH	R/W	IPSIO1	シリアル・インタフェース1の割り込み許可を設定	割り込み禁止	割り込み許可	0	0	保持	
			IPBTM1	ベーシック・インターバル・タイマ1の割り込み許可を設定						
			IPTM0	タイマ0の割り込み許可を設定						
			IP0	INT端子の割り込み許可を設定						
シリアル・インタフェース1割り込み要求	3CH	R/W	0	“0”固定			0	0	保持	
			0							
ベーシック・インターバル・タイマ1割り込み要求	3DH	R/W	0	“0”固定			0	0	保持	
			0							
タイマ0割り込み要求	3EH	R/W	0	“0”固定			0	0	保持	
			0							
			IRQTM0	タイマ0の割り込み要求検出	割り込み要求なし	割り込み要求あり				

表 8 - 1 コントロール・レジスタの周辺ハードウェア制御機能一覧 (4/5)

周辺ハードウェア	コントロール・レジスタ				周辺ハードウェア制御機能			リセット時		
	名称	番地 (BANK15)	Read/ Write	b ₃ b ₂ b ₁ b ₀ 記号	機能	設定値		リセット端子に よるリセット	WDT & PDI リセット	クロック・ストップ時
						0	1			
割り込み	INT0端子割り込み要求	3FH	R/W	INT0	INT0端子の状態を検出	ロウ・レベル	ハイ・レベル	不	不	不
				0	“ 0 ” 固定			0	0	保
				IRQ0	INT0端子の割り込み要求検出	割り込み要求なし	割り込み要求あり			持
IFカウンタ	FCGチャンネル選択	20H	R/W	0	“ 0 ” 固定			0	0	0
				0						
				0						
				FCGCH0	FCGとして使用する端子を設定	FCGを使用しない	FCGを使用する			
	IFカウンタ・ゲート状態検出	21H	R	0	“ 0 ” 固定			0	0	0
				0						
				0						
		IFCGOSTT	IFカウンタのゲート状態を検出	クローズ	オープン					
	IFカウンタ・モード選択	22H	R/W	IFCMD1	IFカウンタのモード設定	0 0 1 1		0	0	0
				IFCMD0		FCG AMIFC FMIFC AMIFC2				
IFCCK1				IFカウンタのゲート時間およびFCGのカウンタ周波数を設定	0 0 1 1					
IFCCK0					1 ms, 4 ms, 8 ms, オープン, 25 kHz 75 kHz 設定禁止 設定禁止					
					0 1 0 1					
IFカウンタ・コントロール	23H	W	0	“ 0 ” 固定			0	0	0	
			0							
			IFCSTRT	IFカウンタのカウント・スタートを設定	何も変化しない	カウンタをスタート				
	IFCRES	IFカウンタのデータ・リセットを設定	何も変化しない	カウンタをリセット						
A/Dコンバータ	A/Dコンバータ・チャンネル選択	24H	R/W	0	“ 0 ” 固定			0	0	保
				0						
				ADCCH1	A/Dコンバータとして使用する端子を選択	0 : A/Dコンバータを使用しない	1 : P0D1/AD0端子	2 : P0D2/AD1端子	3 : P0D3/AD2端子	
		ADCCH0								
	A/Dコンバータ・モード選択	25H	R	0	“ 0 ” 固定			0	0	0
				0						
	ADCSTRT	A/Dコンバータの動作状態を検出	変換終了	変換中						
	ADCCMP	A/Dコンバータの比較結果を検出	V _{ADCREf} > V _{ADCI}	V _{ADCREf} < V _{ADCI}						
LCDドライバ	LCDモード選択	40H	R/W	LCDDBCK	LCD用ダブラの動作クロックを設定	75 kHz	5 kHz	0	0	0
				0	“ 0 ” 固定					
				0						
	LCDEN	すべてのLCD表示のオン/オフを設定	表示オフ	表示オン						

備考 不：不定 保：保持

表 8 - 1 コントロール・レジスタの周辺ハードウェア制御機能一覧 (5/5)

周辺ハードウェア	コントロール・レジスタの周辺レジスタ				周辺ハードウェア制御機能			リセット時		クロック・ストップ時
	名称	番地 (BANK15)	Read/ Write	b ₃ b ₂ b ₁ b ₀ 記号	機能	設定値		リセット時に よるリセット 端子に	WDT&PROM リセット	
						0	1			
LCDドライバ	LCDポート・セレクト	69H	R/W	0	“ 0 ” 固定			0	0	0
				LCD19SEL	P2A2/LCD19端子の機能を選択	汎用入力ポート	LCDセグメント	0	0	保持
				LCD18SEL	P2A1/LCD18端子の機能を選択					
				LCD17SEL	P2A0/LCD17端子の機能を選択					
入出力ポート	ポート0D ブルダウン抵抗選択	6AH	R/W	P0DPLD3	P0D3端子のブルダウン抵抗切り替え			ブルダウン抵抗使用	ブルダウン抵抗未使用	0
				P0DPLD2	P0D2端子のブルダウン抵抗切り替え					
				P0DPLD1	P0D1端子のブルダウン抵抗切り替え					
				P0DPLD0	P0D0端子のブルダウン抵抗切り替え					
	ポート2CビットI/O選択	6BH	R/W	P2CBIO3	P2C3端子の入力 / 出力選択	入力	出力	0	0	保持
				P2CBIO2	P2C2端子の入力 / 出力選択					
				P2CBIO1	P2C1端子の入力 / 出力選択					
				P2CBIO0	P2C0端子の入力 / 出力選択					
	ポート2BビットI/O選択	6CH	R/W	P2BBIO3	P2B3端子の入力 / 出力選択	入力	出力	0	0	保持
				P2BBIO2	P2B2端子の入力 / 出力選択					
				P2BBIO1	P2B1端子の入力 / 出力選択					
				P2BBIO0	P2B0端子の入力 / 出力選択					
ポート1DビットI/O選択	6DH	R/W	P1DBIO3	P1D3端子の入力 / 出力選択	入力	出力	0	0	保持	
			P1DBIO2	P1D2端子の入力 / 出力選択						
			P1DBIO1	P1D1端子の入力 / 出力選択						
			P1DBIO0	P1D0端子の入力 / 出力選択						
ポート1AビットI/O選択	6EH	R/W	P1ABIO3	P1A3端子の入力 / 出力選択	入力	出力	0	0	保持	
			P1ABIO2	P1A2端子の入力 / 出力選択						
			P1ABIO1	P1A1端子の入力 / 出力選択						
			P1ABIO0	P1A0端子の入力 / 出力選択						
ポート0BビットI/O選択	6FH	R/W	P0BBIO3	P0B3端子の入力 / 出力選択	入力	出力	0	0	保持	
			P0BBIO2	P0B2端子の入力 / 出力選択						
			P0BBIO1	P0B1端子の入力 / 出力選択						
			P0BBIO0	P0B0端子の入力 / 出力選択						

8.4 LCDセグメント・レジスタ

LCDセグメント・レジスタはデータ・メモリのBANK14のアドレス5CH-6FH番地の計20ニブル(20×4ビット)から構成されています(詳しくは“19.LCDコントローラ/ドライバ”を参照してください)。

8.5 コントロール・レジスタ使用時の注意

コントロール・レジスタ(BANK15のアドレス00H-6FH番地)の書き込み専用レジスタ(W),読み込み専用レジスタ(R)および未使用レジスタを操作するときは次の(1)-(4)に示す点に注意が必要です。

- (1) 書き込み専用レジスタを読み込むと“不定な値”が読み込まれます。
- (2) 読み込み専用レジスタに書き込みを行っても何も変化しません。
- (3) 未使用部分を読み込むと“不定な値”が読み込まれます。また、書き込みを行っても何も変化しません。
- (4) BANK15の31H番地はテスト・モード用領域になっていますので、絶対に何も書き込まないでください。

9 . データ・バッファ (DBF)

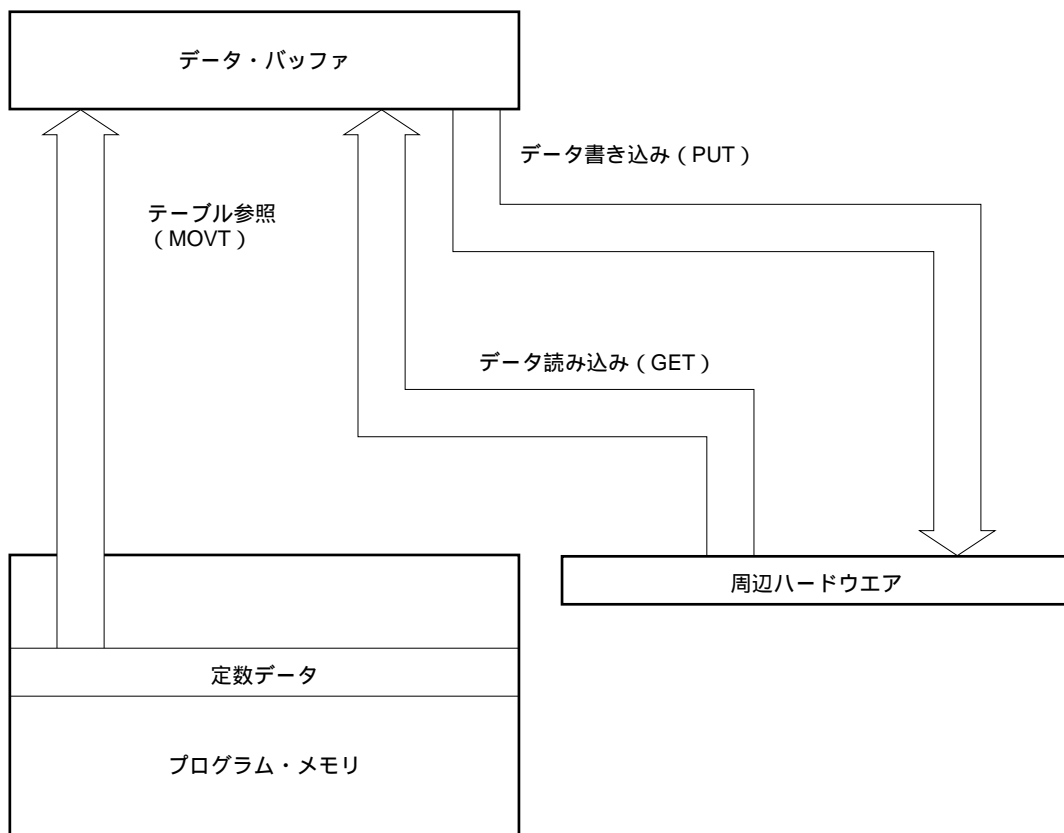
9.1 データ・バッファ概要

図9 - 1に、データ・バッファの概要を示します。

データ・バッファは、データ・メモリ上に配置されており、次に示す2つの機能があります。

- ・プログラム・メモリ上の定数データの読み込み (テーブル参照) 機能
- ・周辺ハードウェアとのデータ転送機能

図9 - 1 データ・バッファの概要



9.2 データ・バッファ

9.2.1 データ・バッファの構成

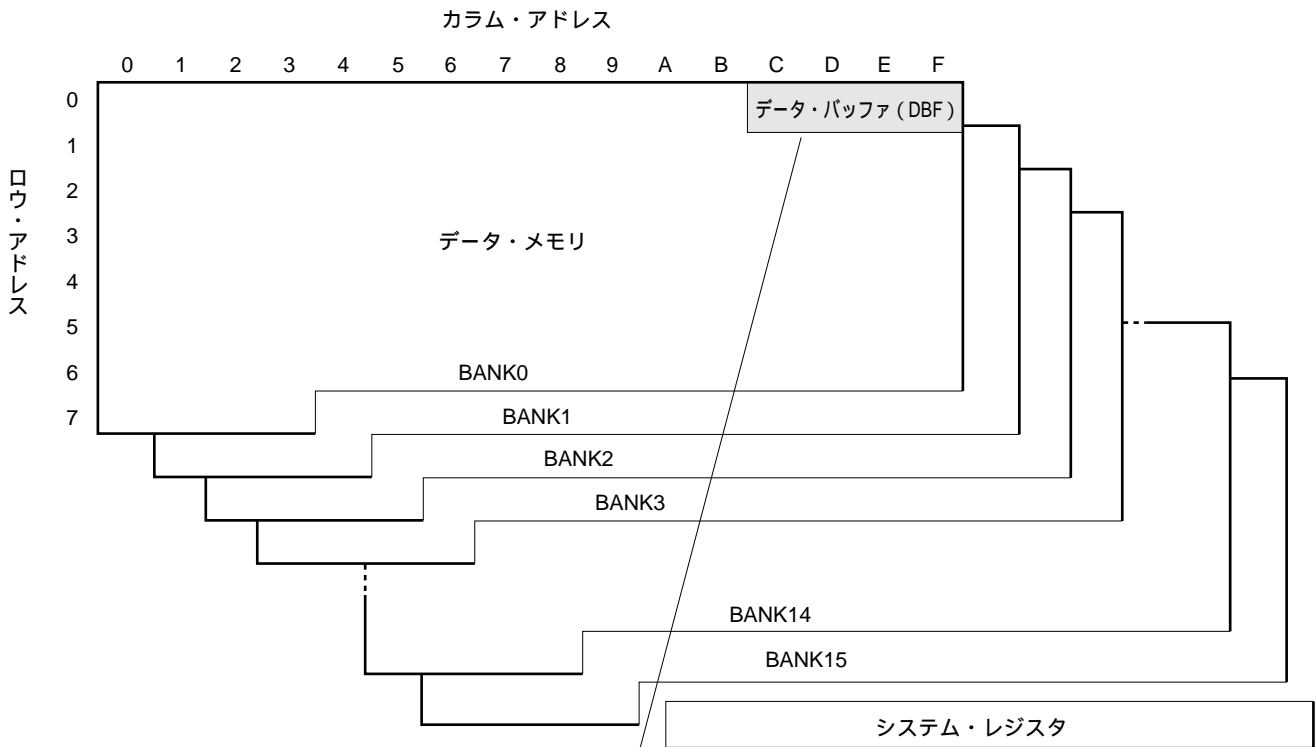
図9-2に、データ・バッファの構成を示します。

図9-2に示すように、データ・バッファは、データ・メモリ上のアドレスBANK0の0CH-0FH番地の計16ビットで構成されています。

16ビットのデータは、アドレス0CH番地のビット3をMSBとし、アドレス0FH番地のビット0をLSBとして構成されています。

データ・バッファは、データ・メモリ上に配置されているため、すべてのデータ・メモリ操作命令で操作できます。

図9-2 データ・バッファの構成



備考 BANK4からBANK14の5BHまではありません。

データ・メモリ	アドレス	0CH				0DH				0EH				0FH			
	ビット	b ₃	b ₂	b ₁	b ₀	b ₃	b ₂	b ₁	b ₀	b ₃	b ₂	b ₁	b ₀	b ₃	b ₂	b ₁	b ₀
データ・バッファ	ビット	b ₁₅	b ₁₄	b ₁₃	b ₁₂	b ₁₁	b ₁₀	b ₉	b ₈	b ₇	b ₆	b ₅	b ₄	b ₃	b ₂	b ₁	b ₀
	信号	DBF3				DBF2				DBF1				DBF0			
	データ	M				データ								L			
		S												S			
		B												B			

9.2.2 テーブル参照命令 (“ MOV_T DBF, @AR ”)

アドレス・レジスタの内容によってアドレス指定されるプログラム・メモリの内容を、データ・バッファに読み込みます。

テーブル参照命令の転送ビットは、コントロール・レジスタのMOV_T選択レジスタ(07H番地)によって指定することができます。

8ビット転送時はDBF1, 0に読み込まれます。

テーブル参照命令実行時は、スタックが1レベル使用されます。

テーブル参照が可能なプログラム・メモリ・アドレスは、プログラム・メモリの全アドレスです。

9.2.3 周辺ハードウェア制御命令 (“ PUT ”, “ GET ”)

次に、“ PUT ” および “ GET ” 命令の動作を示します。

(1) GET DBF, p

データ・バッファに、pでアドレス指定される周辺レジスタのデータを読み込む。

(2) PUT p, DBF

pでアドレス指定される周辺レジスタに、データ・バッファのデータを設定する。

9.3 周辺ハードウェアとデータ・バッファ一覧

表9 - 1 に周辺ハードウェアとデータ・バッファの機能一覧を示します。

表9 - 1 周辺ハードウェアとデータ・バッファの関係 (1/2)

周辺ハードウェア	データ・バッファとデータ転送を行う周辺レジスタ					
	名称	記号	周辺アドレス	PUT命令 / GET命令の可否	入出力ビット	実用ビット
A/Dコンバータ	A/Dコンバータ・データ・レジスタ	ADCR	02H	PUT/GET	8	8
シリアル・インタフェース1	プリセットブル・シフト・レジスタ1	SIO1SFR	04H	PUT/GET	8	8
タイマ0	タイマ0モジュロ・レジスタ	TM0M	1AH	PUT/GET	8	8
	タイマ0カウンタ	TM0C	1BH	GET	8	8
アドレス・レジスタ	アドレス・レジスタ	AR	40H	PUT/GET	16	16
データ・バッファ・スタック	DBFスタック	DBFSTK	41H	PUT/GET	16	16
PLL周波数シンセサイザ ^注	PLLデータ・レジスタ	PLLR	42H	PUT/GET	16	16
周波数カウンタ	IFCデータ・レジスタ	IFC	43H	GET	16	16

注 PLL周波数シンセサイザのプログラマブル・カウンタは17ビットで構成されており、そのうちの上位16ビットはPLLデータ・レジスタ (PLLR) を示し、最下位ビットはコントロール・レジスタのPLLSCNFフラグ (10H番地の3ビット目) に割り付けられています。

詳しくは“16. PLL周波数シンセサイザ”を参照してください。

表9 - 1 周辺ハードウェアとデータ・バッファの関係 (2/2)

周辺ハードウェア	リセット時			機能
	リセット端子によるリセット	WDT & SPIリセット	クロック・ストップ	
A/Dコンバータ	0	0	保持	A/Dコンバータの比較電圧V _{ADCREf} データを設定
シリアル・インタフェース1	不定	不定	保持	シリアル・アウト・データの設定およびシリアル・イン・データの読み込み
タイマ0	FF	FF	FF	タイマ0のモジュロ・レジスタ値を設定
	0	0	0	タイマ0カウンタの計数値の読み込み
アドレス・レジスタ	0	0	保持	アドレス・レジスタとのデータ転送
データ・バッファ・スタック	不定	不定	保持	データ・バッファのデータを退避
PLL周波数シンセサイザ	不定	不定	保持	PLLの分周値 (N値) を設定
周波数カウンタ	0	0	0	周波数カウンタの計数値の読み込み

9.4 データ・バッファ使用時の注意

データ・バッファを介して周辺ハードウェアとデータ転送を行うとき、未使用周辺アドレスや書き込み専用周辺レジスタ（PUTのみ）および読み込み専用周辺レジスタ（GETのみ）に対して、次に示す点に注意が必要です。

- ・書き込み専用レジスタを読み込むと“不定な値”が読み込まれます。
- ・読み込み専用レジスタに書き込みを行っても何も変化しません。
- ・未使用アドレスを読み込むと“不定な値”が読み込まれます。また、書き込みを行っても何も変化しません。

10. データ・バッファ・スタック

10.1 データ・バッファ・スタック概要

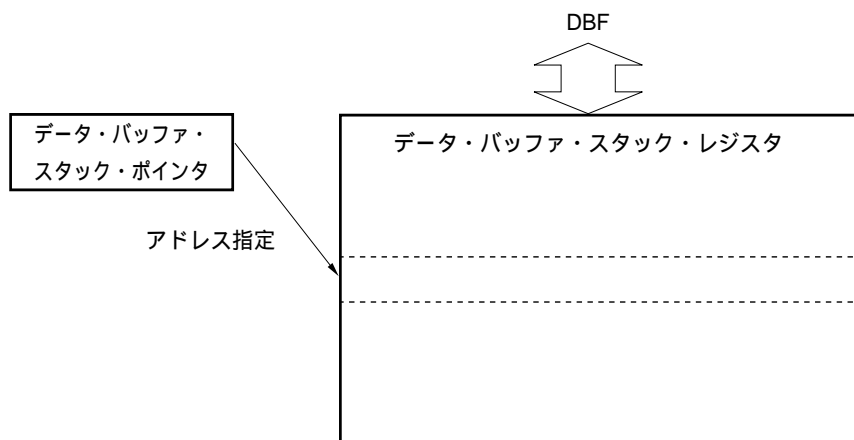
図10 - 1 に、データ・バッファ・スタックの概要を示します。

図10 - 1 に示すように、データ・バッファ・スタックは、データ・バッファ・スタック・ポインタおよびデータ・バッファ・スタック・レジスタで構成されています。

データ・バッファ・スタックは、“PUT” および “GET” 命令によりデータ・バッファの内容を退避および復帰します。

したがって、割り込み受け付け時などにデータ・バッファの内容を1命令で退避できます。

図10 - 1 データ・バッファ・スタック概要



10.2 データ・バッファ・スタック・レジスタ

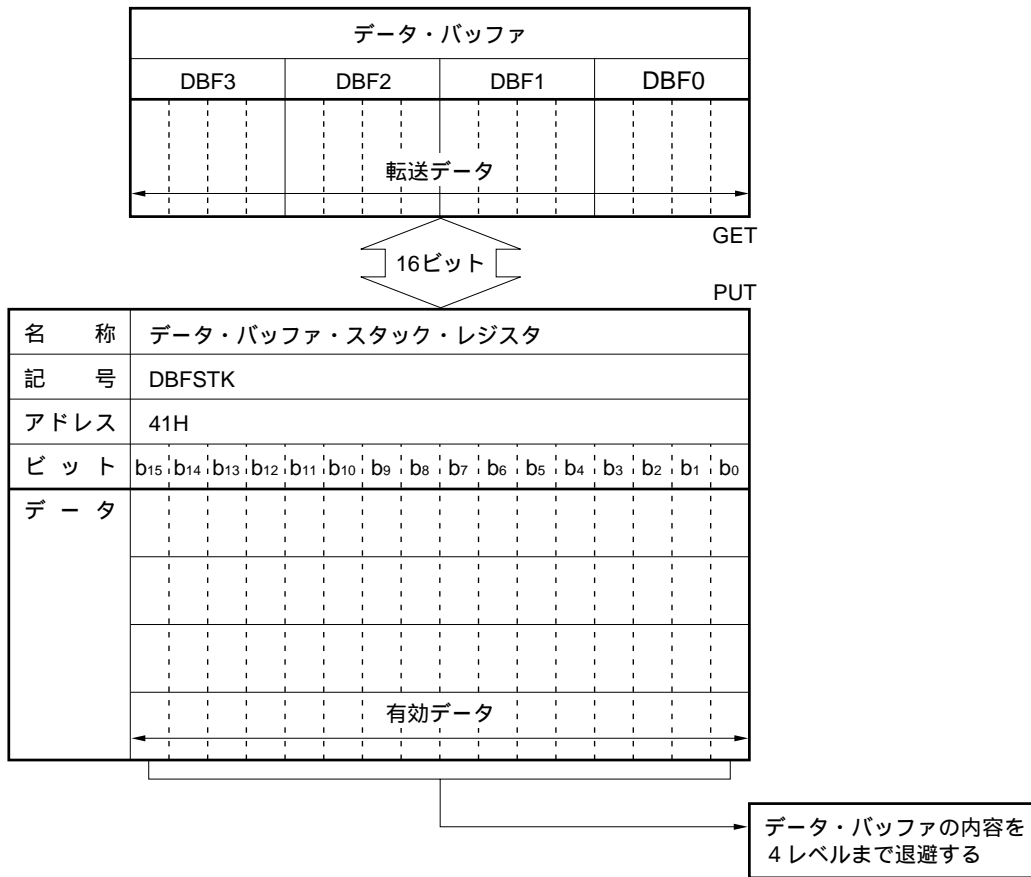
図10 - 2 に、データ・バッファ・スタック・レジスタの構成を示します。

図10 - 2 に示すように、データ・バッファ・スタック・レジスタは、16ビット×4個のレジスタで構成されています。

“PUT” 命令を実行することによりデータ・バッファの内容を退避し、“GET” 命令を実行することにより退避したデータを復帰します。

最大4レベルまで続けて退避することができます。

図10 - 2 データ・バッファ・スタック・レジスタの構成

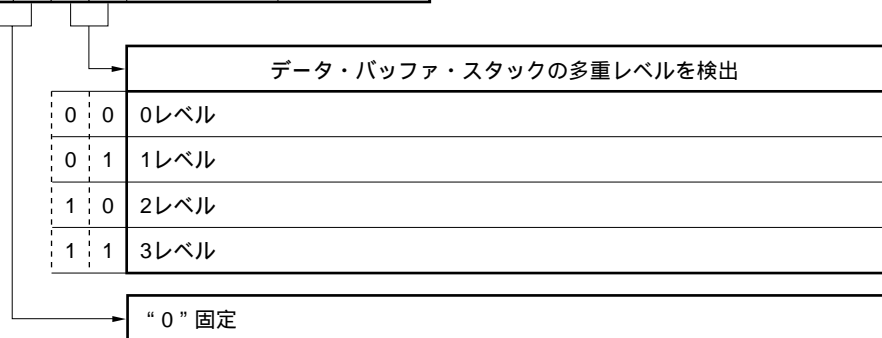


10.3 データ・バッファ・スタック・ポインタ

データ・バッファ・スタック・ポインタはデータ・バッファ・スタック・レジスタの多重レベルを検出します。すなわち、データ・バッファ・スタックに“PUT”命令が実行されると+1され、“GET”命令が実行されると-1されます。

データ・バッファ・スタック・ポインタは読み込みだけ可能であり、書き込みはできません。次にデータ・バッファ・スタック・ポインタの構成と機能を示します。

名称	フラグ記号				アドレス	Read/Write
	b ₃	b ₂	b ₁	b ₀		
データ・バッファ・スタック・ポインタ	0	0	$\begin{matrix} \wedge \\ D \\ B \\ F \\ S \\ P \\ \vee \end{matrix}$	$\begin{matrix} \wedge \\ D \\ B \\ F \\ S \\ P \\ \vee \end{matrix}$	04H	R



リセット時	RESET端子によるリセット	0	0	0	0
	WDT & SPリセット			0	0
クロック・ストップ時				保持	

10.4 データ・バッファ・スタックの動作

図10 - 3 に、データ・バッファ・スタックの動作を示します。

図10 - 3 に示すように、PUT命令が実行されると、スタック・ポインタで指定されるデータ・バッファ・スタック・レジスタにデータ・バッファの内容を転送し、スタック・ポインタを + 1 します。

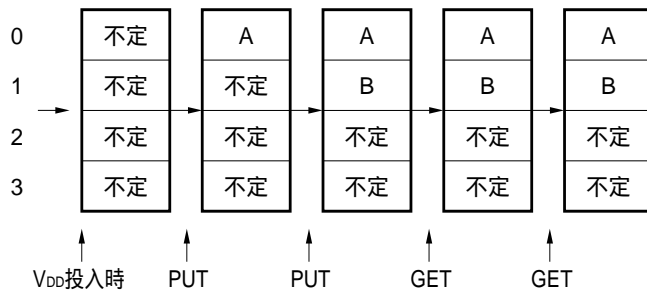
GET命令が実行されると、スタック・ポインタで指定されるデータ・バッファ・スタック・レジスタの内容をデータ・バッファに転送し、スタック・ポインタを - 1 します。

したがって、スタック・ポインタの初期値は 0 であるため一度書き込みを行うと 1 になり、4 回行くと 0 になるため注意してください。

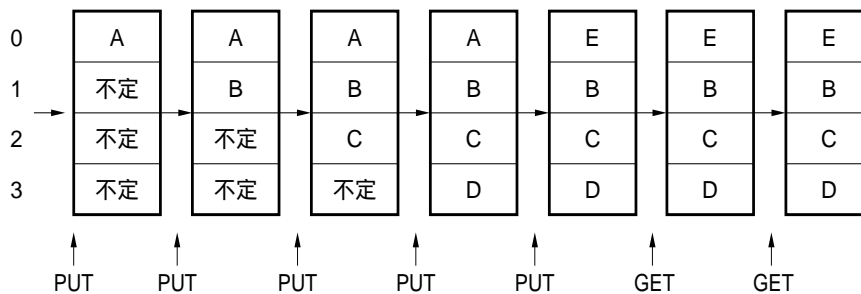
4 レベルを越える書き込み (PUT) を行うと最初のデータははき出されてしまうため注意が必要です。

図10 - 3 データ・バッファ・スタックの動作

(a) 書き込みが 4 レベルを越えないとき



(b) 書き込みが 4 レベルを越えるとき



10.5 データ・バッファ・スタックの使用方法

次にプログラム例を示します。

例 INT割り込みルーチンでデータ・バッファとアドレス・レジスタの内容を退避する（データ・バッファとアドレス・レジスタ）は割り込みで自動的に退避されない）。

```

START:
BR   INITIAL      ; リセット・アドレス
      ; 割り込みベクタ・アドレス
NOP   ; SIO
NOP   ; ベーシック・タイマ 1
NOP   ; TMO

INTINT:
      ; INT端子割り込みベクタ・アドレス (0004H)
PUT   DBFSTK, DBF ; DBFの内容をデータ・バッファ・スタック (DBFSTK) の
      ; 1レベル目に退避
GET   DBF, AR     ; アドレス・レジスタ (AR) の内容をDBFに転送
PUT   DBFSTK, DBF ; さらにARの内容をデータ・バッファ・スタックの2レ
      ; ベル目に退避

      ; 処理 B
      ; INT割り込み処理

GET   DBF, DBFSTK ; データ・バッファ・スタックの2レベル目をデータ・バッファに復帰し、
PUT   AR, DBF     ; さらにデータ・バッファの内容をアドレス・レジスタに復帰する
GET   DBF, DBFSTK ; データ・バッファ・スタックの1レベル目をデータ・バッファに復帰
EI
RETI

INITIAL:
SET1  IPO
EI

LOOP:
      ; 処理 A

BR   LOOP

END

```

10.6 データ・バッファ・スタック使用時の注意

データ・バッファ・スタックは割り込み受け付け時に自動的に退避されません。したがって、ソフトウェアで退避してください。

また、データ・メモリのBANK0以外が指定されている場合でも、“PUT”および“GET”命令でデータ・バッファ（BANK0に存在する）の内容を退避および復帰することができます。

11. 汎用ポート

汎用ポートは、外部回路へのハイ・レベル、ロウ・レベルまたはフローティング信号の出力および外部回路のハイ・レベル、ロウ・レベル信号の読み出しを行います。

11.1 汎用ポート概要

表11 - 1 に、各ポートとポート・レジスタの関係を示します。

汎用ポートは、入出力ポート、入力ポート、出力ポートに分類されます。

入出力ポートは1ビット（1端子）で入力/出力を設定できます（ビットI/Oポート）。各入出力ポートの入力/出力の設定は、BANK15のポート入力/出力選択レジスタ（60H-6FH）により行います。

表11 - 1 各ポート（端子）とポート・レジスタの関係（1/2）

ポート	端 子			データ設定方法				
	番 号	記 号	入出力	ポート・レジスタ（データ・メモリ）				
				バンク	アドレス	記 号	ビット記号 （予約語）	
ポート0A	対象端子なし		出力	BANK0	70H	P0A	b3	-
	対象端子なし						b2	-
	19	P0A1					b1	P0A1
	18	P0A0					b0	P0A0
ポート0B	31	P0B3	入出力 （ビットI/O）	71H	P0B	b3	P0B3	
	30	P0B2				b2	P0B2	
	29	P0B1				b1	P0B1	
	28	P0B0				b0	P0B0	
ポート0C	67	P0C3	出力	72H	P0C	b3	P0C3	
	66	P0C2				b2	P0C2	
	65	P0C1				b1	P0C1	
	64	P0C0				b0	P0C0	
ポート0D	78	P0D3	入力	73H	P0D	b3	P0D3	
	77	P0D2				b2	P0D2	
	76	P0D1				b1	P0D1	
	75	P0D0				b0	P0D0	

表11 - 1 各ポート（端子）とポート・レジスタの関係（2/2）

ポート	端 子			データ設定方法				
	番 号	記 号	入出力	ポート・レジスタ（データ・メモリ）				
				バンク	アドレス	記 号	ビット記号 （予約語）	
ポート1A	23	P1A3	入出力 （ビットI/O）	BANK1	70H	P1A	b ₃	P1A3
	22	P1A2					b ₂	P1A2
	21	P1A1					b ₁	P1A1
	20	P1A0					b ₀	P1A0
ポート1C	4	P1C3	入力		72H	P1C	b ₃	P1C3
	3	P1C2					b ₂	P1C2
	2	P1C1					b ₁	P1C1
	1	P1C0					b ₀	P1C0
ポート1D	27	P1D3	入出力 （ビットI/O）		73H	P1D	b ₃	P1D3
	26	P1D2					b ₂	P1D2
	25	P1D1					b ₁	P1D1
	24	P1D0					b ₀	P1D0
ポート2A	対象端子なし		入力		70H	P2A	b ₃	-
	63	P2A2					b ₂	P2A2
	62	P2A1					b ₁	P2A1
	61	P2A0					b ₀	P2A0
ポート2B	17	P2B3	入出力 （ビットI/O）	BANK2	71H	P2B	b ₃	P2B3
	16	P2B2					b ₂	P2B2
	15	P2B1					b ₁	P2B1
	14	P2B0					b ₀	P2B0
ポート2C	74	P2C3	入出力 （ビットI/O）		72H	P2C	b ₃	P2C3
	73	P2C2					b ₂	P2C2
	72	P2C1					b ₁	P2C1
	71	P2C0					b ₀	P2C0
-	対象端子なし		-	BANK3 BANK15 ^注	70H-73H	-	“ 0 ” 固定	

注 BANK4からBANK14の5BHまでではありません。

11.2 汎用入出力ポート (P0B, P1A, P1D, P2B, P2C)

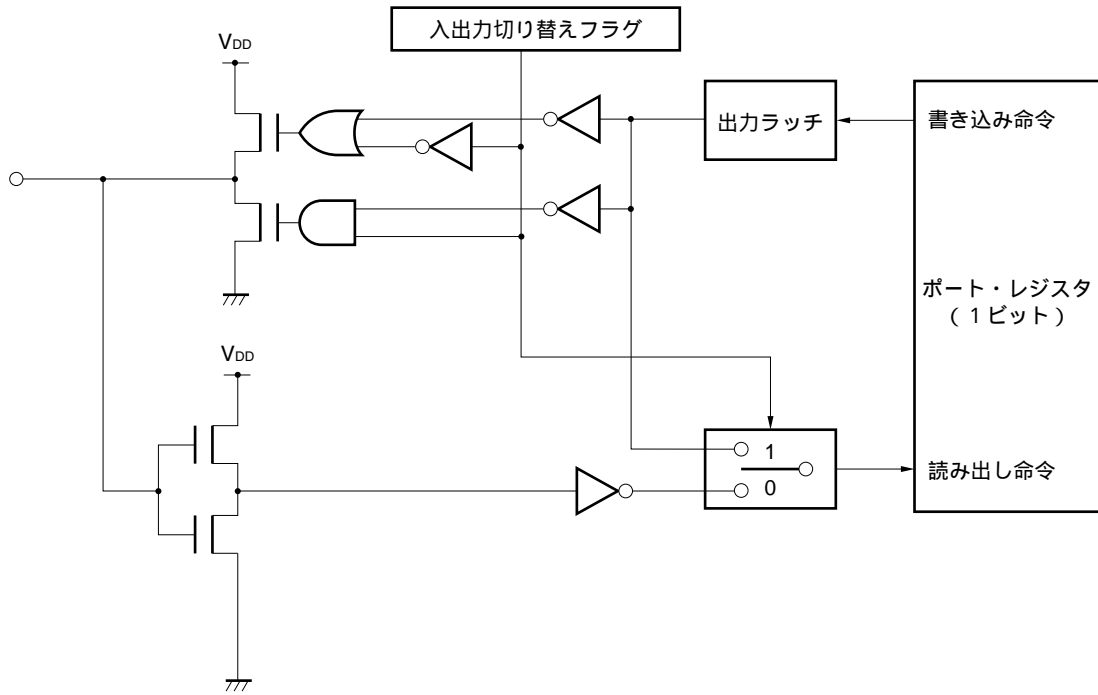
11.2.1 入出力ポートの構成

次の(1)および(2)に入出力ポートの構成を示します。

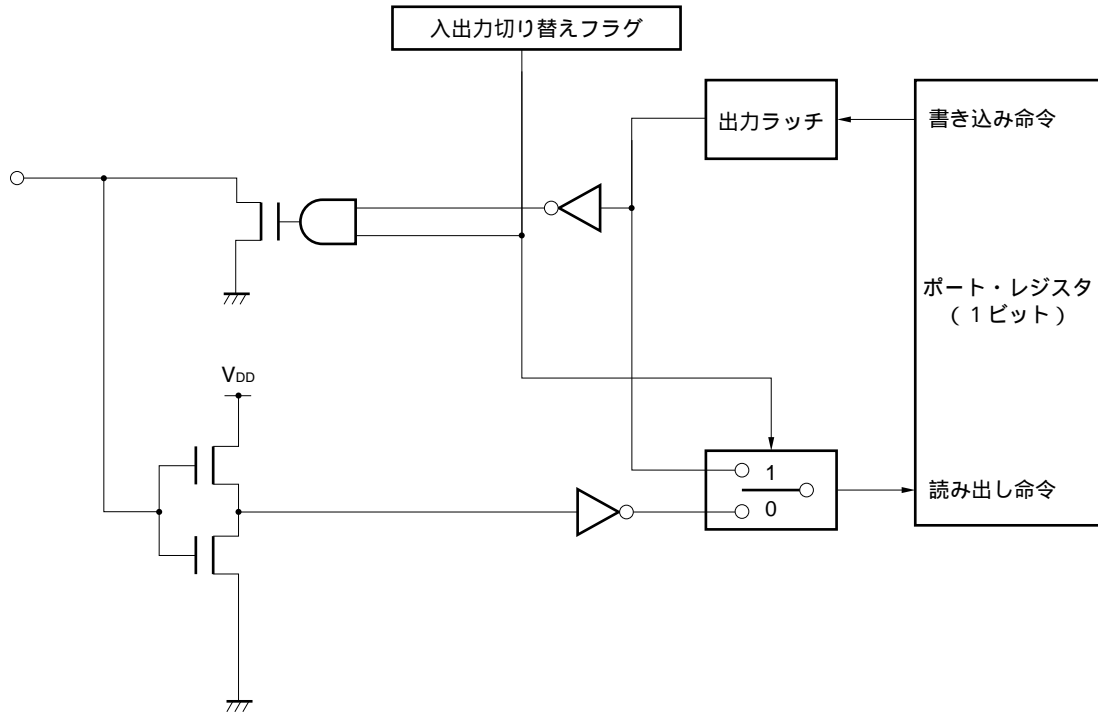
(1) P0B (P0B3, P0B2, P0B1, P0B0)

P2B (P2B3, P2B2, P2B1, P2B0)

P2C (P2C3, P2C2, P2C1, P2C0)



(2) P1A (P1A3, P1A2, P1A1, P1A0)
 P1D (P1D3, P1D2, P1D1, P1D0)



11.2.2 入出力ポートの使用法

入出力ポートは、コントロール・レジスタのP0B, P1A, P1D, P2B, P2Cの各I/O選択レジスタにより入力および出力の設定を行います。

これらはすべて、ビットI/Oであるため、1ビット単位で入力/出力を設定できます。

出力データの設定および入力データの読み出しは、それぞれ対応するポート・レジスタにデータを書き込むかデータを読み出す命令を実行することにより行います。

11.2.3に各ポートのI/O選択レジスタの構成を示します。

11.2.4および11.2.5に、入力および出力ポートとして使用する方法を示します。

11.2.6に、入出力ポートのリセット時の状態を示します。

11.2.3 入出力ポートのI/O選択レジスタ

入出力ポートのI/O選択レジスタを次に示します。

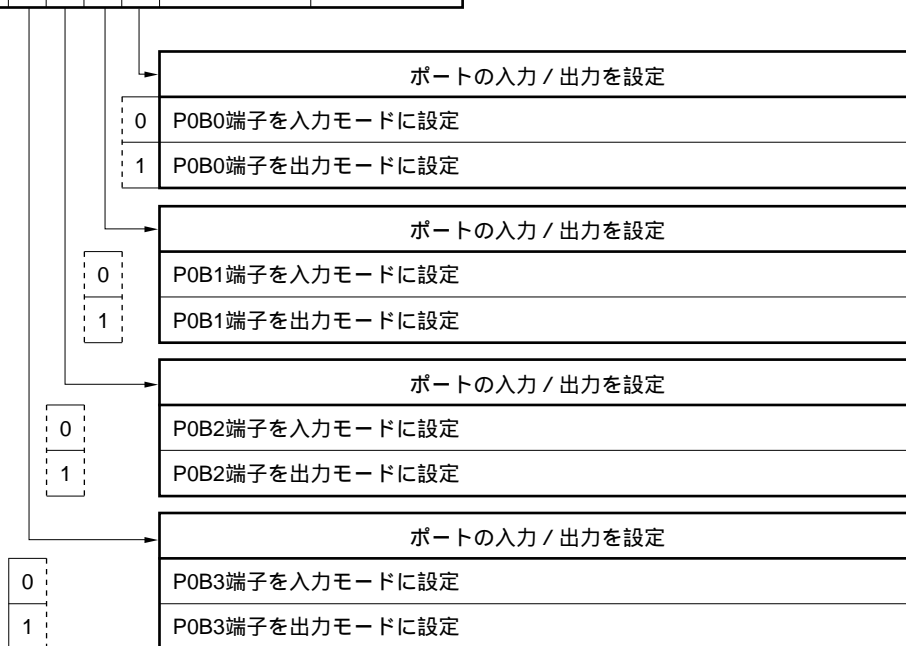
- ・ポート0BビットI/O選択レジスタ
- ・ポート1AビットI/O選択レジスタ
- ・ポート1DビットI/O選択レジスタ
- ・ポート2BビットI/O選択レジスタ
- ・ポート2CビットI/O選択レジスタ

各I/O選択レジスタは、各端子の入力/出力を設定します。

次の(1)-(5)に構成と機能を示します。

(1) ポート0BビットI/O選択レジスタ

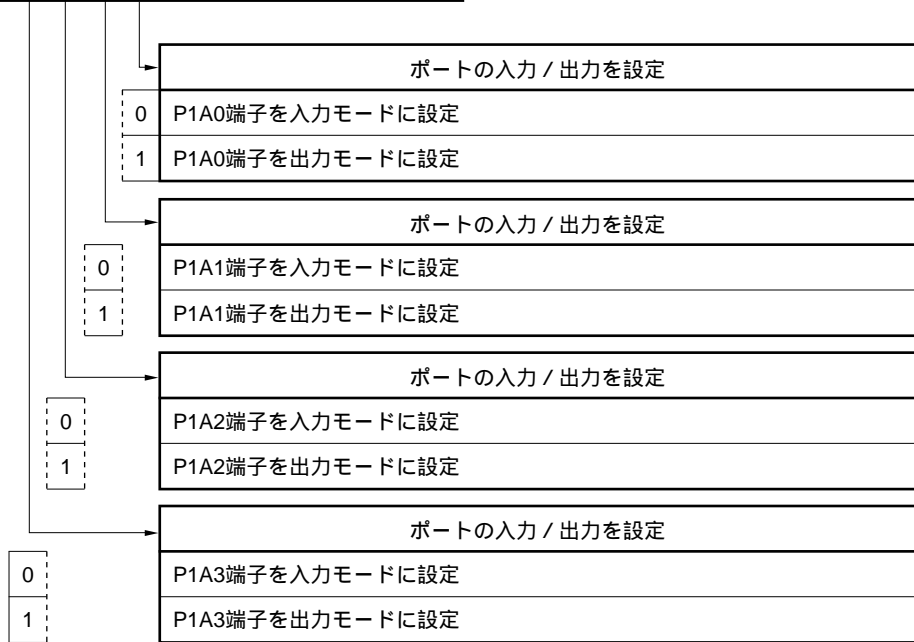
名称	フラグ記号				アドレス	Read/Write
	b ₃	b ₂	b ₁	b ₀		
ポート0BビットI/O選択	P	P	P	P	(BANK15) 6FH	R/W
	0	0	0	0		
	B	B	B	B		
	B	B	B	B		
	I	I	I	I		
O	O	O	O			
	3	2	1	0		



リセット時	RESET端子によるリセット	0	0	0	0
	WDT & SPリセット	0	0	0	0
クロック・ストップ時		保持			

(2) ポート1AビットI/O選択レジスタ

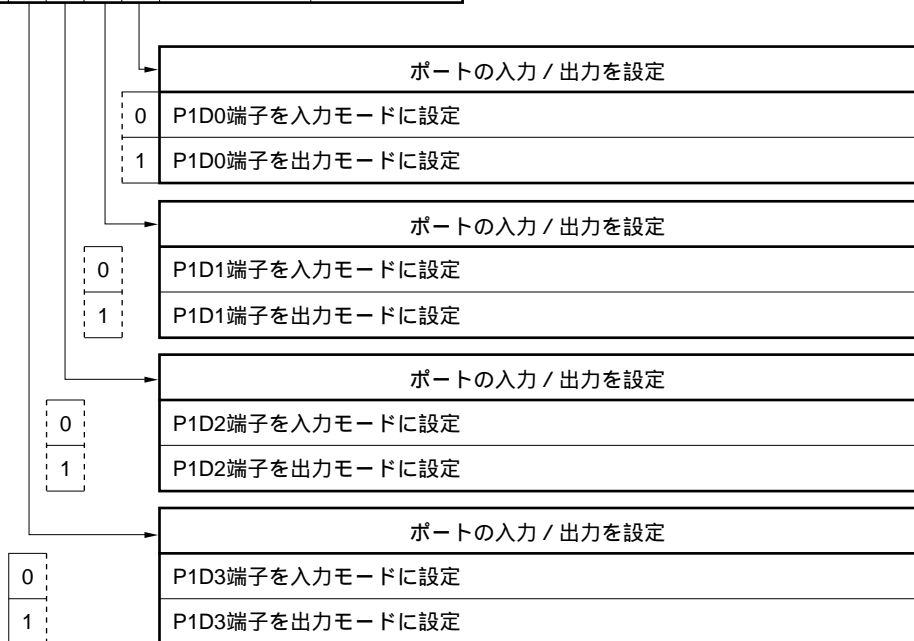
名称	フラグ記号				アドレス	Read/Write
	b ₃	b ₂	b ₁	b ₀		
ポート1AビットI/O選択	P	P	P	P	(BANK15) 6EH	R/W
	1	1	1	1		
	A	A	A	A		
	B	B	B	B		
	I	I	I	I		
O	O	O	O			
	3	2	1	0		



リセット時	RESET端子によるリセット	0	0	0	0
	WDT & SPリセット	0	0	0	0
クロック・ストップ時		保持			

(3) ポート1DビットI/O選択レジスタ

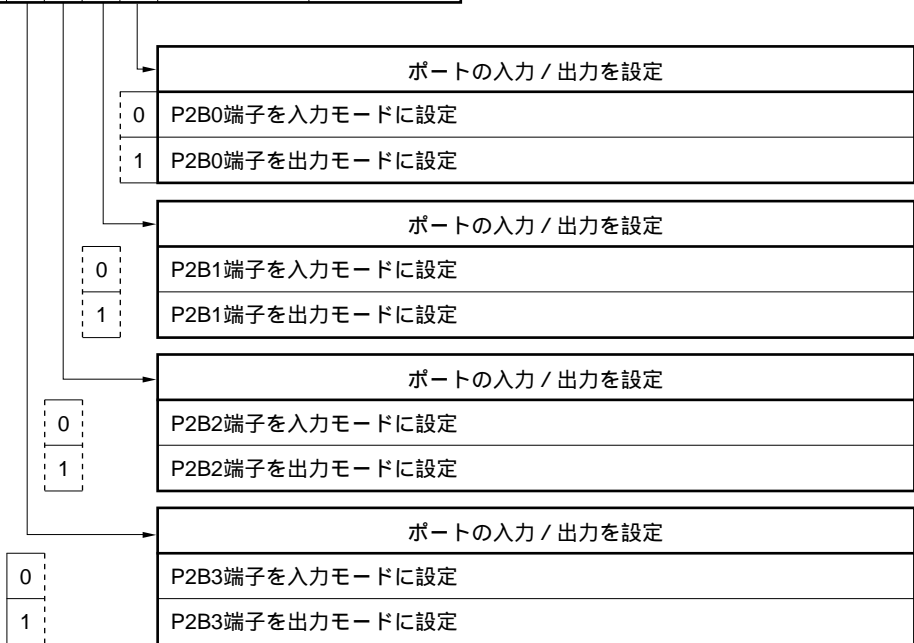
名称	フラグ記号				アドレス	Read/Write
	b ₃	b ₂	b ₁	b ₀		
ポート1DビットI/O選択	P	P	P	P	(BANK15) 6DH	R/W
	1	1	1	1		
	D	D	D	D		
	B	B	B	B		
	I	I	I	I		
O	O	O	O			
	3	2	1	0		



リセット時	RESET端子によるリセット	0	0	0	0
	WDT & SPリセット	0	0	0	0
クロック・ストップ時		保持			

(4) ポート2ビットI/O選択レジスタ

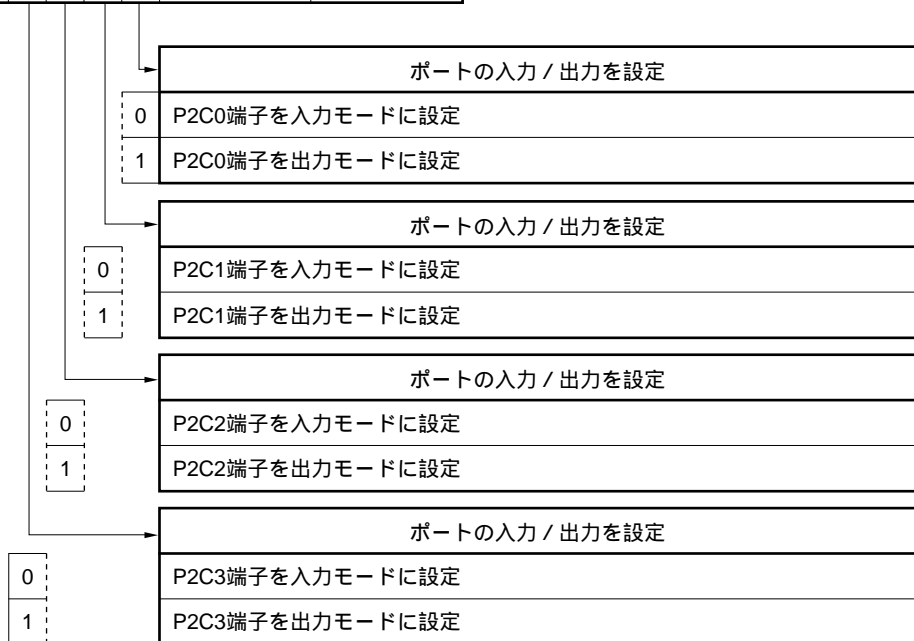
名 称	フラグ記号				アドレス	Read/Write
	b ₃	b ₂	b ₁	b ₀		
ポート2ビットI/O選択	P	P	P	P	(BANK15) 6CH	R/W
	2	2	2	2		
	B	B	B	B		
	B	B	B	B		
	I	I	I	I		
O	O	O	O			
	3	2	1	0		



リセット時	RESET端子によるリセット	0	0	0	0
	WDT & SPリセット	0	0	0	0
クロック・ストップ時		保 持			

(5) ポート2CビットI/O選択レジスタ

名称	フラグ記号				アドレス	Read/Write
	b ₃	b ₂	b ₁	b ₀		
ポート2CビットI/O選択	P	P	P	P	(BANK15) 6BH	R/W
	2	2	2	2		
	C	C	C	C		
	B	B	B	B		
	I	I	I	I		
O	O	O	O			
	3	2	1	0		



リセット時	RESET端子によるリセット	0	0	0	0
	WDT & SPリセット	0	0	0	0
クロック・ストップ時		保持			

11.2.4 入出力ポートを入力ポートとして使用する場合

各ポートのI/O選択レジスタにより、入力として使用する端子を選択します。

このとき、P0B, P1A, P1D, P2B, P2Cは1ビット単位で入力/出力の設定ができます。

入力ポートに指定された端子はフローティング (Hi-Z) 状態になり、外部信号の入力待ちになります。

入力データの読み出しは、各端子に対応するポート・レジスタに対して読み出し命令 (SKT命令など) を実行することにより行います。

ポート・レジスタは各端子にハイ・レベルが入力されているときは“1”が読み出され、ロウ・レベルが入力されているときは“0”が読み出されます。

入力ポートに指定されているポート・レジスタに対して書き込み命令 (MOV命令など) を実行すると、出力ラッチの内容が書き換えられます。

11.2.5 入出力ポートを出力ポートとして使用する場合

各ポートのI/O選択レジスタにより、出力として使用する端子を選択します。

このとき、P0B, P1A, P1D, P2B, P2Cは1ビット単位で入力/出力の設定ができます。

出力ポートに指定された端子は出力ラッチの内容を各端子から出力します。

出力データの設定は、各端子に対応するポート・レジスタの内容に対して書き込み命令 (MOV命令など) を実行することにより行います。

各端子にハイ・レベルを出力するときは“1”を書き込み、ロウ・レベルを出力するときは“0”を書き込みます。

また、入力ポートに指定することによりフローティング (Hi-Z) 状態にすることができます。

出力ポートに指定されているポート・レジスタに対して読み出し命令 (SKT命令など) を実行すると、出力ラッチの内容が読み出されます。

11.2.6 入出力ポートのリセット時の状態

(1) RESET端子によるリセット時

すべて入力ポートに指定されます。

出力ラッチの内容は“0”にリセットされます。

(2) WDT & SPリセット時

すべて入力ポートに指定されます。

出力ラッチの内容は“0”にリセットされます。

(3) クロック・ストップ時

入力/出力の設定は保持されます。

出力ラッチの内容も保持されます。

(4) ホールト状態中

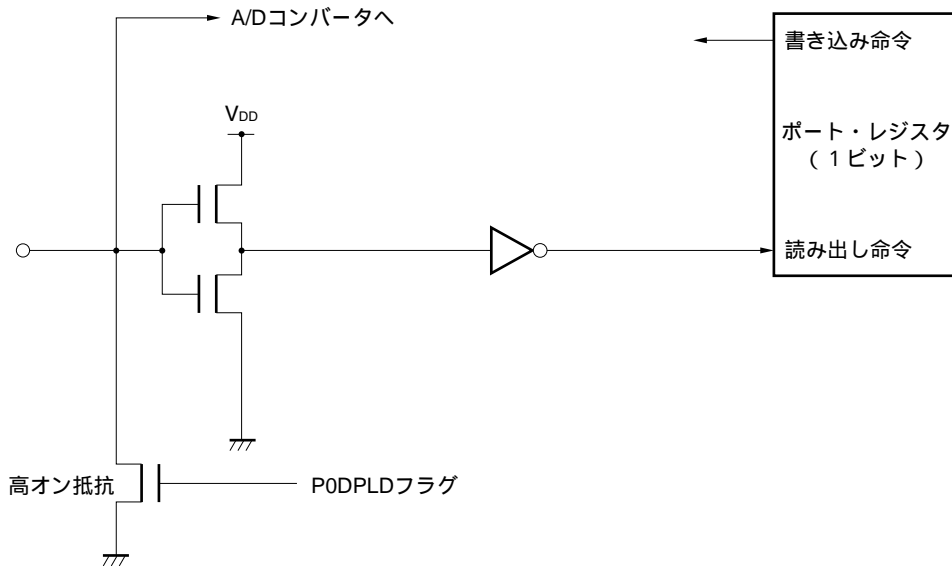
以前の状態を保持します。

11.3 汎用入力ポート (P0D, P1C, P2A)

11.3.1 入力ポートの構成

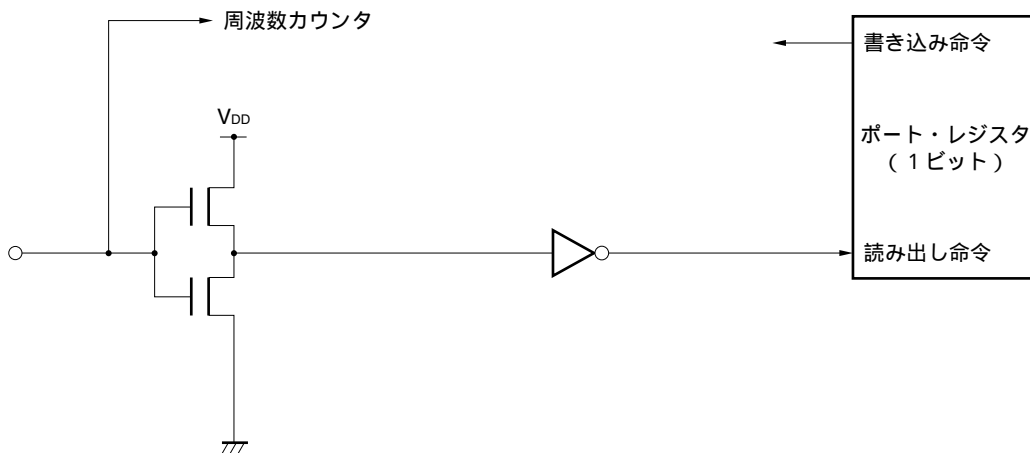
次の(1)および(2)に入力ポートの構成を示します。

(1) P0D (P0D3, P0D2, P0D1, P0D0)



(2) P1C (P1C3, P1C2, P1C1, P1C0)

P2A (P2A2, P2A1, P2A0)



11.3.2 入力ポートの使用方法

入力データの読み出しは、各端子に対応するポート・レジスタに対して読み出す命令（SKT命令など）を実行することにより行います。

ポート・レジスタは、各端子にハイ・レベルが入力されているときは“1”が読み出され、ロウ・レベルが入力されているときは“0”が読み出されます。

ポート・レジスタに対して書き込み命令（MOV命令など）を実行しても何も変化しません。

P0Dは、ソフトウェアで切り替え可能なプルダウン抵抗を内蔵しており、ビット単位で指定可能です。“0”を書き込むとプルダウン抵抗が接続され、“1”で切り離します。

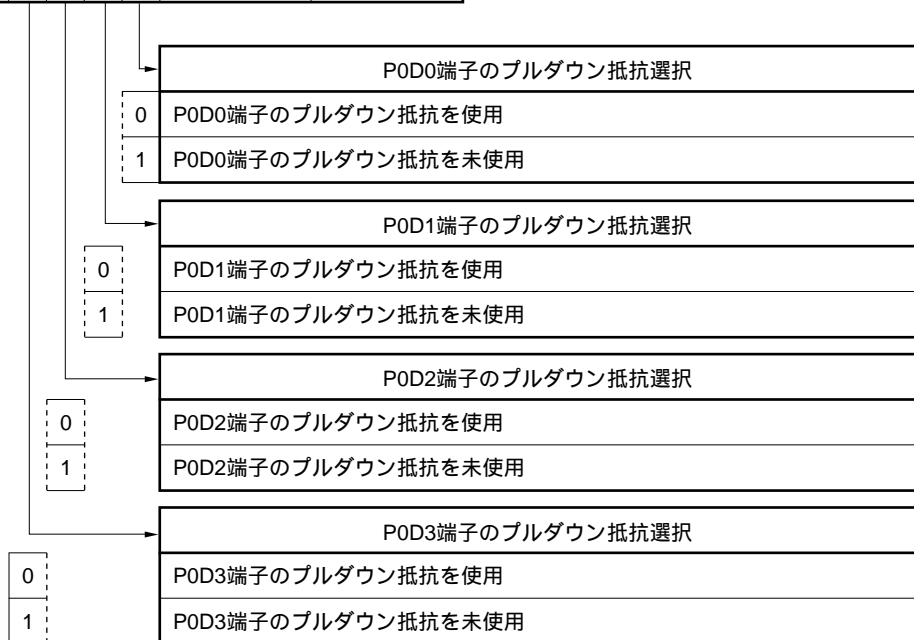
11.3.3 ポート0Dプルダウン抵抗選択レジスタ

ポート0Dプルダウン抵抗選択レジスタは、P0D3-P0D0端子のプルダウン抵抗の使用 / 未使用を設定します。

次に構成と機能を示します。

・ポート0Dプルダウン抵抗選択レジスタ

名称	フラグ記号				アドレス	Read/Write
	b ₃	b ₂	b ₁	b ₀		
ポート0Dプルダウン抵抗選択	P	P	P	P	(BANK15) 6AH	R/W
	0	0	0	0		
	D	D	D	D		
	P	P	P	P		
	L	L	L	L		
	D	D	D	D		
	3	2	1	0		



リセット時	RESET端子によるリセット	0	0	0	0
	WDT & SPリセット	0	0	0	0
クロック・ストップ時		保持			

11.3.4 入力ポートのリセット時の状態

(1) RESET端子によるリセット時

すべて入力ポートに指定されます。

P0Dの内蔵プルダウン抵抗はすべて接続状態となります。

(2) WDT & SPリセット時

すべて入力ポートに指定されます。

P0Dの内蔵プルダウン抵抗はすべて接続状態となります。

(3) クロック・ストップ時

すべて入力ポートに指定されます。

P0Dの内蔵プルダウン抵抗は以前の状態を保持します。

(4) ホールト状態中

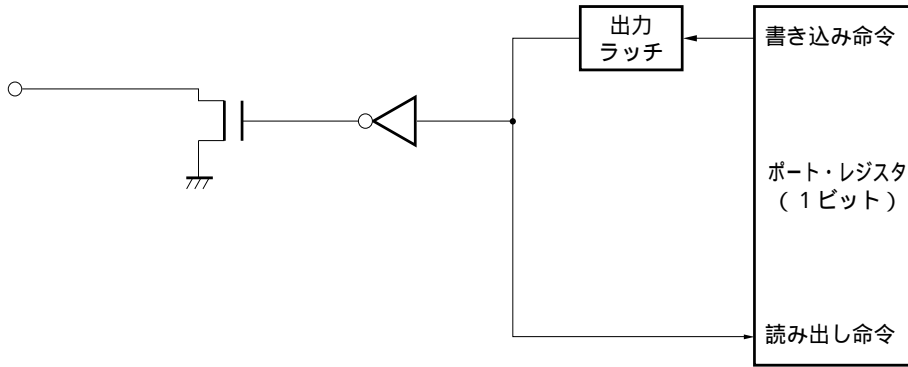
以前の状態を保持します。

11.4 汎用出力ポート (P0A, P0C)

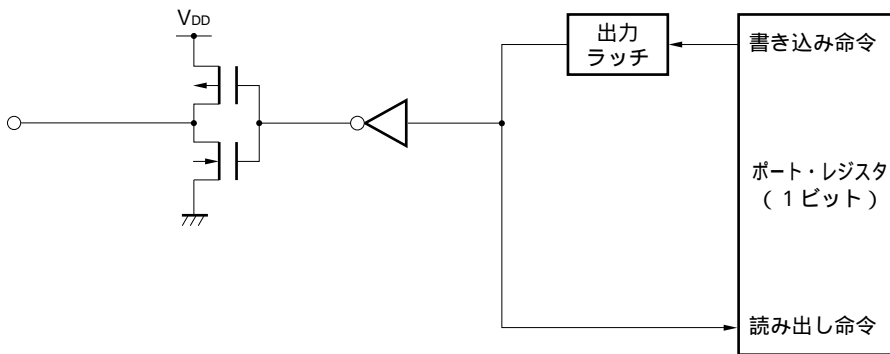
11.4.1 出力ポートの構成

次に出力ポートの構成を示します。

(1) P0A (P0A1, P0A0)



(2) P0C (P0C3, P0C2, P0C1, P0C0)



11.4.2 出力ポートの使用方法

出力ポートは出力ラッチの内容を各端子から出力します。

出力ポートの設定は、各端子に対応するポート・レジスタに対して書き込み命令 (MOV命令など) を実行することにより行います。

各端子にハイ・レベルを出力するときは“1”を書き込み、ロウ・レベルを出力するときは“0”を書き込みます。

ただし、P0A端子はN-chオープン・ドレイン出力のため、ハイ・レベル出力時はフローティングになります。このため外部にプルアップ抵抗が必要です。

ポート・レジスタに対して読み出し命令 (SKT命令など) を実行すると、出力ラッチの内容が読み出されます。

11.4.3 出力ポートのリセット時の状態

(1) $\overline{\text{RESET}}$ 端子によるリセット時

出力ラッチの内容を出力します。

出力ラッチの内容は“0”にリセットされます。

(2) WDT & SPリセット時

出力ラッチの内容を出力します。

出力ラッチの内容は“ 0 ”にリセットされます。

(3) クロック・ストップ時

出力ラッチの内容を出力します。

出力ラッチの内容は保持されます。

(4) ホールト状態中

出力ラッチの内容を出力します。

出力ラッチの内容は保持されます。

12. 割り込み

12.1 割り込みブロック概要

図12 - 1に、割り込みブロックの概要を示します。

図12 - 1に示すように、割り込みブロックは、各周辺ハードウェアから出力された割り込み要求により、現在実行しているプログラムを一時中断し、ベクタ・アドレスへ分岐します。

割り込みブロックは、各周辺ハードウェアごとの“割り込み要求処理ブロック”、すべての割り込みを許可する“割り込みイネーブル・フリップフロップ”、割り込みが受け付けられたときに制御される“スタック・ポインタ”、“アドレス・スタック・レジスタ”、“プログラム・カウンタ”および“割り込みスタック”から構成されています。

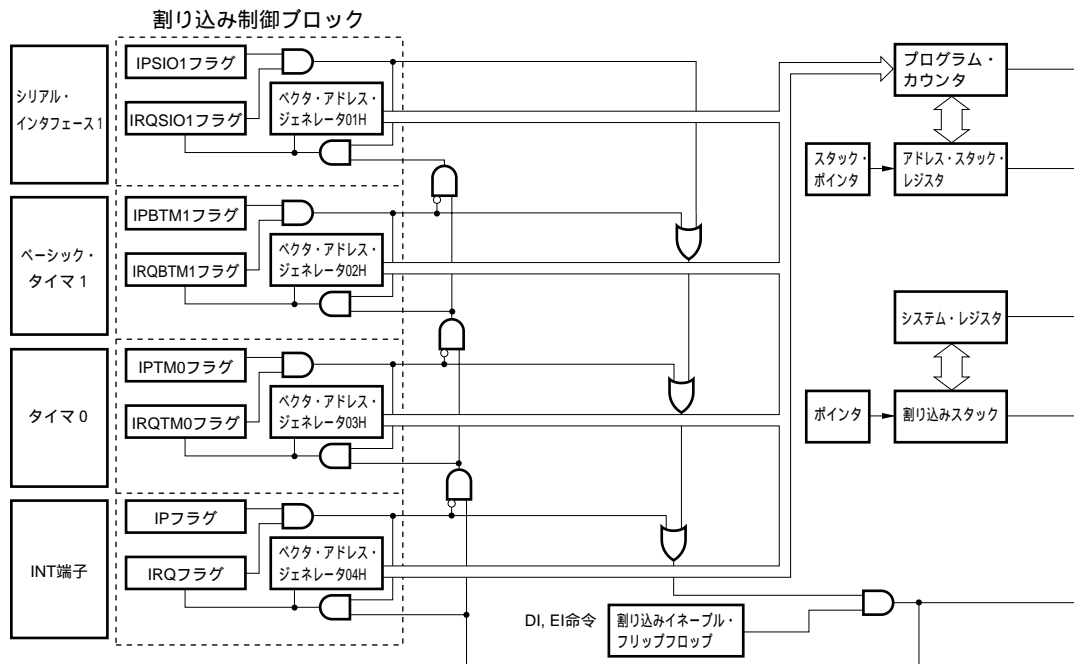
各周辺ハードウェアの“割り込み制御ブロック”は、各割り込み要求を検出する“割り込み要求フラグ (IRQ × × ×) ”、各割り込みごとの許可を設定する“割り込み許可フラグ (IP × × ×) ”および割り込み受け付け時のベクタ・アドレスを指定する“ベクタ・アドレス・ジェネレータ (VAG) ”から構成されています。

μ PD17934には、次の4種類のマスカブル割り込みがあります。

- ・INT端子の割り込み
- ・タイマ0、ベーシック・タイマ1 割り込み
- ・シリアル・インタフェース1 割り込み

割り込み受け付け後、決められたアドレスに移り、処理を続けます。

図12 - 1 割り込みブロック概要



12.2 割り込み制御ブロック

割り込み制御ブロックは各周辺ハードウェアごとに設けられており、それぞれの割り込み要求の有無、割り込みの許可および割り込み受け付け時のベクタ・アドレスの生成を行います。

12.2.1 割り込み要求フラグ (IRQ × × ×) の構成と機能

各割り込み要求フラグは、各周辺ハードウェアから割り込み要求が発行されるとセット (1) され、割り込みが受け付けられるとリセット (0) されます。

また、各割り込み要求フラグに、直接 “ 1 ” を書き込んだ場合も、割り込み要求が発行されたことと同等になります。

割り込みが許可されていない場合などに、これらの割り込み要求フラグを検出することにより、各割り込み要求の発行状態を検出することができます。

一度このフラグがセットされると、対応する割り込みが受け付けられるか、またはウインドウ・レジスタを介して “ 0 ” が書き込まれるまでリセットされません。

複数の割り込み要求が同時に発行された場合でも、受け付けられなかった割り込みに対応する割り込み要求フラグはリセットされません。

図12 - 2 ~ 図12 - 5 に各割り込み要求レジスタの構成と機能を示します。

図12 - 2 シリアル・インタフェース1 割り込み要求レジスタの構成

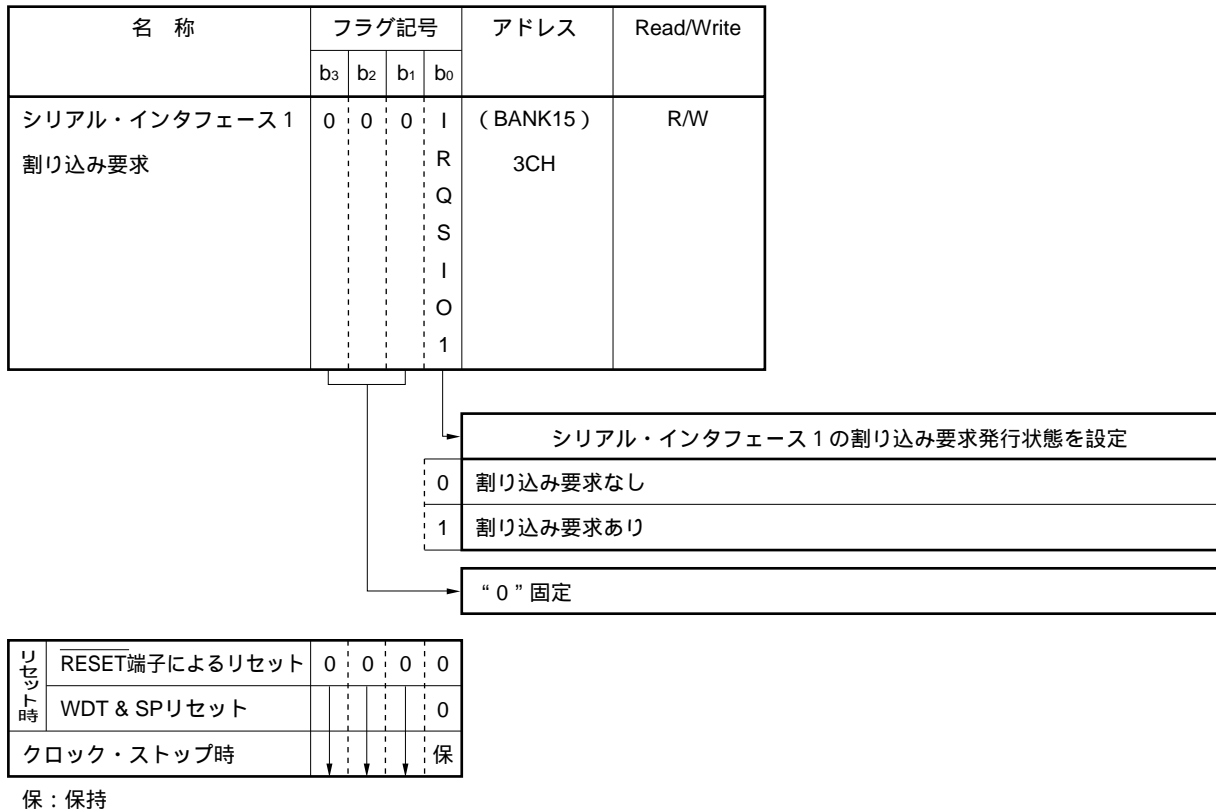
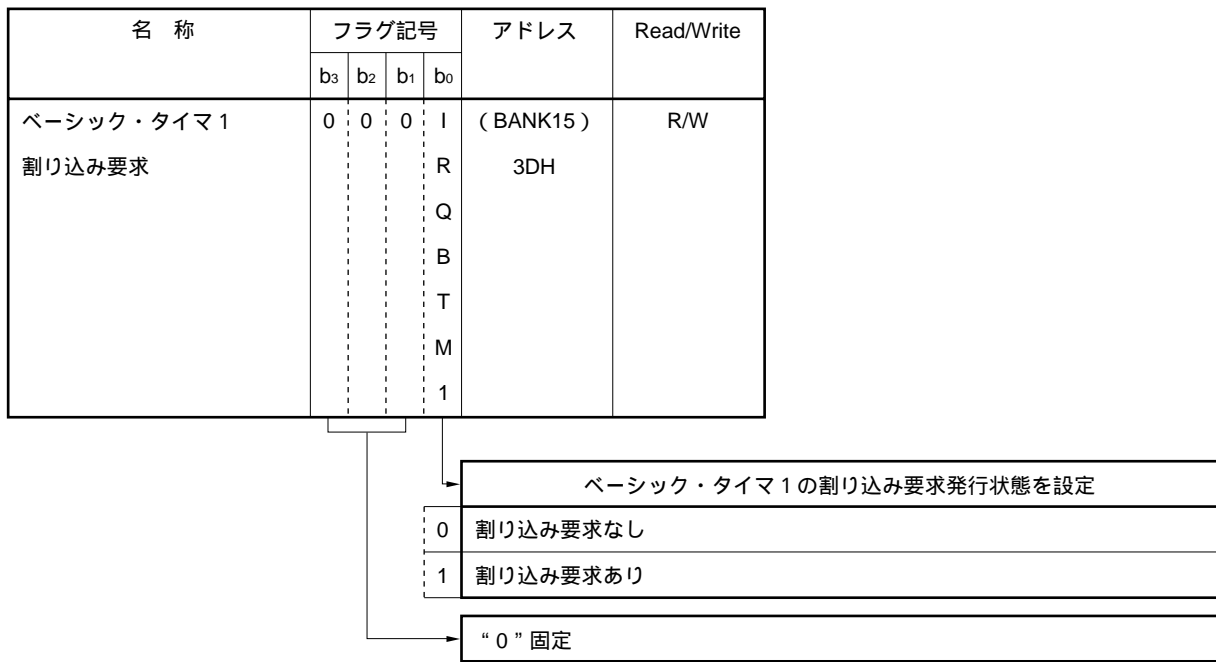


図12 - 3 ベーシック・タイマ1 割り込み要求レジスタの構成



リ セ ッ ト 時	RESET端子によるリセット	0	0	0	0
	WDT & SPリセット				0
	クロック・ストップ時	↓	↓	↓	保

保：保持

図12 - 4 タイマ0 割り込み要求レジスタの構成

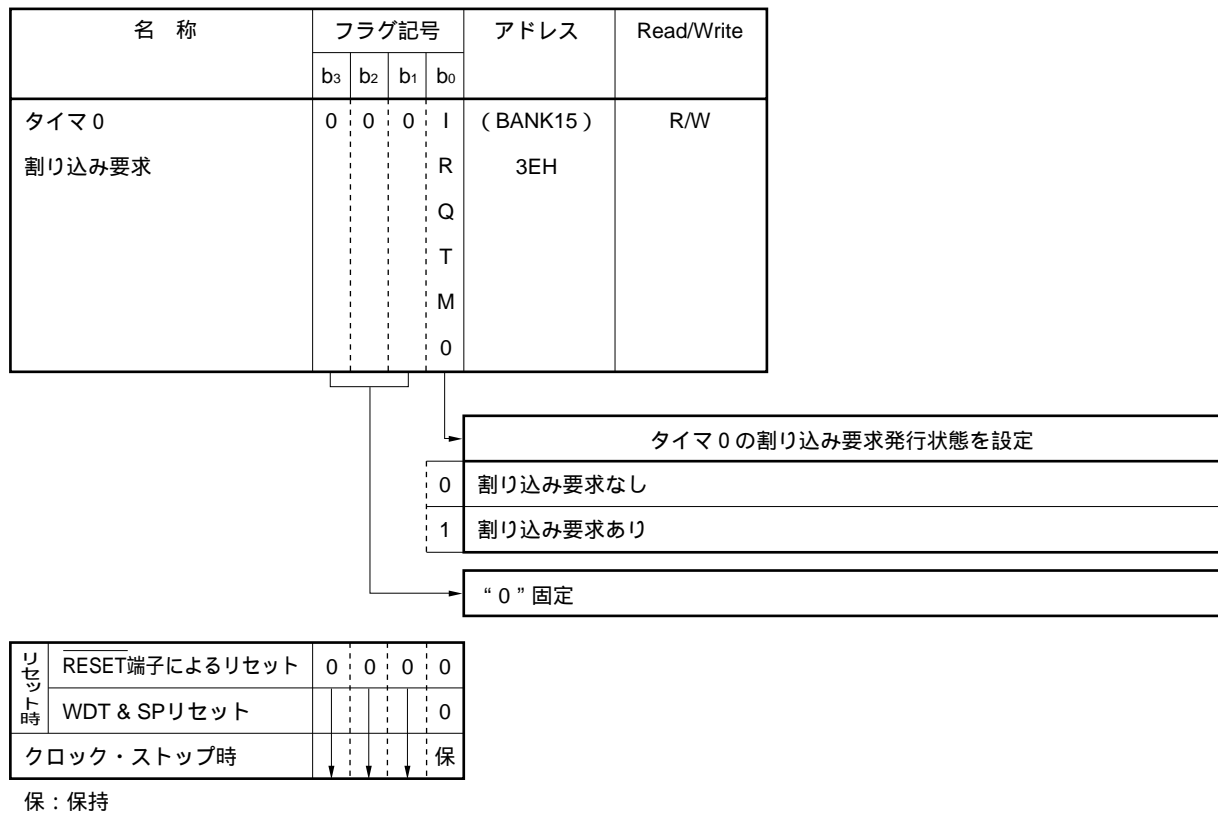
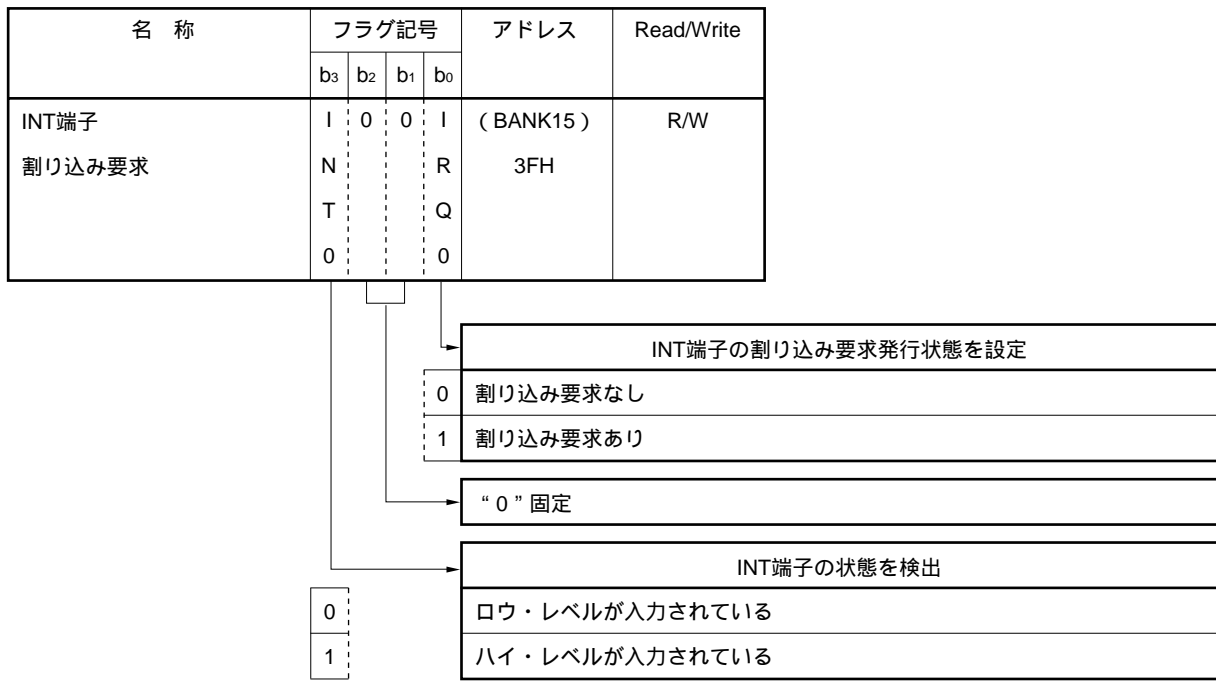


図12 - 5 INT端子割り込み要求レジスタの構成



リ セ ッ ト 時	RESET端子によるリセット	不	0	0	0
	WDT & SPリセット	不			0
	クロック・ストップ時	不			保

不：不定 保：保持

12.2.2 割り込み許可フラグ (IP × × ×) の機能と構成

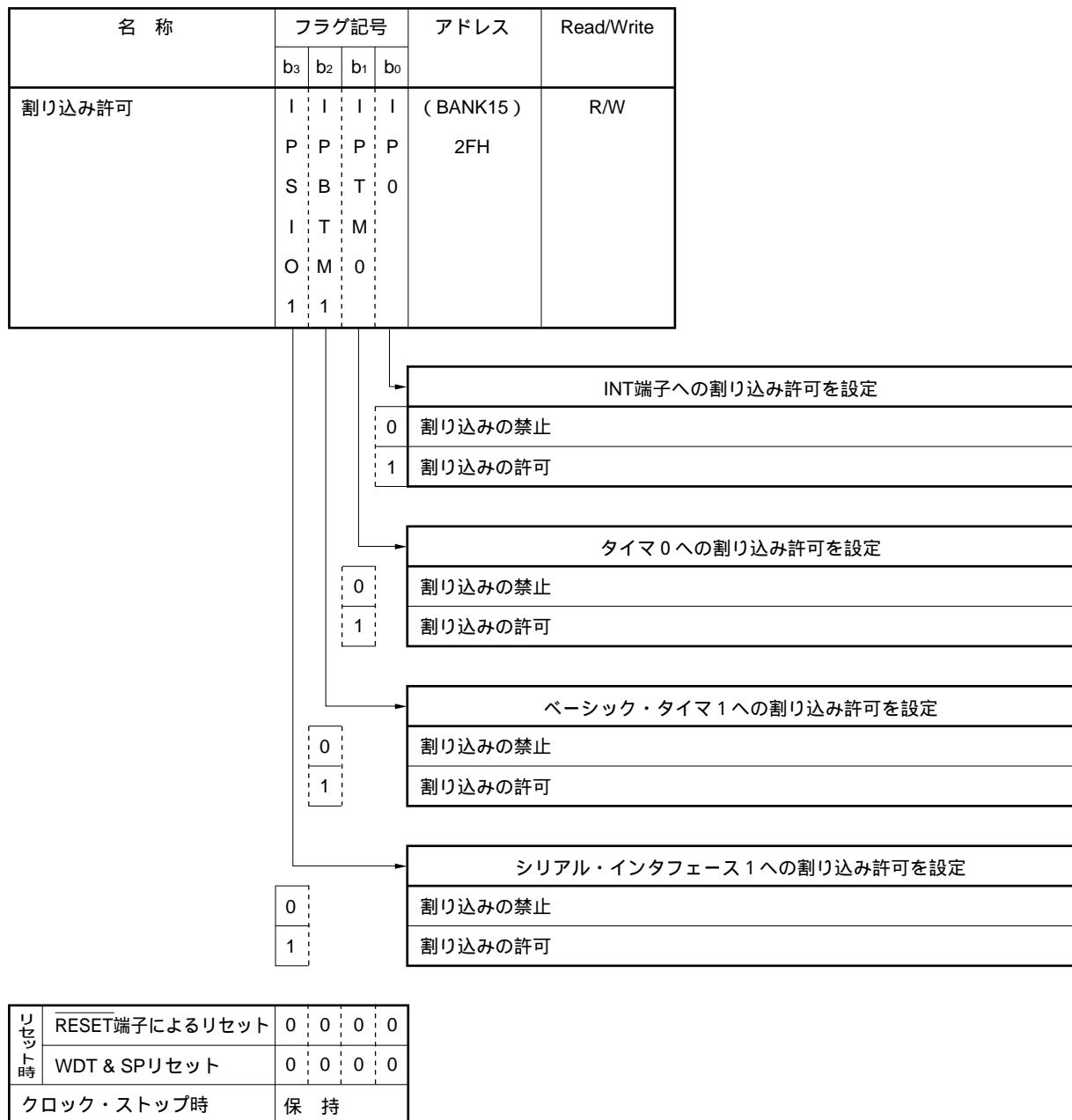
各割り込み許可フラグは、各周辺ハードウェアごとの割り込みの許可を設定します。
 割り込みが受け付けられるためには、次に示す条件をすべて満たす必要があります。

- ・各割り込み許可フラグにより割り込みが許可されていること
- ・対応する割り込み要求フラグにより割り込み要求が発行されていること
- ・EI命令 (すべての割り込みの許可) が実行されていること

割り込み許可フラグはレジスタ・ファイル上の割り込み許可レジスタに配置されています。

図12 - 6 に割り込み許可レジスタの構成を示します。

図12 - 6 割り込み許可レジスタの構成



12.2.3 ベクタ・アドレス・ジェネレータ (VAG)

各周辺ハードウェアからの割り込みを受け付けたときに、受け付けた割り込み要因に対するプログラム・メモリの分岐アドレス (ベクタ・アドレス) を生成します。

表12 - 1 に、各割り込み要因に対するベクタ・アドレスを示します。

表12 - 1 割り込み要因とベクタ・アドレス

割り込み要因	ベクタ・アドレス
INT端子	0004H
タイマ0	0003H
ベーシック・タイマ1	0002H
シリアル・インタフェース1	0001H

12.3 割り込みスタック・レジスタ

12.3.1 割り込みスタック・レジスタの構成と機能

図12 - 7 に、割り込みスタック・レジスタの構成を示します。

割り込みスタックは、割り込み受け付け時に、次に示すシステム・レジスタ（アドレス・レジスタ（AR）は除く）の内容を退避します。

- ・ウインドウ・レジスタ（WR）
- ・バンク・レジスタ（BANK）
- ・インデクス・レジスタ（IX）
- ・ジェネラル・レジスタ・ポインタ（RP）
- ・プログラム・ステータス・ワード（PSWORD）

割り込みが受け付けられ、上記のシステム・レジスタの内容が割り込みスタックに退避されると、ウインドウ・レジスタを除く上記のシステム・レジスタの内容は、“0” にリセットされます。

割り込みスタックは、上記のシステム・レジスタの内容を4レベルまで退避することができます。

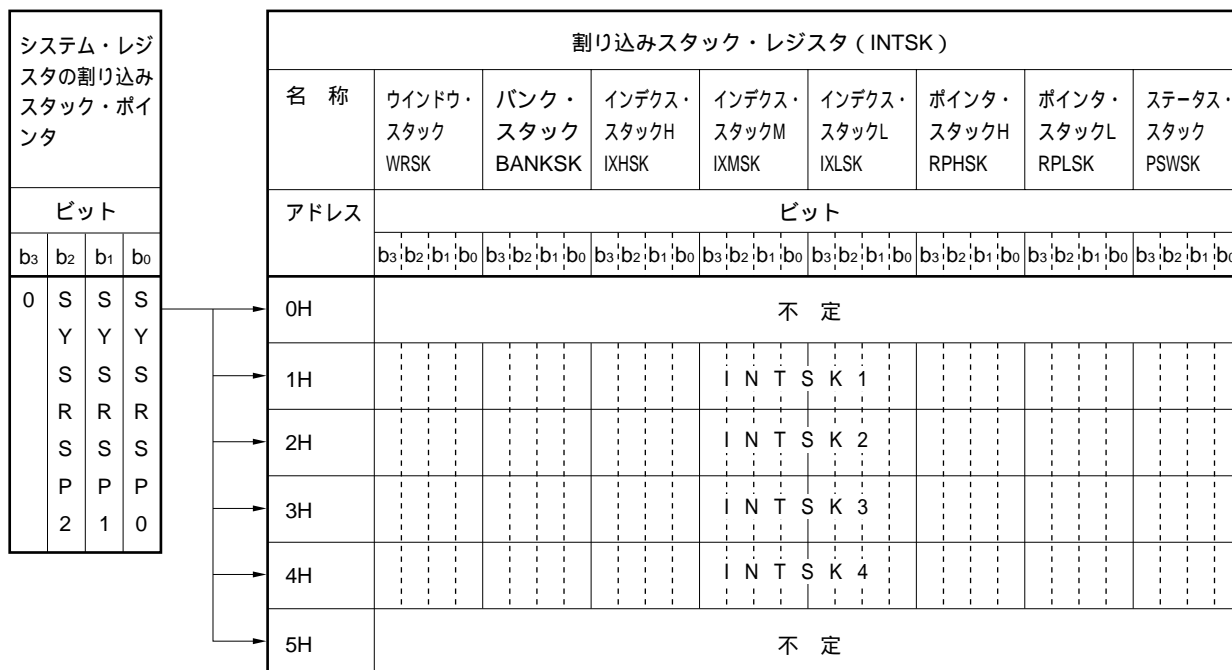
したがって、多重割り込みを4レベルまで行うことができます。

割り込みスタック・レジスタの内容は、割り込みリターン命令（RETI命令）が実行されると、システム・レジスタに復帰されます。

RESET端子によるリセット時は、割り込みスタック・レジスタの内容は不定です。

クロック・ストップ命令実行時は以前の内容を保持します。

図12 - 7 割り込みスタック・レジスタの構成

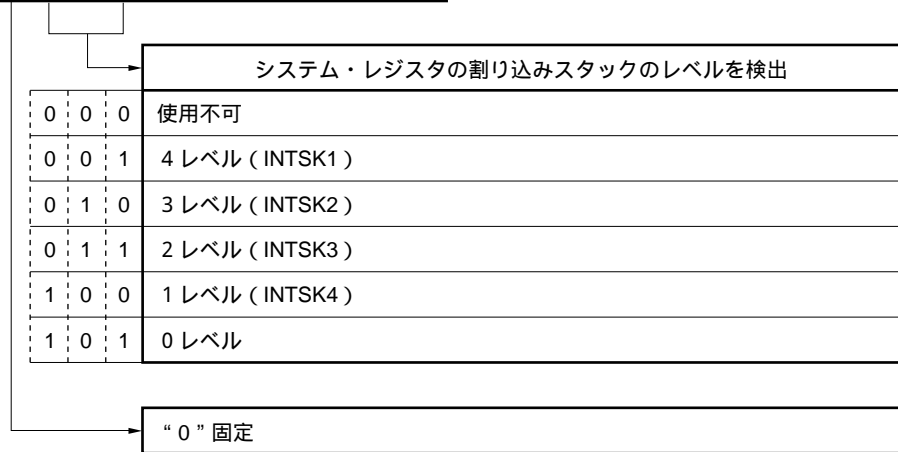


12.3.2 システム・レジスタの割り込みスタック・ポインタ

システム・レジスタの割り込みスタック・ポインタは、割り込みの多重レベルを検出します。割り込みスタック・ポインタは読み出しだけ可能であり、書き込みはできません。

次にシステム・レジスタの割り込みスタック・ポインタの構成と機能を示します。

名 称	フラグ記号				アドレス	Read/Write
	b3	b2	b1	b0		
システム・レジスタの割り込みスタック・ポインタ	0	(S	(S	(S	08H	R
		Y	Y	Y		
		S	S	S		
		R	R	R		
		S	S	S		
		P	P	P		
		2	1	0		
)))		



リセット時	RESET端子によるリセット	0	1	0	1
	WDT & SPリセット		1	0	1
クロック・ストップ時		↓	保 持		

12.3.3 割り込みスタック動作

図12 - 8 に、割り込みスタックの動作を示します。

4 レベルを超える多重割り込み受け付け時は、最初に退避した内容がはき出されてしまうため、プログラムにより退避する必要があります。

図12 - 8 割り込みスタックの動作 (1/2)

(a) 割り込みが4レベル以下のとき

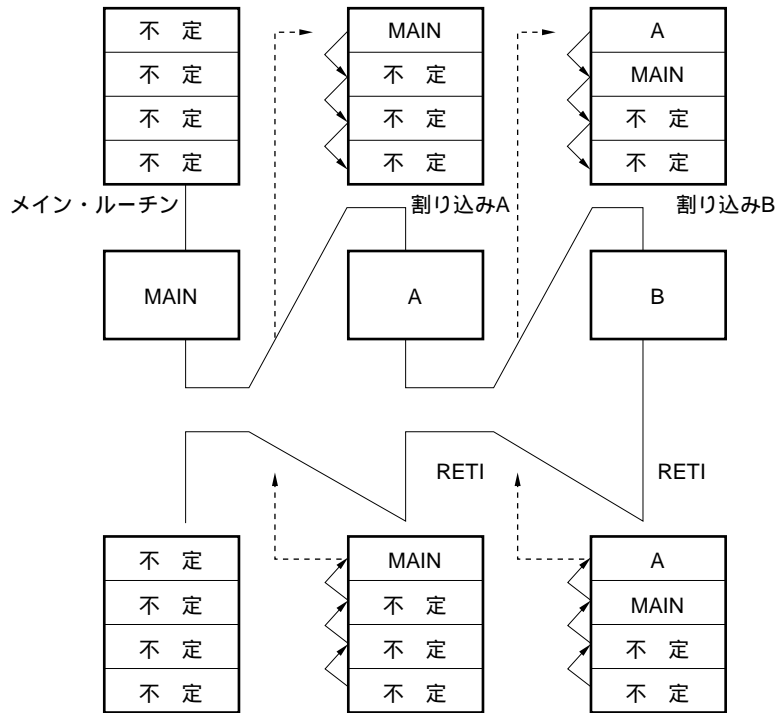
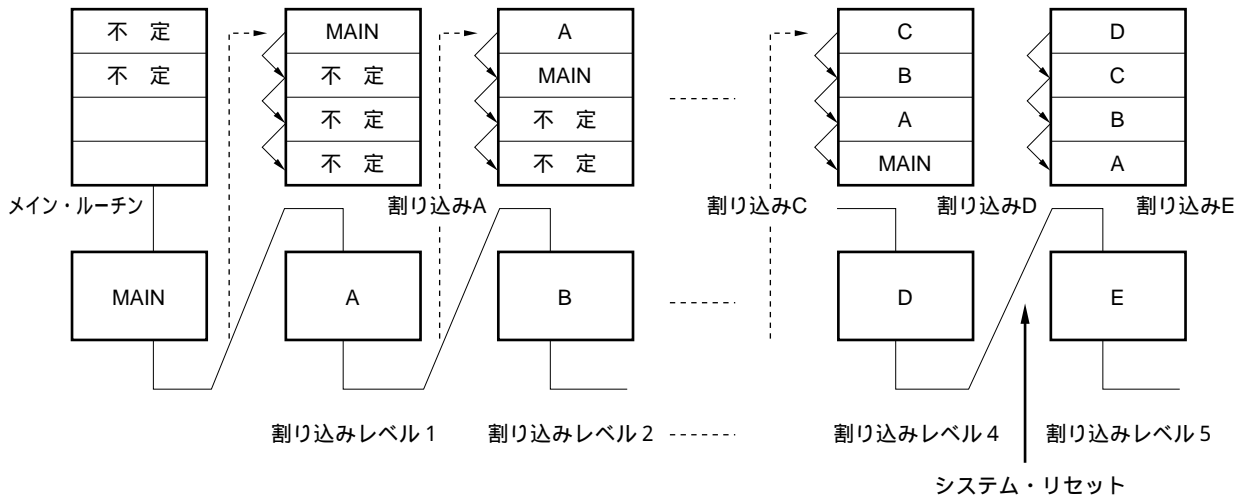


図12 - 8 割り込みスタックの動作 (2/2)

(b) 割り込みが5レベル以上するとき



注意 割り込みレベル5の割り込みが受け付けられた時点で、システム・リセットがかかります。
 ただし、割り込みスタックのオーバーフロー/アンダフローによる、ノンマスクابل割り込みのリセット設定フラグISPRESフラグが“1”に設定されている必要があります。またこのフラグはシステム・リセット後の値は“1”であり、システム・リセット後、1回だけ書き込みが可能です。

12.4 スタック・ポインタ, アドレス・スタック・レジスタとプログラム・カウンタ

アドレス・スタック・レジスタは, 割り込み処理ルーチンからの復帰時の戻り番地を退避します。

スタック・ポインタはアドレス・スタック・レジスタのアドレスを指定します。

割り込みが受け付けられるとスタック・ポインタの値を - 1 し, そのときのプログラム・カウンタの値をスタック・ポインタで指定されるアドレス・スタック・レジスタに退避します。

次に, 割り込み処理ルーチンの処理を実行したあと, 割り込みリターン命令 (RETI命令) が実行されると, スタック・ポインタで指定されるアドレス・スタック・レジスタの内容をプログラム・カウンタに復帰し, スタック・ポインタの値を + 1 します。

“ 3 . アドレス・スタック (ASK) ” も参照してください。

12.5 割り込みイネーブル・フリップフロップ (INTE)

割り込みイネーブル・フリップフロップは, 4 種類のマスカブル割り込みの許可を設定します。

このフリップフロップがセットされていると, すべての割り込みが許可されます。また, リセットされていると, すべての割り込みが禁止されます。

このフリップフロップのセットおよびリセットは, 専用命令であるEI命令 (セット) およびDI命令 (リセット) で行います。

EI命令は, EI命令の次の命令が実行された時点でこのフリップフロップをセットし, DI命令は, DI命令実行中にこのフリップフロップをリセットします。

割り込みが受け付けられると, このフリップフロップは自動的にリセットされます。

RESET端子によるリセット時, ウォッチドッグ・タイマ, スタック・オーバフロー/アンダフロー・リセット時は, このフリップフロップはリセットされます。クロック・ストップ時は, 以前の状態を保持します。

12.6 割り込み受け付け動作

12.6.1 割り込み受け付け動作と優先順位

割り込みを受け付けるまでの動作を次に示します。

- (1) 各周辺ハードウエアは、割り込み条件が満足される（たとえばINT端子に立ち下がり信号が入力される）と、各割り込み要求ブロックに割り込み要求信号を出力する。
- (2) 各割り込み要求ブロックは、各周辺ハードウエアからの割り込み要求信号を受け付けると、対応する割り込み要求フラグ（たとえばINT端子であればIRQ0フラグ）を“ 1 ”にセットする。
- (3) 各割り込み要求フラグが“ 1 ”にセットされたときに、各割り込み要求フラグに対応する割り込み許可フラグ（たとえばIRQ0フラグであればIP0フラグ）が“ 1 ”にセットされていると、各割り込み要求ブロックから“ 1 ”を出力する。
- (4) 各割り込み要求ブロックから出力された信号は、割り込みイネーブル・フリップフロップの出力とORされ、割り込み受け付け信号を出力する。

この割り込みイネーブル・フリップフロップは、EI命令により“ 1 ”にセットされ、DI命令により“ 0 ”にリセットされる。

割り込みイネーブル・フリップフロップが“ 1 ”にセットされているときに、各割り込み要求処理ブロックから“ 1 ”が出力されると、割り込みが受け付けられる。

図12 - 1 に示したように、割り込みが受け付けられると、割り込みイネーブル・フリップフロップの出力は、AND回路を介して各割り込み要求ブロックへ入力されます。

各割り込み要求ブロックへ入力された信号により、各割り込み要求フラグに対応する割り込み要求フラグが“ 0 ”にリセットされ、かつ各割り込みに対応するベクタ・アドレスが出力されます。

このとき、割り込み要求ブロックから“ 1 ”が出力されていると、割り込み受け付け信号は次段に伝達されませんので、同時に複数の割り込み要求が発行されたときは、次に示す優先順位で割り込みが受け付けられます。

割り込み許可フラグが“ 1 ”にセットされていなければ、その割り込み要因に対応する割り込みは受け付けられません。

したがって、割り込み許可フラグを“ 0 ”にリセットしておくことにより、ハードウエア優先順位の高い割り込みを禁止することができます。

表12 - 2 割り込み優先順位

割り込み要因	優先順位
INT端子	1
タイマ0	2
ベーシック・タイマ1	3
シリアル・インタフェース1	4

12.6.2 割り込み受け付け時のタイミング・チャート

図12 - 9 に、割り込み受け付け時のタイミング・チャートを示します。

図12 - 9 の (1) は、1 種類の割り込みによるタイミング・チャートです。

(1) の (a) は、割り込み要求フラグが最後に “ 1 ” にセットされた場合のタイミング・チャートであり、(1) の (b) は、割り込み許可フラグが最後に “ 1 ” にセットされた場合のタイミング・チャートです。

どちらの場合も、割り込みの受け付けは、割り込み要求フラグ、割り込みイネーブル・フリップフロップおよび割り込み許可フラグのすべてが “ 1 ” にセットされた時点で行われます。

最後にセットされたフラグまたはフリップフロップが “ MOV T DBF, @AR ” 命令の第 1 命令サイクル、またはスキップ条件を満足した命令の場合は、それぞれ “ MOV T DBF, @AR ” 命令の第 2 命令サイクルおよびスキップした命令 (NOP 命令になる) を実行したあと、割り込みが受け付けられます。

割り込みイネーブル・フリップフロップのセットは、EI 命令が実行された次の命令サイクルで行われます。

したがって、EI 命令の実行サイクルで割り込み要求フラグがセットされた場合にも、EI 命令の次の命令を実行してから割り込みが受け付けられます。

図12 - 9 の (2) は、複数の割り込みを使用するときのタイミング・チャートを示します。

複数の割り込みを使用するときは、割り込み許可フラグがすべてセットされていれば、ハードウェアで優先されている割り込みから順に受け付けられますが、プログラムで割り込み許可フラグを設定することにより、ハードウェアの優先度を変えることができます。

なお、図12 - 9 に示した “ 割り込みサイクル ” とは、割り込みが受け付けられてから割り込み要求フラグのリセット、ベクタ・アドレスの指定、プログラム・カウンタの退避などを行うための特別なサイクルであり、1 命令実行時間に相当する 53.3 μs を必要とします。

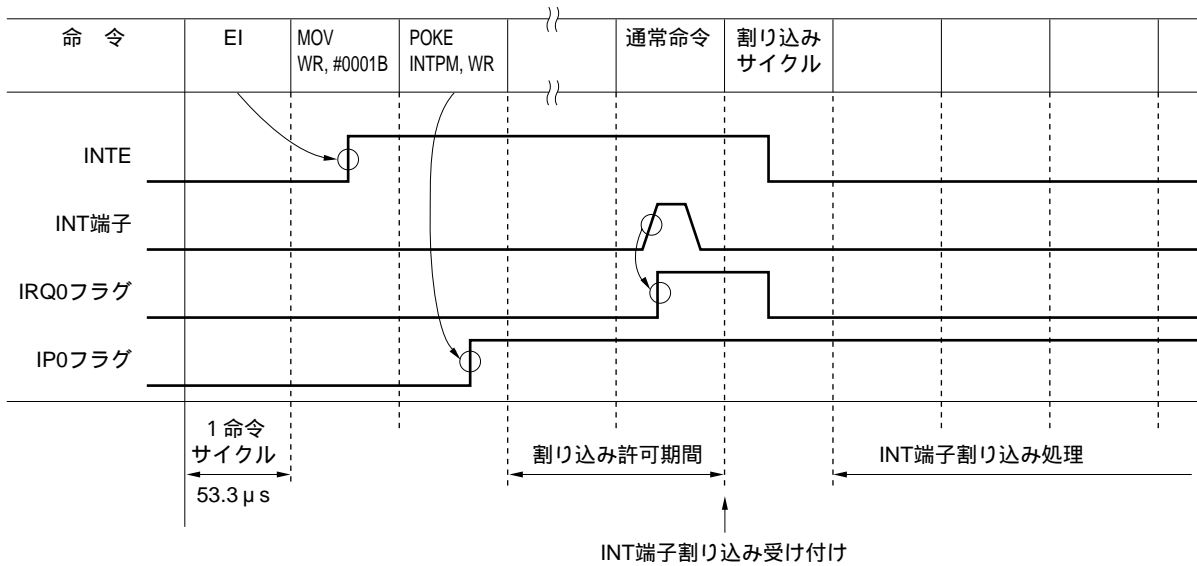
詳しくは、“ 12.7 割り込み受け付け後の動作 ” を参照してください。

図12 - 9 割り込み受け付けタイミング・チャート (1/3)

(1) 1種類の割り込み (例: INT端子の立ち上がり) を使用時

(a) 割り込みフラグ (IP_x × ×) による割り込みマスク時間がない場合

割り込み受け付け時が “ MOV_T ” 命令およびスキップ条件を満たした命令でない通常命令の場合



割り込み受け付け時が “ MOV_T ” 命令か、または “ スキップ条件を満たした命令 ” の場合

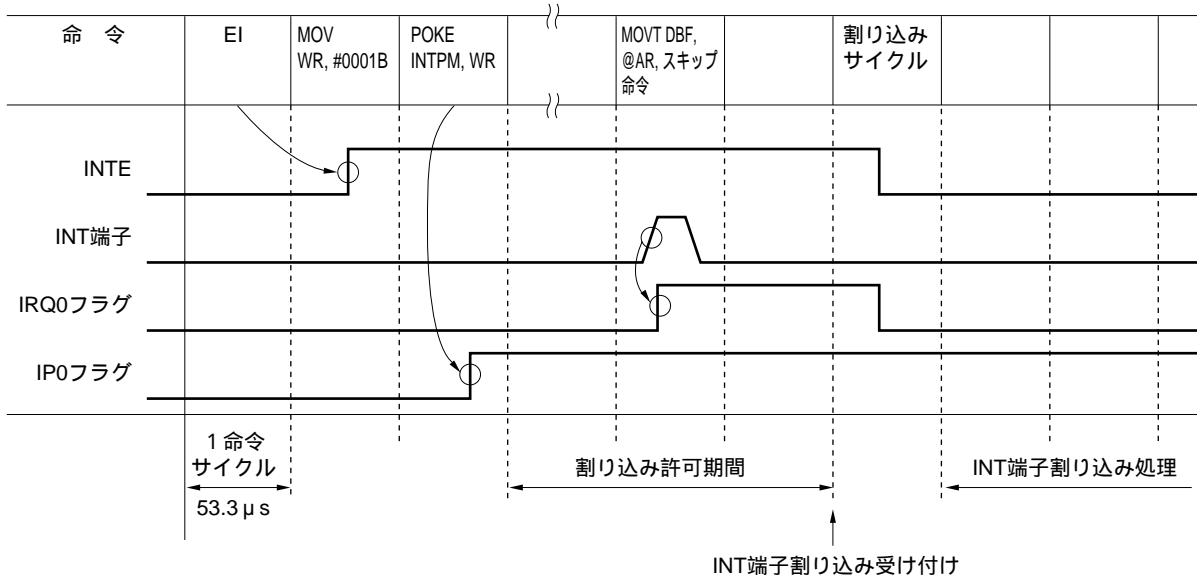
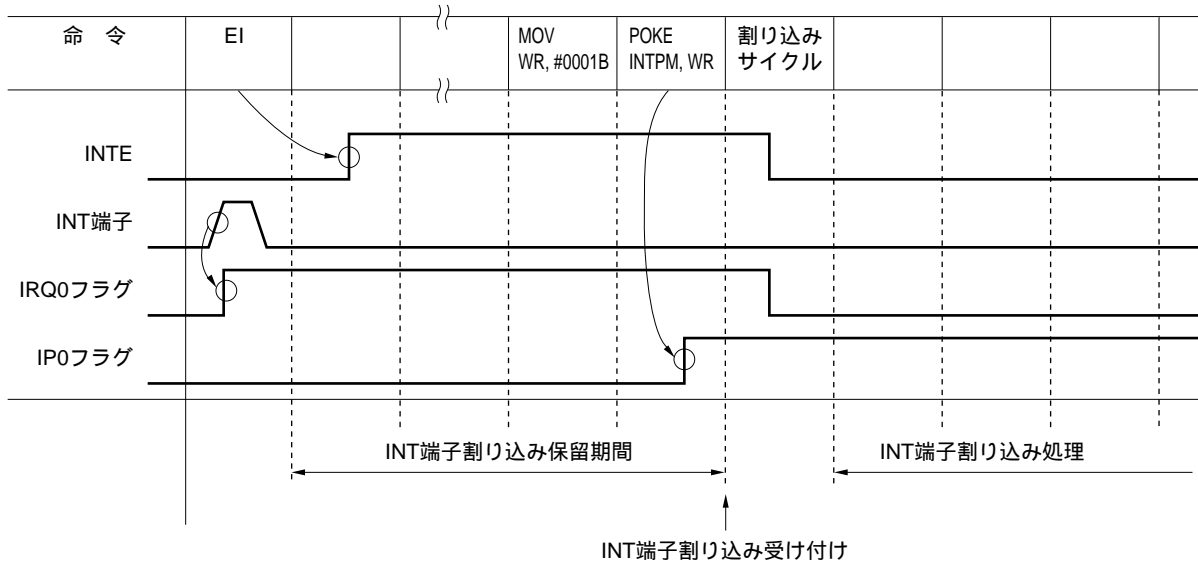


図12 - 9 割り込み受け付けタイミング・チャート (2/3)

(b) 割り込み許可フラグによる割り込み保留期間がある場合



(2) 複数の割り込み (例: INT端子, ベーシック・タイマ1の2種類) を使用時

(a) ハードウェア優先

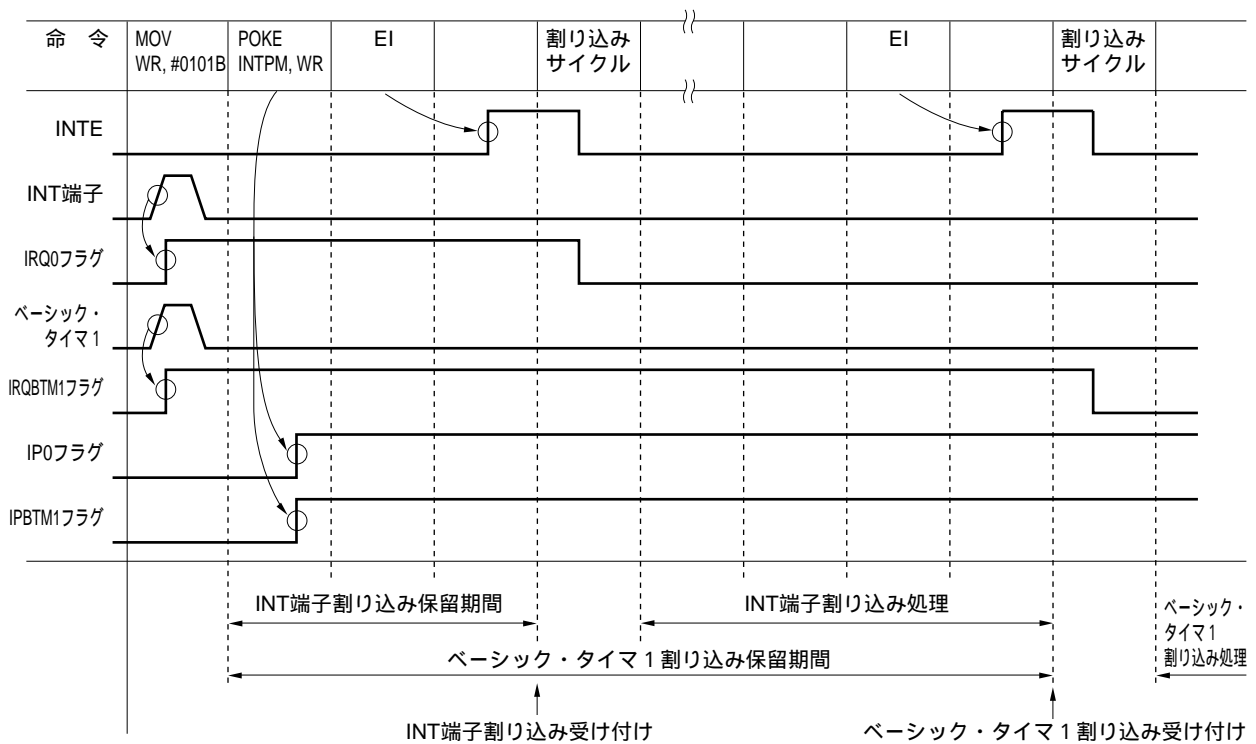
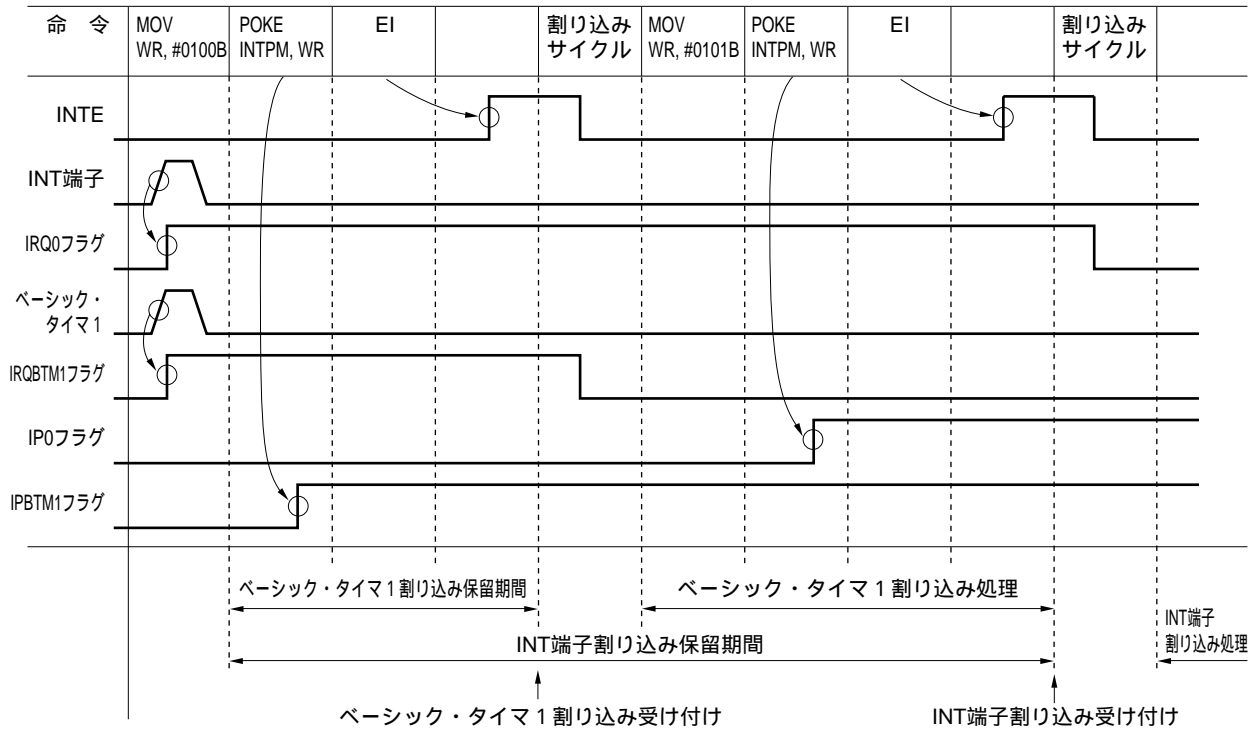


図12 - 9 割り込み受け付けタイミング・チャート (3/3)

(b) ソフトウェア優先



12.7 割り込み受け付け後の動作

割り込みが受け付けられると、次に示す処理が順次自動的に実行されます。

- (1) 割り込みイネーブル・フリップフロップおよび受け付けられた割り込み要求に対応する割り込み要求フラグを“0”にリセットする。つまり、割り込み禁止状態になる。
- (2) スタック・ポインタの内容を - 1 する。
- (3) プログラム・カウンタの内容を、スタック・ポインタで指定されるアドレス・スタック・レジスタへ退避する。
このときのプログラム・カウンタの内容は、割り込みが受け付けられた時点の次のプログラム・メモリ・アドレスになる。
たとえば、分岐命令であれば分岐先のアドレスとなり、サブルーチン・コール命令であればコール先のアドレスになる。スキップ命令でスキップ条件が満たされたときは、次の命令をNOP命令として実行したあとに割り込みが受け付けられるため、プログラム・カウンタの内容はスキップした命令の次のアドレスになる。
- (4) システム・レジスタ（アドレス・レジスタを除く）の内容を、割り込みスタックへ退避する。
- (5) 受け付けられた割り込みに対応するベクタ・アドレス・ジェネレータの内容を、プログラム・カウンタに転送する。つまり、割り込み処理ルーチンへ分岐する。

上記(1)-(5)の処理は、通常の命令の実行を伴わない特別な1命令サイクル(53.3 μs)の時間が必要になります。

この命令サイクルを“割り込みサイクル”と呼びます。

つまり、割り込みが受け付けられてから、対応するベクタ・アドレスへ分岐するまでに1命令サイクル(53.3 μs)の時間が必要になります。

12.8 割り込み処理ルーチンからの復帰処理

割り込み処理ルーチンから、割り込みが受け付けられたときの処理へ復帰させるには、割り込みリターン命令(RETI命令)を使用します。

RETI命令が実行されると、次に示す処理が順次自動的に実行されます。

- (1) スタック・ポインタで指定されるアドレス・スタック・レジスタの内容を、プログラム・カウンタに復帰する。
- (2) 割り込みスタックの内容を、システム・レジスタに復帰する。
- (3) スタック・ポインタの内容を + 1 する。

上記(1)-(3)の処理は、RETI命令が実行される1命令サイクル(53.3 μs)中に処理されます。

RETI命令と、サブルーチン・リターン命令であるRET命令およびRETSK命令との違いは、上記(2)のバンク・レジスタおよびインデックス・レジスタの復帰動作の違いのみです。

12.9 外部 (INT端子) 割り込み

12.9.1 外部割り込み概要

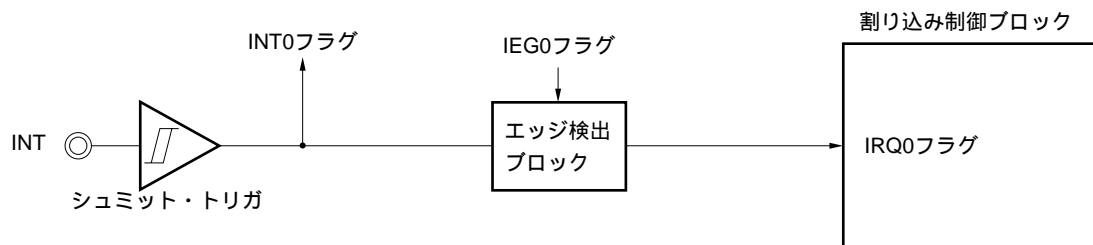
図12 - 10に、外部割り込みの概要を示します。

図12 - 10に示すように、外部割り込みは、INT端子に加えられた信号の立ち上がりまたは立ち下がりエッジにより、割り込み要求を発行します。

INT端子の立ち上がりおよび立ち下がりどちらで割り込み要求を発行するかは、プログラムにより独立して設定できます。

INT端子は、ノイズによる誤動作を防ぐためシュミット・トリガ入力となっています。また、100 ns未満のパルス入力は受け付けません。

図12 - 10 外部割り込みの概要



12.9.2 エッジ検出ブロック

エッジ検出ブロックは、割り込みエッジ選択レジスタによりINT端子の割り込み要求を発行する入力信号エッジ（立ち上がりまたは立ち下がりエッジ）を設定します。

図12 - 11に割り込みエッジ選択レジスタの構成と機能を示します。

図12 - 11 割り込みエッジ選択レジスタの構成



保：保持

注意 外部入力は、約100 ns遅れますので注意してください。

表12 - 3 IEGフラグの変更による割り込み要求の発行

IEG0フラグの変化	INT端子の状態	割り込み要求発行の有無	割り込み要求フラグの状態
1 0 (立ち下がり) (立ち上がり)	ロウ・レベル	発行されない	以前の状態を保持
	ハイ・レベル	発行される	“ 1 ” にセットされる
0 1 (立ち上がり) (立ち下がり)	ロウ・レベル	発行される	“ 1 ” にセットされる
	ハイ・レベル	発行されない	以前の状態を保持

12.9.3 割り込み制御ブロック

INT0フラグによりINT端子に入力された信号レベルを検出することができます。

INT0フラグは割り込みとは無関係にセットまたはリセットされるため、割り込み機能を使用しない場合INT端子は1ビットの入力ポートとして使用できます。

なお、割り込みを許可していなければ、割り込み要求フラグを読み込むことにより立ち上がりまたは立ち下がりエッジを検出できる汎用ポートとして使用できます。

ただし、この場合は割り込み要求フラグは自動的にリセットされませんので、プログラムによりリセットする必要があります。

“ 12.2.1 割り込み要求フラグ (IRQ x x x) の構成と機能 ” も参照してください。

12.10 内部割り込み

内部割り込みには、次に示す3系統があります。

- ・タイマ0
- ・ベーシック・タイマ1
- ・シリアル・インタフェース1

12.10.1 タイマ0, ベーシック・タイマ1 割り込み

一定時間ごとに割り込み要求を発行します。

詳しくは、“ 13. タイマ ” を参照してください。

12.10.2 シリアル・インタフェース1 割り込み

シリアル出力またはシリアル入力動作終了時に、割り込み要求を発行することができます。

詳しくは、“ 15. シリアル・インタフェース ” を参照してください。

13. タイマ

タイマは、プログラム実行上の時間管理に使用します。

13.1 タイマ概要

図13 - 1 に、タイマの概要を示します。

タイマは次の3系統で構成されています。

- ・ベーシック・タイマ0, 1
- ・タイマ0

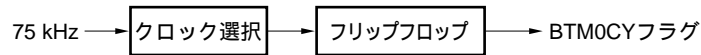
ベーシック・タイマ0, 1は、一定時間ごとにセットされるフリップフロップの状態をプログラムにより検出します。

タイマ0はモジュロ方式のタイマで割り込みを使用できます。

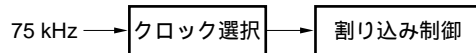
各タイマのクロックは、いずれもシステム・クロック (75 kHz) を分周して作られています。

図13 - 1 タイマ概要

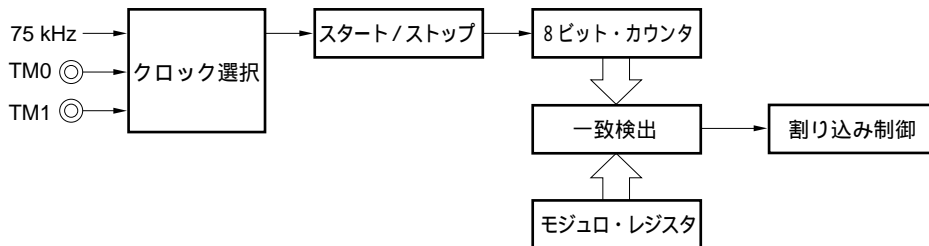
(1) ベーシック・タイマ0



(2) ベーシック・タイマ1



(3) タイマ0



13.2 ベーシック・タイマ0

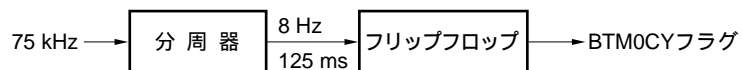
13.2.1 ベーシック・タイマ0概要

図13 - 2 にベーシック・タイマ0の概要を示します。

ベーシック・タイマ0は、一定時間ごと（125 ms）にセットされるBTM0CYフラグをプログラムにより検出することにより、タイマとして使用します。

$\overline{\text{RESET}}$ 端子によるリセット後、最初にBTM0CYフラグを読み出すと、必ず“1”が読み出され、その後は125 msごとに“1”がセットされます。

図13 - 2 ベーシック・タイマ0概要



備考 BTM0CY（ベーシック・タイマ0 キャリー・レジスタのビット0：図13 - 3 参照）
フリップフロップの状態を検出

13.2.2 フリップフロップおよびBTM0CYフラグ

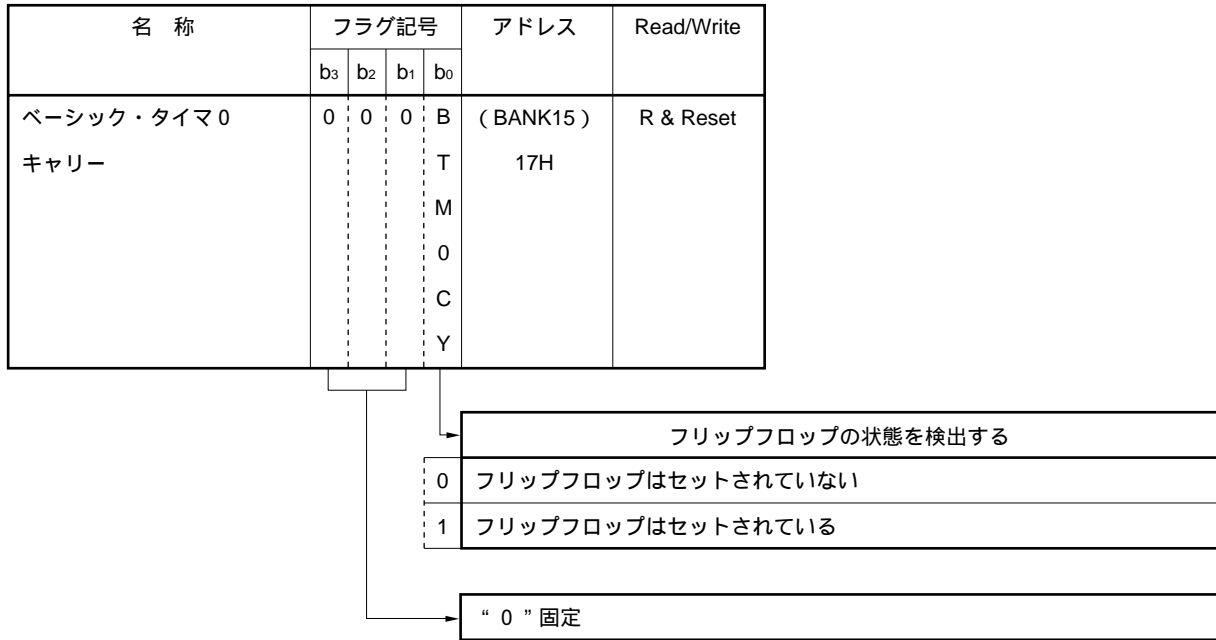
フリップフロップは、一定時間ごと（125 ms）にセットされ、ベーシック・タイマ0 キャリー・レジスタのBTM0CYフラグによりその状態を検出します。

BTM0CYフラグを読み出すと、BTM0CYフラグは“0”にリセットされます（Read & Reset）。

BTM0CYフラグはRESET端子によるリセット時は、必ず“1”にセットされます。

図13-3 にベーシック・タイマ0 キャリー・レジスタの構成を示します。

図13-3 ベーシック・タイマ0 キャリー・レジスタの構成



リセット時	RESET端子によるリセット	0	0	0	1
	WDT & SPリセット				保
	クロック・ストップ時				保

保：保持

13.2.3 ベーシック・タイマ0使用例

次にプログラム例を示します。

このプログラムは、処理Aを1秒ごとに実行します。

例

```
LOOP:
  SKT1  BTMOCY           ; BTMOCYフラグが“0”ならNEXTへ分岐
  BR    NEXT
  ADD   M1,#1           ; M1に1を加算
  SKE   M1,#08H        ; M1が“8”(1秒経過)なら処理Aを実行
  BR    NEXT
  MOV   M1,#0
```

処理 A

NEXT:

処理 B

; 処理 B を実行してLOOPへ分岐

```
BR    LOOP
```

13.2.4 ベーシック・タイマ0の誤差

ベーシック・タイマ0の誤差には、BTM0CYフラグの検出時間による誤差があります。

BTM0CYフラグの検出時間による誤差

BTM0CYフラグを検出する時間は、BTM0CYフラグがセットされる時間よりも短くする必要があります。

つまり、BTM0CYフラグを検出する時間間隔を t_{CHECK} とし、BTM0CYフラグがセットされる時間間隔（125 ms）を t_{SET} とすると、 t_{CHECK} と t_{SET} は、次に示す関係である必要があります。

$$t_{CHECK} < t_{SET}$$

このとき、図13 - 4 に示すように、BTM0CYフラグを検出するときのタイマの誤差は、次に示すようになります。

$$0 < \text{誤差} < t_{SET}$$

図13 - 4 BTM0CYフラグの検出時間によるベーシック・タイマ0の誤差

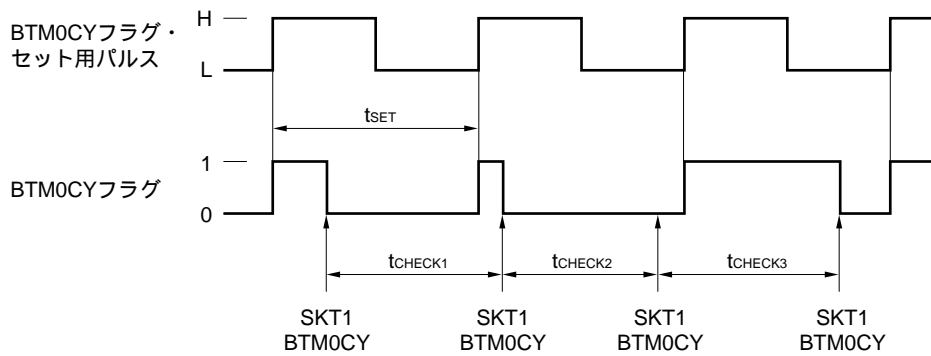


図13 - 4 に示すように、まず でBTM0CYフラグを検出すると、“1”であるため、タイマを更新します。次に で検出すると、“0”であるため、 で再度検出するまでタイマは更新されません。つまり、このときタイマは、 t_{CHECK3} の時間だけ長くなることになります。

13.3 ベーシック・タイマ1

13.3.1 ベーシック・タイマ1概要

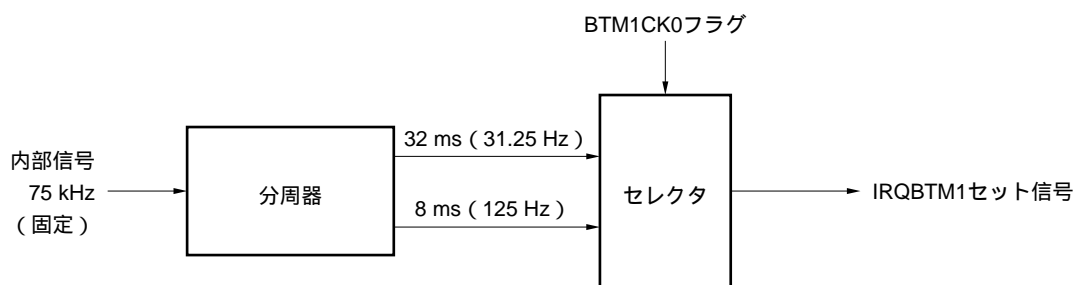
図13 - 5 にベーシック・タイマ1の概要を示します。

ベーシック・タイマ1は、一定時間ごとに割り込み要求を発行し、IRQBTM1フラグをセット(1)します。

IRQBTM1フラグをセットする時間間隔の設定は、ベーシック・タイマ1クロック選択レジスタのBTM1CK0フラグにより行います。図13 - 6 にベーシック・タイマ1クロック選択レジスタの構成を示します。

ベーシック・タイマ1による割り込みは、EI命令が実行されており、かつIPBTM1フラグがセットされているときに、IRQBTM1フラグがセットされると受け付けられます(12. **割り込み**参照)。

図13 - 5 ベーシック・タイマ1概要



備考 BTM1CK0 (割り込みエッジ選択レジスタのビット1 : 図13 - 6 参照)

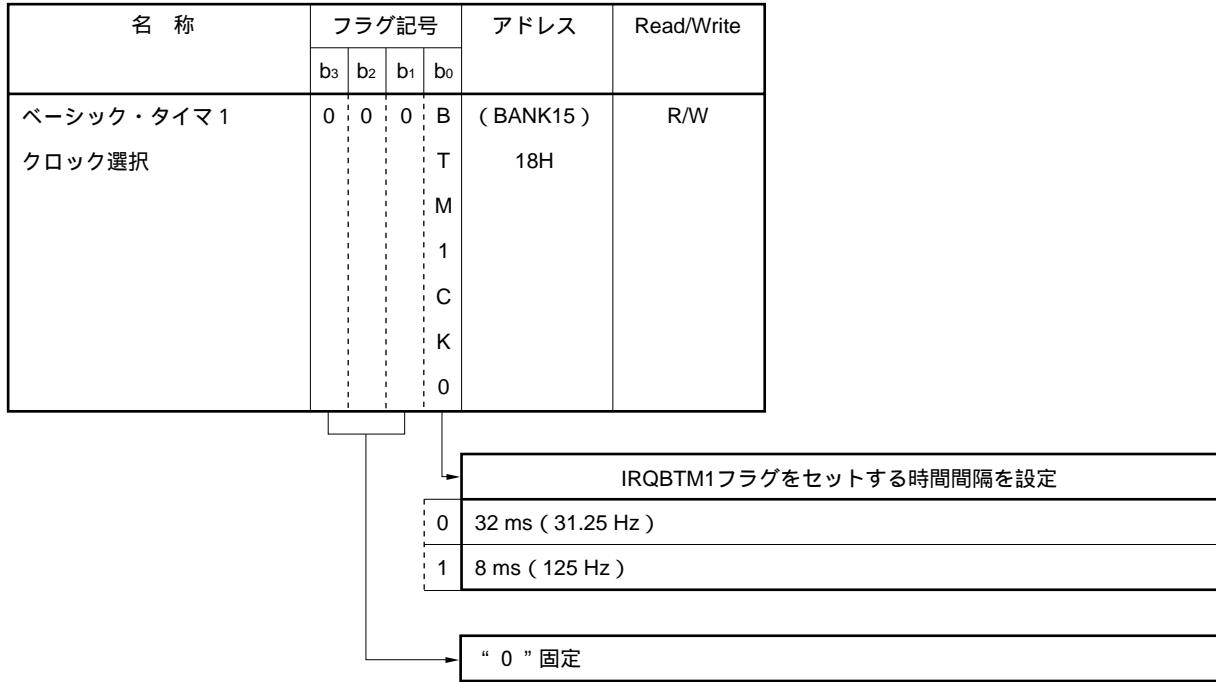
IRQBTM1フラグをセットする時間間隔を設定

13.3.2 クロック選択ブロック

クロック選択ブロックは、システム・クロック（75 kHz）を分周し、BTM1CK0フラグにより、IRQBTM1フラグをセットする時間間隔を設定します。

図13 - 6 にベーシック・タイマ1クロック選択レジスタの構成を示します。

図13 - 6 ベーシック・タイマ1クロック選択レジスタの構成



リ セ ッ ト 時	RESET端子によるリセット	0	0	0	0
	WDT & SPリセット				0
クロック・ストップ時					保

保：保持

13.3.3 ベーシック・タイマ1の使用例

次にプログラム例を示します。

例

```

M1      MEM      0.10H      ; 80msのカウンタ
BTIMER1 DAT      0002H      ; ベーシック・タイマ1の割り込みベクタ・アドレスのシンボル定義

ORG     BR       START      ; STARTに分岐
        BTIMER1    ; プログラム・アドレス(0002H)
        ADD      M1,#0001B   ; M1に1を加算
        SKT1     CY          ; CYフラグをテスト
        BR       EI_RET1    ; キャリーが出なければリターン
        MOV      M1,#0110B
        処 理  A
EI_RET1 :
        EI
        RETI
START :
        MOV      M1,#0110B   ; M1の内容を6にイニシャライズ
        BANK1
        SET1     BTM1CKO    ; 組み込みマクロ
        ; ベーシック・タイマ1割り込み用パルスを設定
        SET1     IPBTM1    ; ベーシック・タイマ1による割り込みの許可を設定
        EI          ; すべての割り込みの許可を設定
LOOP :
        BANK0
        処 理  B
        BR      LOOP
    
```

このプログラムは、処理Aを80 msごとに実行します。

このとき注意する点は、割り込みが受け付けられると自動的にDI状態となることと、DI状態であってもIRQBTM1フラグはセット(1)されるということです。

つまり、処理Aの時間が8 ms以上かかると“RETI”命令で復帰してもすぐに割り込みが受け付けられてしまい、処理Bは実行されなくなってしまいます。

13.3.4 ベーシック・タイマ1の誤差

13.3.3で説明したように、EI命令が実行されており、かつベーシック・タイマ1による割り込みが許可されていれば、ベーシック・タイマ1割り込み用パルスが立ち下がるたびに割り込みが受け付けられます。

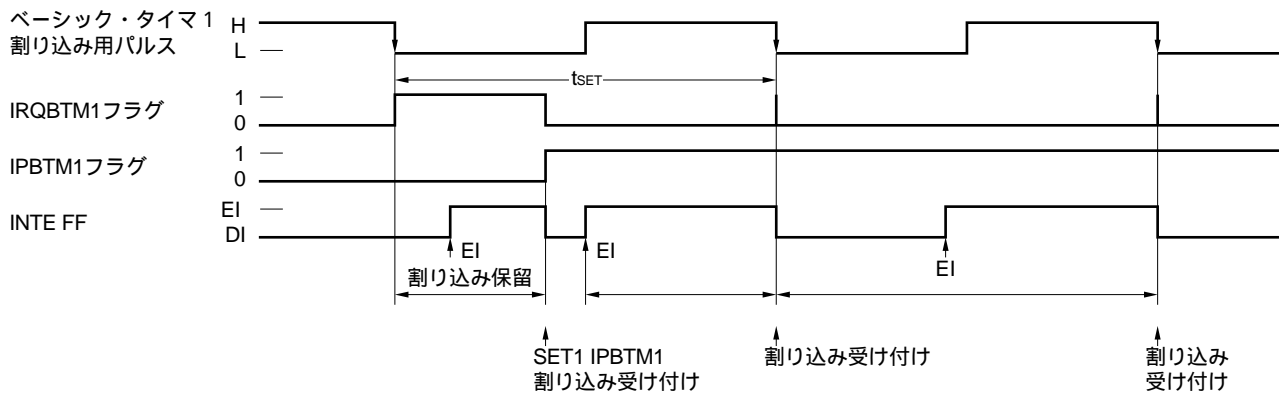
したがって、ベーシック・タイマ1の誤差は、次の操作を行ったときのみ発生します。

- ・ベーシック・タイマ1による割り込みを許可したときの最初の割り込み受け付け時
- ・IRQBTM1フラグをセットする時間間隔を変更したとき、つまり割り込み用パルスを変更したときの、最初の割り込み受け付け時
- ・IRQBTM1フラグに書き込み操作を行ったとき

図13 - 7 に各操作時の誤差を示します。

図13 - 7 ベーシック・タイマ1の誤差 (1/2)

(a) ベーシック・タイマ1による割り込みを許可したとき



上記 点でIPBTM1フラグをセットしてベーシック・タイマ1による割り込みを許可すると即座に割り込みが受け付けられます。

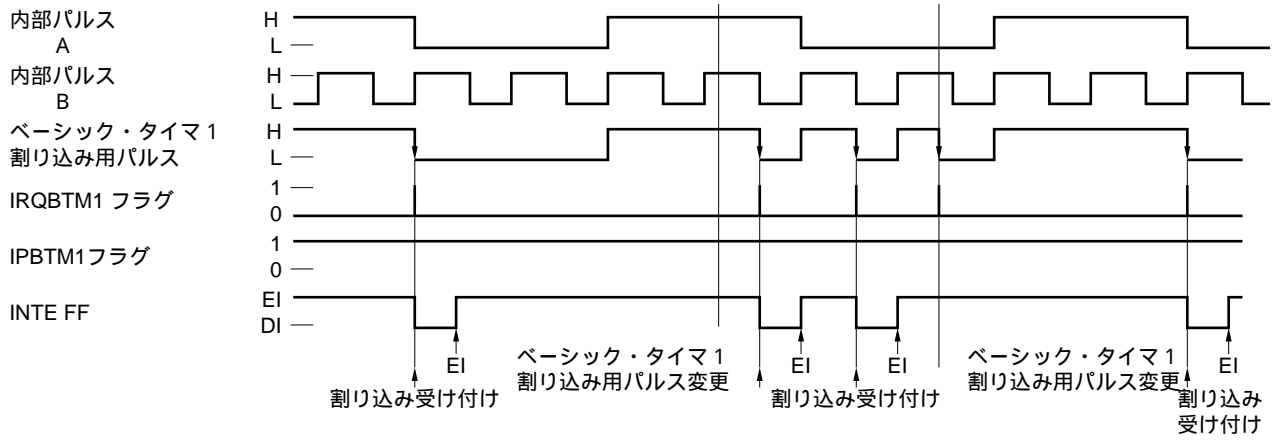
このときの誤差は - tSETになります。

次の 点で“EI”命令により割り込みを許可すると 点のベーシック・タイマ1割り込み用パルスの立ち下がりによって割り込みがかかります。

このときの誤差は - tSET < 誤差 < 0 になります。

図13 - 7 ベーシック・タイマ1の誤差 (2/2)

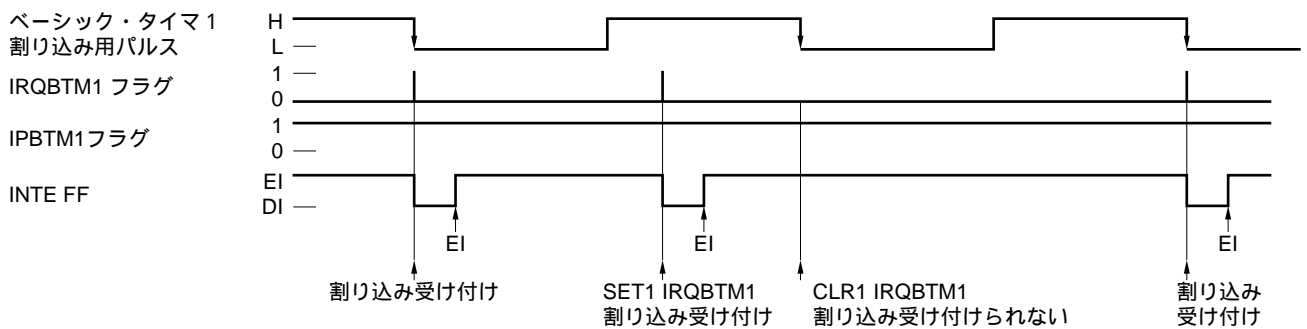
(b) ベーシック・タイマ1 割り込み用パルスを切り替えたとき



でベーシック・タイマ1 割り込み用パルスをBに変更してもベーシック・タイマ1 割り込み用パルスが立ち下らないため、次の で割り込みが受け付けられます。

でベーシック・タイマ1 割り込み用パルスをAに変更するとベーシック・タイマ1 割り込み用パルスが立ち下がるため、即座に割り込みが受け付けられます。

(c) IRQBTM1フラグを操作したとき



でIRQBTM1フラグをセット (1) すると即座に割り込みが受け付けられます。

でIRQBTM1フラグのクリア (0) とベーシック・タイマ1 割り込み用パルスの立ち下がりが重なると割り込みは受け付けられません。

13.3.5 ベーシック・タイマ1使用時の注意

ベーシック・タイマ1を使用して、一度電源電圧が投入（パワーオン・リセット）されたあと常に一定の間隔で処理を行わせるようなプログラム、たとえば時計用のプログラムなどを作成するときは、ベーシック・タイマ1による割り込み処理時間を一定時間以内に終了させる必要があります。

次の例をもとに説明します。

例

```

M1      MEM      0.10H      ; 80msのカウンタ
BTIMER1 DAT      0002H      ; ベーシック・タイマ1の割り込みベクタ・アドレスのシンボル定義

ORG     BR       START      ; STARTに分岐
        BTIMER1    ; プログラム・アドレス（0002H）
        ADD      M1,#0001B    ; M1に1を加算
        SKT1     CY          ; キャリーが出れば時計処理
        BR      EI_RET1      ; キャリーが出なければそのまま復帰
        MOV     M1,#0110B
;
; 処 理 B
EI_RET1 :
EI
RETI

START :
MOV     M1,#0110B      ; M1の内容を6にイニシャライズ
BANK1
SET1    BTM1CK0
; 組み込みマクロ
; ベーシック・タイマ1による割り込み時間を8msに設定
SET1    IPBTM1
; 組み込みマクロ
; ベーシック・タイマ1による割り込みを許可
EI
; すべての割り込みの許可を設定

LOOP :
; 処 理 A
BR     LOOP

```

この例では、処理Aを実行しながら80msごとに処理Bを実行します。

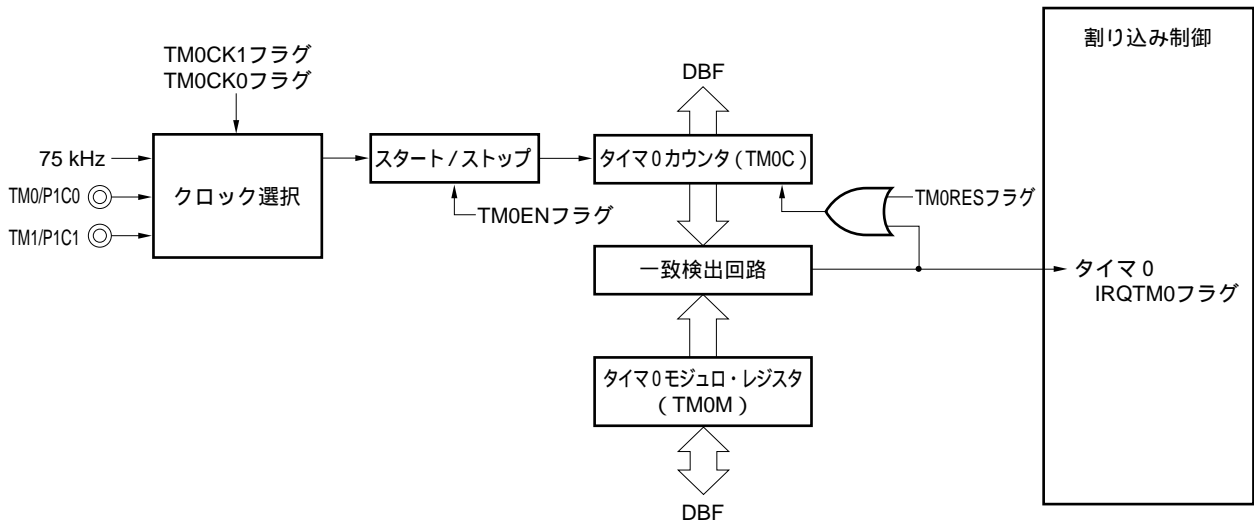
13.4 タイマ0

13.4.1 タイマ0概要

図13 - 8 にタイマ0の概要を示します。

タイマ0は、基本クロック（75 kHz, 25 kHzまたは外部クロック（TM0, TM1））を8ビットのカウンタでカウントし、カウント値とあらかじめセットされている設定値を比較することによりタイマとして使用します。

図13 - 8 タイマ0概要



備考1 . TM0CK1, TM0CK0 (タイマ0カウンタ・クロック選択レジスタのビット1, ビット0 : 図13 - 9 参照)

基本クロック周波数設定

2 . TM0EN (タイマ0カウンタ・クロック選択レジスタのビット3 : 図13 - 9 参照)

タイマ0のスタート/ストップを設定

3 . TM0RES (タイマ0カウンタ・クロック選択レジスタのビット2 : 図13 - 9 参照)

タイマ0カウンタのリセットを制御

13.4.2 クロック選択, スタート/ストップ制御

クロック選択ブロックは, タイマ0カウンタを動作させるための基本クロックを選択します。

基本クロックは, TM0CK1およびTM0CK0フラグにより4種類を選択できます。

スタート/ストップ・ブロックは, TM0ENフラグにより, タイマ0カウンタに入力する基本クロックのスタート/ストップを制御します。

図13 - 9に各フラグの構成と機能を示します。

13.4.3 カウント・ブロック

カウント・ブロックは, 基本クロックをタイマ0カウンタでカウントし, カウント値の読み出しや, タイマ0モジュロ・レジスタの値と一致したときに割り込み要求を発行します。

TM0RESフラグにより, タイマ0カウンタをリセットできます。

タイマ0カウンタはタイマ0モジュロ・レジスタの値と一致すると自動的にリセットされます。

タイマ0カウンタの値はデータ・バッファを介して読み出しができます。

タイマ0モジュロ・レジスタの値はデータ・バッファを介して書き込みができます。

図13 - 9にタイマ0カウンタ・クロック選択レジスタの構成を示します。

図13 - 10にタイマ0カウンタの構成を示します。

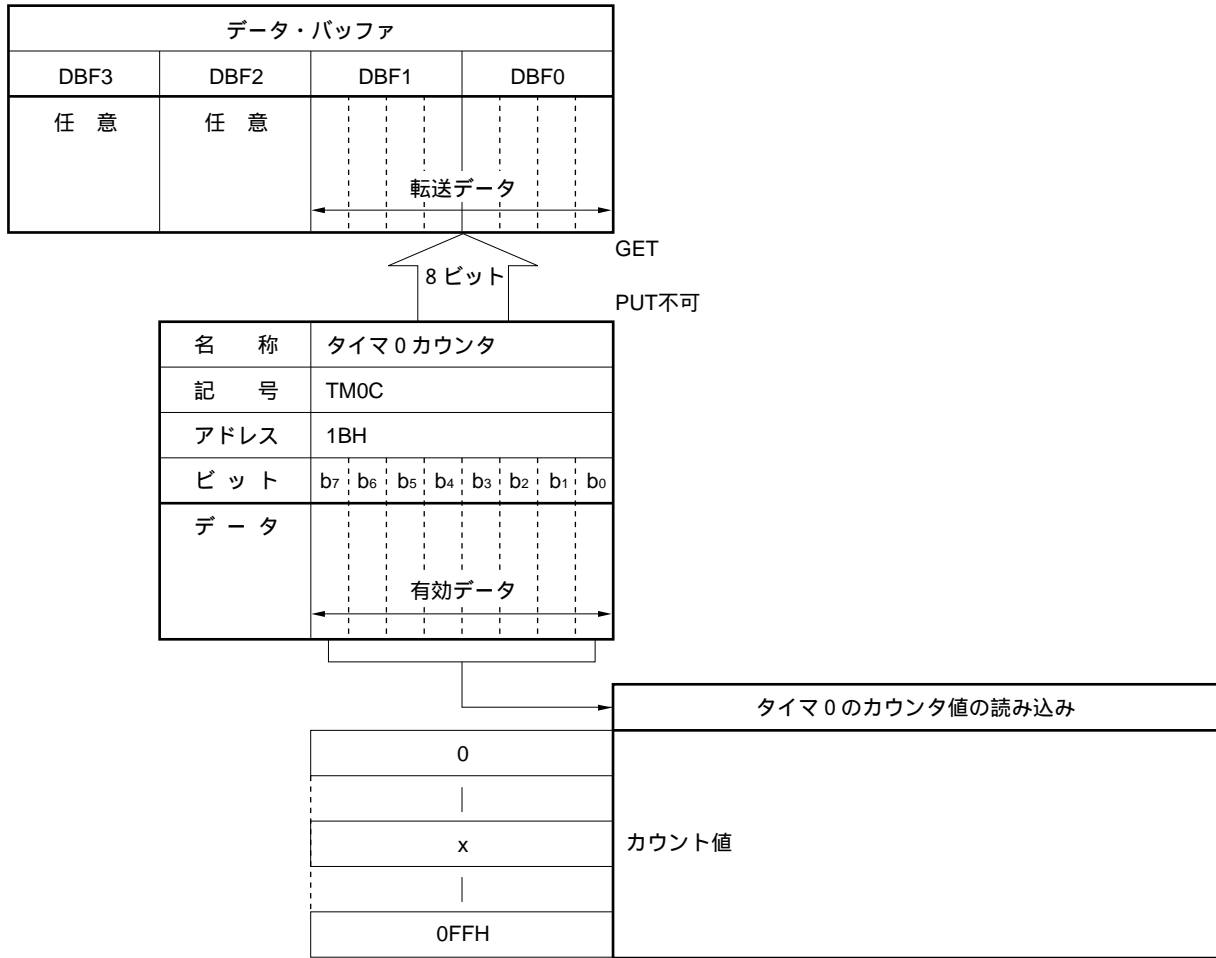
図13 - 11にタイマ0モジュロ・レジスタの構成を示します。

図13 - 9 タイマ0カウンタ・クロック選択レジスタの構成



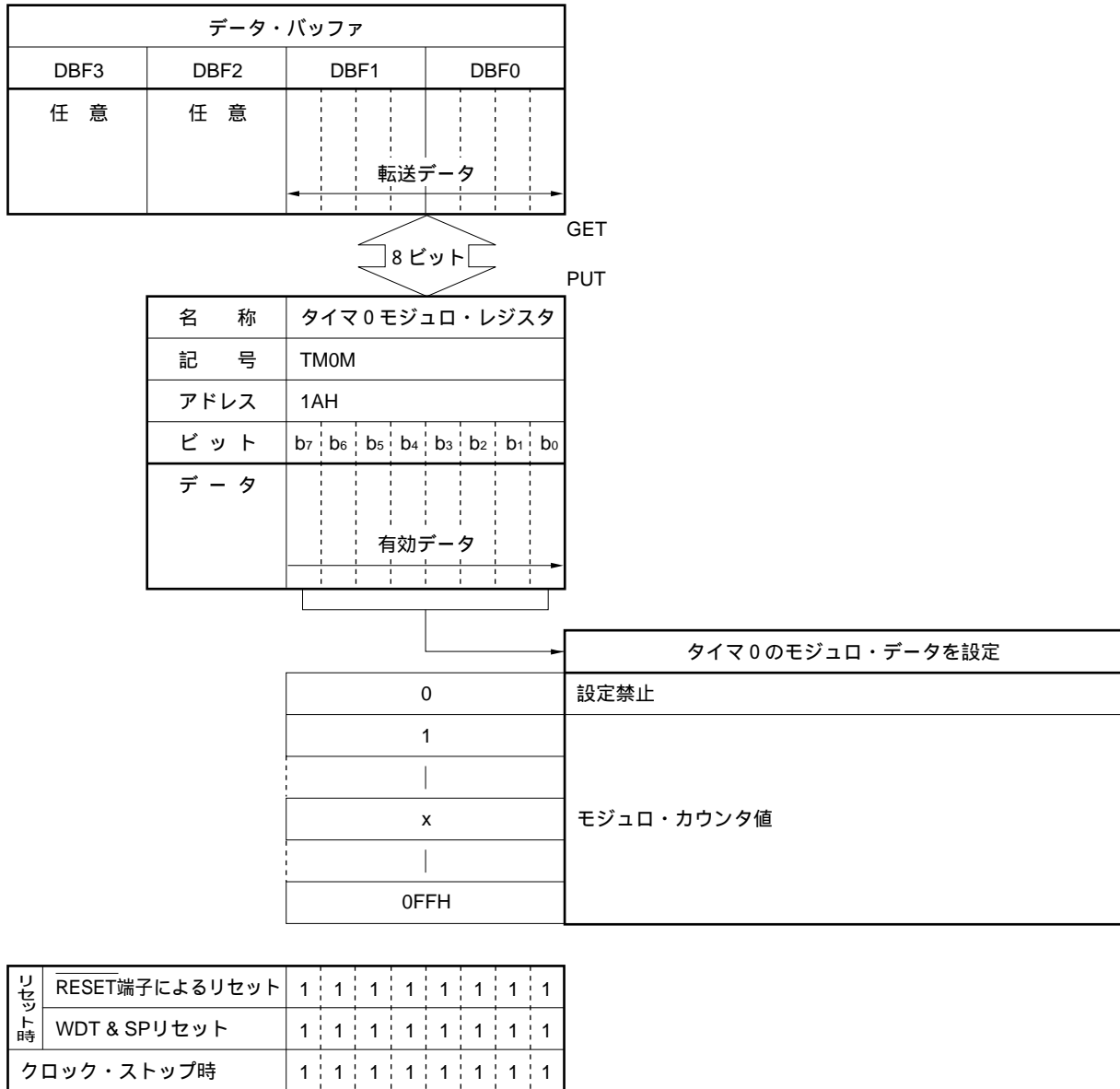
注意 TM0RESフラグ読み込み時は、常に0が読み込まれます。

図13 - 10 タイマ0カウンタの構成



リセット時	RESET端子によるリセット	0	0	0	0	0	0	0	0
	WDT & SPリセット	0	0	0	0	0	0	0	0
クロック・ストップ時		0	0	0	0	0	0	0	0

図13-11 タイマ0モジュール・レジスタの構成



13.4.4 タイマ0の使用例

(1) モジュロ・タイマ

モジュロ・タイマは、一定時間ごとにタイマ0割り込みをかけて時間管理に使用します。

次にプログラム例を示します。

このプログラムは処理Bを400μsごとに実行します。

```

TMODATA  DAT      0009H          ; カウント・データ = 10

START:
  BR      INITIAL                ; リセット・アドレス
  ; 割り込みベクタ・アドレス
  NOP
  NOP          ; S101
  NOP          ; BTM1
  BR      INT_TMO                ; TMO
  NOP          ; INT

INITIAL:
  INITFLG  NOT TMOEN, TMORES, TMOCK1, TMOCK0
  ; (ストップ), (リセット), (基本クロック = 40μs)
  MOV      DBF0, #TMODATA
  MOV      DBF1, #TMODATA SHR4 AND 0FH
  PUT      TMO, DBF
  SET1     TMOEN                  ; START
  SET1     IPTMO                  ; タイマ0の割り込み許可
  EI

LOOP:
  

|      |
|------|
| 処理 A |
|------|


  BR      LOOP

INT_TMO:
  PUT      DBFSTK, DBF            ; データ・バッファの退避
  

|      |
|------|
| 処理 B |
|------|


  GET      DBF, DBFSTK
  EI
  RETI                             ; リターン

END

```


13.4.5 タイマ0の誤差

タイマ0は、次に示す場合に最大1基本クロック分の誤差が生じます。

(1) カウンタのスタート/ストップ時

カウンタのスタート/ストップはTM0ENフラグのセットで行われます。

したがって、TM0ENフラグのセット時に0 ~ + 1クロック分誤差が生じ、リセット時に - 1 ~ 0クロック分の誤差が生じます。

トータルで ± 1 カウント分の誤差が生じます。

(2) カウンタ動作中のリセット時

カウンタをリセットしたときに0 ~ + 1クロック分誤差が生じます。

(3) カウンタ動作中の基本クロック切り替え時

切り替わったクロックの0 ~ + 1クロック分誤差が生じます。

14 . A/Dコンバータ

14.1 A/Dコンバータ概要

図14 - 1にA/Dコンバータの概要を示します。

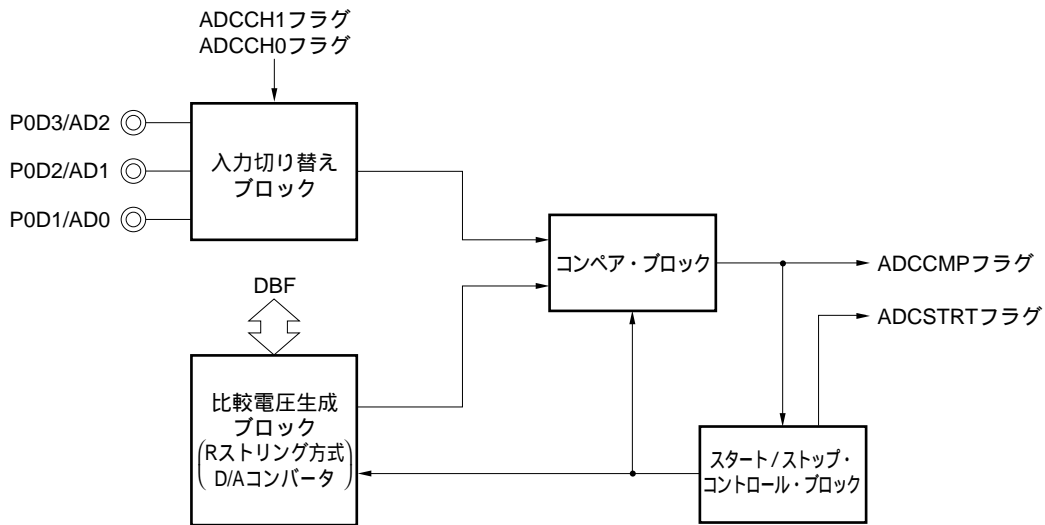
A/Dコンバータは、AD2-AD0端子に入力されているアナログ電圧と内部の比較電圧を比較し、比較結果をソフトウエ

★ アで判断することによって、8ビットのデジタル信号に変換します。

比較結果はADCCMPフラグによって検出します。

比較方法は、逐次比較方式を採用しています。

図14 - 1 A/Dコンバータ概要



備考1 . ADCCH1, ADCCH0 (A/Dコンバータ・チャンネル選択レジスタのビット1, ビット0 : 図14 - 3参照)

A/Dコンバータとして使用する端子を選択

2 . ADCCMP (A/Dコンバータ・モード選択レジスタのビット0 : 図14 - 5参照)

比較結果の検出

3 . ADCSTRT (A/Dコンバータ・モード選択レジスタのビット1 : 図14 - 5参照)

動作状態を検出

14.2 入力切り替えブロック

図14 - 2 に入力切り替えブロックの構成を示します。

入力切り替えブロックは、ADCCH1, ADCCH0フラグにより使用する端子を選択します。A/Dコンバータとして同時に使用できる端子は1端子しかありません。P0D1/AD0-P0D3/AD2端子のどれか1本がA/Dコンバータに選択されている場合は、他の2本は強制的に入力ポートになります。

P0D1/AD0-P0D3/AD2端子はBANK15のP0DPLD1-P0DPLD3フラグによりプルダウン抵抗のオン/オフが選択できます。したがって、P0D1/AD0-P0D3/AD2端子をA/Dコンバータとして使用する場合は、外部からのアナログ入力電圧を正しく検出するために必ずこれらのプルダウン抵抗をオフにしてください（詳しくは“11.3.3 ポート0Dプルダウン抵抗選択レジスタ”を参照してください）。

図14 - 3 にA/Dコンバータ・チャンネル選択レジスタの構成を示します。

図14 - 2 入力切り替えブロックの構成

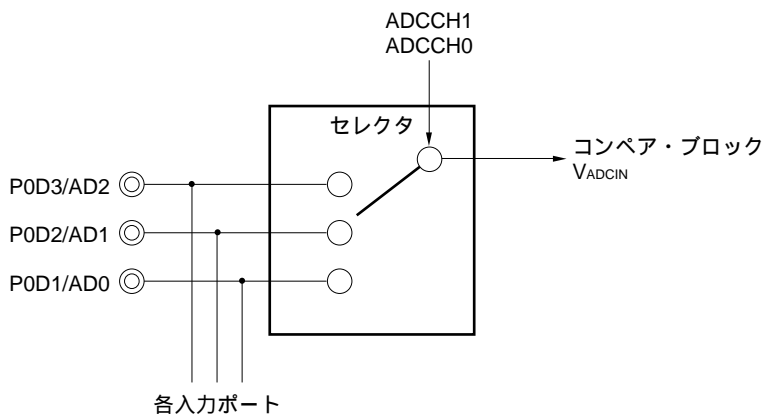
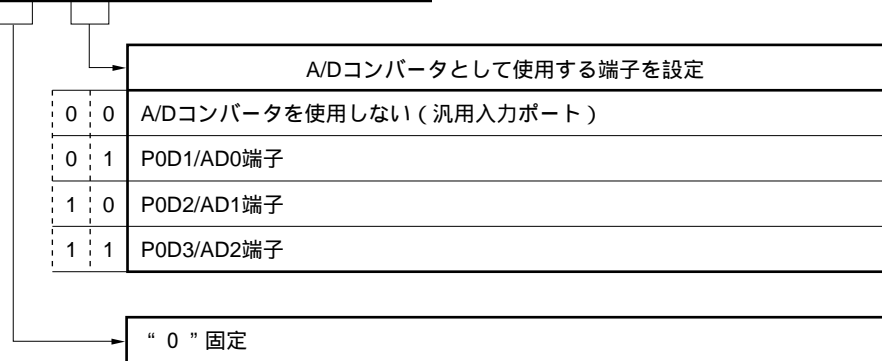


図14-3 A/Dコンバータ・チャンネル選択レジスタの構成

名 称	フラグ記号				アドレス	Read/Write
	b3	b2	b1	b0		
A/Dコンバータ・ チャンネル選択	0	0	A	A	(BANK15) 24H	R/W
			D	D		
			C	C		
			C	C		
			H	H		
		1	0			



リ セ ツ ト 時	RESET端子によるリセット	0	0	0	0
	WDT & SPリセット		0	0	0
クロック・ストップ時			保 持		

14.3 比較電圧生成およびコンペア・ブロック

図14 - 4 に比較電圧生成ブロックおよびコンペア・ブロックの構成を示します。

比較電圧生成ブロックは、A/Dコンバータ基準電圧設定レジスタに設定された8ビットのデータによりタップ・デコーダを切り替え、256種類の比較電圧 V_{ADCREF} を生成します。

つまり、Rストリング方式のD/Aコンバータになっています。

Rストリング方式の電源は、デバイスの V_{DD} と同電位です。

コンペア・ブロックは、端子から入力された電圧 V_{ADCIN} と比較電圧 V_{ADCREF} の大小を判断します。

コンパレータによる比較は、ADCSTRTフラグに書き込んだ時点で行われます。A/Dコンバータの1回の比較時間は2命令実行時間(106.6 μs)になります。

また、ADCSTRTフラグの内容を読み出すことによって、そのときのコンパレータの動作状態を確認することができます。

比較結果は、ADCCMPフラグによって検出します。

図14 - 5 にA/Dコンバータ・モード選択レジスタの構成を示します。

図14 - 4 比較電圧生成およびコンペア・ブロックの構成

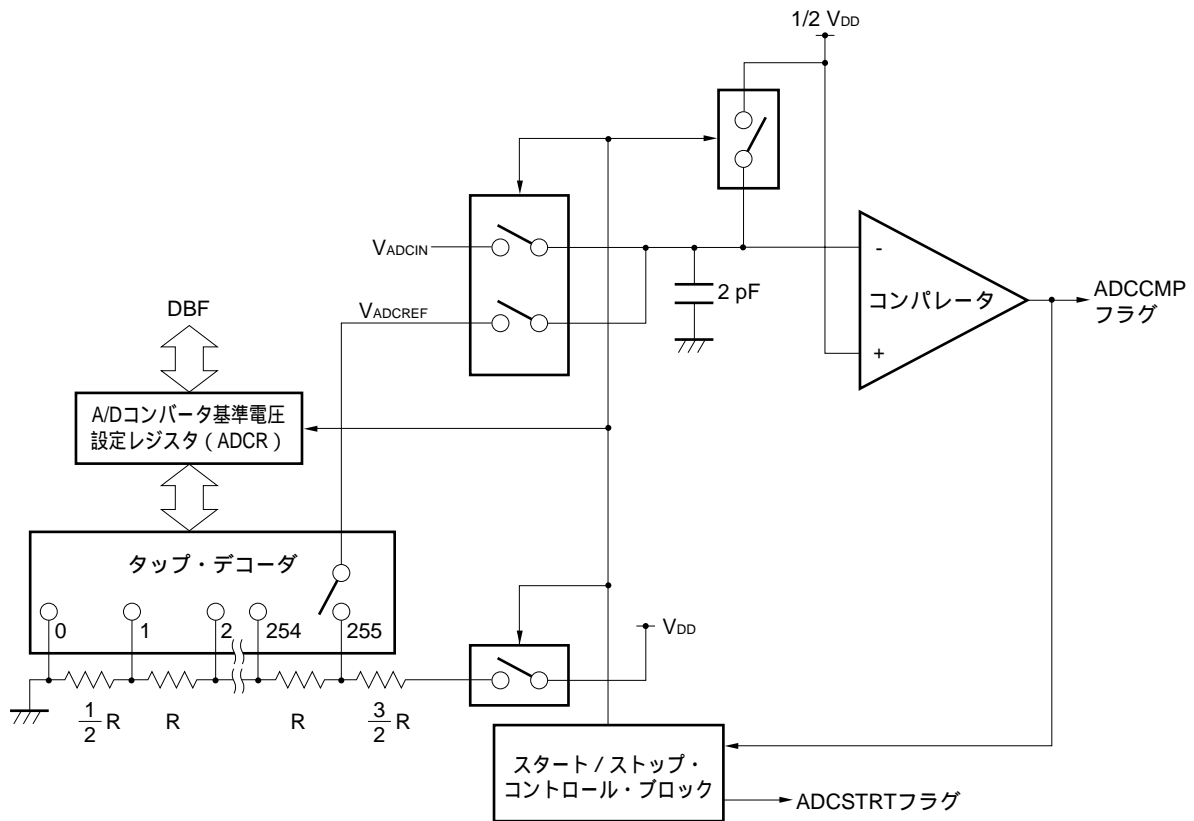
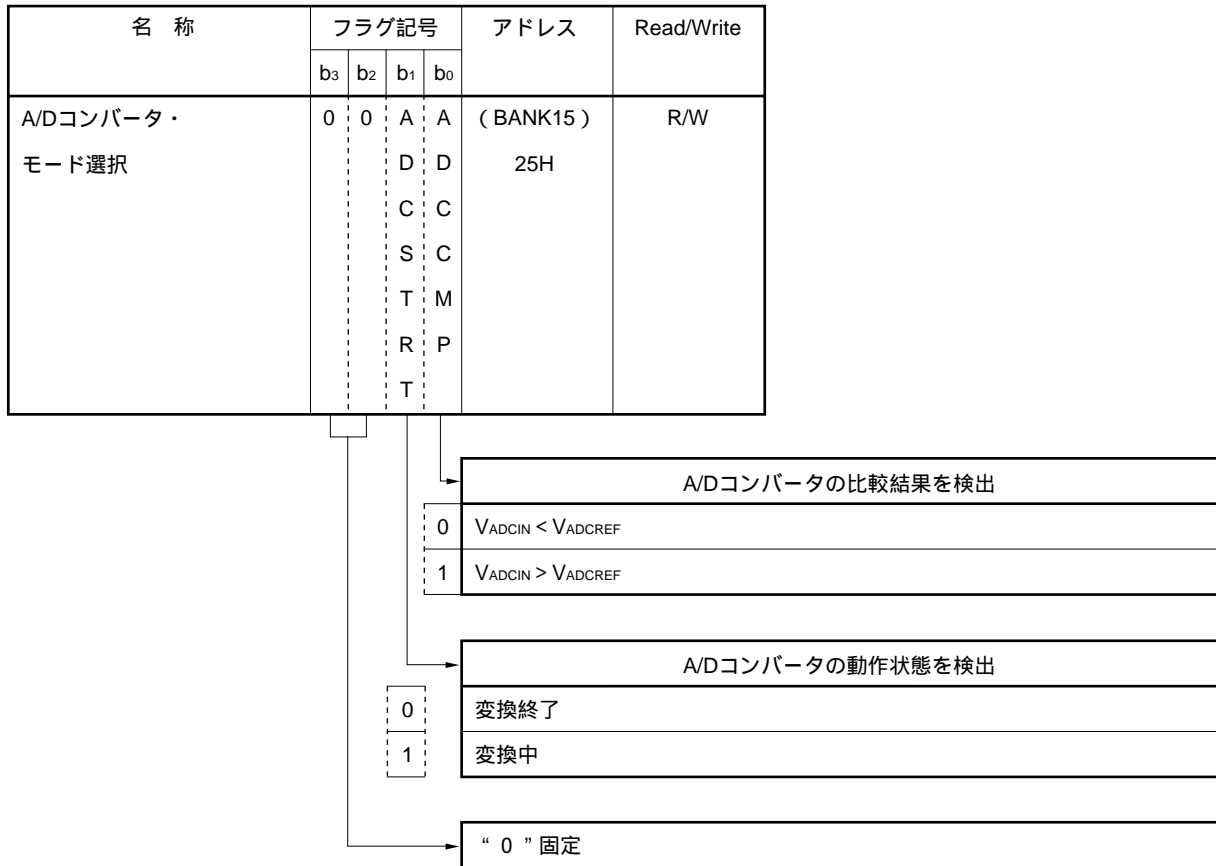


図14 - 5 A/Dコンバータ・モード選択レジスタの構成



リセット時	RESET端子によるリセット	0	0	0	0
	WDT & SPリセット			0	0
	クロック・ストップ時	↓	↓	0	保

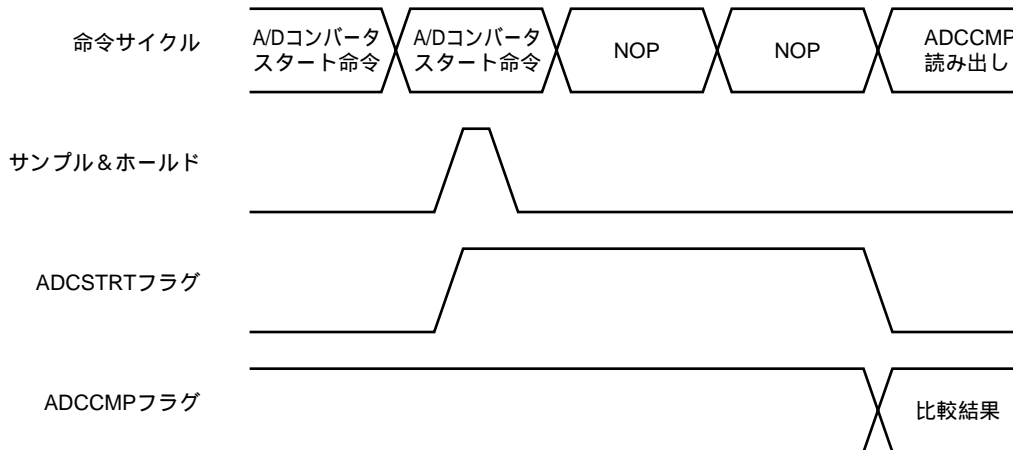
保：保持

14.4 比較タイミング・チャート

ADCSTRTフラグをセットしたあと、2命令実行後にADCSTRTフラグが0にリセットされます。この時点で、比較結果（ADCCMPフラグ）を読み出すことが可能となります。

図14 - 6 にタイミング・チャートを示します。

図14 - 6 A/Dコンバータ比較動作のタイミング・チャート



14.5 A/Dコンバータの使用法

14.5.1 1つの比較電圧との比較方法

次にプログラム例を示します。

例 AD0端子の入力電圧 V_{ADCIN} と比較電圧 V_{ADCREf} (127.5/256 V_{DD}) を比較し, $V_{ADCIN} < V_{ADCREf}$ ならAAAへ分岐し, $V_{ADCIN} > V_{ADCREf}$ ならBBBへ分岐する。

```

ADCR7  FLG          0.0EH.3  ; DBFの各ビットをADCRのデータ設定フラグとして定義
ADCR6  FLG          0.0EH.2
ADCR5  FLG          0.0EH.1
ADCR4  FLG          0.0EH.0
ADCR3  FLG          0.0FH.3
ADCR2  FLG          0.0FH.2
ADCR1  FLG          0.0FH.1
ADCR0  FLG          0.0FH.0

BANK15
INITFLG NOT PODPLD3, NOT PODPLD2, PODPLD1, NOT PODPLD0 ; POD1端子のプルダウン抵抗をオフ
BANK0
INITFLG, NOT ADCCH1, ADCCHO ; AD0端子をA/Dコンバータに設定
INITFLG ADCR7, NOT ADCR6, NOT ADCR5, NOT ADCR4 ;
INITFLG NOT ADCR3, NOT ADCR2, NOT ADCR1, NOT ADCR0 ;
PUT ADCR, DBF ; 比較電圧 $V_{ADCREf}$ の設定
SET1 ADCSTRT ; A/D変換の開始
NOP ; 2命令分のウエイト
NOP ;
SKT1 ADCCMP ; 比較結果の判定
BR AAA
BR BBB

```


14.5.2 バイナリ・サーチ方法による逐次比較

A/Dコンバータは1回の比較では、1つの比較電圧としか比較できません。

すなわち、入力電圧をデジタル信号に変換するためには、逐次比較をプログラムで行う必要があります。

このとき、入力電圧によって逐次比較プログラムの処理時間が異なっていると、他の処理プログラムとの関係で好ましくない場合があります。

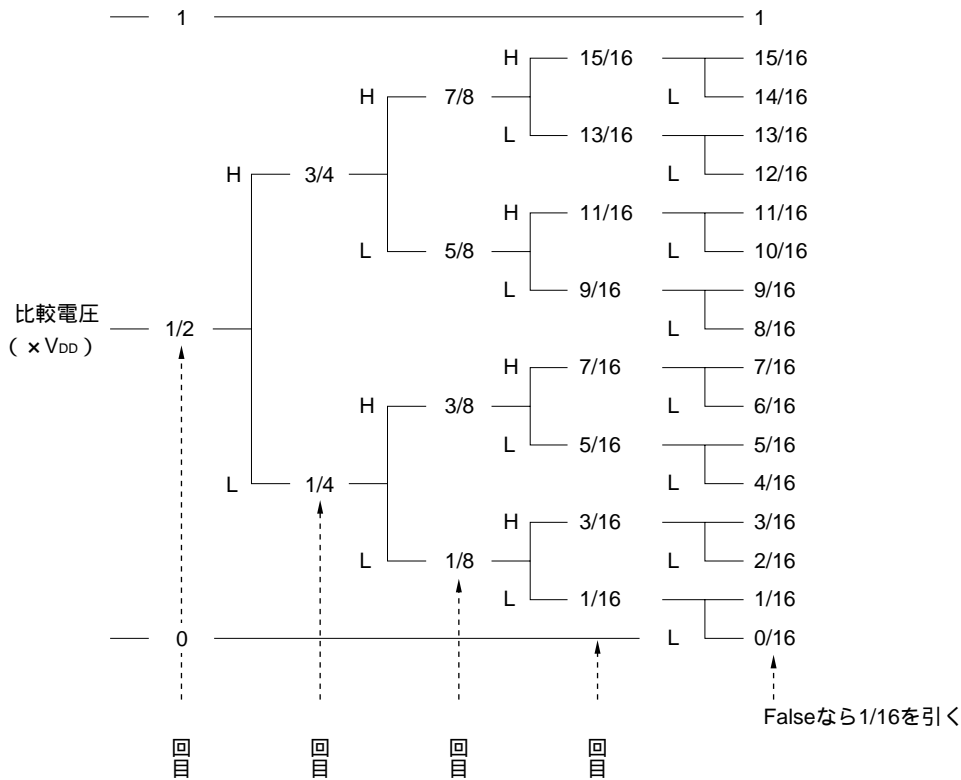
したがって、次の(1)-(3)に示すようなバイナリ・サーチ方法を使用すると便利です。

(1) バイナリ・サーチの概念

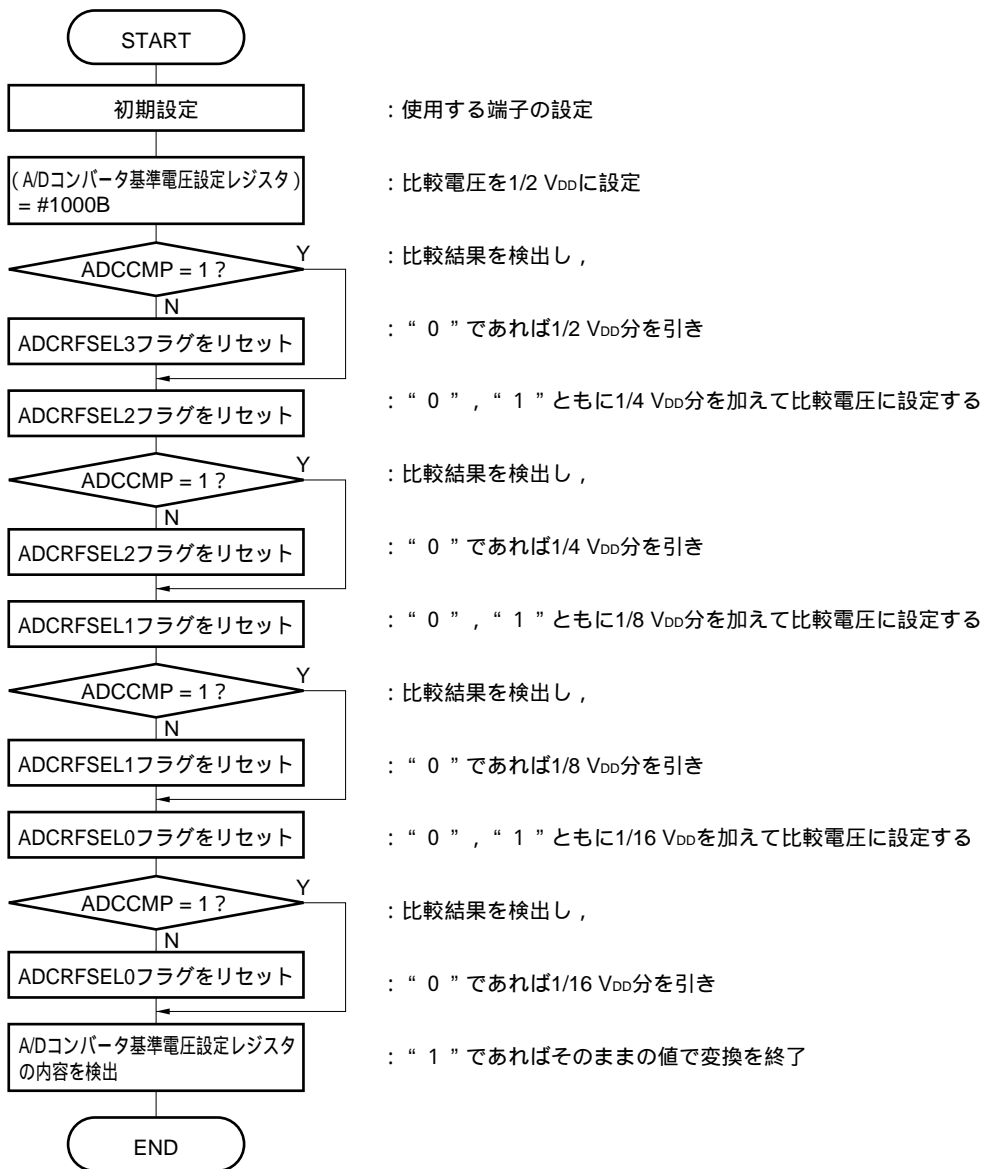
次にバイナリ・サーチの概念を示します。

まず比較電圧に $1/2V_{DD}$ を設定し、比較結果がTrue(ハイ・レベルが入力されている)であれば $1/4V_{DD}$ 分の電圧を加え、False(ロウ・レベルが入力されている)であれば $1/4V_{DD}$ 分の電圧を引き比較します。

同様に順次 $1/8V_{DD}$, $1/16V_{DD}$ まで比較し、4回目まで終了した時点でFalseであれば $1/16V_{DD}$ を引いて終了します。



(2) バイナリ・サーチ方法のフロー・チャート



(3) バイナリ・サーチ方式のプログラム例

```

START :
  BANK1
  INITFLG NOT ADCCH1, ADCCHO ; A/D0端子を選択
  INITFLG PODPLD1 ; A/D0端子のプルダウン抵抗をオフ
  INITFLG NOT ADCRFSEL3, ADCRFSEL2, ADCRFSEL1, ADRFSELO ; 比較電圧に7.5/16VDDを設定
  SET1 ADCSTRT ; A/Dコンパレータ動作開始
  NOP ; 2ウェイト
  NOP ;
  SKF1 ADCCMP ; ADCCMPを検出し,
  SET1 ADCRFSEL3 ; 0なら7.5/16VDDを加え
  CLR1 ADCRFSEL2 ; 3.5/16VDDを引く
  SET1 ADCSTRT ; A/Dコンパレータ動作開始
  NOP ; 2ウェイト
  NOP ;
  SKF1 ADCCMP ; ADCCMPを検出し,
  SET1 ADCRFSEL2 ; 0なら3.5/16VDDを加え
  CLR1 ADCRFSEL1 ; 1.5/16VDDを引く
  SET1 ADCSTRT ; A/Dコンパレータ動作開始
  NOP ; 2ウェイト
  NOP ;
  SKF1 ADCCMP ; ADCCMPを検出し,
  SET1 ADCRFSEL1 ; 0なら1.5/16VDDを加え
  CLR1 ADCRFSELO ; 0.5/16VDDを引く
  SET1 ADCSTRT ; A/Dコンパレータ動作開始
  NOP ; 2ウェイト
  NOP ;
  SKF1 ADCCMP ; ADCCMPを検出し,
  SET1 ADCRFSELO ; 0なら0.5/16VDDを加える
END :

```

14.6 A/Dコンバータ使用時の注意

14.6.1 A/Dコンバータ選択時の注意

P0D1/AD0-P0D3/AD2端子のどれか1本をA/Dコンバータとして使用すると、ほかの2本は強制的に入力ポートになります。P0D1/AD0-P0D3/AD2端子はBANK15のP0DPLD1-P0DPLD3フラグによりプルダウン抵抗のオン/オフが選択できます。したがって、P0D1/AD0-P0D3/AD2端子をA/Dコンバータとして使用する場合は、外部からのアナログ入力電圧を正しく検出するために必ずこれらのプルダウン抵抗をオフにしてください。

14.7 リセット時の状態

14.7.1 $\overline{\text{RESET}}$ 端子によるリセット時

P0D1/AD0-P0D3/AD2端子はすべて汎用入力ポートに設定されます。

P0D1-P0D3端子にはプルダウン抵抗が接続されます。

14.7.2 WDT & SPリセット時

P0D1/AD0-P0D3/AD2端子はすべて汎用入力ポートに設定されます。

P0D1-P0D3端子にはプルダウン抵抗が接続されます。

14.7.3 クロック・ストップ時

A/Dコンバータに設定されている端子はそのまま保持します。

P0D1-P0D3端子のプルダウン抵抗は以前の状態を保持します。

14.7.4 ホールト時

A/Dコンバータに設定されている端子はそのまま保持します。

P0D1-P0D3端子のプルダウン抵抗は以前の状態を保持します。

15. シリアル・インタフェース

15.1 シリアル・インタフェース概要

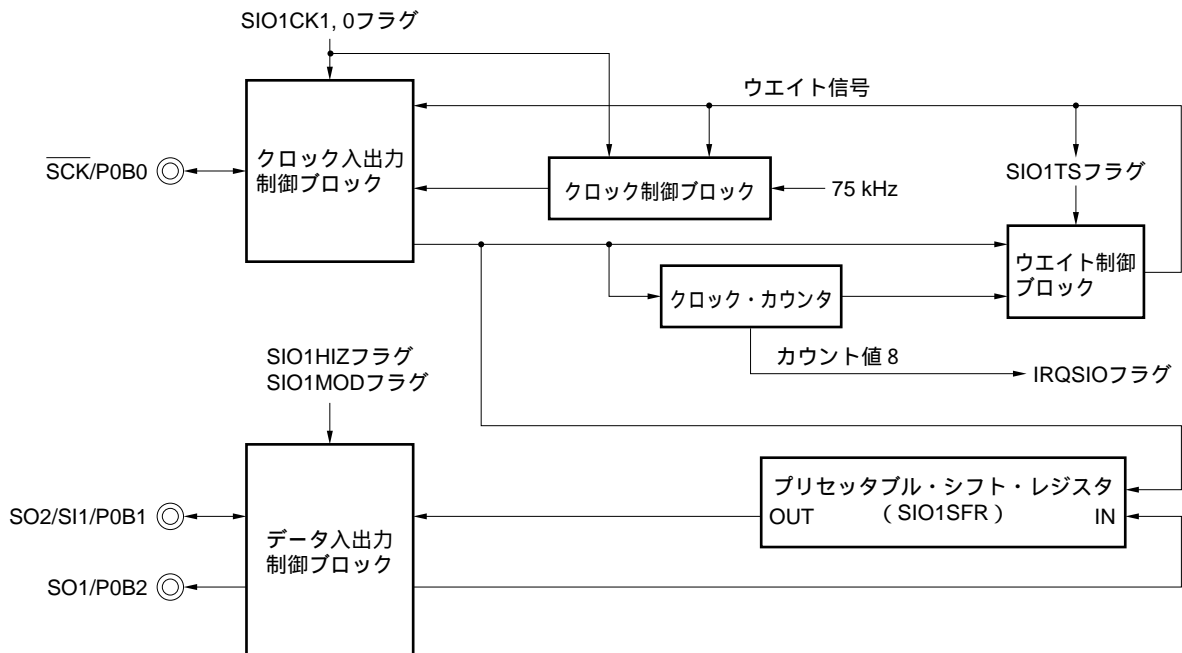
図15 - 1 にシリアル・インタフェースの概略を示します。

シリアル・インタフェースは、2 線式または 3 線式のシリアルI/O方式が使用できます。

2線式はSCK端子およびSO2/SI1端子を使用します。

3線式はSCK端子，SI1端子およびSO1端子を使用します。

図15 - 1 シリアル・インタフェース概略



備考 1 . SIO1CK1, 0 (シリアルI/Oクロック選択レジスタのビット1, 0 : 図15 - 2 参照)

シフト・クロックを設定

2 . SIO1TS (シリアルI/Oモード選択レジスタのビット 0 : 図15 - 3 参照)

通信の動作開始 / 停止を設定

3 . SIO1HIZ (シリアルI/Oモード選択レジスタのビット 1 : 図15 - 3 参照)

SO1/P0B2端子の機能を設定

4 . SIO1MOD (シリアルI/Oモード選択レジスタのビット 3 : 図15 - 3 参照)

SO2/SI1/P0B1端子の入力 / 出力の切り替え

15.2 クロック入力制御ブロックおよびデータ入出力制御ブロック

クロック入力制御ブロックおよびデータ入出力制御ブロックは、シリアル・インタフェースの使用端子（2線式または3線式）、送受信動作の制御、およびシフト・クロックの選択を行います。

クロック入力制御ブロックおよびデータ入出力制御ブロックを制御するフラグは、シリアルI/Oクロック選択レジスタおよびシリアルI/Oモード選択レジスタに配置されています。

図15 - 2 にシリアルI/Oクロック選択レジスタの構成と機能を示します。

図15 - 3 にシリアルI/Oモード選択レジスタの構成と機能を示します。

また、表15 - 1 に示すように、各端子の設定にはシリアル・インタフェースの制御フラグのほかに、各端子の入出力設定フラグも操作する必要があります。表15 - 1 に各制御フラグによる各端子の設定状態を示します。

SIO1CK1, 0フラグにより、内部クロック（マスタ）および外部クロック（スレーブ）動作を選択します。

SIO1HIZフラグはSO1/P0B2端子をシリアル・データ出力として使用するかを選択します。

SIO1MODフラグはSO2/SI1/P0B1端子をシリアル・データ入力（SI1端子）として使用するか、シリアル・データ出力（SO2端子）として使用するかの切り替えを行います。

図15 - 2 シリアルI/Oクロック選択レジスタの構成

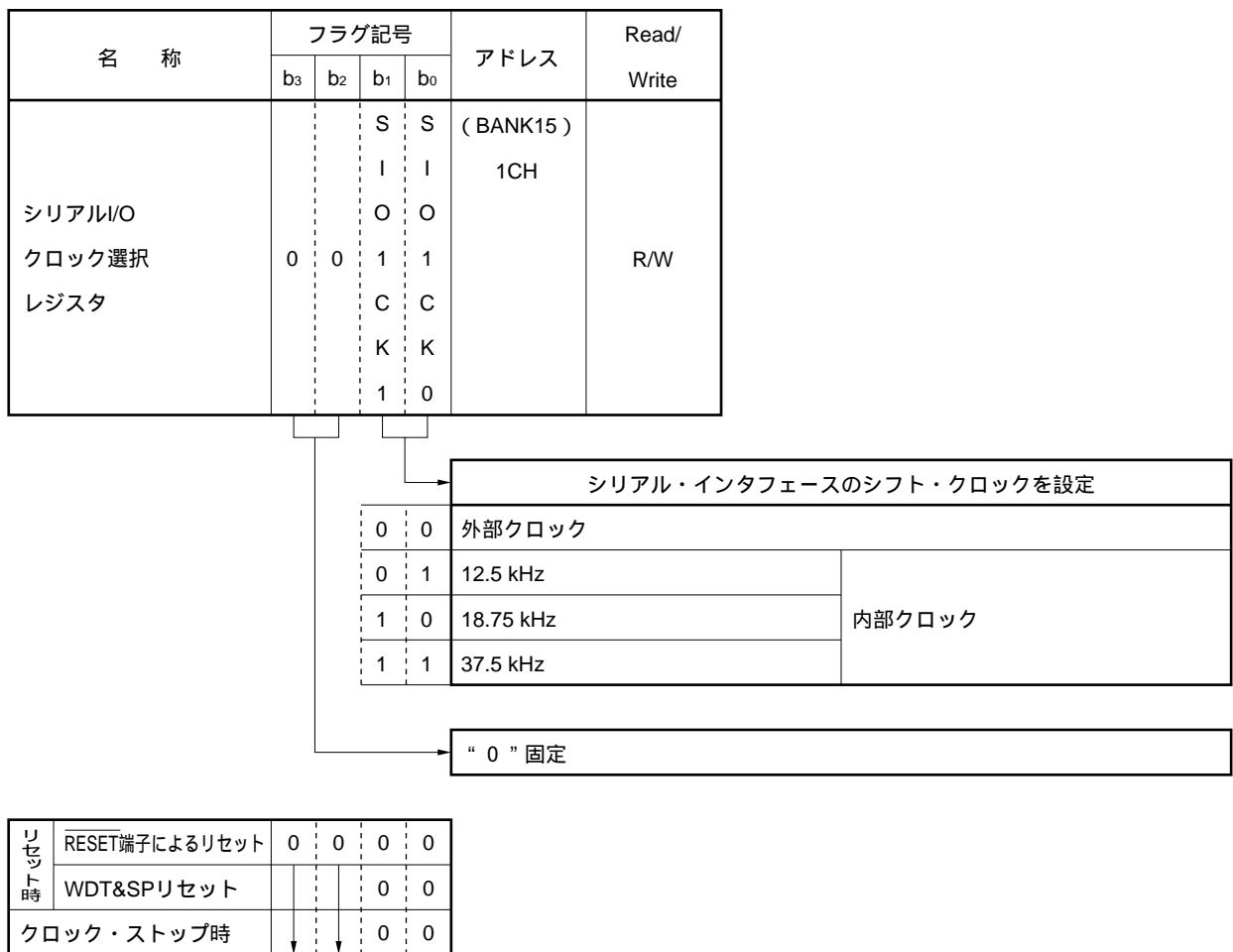
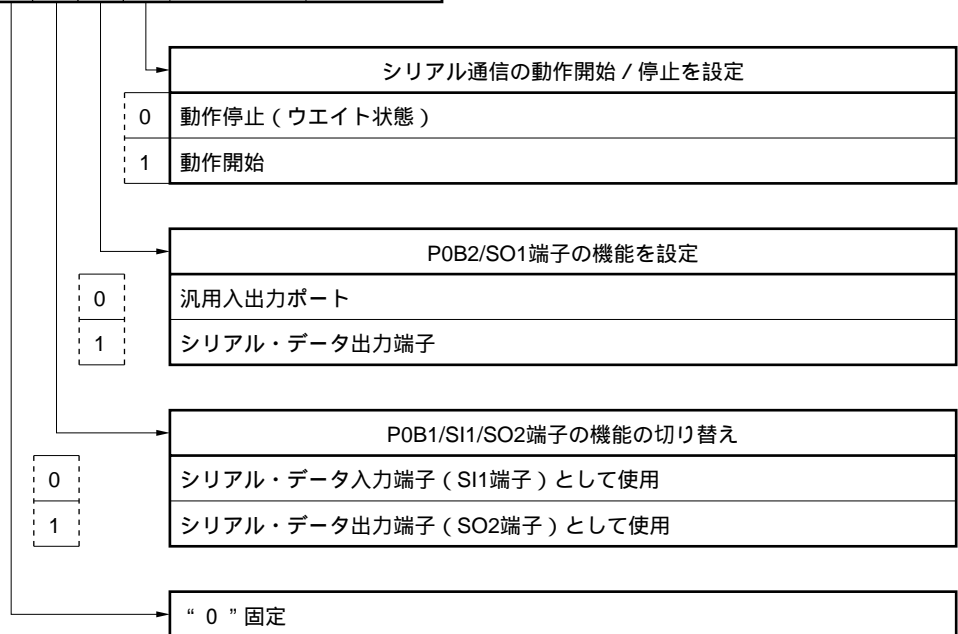


図15 - 3 シリアルI/Oモード選択レジスタの構成

名 称	フラグ記号				アドレス	Read/ Write
	b3	b2	b1	b0		
シリアルI/O モード選択 レジスタ		S	S	S	(BANK15)	R/W
		I	I	I	1DH	
		O	O	O		
	0	1	1	1		
		M	H	T		
		O	I	S		



リセット時	RESET端子によるリセット	0	0	0	0
	WDT&SPリセット			0	0
クロック・ストップ時				0	0

表15 - 1 各制御フラグによる各端子の設定状態

シリアル・インタフェースの各制御フラグ						各端子の入出力設定フラグ						
通信方式	SIO1MOD	シリアル入出力切り替え	SIO1HIZ	シリアル・インタフェース端子設定	SIO1CK1	SIO1CK0	端子名	P0B2	P0B1	P0B0	端子の設定状態	
3線式シリアルI/O ^{注1} および 2線式シリアルI/O ^{注2}					0	0	外部クロック	P0B0/SCK		0	ウエイト中 : 汎用入力ポート ウエイト解除中 : 外部クロック入力	
					0	1	内部クロック			1	汎用出力ポート	
					1	0				0	汎用入力ポート	
					1	1				1	ウエイト中 : 内部クロック出力待ち ウエイト解除中 : 内部クロック出力	
	0	入力 (受信)						P0B1/SI1/SO2		0	ウエイト中 : 汎用入力ポート ウエイト解除中 : シリアル入力	
										1	汎用出力ポート	
	1	出力 (送信)								0	ウエイト中 : シリアル出力待ち ウエイト解除中 : シリアル出力	
										1	汎用出力ポート	
			0	汎用入出力ポート				P0B2/SO1	0			汎用入力ポート
			1	シリアル出力						1		汎用出力ポート

注1 . 3線式シリアルI/O方式を使用する場合には、必ずSIO1MOD = 0およびSIO1HIZ = 1に設定してください。

2 . 2線式シリアルI/O方式を使用する場合には、必ずSIO1HIZ = 0に設定してください。

15.2.1 2線式 / 3線式の設定方法

2線式シリアル・インタフェースは、 $\overline{\text{SCK}}/\text{P0B0}$ 端子と $\text{SO2}/\text{SI1}/\text{P0B1}$ 端子の2本を使用します。

$\overline{\text{SCK}}/\text{P0B0}$ 端子をシフト・クロック入出力端子として、 $\text{SO2}/\text{SI1}/\text{P0B1}$ 端子をシリアル・データ入出力端子として使用します。シリアル・インタフェースに使用しない $\text{SO1}/\text{P0B2}$ 端子は、 SIO1HIZ フラグにより汎用入出力ポートに設定します。

これにより2線式シリアル・インタフェースとなります。

3線式シリアル・インタフェースは、 $\overline{\text{SCK}}/\text{P0B0}$ 端子、 $\text{SO1}/\text{P0B2}$ 端子、および $\text{SO2}/\text{SI1}/\text{P0B1}$ 端子の3本を使用します。

$\overline{\text{SCK}}/\text{P0B0}$ 端子をシフト・クロックの入出力端子として、 $\text{SO1}/\text{P0B2}$ 端子をシリアル・データ出力端子、 $\text{SO2}/\text{SI1}/\text{P0B1}$ 端子をシリアル・データ入力端子として使用します。

2線式のときとは異なり、 $\text{SO1}/\text{P0B2}$ 端子は、 SIO1HIZ フラグによりシリアル・データ出力端子に設定します。また、 $\text{SO2}/\text{SI1}/\text{P0B1}$ 端子は、 SIO1MOD フラグによりシリアル・データ入力端子に設定します。

これにより3線式シリアル・インタフェースとなります。

15.2.2 2線式シリアル・インタフェースのデータ入出力の切り替え

2線式シリアル・インタフェースでは、 $\text{SO2}/\text{SI1}/\text{P0B1}$ 端子をシリアル・データの入出力に使用します。

$\text{SO2}/\text{SI1}/\text{P0B1}$ 端子をシリアル・データ入力端子（ SI1 端子）として使用するか、シリアル・データ出力端子（ SO2 端子）として使用するかの切り替えは、 SIO1MOD フラグによって行います（**図15-3 シリアル/Oモード選択レジスタの構成参照**）。

15.3 クロック制御ブロック

クロック制御ブロックは、内部クロック使用時（マスタ動作）のクロックの生成およびクロック出力タイミングの制御を行います。

内部クロックの周波数 f_{sc} は、シリアル/Oクロック選択レジスタの SIO1CK0 、 SIO1CK1 フラグにより設定します。

図15-2にシリアル/Oクロック選択レジスタの構成と機能を示します。

クロック生成タイミングについては、15.7 シリアル・インタフェースの動作を参照してください。

15.4 クロック・カウンタ

クロック・カウンタは、シフト・クロック端子（ $\overline{\text{SCK}}/\text{P0B0}$ 端子）から出力または入力するシフト・クロックをカウントします。

クロック・カウンタは、クロック用端子の状態を直接読み込むため、内部クロックであるのか外部クロックであるのかは判断できません。

クロック・カウンタの内容は直接プログラムで内容を読み込むことはできません。

クロック・カウンタの動作およびタイミング・チャートについては15.7 シリアル・インタフェースの動作を参照してください。

15.5 プリセッタブル・シフト・レジスタ

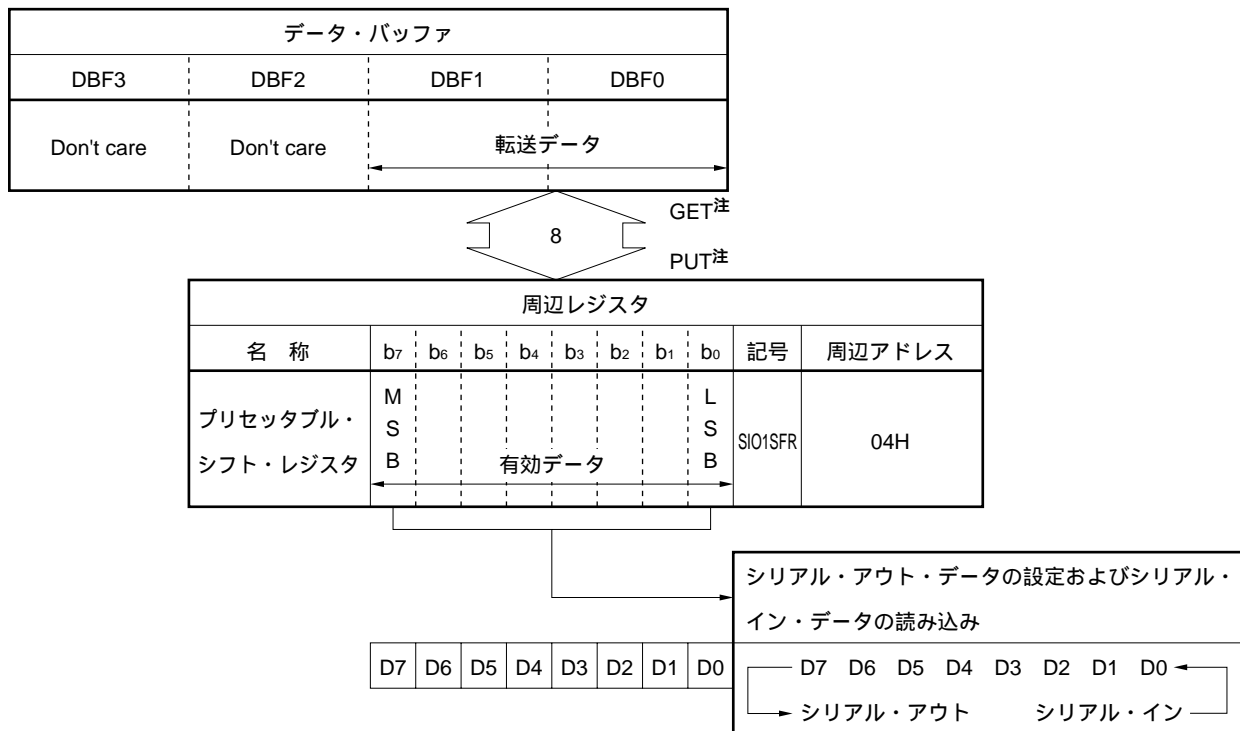
プリセッタブル・シフト・レジスタは、シリアル・アウト・データの書き込みおよびシリアル・イン・データの読み込みを行うための8ビットのシフト・レジスタです。

プリセッタブル・シフト・レジスタへのデータの書き込みおよびデータの読み出しは、データ・バッファを介してPUT命令とGET命令で行います。

プリセッタブル・シフト・レジスタは、シリアル・データ入出力端子から、シフト・クロックの立ち下がりに同期して最上位ビット（MSB）の内容を出力（送信動作時）し、シフト・クロックの立ち上がりに同期してデータを最下位ビット（LSB）に読み込みます。

図15 - 4 にプリセッタブル・シフト・レジスタの構成と機能を示します。

図15 - 4 プリセッタブル・シフト・レジスタの構成



注 シリアル通信中にPUTまたはGET命令を実行するとデータが破壊される場合があります。詳しくは15.8 データ設定時およびデータ読み込み時の注意を参照してください。

15.6 ウェイト制御ブロック

ウェイト制御ブロックは通信の休止（ウェイト）およびその解除を制御します。

シリアル/Oモード選択レジスタのSIO1TSフラグにウェイトの解除を設定することにより、シリアル通信がスタートします。

ウェイトが解除され、通信がスタートし、クロック・カウンタが“ 8 ”のときにシフト・クロックが立ち上がると再びウェイト状態になります。

通信状態はSIO1TSフラグにより検出できます。つまり、SIO1TSフラグに“ 1 ”を設定したあとにSIO1TSフラグの状態を検出することにより、通信状態を検出できます。

ウェイト解除中にSIO1TSフラグに“ 0 ”を書き込むとウェイト状態になります。これを強制ウェイトと呼びます。

シリアル/Oモード選択レジスタの構成と機能については図15 - 3 を参照してください。

15.7 シリアル・インタフェースの動作

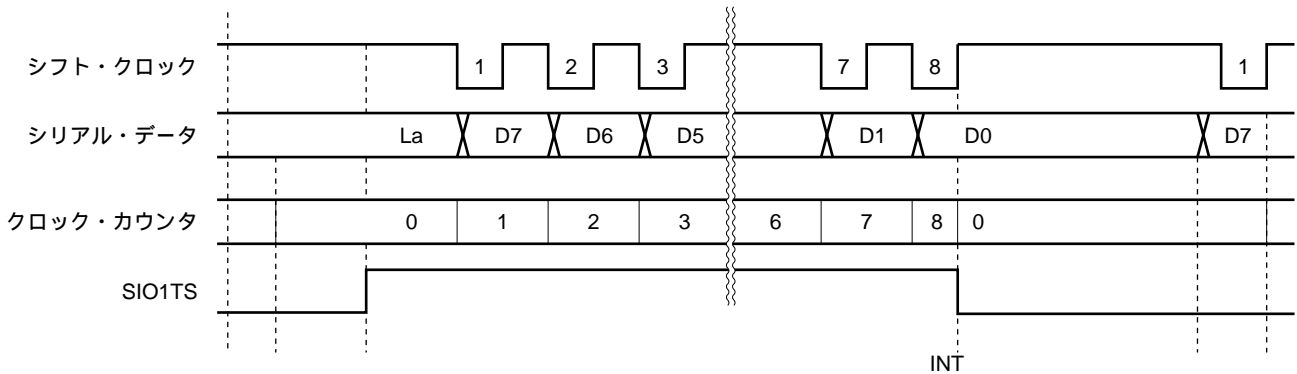
次にシリアル・インタフェースの各動作タイミングについて説明します。

2線式の場合も3線式の場合も、各動作のタイミングは同じです。

15.7.1 タイミング・チャート

図15 - 5 にタイミング・チャートを示します。

図15 - 5 シリアル・インタフェースのタイミング・チャート



- 備考**
- 初期状態（汎用入力ポート）
 - 汎用入出力ポートによるスタート条件生成
 - ウェイト解除
 - ウェイト・タイミング
 - 汎用入力ポートに設定
 - 汎用入出力ポートによるストップ条件生成

15.7.2 クロック・カウンタの動作

クロック・カウンタの初期値は“0”で、以後クロック用端子の立ち下がりが検出されるごとにインクリメントされます。“8”までにカウントされると、次のクロック用端子の立ち上がりで“0”にリセットされます。クロック・カウンタが“0”にリセットされた時点でシリアル通信はウェイトします。

次にクロック・カウンタのリセット条件を示します。

- パワーオン・リセット時
- クロック・ストップ命令実行時
- SIO1TSフラグに“0”が書き込まれたとき
- ウェイト解除中で、かつクロック・カウンタが“8”のときにシフト・クロックが立ち上がったとき

15.7.3 ウェイト動作と注意

ウェイトが解除されると次のクロックの立ち下がりでシリアル・データを出力し（送信動作時）、8クロックまでウェイト解除状態になります。

8クロック出力後は、シフト・クロック端子をハイ・レベルにしてクロック・カウンタおよびプリセッタブル・シフト・レジスタの動作を停止します。

ウェイト解除中であつシフト・クロック端子がハイ・レベルの期間に、プリセッタブル・シフト・レジスタのデータ書き込みおよび読み込みを行うと正しいデータが設定されないので注意してください。

ウェイト解除中であつシフト・クロック端子がロウ・レベルの期間に、プリセッタブル・シフト・レジスタのデータ書き込みを行うと、“PUT”命令が実行された時点でシリアル・データ出力端子にMSBの内容が出力されます。

ウェイト解除中に強制ウェイトを行うと、SIO1TSフラグに“0”が書き込まれた時点で即座にウェイト状態になります。

15.7.4 割り込み要求発行タイミング

8クロック送信（受信）時に割り込み要求が発行されます。

15.7.5 シフト・クロック生成タイミング

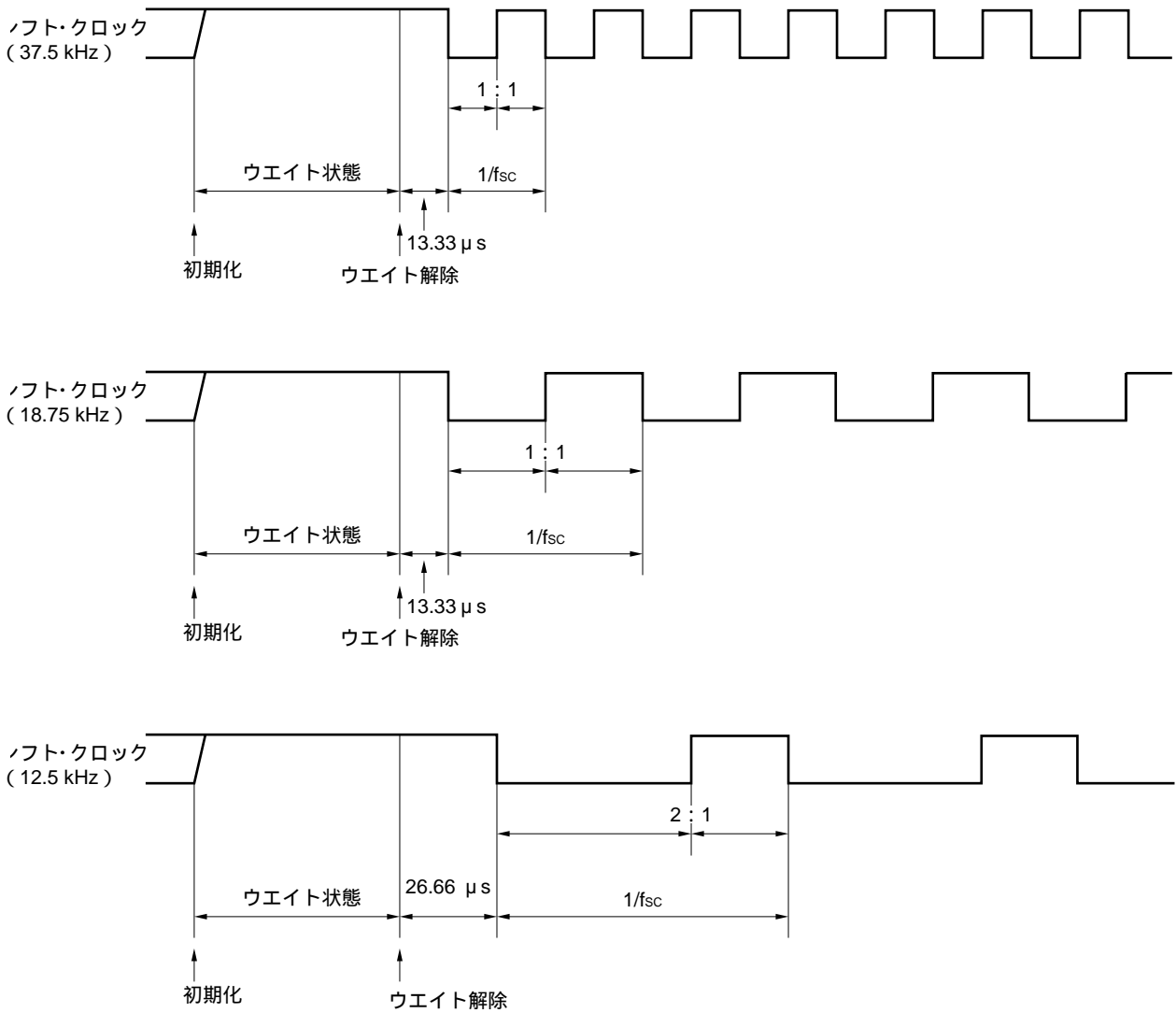
（1）初期状態からのウェイト解除時

初期状態とは、内部クロック動作を選択し、かつP0B0/ $\overline{\text{SCK}}$ 端子をハイ・レベル出力に設定した時点を示します。

ウェイト状態中は、シフト・クロック端子にハイ・レベルを出力します。

ウェイトの解除とクロックの選択を同時に行うこともできます。

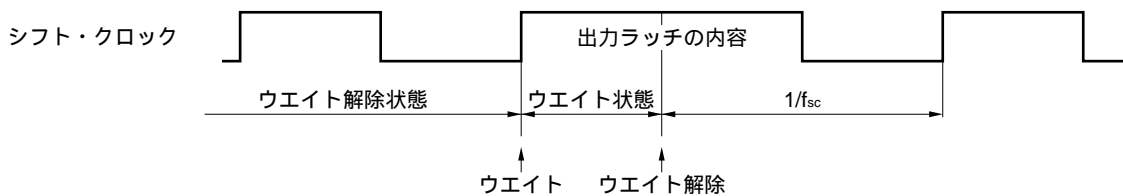
図15 - 6 シリアル・インタフェースのシフト・クロック生成タイミング (1/4)



(2) ウェイト動作を行ったとき

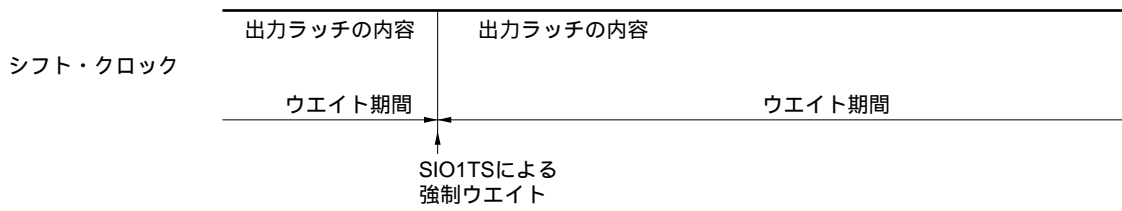
(a) 8クロック目でウェイトしたとき (通常動作)

図15 - 6 シリアル・インタフェースのシフト・クロック生成タイミング (2/4)



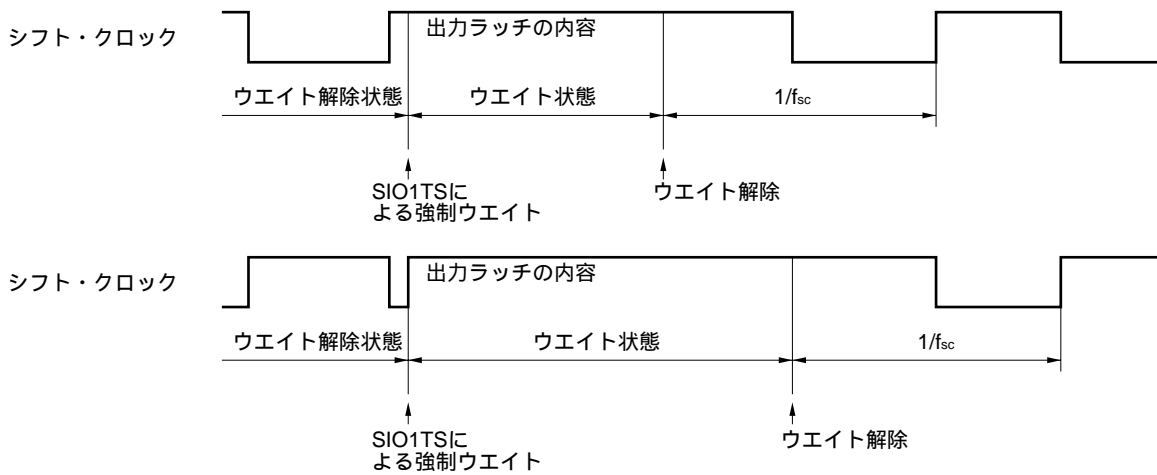
(b) ウェイト中に強制ウェイトしたとき

図15 - 6 シリアル・インタフェースのシフト・クロック生成タイミング (3/4)



(c) ウェイト解除中に強制ウェイトしたとき

図15 - 6 シリアル・インタフェースのシフト・クロック生成タイミング (4/4)



(d) ウェイト解除中にウェイト解除したとき

クロック出力波形は変化しません。クロック・カウンタもリセットされません。ただし、ウェイト解除中にクロック周波数は変更しないでください。

15.8 データ設定時およびデータ読み込み時の注意

プリセッタブル・シフト・レジスタへのデータの設定は，“PUT SIO1SFR, DBF”命令で行います。

また，データの読み込みは“GET DBF, SIO1SFR”命令で行います。

データの設定およびデータの読み込みはウエイト状態中に行ってください。ウエイト解除状態中はシフト・クロック端子の状態により正しくデータの設定および読み込みができない場合があります。

次にデータの設定および読み込みのタイミングと注意を示します。

表15 - 2 プリセッタブル・シフト・レジスタのデータ読み込みおよびデータ書き込み動作と注意

PUT/GET実行時の状態		シフト・クロック端子の状態	プリセッタブル・シフト・レジスタの動作
ウエイト状態	読み込み時 (GET)	外部クロック時 フローティング	正常読み込み
	書き込み時 (PUT)	内部クロック時 出力ラッチの値 通常ハイ・レベルで使用する	<p>正常書き込み</p> <p>データの出力は次にウエイトが解除されてシフト・クロックが立ち下がったときにMSBの内容を出力する（送信動作時）</p>
ウエイト解除状態	読み込み時 (GET)	ロウ・レベル	正常読み込み
		ハイ・レベル	正常に読み込めない SIO1SFRの内容が破壊される
	書き込み時 (PUT)	ロウ・レベル	正常に書き込めない SIO1SFRの内容が破壊される
		ハイ・レベル	<p>正常書き込み</p> <p>データの出力はPUT命令を実行した時点でMSBの内容を出力する クロック・カウンタはリセットされない</p>

15.9 動作モードと各部の動作概要

表15 - 3 , 表15 - 4 に動作モードと各部の動作概要を示します。

表15 - 3 3線式シリアル/O方式動作概要

動作モード		スレーブ動作 (SIO1CK1 = SIO1CK0 = 0)		マスタ動作 (SIO1CK1 = SIO1CK0 = 0以外)	
		ウェイト中 (SIO1TS = 0)	ウェイト解除中 (SIO1TS = 1)	ウェイト中 (SIO1TS = 0)	ウェイト解除中 (SIO1TS = 1)
各端子の状態	SCK/P0B0	P0BBIO0 = 0のとき 汎用入力ポート	P0BBIO0 = 0のとき 外部クロック入力	P0BBIO0 = 0のとき 汎用入力ポート	P0BBIO0 = 0のとき 汎用入力ポート
		P0BBIO0 = 1のとき 汎用出力ポート	P0BBIO0 = 1のとき 汎用出力ポート	P0BBIO0 = 1のとき 内部クロック出力待ち	P0BBIO0 = 1のとき 内部クロック出力
	S11/SO2/P0B1	SIO1MOD = 0			
	P0BBIO1 = 0のとき 汎用入力ポート	P0BBIO1 = 0のとき シリアル入力	P0BBIO1 = 0のとき 汎用入力ポート	P0BBIO1 = 0のとき シリアル入力	
	P0BBIO1 = 1のとき 汎用出力ポート	P0BBIO1 = 1のとき 汎用出力ポート	P0BBIO1 = 1のとき 汎用出力ポート	P0BBIO1 = 1のとき 汎用出力ポート	
	SO1/P0B2	SIO1HIZ = 1			
		シリアル出力待ち	シリアル出力	シリアル出力待ち	シリアル出力
クロック・カウンタ		SCK端子の立ち下がりでインクリメント			
プリセットブル・シフト・レジスタの動作	出力	SIO1HIZ = 0のとき 出力されない SIO1HIZ = 1のとき SCK端子の立ち上がりごとに、MSBからシフトしてSO1端子から出力			
	入力	SIO1MOD = 0のとき SCK端子の立ち上がりごとに、LSBからシフトしてS11端子の状態を入力 ただし、S11端子が出力ポートに設定されている場合は、出力ラッチの内容が入力される			

表15 - 4 2線式シリアルI/O方式動作概要

動作モード		スレーブ動作 (SIO1CK1 = SIO1CK0 = 0)		マスタ動作 (SIO1CK1 = SIO1CK0 = 0以外)	
		ウェイト中 (SIO1TS = 0)	ウェイト解除中 (SIO1TS = 1)	ウェイト中 (SIO1TS = 0)	ウェイト解除中 (SIO1TS = 1)
各端子の状態	SCK/P0B0	P0BBIO0 = 0のとき 汎用入力ポート	P0BBIO0 = 0のとき 外部クロック入力	P0BBIO0 = 0のとき 汎用入力ポート	P0BBIO0 = 0のとき 汎用入力ポート
		P0BBIO0 = 1のとき 汎用出力ポート	P0BBIO0 = 1のとき 汎用出力ポート	P0BBIO0 = 1のとき 内部クロック出力待ち	P0BBIO0 = 1のとき 内部クロック出力
	SI1/SO2/P0B1	SIO1MOD = 0			
		P0BBIO1 = 0のとき 汎用入力ポート	P0BBIO1 = 0のとき シリアル入力	P0BBIO1 = 0のとき 汎用入力ポート	P0BBIO1 = 0のとき シリアル入力
		P0BBIO1 = 1のとき 汎用出力ポート	P0BBIO1 = 1のとき 汎用出力ポート	P0BBIO1 = 1のとき 汎用出力ポート	P0BBIO1 = 1のとき 汎用出力ポート
		SIO1MOD = 1			
		P0BBIO1に関係なく シリアル出力待ち	P0BBIO1に関係なく シリアル出力	P0BBIO1に関係なく シリアル出力待ち	P0BBIO1に関係なく シリアル出力
	SO1/P0B2	SIO1HIZ = 0			
		P0BBIO2 = 0のとき 汎用入力ポート	P0BBIO2 = 0のとき シリアル入力	P0BBIO2 = 0のとき 汎用入力ポート	P0BBIO2 = 0のとき シリアル入力
		P0BBIO2 = 1のとき 汎用出力ポート	P0BBIO2 = 1のとき 汎用出力ポート	P0BBIO2 = 1のとき 汎用出力ポート	P0BBIO2 = 1のとき 汎用出力ポート
SIO1HIZ = 1					
	P0BBIO2に関係なく シリアル出力待ち	P0BBIO2に関係なく シリアル出力	P0BBIO2に関係なく シリアル出力待ち	P0BBIO2に関係なく シリアル出力	
クロック・カウンタ	SCK端子の立ち下がりでインクリメント				
プリセットブル・シフト・レジスタの動作	出力	SIO1SEL = 1のとき SCK端子の立ち下がりごとに、MSBからシフトしてSO2端子から出力			
	入力	SIO1SEL = 0のとき SCK端子の立ち上がりごとに、LSBからシフトしてSI1端子の状態を入力 ただし、SI1端子が出力ポートに設定されている場合は、出力ラッチの内容が入力される			

15.10 リセット時の状態

15.10.1 $\overline{\text{RESET}}$ 端子によるリセット時

P0B0/ $\overline{\text{SCK}}$ 端子, P0B1/SI1/SO2, P0B2/SO1端子は汎用入力ポートに設定されます。
プリセッタブル・シフト・レジスタの内容は不定になります。

15.10.2 WDT&SPリセット時

P0B0/ $\overline{\text{SCK}}$ 端子, P0B1/SI1/SO2, P0B2/SO1端子は汎用入力ポートに設定されます。
プリセッタブル・シフト・レジスタの内容は不定になります。

15.10.3 クロック・ストップ時

各端子は設定されている状態を保持します。
プリセッタブル・シフト・レジスタの内容は以前の状態を保持します。

15.10.4 ホールト時

各端子は設定されている状態を保持します。
内部クロックはHALT命令実行時の状態で出力を停止します。
外部クロックを使用している場合はHALT命令を実行しても動作を継続します。

16 . PLL周波数シンセサイザ

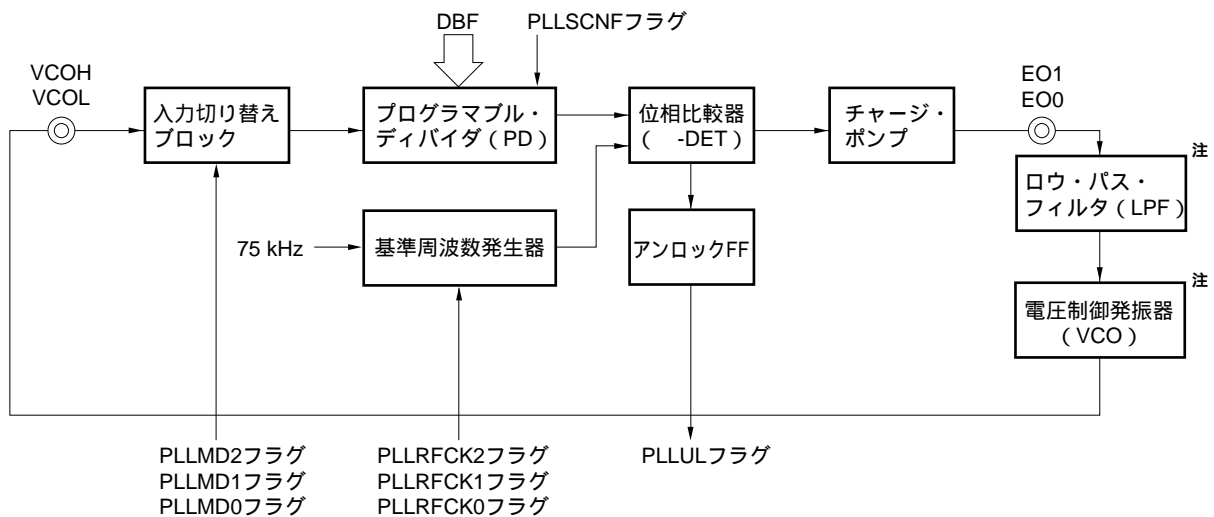
PLL (Phase Locked Loop) 周波数シンセサイザは , MF (Medium Frequency) , HF (High Frequency) および VHF (Very High Frequency) 帯の周波数を位相差比較方式により一定周波数にロックさせるために使用します。

16.1 PLL周波数シンセサイザ概要

図16 - 1 にPLL周波数シンセサイザの概要を示します。外部にロウ・パス・フィルタ (LPF) , 電圧制御発振器 (VCO) を接続することによりPLL周波数シンセサイザを構成できます。

PLL周波数シンセサイザは , VCOH端子またはVCOL端子から入力された信号をプログラマブル・ディバイダで分周し , 基準周波数との位相差をEO0およびEO1端子から出力します。

図16 - 1 PLL周波数シンセサイザ概要



注 外部回路です。

備考 1 . PLLMD2, PLLMD1, PLLMD0 (PLLモード選択レジスタのビット 2 , ビット 1 , ビット 0 : 図16 - 3 参照)

PLL周波数シンセサイザの分周方式を設定

2 . PLLSCNF (PLLモード選択レジスタのビット3 : 図16 - 3 参照)

スワロ・カウンタの最下位ビットの設定

3 . PLLRFCK2-PLLRFCK0 (PLL基準周波数選択レジスタのビット 2 - ビット 0 : 図16 - 6 参照)

PLL周波数シンセサイザの基準周波数 f_r を設定

4 . PLLUL (PLLアンロックFFレジスタのビット 0 : 図16 - 9 参照)

PLLアンロックFF状態の検出

16.2 入力切り替えブロックおよびプログラマブル・ディバイダ

16.2.1 入力切り替えブロックおよびプログラマブル・ディバイダの構成と機能

図16 - 2 に入力切り替えブロックおよびプログラマブル・ディバイダの構成を示します。

入力切り替えブロックは，PLL周波数シンセサイザの入力端子および分周方式を選択します。

入力端子にはVCOH端子とVCOL端子が選択できます。

選択された端子は中間電位（約1/2 V_{DD}）になります。選択されていない端子は内部でプルダウンされます。

これらの端子の入力は交流アンプとなっていますので，入力信号の直流分は端子に直列に挿入するコンデンサでカットしてください。

分周方式には直接分周方式とパルス・スワロ方式が選択できます。

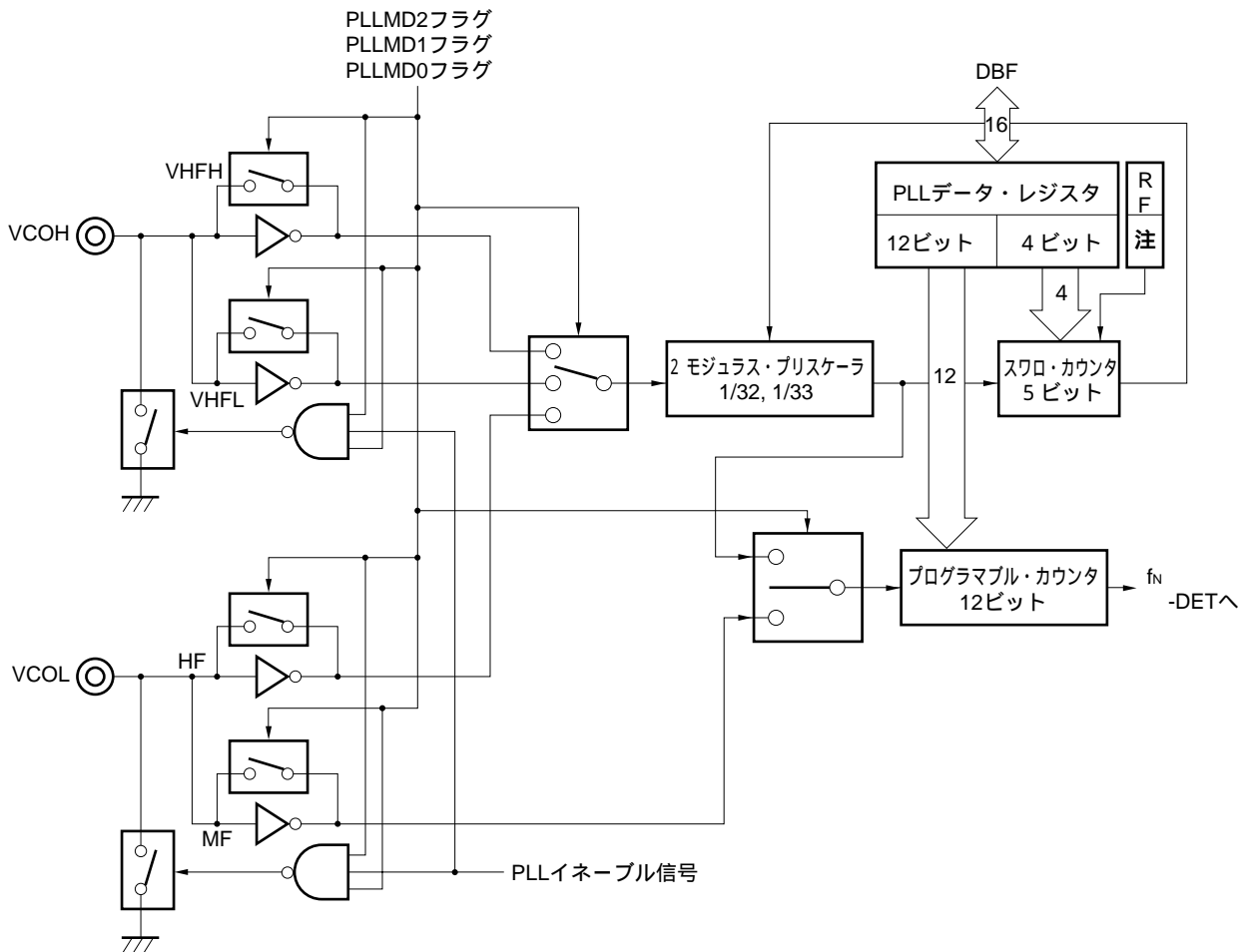
プログラマブル・ディバイダは，スワロ・カウンタおよびプログラマブル・カウンタに設定された値により各分周方式による分周を行います。

使用する入力端子と分周方式の選択は，PLLモード選択レジスタにより行います。

図16 - 3 にPLLモード選択レジスタの構成を示します。

プログラマブル・ディバイダへの分周値の設定は，データ・バッファを介してPLLデータ・レジスタにより行います。

図16 - 2 入力切り替えブロックおよびプログラマブル・ディバイダの構成



注 PLLSCNFフラグ

図16 - 3 PLLモード選択レジスタの構成



16.2.2 各分周方式の概要

(1) 直接分周方式 (MF)

VCOL端子を使用します。

VCOH端子はプルダウンされます。

直接分周方式は、プログラマブル・カウンタのみで分周を行います。

(2) パルス・スワロ方式 (HF)

VCOL端子を使用します。

VCOH端子はプルダウンされます。

パルス・スワロ方式は、スワロ・カウンタおよびプログラマブル・カウンタで分周を行います。

(3) パルス・スワロ方式 (VHFL, VHFH)

VCOH端子を使用します。

VCOL端子はプルダウンされます。

パルス・スワロ方式は、スワロ・カウンタおよびプログラマブル・カウンタで分周を行います。

(4) VCOL, VCOH端子ディスエーブル

VCOL端子およびVCOH端子のみ内部でプルダウンされ、ほかのブロックは動作します。

16.2.3 プログラマブル・ディバイダとPLLデータ・レジスタ

プログラマブル・ディバイダは、スワロ・カウンタおよびプログラマブル・カウンタで構成されており、それぞれ5ビットおよび12ビットの17ビット・バイナリ・ダウン・カウンタになっています。

PLLデータ・レジスタの上位12ビットにプログラマブル・カウンタ、下位4ビットにスワロ・カウンタの上位4ビットが配置されており、データ・バッファを介してデータの設定を行います。

スワロ・カウンタの最下位ビットは、コントロール・レジスタのPLLSCNFフラグにデータを設定します。

分周する値は“N値”と呼びます。

各分周方式時の分周値(N値)の設定については16.6 PLL周波数シンセサイザの使用方を参照してください。

(1) PLLデータ・レジスタとデータ・バッファ

図16-4にPLLデータ・レジスタとデータ・バッファの関係を示します。

直接分周方式時は上位12ビットが有効になり、パルス・スワロ方式時は17ビットすべてが有効になります。

直接分周方式時は12ビットすべてがプログラマブル・カウンタに設定されます。

パルス・スワロ方式時は上位12ビットがプログラマブル・カウンタに設定され、下位5ビットがスワロ・カウンタに設定されます。

(2) プログラマブル・ディバイダの分周値Nと分周出力周波数の関係

PLLデータ・レジスタに設定された値“N”と、プログラマブル・ディバイダにより分周されて出力される信号の周波数“ f_N ”は次のようになります。

詳しくは、16.6 PLL周波数シンセサイザの使用方を参照してください。

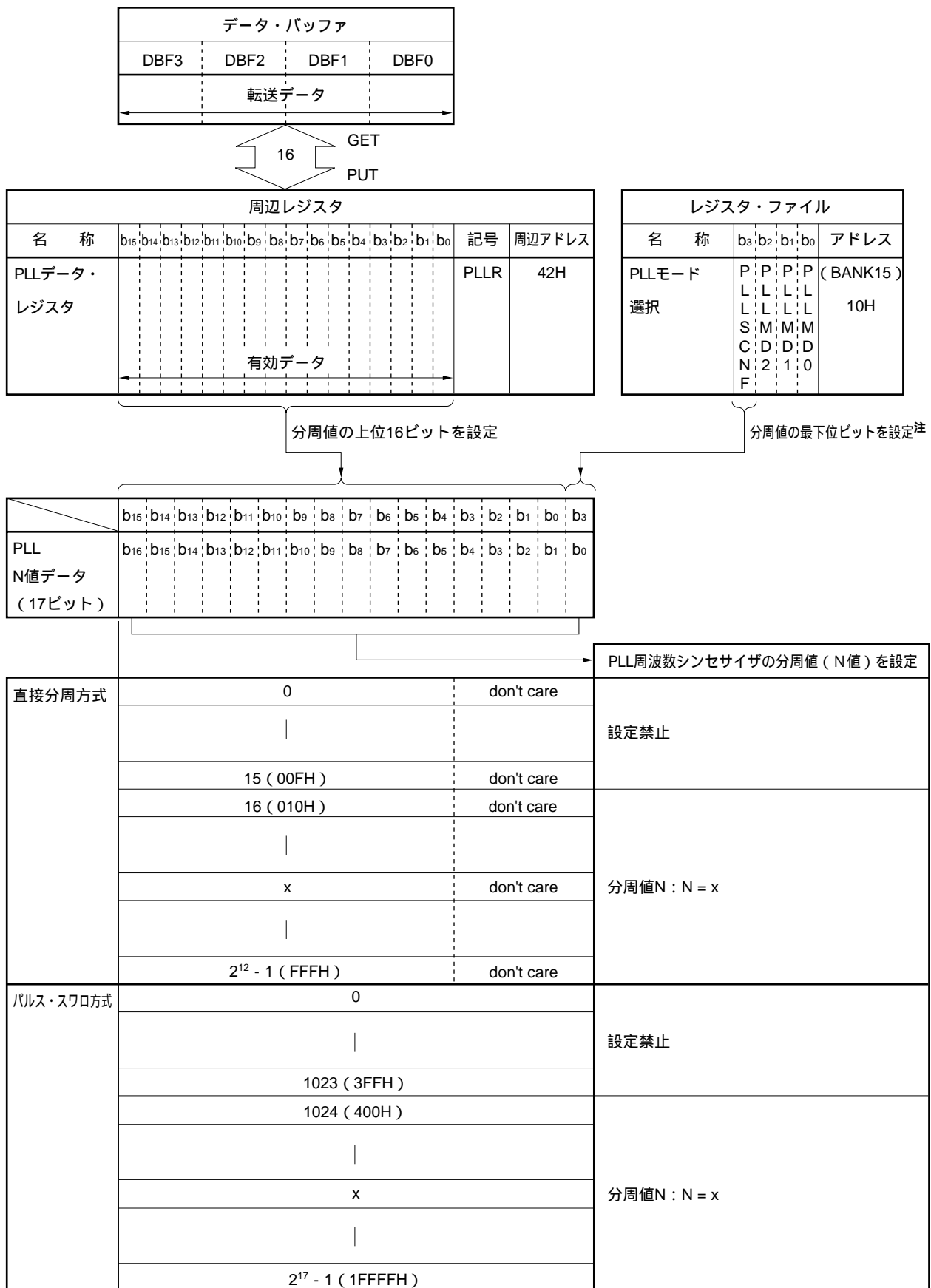
(a) 直線分周方式時 (MF)

$$f_N = \frac{f_{IN}}{N} \quad N : 12\text{ビット}$$

(b) パルス・スワロ方式時 (HF, VHFL, VHFH)

$$f_N = \frac{f_{IN}}{N} \quad N : 17\text{ビット}$$

図16 - 4 PLL周波数シンセサイザの分周値 (N値) の設定方法



注 PLLSCNFフラグの値は、PLLデータ・レジスタ (PLL R) に書き込み命令 (PUT) が実行された時点で転送されます。したがって、PLLデータ・レジスタに書き込み命令を行う前にPLLSCNFフラグにデータをセットしておく必要があります。

16.3 基準周波数発生器

図16 - 5 に基準周波数発生器の構成を示します。

基準周波数発生器は、水晶発振の75 kHzを分周してPLL周波数シンセサイザの基準周波数“ f_r ”を発生します。

基準周波数 f_r は1, 3, 5, 6.25, 12.5, 25 kHzの6種類を選択できます。

基準周波数 f_r の選択はPLL基準周波数選択レジスタにより行います。

図16 - 6 にPLL基準周波数選択レジスタの構成と機能を示します。

図16 - 5 基準周波数発生器の構成

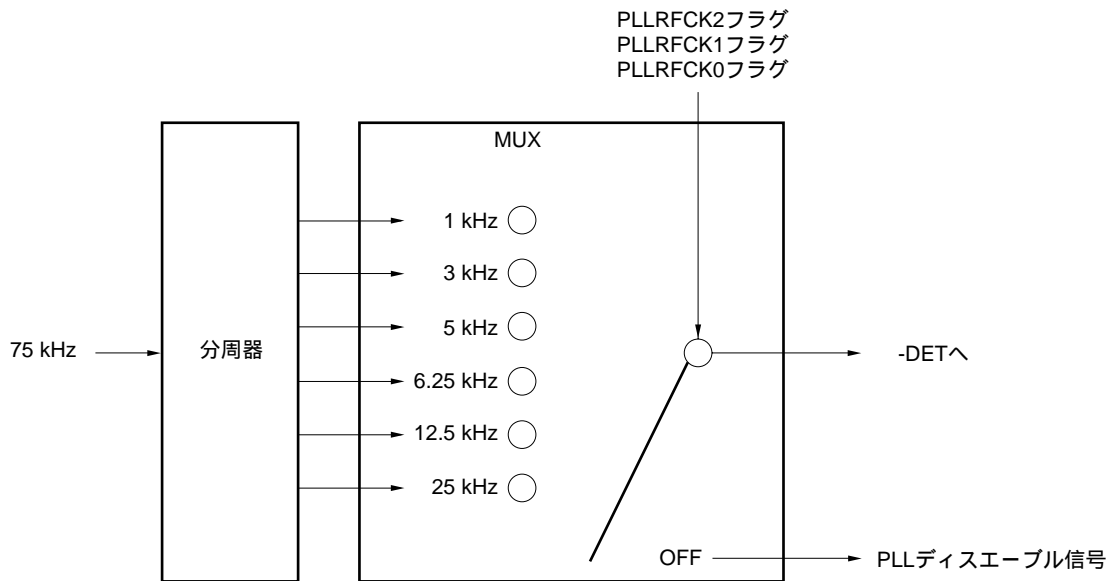


図16 - 6 PLL基準周波数選択レジスタの構成

名称	フラグ記号				アドレス	Read/Write
	b3	b2	b1	b0		
PLL基準周波数選択	0	P	P	P	(BANK15) 11H	R/W
		L	L	L		
		L	L	L		
		R	R	R		
		F	F	F		
		C	C	C		
		K	K	K		
		2	1	0		



リセット時	RESET端子によるリセット	0	1	1	1
	WDT & SPリセット	0	1	1	1
クロック・ストップ時		0	1	1	1

備考 PLL基準周波数選択レジスタによりPLLディスエーブルを選択したときは、VCOH端子、VCOL端子が内部でプルダウンされます。また、EO1端子、EO0端子はフローティングとなります。

16.4 位相比較器 (-DET) , チャージ・ポンプおよびアンロックFF

16.4.1 位相比較器, チャージ・ポンプおよびアンロックFFの構成

図16 - 7 に位相比較器, チャージ・ポンプおよびアンロックFFの構成を示します。

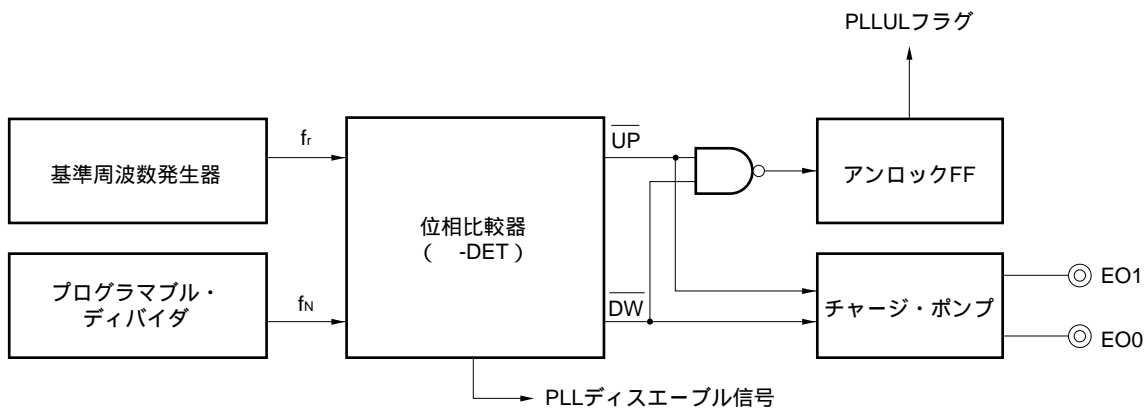
位相比較器は, プログラマブル・ディバイダの分周周波数出力 “fn” と基準周波数発生器の基準周波数出力 “fr” の位相を比較し, アップ要求信号 (\overline{UP}) およびダウン要求信号 (\overline{DW}) を出力します。

チャージ・ポンプは位相比較器の出力をエラー・アウト端子 (EO1端子およびEO0端子) から出力します。

アンロックFFは, PLL周波数シンセサイザのアンロック状態を検出します。

16.4.2-16.4.4 にそれぞれ位相比較器, チャージ・ポンプおよびアンロックFFの動作を示します。

図16 - 7 位相比較器, チャージ・ポンプおよびアンロックFFの構成



16.4.2 位相比較器の機能

図16 - 7 に示したように位相比較器は、プログラマブル・ディバイダの分周出力 “ f_N ” と基準周波数 “ f_r ” の位相を比較し、アップ要求信号およびダウン要求信号を出力します。

すなわち、分周周波数 f_N が基準周波数 f_r より低い周波数であればアップ要求を出力し、分周周波数 f_N が基準周波数 f_r より高い周波数であればダウン要求を出力します。

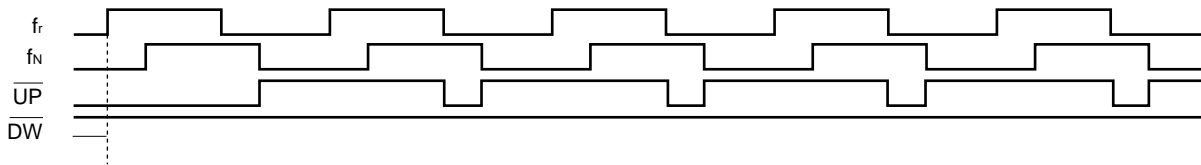
図16 - 8 に基準周波数 f_r 、分周周波数 f_N 、アップ要求信号、ダウン要求信号の関係を示します。

PLLディスエーブル時は、アップ要求およびダウン要求とも出力されません。

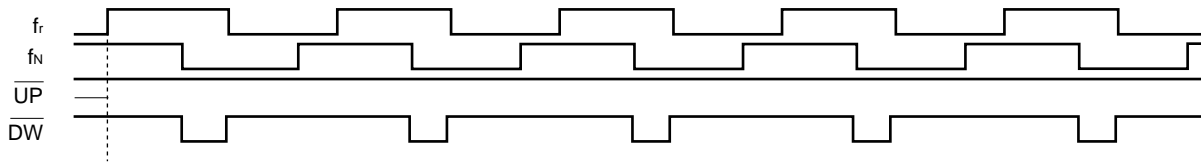
アップ要求およびダウン要求はそれぞれチャージ・ポンプおよびアンロックFFへ入力されます。

図16 - 8 f_r , f_N , \overline{UP} , \overline{DW} 信号の関係

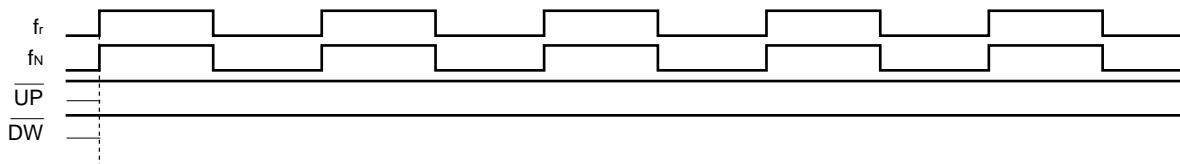
(a) f_N が f_r より位相が遅れているとき



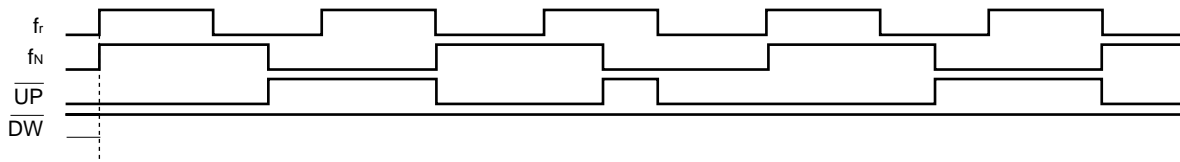
(b) f_N が f_r より位相が進んでいるとき



(c) f_N と f_r の位相が同じとき



(d) f_N が f_r より周波数が低いとき



16.4.3 チャージ・ポンプ

図16 - 7 に示したようにチャージ・ポンプは、位相比較器からのアップ要求信号およびダウン要求信号をエラー・アウト端子 (EO1端子およびEO0端子) から出力します。

したがって、エラー・アウト端子の出力と分周周波数 f_N および基準周波数 f_r の関係は次のようになります。

基準周波数 $f_r >$ 分周周波数 f_N のとき：ロウ・レベル出力

基準周波数 $f_r <$ 分周周波数 f_N のとき：ハイ・レベル出力

基準周波数 $f_r =$ 分周周波数 f_N のとき：フローティング

16.4.4 アンロックFF

図16 - 7 に示したようにアンロックFFは、位相比較器のアップ要求信号およびダウン要求信号から、PLL周波数シンセサイザのアンロック状態を検出します。

すなわち、アンロック状態中はアップ要求またはダウン要求信号のどちらか一方がロウ・レベルを出力するため、このロウ・レベル信号によりアンロック状態を検出します。

アンロック状態であると、アンロックFFがセット (1) されます。

アンロックFFは、そのとき選択されている基準周波数 f_r の周期でセットされます。また、PLLアンロックFFレジスタの内容を読み込む (PEEK命令) とリセットされます (Read & Reset) 。

したがって、アンロックFFの検出は基準周波数 f_r の周期 $1/f_r$ より長い周期で検出する必要があります。

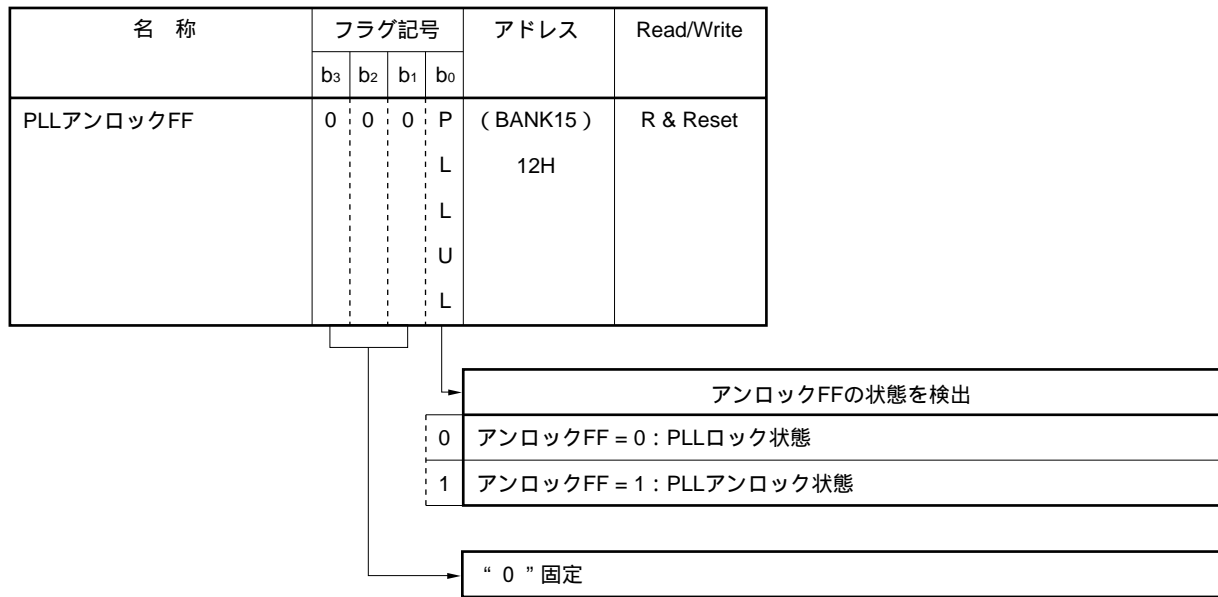
アンロックFFの状態は、PLLアンロックFFレジスタにより検出します。図16 - 9 にPLLアンロックFFレジスタの構成を示します。

このレジスタは読み出し専用レジスタであり、“ PEEK ” 命令でウインドウ・レジスタに内容を読み出すことによりリセットされます。

また、アンロックFFは基準周波数 f_r の周期でセットされるため、このレジスタをウインドウ・レジスタに読み込む場合は、基準周波数の周期 $1/f_r$ より長い周期で読み込む必要があります。

位相比較器のアップ、ダウン要求信号のディレイは、 $0.8 \mu\text{s}$ - $1.0 \mu\text{s}$ で固定されています。

図16 - 9 PLLアンロックFFレジスタの構成



リセット時	RESET端子によるリセット	0	0	0	不
	WDT & SPリセット				不
	クロック・ストップ時	↓	↓	↓	保

不 : 不定 保 : 保持

16.5 PLLディスエーブル状態

PLL周波数シンセサイザは、PLL基準周波数選択レジスタ（RFアドレス11H番地）によりPLLディスエーブルが選択されているときに動作を停止します。

表16 - 1 に各PLLディスエーブル条件時の各ブロックの動作を示します。

また、PLLモード選択レジスタにより、VCOL, VCOH端子ディスエーブル状態を選択したときは、VCOL端子およびVCOH端子のみ内部でプルダウンされ、ほかのブロックは動作します。

RESET端子によるリセット時はPLLディスエーブルになります。

表16 - 1 各PLLディスエーブル条件時の各ブロックの動作

条件 各ブロック	PLL基準周波数選択レジスタ = 0111B (PLLディスエーブル)	PLLモード選択レジスタ = 0000B (VCOH, VCOLディスエーブル)
VCOL, VCOH端子	内部でプルダウン	内部でプルダウン
プログラマブル・ ディバイダ	分周停止	動作する
基準周波数発生器	出力停止	動作する
位相比較器	出力停止	動作する
チャージ・ポンプ	エラー・アウト端子をフローティング	動作する ただし入力がないため通常はロウ・レベルを出力する

16.6 PLL周波数シンセサイザの使用方法

PLL周波数シンセサイザを制御するためには次に示すデータが必要です。

- (1) 分周方式 : 直接分周 (MF), パルス・スワロ (HF, VHFL, VHFH)
- (2) 使用端子 : VCOL, VCOH端子
- (3) 基準周波数 : f_r
- (4) 分周値 : N

16.6.1 から 16.6.3 に各分周方式 (MF, HF, VHFL, VHFH) 時のPLLデータ設定方法を示します。

16.6.1 直接分周方式 (MF)

(1) 分周方式の選択

PLLモード選択レジスタにより直接分周方式を選択します。

(2) 使用端子

直接分周方式を選択するとVCOL端子が動作可能になります。

(3) 基準周波数 f_r の設定

PLL基準周波数選択レジスタにより基準周波数を設定します。

(4) 分周値Nの計算方法

次のように計算します。

$$N = \frac{f_{\text{VCOL}}}{f_r}$$

f_{VCOL} : VCOL端子の入力周波数
 f_r : 基準周波数

(5) PLLデータ設定例

次に示すMWバンドの放送局を受信するためのデータ設定方法を示します。

受信周波数 : 1422 kHz (MWバンド)

基準周波数 : 3 kHz

中間周波数 : +450 kHz

分周値Nは

$$N = \frac{f_{\text{VCOL}}}{f_r} = \frac{1422 + 450}{3} = 624 \text{ (10進)}$$

$$= 270\text{H} \text{ (16進)}$$

PLLデータ・レジスタ, PLLモード選択レジスタおよびPLL基準周波数選択レジスタへのデータは次のように設定します。

PLLデータ・レジスタ (PLLR)			
0 0 1 0	0 1 1 1	0 0 0 0	don't care
2	7	0	

PLLモード選択	PLL基準周波数
注1 レジスタ	選択レジスタ
注2 0 0 1	0 0 0 1
MF	3 kHz

注1 . PLLSCNFフラグ

2 . don't care

16.6.2 パルス・スワロ方式 (HF)

(1) 分周方式の選択

PLLモード選択レジスタによりパルス・スワロ方式を選択します。

(2) 使用端子

パルス・スワロ方式を選択するとVCOL端子が動作可能になります。

(3) 基準周波数 f_r の設定

PLL基準周波数選択レジスタにより基準周波数を設定します。

(4) 分周値Nの計算方法

次のように計算します。

$$N = \frac{f_{\text{VCOL}}}{f_r}$$

f_{VCOL} : VCOL端子の入力周波数
 f_r : 基準周波数

(5) PLLデータ設定例

次に示すSWバンドの放送局を受信するためのデータ設定方法を示します。

受信周波数 : 25.50 MHz (SWバンド)

基準周波数 : 5 kHz

中間周波数 : +450 kHz

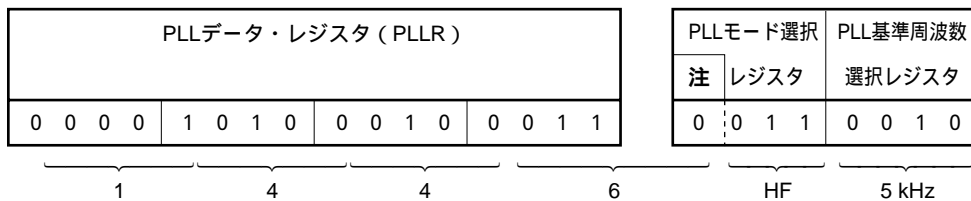
分周値Nは

$$N = \frac{f_{\text{VCOL}}}{f_r} = \frac{25500 + 450}{5} = 5190 \text{ (10進)}$$

$$= 1446\text{H} \text{ (16進)}$$

PLLデータ・レジスタ, PLLモード選択レジスタおよびPLL基準周波数選択レジスタへのデータは次のように設定します。

注意 パルス・スワロ方式を選択した場合は分周値Nは17ビットとなり, そのスワロ・カウンタの最下位ビットはPLLモード選択レジスタのビット3 (PLLSCNF) に存在します。このため分周値Nとして「1446H」を設定する場合, 実際にPLLデータ・レジスタに設定する値は「0A23H」となります。



注 PLLSCNFフラグ

16.6.3 パルス・スワロ方式 (VHFL, VHFH)

(1) 分周方式の選択

PLLモード選択レジスタによりパルス・スワロ方式を選択します。

(2) 使用端子

パルス・スワロ方式を選択するとVCOH端子が動作可能になります。

(3) 基準周波数 f_r の設定

PLL基準周波数選択レジスタにより基準周波数を設定します。

(4) 分周値Nの計算方法

次のように計算します。

$$N = \frac{f_{VCOH}}{f_r}$$

f_{VCOH} : VCOH端子の入力周波数
 f_r : 基準周波数

(5) PLLデータ設定例

次に示すFMバンドの放送局を受信するためのデータ設定方法を示します。

受信周波数 : 98.15 MHz (FMバンド)

基準周波数 : 25 kHz

中間周波数 : + 10.7 MHz

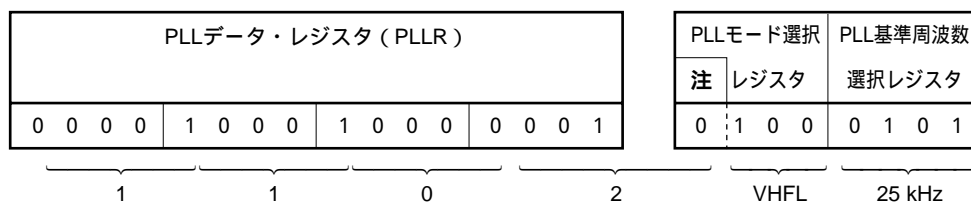
分周値Nは

$$N = \frac{f_{VCOH}}{f_r} = \frac{98.15 + 10.7}{0.025} = 4354 \text{ (10進)}$$

$$= 1102H \text{ (16進)}$$

PLLデータ・レジスタ, PLLモード選択レジスタおよびPLL基準周波数選択レジスタへのデータは次のように設定します。

注意 パルス・スワロ方式を選択した場合は分周値Nは17ビットとなり, そのスワロ・カウンタの最下位ビットはPLLモード選択レジスタのビット3 (PLLSCNF) に存在します。このため分周値Nとして「1102H」を設定する場合, 実際にPLLデータ・レジスタに設定する値は「0881H」となります。



注 PLLSCNFフラグ

なお、PLLSCNFフラグは、必ずPLLデータ・レジスタ（PLLР）に書き込み命令（PUT）を行う前にデータをセットしておく必要があります。

例

```
SET1    PLLSCNF
MOV     DBF0, #0
MOV     DBF1, #4
MOV     DBF2, #4
PUT     PLLR, DBF
```

16.7 リセット時の状態

16.7.1 $\overline{\text{RESET}}$ 端子によるリセット時

PLL基準周波数選択レジスタが0111BにイニシャライズされるためPLLディスエーブル状態になります。

16.7.2 WDT & SPリセット時

PLL基準周波数選択レジスタが0111BにイニシャライズされるためPLLディスエーブル状態になります。

16.7.3 クロック・ストップ時

PLL基準周波数選択レジスタが0111BにイニシャライズされるためPLLディスエーブル状態になります。

16.7.4 ホールト状態中

設定されている状態を保持します。

17. 中間周波数 (IF) カウンタ

17.1 中間周波数 (IF) カウンタ概要

図17 - 1 にIFカウンタの概要を示します。

IFカウンタは、主に放送局検出用として、チューナから出力される中間周波数 (IF : Intermediate Frequency) の計数に使用します。

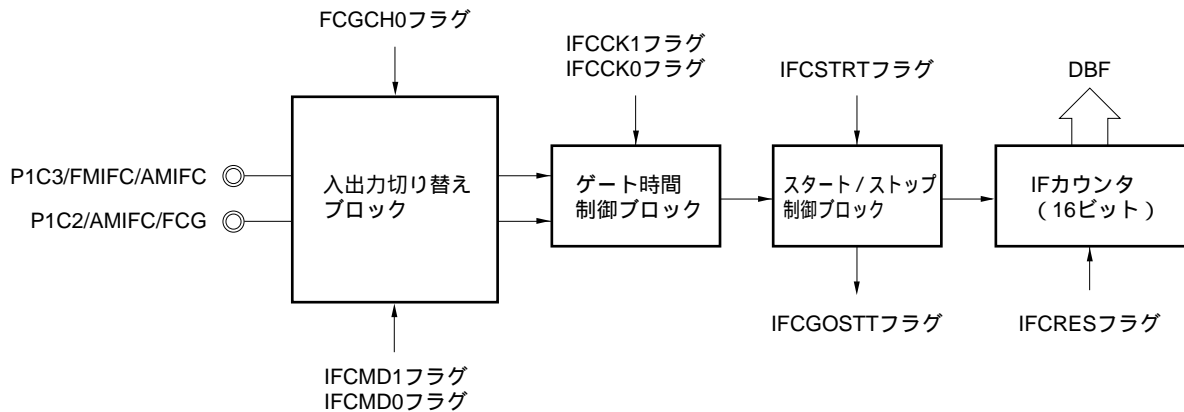
IFカウンタには、外部入力信号の中間周波数をカウントするIFカウンタ機能と、外部入力信号のパルス幅を検出する外部ゲート・カウンタ (FCG : Frequency Counter for external Gate signal) 機能があります。

IFカウンタ機能は、P1C2/AMIFC/FCG端子またはP1C3/FMIFC/AMIFC端子に入力された周波数を16ビットのカウンタで一定時間 (1 ms, 4 ms, 8 ms, オープン) カウントします。

外部ゲート・カウンタ機能は、P1C2/AMIFC/FCG端子に入力された信号の立ち上がりから次の立ち上がりまでの期間に、内部クロック (25 kHz, 75 kHz) の周波数を16ビット・カウンタでカウントします。

IFカウンタ機能および外部ゲート・カウンタ機能は同時には使用できません。

図17 - 1 IFカウンタ概要



備考 1. FCGCH0 (FCGチャンネル選択レジスタのビット0 : 図17 - 4 参照)

外部ゲート・カウンタとして使用する端子を選択

2. IFCMD1, IFCMD0 (IFカウンタ・モード選択レジスタのビット3, ビット2 : 図17 - 3 参照)

IFカウンタおよび外部ゲート・カウンタの機能を選択

3. IFCCK1, IFCCK0 (IFカウンタ・モード選択レジスタのビット1, ビット0 : 図17 - 3 参照)

IFカウンタのゲート時間および外部ゲート・カウンタの基準周波数を選択

4. IFCSTRT (IFカウンタ・コントロール・レジスタのビット1 : 図17 - 6 参照)

IFカウンタおよび外部ゲート・カウンタのカウント・スタートを制御

5. IFCGOSTT (IFカウンタ・ゲート状態検出レジスタのビット0 : 図17 - 7 参照)

IFカウンタのゲートの開閉を検出

6. IFCRES (IFカウンタ・コントロール・レジスタのビット0 : 図17 - 6 参照)

IFカウンタのカウント値をリセット

17.2 入力切り替えブロックおよびゲート時間制御ブロック

図17 - 2 に入力切り替えブロックおよびゲート時間制御ブロックの構成を示します。

入力切り替えブロックは、IFカウンタ入力切り替えブロックおよびFCG入力切り替えブロックから構成されています。

IFカウンタ入力切り替えブロックは、IFカウンタ・モード選択レジスタにより、周波数カウンタをIFカウンタとして使用するか外部ゲート・カウンタとして使用するかを選択します。IFカウンタとして使用する場合は、P1C3/FMIFC/AMIFC端子およびP1C2/AMIFC/FCG端子から使用する端子およびカウント・モードを選択します。P1C3/FMIFC/AMIFC端子およびP1C2/AMIFC/FCG端子のうち、IFカウンタとして使用しない端子は汎用入力ポートとなります。

FCG入力切り替えブロックは、周波数カウンタを外部ゲート・カウンタとして使用するとき、FCGチャンネル選択レジスタにより、P1C2/AMIFC/FCG端子を外部ゲート・カウンタとして使用するか汎用入力ポートとして使用するかを選択します。このとき、P1C3/FMIFC/AMIFC端子は汎用入力ポートとなります。

ゲート時間制御ブロックは、IFカウンタ・モード選択レジスタにより、IFカウンタとして使用する場合のゲート時間および、外部ゲート・カウンタとして使用する場合のカウント周波数を選択します。

図17 - 3 にIFカウンタ・モード選択レジスタの構成を示します。

図17 - 4 にFCGチャンネル選択レジスタの構成を示します。

図17 - 2 入力切り替えブロックおよびゲート時間制御ブロックの構成

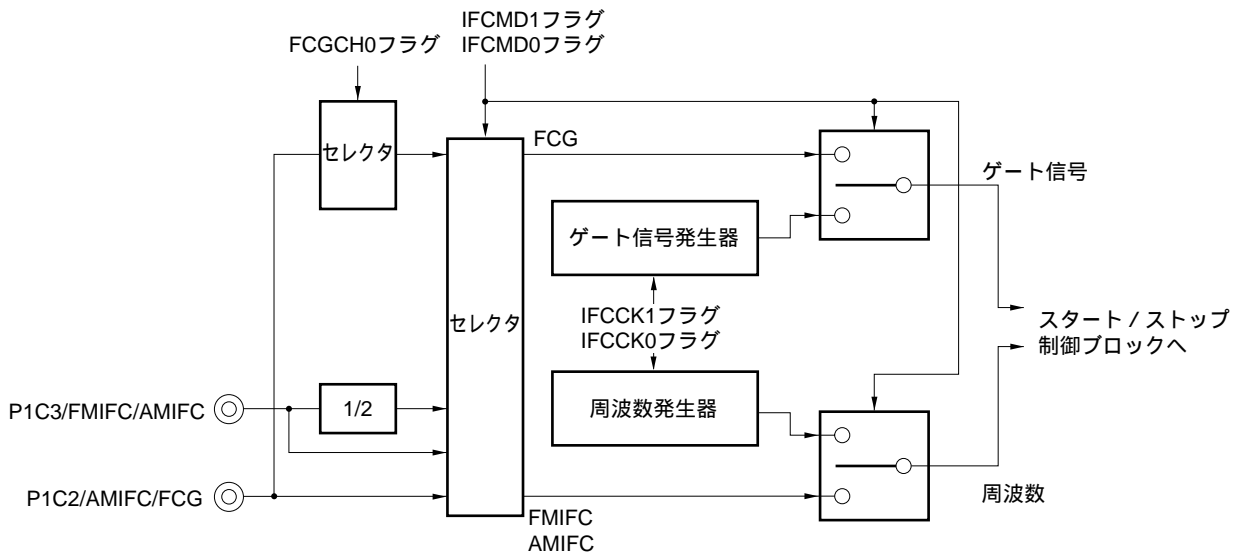


図17 - 3 IFカウンタ・モード選択レジスタの構成

名称	フラグ記号				アドレス	Read/Write
	b3	b2	b1	b0		
IFカウンタ・モード選択	I	I	I	I	(BANK15) 22H	R/W
	F	F	F	F		
	C	C	C	C		
	M	M	C	C		
	D	D	K	K		
	1	0	1	0		

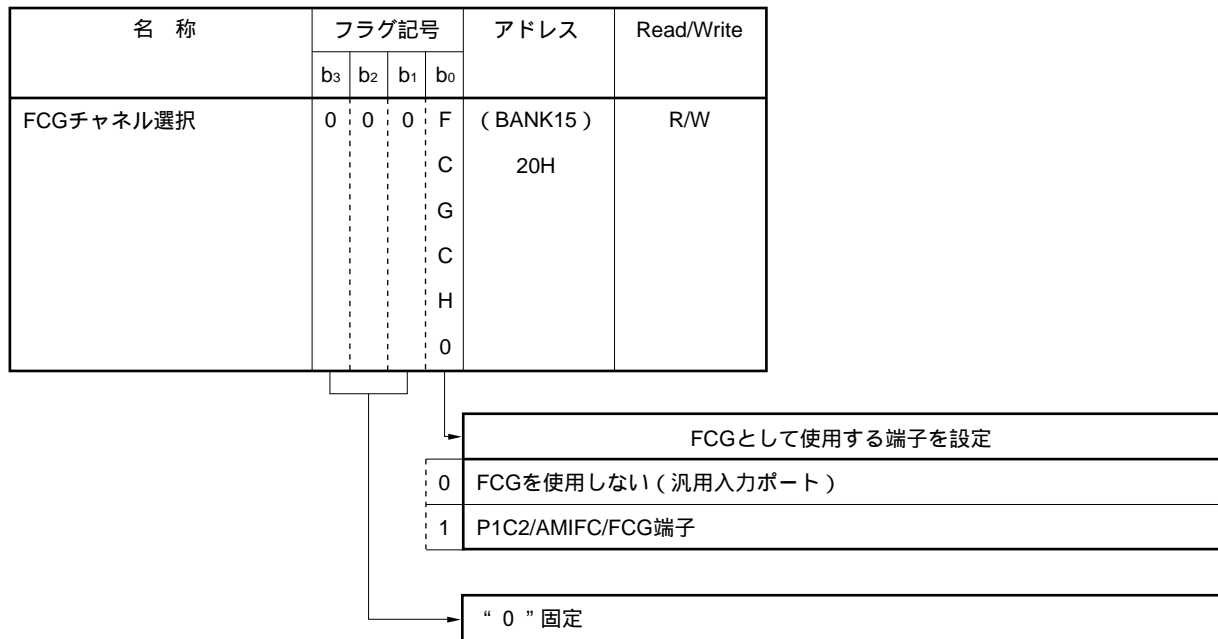
IFカウンタのゲート時間および外部ゲート・カウンタの基準周波数を設定			
IFカウンタのゲート時間		外部ゲート・カウンタの基準周波数	
0	0	1 ms	25 kHz
0	1	4 ms	75 kHz
1	0	8 ms	設定禁止
1	1	オープン	設定禁止

IFカウンタおよび外部ゲート・カウンタの機能を選択			
0	0	外部ゲート・カウンタ (FCG)	
0	1	IFカウンタ (AMIFC端子, AMIFカウント・モード)	
1	0	IFカウンタ (FMIFC端子, FMIFカウント・モード 1/2分周)	
1	1	IFカウンタ (FMIFC端子, AMIFカウント・モード)	

リセット時	RESET端子によるリセット	0	0	0	0
	WDT & SPリセット	0	0	0	0
クロック・ストップ時		0	0	0	0

注意 IFカウンタ機能および外部ゲート・カウンタ機能は同時に使用できません。

図17 - 4 FCGチャンネル選択レジスタの構成



リ セ ッ ト 時	RESET端子によるリセット	0	0	0	0
	WDT & SPリセット	⋮	⋮	0	0
ク ロ ッ ク ・ ス ト ッ プ 時		↓	↓	0	0

17.3 スタート/ストップ制御ブロックおよびIFカウンタ

17.3.1 スタート/ストップ制御ブロックおよびIFカウンタの構成

図17-5にスタート/ストップ制御ブロックおよびIFカウンタの構成を示します。

スタート/ストップ制御ブロックは、周波数カウンタのカウント・スタートの設定およびカウント終了の検出を行います。

カウントのスタートは、IFカウンタ・コントロール・レジスタにより行います。

カウント終了の検出はIFカウンタ・ゲート状態検出レジスタにより行います。ただし、外部ゲート・カウンタ機能を使用しているときには、IFカウンタ・ゲート状態検出レジスタによるカウント終了の検出はできません。

図17-6にIFカウンタ・コントロール・レジスタの構成を示します。

図17-7にIFカウンタ・ゲート状態検出レジスタの構成を示します。

17.3.2および17.3.3にIFカウンタ機能時および外部ゲート・カウンタ機能時のゲート動作を示します。

IFカウンタは、IFカウンタ機能時および外部ゲート・カウンタ機能時の入力周波数をアップ・カウントする16ビットのバイナリ・カウンタです。

IFカウンタ機能時は、内部ゲート信号によりゲートがオープンしている間に、端子に入力された周波数をカウントします。AMIFカウント・モードではそのままカウントしますが、FMIFカウント・モードでは端子に入力された周波数を1/2分周してカウントします。

外部ゲート・カウンタ機能時は、端子に入力された信号によりゲートがオープンしている間に、内部周波数をカウントします。

IFカウンタはFFFFHまでカウントするとカウンタをリセットされるまでFFFFHの状態を保持します。

カウント値の読み込みは、データ・バッファを介してIFカウンタ・データ・レジスタ (IFC) により行います。

カウント値のリセットはIFカウンタ・コントロール・レジスタにより行います。

図17-8にIFカウンタ・データ・レジスタの構成を示します。

図17-5 スタート/ストップ制御ブロックおよびIFカウンタの構成

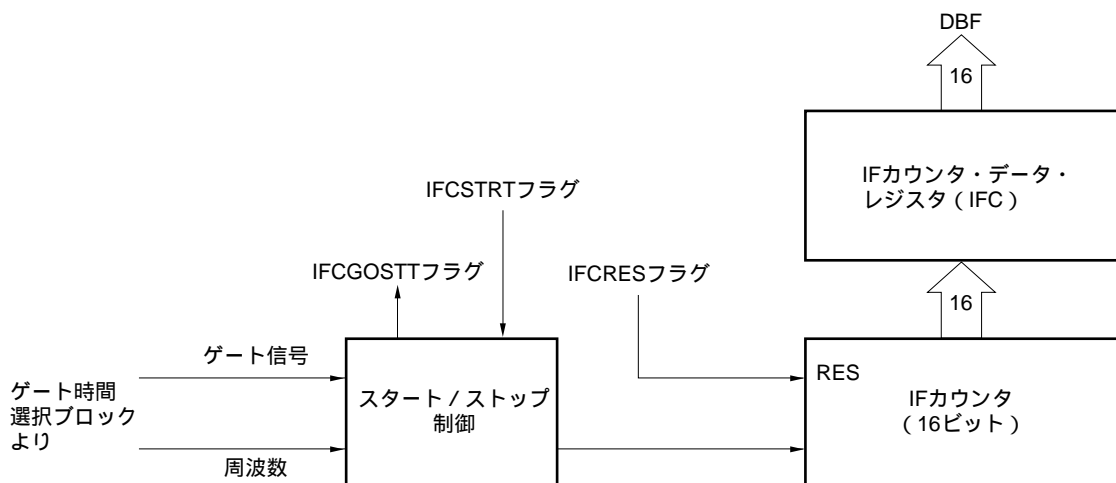


図17 - 6 IFカウンタ・コントロール・レジスタの構成

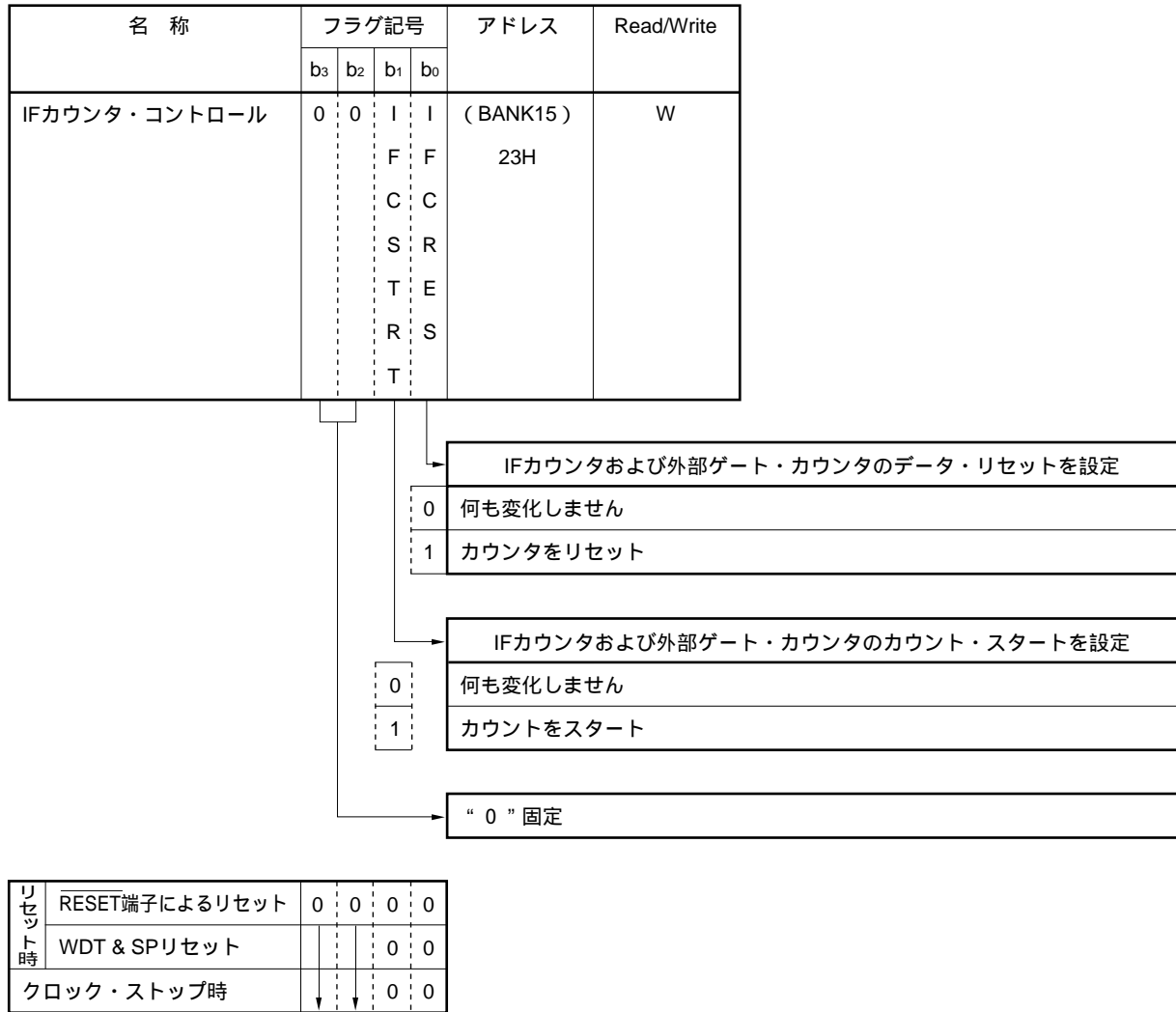
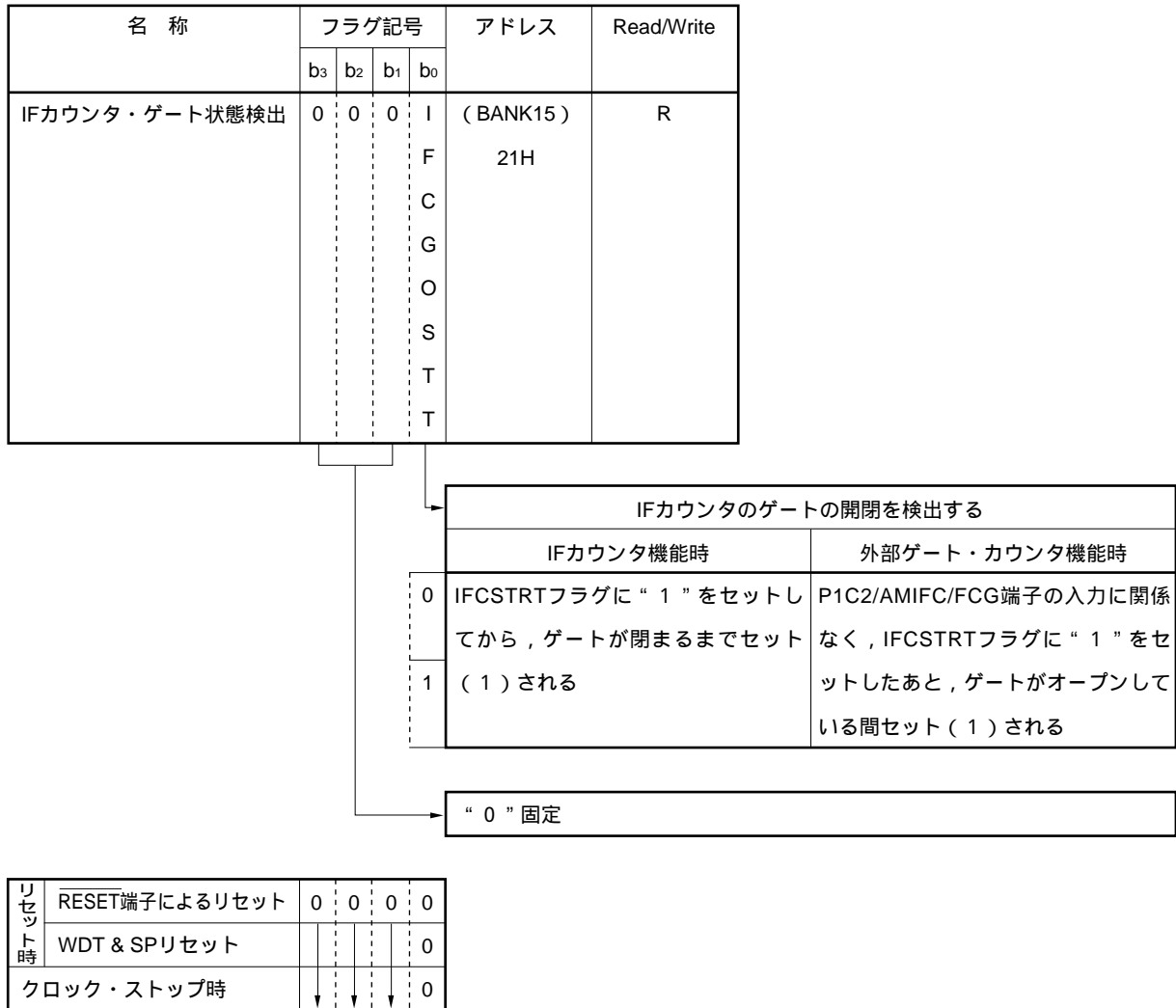


図17 - 7 IFカウンタ・ゲート状態検出レジスタの構成



- 注意 1 . IFCGOSTTフラグがセット(1)されているときは、IFカウンタ・データ・レジスタ(IFC)の内容をデータ・バッファに読み込まないでください。
- 2 . 外部ゲート・カウンタ(FCG)機能のゲートの開閉はIFCGOSTTフラグでは行えません。外部ゲート・カウンタのゲートの開閉はIFCSTRTフラグで行ってください。

17.3.2 IFカウンタ機能時のゲート動作

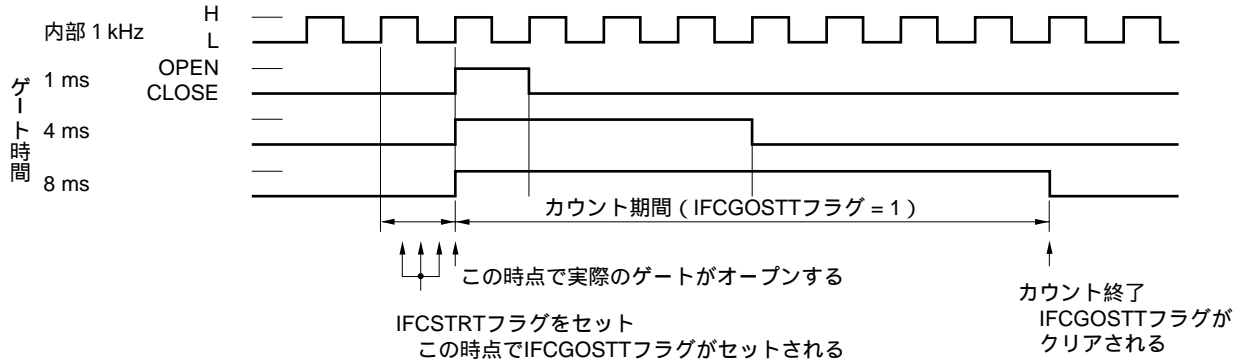
(1) ゲート時間に 1, 4, 8 ms を選択した場合

次に示すようにIFCSTRTフラグをセット (1) したあとの内部 1 kHz 信号の立ち上がりから、それぞれ 1 ms, 4 ms, 8 ms の期間だけゲートをオープンします。

このゲートがオープンしている間に、端子から入力されている周波数を 16 ビット・カウンタでカウントします。

ゲートが閉まるとIFCGOSTTフラグがクリア (0) されます。

IFCGOSTTフラグはIFCSTRTフラグをセットした時点で自動的にセット (1) されます。



(2) ゲート時間にオープンを選択した場合

次に示すようにIFCCK1, IFCCK0フラグによりオープンを選択した場合は、オープンを選択した時点でゲートがオープンします。

このゲートがオープンしている間にIFCSTRTフラグによりカウントのスタートを設定すると不定時間後にゲートが閉じてしまいます。

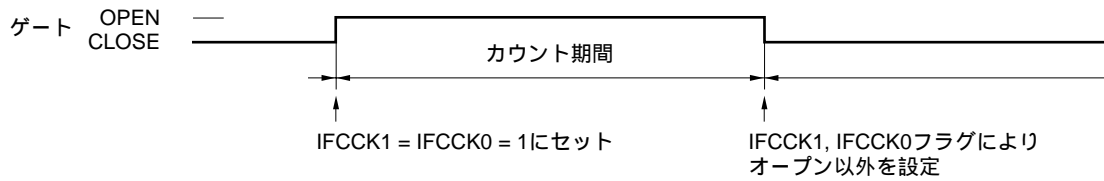
したがってゲート時間にオープンを使用する場合は、IFCSTRTフラグをセット (1) しないでください。

ただし、IFCRESフラグによりカウンタをリセットすることは可能です。



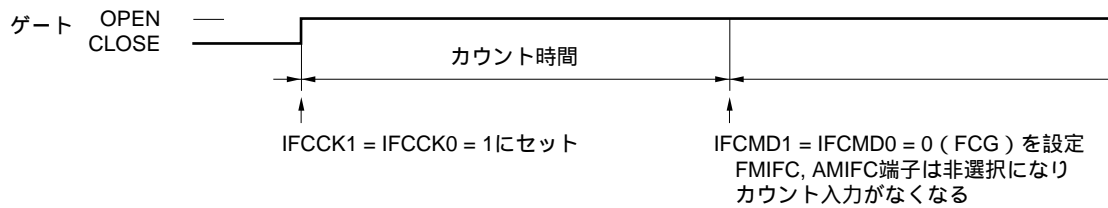
ゲート時間にオープンを選択した場合のゲートの開閉は次の (a) および (b) に示す 2 通りの方法があります。

(a) IFCK1, IFCK0フラグによりゲート時間にオープン以外を設定し直す。



(b) IFCMD1, IFCMD0フラグにより使用している端子を非選択にする。

この方法はゲートはオープンしたままであり，端子からの入力を禁止することによりカウントを中断します。

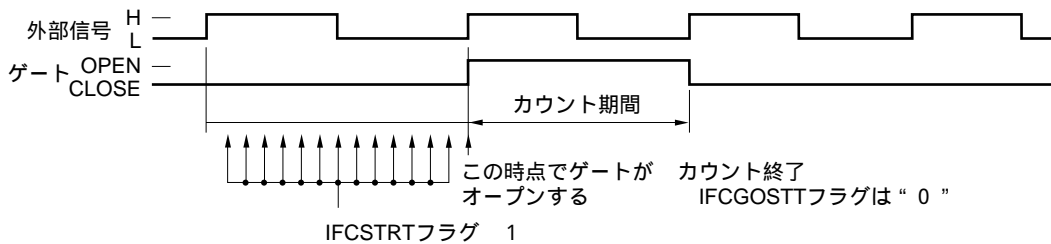


17.3.3 外部ゲート・カウンタ機能時のゲート動作

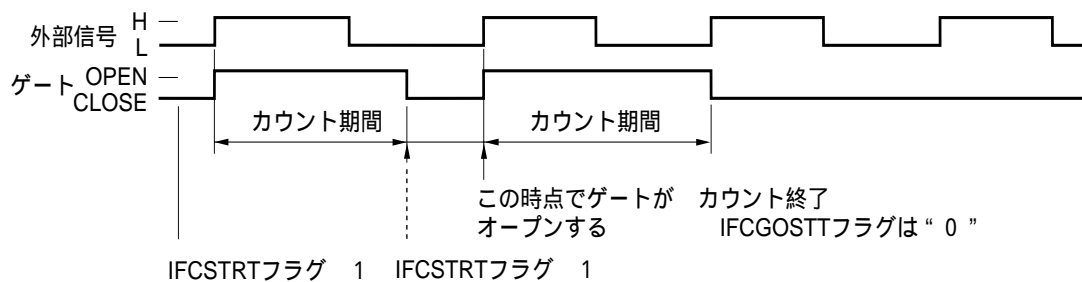
次に示すようにIFCSTRTフラグをセット (1) したあとの端子に入力されている信号の立ち上がりからその次の立ち上がりの期間だけゲートをオープンします。

このゲートがオープンしている間に，内部の周波数 (25 kHz, 75 kHz) を16ビット・カウンタでカウントします。

IFCGOSTTフラグはIFCSTRTフラグをセットしたあとの外部信号の立ち上がりからその次の立ち上がりまでの期間だけセット (1) されます。



ゲートがオープンしている間にリセット，スタートした場合



17.3.4 16ビット・カウンタの機能と動作

16ビット・カウンタは、ゲート時間内に入力された周波数をアップ・カウントします。

16ビット・カウンタのリセットはIFカウンタ・コントロール・レジスタのIFCRESフラグに“1”を書き込むことにより行います。

16ビット・カウンタはFFFFHまで計数するとカウンタがリセットされるまでFFFFHの状態を保持します。

次の(1)および(2)にIFカウンタ機能および外部ゲート・カウンタ機能時の動作を示します。

IFカウンタ・データ・レジスタの値を読み込む場合は、データ・バッファを介して読み込みます。

図17-8にIFカウンタ・データ・レジスタの構成と機能を示します。

(1) IFカウンタ機能時

P1C2/AMIFC/FCG端子またはP1C3/FMIFC/AMIFC端子に入力された周波数をゲートがオープンしている間カウントします。

ただし、P1C3/FMIFC/AMIFC端子に入力されたFMIFカウント・モード内は周波数を1/2分周してカウントします。

次に、カウント値“x(10進)”と入力周波数(f_{FMIFC}, f_{AMIFC})の関係を示します。

・ FMIFC

$$f_{FMIFC} = \frac{x}{t_{GATE}} \times 2 \text{ (kHz)} \quad t_{GATE} : \text{ゲート時間 (1 ms, 4 ms, 8 ms)}$$

・ AMIFC

$$f_{AMIFC} = \frac{x}{t_{GATE}} \text{ (kHz)} \quad t_{GATE} : \text{ゲート時間 (1 ms, 4 ms, 8 ms)}$$

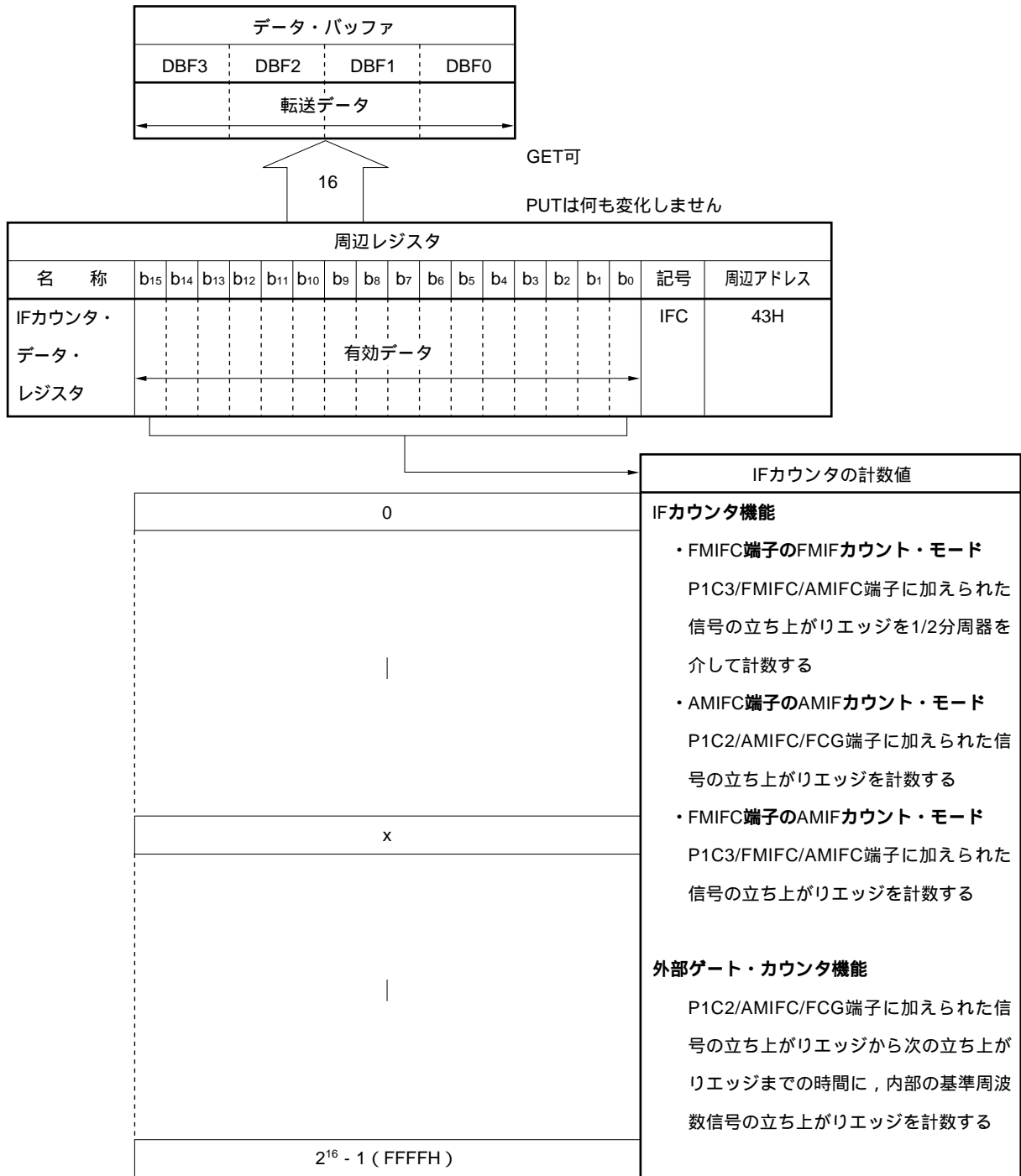
(2) 外部ゲート・カウンタ (FCG) 機能時

P1C2/AMIFC/FCG端子に入力された信号によりゲートがオープンしている間、内部周波数をカウントします。

次に、カウント値“x(10進)”と入力信号のゲート幅 t_{GATE}の関係を示します。

$$t_{GATE} = \frac{x}{f_r} \text{ (ms)} \quad f_r : \text{内部周波数 (25 kHz, 75 kHz)}$$

図17 - 8 IFカウンタ・データ・レジスタの構成



IFカウンタ・データ・レジスタはFFFFHまでカウントするとカウンタがリセットされるまでFFFFHの状態を保持します。

17.4 IFカウンタの使用法

17.4.1-17.4.3にIFカウンタのハードウェア使用法、プログラム例およびカウント誤差を示します。

17.4.1 IFカウンタのハードウェア使用法

図17-9にP1C2/AMIFC/FCG端子およびP1C3/FMIFC/AMIFC端子を使用するときのブロック図を示します。

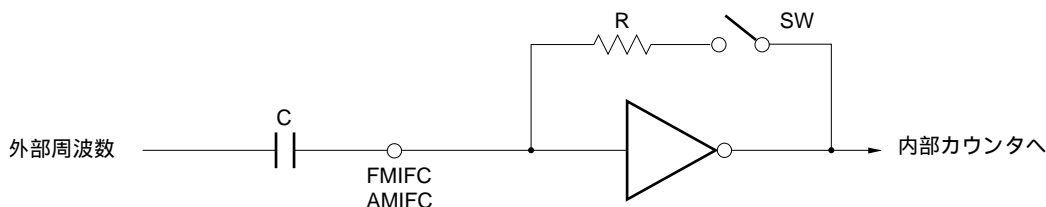
図17-9に示すように、IFカウンタは交流アンプを内蔵した入力端子になるため、入力信号は直流分をコンデンサCでカットしてください。

P1C2/AMIFC/FCG端子およびP1C3/FMIFC/AMIFC端子がIFカウンタ機能に選択されると、スイッチSWがオンして各端子の電圧が約 $1/2 V_{DD}$ になります。

このとき、十分に中間電圧に立ち上がっていないと、交流アンプが正常動作範囲にないため、IFカウントが正常に行われない場合があります。

したがって、各端子をIFカウンタとして指定してからカウントをスタートするまでに十分なウェイト時間を設けてください。

図17-9 各端子のIFカウンタ機能ブロック図



17.4.2 IFカウンタのプログラム例

次にIFカウンタのプログラム例を示します。

例に示すように、P1C2/AMIFC/FCG端子またはP1C3/FMIFC/AMIFC端子をIFカウンタに設定する命令を実行してから、カウントをスタートするまでに、ウエイト時間を設けてください。

これは、17.4.1でも説明したように、各端子をIFカウンタに選択したときに、すぐに内蔵交流アンプが正常動作状態にならない場合があるためです。

例 P1C3/FMIFC端子 (FMIFカウント・モード) で周波数をカウントする場合 (ゲート時間は8ms)

```

INITFLG IFCMD1, NOT IFCMD0, IFCKK1, NOT IFCKK0
                                ; FMIFC端子(FMIFカウント・モード)を選択し, ゲート時間を8msに設定

[ウエイト]                      ; 内蔵交流アンプ安定時間

SET1  IFCRES                    ; カウンタのリセット
SET1  IFCSTRT                   ; カウント・スタート
LOOP:
SKT1  IFCGOSTT                 ; ゲートの開閉を検出
BR    READ                     ; ゲートが閉じればREAD:へ分岐

[処理A]                          ; この処理AではIFカウンタのデータを読み込まないでください。

BR    LOOP
READ:
GET   DBF, IFC                 ; IFカウンタ・データ・レジスタの値をデータ・バッファへ読み込む。
    
```

17.4.3 IFカウンタの誤差

IFカウンタの誤差にはゲート時間の誤差とカウント誤差があります。

次の(1)および(2)にそれぞれを示します。

(1) ゲート時間の誤差

IFカウンタのゲート時間は、システム・クロック周波数である75 kHzを分周して作り出しています。したがって75 kHzが“+x”ppmずれていると、ゲート時間は“-x”ppmずれることになります。

(2) カウント誤差

IFカウンタは入力された信号の立ち上がりエッジで周波数をカウントします。

したがって、ゲートがオープンしたときに端子にハイ・レベルが入力されていると1パルス分余分にカウントします。

ただし、ゲートが閉じるときは、端子の状態によりカウントすることはありません。

すなわちカウント誤差としては、“+1, -0”になります。

17.5 外部ゲート・カウンタの使用法

17.5.1 外部ゲート・カウンタのプログラム例

次に外部ゲート・カウンタ機能のプログラム例を示します。

例 P1C2/AMIFC/FCG端子を外部ゲート入力として使用する場合

```

INITFLG NOT IFCMD1, NOT IFCMD0, IFCCK1, NOT IFCCK0
                                ; 外部ゲート・カウンタ機能を選択し, ゲート時間を 8 ms に設定
INITFLG FCGCHO                  ; 外部ゲート入力として FCG 端子を選択
SET1 IFCRES                     ; カウンタのリセット
SET1 IFCSTRT                    ; カウント・スタート
LOOP:
SKF1 IFCGOSTT                  ; ゲート開閉の検出
BR READ                        ; ゲートが閉じていれば READ : へ分岐



処理 A


                                ; この処理 A では IF カウンタのデータを読み込まないでください。

BR LOOP
READ:
GET DBF, IFC                   ; IF カウンタ・データ・レジスタの値をデータ・バッファへ読み込む。

```

17.5.2 外部ゲート・カウンタの誤差

外部ゲート・カウンタの誤差には内部周波数の誤差とカウント誤差があります。

次の (1) および (2) にそれぞれを示します。

(1) 内部周波数の誤差

外部ゲート・カウンタの内部周波数は、システム・クロック周波数である 75 kHz を分周して作り出しています。

したがって 75 kHz が “ + x ” ppm ずれていると、内部周波数は同様に “ + x ” ppm ずれることになります。

(2) カウント誤差

外部ゲート・カウンタは内部周波数の立ち上がりエッジで周波数をカウントします。

したがって、ゲートがオープンしたとき（端子の入力が立ち上がったとき）に、内部周波数がロウ・レベルであると 1 パルス分余分にカウントします。

ただし、ゲートが閉じるとき（次に端子の入力が立ち上がったとき）は、内部周波数のカウント・レベルによりカウントすることはありません。

すなわちカウント誤差としては、“ + 1 , - 0 ” になります。

17.6 リセット時の状態

17.6.1 $\overline{\text{RESET}}$ 端子によるリセット時

P1C2/AMIFC/FCG端子，P1C3/FMIFC/AMIFC端子は汎用入力ポートに設定されます。

17.6.2 WDT & SPリセット時

P1C2/AMIFC/FCG端子，P1C3/FMIFC/AMIFC端子は汎用入力ポートに設定されます。

17.6.3 クロック・ストップ時

P1C2/AMIFC/FCG端子，P1C3/FMIFC/AMIFC端子は汎用入力ポートに設定されます。

17.6.4 ホールト状態時

P1C2/AMIFC/FCG端子，P1C3/FMIFC/AMIFC端子はホールト直前の状態を保持します。

18 . BEEP

18.1 BEEP概要

図18 - 1 にBEEPの概要を示します。

BEEPは、P0B3/BEEP端子から1.5 kHzまたは3 kHzのクロックを出力します。

出力切り替えブロックは、BEEP0SELフラグにより汎用入出力ポートにするかBEEP出力にするかを選択し、BEEPクロック選択レジスタのBEEP0CK0フラグおよびBEEP0CK1フラグにより、P0B3/BEEP端子の出力を1.5 kHzにするか3 kHzにするか、またはBEEP端子の出力レベルを選択します。

クロック生成ブロックは、P0B3/BEEP端子に出力する1.5 kHzまたは3 kHzのクロックを生成します。

図18 - 2 にBEEPクロック選択レジスタの構成と機能を示します。

図18 - 1 BEEPの概要

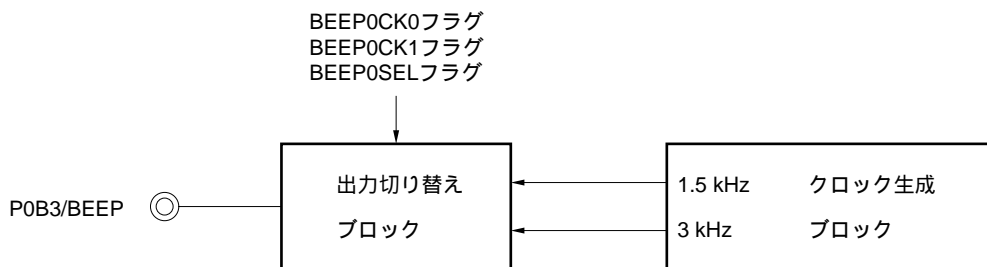


図18 - 2 BEEPクロック選択レジスタの構成と機能

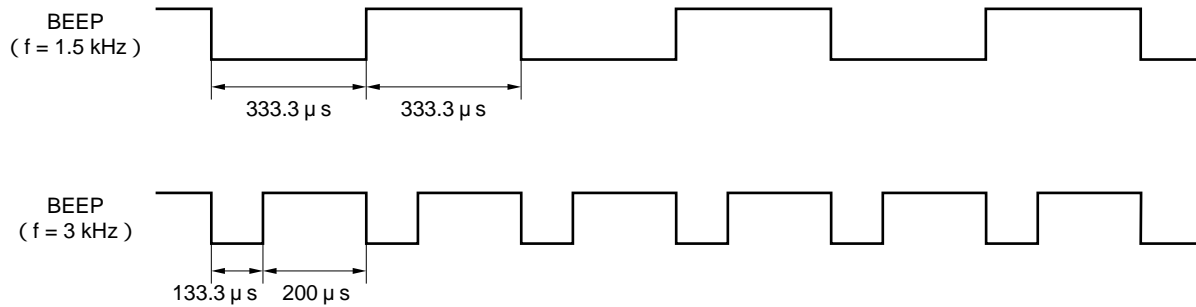
名 称	フラグ記号				アドレス	Read/ Write
	b3	b2	b1	b0		
BEEP クロック選択 レジスタ	0	B E E P 0 S E L	B E E P 0 C K 1	B E E P 0 C K 0	(BANK15) 14H	R/W



リセット時	RESET端子によるリセット	0	0	0	0
	WDT & SPリセット	0	0	0	0
クロック・ストップ時		0	0	0	0

18.2 BEEPの出力波形

(1) $f = 1.5 \text{ kHz}$ および $f = 3 \text{ kHz}$ の出力波形

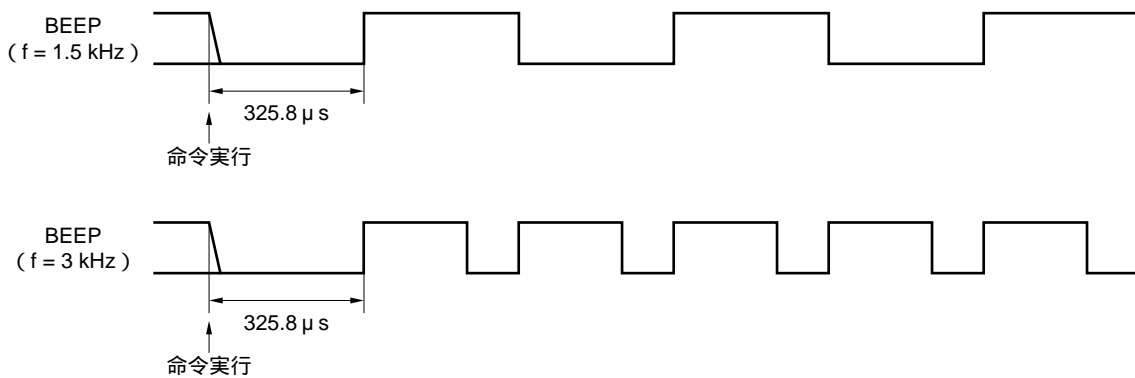


例 3 kHzのクロックをP0B3/BEEP端子から出力するプログラム

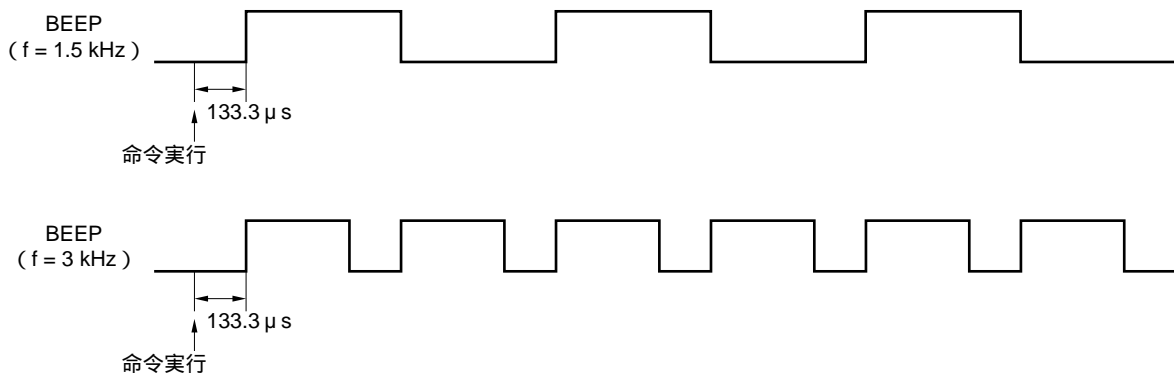
```

BANK1                ; MOV    BANK, #0001Bと同等
MOV    14H, #0011B   ; データ・メモリ14H番地に0011Bを書き込む
                        ; BEEP端子から3 kHzを出力
    
```

(2) 命令実行後、P0B3/BEEP端子からクロックが出力されるまでの最大時間



(3) 命令実行後、P0B3/BEEP端子からクロックが出力されるまでの最小時間



18.3 リセット時の状態

18.3.1 $\overline{\text{RESET}}$ 端子によるリセット時

P0B3/BEEP端子は汎用入力ポートに設定されます。

18.3.2 WDT&SPリセット時

P0B3/BEEP端子は汎用入力ポートに設定されます。

18.3.3 クロック・ストップ時

P0B3/BEEP端子は汎用入出力ポートに設定されます。

18.3.4 ホールト状態時

P0B3/BEEP端子は以前の状態をそのまま保持します。

19. LCDコントローラ/ドライバ

LCD (Liquid Crystal Display) コントローラ/ドライバは、セグメント信号出力との組み合わせにより最大60ドットのLCD表示を行うことができます。

19.1 LCDコントローラ/ドライバ概要

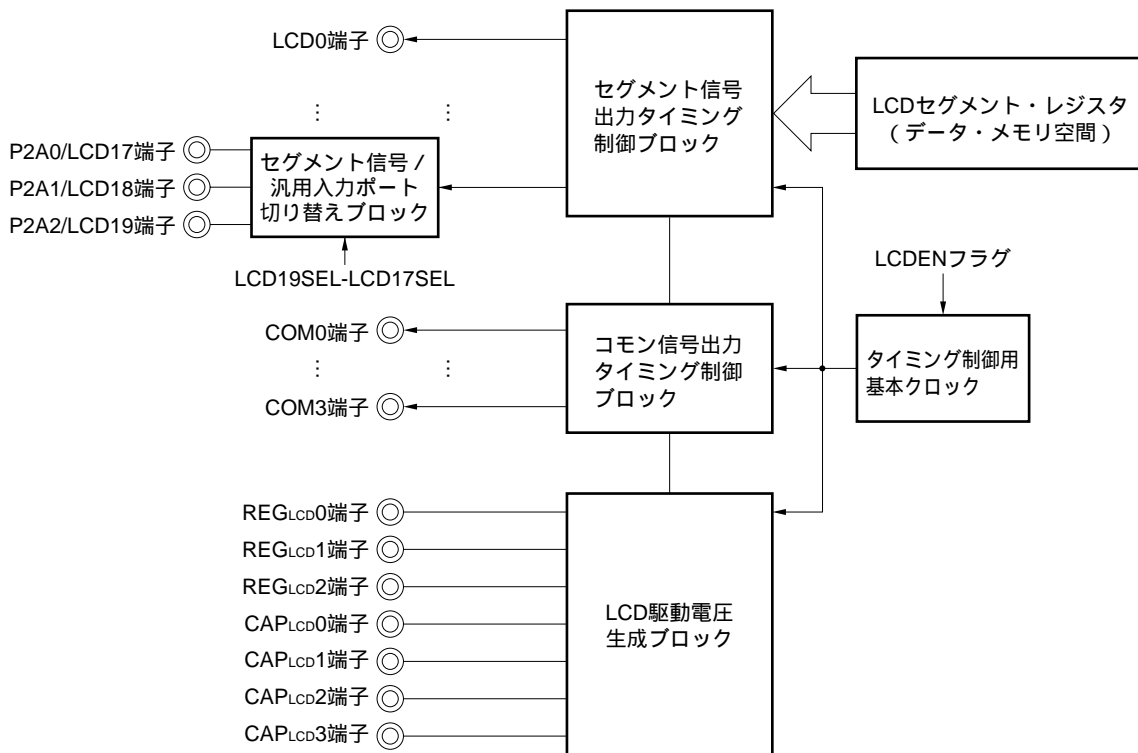
図19 - 1 にLCDコントローラ/ドライバの概要を示します。

LCDコントローラ/ドライバは、コモン信号出力端子 (COM0-COM3端子) とセグメント信号出力端子 (LCD0-LCD19端子) の組み合わせにより、最大60ドットの表示を行います。

駆動方式は1/4デューティ、1/2バイアス、フレーム周波数は62.5 Hz、駆動電圧は V_{LCD} です。

なお、セグメント信号出力端子のうちLCD17-LCD19の3本は汎用入力ポートとして使用することができます。汎用入力ポートについては11.3 汎用入力ポート (P0D, P1C, P2A) を参照してください。

図19 - 1 LCDコントローラ/ドライバの概要



備考 1 . LCDEN (LCDモード選択レジスタのビット0 : 図19 - 8 参照)

すべてのLCD表示のオン/オフを設定

2 . LCD19SEL-LCD17SEL (LCDポート・セレクト・レジスタのビット2-0 : 図19 - 6 参照)

19.2 LCD駆動電圧生成ブロック

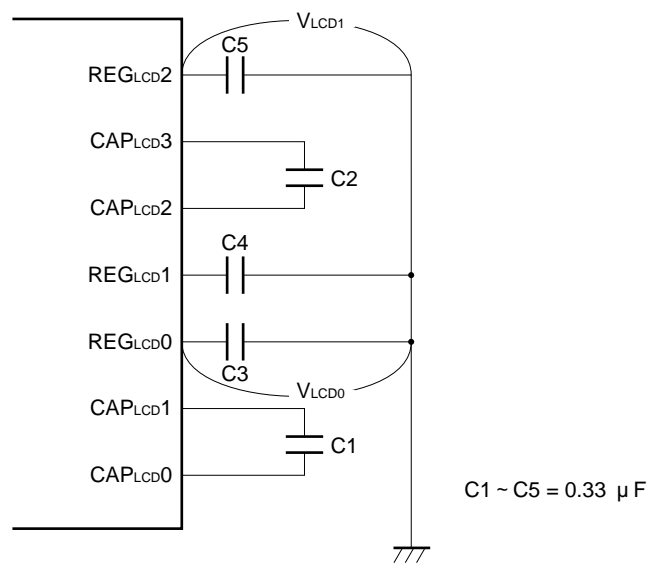
LCD駆動電圧生成ブロックは、LCDを駆動させるための電圧を生成します。

μ PD17934Aでは、外付けのダブラ回路からLCD駆動電圧を供給します。ダブラ回路を構成するためには、CAP_{Lcd0}, CAP_{Lcd1}, CAP_{Lcd2}, CAP_{Lcd3}, REG_{Lcd0}, REG_{Lcd1}, REG_{Lcd2}端子にコンデンサを接続してください。

図19 - 2 にダブラ回路の構成例を示します。3.0 V (TYP.) の電圧を使用するためには、図19 - 2 に示すように接続してください。

また、ダブラ回路を動作させるためには、LCDモード選択レジスタのLCDENフラグを“ 1 ” にセットする必要があります。LCDENフラグを“ 1 ” にセットしないと、LCD駆動電圧生成ブロックは動作しません。LCDENフラグについては、19.5 コモン信号出力、セグメント信号出力タイミング制御ブロックを参照してください。

図19 - 2 ダブラ回路の構成



備考 ()内は端子番号です。

ダブラ回路の構成上、C1, C2, C3, C4, C5の値を変えることによりLCD駆動電圧 (V_{Lcd1}, V_{Lcd0}) の値が異なってくるため注意が必要です。

19.3 LCDセグメント・レジスタ

LCDセグメント・レジスタは、LCDの点消灯するドット・データを設定します。

図19 - 3にLCDセグメント・レジスタのデータ・メモリ上の配置と構成を示します。

LCDセグメント・レジスタはデータ・メモリ上に配置されているため、すべてのデータ・メモリ操作命令で制御できます。

LCDセグメント・レジスタは1ニブルで4ドットの表示データ（点消灯データ）を設定できます。このとき、LCDセグメント・レジスタが“1”に設定されているとLCD表示ドットが点灯し、“0”に設定されているドットが消灯します。

図19 - 4にLCDセグメント・レジスタとLCD表示ドットの関係を示します。

図19 - 3 LCDセグメント・レジスタのデータ・メモリ上の配置と構成

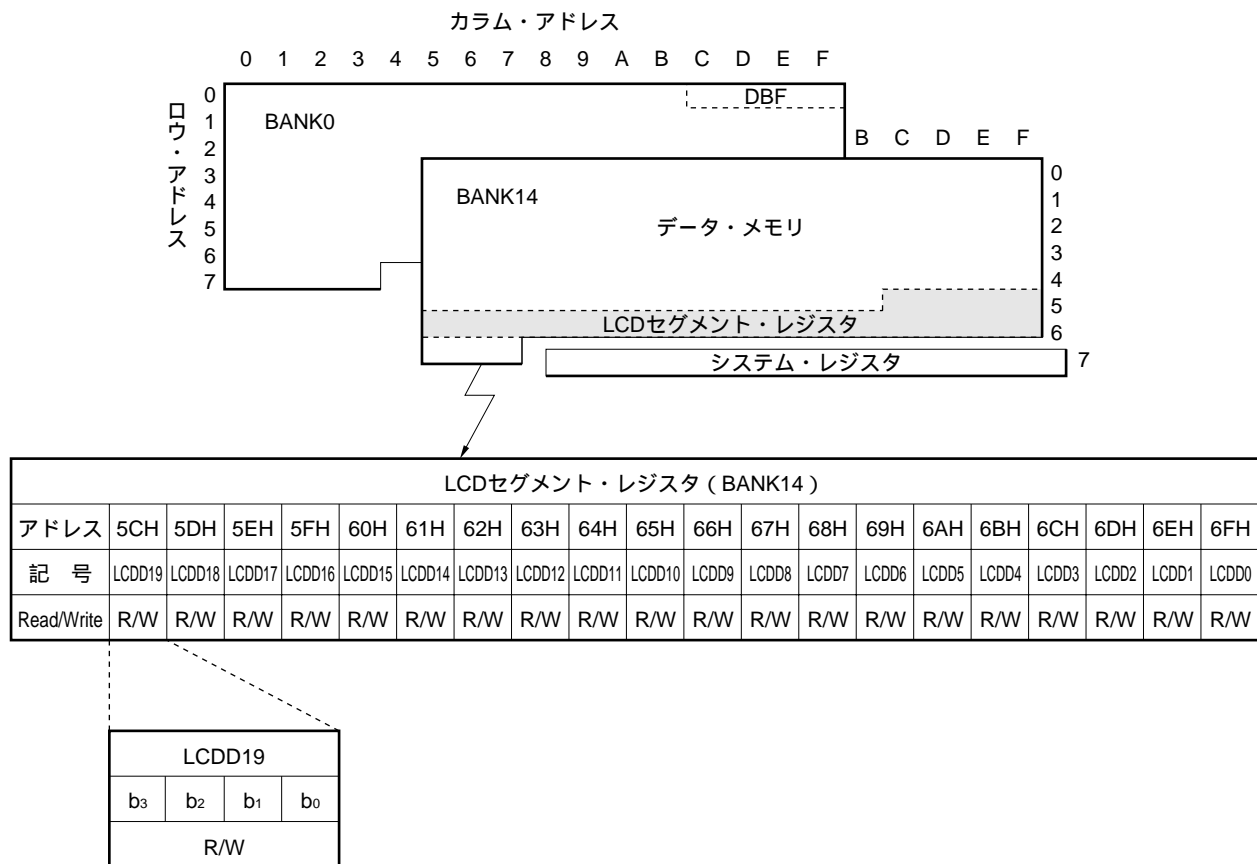
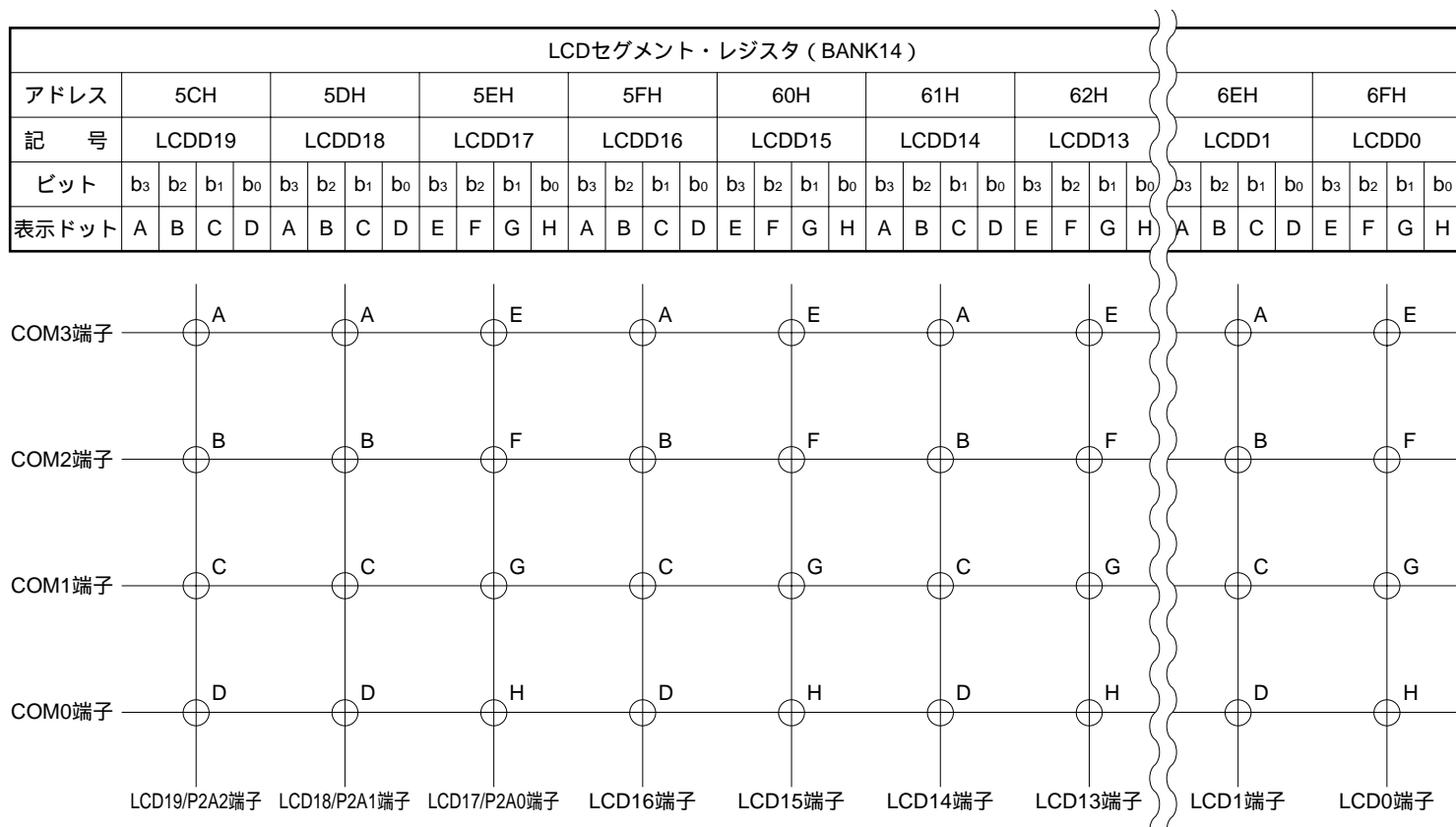


図19 - 4 LCDセグメント・レジスタとLCD表示ドットの関係



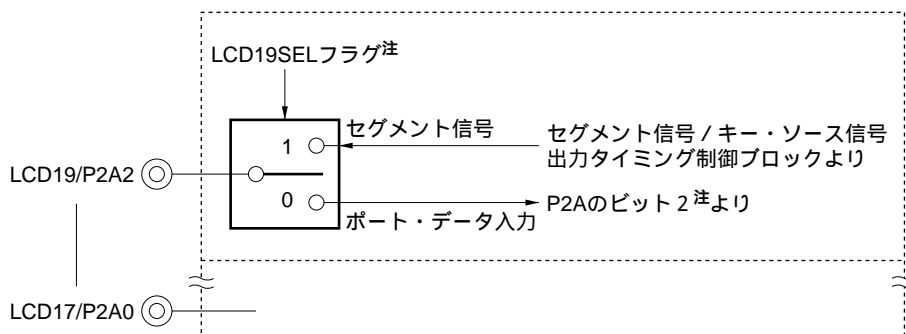
19.4 セグメント信号 / 汎用入力ポート切り替えブロック

図19 - 5 にセグメント信号 / 汎用入力ポート切り替えブロックの構成を示します。

セグメント信号 / 汎用入力ポート切り替えブロックは、LCDポート・セレクト・レジスタのLCD19SEL-LCD17SELフラグにより、各端子をセグメント信号出力として使用するか、汎用入力ポートとして使用するかを設定します。各フラグが“1”のときはセグメント信号出力に設定され、“0”のときは汎用入力ポートに設定されます。

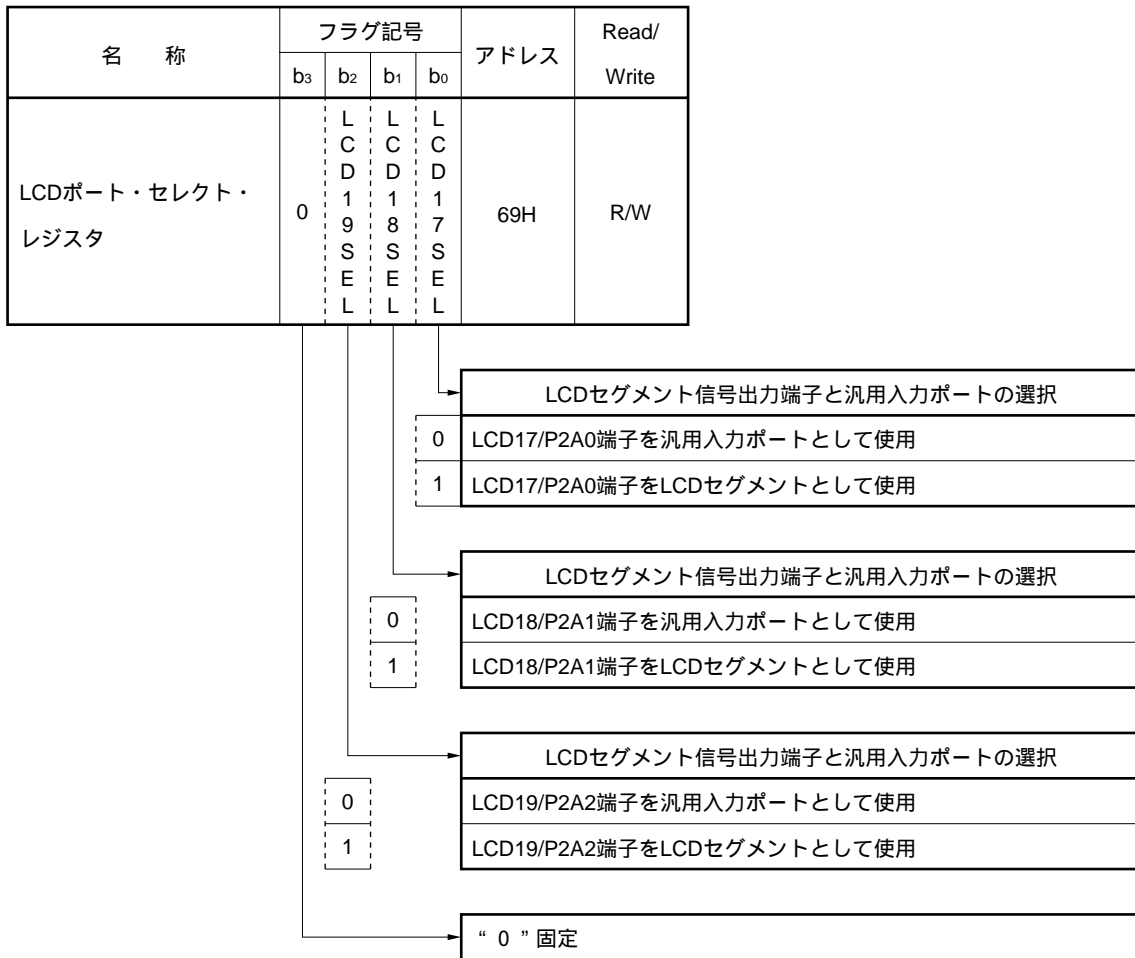
図19 - 6 にLCDポート・セレクト・レジスタの構成を示します。

図19 - 5 セグメント信号 / 汎用入力ポート切り替えブロックの構成



注 LCD19/P2A2端子ではLCD19SELフラグおよびP2Aのビット2，
 LCD18/P2A1端子ではLCD18SELフラグおよびP2Aのビット1，
 LCD17/P2A0端子ではLCD17SELフラグおよびP2Aのビット0

図19 - 6 LCDポート・セレクト・レジスタの構成



リセット時	RESET端子によるリセット	0	0	0	0
	WDT & SP リセット		0	0	0
クロック・ストップ時		↓	保	保	保

保：保持

19.5 コモン信号出力，セグメント信号出力タイミング制御ブロック

図19 - 7にコモン信号出力およびセグメント信号出力タイミング制御ブロックの構成を示します。
 コモン信号出力タイミング制御ブロックは，COM0-COM3端子のコモン信号出力タイミングを制御します。
 セグメント信号出力タイミング制御ブロックは，LCD0-LCD19端子のセグメント信号出力タイミングを制御します。
 コモン信号，セグメント信号は，LCDモード選択レジスタのLCDENフラグを“ 1 ”に設定すると出力されます。
 LCDENフラグを“ 0 ”に設定するとすべてのLCD表示を消灯することができます（図19 - 8参照）。
 LCD表示を行わないときは，COM0-COM3端子，LCD0-LCD19端子はロウ・レベルを出力します。
 LCDDDBCKフラグは通常動作時，“ 0 ”に設定してください。
 LCDDDBCKフラグを“ 1 ”に設定すると，LCD駆動電圧生成用ダブラ回路用のクロックが75 kHzから5 kHzに変更されます。これによりHALT命令実行時の消費電流を低減することが可能になります（24．電気的特性を参照）。
 ただしこのダブラ回路により内部LCD出力ポートの出力電流能力が減少しますので，ご使用となるLCDパネルとの評価を十分に行ってください。

注意 電源投入時にはLCDDDBCKがリセットされるので，電源投入後128 msまでは必ず75 kHzとなります。

図19 - 7 コモン信号出力，セグメント信号出力タイミング制御ブロックの構成

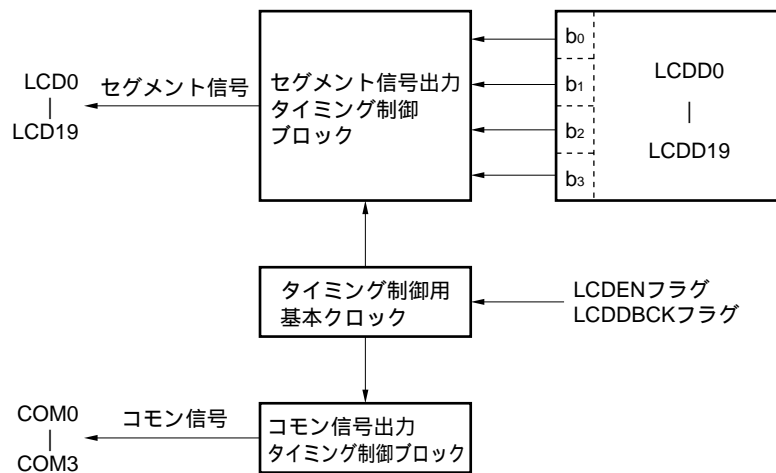
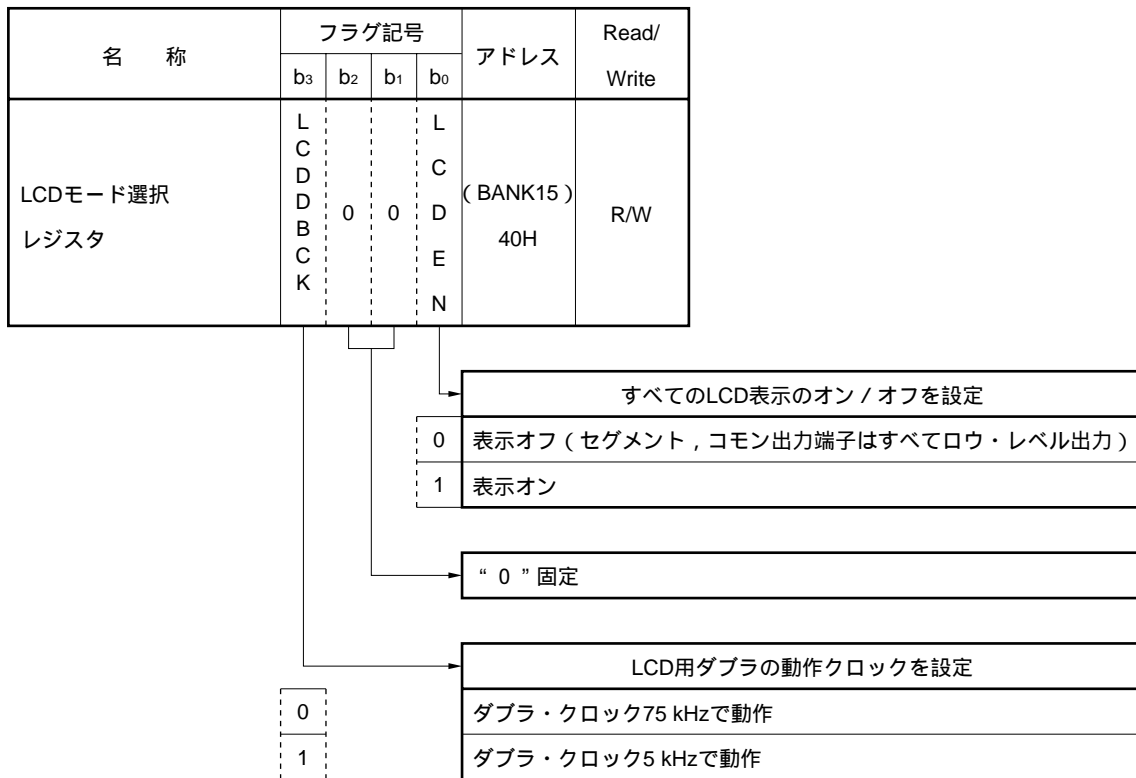


図19 - 8 LCDモード選択レジスタの構成



19.6 コモン信号およびセグメント信号出力波形

図19 - 9 にコモン信号およびセグメント信号出力波形の一例を示します。

μ PD17934Aでは、1/4デューティ、1/2バイアス（電圧平均化法）の駆動方式でフレーム周波数62.5 Hzの信号を出力します。

コモン信号出力は、COM0-COM3端子から互いに1/8の位相差を持った3レベル（GND, V_{LCD0} , V_{LCD1} ）の電圧を出力します。つまり、コモン信号は V_{LCD0} を中心に $\pm 1/2 V_{DD}$ の電圧を出力することになり、この表示方法を1/2バイアス駆動方式と呼びます。

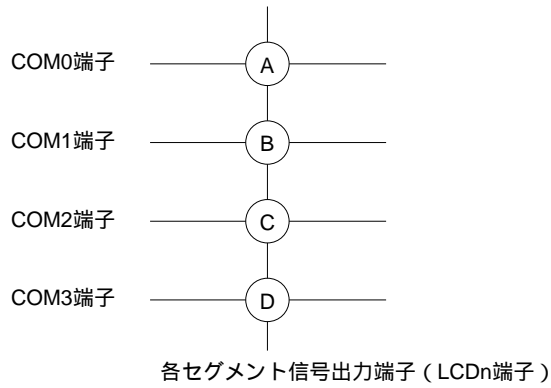
セグメント信号出力は、各セグメント信号出力端子から表示ドットに対応した位相を持った2レベル（GND, V_{LCD1} ）の電圧を出力します。図19 - 9 に示すように、1本のセグメント端子で4個の表示ドット（A, B, C, D）を点消灯させるため、各ドットの点消灯の組み合わせから16通りの位相を出力することができます。

各表示ドットは、コモン信号とセグメント信号の電位差が V_{LCD1} になると点灯します。

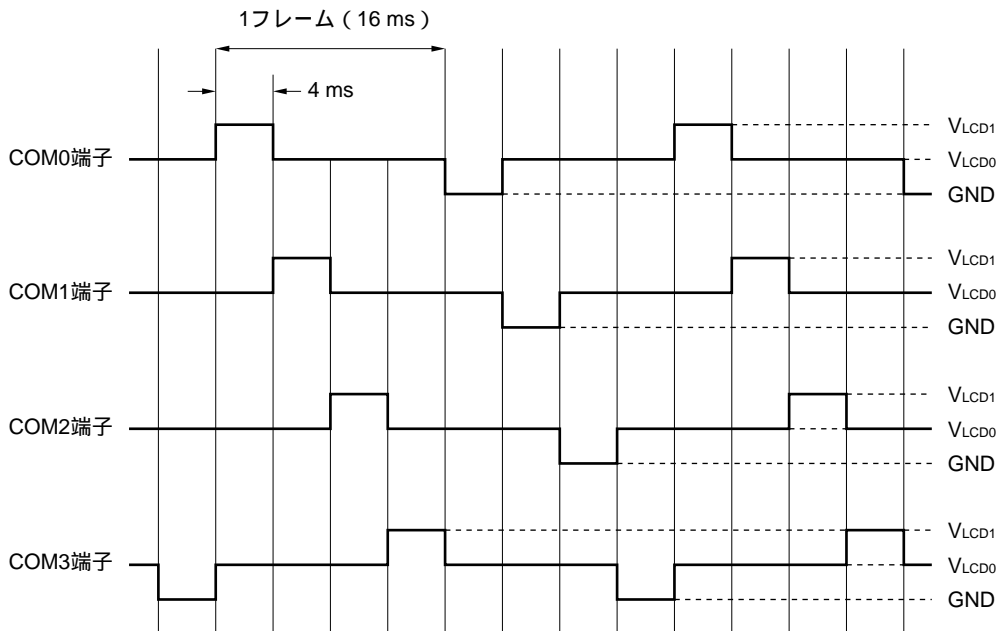
つまり、各表示ドットが点灯するデューティは1/4となります。

この表示方式を1/4デューティ表示方式と呼び、フレーム周波数は62.5 Hzになります。

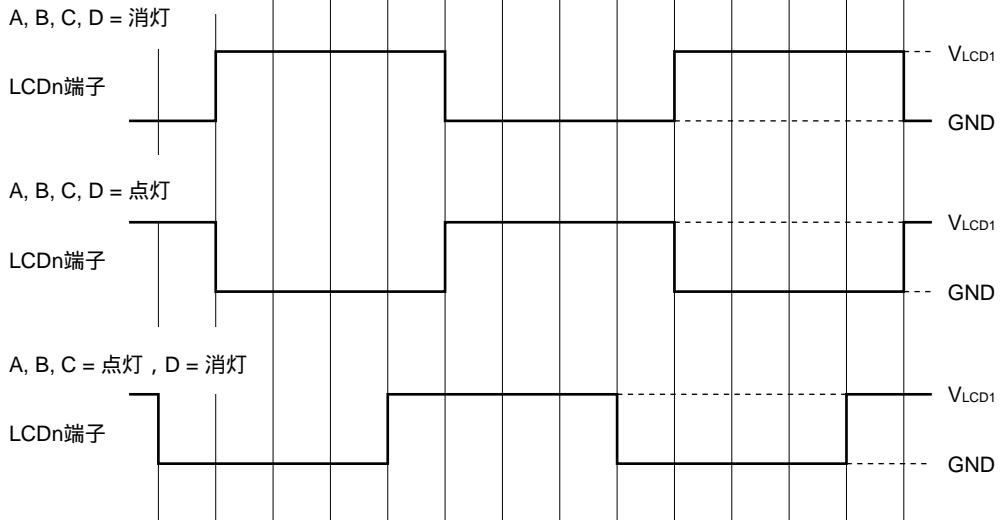
図19 - 9 コモン信号およびセグメント信号出力波形



コモン信号



セグメント信号 (一例)



19.7 LCDコントローラ/ドライバの使用方法

図19 - 10にLCD0-LCD14端子を使用したLCDパネルの結線例を示します。

また、図19 - 10に示したLCD0, LCD1端子の7セグメントを点灯させるプログラム例を次に示します。

例

```

PMNO    MEM    0.01H                ; プリセット・ナンバの格納エリア
CH      FLG    LCDD0.3              ; LCDD0レジスタの上位1ビットを'CH'表示用と
                                           ; してシンボル定義

LCDDATA :                            ; LCDセグメント テーブル・データ

        DW    0000000000000000B    ; BLANK
        DW    0000000000000110B    ; 1
        DW    0000000010110101B    ; 2
        DW    0000000010100111B    ; 3
        DW    0000000001100110B    ; 4
        DW    0000000011100011B    ; 5
        DW    0000000011110011B    ; 6
        DW    0000000010000110B    ; 7
        DW    0000000011110111B    ; 8
        DW    0000000011100111B    ; 9

        MOV   ARO, #.DL.LCDDATA SHR 12 AND 0FH
        MOV   AR1, #.DL.LCDDATA SHR  8 AND 0FH
        MOV   AR2, #.DL.LCDDATA SHR  4 AND 0FH
        MOV   AR3, #.DL.LCDDATA          AND 0FH

        LD    DBF0, ARO
        LD    DBF1, AR1
        LD    DBF2, AR2
        LD    DBF3, AR3

        ADD   DBF0, PMNO
        ADDC  DBF1, #0
        ADDC  DBF2, #0
        ADDC  DBF3, #0

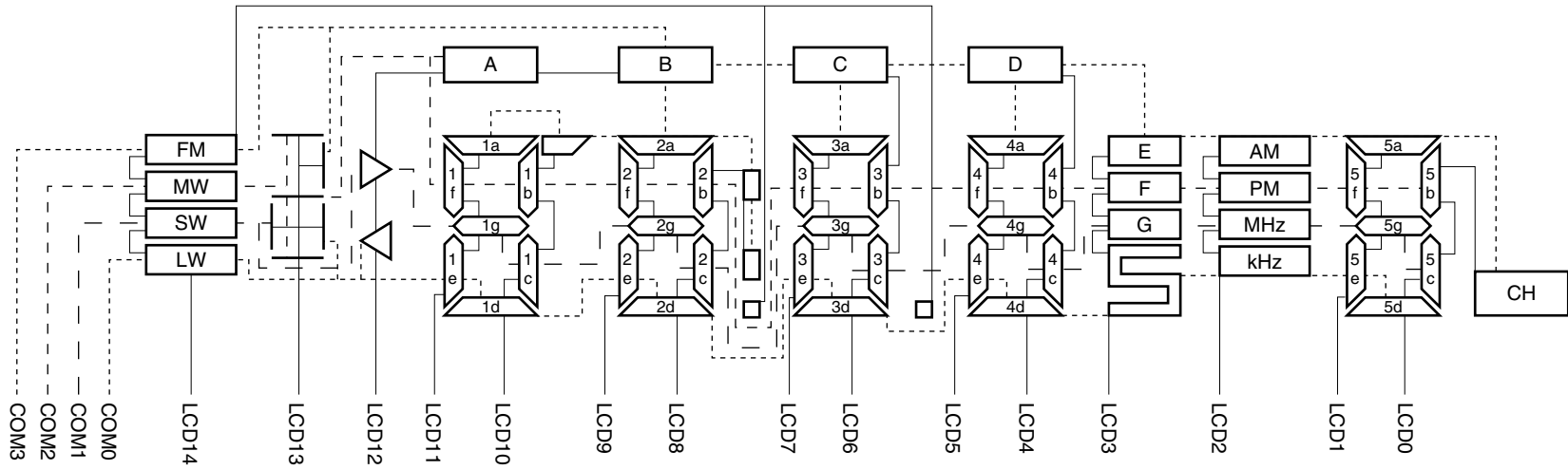
        ST    ARO, DBF0
        ST    AR1, DBF1
        ST    AR2, DBF2
        ST    AR3, DBF3

        MOVT  DBF, @AR                ; テーブル参照命令

BANK1
        ST    LCDD0, DBF0
        ST    LCDD1, DBF1
        SET1  CH
        SET1  LCDEN                    ; LCD ON

```


図19 - 10 LCDパネルの結線例 (LCD0-LCD14を使用した場合)



セグメント端子およびコモン端子とLCDパネル表示の対応表 (LCD0-LCD14端子を使用した場合)

セグメント端子 コモン端子	L C D 14	L C D 13	L C D 12	L C D 11	L C D 10	L C D 9	L C D 8	L C D 7	L C D 6	L C D 5	L C D 4	L C D 3	L C D 2	L C D 1	L C D 0
	COM3	FM		B	1a		2a	:	3a	C	4a	D	E	AM	5a
COM2	MW		A	1f	1b	2f	2b	3f	3b	4f	4b	F	PM	5f	5b
COM1	SW			1g	1c	2g	2c	3g	3c	4g	4c	G	MHz	5g	5c
COM0	LW			1e	1d	2e	2d	3e	3d	4e	4d		kHz	5e	5d

19.8 リセット時の状態

19.8.1 $\overline{\text{RESET}}$ 端子によるリセット時

LCD0-LCD16端子はロウ・レベルを出力します。
LCD17/P2A0-LCD19/P2A2端子は汎用入力ポートに設定されます。
COM0-COM3端子はロウ・レベルを出力します。
したがって、LCD表示はオフします。
LCDセグメント・レジスタの内容は不定になります。

19.8.2 WDT&SPリセット時

LCD0-LCD16端子はロウ・レベルを出力します。
LCD17/P2A0-LCD19/P2A2端子は汎用入力ポートに設定されます。
COM0-COM3端子はロウ・レベルを出力します。
したがって、LCD表示はオフします。
LCDセグメント・レジスタの内容は不定になります。

19.8.3 クロック・ストップ時

LCD0-LCD16端子はロウ・レベルを出力します。
LCD17/P2A0-LCD19/P2A2端子のLCDセグメントに設定されている端子はそのまま保持します。
COM0-COM3端子はロウ・レベルを出力します。
したがって、LCD表示はオフします。
LCDセグメント・レジスタの内容は、以前の状態が保持されます。

19.8.4 ホールト状態中

LCD0-LCD19端子はセグメント信号を出力します。
COM0-COM3端子はコモン信号を出力します。
LCDセグメント・レジスタの内容は、以前の状態が保持されます。

20. スタンバイ

スタンバイ機能は、バックアップ時にデバイスの消費電流を減少させる目的で使用します。

20.1 スタンバイ機能概要

図20 - 1 にスタンバイ・ブロックの概要を示します。

スタンバイ機能はデバイスの動作を一部またはすべて停止させることによりデバイスの消費電流を削減します。

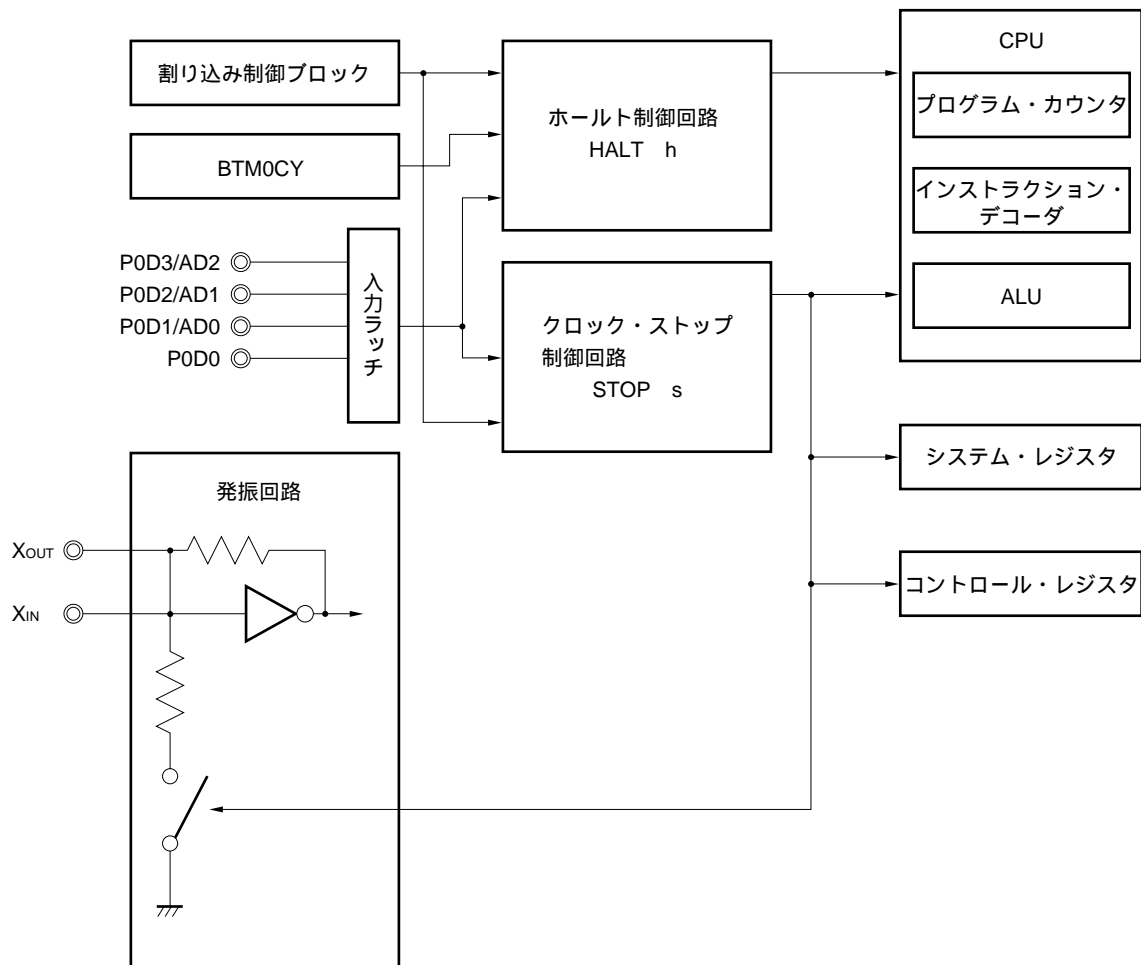
スタンバイ機能には次の2つがあり、用途に応じて使い分けることができます。

- ・ホールト機能
- ・クロック・ストップ機能

ホールト機能は、専用命令である“HALT h”命令でCPUの動作を停止させることにより、デバイスの消費電流を削減します。

クロック・ストップ機能は、専用命令である“STOP s”命令で発振回路の発振を停止させることにより、デバイスの消費電流を削減します。

図20 - 1 スタンバイ・ブロック概要



20.2 ホールト機能

20.2.1 ホールト機能概要

ホールト機能は，“HALT h”命令を実行することによりCPUの動作クロックを停止します。

“HALT h”命令が実行されると，以後ホールト状態が解除されるまでプログラムは停止したままになります。したがって，ホールト状態中のデバイス消費電流はCPUの動作電流分だけ減少します。

ホールト状態からの解除はベーシック・タイマ0キャリーFF，割り込みおよびポート入力（POD）により行います。

解除条件は“HALT h”命令のオペランドである“h”により指定します。

20.2.2 ホールト状態

ホールト状態中はCPUの動作がすべて停止します。すなわちプログラムの実行が“HALT h”命令で停止している状態になります。ただし，周辺ハードウェアは“HALT h”命令以前に設定されている動作をそのまま継続します。

各周辺ハードウェアの動作については“20.4 ホールトおよびクロック・ストップ時のデバイス動作”を参照してください。

20.2.3 ホールト解除条件

図20 - 2 にホールト解除条件を示します。

ホールト解除条件は，“HALT h”命令のオペランド“h”で指定する4ビット・データにより設定します。

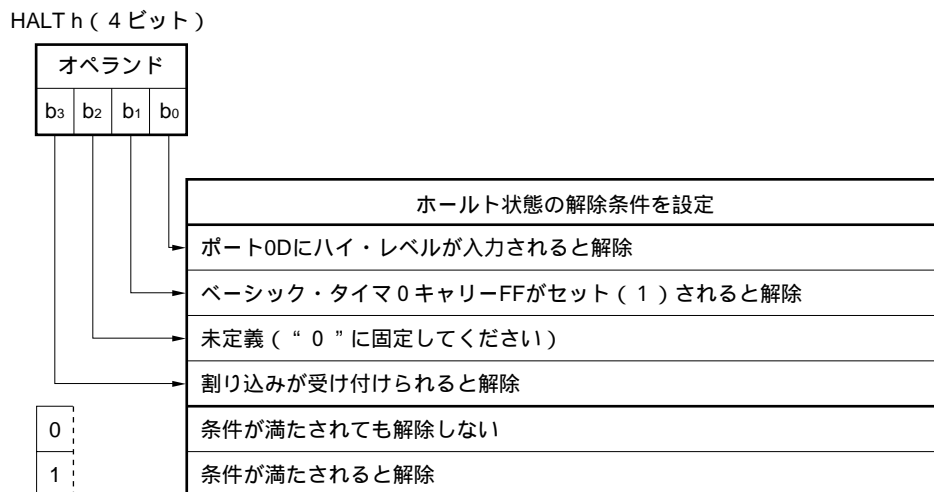
ホールト状態は，オペランド“h”に“1”で指定された条件が満たされると解除されます。

ホールト状態が解除されると，“HALT h”命令の次の命令からプログラムを実行します。ただし，割り込みによる解除を指定した場合には，割り込み許可（IP x x x = 1）されていてかつ割り込み要因が発行（IRQ x x x = 1）されたとき，割り込みイネーブル状態“EI”，ディスエーブル状態“DI”のどちらかに指定されているかでホールト解除後のプログラム動作が異なりますので注意が必要です。

また，このとき一度に複数の解除条件が設定されていると，設定されている条件のどれか1つでも満たされればホールト状態は解除されます。

ホールト解除条件“h”に0000Bが設定されると，どの解除条件も設定されません。このときデバイスにリセットがかかる場合とホールト状態が解除されます。

図20 - 2 ホールト解除条件



20.2.4 入力ポート (P0D) によるホールト解除

入力ポートによるホールト解除条件は，“HALT 0001B” 命令で設定します。

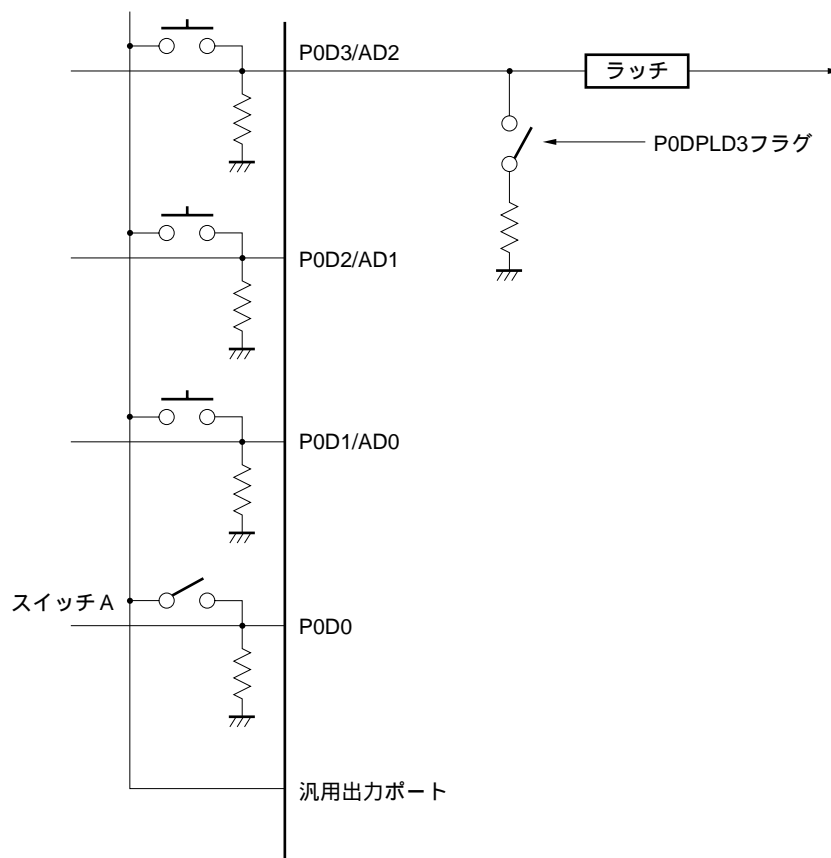
入力ポートによるホールト解除条件を設定すると，P0D0-P0D3端子の4本のうちどれか1本にでもハイ・レベルが入力されたときにホールト状態を解除します。

P0D0-P0D3端子はA/Dコンバータ入力端子AD0-AD2端子と兼用端子となっており（ただしP0D0を除く），A/Dコンバータ入力端子として選択されている場合にはホールト解除されません。

次に使用例を示します。

・キー・マトリクスとして使用する場合

P0D0-P0D3端子は，1ビット単位で切り替えが可能なプルダウン抵抗付き汎用入力ポートです。したがって，ソフトウェアで内部プルダウン抵抗を指定した場合には，この例のような外付け抵抗を削除できます（RESET端子によるリセット時は内部プルダウン抵抗が指定されています）。



キー・ソース信号用の汎用出力ポートをハイ・レベルにしたあとに，“HALT 0001B” 命令を実行します。

このとき，上図に示すスイッチAのようにオルタネート・スイッチを用いていると，スイッチAが閉じている間は常にP0D0端子にハイ・レベルが加わるため，ホールト状態はただちに解除されてしまいます。十分注意してください。

20.2.5 ベーシック・タイマ0 キャリーFFによるホールド解除

ベーシック・タイマ0 キャリーFFによるホールド解除は，“HALT 0010B”命令で設定します。

ベーシック・タイマ0 キャリーFFによるホールド解除が設定されると，ベーシック・タイマ0 キャリーFFがセット（1）されると同時にホールド状態が解除されます。

ベーシック・タイマ0 キャリーFFは，BTMOCYフラグと1対1に対応しており，一定時間ごと（125 ms）にセットされます。したがって，一定時間ごとにホールド状態を解除することができます。

例 125 msごとにホールド状態を解除し，処理Aを実行する。

```

HLTTMR DAT    0010B      ; シンボル定義
LOOP :
    HALT  HLTTMR      ; ホールド解除条件をベーシック・タイマ0 キャリーFFのセットに設定
    SKT1  BTMOCY      ; 組み込みマクロ
    BR    LOOP        ; BTMOCYフラグがセットされていなければLOOPへ分岐

    [ 処理 A ]        ; キャリーが出れば処理Aを実行

    BR    LOOP
    
```

20.2.6 割り込みによるホールド解除

割り込みによるホールド解除は“HALT 1000B”命令で設定します。

割り込みによるホールド解除が設定されると，割り込みが受け付けられると同時にホールド状態が解除されます。

割り込み要因には，12．割り込みで説明したように複数の要因があります。したがって，どの割り込み要因でホールド解除するかはあらかじめプログラムで指定しておく必要があります。

また，割り込みが受け付けられるためには，各割り込み要因からの割り込み要求の発行以外に各割り込みごとの許可（割り込み許可フラグのセット）を設定しておく必要があります。

したがって，割り込み要求が発行されてもその割り込みが許可されていなければ割り込みは受け付けられず，ホールド状態も解除されません。

割り込みの受け付けによりホールド状態が解除されると，プログラムの流れは各割り込みのベクタ・アドレスへ移ります。

割り込みの処理後は，RETI命令を実行するとプログラムの流れはHALT命令の次の命令に復帰します。

また，すべての割り込みが禁止（DI状態）されていれば，割り込み許可（IP x x x = 1）かつ割り込み要因の発行（IRQ x x x = 1）によりホールド状態が解除されプログラムの流れはHALT命令の次の命令へ移ります。

例 タイマ 0 , INT端子の割り込みによるホールド解除

この例では、タイマ 0 による割り込み受け付け時にはホールド状態を解除して処理 B を実行し、INT端子による割り込み受け付け時には処理 A を実行します。

またホールド状態が解除されるたびに処理 C を実行します。

```

HLTINT   DAT    1000B           ; シンボル定義
START:                                       ; アドレス0000H
        BR     MAIN           ;
;***割り込みベクタ・アドレス***
        NOP                    ; S101
        NOP                    ; ベーシック・タイマ 1
        BR     INTTMO         ; タイマ 0 割り込み処理に分岐
INTP:    ; INT端子割り込み処理に分岐
        ; INT端子割り込みベクタ・アドレス(0004H)

        [ 処理 A ]             ; INT端子による割り込み処理

        EI
        RETI

INTTMO:  [ 処理 B ]             ; タイマ 0 による割り込み処理

        EI
        RETI

MAIN:    INITFLG TMOCK1, TMOCK0 ; タイマ 0 カウント・クロックを40 μsに設定
        MOV    DBF1, #0
        MOV    DBF0, #32H
        PUT    TMOM, DBF       ; タイマ 0 割り込みの時間間隔を2 msに設定
        SET2   TMORES, TMOEN   ; タイマ 0 のリセット, スタート
        SET2   IPTMO, IPO      ; INT端子およびタイマ 0 の割り込みを許可

LOOP:    [ 処理 C ]             ; メイン・ルーチン処理

        EI                     ; すべての割り込みを許可
        HALT   HLTINT         ; 割り込みによるホールド解除の設定
        ;
        BR     LOOP
    
```

ホールド状態中に同時にINT端子による割り込み要求とタイマ 0 による割り込み要求が発行された場合は、ハードウェア優先順位の高いINT端子の処理 A を実行します。

処理 A の実行後、“ RETI ” が実行されると の “ BR LOOP ” 命令に復帰しますが “ BR LOOP ” 命令は実行されずにすぐタイマ 0 割り込みが受け付けられます。

タイマ 0 割り込み処理である処理 B の実行後 “ RETI ” 命令が実行されると、“ BR LOOP ” 命令を実行しません。

注意 ホールト命令を実行する前に一度割り込み要求フラグ (IRQ × × ×) をリセットしたい場合は、次のようにホールト命令と割り込み要求フラグ (IRQ × × ×) のリセット命令との間にNOP命令 (または1命令以上のほかの命令) を挿入してください。NOP命令 (または1命令以上のほかの命令) を挿入しない場合は、割り込み要求フラグがリセットされないため、ホールト状態がすぐ解除されてしまいます。

例

```

:
:
:
:
CLR1  IRQ × × ×      ; 1回分IRQ × × ×フラグをリセット
NOP                                ; このタイミングでIRQ × × ×フラグをリセットする
                                ; この期間がないとIRQ × × ×フラグをリセットされないため、
                                ; 次のHALT命令がすぐに解除されてしまう
HALT  1000B          ;

```


20.2.7 複数の解除条件が同時に設定された場合

複数のホールト解除条件が同時に設定された場合は、設定された解除条件のうち1つでも条件が満たされるとホールト状態が解除します。

このとき複数の解除条件が同時に満たされたときの解除条件判別方法を次に示します。

例

```

          HLTINTP   DAT    1000B
          HLTBTM   DAT    0010B
          HLTPOD   DAT    0001B
          POD      MEM    0.73H

START:
          BR        MAIN
;***割り込みベクタ・アドレス***
          NOP          ; SIO
          NOP          ; ベーシック・タイマ 1
          NOP          ; TMO
          NOP          ; INT

INTP:
          処理 A      ; INT端子割り込み処理

          EI
          RETI

BTMOUP:
          処理 B      ; タイマ・キャリーFF処理

          RET

PODP:
          処理 C

          RET

MAIN:
          SET1      IPO      ; INT端子の割り込みを許可
          EI

LOOP:
          HALT     HLTINT OR HLTBTM OR HLTPOC
                                ; ホールト解除条件を、割り込み、タイマ・キャリーFF (125 ms) およ
                                ; びPOD入力に設定
          SKF1     BTMOCY    ; BTMOCYフラグを検出
          CALL    BTMOUP    ; セット(1)されていればタイマ・キャリーFF処理
          SKF     POD,1111B ; PODの入力を検出
          CALL    PODP      ; ハイ・レベルであればポート入力処理
          BR      LOOP
    
```

前記例ではホールド解除条件にINT端子の割り込み，125 msベーシック・タイマ0 キャリーFFおよびポート0 D入力の3条件を設定しています。

どの条件でホールド状態が解除されたかを検出するために，割り込みであればベクタ・アドレス，タイマ・キャリーFFであればBTM0CYフラグ，ポート入力であればポート・レジスタを検出します。

複数の解除条件を使用するときは，次に示す2点に注意が必要です。

- ・ホールド状態が解除されたときは，設定されている解除条件のすべてを検出する必要がある。
- ・優先順位の高い解除条件から検出する必要がある。

20.3 クロック・ストップ機能

20.3.1 クロック・ストップ機能概要

クロック・ストップ機能は“STOP s”命令を実行することにより，75 kHz水晶振動子の発振回路を停止します（クロック・ストップ状態）。

したがって，デバイスの消費電流は10 μA MAX. ($T_A = -10 \sim +50$, $V_{DD} = 0.9 \sim 1.8$ V) まで減少します。

20.3.2 クロック・ストップ状態

クロック・ストップ状態は水晶振動子の発生回路が停止するため，CPUおよび周辺ハードウェアなどのデバイス動作はすべて停止します。

CPUおよび各周辺ハードウェアの動作は20.4 ホールドおよびクロック・ストップ時のデバイス動作を参照してください。

20.3.3 クロック・ストップ状態の解除方法

図20-3 にストップ解除条件を示します。

ストップ解除条件は“STOP s”命令のオペランド“s”で指定する4ビット・データにより設定します。

ストップ状態は，オペランド“s”に“1”で指定された条件が満たされると解除されます。

ストップ状態が解除されると，発振回路の安定待ち時間としてベーシック・タイマ0クロック選択レジスタで設定した時間の半分 ($t_{SET}/2$) のホールド期間のあと，プログラムは“STOP s”命令の次の命令から実行を始めます。ただし，割り込みによる解除を指定した場合には，割り込み許可 ($IP \times \times \times = 1$) されていてかつ割り込み要因が発行 ($IRQ \times \times \times = 1$) されたとき，割り込みイネーブル状態“EI”，ディスエーブル状態“DI”のどちらに指定されているかでストップ解除後のプログラム動作が異なりますので注意が必要です。

すべての割り込みが許可 (EI状態) されていれば，割り込み許可 ($IP \times \times \times = 1$) かつ割り込み要因の発行 ($IRQ \times \times \times = 1$) によりストップ状態が解除され，プログラムの流れは各割り込みのベクタ・アドレスへ移ります。

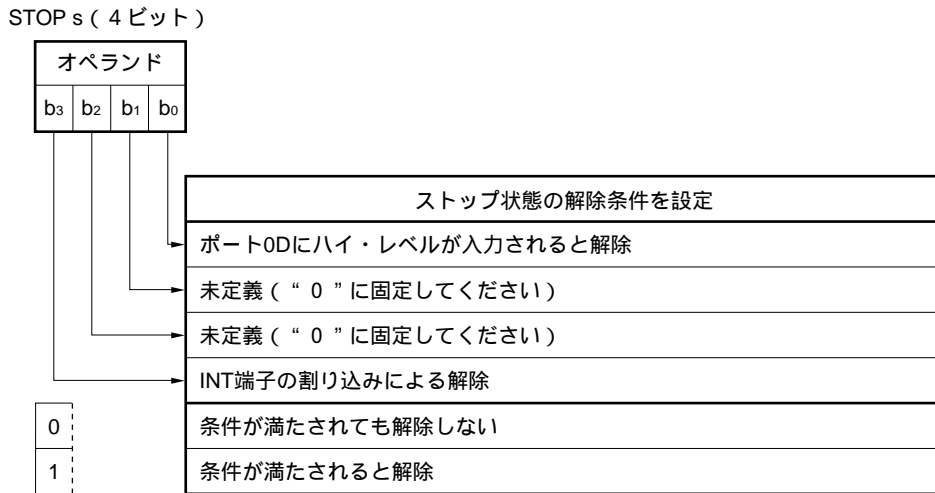
割り込みの処理後は，RETI命令を実行するとプログラムの流れはSTOP命令の次の命令に復帰します。

また，すべての割り込みが禁止 (DI状態) されていれば，割り込み許可 ($IP \times \times \times = 1$) かつ割り込み要因の発行 ($IRQ \times \times \times = 1$) によりストップ状態が解除され，プログラムの流れはSTOP命令の次の命令へ移ります。

また，一度に複数の解除条件が設定されていると，設定されている条件のどれか1つでも満たされれば，ストップ状態は解除されます。

ストップ解除条件“s”に0000Bが設定されると，どの解除条件も設定されません。このときデバイスにリセットがかかるるとストップ状態が解除されます。

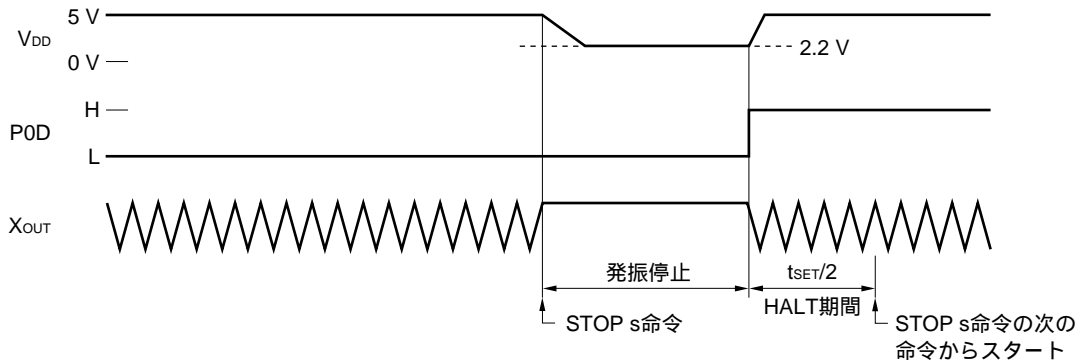
図20 - 3 ストップ解除条件



20.3.4 ポート0Dのハイ・レベル入力によるクロック・ストップ状態の解除

図20 - 4 にポート0Dのハイ・レベル入力によるクロック・ストップ状態の解除動作を示します。

図20 - 4 ポート0Dのハイ・レベル入力によるクロック・ストップ状態の解除動作



t_{SET} : ベーシック・タイマ 0 設定時間

20.4 ホールトおよびクロック・ストップ時のデバイス動作

表20 - 1 にホールト状態中とクロック・ストップ状態中のCPUおよび周辺ハードウェアの動作を示します。

ホールト状態中、すべての周辺ハードウェアは命令の実行が停止する以外は通常動作を継続します。

クロック・ストップ状態中は、すべての周辺ハードウェアが動作を停止します。

周辺ハードウェアの動作状態を制御するコントロール・レジスタは、ホールト状態中は通常どおり動作（イニシャライズされない）しますが、クロック・ストップ命令が実行された時点で所定の値にイニシャライズされます。

つまり各周辺ハードウェアは、ホールト状態中はコントロール・レジスタに設定されている動作を継続し、クロック・ストップ状態中はイニシャライズされたコントロール・レジスタの値に従って動作状態が決定されます。

クロック・ストップ状態時のコントロール・レジスタの値については、8 . レジスタ・ファイル (RF) とコントロール・レジスタを参照してください。

表20 - 1 ホールト状態とクロック・ストップ状態中のデバイス動作

周辺ハードウェア	状 態	
	ホールト時	クロック・ストップ時
プログラム・カウンタ	HALT命令のアドレスでストップ	STOP命令のアドレスでストップ
システム・レジスタ	保 持	保 持
周辺レジスタ	"	一部イニシャライズ ^注
コントロール・レジスタ	"	一部イニシャライズ ^注
タイマ	通常動作	動作停止
PLL周波数シンセサイザ	通常動作	"
A/Dコンバータ	通常動作	"
シリアル・インタフェース	内部クロック（マスタ）動作選択時には動作を停止し、外部クロック（スレーブ）動作選択時には動作を継続する。	動作停止し、汎用入出力ポートになる
周波数カウンタ	通常動作	動作停止し、汎用入力ポートになる
BEEP出力	"	動作停止し、汎用入出力ポートになる
LCDコントローラ/ドライバ	"	動作停止
汎用入出力ポート	"	保 持
汎用入力ポート	"	入力ポート
汎用出力ポート	"	出力ラッチ保持

注 イニシャライズされる値については5 . システム・レジスタ (SYSREG) および8 . レジスタ・ファイル (RF) とコントロール・レジスタを参照してください。

20.5 ホールト状態およびクロック・ストップ状態中の各端子の処理上の注意

ホールト状態は、たとえば時計のみを動作させるときなどの消費電流を減らす目的で使用されます。

また、クロック・ストップ機能はデータ・メモリのみ保持するために消費電流を減らす目的で使用されます。

したがって、ホールト状態およびクロック・ストップ状態中は極力消費電流を減少させる必要があります。

このとき、消費電流は各端子の状態により大きく異なることがあるため、表20 - 2 に示すような注意が必要です。

表20 - 2 ホールトおよびクロック・ストップ状態中の各端子の状態と注意 (1/2)

端子機能		端子記号	各端子の状態と処理上の注意	
			ホールト状態	クロック・ストップ状態
汎用 入出力 ポート	ポート0B	P0B3/BEEP P0B2/SO1 P0B1/S11/SO2 P0B0/ \overline{SCK}	ホールト以前の状態をそのまま保持します。 (1) 出力端子に指定されているとき ハイ・レベル出力中に外部でプルダウンされていたり、ロウ・レベル出力中に外部でプルアップされていると消費電流が増加します。 N-chオープン・ドレイン出力(P1A3-P1A0, P1D3-P1D0)は注意してください。 (2) 入力端子に指定されているとき フローティング状態になっているとノイズにより消費電流が増加します。	すべて汎用ポートに指定されます (P0D3/AD2-P0D1/AD0, P2A2/LCD19-P2A0/LCD17を除く)。 汎用入出力ポートの入力/出力の設定はクロック・ストップ以前の状態を保持します。 (1) 汎用出力ポートに指定されているとき フローティング状態になっているとノイズにより消費電流が増加します。 (2) 汎用入力ポートに指定されているとき フローティング状態であっても、ノイズによる消費電流は増加しない回路になっています。
	ポート1A	P1A3 P1A2 P1A1 P1A0		
	ポート1D	P1D3 P1D2 P1D1 P1D0		
	ポート2B	P2B3-P2B0		
	ポート2C	P2C3-P2C0		
汎用 入力 ポート	ポート0D	P0D3/AD2 P0D2/AD1 P0D1/AD0 P0D0	(3) ポート0D (P0D3/AD2-P0D1/AD0, P0D0) ソフトウェアで選択可能なプルダウン抵抗を内蔵しているため、外部でプルアップされていると消費電流が増加します。	(3) P0D3/AD2-P0D1/AD0, P0D0 A/Dコンバータに設定されている端子はそのまま保持します。 P0D3-P0D0端子のプルダウン抵抗は以前の状態を保持します。
	ポート1C	P1C3/FMIFC/AMIFC P1C2/AMIFC/FCG P1C1/TM1 P1C0/TM0		
	ポート2A	P2A2/LCD19 P2A1/LCD18 P2A0/LCD17		
汎用 出力 ポート	ポート0A	P0A1 P0A0	AMIFC端子をIFカウンタとして使用しているときは、内蔵アンプが動作して消費電流が増加します。	汎用出力ポートに指定されます。 出力されている内容はそのまま保持されます。したがってハイ・レベル出力中に外部でプルダウンされていたり、ロウ・レベル出力中にプルアップされていると消費電流が増加します。
	ポート0C	P0C3-P0C0		

表20 - 2 ホールトおよびクロック・ストップ状態中の各端子の状態と注意 (2/2)

端子機能	端子記号	各端子の状態と処理上の注意	
		ホールト状態	クロック・ストップ状態
外部割り込み	INT	フローティング状態になっていると外部ノイズなどにより消費電流が増加します。	
PLL周波数シンセサイザ	VCOL VCOH EO0 EO1	PLL動作時は消費電流が増加します。 PLLディスエーブル時は次のようになります。 VCOH, VCOL : 内部でプルダウン EO1, EO0 : フローティング	PLLディスエーブル状態になります。 VCOH, VCOL : 内部でプルダウン EO1, EO0 : フローティング
水晶発振回路	XIN XOUT	水晶発振回路の発振波形により消費電流が変化します。 また、発振振幅が大きいほど消費電流は小さくなります。 発振振幅は使用する水晶振動子や負荷コンデンサにより左右されるため、評価が必要です。	IN端子は内部でプルダウンされ、XOUT端子はハイ・レベルを出力します。
LCDコントローラ/ドライバ	LCD19/P2A2 LCD18/P2A1 LCD17/P2A0 LCD16 LCD0 COM3 COM0	(1) LCD19/P2A2-LCD17/P2A0を汎用入力ポートとして使用しているとき 汎用入力ポートとして使用しているときは、前記汎用ポートと同様の注意が必要です。 (2) LCDコントローラ/ドライバとして使用しているとき (LCDEN = 1) LCD19-LCD0 : セグメント信号を出力 COM3-COM0 : コモン信号を出力 (3) LCD表示オフ (LCDEN = 0) LCD19-LCD0 : ロウ・レベルを出力 COM3-COM0 : ロウ・レベルを出力	(1) LCD19/P2A2-LCD17/P2A0を汎用入力ポートとして使用しているとき 汎用入力ポートとして使用しているときは、前記汎用ポートと同様の注意が必要です。 (2) LCDコントローラ/ドライバとして使用しているとき LCDEN = 0となります。 LCD16-LCD0 : ロウ・レベルを出力 COM3-COM0 : ロウ・レベルを出力

21. リセット

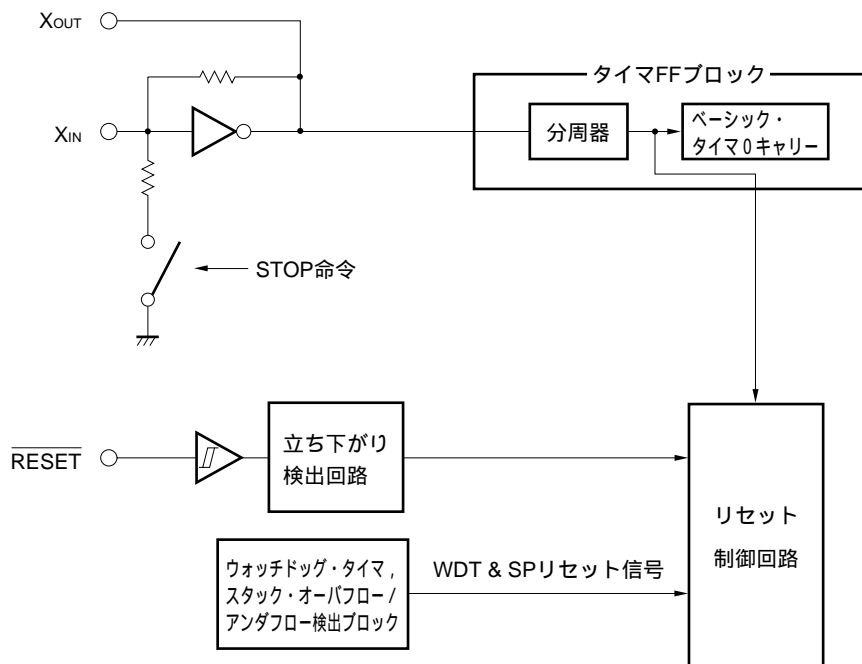
21.1 リセットの概要

リセット機能は、デバイス動作の初期化を行うために使用します。

μ PD17934Aのリセットには、次の種類があります。

- ・ $\overline{\text{RESET}}$ 端子によるリセット
- ・ WDT & SPリセット

図21 - 1 リセット・ブロックの構成



21.2 RESET端子によるリセット

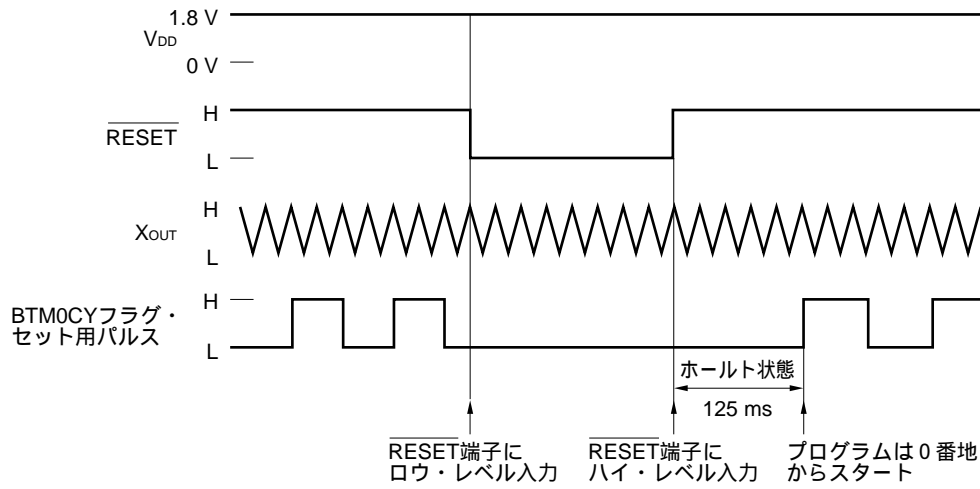
RESET端子にロウ・レベルを入力すると内部リセット信号が発生します。

その時点で、プログラム・カウンタ、スタック、システム・レジスタおよびコントロール・レジスタは初期化されます（初期値については各項を参照してください）。

次にRESET端子をハイ・レベルにすると、125 ms後のベーシック・タイム0 キャリーFFセット用信号の立ち上がりエッジでプログラムが0番地からスタートします。

なお、プログラム実行中にRESET端子によるリセットを行うと、データ・メモリのデータが破壊される場合があります。

図21 - 2 RESET端子によるリセットの動作

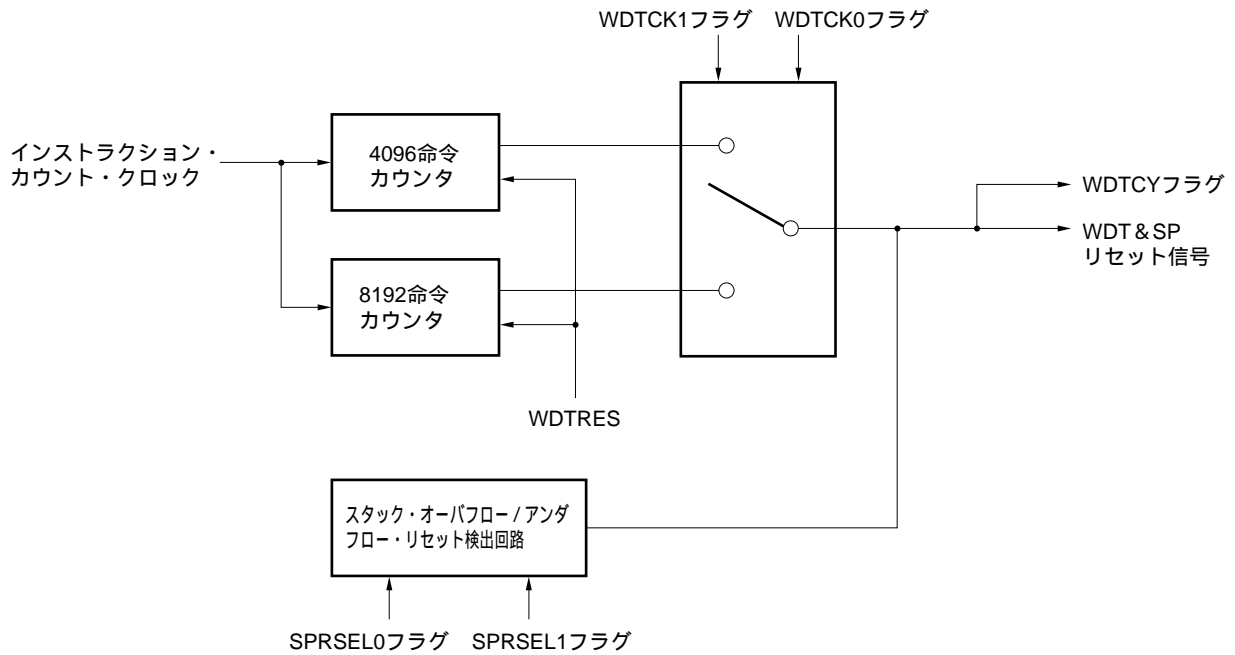


21.3 WDT & SPリセット

WDT & SPリセットは、次のリセットを表します。

- ・ウォッチドッグ・タイマ・リセット
- ・スタック・ポインタ・オーバフロー/アンダフロー・リセット

図21-3 WDT & SPリセットの概要



21.3.1 ウォッチドッグ・タイマ・リセット

ウォッチドッグ・タイマは、プログラムの実行シーケンスが不良動作（暴走）を起こしたとき、リセット信号を発生する回路です。

不良動作（暴走）とは、外部ノイズなどによりプログラムが意図しないルーチンに飛んでいき、特定の無限ループに陥り、システムがデッド・ロックされた状態になることです。ウォッチドッグ・タイマを利用すると一定基準時間ごとにウォッチドッグ・タイマからのリセット信号が発生し、プログラムを0番地から実行することで、不良動作から回復することが可能です。

クロック・ストップ・モード，ホールド・モード時には機能を停止します。

ウォッチドッグ・タイマでのリセットは、スタック・オーバフロー選択レジスタ，ウォッチドッグ・タイマ・カウンタ・リセット・レジスタ，ベーシック・タイマ0キャリー・レジスタを除いて、すべて初期化されます。

ウォッチドッグ・タイマ・リセットの発生検出はWDTCYフラグ（R & Reset）により行います。

21.3.2 ウォッチドッグ・タイマ設定フラグ

電源投入時のパワーオン・リセットおよびRESET端子によるリセット後，1回のみ設定可能です。

WDTCK0，WDTCK1フラグは，リセット信号を出力する間隔を設定します。

基準時間は，次の3種類が選択できます。

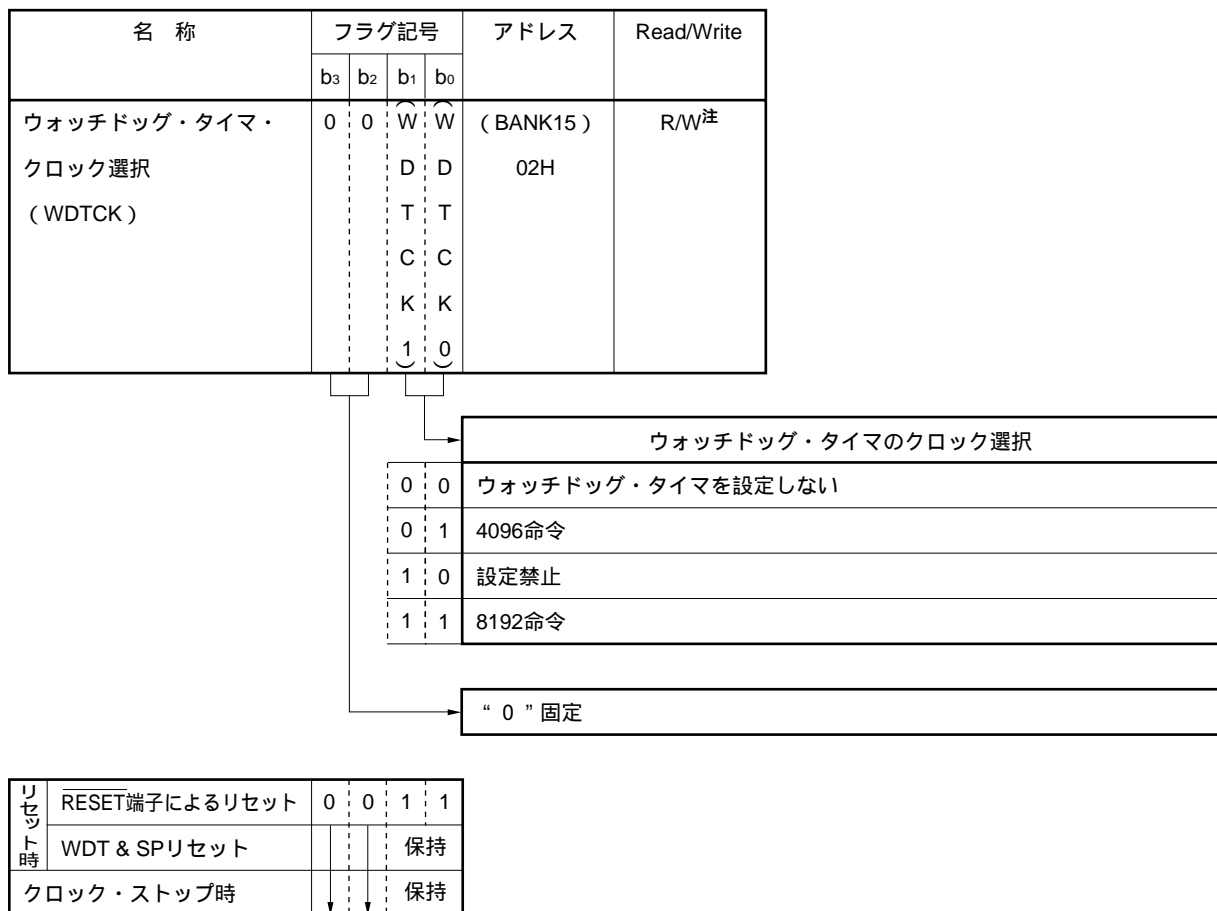
- ・ 4096命令
- ・ 8192命令
- ・ ウォッチドッグ・タイマを設定しない

電源投入時は，8192命令が選択されています。

リセット信号発生間隔が8192命令の場合，8192命令を越えない間隔でウォッチドッグ・タイマFFをリセットする必要があります。リセットの有効期間は1命令～8192命令の間です。

リセット信号発生間隔が4096命令の場合，4096命令を越えない間隔でウォッチドッグ・タイマFFをリセットする必要があります。リセットの有効期間は1命令～4096命令の間です。

図21 - 4 ウォッチドッグ・タイマ・クロック選択レジスタの構成

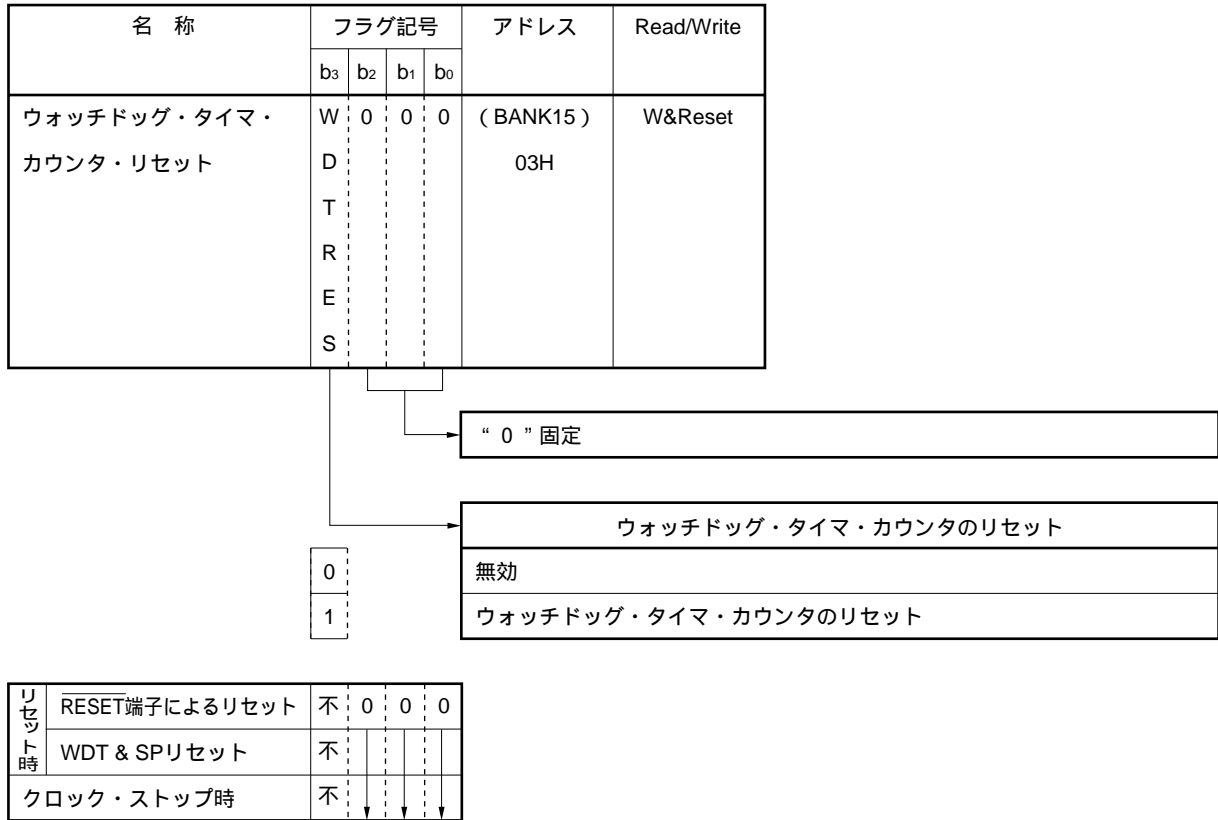


注 1回のみ書き込み可能

WDTRESフラグはウォッチドッグ・タイマ・カウンタをリセットするためのフラグです。

WDTRESフラグをセット（1）すると、自動的にウォッチドッグ・タイマ・カウンタがリセットされます。WDTCK0, WDTCK1フラグで設定した基準時間以内に1回WDTRESフラグをセット（1）すると、ウォッチドッグ・タイマによるリセット信号は出力されません。

図21 - 5 ウォッチドッグ・タイマ・カウンタ・リセット・レジスタの構成



不：不定

21.3.3 スタック・ポインタ・オーバフロー/アンダフロー・リセット

アドレスまたは割り込みのスタックが、オーバフローまたはアンダフローしたとき、リセット信号が発生します。

スタック・ポインタ・オーバフロー/アンダフロー・リセットは、ウォッチドッグ・タイマ・リセットと同様に、不良動作（暴走）を検出することに使用できます。

リセットの発生する条件は次のとおりです。

- ・割り込みスタック（4レベル）のオーバフローまたはアンダフローによる割り込み
- ・アドレス・スタック（15レベル）のオーバフローまたはアンダフローによる割り込み

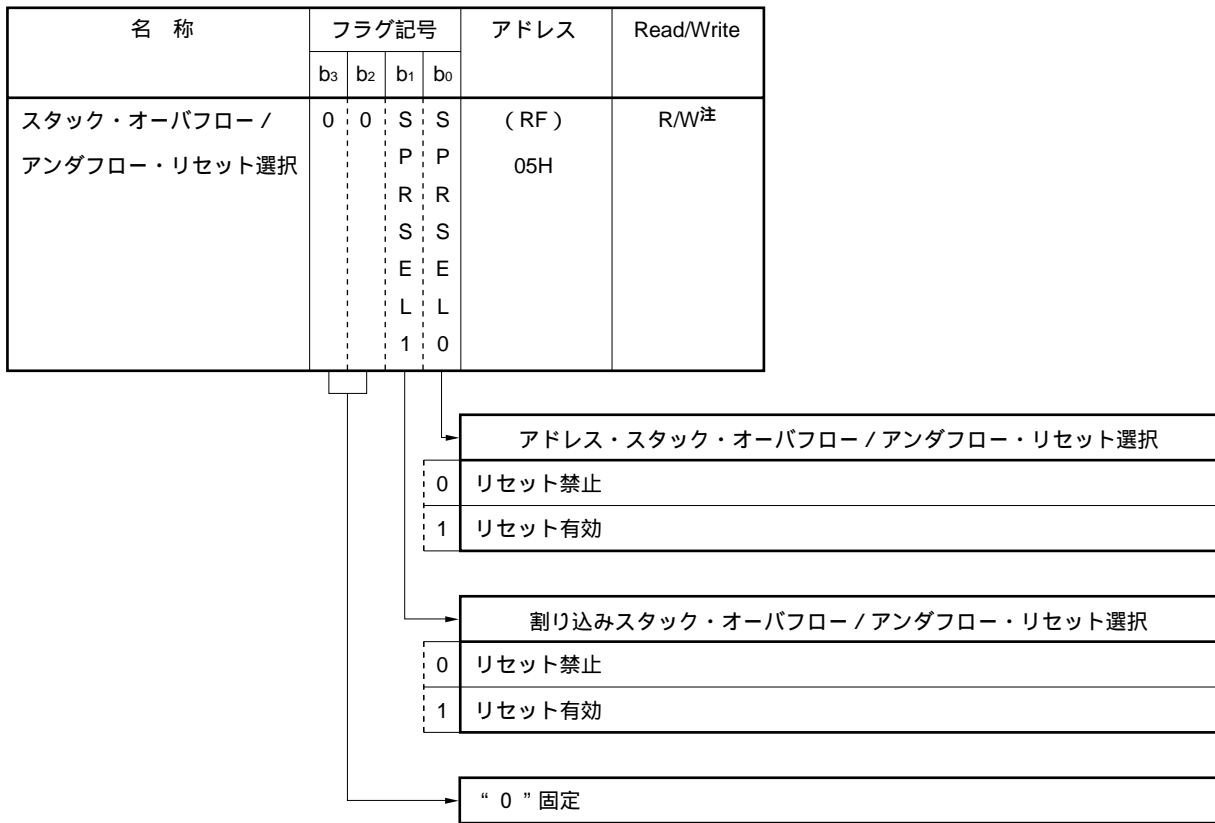
スタック・ポインタ・オーバフロー/アンダフローでのリセットは、スタック・オーバフロー選択レジスタ、ウォッチドッグ・タイマ・カウンタ・リセット・レジスタ、ベーシック・タイマ0キャリー・レジスタを除いて、すべて初期化されます。

スタック・ポインタ・オーバフロー/アンダフロー・リセットの発生検出はWDTCYフラグ（R & Reset）により行います。

21.3.4 スタック・ポインタ設定フラグ

スタック・オーバフロー/アンダフロー・リセット選択レジスタは、 $\overline{\text{RESET}}$ 端子によるリセット後、1回のみ設定可能です。アドレス・スタック・オーバフロー/アンダフローおよび割り込みスタック・オーバフロー/アンダフローによるリセットを有効にするか禁止するかを設定します。

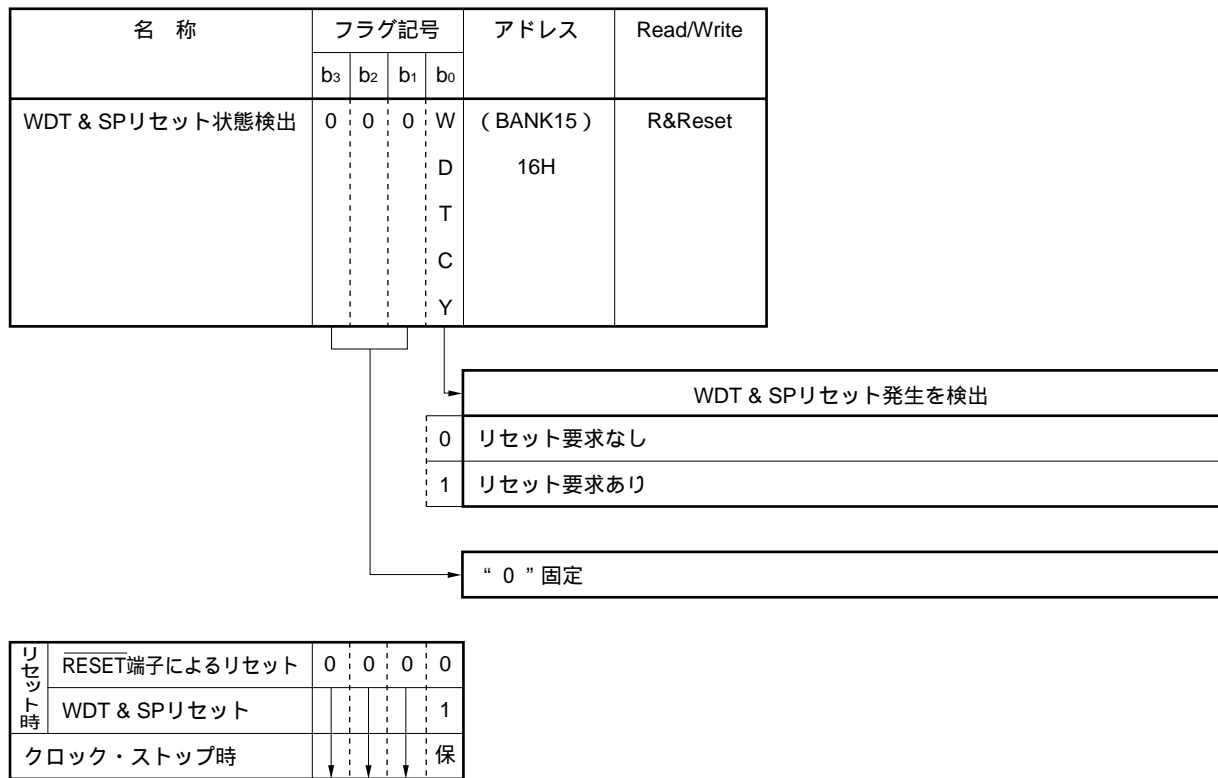
図21 - 6 スタック・オーバーフロー/アンダフロー・リセット選択レジスタの構成



リセット時	RESET端子によるリセット	0	0	1	1
	WDT & SPリセット				保持
	クロック・ストップ時				保持

注 1 回のみ書き込み可能

図21 - 7 WDT & SPリセット選択レジスタの構成



保：保持

22. 命令セット

22.1 命令セット概要

b ₁₄ -b ₁₁		b ₁₅		0		1	
BIN	HEX						
0000	0	ADD	r, m	ADD	m, #n4		
0001	1	SUB	r, m	SUB	m, #n4		
0010	2	ADDC	r, m	ADDC	m, #n4		
0011	3	SUBC	r, m	SUBC	m, #n4		
0100	4	AND	r, m	AND	m, #n4		
0101	5	XOR	r, m	XOR	m, #n4		
0110	6	OR	r, m	OR	m, #n4		
0111	7	INC	AR				
		INC	IX				
		RORC	r				
		MOVT	DBF, @AR				
		PUSH	AR				
		POP	AR				
		GET	DBF, p				
		PUT	p, DBF				
		PEEK	WR, rf				
		POKE	rf, WR				
		BR	@AR				
		CALL	@AR				
		RET					
		RETSK					
		RETI					
EI							
DI							
STOP	s						
HALT	h						
NOP							
1000	8	LD	r, m	ST	m, r		
1001	9	SKE	m, #n4	SKGE	m, #n4		
1010	A	MOV	@r, m	MOV	m, @r		
1011	B	SKNE	m, #n4	SKLT	m, #n4		
1100	C	BR	addr (ページ 0)	CALL	addr (ページ 0)		
1101	D	BR	addr (ページ 1)	MOV	m, #n4		
1110	E	BR	addr (ページ 2)	SKT	m, #n		
1111	F	BR	addr (ページ 3)	SKF	m, #n		

22.2 凡 例

AR	: アドレス・レジスタ
ASR	: スタック・ポインタで示されるアドレス・スタック・レジスタ
addr	: プログラム・メモリ・アドレス (下位11ビット)
BANK	: バンク・レジスタ
CMP	: コンペア・フラグ
CY	: キャリー・フラグ
DBF	: データ・バッファ
h	: ホールト解除条件
INTEF	: インタラプト・イネーブル・フラグ
INTR	: 割り込み時スタックに自動退避されるレジスタ
INTSK	: 割り込みスタック・レジスタ
IX	: インデクス・レジスタ
MP	: データ・メモリ・ロウ・アドレス・ポインタ
MPE	: メモリ・ポインタ・イネーブル・フラグ
m	: m _R , m _C で示されるデータ・メモリ・アドレス
m _R	: データ・メモリ・ロウ・アドレス (上位)
m _C	: データ・メモリ・カラム・アドレス (下位)
n	: ビット・ポジション (4ビット)
n4	: イミューディエト・データ (4ビット)
PAGE	: ページ (プログラム・カウンタのビット12, 11)
PC	: プログラム・カウンタ
p	: 周辺アドレス
p _H	: 周辺アドレス (上位3ビット)
p _L	: 周辺アドレス (下位4ビット)
r	: ジェネラル・レジスタ・カラム・アドレス
rf	: レジスタ・ファイル・アドレス
rf _R	: レジスタ・ファイル・ロウ・アドレス (上位3ビット)
rf _C	: レジスタ・ファイル・カラム・アドレス (下位4ビット)
SP	: スタック・ポインタ
s	: ストップ解除条件
WR	: ウィンドウ・レジスタ
(x)	: xでアドレスされる内容

22.3 命令一覧表

命令群	二モニック	オペランド	オペレーション	命令コード			
				オペ・コード		オペランド	
加算	ADD	r, m	(r) (r) + (m)	00000	m _R	m _C	r
		m, #n4	(m) (m) + n4	10000	m _R	m _C	n4
	ADDC	r, m	(r) (r) + (m) + CY	00010	m _R	m _C	r
		m, #n4	(m) (m) + n4 + CY	10010	m _R	m _C	n4
	INC	AR	AR AR + 1	00111	000	1001	0000
IX		IX IX + 1	00111	000	1000	0000	
減算	SUB	r, m	(r) (r) - (m)	00001	m _R	m _C	r
		m, #n4	(m) (m) - n4	10001	m _R	m _C	n4
	SUBC	r, m	(r) (r) - (m) - CY	00011	m _R	m _C	r
		m, #n4	(m) (m) - n4 - CY	10011	m _R	m _C	n4
論理演算	OR	r, m	(r) (r) (m)	00110	m _R	m _C	r
		m, #n4	(m) (m) n4	10110	m _R	m _C	n4
	AND	r, m	(r) (r) (m)	00100	m _R	m _C	r
		m, #n4	(m) (m) n4	10100	m _R	m _C	n4
	XOR	r, m	(r) (r) - (m)	00101	m _R	m _C	r
		m, #n4	(m) (m) - n4	10101	m _R	m _C	n4
判断	SKT	m, #n	CMP 0, if (m) n = n, then skip	11110	m _R	m _C	n
	SKF	m, #n	CMP 0, if (m) n = 0, then skip	11111	m _R	m _C	n
比較	SKE	m, #n4	(m) - n4, skip if zero	01001	m _R	m _C	n4
	SKNE	m, #n4	(m) - n4, skip if not zero	01011	m _R	m _C	n4
	SKGE	m, #n4	(m) - n4, skip if not borrow	11001	m _R	m _C	n4
	SKLT	m, #n4	(m) - n4, skip if borrow	11011	m _R	m _C	n4
回転	RORC	r		00111	000	0111	r

命令群	二モニック	オペランド	オペレーション	命令コード			
				オペ・コード		オペランド	
転送	LD	r, m	(r) (m)	01000	m _R	m _C	r
	ST	m, r	(m) (r)	11000	m _R	m _C	r
	MOV	@r, m	if MPE = 1 : (MP, (r)) (m) if MPE = 0 : (BANK, m _R , (r)) (m)	01010	m _R	m _C	r
		m, @r	if MPE = 1 : (m) (MP, (r)) if MPE = 0 : (m) (BANK, m _R , (r))	11010	m _R	m _C	r
		m, #n4	(m) n4	11101	m _R	m _C	n4
	MOVT	DBF, @AR	SP SP - 1, ASR PC, PC AR, DBF (PC), PC ASR, SP SP + 1	00111	000	0001	0000
	PUSH	AR	SP SP - 1, ASR AR	00111	000	1101	0000
	POP	AR	AR ASR, SP SP + 1	00111	000	1100	0000
	GET	DBF, p	DBF (p)	00111	p _H	1011	p _L
	PUT	p, DBF	(p) DBF	00111	p _H	1010	p _L
	PEEK	WR, rf	WR (rf)	00111	rf _R	0011	rf _C
	POKE	rf, WR	(rf) WR	00111	rf _R	0010	rf _C
分岐	BR	addr	PC ₁₀₋₀ addr, PAGE 0	01100	addr		
			PC ₁₀₋₀ addr, PAGE 1	01101			
			PC ₁₀₋₀ addr, PAGE 2	01110			
			PC ₁₀₋₀ addr, PAGE 3	01111			
	@AR	PC AR	00111	000	0100	0000	
サブルーチン	CALL	addr	SP SP - 1, ASR PC PC ₁₁ 0, PC ₁₀₋₀ addr	11100	addr		
			@AR	SP SP - 1, ASR PC PC AR	00111	000	0101
	RET		PC ASR, SP SP + 1	00111	000	1110	0000
	RETSK		PC ASR, SP SP + 1 and skip	00111	001	1110	0000
	RETI		PC ASR, INTR INTRSK, SP SP + 1	00111	010	1110	0000
割り込み	EI		INTEF 1	00111	000	1111	0000
	DI		INTEF 0	00111	001	1111	0000
その他	STOP	s	STOP	00111	010	1111	s
	HALT	h	HALT	00111	011	1111	h
	NOP		No operation	00111	100	1111	0000

22.4 アセンブラ (RA17K) 組み込みマクロ命令

凡 例

- flag n : FLG型シンボル
- n : ビット番号
- : 内は省略可能

	二モニック	オペランド	オペレーション	n
組み込みマクロ	SKTn	flag 1, ... flag n	if (flag 1) ~ (flag n) = all " 1 " , then skip	1 n 4
	SKFn	flag 1, ... flag n	if (flag 1) ~ (flag n) = all " 0 " , then skip	1 n 4
	SETn	flag 1, ... flag n	(flag 1) ~ (flag n) 1	1 n 4
	CLRN	flag 1, ... flag n	(flag 1) ~ (flag n) 0	1 n 4
	NOTn	flag 1, ... flag n	if (flag n) = " 0 " , then (flag n) 1 if (flag n) = " 1 " , then (flag n) 0	1 n 4
	INITFLG	NOT flag 1, ... NOT flag n	if description = NOT flag n, then (flag n) 0 if description = flag n, then (flag n) 1	1 n 4
	BANKn		(BANK) n	0 n 15
拡張命令	BRX	Label	Jump Label	-
	CALLX	function-name	CALL sub-routine	-
	SYSCALX	function-name or expression	CALL system sub-routine	-
	INITFLGX	NOT/INV flag 1, ... NOT/INV flag n	if description = NOT (or INV) flag, (flag) 0 if description = flag, (flag) 1	n 4

23. 予約シンボル

23.1 データ・バッファ (DBF)

シンボル名	属性	値	R/W	説 明
DBF3	MEM	0.0CH	R/W	データ・バッファのビット15-ビット12
DBF2	MEM	0.0DH	R/W	データ・バッファのビット11-ビット8
DBF1	MEM	0.0EH	R/W	データ・バッファのビット7-ビット4
DBF0	MEM	0.0FH	R/W	データ・バッファのビット3-ビット0

23.2 システム・レジスタ (SYSREG)

シンボル名	属性	値	R/W	説 明
AR3	MEM	0.74H	R/W	アドレス・レジスタのビット15-ビット12
AR2	MEM	0.75H	R/W	アドレス・レジスタのビット11-ビット8
AR1	MEM	0.76H	R/W	アドレス・レジスタのビット7-ビット4
AR0	MEM	0.77H	R/W	アドレス・レジスタのビット3-ビット0
WR	MEM	0.78H	R/W	ウインドウ・レジスタ
BANK	MEM	0.79H	R/W	バンク・レジスタ
IXH	MEM	0.7AH	R/W	インデクス・レジスタのビット10-ビット8
MPH	MEM	0.7AH	R/W	メモリ・ポインタのビット6-ビット4
MPE	FLG	0.7AH.3	R/W	メモリ・ポインタ・イネーブル・フラグ
IXM	MEM	0.7BH	R/W	インデクス・レジスタのビット7-ビット4
MPL	MEM	0.7BH	R/W	メモリ・ポインタのビット3-ビット0
IXL	MEM	0.7CH	R/W	インデクス・レジスタのビット3-ビット0
RPH	MEM	0.7DH	R/W	ジェネラル・レジスタ・ポインタのビット6-ビット3
RPL	MEM	0.7EH	R/W	ジェネラル・レジスタ・ポインタのビット2-ビット0
BCD	FLG	0.7EH.0	R/W	BCD演算フラグ
PSW	MEM	0.7FH	R/W	プログラム・ステータス・ワード
CMP	FLG	0.7FH.3	R/W	コンペア・フラグ
CY	FLG	0.7FH.2	R/W	キャリー・フラグ
Z	FLG	0.7FH.1	R/W	ゼロ・フラグ
IXE	FLG	0.7FH.0	R/W	インデクス・イネーブル・フラグ

23.3 LCDセグメント・レジスタ

シンボル名	属性	値	R/W	説 明
LCDD19	MEM	14.5CH	R/W	LCDセグメント・レジスタ
LCDD18	MEM	14.5DH	R/W	LCDセグメント・レジスタ
LCDD17	MEM	14.5EH	R/W	LCDセグメント・レジスタ
LCDD16	MEM	14.5FH	R/W	LCDセグメント・レジスタ
LCDD15	MEM	14.60H	R/W	LCDセグメント・レジスタ
LCDD14	MEM	14.61H	R/W	LCDセグメント・レジスタ
LCDD13	MEM	14.62H	R/W	LCDセグメント・レジスタ
LCDD12	MEM	14.63H	R/W	LCDセグメント・レジスタ
LCDD11	MEM	14.64H	R/W	LCDセグメント・レジスタ
LCDD10	MEM	14.65H	R/W	LCDセグメント・レジスタ
LCDD9	MEM	14.66H	R/W	LCDセグメント・レジスタ
LCDD8	MEM	14.67H	R/W	LCDセグメント・レジスタ
LCDD7	MEM	14.68H	R/W	LCDセグメント・レジスタ
LCDD6	MEM	14.69H	R/W	LCDセグメント・レジスタ
LCDD5	MEM	14.6AH	R/W	LCDセグメント・レジスタ
LCDD4	MEM	14.6BH	R/W	LCDセグメント・レジスタ
LCDD3	MEM	14.6CH	R/W	LCDセグメント・レジスタ
LCDD2	MEM	14.6DH	R/W	LCDセグメント・レジスタ
LCDD1	MEM	14.6EH	R/W	LCDセグメント・レジスタ
LCDD0	MEM	14.6FH	R/W	LCDセグメント・レジスタ

23.4 ポート・レジスタ

シンボル名	属性	値	R/W	説 明
P0A1	FLG	0.70H.1	R/W	ポート0 Aのビット1
P0A0	FLG	0.70H.0	R/W	ポート0 Aのビット0
P0B3	FLG	0.71H.3	R/W	ポート0 Bのビット3
P0B2	FLG	0.71H.2	R/W	ポート0 Bのビット2
P0B1	FLG	0.71H.1	R/W	ポート0 Bのビット1
P0B0	FLG	0.71H.0	R/W	ポート0 Bのビット0
P0C3	FLG	0.72H.3	R/W	ポート0 Cのビット3
P0C2	FLG	0.72H.2	R/W	ポート0 Cのビット2
P0C1	FLG	0.72H.1	R/W	ポート0 Cのビット1
P0C0	FLG	0.72H.0	R/W	ポート0 Cのビット0
P0D3	FLG	0.73H.3	R ^注	ポート0 Dのビット3
P0D2	FLG	0.73H.2	R ^注	ポート0 Dのビット2
P0D1	FLG	0.73H.1	R ^注	ポート0 Dのビット1
P0D0	FLG	0.73H.0	R ^注	ポート0 Dのビット0
P1A3	FLG	1.70H.3	R/W	ポート1 Aのビット3
P1A2	FLG	1.70H.2	R/W	ポート1 Aのビット2
P1A1	FLG	1.70H.1	R/W	ポート1 Aのビット1
P1A0	FLG	1.70H.0	R/W	ポート1 Aのビット0
P1C3	FLG	1.72H.3	R ^注	ポート1 Cのビット3
P1C2	FLG	1.72H.2	R ^注	ポート1 Cのビット2
P1C1	FLG	1.72H.1	R ^注	ポート1 Cのビット1
P1C0	FLG	1.72H.0	R ^注	ポート1 Cのビット0
P1D3	FLG	1.73H.3	R/W	ポート1 Dのビット3
P1D2	FLG	1.73H.2	R/W	ポート1 Dのビット2
P1D1	FLG	1.73H.1	R/W	ポート1 Dのビット1
P1D0	FLG	1.73H.0	R/W	ポート1 Dのビット0
P2A2	FLG	2.70H.2	R/W	ポート2 Aのビット2
P2A1	FLG	2.70H.1	R/W	ポート2 Aのビット1
P2A0	FLG	2.70H.0	R/W	ポート2 Aのビット0
P2B3	FLG	2.71H.3	R/W	ポート2 Bのビット3
P2B2	FLG	2.71H.2	R/W	ポート2 Bのビット2
P2B1	FLG	2.71H.1	R/W	ポート2 Bのビット1
P2B0	FLG	2.71H.0	R/W	ポート2 Bのビット0

注 入力専用ポートですが、ポートに出力する命令を記述してもアセンブラ、インサーキット・エミュレータはエラー・メッセージを出力しません。また、実際にデバイスで実行させても動作上は何も変化は起こりません。

シンボル名	属性	値	R/W	説 明
P2C3	FLG	2.72H.3	R/W	ポート2Cのビット3
P2C2	FLG	2.72H.2	R/W	ポート2Cのビット2
P2C1	FLG	2.72H.1	R/W	ポート2Cのビット1
P2C0	FLG	2.72H.0	R/W	ポート2Cのビット0

23.5 レジスタ・ファイル(コントロール・レジスタ)

シンボル名	属性	値	R/W	説 明
SP	MEM	0.81H	R/W	スタック・ポインタ
DBFSP	MEM	0.84H	R	DBFスタック・ポインタ
SPRSEL	MEM	0.85H	R/W	スタック・オーパフロー選択フラグ(電源投入後一度だけ設定可能)
MOVTSEL1	FLG	0.87H.1	R/W	MOVTビット選択フラグ
MOVTSEL0	FLG	0.87H.0	R/W	MOVTビット選択フラグ
SYSRSP	MEM	0.88H	R	システム・レジスタ・スタック・ポインタ
WDTCK	MEM	15.02H	R/W	ウォッチドッグ・タイマのクロック選択フラグ
WDTRES	FLG	15.03H.3	R/W	ウォッチドッグ・タイマ・カウンタ・リセット
PLLSCNF	FLG	15.10H.3	R/W	スワロ・カウンタのMSB設定フラグ
PLLMD2	FLG	15.10H.2	R/W	PLLモード選択フラグ
PLLMD1	FLG	15.10H.1	R/W	PLLモード選択フラグ
PLLMD0	FLG	15.10H.0	R/W	PLLモード選択フラグ
PLLRFCCK3	FLG	15.11H.3	R/W	PLL基準周波数選択フラグ
PLLRFCCK2	FLG	15.11H.2	R/W	PLL基準周波数選択フラグ
PLLRFCCK1	FLG	15.11H.1	R/W	PLL基準周波数選択フラグ
PLLRFCCK0	FLG	15.11H.0	R/W	PLL基準周波数選択フラグ
PLLUL	FLG	15.12H.0	R	PLLアン・ロックFFフラグ
BEEP0SEL	FLG	15.14H.2	R/W	BEEP0イネーブル・フラグ
BEEP0CK1	FLG	15.14H.1	R/W	BEEP0クロック選択フラグ
BEEP0CK0	FLG	15.14H.0	R/W	BEEP0クロック選択フラグ
WDTCY	FLG	15.16H.0	R	ウォッチドッグ・タイマ/スタック・ポインタ・リセット・ステータス検出フラグ
BTM0CY	FLG	15.17H.0	R	ベーシック・タイマ0キャリー・フラグ
BTM1CK0	FLG	15.18H.0	R/W	ベーシック・タイマ1クロック選択フラグ
SIO1CK1	FLG	15.1CH.1	R/W	シリアル・インタフェース1入出力クロック選択フラグ
SIO1CK0	FLG	15.1CH.0	R/W	シリアル・インタフェース1入出力クロック選択フラグ
SIO1MOD	FLG	15.1DH.2	R/W	シリアル・インタフェース1 SI1/SO2選択フラグ
SIO1HIZ	FLG	15.1DH.1	R/W	シリアル・インタフェース1汎用ポート選択フラグ
SIO1TS	FLG	15.1DH.0	R/W	シリアル・インタフェース1送受信スタート
IEG0	FLG	15.1FH.0	R/W	INT0端子割り込み要求検出のエッジ方向検出フラグ
FCGCH0	FLG	15.20H.0	R/W	FCGチャンネル選択フラグ
IFCGOSTT	FLG	15.21H.0	R	IFカウンタのゲート状態検出フラグ(1:オープン, 0:クローズ)

シンボル名	属性	値	R/W	説 明
IFCMD1	FLG	15.22H.3	R/W	IFカウンタ・モード選択フラグ (10 : FMIFC , 11 : AMIFC2)
IFCMD0	FLG	15.22H.2	R/W	IFカウンタ・モード選択フラグ (00 : FCG , 01 : AMIFC)
IFCCK1	FLG	15.22H.1	R/W	IFカウンタ・クロック選択フラグ
IFCCK0	FLG	15.22H.0	R/W	IFカウンタ・クロック選択フラグ
IFCSTRT	FLG	15.23H.1	W	IFカウンタのカウンタ開始
IFCRES	FLG	15.23H.0	R/W	IFカウンタ・リセット
ADCCH3	FLG	15.24H.3	R/W	A/Dコンバータ・チャンネル選択フラグ
ADCCH2	FLG	15.24H.2	R/W	A/Dコンバータ・チャンネル選択フラグ
ADCCH1	FLG	15.24H.1	R/W	A/Dコンバータ・チャンネル選択フラグ
ADCCH0	FLG	15.24H.0	R/W	A/Dコンバータ・チャンネル選択フラグ
ADCSTRT	FLG	15.25H.1	R/W	A/Dコンバータ比較開始フラグ
ADCCMP	FLG	15.25H.0	R	A/Dコンバータ比較結果検出フラグ
TM0EN	FLG	15.2BH.3	R/W	モジュロ・タイマ0カウンタ開始フラグ
TM0RES	FLG	15.2BH.2	R/W	モジュロ・タイマ0リセット・フラグ (読み出し時の値は “ 0 ”)
TM0CK1	FLG	15.2BH.1	R/W	モジュロ・タイマ0クロック選択フラグ (10 : TM10 , 11 : TM11)
TM0CK0	FLG	15.2BH.0	R/W	モジュロ・タイマ0クロック選択フラグ (00 : 75 kHz , 01 : 25 kHz)
TM0OVF	FLG	15.2CH.3	R	モジュロ・タイマ0オーバフロー検出フラグ
IPSIO1	FLG	15.2FH.3	R/W	シリアル・インタフェース1割り込み許可フラグ
IPBTM1	FLG	15.2FH.2	R/W	ベーシック・タイマ1割り込み許可フラグ
IPTM0	FLG	15.2FH.1	R/W	モジュロ・タイマ0割り込み許可フラグ
IPO	FLG	15.2FH.0	R/W	INT0端子割り込み許可フラグ
IRQSIO1	FLG	15.3CH.0	R/W	シリアル・インタフェース1割り込み要求検出フラグ
IRQBTM1	FLG	15.3DH.0	R/W	ベーシック・タイマ1割り込み要求検出フラグ
IRQTM0	FLG	15.3EH.0	R/W	モジュロ・タイマ0割り込み要求検出フラグ
INT0	FLG	15.3FH.3	R/W	INT0端子状態検出フラグ
IRQ0	FLG	15.3FH.0	R/W	INT0端子割り込み要求検出フラグ
LCDDBCK	FLG	15.40H.3	R/W	LCD駆動電圧生成用ダブラ回路のクロック選択フラグ
LCDEN	FLG	15.40H.0	R/W	LCDドライバ表示開始フラグ
LCD19SEL	FLG	15.69H.2	R/W	P2A2/LCD19切り替えフラグ
LCD18SEL	FLG	15.69H.1	R/W	P2A1/LCD18切り替えフラグ
LCD17SEL	FLG	15.69H.0	R/W	P2A0/LCD17切り替えフラグ
P0DPLD3	FLG	15.6AH.3	R/W	P0D3端子プルダウン抵抗切り替えフラグ
P0DPLD2	FLG	15.6AH.2	R/W	P0D2端子プルダウン抵抗切り替えフラグ
P0DPLD1	FLG	15.6AH.1	R/W	P0D1端子プルダウン抵抗切り替えフラグ
P0DPLD0	FLG	15.6AH.0	R/W	P0D0端子プルダウン抵抗切り替えフラグ
P2CBIO3	FLG	15.6BH.3	R/W	P2C3入力 / 出力選択フラグ
P2CBIO2	FLG	15.6BH.2	R/W	P2C2入力 / 出力選択フラグ
P2CBIO1	FLG	15.6BH.1	R/W	P2C1入力 / 出力選択フラグ
P2CBIO0	FLG	15.6BH.0	R/W	P2C0入力 / 出力選択フラグ

シンボル名	属性	値	R/W	説 明
P2BBIO3	FLG	15.6CH.3	R/W	P2B3入力 / 出力選択フラグ
P2BBIO2	FLG	15.6CH.2	R/W	P2B2入力 / 出力選択フラグ
P2BBIO1	FLG	15.6CH.1	R/W	P2B1入力 / 出力選択フラグ
P2BBIO0	FLG	15.6CH.0	R/W	P2B0入力 / 出力選択フラグ
P1DBIO3	FLG	15.6DH.3	R/W	P1D3入力 / 出力選択フラグ
P1DBIO2	FLG	15.6DH.2	R/W	P1D2入力 / 出力選択フラグ
P1DBIO1	FLG	15.6DH.1	R/W	P1D1入力 / 出力選択フラグ
P1DBIO0	FLG	15.6DH.0	R/W	P1D0入力 / 出力選択フラグ
P1ABIO3	FLG	15.6EH.3	R/W	P1A3入力 / 出力選択フラグ
P1ABIO2	FLG	15.6EH.2	R/W	P1A2入力 / 出力選択フラグ
P1ABIO1	FLG	15.6EH.1	R/W	P1A1入力 / 出力選択フラグ
P1ABIO0	FLG	15.6EH.0	R/W	P1A0入力 / 出力選択フラグ
P0BBIO3	FLG	15.6FH.3	R/W	P0B3入力 / 出力選択フラグ
P0BBIO2	FLG	15.6FH.2	R/W	P0B2入力 / 出力選択フラグ
P0BBIO1	FLG	15.6FH.1	R/W	P0B1入力 / 出力選択フラグ
P0BBIO0	FLG	15.6FH.0	R/W	P0B0入力 / 出力選択フラグ

23.6 周辺ハードウェア・レジスタ

シンボル名	属性	値	R/W	説 明
ADCR	DAT	02H	R/W	A/Dコンバータ基準電圧設定レジスタ
SIO1SFR	DAT	04H	R/W	シリアル・インタフェース1プリセットアップ・シフト・レジスタ
TM0M	DAT	1AH	R/W	タイマ・モジュール0レジスタ
TM0C	DAT	1BH	R	タイマ・モジュール0カウンタ
AR	DAT	40H	R/W	アドレス・レジスタ
DBFSTK	DAT	41H	R/W	DBFスタック・レジスタ
PLLР	DAT	42H	R/W	PLLデータ・レジスタ
IFC	DAT	43H	R	IFカウンタ・データ・レジスタ

23.7 その他

シンボル名	属性	値	説 明
DBF	DAT	0FH	GET/PUT/MOVT/MOVTH/MOVTЛ命令のオペランド (DBF)
IX	DAT	01H	INC命令のオペランド (IX)
AR_EPA1	DAT	8040H	CALL/BR/MOVT/MOVTH/MOVTЛ命令のオペランド (EPAビット・オン)
AR_EPA0	DAT	4040H	CALL/BR/MOVT/MOVTH/MOVTЛ命令のオペランド (EPAビット・オフ)

24. 電気的特性

絶対最大定格 (TA = 25)

項目	略号	条件	定格	単位
電源電圧	V _{DD0}		- 0.3 ~ + 2.0	V
	V _{DD1}		- 0.3 ~ + 2.0	V
	V _{DD2}		- 0.3 ~ + 2.0	V
入力電圧	V _{I1}	P0D0-P0D3, P1C0-P1C3端子	- 0.3 ~ V _{DD2} + 0.3	V
	V _{I2}	VCOH, VCOL端子	- 0.3 ~ V _{DD1} + 0.3	V
	V _{I3}	P0B0-P0B3, P1A0-P1A3, P1D0-P1D3, P2A0-P2A2, P2B0-P2B3, P2C0-P2C3 RESET, INT端子	- 0.3 ~ V _{DD0} + 0.3	V
出力電圧	V _{O1}	P0B0-P0B3, P0C0-P0C3, P2B0-P2B3, P2C0-P2C3	- 0.3 ~ V _{DD0} + 0.3	V
	V _{O2}	EO0, EO1端子	- 0.3 ~ REG _{Lcd1} + 0.3	V
	V _{O3}	LCD0-LCD19, COM0-COM3端子	- 0.3 ~ REG _{Lcd2} + 0.3	V
ハイ・レベル出力電流	I _{OH}	1端子	- 3.0	mA
		P0B0-P0B3, P0C0-P0C3, P2B0-P2B3, P2C0-P2C3合計	- 30.0	mA
ロウ・レベル出力電流	I _{OL1}	P0A0, P0A1, P1D0-P1D3の1端子	10.0	mA
	I _{OL2}	P0A0, P0A1, P1D0-P1D3以外の1端子	3.0	mA
		P0A0, P0A1, P0B0-P0B3, P0C0-P0C3, P1A0-P1A3, P1D0-P1D3, P2B0-P2B3, P2C0-P2C3合計	45.0	mA
出力耐圧	V _{BDS}	P0A0, P0A1, P1A0-P1A3, P1D0-P1D3	- 0.3 ~ + 4.0	V
動作周囲温度	T _A		- 10 ~ + 50	
保存温度	T _{stg}		- 55 ~ + 125	

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

推奨電源電圧範囲 (T_A = -10 ~ +50)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
電源電圧	V _{DD0}		0.9		1.8	V
	V _{DD1}		0.9		1.8	V
	V _{DD2}		0.9		1.8	V

推奨出力耐圧 (T_A = -10 ~ +50)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
出力耐圧	V _{BDS}	P0A0, P0A1 , P1A0-P1A3 , P1D0-P1D3	- 0.3		+ 4.0	V

DC特性 (TA = -10 ~ +50 , VDD = VDD0 = VDD1 = VDD2 = 0.9 ~ 1.8 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電流	IDD1	CPU動作時 (LCD表示ON, ダブラ・クロック = 75 kHz, VDD = 1.8 V, TA = 25)		130	190	μA
	IDD2	HALT動作時 (LCD表示ON, ダブラ・クロック = 5 kHz, VDD = 1.8 V, TA = 25)		45	75	μA
	IDD3	HALT動作時 (LCD表示OFF, ダブラ・クロック = 5 kHz, VDD = 1.8 V, TA = 25)		40	70	μA
	IDD4	CPU, PLL動作時 (VHFHモード, fIN = 230 MHz, VDD = 1.8 V, TA = 25)		6	10	mA
ハイ・レベル入力電圧	VIH1	P0B0-P0B3, P1A0-P1A3, P1C0-P1C3, P1D0-P1D3, P2A0-P2A2, P2B0-P2B3, P2C0-P2C3, $\overline{\text{RESET}}$, INT	0.8 VDD		VDD	V
	VIH2	P0D0-P0D3	0.8 VDD		VDD	V
ロウ・レベル入力電圧	VIL1	P0B0-P0B3, P1A0-P1A3, P1C0-P1C3, P1D0-P1D3, P2A0-P2A2, P2B0-P2B3, P2C0-P2C3, $\overline{\text{RESET}}$, INT	0		0.1 VDD	V
	VIL2	P0D0-P0D3	0		0.1 VDD	V
ハイ・レベル出力電圧	VOH1	P0B0-P0B3, P0C0-P0C3, P2B0-P2B3, P2C0-P2C3			VDD	V
	VOH2	EO0, EO1	REGLCD1 - 0.2	REGLCD1	REGLCD1 + 0.2	V
	VOH3	LCD0-LCD19, COM0-COM3	REGLCD2 - 0.2	REGLCD2	REGLCD2 + 0.2	V
ハイ・レベル入力電流	IIH1	P0D0-P0D3ブルダウン時	VIH = VDD0 = 0.9 V	2	30	μA
			VIH = VDD0	2	80	μA
ハイ・レベル出力電流	IOH1	P0B0-P0B3, P0C0-P0C3, P2B0-P2B3, P2C0-P2C3 (VOH = VDD1 - 0.2 V)	- 0.13			mA
	IOH2	EO0, EO1 (VOH = VDD2 - 0.2 V)	- 0.13			mA
	IOH3	LCD0-LCD19 (VOH = REGLCD2 - 0.2 V)	- 1			μA
	IOH4	COM0-COM3 (VOH = REGLCD2 - 0.2 V)	- 10			μA
ロウ・レベル出力電流	IOL1	P0B0-P0B3, P0C0-P0C3, P2B0-P2B3, P2C0-P2C3 (VOL = 0.2 V)	0.2			mA
	IOL2	EO0, EO1 (VOL = 0.2 V)	0.2			mA
	IOL3	P1A0-P1A3 (VOL = 0.2 V)	0.4			mA
	IOL4	P0A0, P1A1, P1D0-P1D3 (VOL = 0.2 V)	6.0			mA
	IOL5	LCD0-LCD19 (VOL = 0.2 V)	1			μA
	IOL6	COM0-COM3 (VOL = 0.2 V)	10			μA
LCD駆動電圧	VLCD0	LCD0-LCD19出力オープン, C1-C5 = 0.1 μF	1.4		1.6	V
	VLCD1	TA = 25	2.8		3.2	V
出力オフリーク電流	IL1	P0A0, P0A1, P1A0-P1A3, P1D0-P1D3 (VOH = 1.8 V)		1.5	1	μA
	IL2	EO0, EO1 (VOH = 1.8 V, VOL = 0 V)		3.0	±1	μA
COM中間電位出力電圧	VM	COM0-COM3 (出力オープン)	REGLCD1 - 0.2	REGLCD1	REGLCD1 + 0.2	V
COM中間電位出力電流	IOM	COM0-COM3 (VOM = VM ± 0.2 V)	±1			μA

備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

AC特性 (TA = -10 ~ +50 , VDD = VDD0 = VDD1 = VDD2 = 0.9 ~ 1.8 V)

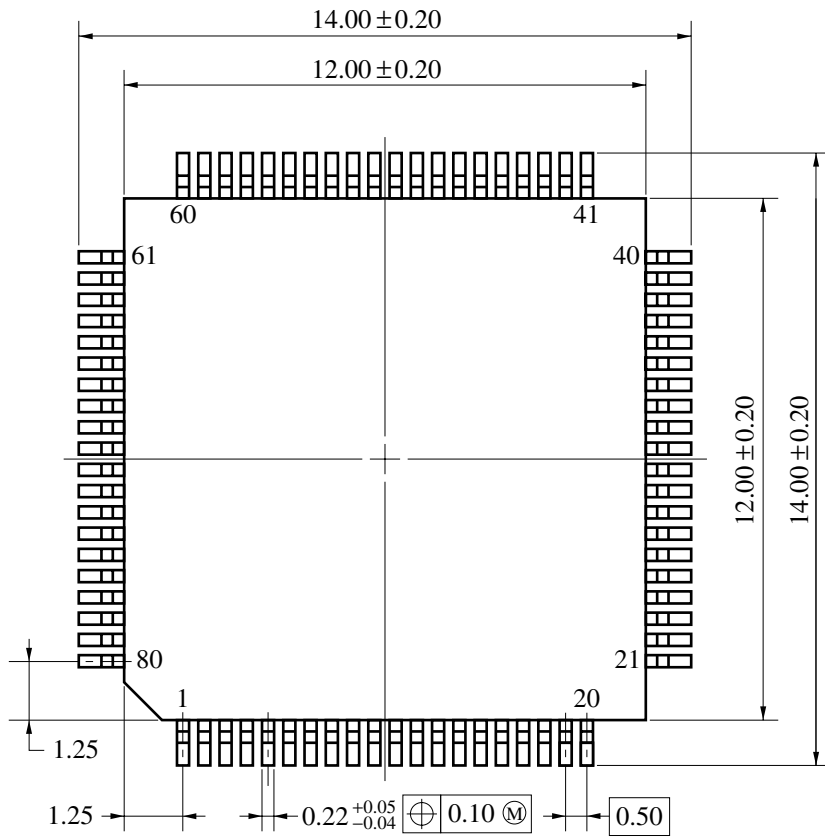
項目	略号	条件	MIN.	TYP.	MAX.	単位
動作周波数	f _{IN1}	VHFHモード 正弦波入力V _{IN} = 0.2 V _{p-p}	70		230	MHz
	f _{IN2}	VHFLモード 正弦波入力V _{IN} = 0.2 V _{p-p}	20		100	MHz
	f _{IN3}	HFモード 正弦波入力V _{IN} = 0.2 V _{p-p}	5		40	MHz
	f _{IN4}	MFモード 正弦波入力V _{IN} = 0.3 V _{p-p}	0.7		3.5	MHz
	f _{IN5}	AMIFC端子, AMIFカウント・モード 正弦波入力V _{IN} = 0.2 V _{p-p}	0.4		2	MHz
	f _{IN6}	FMIFC端子, AMIFカウント・モード 正弦波入力V _{IN} = 0.2 V _{p-p}	0.4		2	MHz
	f _{IN7}	FMIFC端子, FMIFカウント・モード 正弦波入力V _{IN} = 0.15 V _{p-p}	10		11	MHz
SCK入力周波数	f _{IN8}	外部クロック			75	kHz

A/Dコンバータ特性 (TA = -10 ~ +50 , VDD = VDD0 = VDD1 = VDD2 = 0.9 ~ 1.8 V)

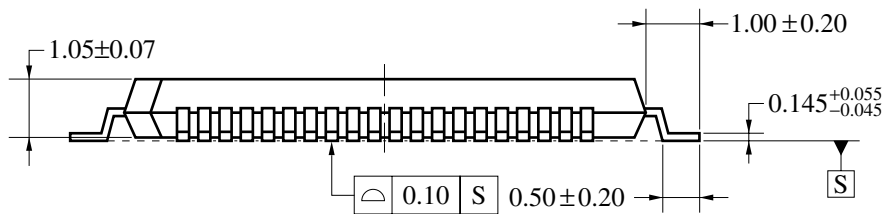
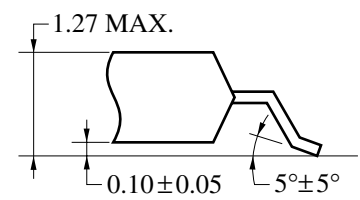
項目	略号	条件	MIN.	TYP.	MAX.	単位
変換総合誤差		V _{DD2} = 0.9 ~ 1.8 V			±3	LSB

★ 25. 外形図

80ピン・プラスチック TQFP (ファインピッチ)(12x12) 外形図 (単位 : mm)



端子先端形状詳細図



P80GK-50-BE9-6

26. 半田付け推奨条件

- ★ μ PD17934Aの半田付け実装は、次の推奨条件で実施してください。
半田付け推奨条件の詳細は、インフォメーション資料「**半導体デバイス実装マニュアル**」(C10535J)を参照してください。
なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

★ 表26 - 1 表面実装タイプの半田付け条件

μ PD17934AGK- x x x -BE9 : 80ピン・プラスチックTQFP (ファインピッチ) (12x12)

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 ，時間：30秒以内（210 以上），回数：2回以内 制限日数：7日間 ^注 （以降は125 プリバーク10時間必要） 留意事項 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は、包装状態でのベーキングができません。	IR35-107-2
VPS	パッケージ・ピーク温度：215 ，時間：40秒以内（200 以上），回数：2回以内 制限日数：7日間 ^注 （以降は125 プリバーク10時間必要） 留意事項 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は、包装状態でのベーキングができません。	VP15-107-2
端子部分加熱	端子温度：300 以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライパック開封後の保管日数で、保管条件は25 ，65 %RH以下。

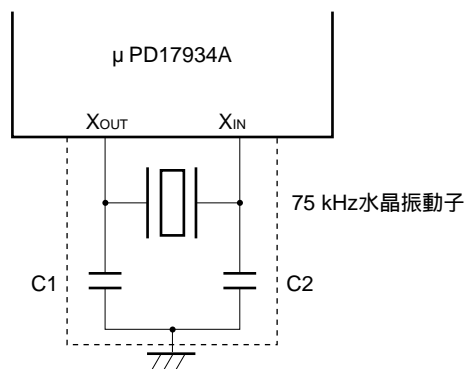
注意 半田付け方式の併用はお避けください（ただし、端子部分加熱方式は除く）。

付録A．水晶振動子を接続するときの注意

システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分に次のような注意が必要です。

- ・配線は極力短くしてください。
- ・C1, C2をあまり大きくすると、発振起動特性が悪化したり、消費電力が増加したりします。
- ・発振周波数調整用のトリマ・コンデンサは一般的にはX_{IN}端子に接続します。ただし、使用する水晶振動子によっては発振安定感が異なることがあります。したがって、実際に使用する水晶振動子で評価してください。
- ・水晶周波数の調整は、X_{OUT}端子やX_{IN}端子にエミュレーション・プローブなどを接続するとプローブの容量により正確に調整できません。VCO発振周波数を測定しながら行ってください。

★



付録B．開発ツール

- ★ μ PD17934Aのプログラムを開発するために、次の開発ツールを用意しています。

ハードウェア

名 称	概 要
インサーキット・エミュレータ 〔 IE-17K IE-17K-ET ^{注1} 〕	IE-17K, IE-17K-ETは、17Kシリーズ共通のインサーキット・エミュレータです。 IE-17KおよびIE-17K-ETは、ホスト・マシンであるPC-9800シリーズまたはIBM PC/AT™とRS-232-Cを介して接続して使用します。 各品種専用のシステム・エバリュエーション・ボード（SEボード）と組み合わせて使用することにより、その品種に対応したエミュレータとして動作します。マン・マシン・インタフェース・ソフトウェアであるSIMPLEHOST®を使用すると、さらに高度なディバグ環境を実現できます。
★ SEボード （SE-17934）	SE-17934は、μ PD17934A用のSEボードです。単体でシステム評価に、インサーキット・エミュレータと組み合わせてディバグに使用します。
★ エミュレーション・プローブ （EP-17K80GK）	EP-17K80GKは、μ PD17934A用のエミュレーション・プローブです。TGK-080SDP ^{注3} とともに使用することで、SEボードとターゲット・システムを接続します。
変換ソケット （TGK-080SDP ^{注2} ）	TGK-080SDPIは、80ピン・プラスチックTQFP（ファインピッチ）（12x12）用の変換ソケットです。 EP-17K80GKとターゲット・システムを接続するために使用します。

注1．廉価版：電源外付けタイプ

2．東京エレクトック株式会社（東京（03）5295-1661）の製品です。ご購入の際はNEC特約店にご相談ください。

備考 3rdパーティ製PROMプログラマとして、安藤電気株式会社製のAF-9703, AF-9704, AF-9705, AF-9706を用意しています。プログラマ・アダプタPA-17P709GCと組み合わせて使用してください。詳細につきましては、安藤電気株式会社（東京（03）3733-1151）までお問い合わせください。

ソフトウェア

名 前	概 要	ホスト・マシン	OS	供給媒体	オーダ名称
17Kアセンブラ (RA17K)	RA17Kは17Kシリーズ共通に使用できるアセンブラです。デバイスのプログラム開発には、このRA17Kとデバイス・ファイルを組み合わせて使用します。	PC-9800シリーズ	日本語版 Windows™	3.5インチ2HD	μ SAA13RA17K
		IBM PC/AT互換機	日本語版 Windows	3.5インチ2HC	μ SAB13RA17K
			英語版 Windows		μ SBB13RA17K
17Kシリーズ Cライク・ コンパイラ (emlc-17K®)	emlc-17Kは17Kシリーズ共通に使用できるCライク・コンパイラです。RA17Kと組み合わせて使用します。	PC-9800シリーズ	日本語版 Windows	3.5インチ2HD	μ SAA13CC17K
		IBM PC/AT互換機	日本語版 Windows	3.5インチ2HC	μ SAB13CC17K
			英語版 Windows		μ SBB13CC17K
★ デバイス・ ファイル (AS17934)	AS17934にはμPD17934A用のデバイス・ファイルが入っています。 17Kシリーズ共通のアセンブラ(RA17K)と組み合わせて使用します。	PC-9800シリーズ	日本語版 Windows	3.5インチ2HD	μ SAA13AS17934
		IBM PC/AT互換機	日本語版 Windows	3.5インチ2HC	μ SAB13AS17934
			英語版 Windows		μ SBB13AS17934
サポート・ ソフトウェア (SIMPLEHOST)	SIMPLEHOSTはインサーキット・エミュレータとパーソナル・コンピュータを用いてプログラム開発を行うときにWindows上でマン・マシン・インタフェースを行うソフトウェアです。	PC-9800シリーズ	日本語版 Windows	3.5インチ2HD	μ SAA13ID17K
		IBM PC/AT互換機	日本語版 Windows	3.5インチ2HC	μ SAB13ID17K
			英語版 Windows		μ SBB13ID17K

CMOSデバイスの一般的注意事項

静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

emIC-17K, SIMPLEHOST は、日本電気株式会社の登録商標です。

Windowsは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

PC/ATは、米国IBM社の商標です。

本製品が外国為替および外国貿易管理法の規定による規制貨物等（または役務）に該当するか否かは、ユーザ（仕様を決定した者）が判定してください。

- 本資料の内容は予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。
- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
- 本資料に記載された回路、ソフトウェア、及びこれらに付随する情報は、半導体製品の動作例、応用例を説明するためのものです。従って、これら回路・ソフトウェア・情報をお客様の機器に使用される場合には、お客様の責任において機器設計をしてください。これらの使用に起因するお客様もしくは第三者の損害に対して、当社は一切その責を負いません。
- 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意ください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災/防犯装置、各種安全装置、生命維持を直接の目的としない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート/データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

M7 98.8

— お問い合わせ先 —

【技術的なお問い合わせ先】

NEC半導体テクニカルホットライン
(電話：午前 9:00 ~ 12:00, 午後 1:00 ~ 5:00)

電話 : 044-435-9494
FAX : 044-435-9608
E-mail : s-info@saed.tmg.nec.co.jp

【営業関係お問い合わせ先】

第一販売事業部

東京 (03)3798-6106, 6107, 6108
大阪 (06)6945-3178, 3200, 3208, 3212
仙台 (022)267-8740
郡山 (024)923-5591
千葉 (043)238-8116

第二販売事業部

東京 (03)3798-6110, 6111, 6112
立川 (042)526-5981, 6167
松本 (0263)35-1662
静岡 (054)254-4794
金沢 (076)232-7303
松山 (089)945-4149

第三販売事業部

東京 (03)3798-6151, 6155, 6586, 1622, 1623, 6156
水戸 (029)226-1702
広島 (082)242-5504
前橋 (027)243-6060
鳥取 (0857)27-5313
太田 (0276)46-4014
名古屋 (052)222-2170, 2190
福岡 (092)261-2806

【資料の請求先】

上記営業関係お問い合わせ先またはNEC特約店へお申しつけください。

【NECエレクトロニクス ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス)

<http://www.ic.nec.co.jp/>