

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

8ビット・シングルチップ・マイクロコンピュータ

μ PD178P018A^注は、 μ PD178018Aの内部マスクROMを、ワン・タイムPROMまたはEPROMに置き換えたものです。

ユーザによるプログラムの書き込みが可能のため、システム開発時の評価用や多品種少量生産、早期立ち上げに最適です。

μ PD178P018Aは、 μ PD178004A、178006A、178016Aおよび μ PD178018Aに対応したPROM製品です。

注 開発中

注意 μ PD178P018AKK-Tは、お客様の装置の量産製品に使用されることを意図した信頼性を保持しておりません。実験または試作時の機能評価用のみご使用ください。

詳しい機能説明などは次のユーザズ・マニュアルに記載しております。設計の際には必ずお読みください。

μ PD178018Aサブシリーズ ユーザズ・マニュアル：作成予定
78K/0シリーズ ユーザズ・マニュアル 命令編 : U12326J

特 徴

マスクROM製品とピン・コンパチブル（ V_{PP} 端子を除く）

内部PROM：60 Kバイト

- ・ μ PD178P018AGC : 一度だけプログラム可能（少量生産に最適）
- ・ μ PD178P018AKK-T : 再プログラム可能（システム評価に最適）

内部高速RAM：1024バイト

内部拡張RAM：2048バイト

バッファRAM：32バイト

マスクROM製品と同じ電源電圧で動作可能（PLL動作時 $V_{DD} = 4.5 \sim 5.5 V$ ）

μ PD178P018Aの電気的特性（電源電流）などとPLLのアナログ特性は、マスク製品と異なります。したがって、応用セットの量産は、これらの相違点をよく確認のうえ行ってください。

本資料では、ワン・タイムPROM製品とEPROM製品の共通する部分をPROMという表記で代表しています。

本資料の内容は、後日変更する場合があります。

応用分野

カー・ステレオ, ホーム・ステレオ

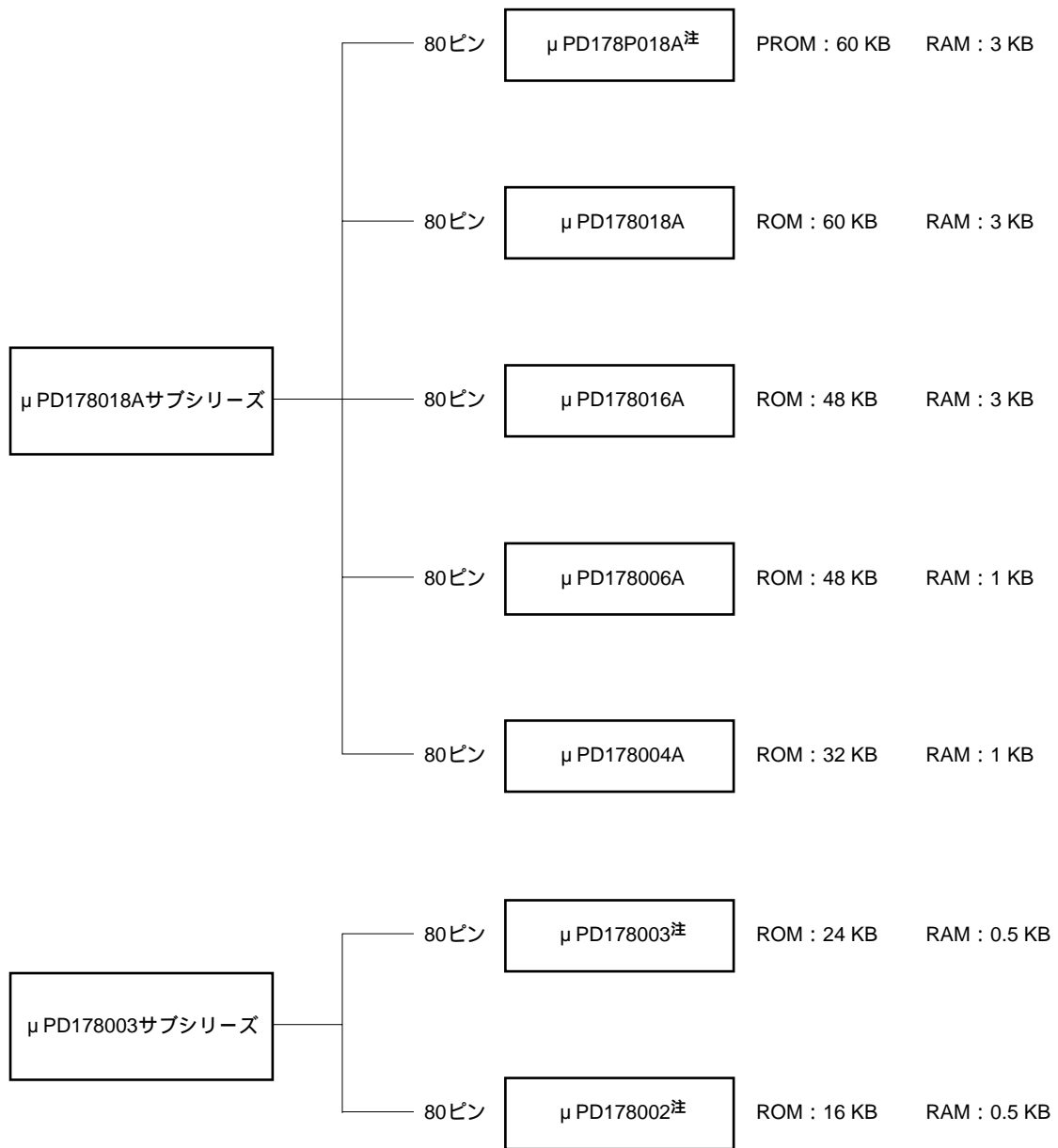
オーダー情報

オーダー名称	パッケージ	内部ROM	品質水準
μ PD178P018AGC-3B9 ^注	80ピン・プラスチックQFP (14 mm, 0.65 mmピッチ)	ワン・タイムPROM	標準 (一般電子機器用)
μ PD178P018AKK-T ^注	80ピン・セラミックWQFN (14 mm, 0.65 mmピッチ)	EPROM	適用外 (機能評価用)

注 開発中

品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」(資料番号 C11531J)をご覧ください。

μPD178018AサブシリーズとμPD178003サブシリーズの展開



注 開発中

機能概要

(1 / 2)

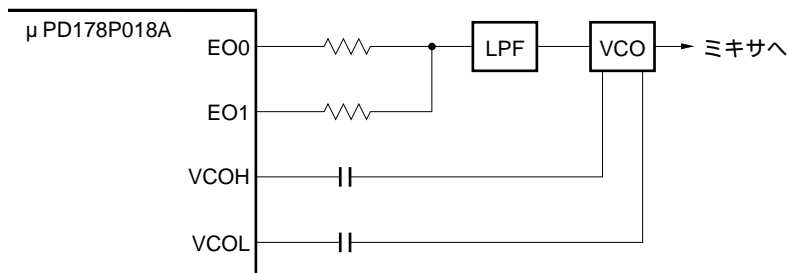
項 目	機 能										
内部メモリ	<ul style="list-style-type: none"> ・ PROM : 60 Kバイト ・ RAM <ul style="list-style-type: none"> 高速RAM : 1024バイト 拡張RAM : 2048バイト バッファRAM : 32バイト 										
汎用レジスタ	8ビット×32レジスタ(8ビット×8レジスタ×4バンク)										
インストラクション・サイクル	命令実行時間の可変機能内蔵 0.44 μs/0.88 μs/1.78 μs/3.56 μs/7.11 μs/14.22 μs (4.5 MHz水晶振動子使用)										
命令セット	<ul style="list-style-type: none"> ・ 16ビット演算 ・ 乗除算(8ビット×8ビット, 16ビット÷8ビット) ・ ビット操作(セット, リセット, テスト, ブール演算) ・ BCD補正 など 										
I/Oポート	<table style="width: 100%; border-collapse: collapse;"> <tr> <td style="text-align: right;">合 計</td> <td style="text-align: right;">: 62本</td> </tr> <tr> <td>・ CMOS入力</td> <td style="text-align: right;">: 1本</td> </tr> <tr> <td>・ CMOS入出力</td> <td style="text-align: right;">: 54本</td> </tr> <tr> <td>・ N-chオープン・ドレイン入出力</td> <td style="text-align: right;">: 4本</td> </tr> <tr> <td>・ N-chオープン・ドレイン出力</td> <td style="text-align: right;">: 3本</td> </tr> </table>	合 計	: 62本	・ CMOS入力	: 1本	・ CMOS入出力	: 54本	・ N-chオープン・ドレイン入出力	: 4本	・ N-chオープン・ドレイン出力	: 3本
合 計	: 62本										
・ CMOS入力	: 1本										
・ CMOS入出力	: 54本										
・ N-chオープン・ドレイン入出力	: 4本										
・ N-chオープン・ドレイン出力	: 3本										
A/Dコンバータ	8ビット分解能×6チャンネル										
シリアル・インタフェース	<ul style="list-style-type: none"> ・ 3線式/SBI/2線式/I²Cバス^注・モード選択可能 : 1チャンネル ・ 3線式シリアルI/Oモード(最大32バイト自動送受信機能内蔵) : 1チャンネル 										
タイマ	<ul style="list-style-type: none"> ・ ベーシック・タイマ(タイマ・キャリーFF(10 Hz)) : 1チャンネル ・ 8ビット・タイマ/イベント・カウンタ : 2チャンネル ・ 8ビット・タイマ(D/Aコンバータ:PWM出力) : 1チャンネル ・ ウォッチドッグ・タイマ : 1チャンネル 										
ブザー(BEEP)出力	1.5 kHz, 3 kHz, 6 kHz										
ベクタ	マスカブル										
割り込み	ノンマスカブル										
要因	ソフトウェア										
テスト入力	内部 : 1										

注 I²Cバス・モードを使用した場合(周辺ハードウェアを使用せず, プログラムで実現した場合も含む), マスク発注時に当社販売員に連絡してください。

項 目		機 能
PLL周波数 シンセサイザ	分周方式	2種類 ・直接分周方式 (VCOL端子) ・パルス・スワロ方式 (VCOH, VCOL端子)
	基準周波数	7種類をプログラムで選択 (1, 3, 5, 9, 10, 25, 50 kHz)
	チャージ・ポンプ	エラー・アウト出力2本 (EO0, EO1端子 ^{注1})
	位相比較器	プログラムによりアンロック検出可能
周波数カウンタ		・周波数測定 ・AMIFC端子: 450 kHzカウント用 ・FMIFC端子: 450kHz/10.7 MHzカウント用
D/Aコンバータ (PWM出力)		8/9ビット分解能 × 3チャンネル (8ビット・タイマと兼用)
スタンバイ機能		・HALTモード ・STOPモード
リセット		・RESET端子によるリセット ・ウォッチドッグ・タイマによる内部リセット ・パワーオン・クリア回路によるリセット (3値検出) ・4.5 V ^{注2} 未満の検出 (CPUクロック: f_x のとき) ・3.5 V ^{注2} 未満の検出 (CPUクロック: $f_x/2$ 以下のときおよび電源電圧投入時) ・2.5 V ^{注2} 未満の検出 (STOPモード時)
電源電圧		・V _{DD} = 4.5 ~ 5.5 V (PLL動作時) ・V _{DD} = 3.5 ~ 5.5 V (CPU動作時, CPUクロック: $f_x/2$ 以下のとき) ・V _{DD} = 4.5 ~ 5.5 V (CPU動作時, CPUクロック: f_x のとき)
パッケージ		・80ピン・プラスチックQFP (14 mm, 0.65 mmピッチ) ・80ピン・セラミックWQFN (14 mm, 0.65 mmピッチ)

注1 . EO1端子をハイ・インピーダンスに設定できます。

アプリケーション例を次に示します。



LPF : ロー・パス・フィルタ VCO : 電圧制御発生器

・目的周波数に高速にロックする場合

EO0, EO1端子をエラー・アウト出力に設定することで, 出力電流能力を上げ, LPFの電圧制御能力を上げます。

・定常状態

EO0端子のみエラー・アウト出力に設定することで, LPFの安定度を保ちます。

2 . これらの電圧は最大値であり, 実際にはそれぞれの電圧より低い電圧でリセットがかかります。

端子接続図 (Top View)

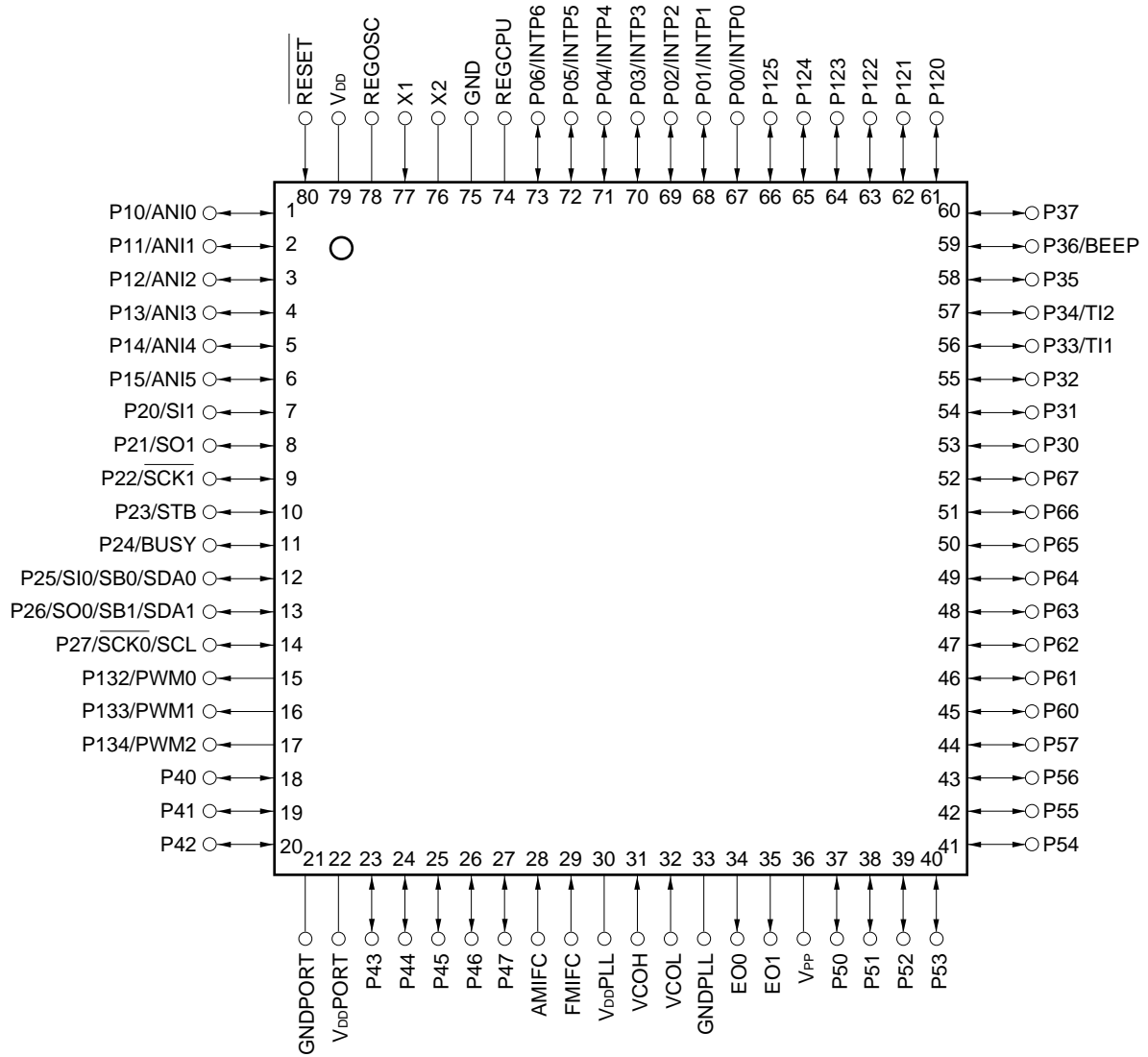
(1) 通常動作モード

- ・ 80ピン・プラスチックQFP (14 mm, 0.65 mmピッチ)

μPD178P018AGC-3B9^注

- ・ 80ピン・セラミックWQFN

μPD178P018AKK-T^注



注 開発中

注意 1 . V_{PP}端子はGNDに直接接続してください。

2 . V_{DD}PORT, V_{DD}PLL端子はV_{DD}に接続してください。

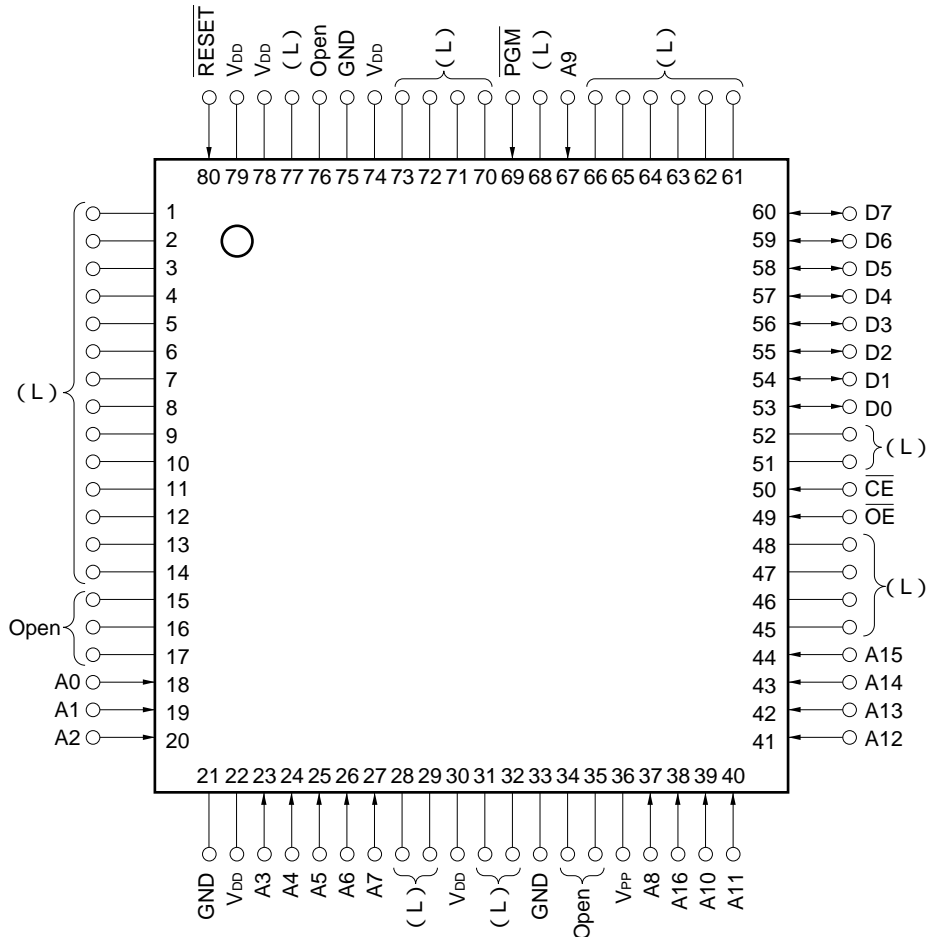
3 . GNDPORT, GNDPLL端子はGNDに接続してください。

4 . REGOSC, REGCPU端子は各端子ごとに0.1 μFのコンデンサを介してGNDに接続してください。

AMIFC	: AM中間周波数カウンタ入力	PWM0-PWM2	: PWM出力
ANI0-ANI5	: A/Dコンバータ入力	REGCPU	: CPU電源用レギュレータ
BEEP	: ブザー出力	REGOSC	: 発振回路用レギュレータ
BUSY	: ビジィ出力	$\overline{\text{RESET}}$: リセット入力
EO0, EO1	: エラー・アウト出力	SB0, SB1	: シリアル・データ・バス入力/出力
FMIFC	: FM中間周波数カウンタ入力	$\overline{\text{SCK0}}, \overline{\text{SCK1}}$: シリアル・クロック入力/出力
GND	: グランド	SCL	: シリアル・クロック入力/出力
GNDPLL	: PLL用グランド	SDA0, SDA1	: シリアル・データ入力/出力
GNDPORT	: ポート用グランド	SI0, SI1	: シリアル・データ入力
INTP0-INTP6	: インタラプト入力	SO0, SO1	: シリアル・データ出力
P00-P06	: ポート0	STB	: ストロープ出力
P10-P15	: ポート1	TI1, TI2	: タイマ・クロック入力
P20-P27	: ポート2	VCOL, VCOH	: 局部発振入力
P30-P37	: ポート3	V _{DD}	: 電源
P40-P47	: ポート4	V _{DD} PLL	: PLL用電源
P50-P57	: ポート5	V _{DD} PORT	: ポート用電源
P60-P67	: ポート6	V _{PP}	: プログラム電圧印加
P120-P125	: ポート12	X1, X2	: 水晶振動子接続
P132-P134	: ポート13		

(2) PROMプログラミング・モード

- 80ピン・プラスチックQFP (14 mm)
μPD178P018AGC-3B9^注
- 80ピン・セラミックWQFN
μPD178P018AKK-T^注

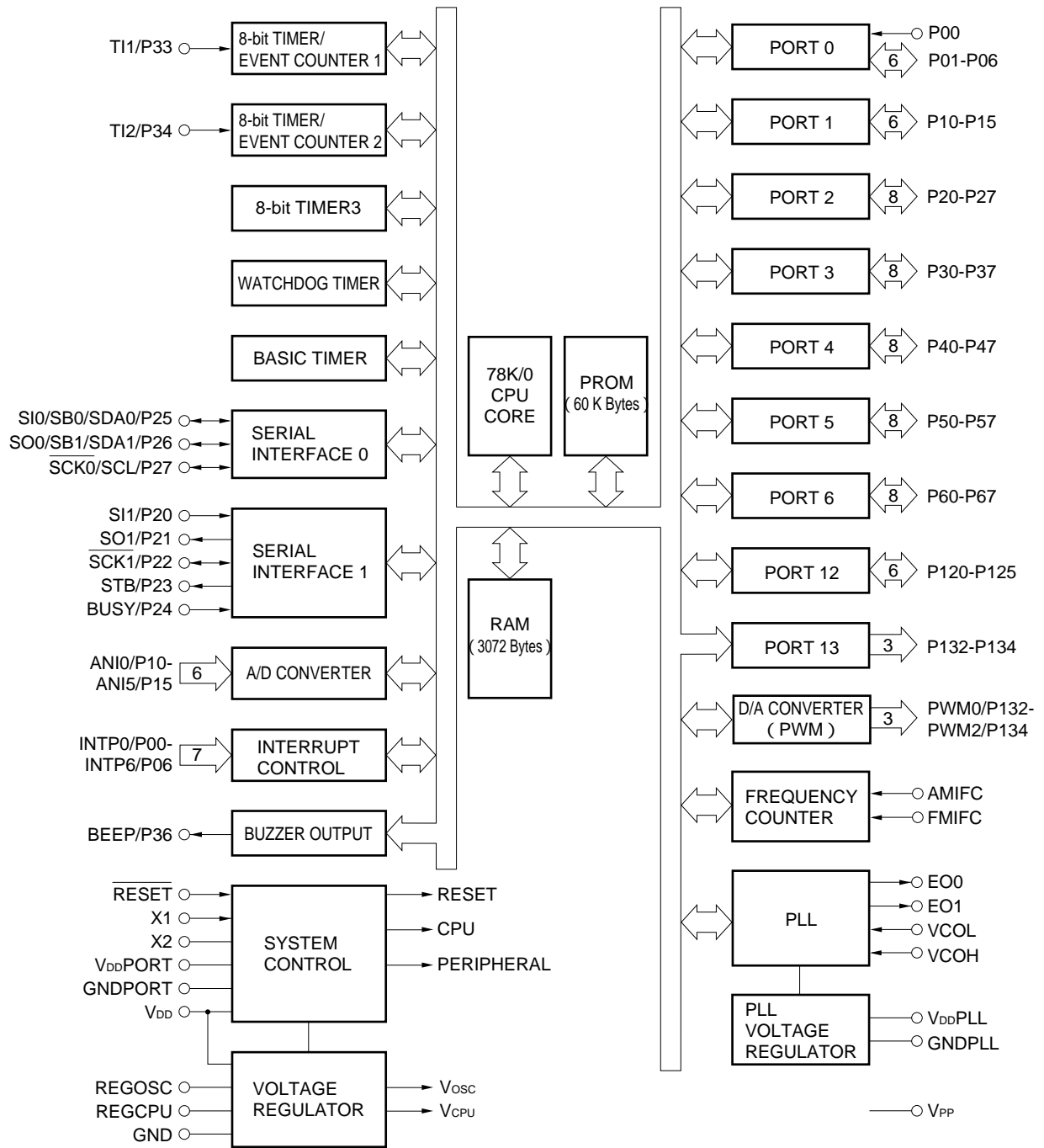


注 開発中

- 注意 1 . (L) : 個別にプルダウン抵抗を介してGNDに接続してください。
- 2 . GND : グランドに接続してください。
- 3 . $\overline{\text{RESET}}$: ロウ・レベルにしてください。
- 4 . Open : 何も接続しないでください。

A0-A16 : Address Bus	GND : Ground	$\overline{\text{RESET}}$: Reset
$\overline{\text{CE}}$: Chip Enable	$\overline{\text{OE}}$: Output Enable	V _{DD} : Power Supply
D0-D7 : Data Bus	PGM : Program	V _{PP} : Programming Power Supply

ブロック図



目 次

1 . 端子機能一覧	... 11
1.1 通常動作モード時の端子	... 11
1.2 PROMプログラミング・モード時の端子	... 13
1.3 端子の入出力回路と未使用端子の処理	... 14
2 . PROMプログラミング	... 17
2.1 動作モード	... 17
2.2 PROM書き込みの手順	... 19
2.3 PROM読み出しの手順	... 23
3 . 消去方法 (μ PD178P018AKK-Tのみ)	... 24
4 . 消去用窓のシールについて (μ PD178P018AKK-Tのみ)	... 24
5 . ワン・タイムPROM製品のスクリーニングについて	... 24
6 . 電気的特性 (暫定)	... 25
7 . 外形図	... 47
付録A . μ PD178018Aサブシリーズと μ PD178018サブシリーズとの違い	... 49
付録B . 開発ツール	... 50
付録C . 関連資料	... 54

1. 端子機能一覧

1.1 通常動作モード時の端子

(1) ポート端子

端子名称	入出力	機 能		リセット時	兼用端子
P00	入力	ポート0。	入力専用。	入力	INTP0
P01-P06	入出力	7ビット入出力ポート。	1ビット単位で入力/出力の指定可能。	入力	INTP1-INTP6
P10-P15	入出力	ポート1。 6ビット入出力ポート。 1ビット単位で入力/出力の指定可能。		入力	ANI0-ANI5
P20	入出力	ポート2。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。		入力	SI1
P21					SO1
P22					SCK1
P23					STB
P24					BUSY
P25					SI0/SB0/SDA0
P26					SO0/SB1/SDA1
P27					SCK0/SCL
P30-P32	入出力	ポート3。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。		入力	-
P33					TI1
P34					TI2
P35					-
P36					BEEP
P37					-
P40-47	入出力	ポート4。 8ビット入出力ポート。 8ビット単位で入力/出力の指定可能。 立ち下がりエッジの検出により、テスト入力フラグ(KRIF)を1にセット。		入力	-
P50-P57	入出力	ポート5。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。		入力	-
P60-P63	入出力	ポート6。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	中耐圧N-chオープン・ドレイン入出力ポート。 LEDを直接駆動可能。	入力	-
P64-P67					
P120-P125	入出力	ポート12。 6ビット入出力ポート。 1ビット単位で入力/出力の指定可能。		入力	-
P132-P134	出力	ポート13。 3ビット出力ポート。 N-chオープン・ドレイン出力ポート。		-	PWM0-PWM2

(2) ポート以外の端子 (1/2)

端子名称	入出力	機能	リセット時	兼用端子
INTP0-INTP6	入力	有効エッジ (立ち上がりエッジ, 立ち下がりエッジ, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部マスカブル割り込み入力。	入力	P00-P06
SI0	入力	シリアル・インタフェースのシリアル・データ入力。	入力	P25/SB0/SDA0
SI1				P20
SO0	出力	シリアル・インタフェースのシリアル・データ出力。	入力	P26/SB1/SDA1
SO1				P21
SB0	入出力	シリアル・インタフェースのシリアル・データ入力 / 出力。	入力	P25/SI0/SDA0
SB1				P26/SO0/SDA1
SDA0				P25/SI0/SB0
SDA1				P26/SO0/SB1
SCK0	入出力	シリアル・インタフェースのシリアル・クロック入力 / 出力。	入力	P27/SCL
SCK1				P22
SCL				P27/SCK0
STB	出力	シリアル・インタフェース自動送受信用ストロブ出力。	入力	P23
BUSY	入力	シリアル・インタフェース自動送信用ビジー入力。	入力	P24
TI1	入力	8ビット・タイマ (TM1) への外部カウント・クロック入力。	入力	P33
TI2		8ビット・タイマ (TM2) への外部カウント・クロック入力。		P34
BEEP	出力	ブザー出力。	入力	P36
ANI0-ANI5	入力	A/Dコンバータのアナログ入力。	入力	P10-P15
PWM0-PWM2	出力	PWM出力。	-	P132-P134
EO0, EO1	出力	PLL周波数シンセサイザのチャージ・ポンプからのエラー・アウト出力。	-	-
VCOL	入力	PLLの局部発振周波数を入力 (HF, MFモード時)。	-	-
VCOH	入力	PLLの局部発振周波数を入力 (VHFモード時)。	-	-
AMIFC	入力	AM中間周波数カウンタの入力。	-	-
FMIFC	入力	FM中間周波数カウンタの入力。	-	-
RESET	入力	システム・リセット入力。	-	-
X1	入力	システム・クロック発振用水晶振動子接続。	-	-
X2	-		-	-
REGOSC	-	発振回路用レギュレータ。0.1 μFのコンデンサを介してGNDに接続。	-	-
REGCPU	-	CPU電源用レギュレータ。0.1 μFのコンデンサを介してGNDに接続。	-	-
V _{DD}	-	正電源。	-	-
GND	-	グラウンド。	-	-
V _{DD} PORT	-	ポート用正電源。	-	-
GNDPORT	-	ポート用グラウンド。	-	-
V _{DD} PLL ^注	-	PLL用正電源。	-	-
GNDPLL ^注	-	PLL用グラウンド。	-	-

注 V_{DD}PLL端子とGNDPLL端子との間に1000 pF程度のコンデンサを接続してください。

(2) ポート以外の端子 (2/2)

端子名称	入出力	機能	リセット時	兼用端子
V _{PP}	-	プログラム書き込み / ベリファイ時の高電圧印加。通常モードはGNDに直接接続。	-	-

1.2 PROMプログラミング・モード時の端子

端子名称	入出力	機能
RESET	入力	PROMプログラミング・モード設定。 V _{PP} 端子に +5 Vまたは +12.5 V, RESET端子にロウ・レベルを印加すると, PROMプログラミング・モードになります。
V _{PP}	入力	PROMプログラミング・モード設定およびプログラム書き込み / ベリファイ時の高電圧印加。
A0-A16	入力	アドレス・バス。
D0-D7	入出力	データ・バス。
CE	入力	PROMイネーブル入力 / プログラム・パルス入力。
OE	入力	PROMへのリード・ストロブ入力。
PGM	入力	PROMプログラミング・モード時のプログラム / プログラム・インヒビット入力。
V _{DD}	-	正電源。
GND	-	グランド電位。

1.3 端子の入出力回路と未使用端子の処理

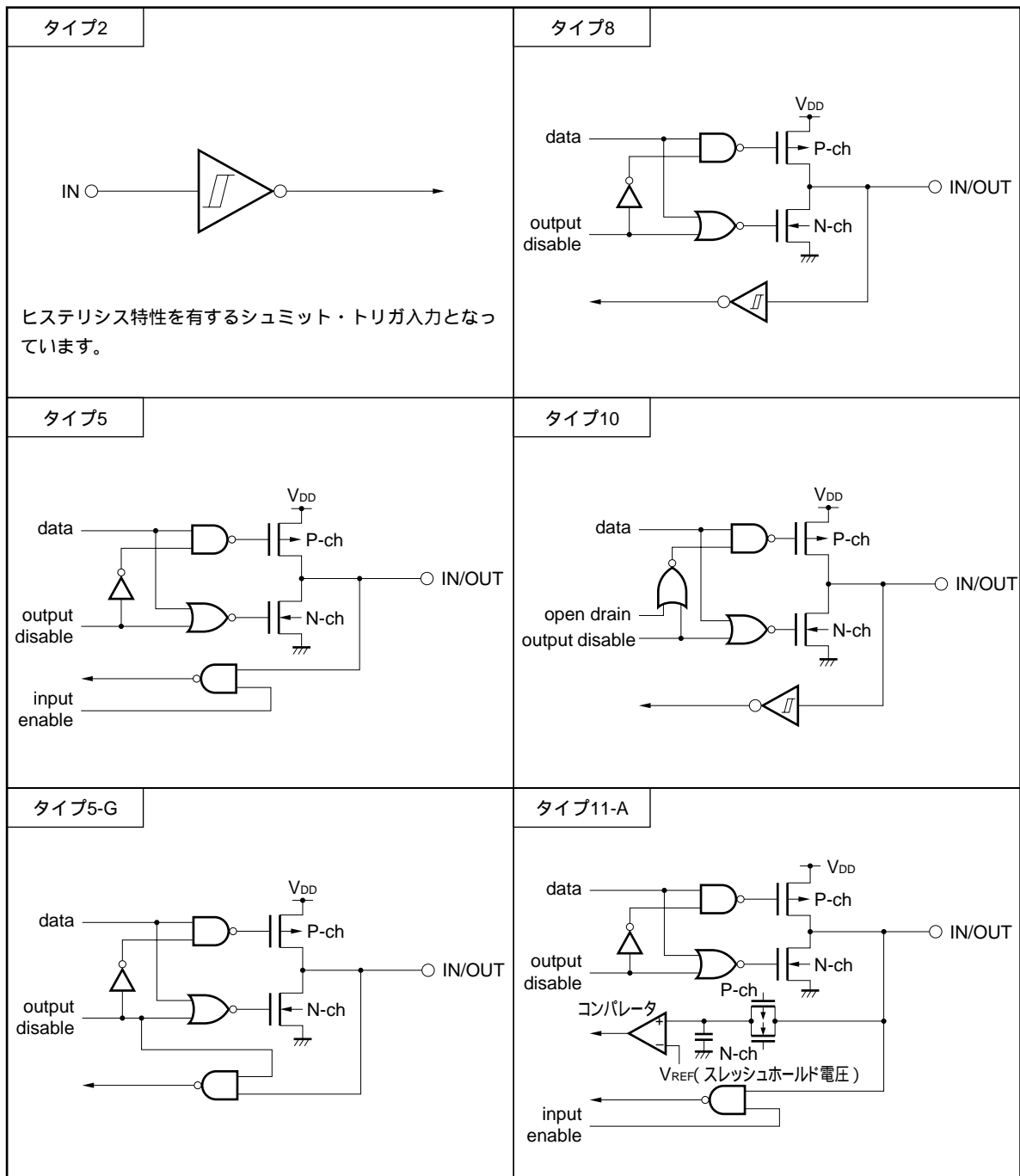
各端子の入出力回路タイプと、未使用端子の処理を表 1 - 1 に示します。

また、各タイプの入出力回路の構成は、図 1 - 1 を参照してください。

表 1 - 1 各端子の入出力回路タイプ

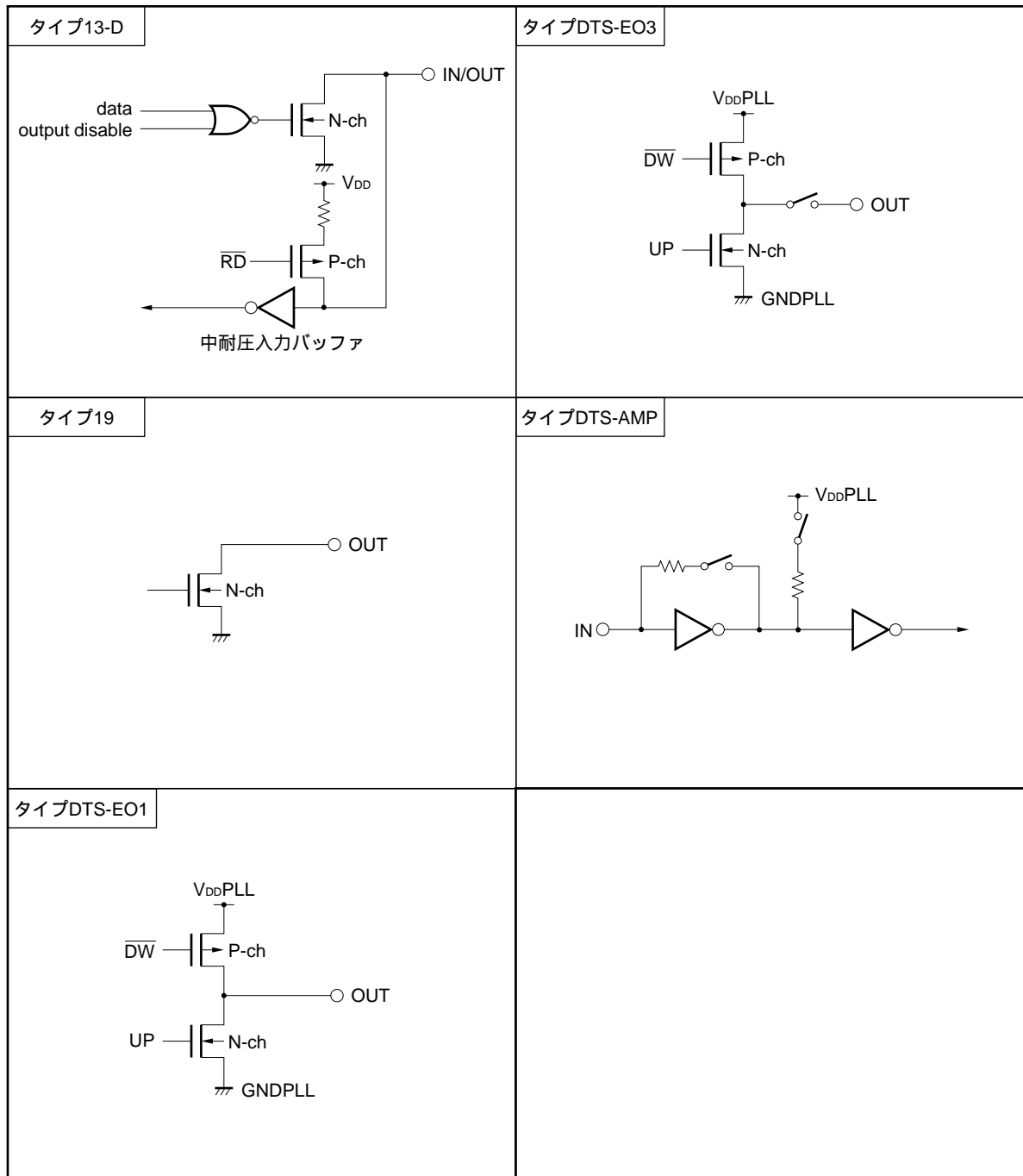
端子名	入出力回路タイプ	入出力	未使用時の推奨接続方法
P00/INTP0	2	入力	GNDまたはGNDPORTに接続
P01/INTP1-P06/INTP6	8	入出力	ソフトウェアで汎用入力ポートに設定して、個別に抵抗を介してV _{DD} , V _{DD} PORT, GND, GNDPORTのいずれかに接続
P10/ANI0-P15/ANI5	11-A		
P20/SI1	8		
P21/SO1	5		
P22/SCK1	8		
P23/STB	5		
P24/BUSY	8		
P25/SI0/SB0/SDA0	10		
P26/SO0/SB1/SDA1			
P27/SCK0/SCL			
P30-P32	5		
P33/TI1, P34/TI2	8		
P35	5		
P36/BEEP			
P37			
P40-P47	5-G		
P50-P57	5		
P60-P63	13-D		
P64-P67			
P120-P125			
P132/PWM0-P134/PWM2	19	出力	ソフトウェアでロウ・レベル出力に設定して、オープンオープン
EO0	DTS-EO1		
EO1	DTS-EO3		
VCOL, VCOH	DTS-AMP	入力	ソフトウェアで端子ディスエーブルに設定して、オープン
AMIFC, FMIFC			
V _{PP}	-	-	GNDまたはGNDPORTに直接接続

図 1 - 1 端子の入出力回路一覧 (1/2)



備考 V_{DD}およびGNDは、すべてポート部への正電源およびグランド電位です。それぞれV_{DD}PORT, GNDPORTと読み替えてください。

図 1 - 1 端子の入出力回路一覧 (2/2)



備考 V_{DD}およびGNDは、すべてポート部への正電源およびグランド電位です。それぞれV_{DD}PORT, GNDPORTと読み替えてください。

2 . PROMプログラミング

μPD178P018Aは、プログラム・メモリとして60 Kバイト構成のPROMを内蔵しています。プログラミングをするときは、V_{PP}端子、 $\overline{\text{RESET}}$ 端子でPROMプログラミング・モードに設定します。その他、使用しない端子の処理は、端子接続図 (Top View) (2) PROMプログラミング・モードを参照してください。

注意 プログラム書き込みは、0000H-EFFFH番地の範囲で行ってください (最終アドレスEFFFH番地を指定してください)。書き込みアドレスを指定できないIPROMプログラマでは書き込みできません。

2.1 動作モード

V_{PP}端子に+5 Vまたは+12.5 V、 $\overline{\text{RESET}}$ 端子にロウ・レベルを印加すると、PROMプログラミング・モードになります。このモードは $\overline{\text{CE}}$ 端子、 $\overline{\text{OE}}$ 端子、 $\overline{\text{PGM}}$ 端子の設定により、表2 - 1のような動作モードになります。

また、読み出しモードに設定することにより、PROMの内容を読み出すことができます。

表2 - 1 PROMプログラミングの動作モード

動作モード	端子	$\overline{\text{RESET}}$	V _{PP}	V _{DD}	$\overline{\text{CE}}$	$\overline{\text{OE}}$	$\overline{\text{PGM}}$	D0-D7
ページ・データ・ラッチ		L	+12.5 V	+6.5 V	H	L	H	データ入力
ページ書き込み					H	H	L	ハイ・インピーダンス
バイト書き込み					L	H	L	データ入力
プログラム・ベリファイ					L	L	H	データ出力
プログラム・インヒビット					×	H	H	ハイ・インピーダンス
					×	L	L	
読み出し			+5 V	+5 V	L	L	H	データ出力
出力ディスエーブル					L	H	×	ハイ・インピーダンス
スタンバイ					H	×	×	ハイ・インピーダンス

備考 × : LまたはH

(1) 読み出しモード

$\overline{CE} = L, \overline{OE} = L$ に設定することにより、読み出しモードになります。

(2) 出力ディスエーブル・モード

$\overline{OE} = H$ にすることにより、データ出力がハイ・インピーダンスになり出力ディスエーブル・モードになります。

したがって、データ・バスに複数のμPD178P018Aを接続した場合、 \overline{OE} 端子を制御することで任意の1個のデバイスよりデータを読み出すことができます。

(3) スタンバイ・モード

$\overline{CE} = H$ にすることによりスタンバイ・モードになります。

このモードでは、 \overline{OE} の状態に関係なくデータ出力がハイ・インピーダンスになります。

(4) ページ・データ・ラッチ・モード

ページ書き込みモードの初期に $\overline{CE} = H, \overline{PGM} = H, \overline{OE} = L$ にすることにより、ページ・データ・ラッチ・モードになります。

このモードでは、1ページ4バイトのデータが内部のアドレス/データ・ラッチ回路にラッチされます。

(5) ページ書き込みモード

ページ・データ・ラッチ・モードにより1ページ4バイトのアドレスとデータをラッチ後、 $\overline{CE} = H, \overline{OE} = H$ の状態では \overline{PGM} 端子に0.1 msのプログラム・パルス(アクティブ・ロウ)を印加することによりページ書き込みが実行されます。その後、 $\overline{CE} = L, \overline{OE} = L$ にすることにより、プログラム・ベリファイを行えます。

1回のプログラム・パルスでプログラムされない場合にはX回(X=10)の書き込みとベリファイを繰り返し実行します。

(6) バイト書き込みモード

$\overline{CE} = L, \overline{OE} = H$ の状態では \overline{PGM} 端子に0.1 msのプログラム・パルス(アクティブ・ロウ)を印加することによりバイト書き込みが実行されます。その後、 $\overline{OE} = L$ にすることにより、プログラム・ベリファイが行えます。

1回のプログラム・パルスでプログラムされない場合にはX回(X=10)の書き込みとベリファイを繰り返し実行します。

(7) プログラム・ベリファイ・モード

$\overline{CE} = L, \overline{PGM} = H, \overline{OE} = L$ にすることにより、プログラム・ベリファイ・モードになります。

書き込みを行ったのち、正しく書き込まれたかどうかこのモードで確認してください。

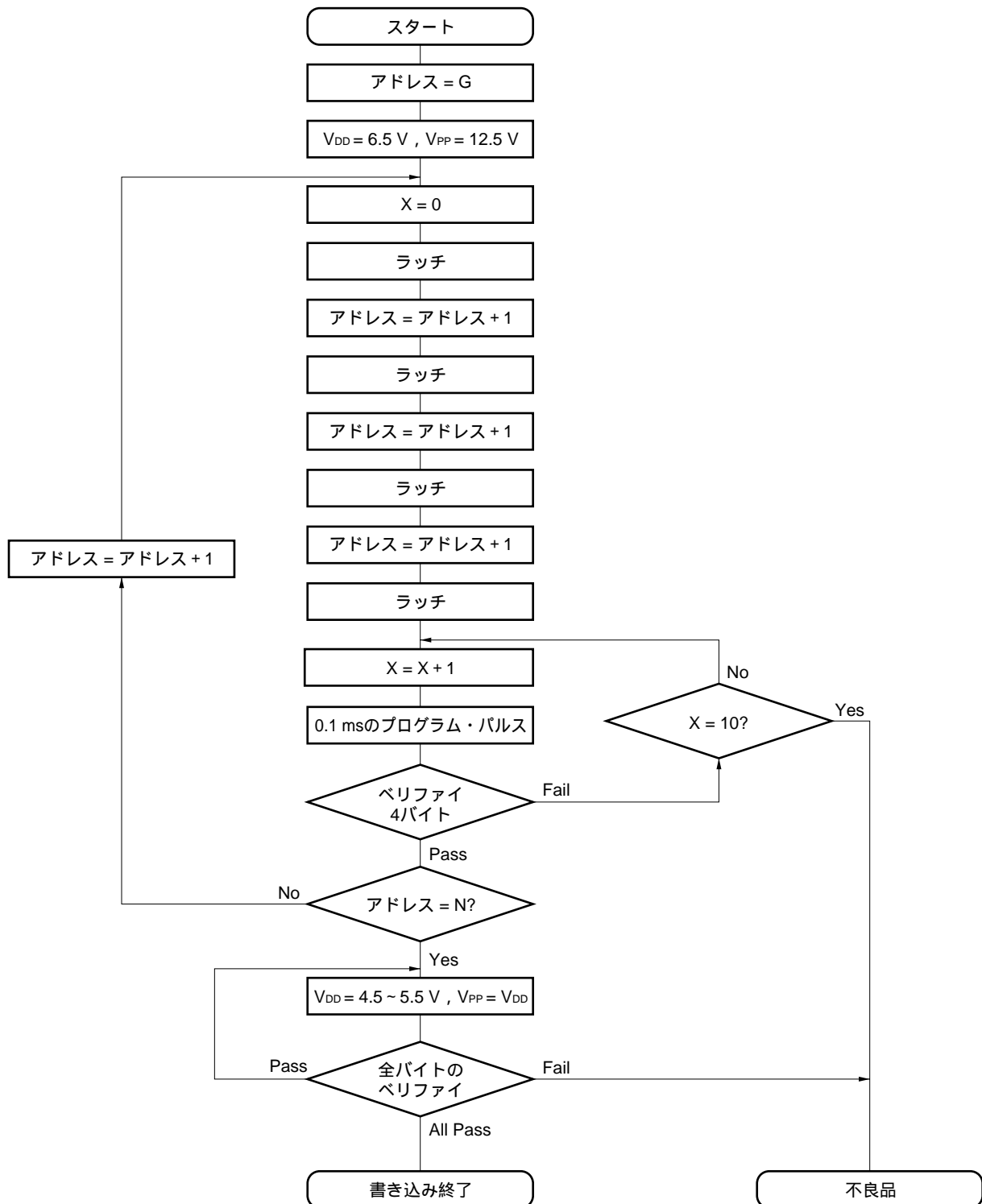
(8) プログラム・インヒビット・モード

プログラム・インヒビット・モードは、複数のμPD178P018Aの \overline{OE} 端子、 V_{PP} 端子、D0-D7端子がパラレルに接続されている状態でその中の1個のデバイスに書き込みを行う場合に使用します。

書き込みを行う場合に、上記ページ書き込みモードあるいはバイト書き込みモードを使用します。このとき、 \overline{PGM} 端子をハイ・レベルにしたデバイスには書き込みが行われません。

2.2 PROM書き込みの手順

図2 - 1 ページ・プログラム・モード・フロー・チャート



備考 G = 開始アドレス

N = プログラムの最終アドレス

図 2 - 2 ページ・プログラム・モード・タイミング

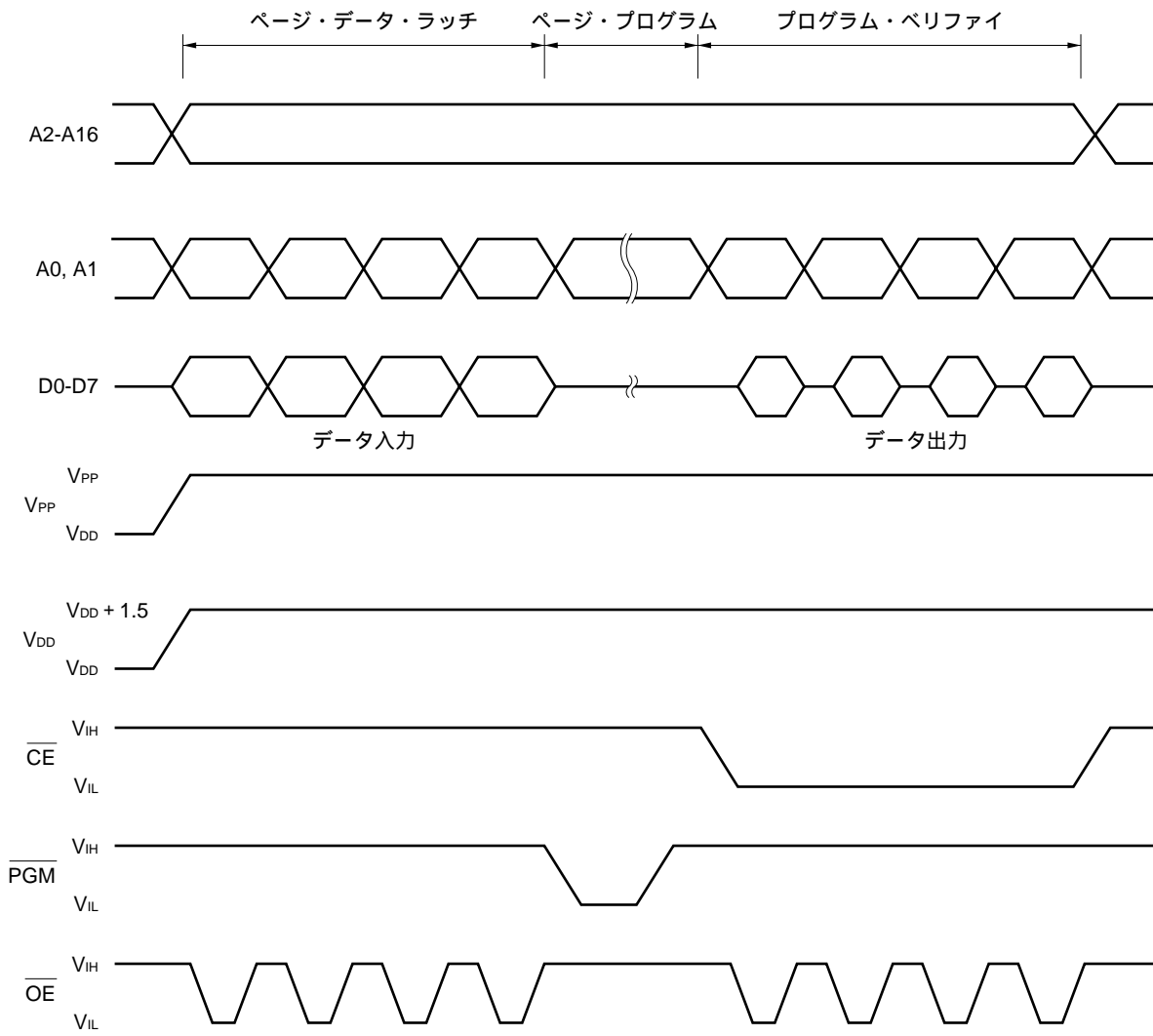
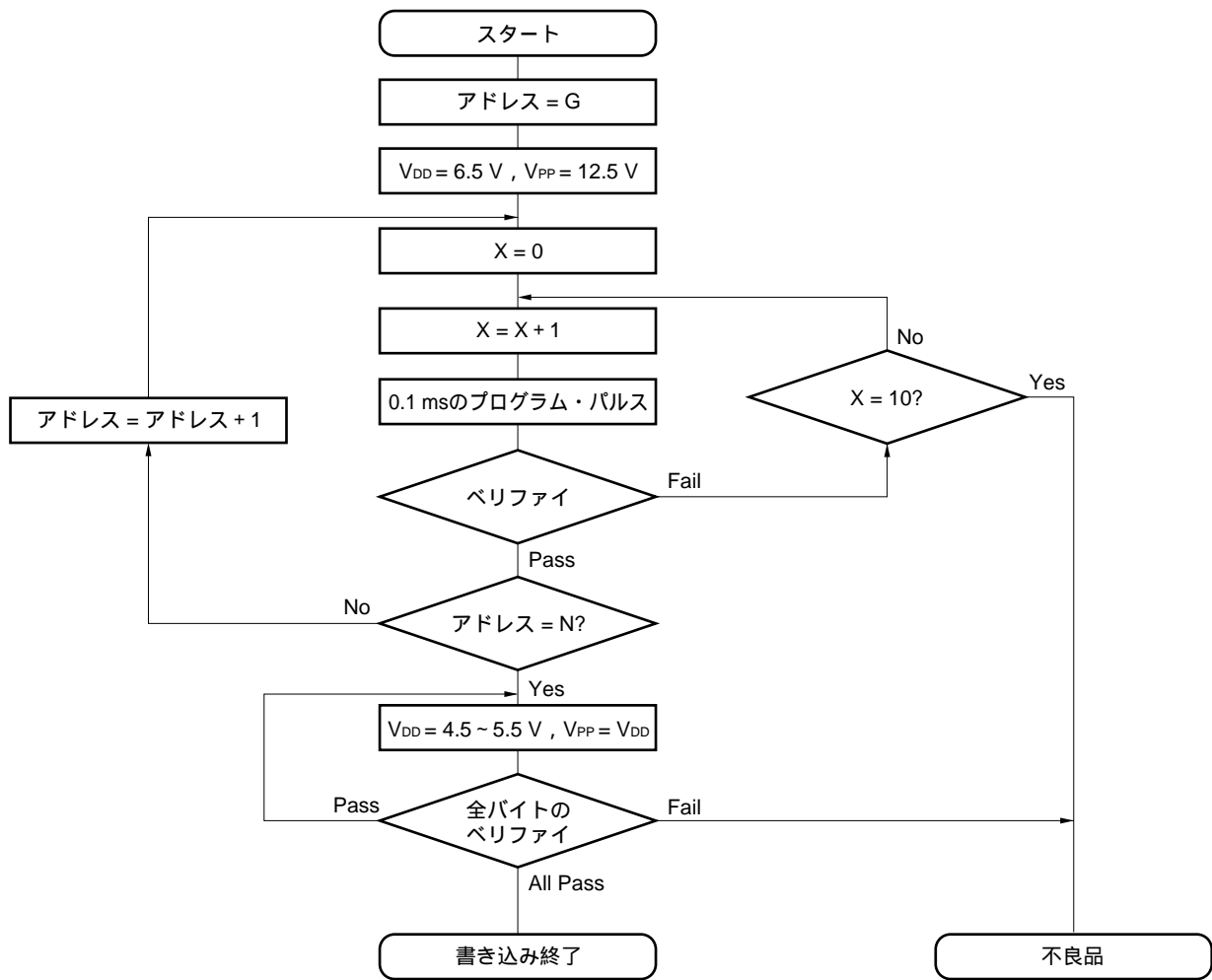
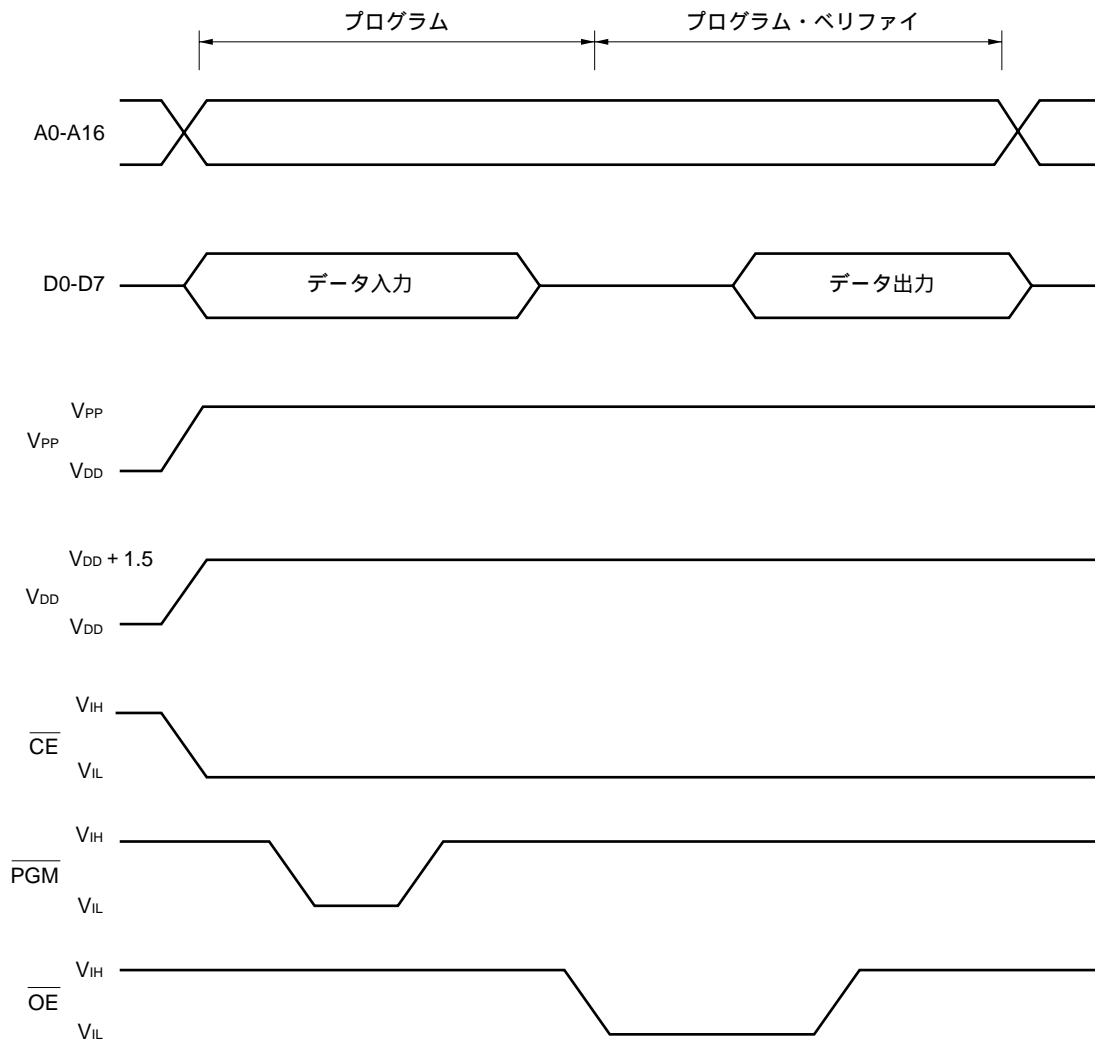


図2 - 3 バイト・プログラム・モード・フロー・チャート



備考 G = 開始アドレス
 N = プログラムの最終アドレス

図2-4 バイト・プログラム・モード・タイミング



- 注意 1.** V_{DD}はV_{PP}より前に印加し、V_{PP}の後から切断するようにしてください。
- 2.** V_{PP}はオーバシュートを含めて+13.5V以上にならないようにしてください。
- 3.** V_{PP}に+12.5Vが印加されている間に抜き差しした場合、信頼性上、悪影響を受ける可能性があります。

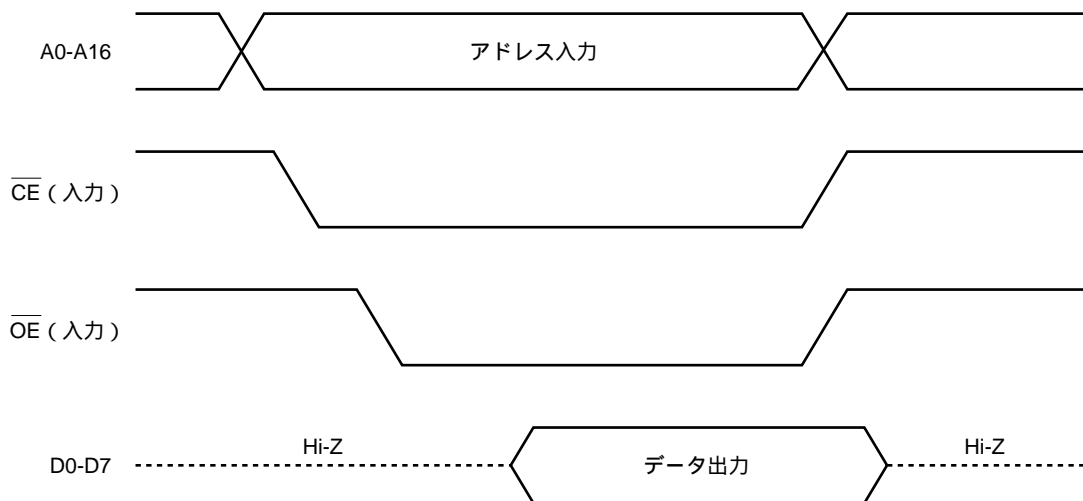
2.3 PROM読み出しの手順

次に示す手順によって、PROMの内容を外部データ・バス（D0-D7）に読み出すことができます。

- (1) $\overline{\text{RESET}}$ 端子をロウ・レベルに固定、 V_{PP} 端子に+5Vを供給、その他、使用しない端子は端子接続図(Top View)
(2) PROMプログラミング・モードに示すように処理する。
- (2) V_{DD} , V_{PP} 端子に+5Vを供給。
- (3) 読み出そうとするデータのアドレスをA0-A16端子に入力。
- (4) リード・モード。
- (5) データをD0-D7端子に出力。

上述の(2)-(5)のタイミングを図2-5に示します。

図2-5 PROMの読み出しタイミング



3．消去方法（μPD178P018AKK-Tのみ）

μPD178P018AKK-Tは、プログラム・メモリに書き込まれたデータの内容を消去（FFH）して、再書き込みをすることができます。

データの内容を消去する場合は、約400 nmより短い波長の光を消去用窓部に照射して行います。通常は、254 nmの波長の紫外線を照射します。データの内容を完全に消去するために必要な照射量は、次のとおりです。

- ・紫外線強度 × 消去時間：30 W·s/cm²以上
- ・消去時間：40分以上（12,000 μW/cm²の紫外線ランプ使用の場合。ただし、紫外線ランプの性能劣化、消去用窓部の汚れなどにより長くかかる場合があります。）

なお、消去の場合は、紫外線ランプを消去用窓部から2.5 cm以内の位置に設置してください。また、紫外線ランプにフィルタが付いている場合は、そのフィルタを取り外してから照射を行ってください。

4．消去用窓のシールについて（μPD178P018AKK-Tのみ）

EPROM内容の消去用ランプ以外の光による誤消去防止、およびEPROM以外の内部回路が光によって誤動作するのを防止するため、EPROM内容消去時以外は保護用シールを消去用窓に張っておいてください。

5．ワン・タイムPROM製品のスクリーニングについて

ワン・タイムPROM製品（μPD178P018AGC-3B9）は、その構造上、当社にて完全な試験をして出荷することはできません。必要なデータを書き込んだあと、下記の条件で高温保管後、PROMのペリファイを行うスクリーニングを実施することを推奨します。

保管温度	保管時間
125	24時間

6. 電気的特性 (暫定)

注意 次に記載する電気的特性は製品の暫定値です。

設計する際は、正式な電気的特性を記載したデータ・シートを必ず参照してください。

μPD178P018A データ・シート：作成予定

絶対最大定格 (TA = 25)

項目	略号	条件		定格	単位
電源電圧	V _{DD}			- 0.3 ~ + 7.0	V
	V _{PP}			- 0.3 ~ + 13.5	V
入力電圧	V _{I1}	P60-P63以外		- 0.3 ~ V _{DD} + 0.3	V
	V _{I2}	P60-P63	N-chオープン・ドレイン	- 0.3 ~ + 16	V
	V _{I3}	A9	PROMプログラミング・モード	- 0.3 ~ + 13.5	V
出力電圧	V _O			- 0.3 ~ V _{DD} + 0.3	V
出力耐圧	V _{BDS}	P132-P134	N-chオープン・ドレイン	16	V
アナログ入力電圧	V _{AN}	P10-P15	アナログ入力端子	- 0.3 ~ V _{DD} + 0.3	V
ハイ・レベル出力電流	I _{OH}	1 端子		- 10	mA
		P01-P06, P30-P37, P56, P57, P60-P67, P120-P125合計		- 15	mA
		P10-P15, P20-P27, P40-P47, P50-P55, P132-P134合計		- 15	mA
ロウ・レベル出力電流	I _{OL} ^注	1 端子	ピーク値	15	mA
			実効値	7.5	mA
動作周囲温度	T _A			- 40 ~ + 85	
保存温度	T _{stg}			- 65 ~ + 150	

注 実効値は [実効値] = [ピーク値] × √デューティで計算してください。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

推奨電源電圧範囲 (TA = - 40 ~ + 85)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧	V _{DD1}	CPU動作およびPLL動作時	4.5		5.5	V
	V _{DD2}	CPU動作, PLL停止時 サイクル・タイム: T _{CY} = 0.89 μs	3.5		5.5	V
	V _{DD3}	CPU動作, PLL停止時 サイクル・タイム: T _{CY} = 0.44 μs	4.5		5.5	V

備考 T_{CY}: サイクル・タイム (最小命令実行時間)

DC特性 (TA = -40 ~ +85 , VDD = 3.5 ~ 5.5 V)

(1/3)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位	
ハイ・レベル入力電圧	VIH1	P10-P15, P21, P23, P30-P32, P35-P37, P40-P47, P50-P57, P64-P67, P120-P125	0.7VDD		VDD	V	
	VIH2	P00-P06, P20, P22, P24-P27, P33, P34 $\overline{\text{RESET}}$	0.85VDD		VDD	V	
	VIH3	P60-P63 (N-chオープン・ドレイン)	0.7VDD		15	V	
ロウ・レベル入力電圧	VIL1	P10-P15, P21, P23, P30-P32, P35-P37, P40-P47, P50-P57, P64-P67, P120-P125	0		0.3VDD	V	
	VIL2	P00-P06, P20, P22, P24-P27, P33, P34, $\overline{\text{RESET}}$	0		0.15VDD	V	
	VIL3	P60-P63 (N-chオープン・ドレイン)	4.5 V VDD 5.5 V	0		0.3VDD	V
			3.5 V VDD < 4.5 V	0		0.2VDD	V
ハイ・レベル出力電圧	VOH1	4.5 V VDD 5.5 V, IOH = -1 mA	VDD - 1.0			V	
		3.5 V VDD < 4.5 V, IOH = -100 μA	VDD - 0.5			V	
ロウ・レベル出力電圧	VOL1	P50-P57, P60-P63	VDD = 4.5 ~ 5.5 V, IOL = 15 mA	0.4	2.0	V	
		P01-P06, P10-P15, P20-P27, P30-P37, P40-P47, P64-P67, P120-P125, P132-P134	VDD = 4.5 ~ 5.5 V, IOL = 1.6 mA		0.4	V	
	VOL2	SB0, SB1, $\overline{\text{SCK0}}$	VDD = 4.5 ~ 5.5 V, N-chオープン・ドレイン, プルアップ時 (R = 1 k)			0.2VDD	V

備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

DC特性 (TA = -40 ~ +85 , VDD = 3.5 ~ 5.5 V)

(2/3)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ハイ・レベル入力リーク電流	IIH1	P00-P06, P10-P15, P20-P27, P30-P37, P40-P47, P50-P57, P64-P67, P120-P125, RESET	VIN = VDD		3	μA
	IIH2	P60-P63	VIN = 15 V		80	μA
ロウ・レベル入力リーク電流	IIIL1	P00-P06, P10-P15, P20-P27, P30-P37, P40-P47, P50-P57, P64-P67, P120-P125, RESET	VIN = 0 V		- 3	μA
	IIIL2	P60-P63			- 3注	μA
ハイ・レベル出力リーク電流	ILOH	P132-P134	VOUT = 15 V		3	μA
ロウ・レベル出力リーク電流	ILOL	P132-P134	VOUT = 0 V		- 3	μA
出力オフ・リーク電流	ILOF	EO0, EO1	VOUT = VDD, VOUT = 0 V		± 1	μA

注 P60-P63は、入力命令を実行したときの1クロック間のみ、ロウ・レベル入力リーク電流が - 200 μA (MAX.) 流れます。入力命令実行時の1クロック間以外では - 3 μA (MAX.) です。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

参考特性 (TA = 25 , VDD = 5 V)

(1/2)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ハイ・レベル出力電流	IOH1	EO0	VOUT = VDD - 1 V		- 4	mA
		EO1 (EOCON0 = 0)		- 1.8		
ロウ・レベル出力電流	IOL1	EO0	VOUT = 1 V		6	mA
		EO1 (EOCON0 = 0)		3.5		

DC特性 (TA = -40 ~ +85 , VDD = 3.5 ~ 5.5 V)

(3/3)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	IDD1	CPU動作, PLL停止時 fx = 4.5 MHz動作	Tcy = 0.89 μs ^{注2}		2.5	15	mA
			Tcy = 0.44 μs ^{注3} VDD = 4.5 ~ 5.5 V		4.0	27	mA
	IDD3	CPU動作, PLL停止時 HALTモード	Tcy = 0.89 μs ^{注2}		1	4	mA
	IDD4	X1端子正弦波入力VIN = VDD fx = 4.5 MHz動作	Tcy = 0.44 μs ^{注3} VDD = 4.5 ~ 5.5 V		1.6	6	mA
データ保持電源電圧	VDDR1	水晶発振時	Tcy = 0.44 μs	4.5		5.5	V
	VDDR2		Tcy = 0.89 μs	3.5		5.5	V
	VDDR3	水晶発振停止時 パワーオン・クリアによる停電検出時		2.7		5.5	V
データ保持電源電流	IDD1	水晶発振停止時	TA = 25 , VDD = 5 V		2	4	μA
	IDD2				2	30	μA

注1 . ポート電流は含みません。

- 2 . プロセッサ・クロック・コントロール・レジスタ (PCC) を00Hに設定し, 発振モード選択レジスタ (OSMS) を00Hに設定したとき。
- 3 . PCCを00Hに設定し, OSMSを01Hに設定したとき。

備考1 . Tcy : サイクル・タイム (最小命令実行時間)

- 2 . fx : システム・クロック発振周波数

参考特性 (TA = 25 , VDD = 5 V)

(2/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電流	IDD5	CPU動作およびPLL動作時 VCOH端子正弦波入力 fin = 130 MHz, VIN = 0.15 Vp-p	Tcy = 0.44 μs ^注		7	mA

注 プロセッサ・クロック・コントロール・レジスタ (PCC) を00Hに設定し, 発振モード選択レジスタ (OSMS) を01Hに設定したとき。

備考 Tcy : サイクル・タイム (最小命令実行時間)

AC特性

(1) 基本動作 (TA = -40 ~ +85, VDD = 3.5 ~ 5.5 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
サイクル・タイム (最小命令実行時間)	T _{CY}	f _{XX} = f _X /2 ^{注1} , f _X = 4.5 MHz動作	0.89		14.22	μs
		f _{XX} = f _X ^{注2} , f _X = 4.5 MHz動作	0.44		7.11	μs
		4.5 V V _{DD} 5.5 V 3.5 V V _{DD} < 4.5 V	0.89		7.11	μs
TI1, TI2入力周波数	f _{TI}	4.5 V V _{DD} 5.5 V	0		4.5	MHz
		3.5 V V _{DD} < 4.5 V	0		275	kHz
TI1, TI2入力 ハイ, ロウ・レベル幅	t _{TIH} , t _{TIL}	4.5 V V _{DD} 5.5 V	111			ns
		3.5 V V _{DD} < 4.5 V	1.8			μs
割り込み入力 ハイ, ロウ・レベル幅	t _{INTH} , t _{INTL}	INTP0	8/f _{sam} ^{注3}			μs
		INTP1-INTP6	10			μs
RESETロウ・レベル幅	t _{RSL}		10			μs

注1 . 発振モード選択レジスタ (OSMS) を00Hに設定したとき。

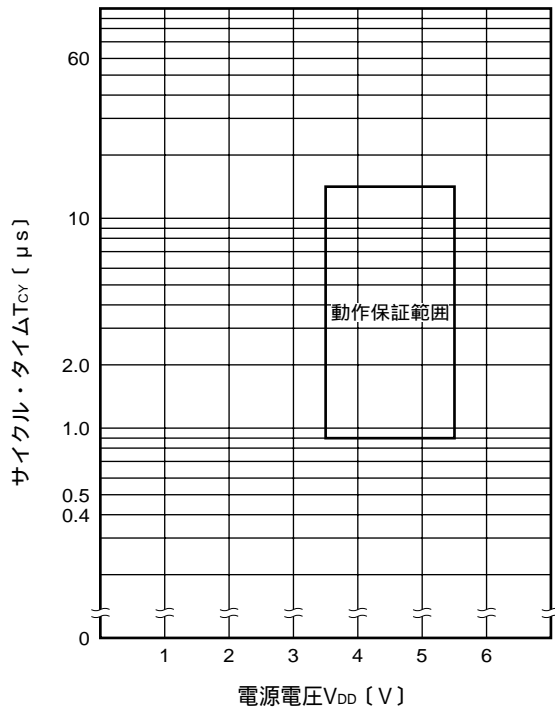
2 . OSMSを01Hに設定したとき。

3 . サンプリング・クロック選択レジスタ (SCS) のビット0, 1 (SCS0, SCS1) により, f_{sam} = f_{XX}/2^N, f_{XX}/32, f_{XX}/64, f_{XX}/128の選択が可能です (N = 0-4)。

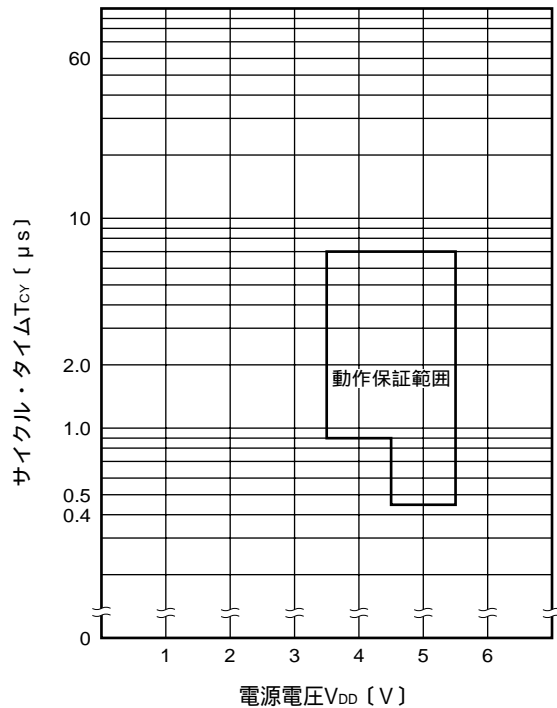
備考1 . f_{XX} : システム・クロック周波数 (f_Xまたはf_X/2)

2 . f_X : システム・クロック発振周波数

T_{CY} vs V_{DD} (システム・クロックf_{XX} = f_X/2動作時)



T_{CY} vs V_{DD} (システム・クロックf_{XX} = f_X動作時)



(2) シリアル・インタフェース (TA = -40 ~ +85 , VDD = 3.5 ~ 5.5 V)

(a) シリアル・インタフェース・チャンネル0

(i) 3線式シリアルI/Oモード (SCK0...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK0サイクル・タイム	t _{KCY1}	4.5 V V _{DD} 5.5 V	800			ns
		3.5 V V _{DD} < 4.5 V	1600			ns
SCK0ハイ, ロウ・レベル幅	t _{KH1} ,	4.5 V V _{DD} 5.5 V	t _{KCY1} /2 - 50			ns
	t _{KL1}	3.5 V V _{DD} < 4.5 V	t _{KCY1} /2 - 100			ns
SIOセットアップ時間 (対SCK0)	t _{SIK1}	4.5 V V _{DD} 5.5 V	100			ns
		3.5 V V _{DD} < 4.5 V	150			ns
SIOホールド時間 (対SCK0)	t _{KSI1}		400			ns
SCK0 SO0 出力遅延時間	t _{KSO1}	C = 100 pF ^注			300	ns

注 Cは, SO0出力ラインの負荷容量です。

(ii) 3線式シリアルI/Oモード (SCK0...外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK0サイクル・タイム	t _{KCY2}	4.5 V V _{DD} 5.5 V	800			ns
		3.5 V V _{DD} < 4.5 V	1600			ns
SCK0ハイ, ロウ・レベル幅	t _{KH2} ,	4.5 V V _{DD} 5.5 V	400			ns
	t _{KL2}	3.5 V V _{DD} < 4.5 V	800			ns
SIOセットアップ時間 (対SCK0)	t _{SIK2}		100			ns
SIOホールド時間 (対SCK0)	t _{KSI2}		400			ns
SCK0 SO0 出力遅延時間	t _{KSO2}	C = 100 pF ^注			300	ns
SCK0立ち上がり, 立ち下がり時間	t _{R2} ,				1000	ns
	t _{F2}					

注 Cは, SO0出力ラインの負荷容量です。

(iii) SBIモード (SCK0...内部クロック出力)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位
SCK0サイクル・タイム	t _{KCY3}	4.5 V V _{DD} 5.5 V		800			ns
		3.5 V V _{DD} < 4.5 V		3200			ns
SCK0ハイ, ロウ・レベル幅	t _{KH3} , t _{KL3}	4.5 V V _{DD} 5.5 V		t _{KCY3} /2 - 50			ns
		3.5 V V _{DD} < 4.5 V		t _{KCY3} /2 - 150			ns
SB0, SB1セットアップ時間 (対SCK0)	t _{SIK3}	4.5 V V _{DD} 5.5 V		100			ns
		3.5 V V _{DD} < 4.5 V		300			ns
SB0, SB1ホールド時間 (対SCK0)	t _{KSI3}			t _{KCY3} /2			ns
SCK0 SB0, SB1出力遅延時間	t _{KSO3}	R = 1 k , C = 100 pF ^注	4.5 V V _{DD} 5.5 V	0		250	ns
			3.5 V V _{DD} < 4.5 V	0		1000	ns
SCK0 SB0, SB1	t _{KSB}			t _{KCY3}			ns
SB0, SB1 SCK0	t _{SBK}			t _{KCY3}			ns
SB0, SB1ハイ・レベル幅	t _{SBH}			t _{KCY3}			ns
SB0, SB1ロウ・レベル幅	t _{SBL}			t _{KCY3}			ns

注 R, Cは, SB0, SB1出力ラインの負荷抵抗, 負荷容量です。

(iv) SBIモード (SCK0...外部クロック入力)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位
SCK0サイクル・タイム	t _{KCY4}	4.5 V V _{DD} 5.5 V		800			ns
		3.5 V V _{DD} < 4.5 V		3200			ns
SCK0ハイ, ロウ・レベル幅	t _{KH4} , t _{KL4}	4.5 V V _{DD} 5.5 V		400			ns
		3.5 V V _{DD} < 4.5 V		1600			ns
SB0, SB1セットアップ時間 (対SCK0)	t _{SIK4}	4.5 V V _{DD} 5.5 V		100			ns
		3.5 V V _{DD} < 4.5 V		300			ns
SB0, SB1ホールド時間 (対SCK0)	t _{KSI4}			t _{KCY4} /2			ns
SCK0 SB0, SB1出力遅延時間	t _{KSO4}	R = 1 k , C = 100 pF ^注	4.5 V V _{DD} 5.5 V	0		300	ns
			3.5 V V _{DD} < 4.5 V	0		1000	ns
SCK0 SB0, SB1	t _{KSB}			t _{KCY4}			ns
SB0, SB1 SCK0	t _{SBK}			t _{KCY4}			ns
SB0, SB1ハイ・レベル幅	t _{SBH}			t _{KCY4}			ns
SB0, SB1ロウ・レベル幅	t _{SBL}			t _{KCY4}			ns
SCK0立ち上がり, 立ち下がり時間	t _{R4} , t _{F4}					1000	ns

注 R, Cは, SB0, SB1出力ラインの負荷抵抗, 負荷容量です。

(v) 2線式シリアル/Oモード ($\overline{\text{SCK0}}$...内部クロック出力)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
$\overline{\text{SCK0}}$ サイクル・タイム	t _{KCY5}	R = 1 k , C = 100 pF ^注		1600			ns	
$\overline{\text{SCK0}}$ ハイ・レベル幅	t _{KH5}			t _{KCY5} /2 - 160			ns	
$\overline{\text{SCK0}}$ ロウ・レベル幅	t _{KL5}		4.5 V V _{DD} 5.5 V	t _{KCY5} /2 - 50			ns	
			3.5 V V _{DD} < 4.5 V	t _{KCY5} /2 - 100			ns	
SB0, SB1セットアップ 時間 (対 $\overline{\text{SCK0}}$)	t _{SIK5}		4.5 V V _{DD} 5.5 V		300			ns
			3.5 V V _{DD} < 4.5 V		350			ns
					400			ns
SB0, SB1ホールド時間 (対 $\overline{\text{SCK0}}$)	t _{KSI5}			600			ns	
$\overline{\text{SCK0}}$ SB0, SB1 出力遅延時間	t _{KSO5}			0		300	ns	

注 R, Cは, $\overline{\text{SCK0}}$, SB0, SB1出力ラインの負荷抵抗, 負荷容量です。

(vi) 2線式シリアル/Oモード ($\overline{\text{SCK0}}$...外部クロック入力)

項目	略号	条件		MIN.	TYP.	MAX.	単位
$\overline{\text{SCK0}}$ サイクル・タイム	t _{KCY6}			1600			ns
$\overline{\text{SCK0}}$ ハイ・レベル幅	t _{KH6}			650			ns
$\overline{\text{SCK0}}$ ロウ・レベル幅	t _{KL6}			800			ns
SB0, SB1セットアップ 時間 (対 $\overline{\text{SCK0}}$)	t _{SIK6}			100			ns
SB0, SB1ホールド時間 (対 $\overline{\text{SCK0}}$)	t _{KSI6}			t _{KCY6} /2			ns
$\overline{\text{SCK0}}$ SB0, SB1 出力遅延時間	t _{KSO6}	R = 1 k , C = 100 pF ^注	4.5 V V _{DD} 5.5 V	0		300	ns
			3.5 V V _{DD} < 4.5 V	0		500	ns
$\overline{\text{SCK0}}$ 立ち上がり, 立ち下がり時間	t _{R6} , t _{F6}					1000	ns

注 R, Cは, SB0, SB1出力ラインの負荷抵抗, 負荷容量です。

(vii) I²Cバス・モード (SCL...内部クロック出力)

項目	略号	条件		MIN.	TYP.	MAX.	単位
SCLサイクル・タイム	t _{KCY7}	R = 1 k Ω , C = 100 pF ^注		10			μ s
SCLハイ・レベル幅	t _{KH7}			t _{KCY7} - 160			ns
SCLロウ・レベル幅	t _{KL7}			t _{KCY7} - 50			ns
SDA0, SDA1セットアップ 時間(対SCL)	t _{SIK7}			200			ns
SDA0, SDA1ホールド時間 (対SCL)	t _{KS17}			0			ns
SCL SDA0, SDA1出力 遅延時間	t _{KSO7}		4.5 V V_{DD} 5.5 V	0		300	ns
			3.5 V $V_{DD} < 4.5$ V	0		500	ns
SCL SDA0, SDA1 または SCL SDA0, SDA1	t _{KSB}			200			ns
SDA0, SDA1 SCL	t _{SBK}			400			ns
SDA0, SDA1ハイ・レベル幅	t _{SBH}		500			ns	

注 R, Cは, SCL, SDA0, SDA1出力ラインの負荷抵抗, 負荷容量です。

(viii) I²Cバス・モード (SCL...外部クロック入力)

項目	略号	条件		MIN.	TYP.	MAX.	単位
SCLサイクル・タイム	t _{KCY8}			1000			ns
SCLハイ,ロウ・レベル幅	t _{KH8} , t _{KL8}			400			ns
SDA0, SDA1セットアップ 時間(対SCL)	t _{SIK8}			200			ns
SDA0, SDA1ホールド時間 (対SCL)	t _{KS18}			0			ns
SCL SDA0, SDA1出力 遅延時間	t _{KSO8}	R = 1 k Ω , C = 100 pF ^注	4.5 V V_{DD} 5.5 V	0		300	ns
			3.5 V $V_{DD} < 4.5$ V	0		500	ns
SCL SDA0, SDA1 または SCL SDA0, SDA1	t _{KSB}			200			ns
SDA0, SDA1 SCL	t _{SBK}			400			ns
SDA0, SDA1ハイ・レベル幅	t _{SBH}			500			ns
SCL立ち上がり, 立ち下がり時間	t _{R8} , t _{F8}					1000	ns

注 R, Cは, SDA0, SDA1出力ラインの負荷抵抗, 負荷容量です。

(b) シリアル・インタフェース・チャンネル1

(i) 3線式シリアルI/Oモード (SCK1...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK1サイクル・タイム	tkcy9	4.5 V V _{DD} 5.5 V	800			ns
		3.5 V V _{DD} < 4.5 V	1600			ns
SCK1ハイ, ロウ・レベル幅	tkH9, tKL9	4.5 V V _{DD} 5.5 V	tkcy9/2 - 50			ns
		3.5 V V _{DD} < 4.5 V	tkcy9/2 - 100			ns
SI1セットアップ時間(対SCK1)	tsik9	4.5 V V _{DD} 5.5 V	100			ns
		3.5 V V _{DD} < 4.5 V	150			ns
SI1ホールド時間(対SCK1)	tksh9		400			ns
SCK1 SO1出力遅延時間	tkso9	C = 100 pF ^注			300	ns

注 Cは, SO1出力ラインの負荷容量です。

(ii) 3線式シリアルI/Oモード (SCK1...外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK1サイクル・タイム	tkcy10	4.5 V V _{DD} 5.5 V	800			ns
		3.5 V V _{DD} < 4.5 V	1600			ns
SCK1ハイ, ロウ・レベル幅	tkH10, tKL10	4.5 V V _{DD} 5.5 V	400			ns
		3.5 V V _{DD} < 4.5 V	800			ns
SI1セットアップ時間(対SCK1)	tsik10		100			ns
SI1ホールド時間(対SCK1)	tksh10		400			ns
SCK1 SO1出力遅延時間	tkso10	C = 100 pF ^注			300	ns
SCK1立ち上がり, 立ち下がり時間	tR10, tF10				1000	ns

注 Cは, SO1出力ラインの負荷容量です。

(iii) 自動送受信機能付き 3 線式シリアルI/Oモード (SCK1...内部クロック出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
SCK1サイクル・タイム	tkCY11	4.5 V V _{DD} 5.5 V	800			ns
		3.5 V V _{DD} < 4.5 V	1600			ns
SCK1ハイ, ロウ・レベル幅	tkH11,	4.5 V V _{DD} 5.5 V	tkCY11/2 - 50			ns
	tkL11	3.5 V V _{DD} < 4.5 V	tkCY11/2 - 100			ns
SI1セットアップ時間 (対SCK1)	tSIK11	4.5 V V _{DD} 5.5 V	100			ns
		3.5 V V _{DD} < 4.5 V	150			ns
SI1ホールド時間 (対SCK1)	tkSI11		400			ns
SCK1 SO1出力遅延時間	tkSO11	C = 100 pF ^注			300	ns
SCK1 STB	tsBD		tkCY11/2 - 100		tkCY11/2 + 100	ns
ストロブ信号ハイ・レベル幅	tsBW		tkCY11 - 30		tkCY11 + 30	ns
ビジィ信号セットアップ時間 (対ビジィ信号検出タイミング)	tbYS		100			ns
ビジィ信号ホールド時間 (対ビジィ信号検出タイミング)	tbYH	4.5 V V _{DD} 5.5 V	100			ns
		3.5 V V _{DD} < 4.5 V	150			ns
ビジィ・インアクティブ SCK1	tsPS				2tkCY11	ns

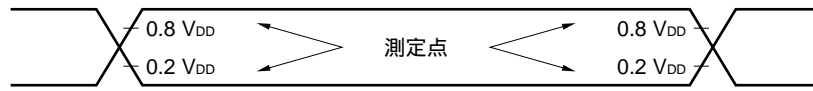
注 Cは, SO1出力ラインの負荷容量です。

(iv) 自動送受信機能付き 3 線式シリアルI/Oモード (SCK1...外部クロック入力)

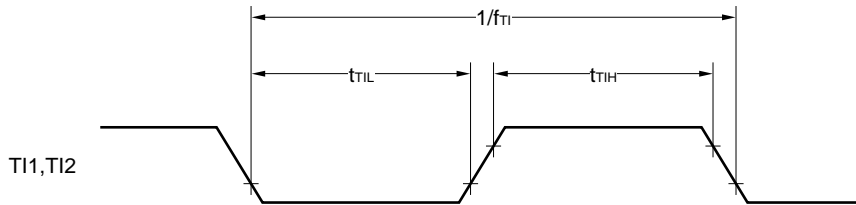
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
SCK1サイクル・タイム	tkCY12	4.5 V V _{DD} 5.5 V	800			ns
		3.5 V V _{DD} < 4.5 V	1600			ns
SCK1ハイ, ロウ・レベル幅	tkH12,	4.5 V V _{DD} 5.5 V	400			ns
	tkL12	3.5 V V _{DD} < 4.5 V	800			ns
SI1セットアップ時間 (対SCK1)	tSIK12		100			ns
SI1ホールド時間 (対SCK1)	tkSI12		400			ns
SCK1 SO1出力遅延時間	tkSO12	C = 100 pF ^注			300	ns
SCK1立ち上がり, 立ち下がり時間	tr12,				1000	ns
	tF12					

注 Cは, SO1出力ラインの負荷容量です。

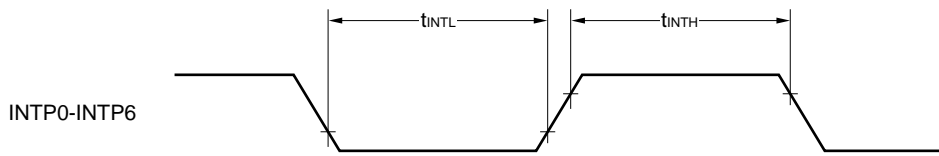
ACタイミング測定点 (X1入力を除く)



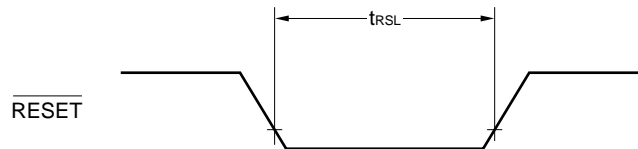
T1タイミング



割り込み入力タイミング

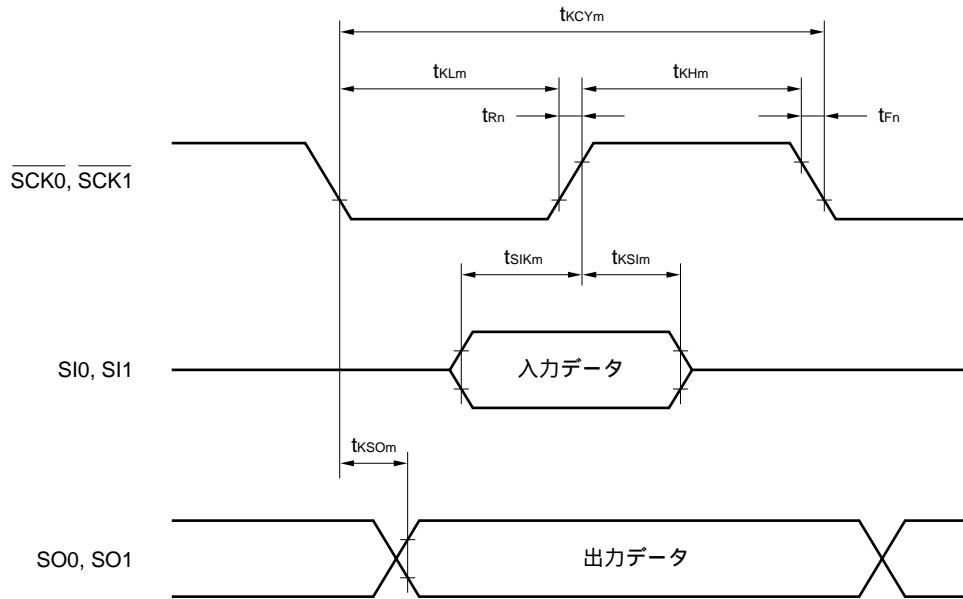


RESET入力タイミング



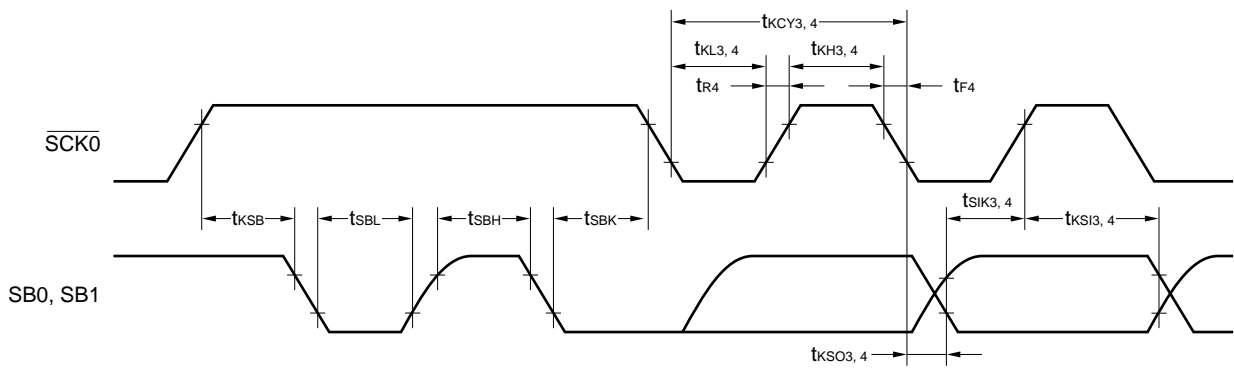
シリアル転送タイミング

3線式シリアル/Oモード :

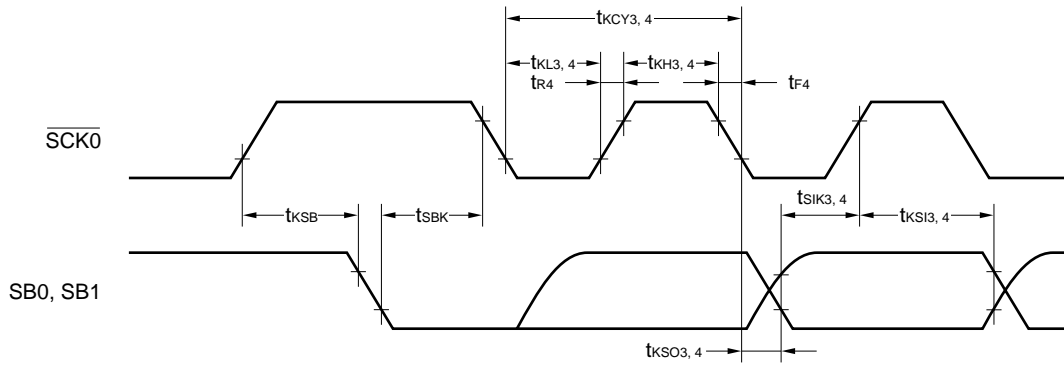


備考 $m = 1, 2, 9, 10$
 $n = 2, 10$

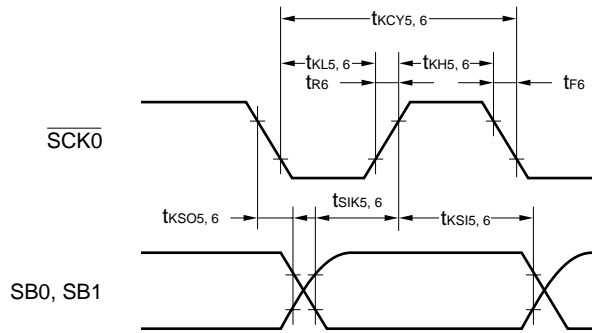
SBIモード (バス・リリース信号転送) :



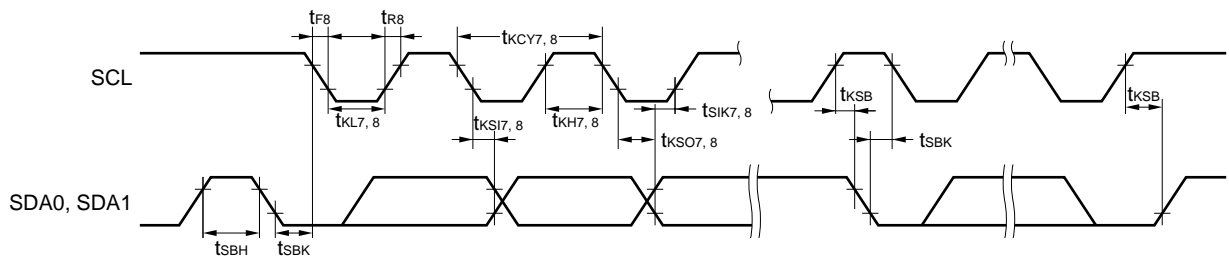
SBIモード (コマンド信号転送) :



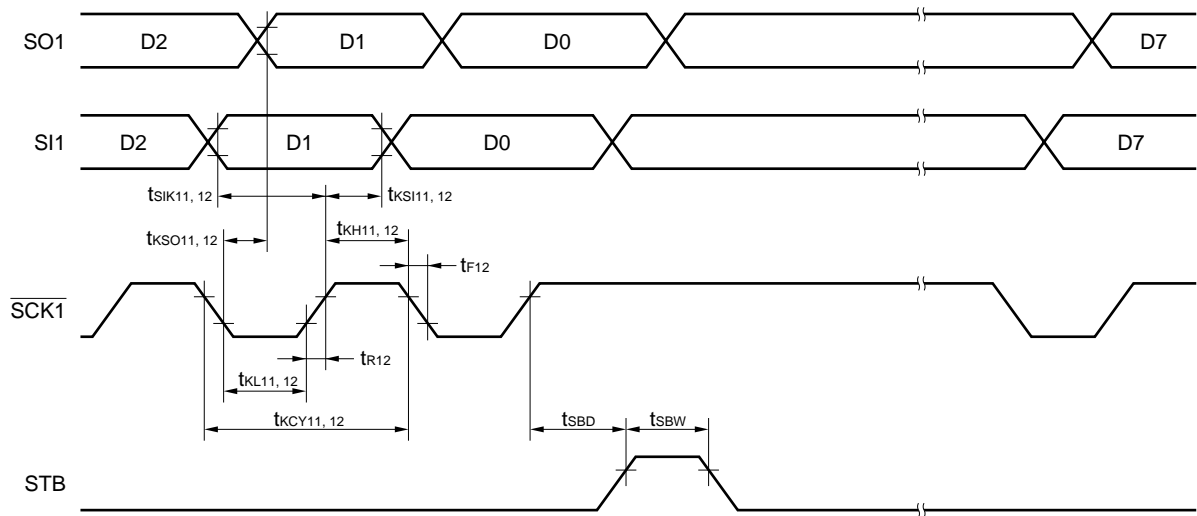
2線式シリアル/Oモード :



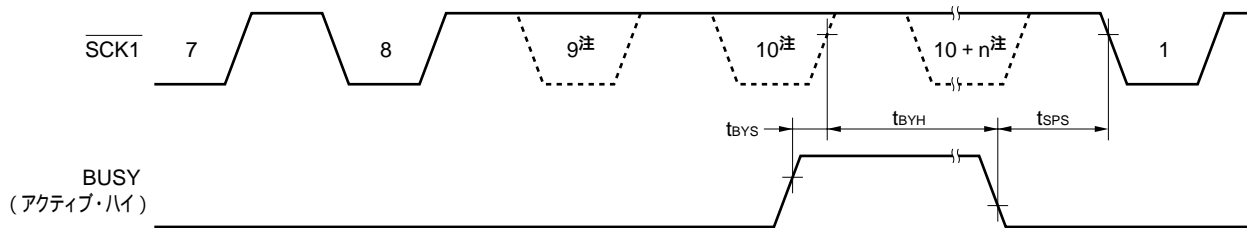
I²Cバス・モード :



自動送受信機能付き 3 線式シリアル I/O モード :



自動送受信機能付き 3 線式シリアル I/O モード (ピジィ処理) :



注 ここでは実際にはロウ・レベルになりませんが、タイミング規定のためこのように表記してあります。

A/Dコンバータ特性 (TA = -40 ~ +85 , VDD = 4.5 ~ 5.5 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能			8	8	8	bit
変換総合誤差					± 3.0	LSB
変換時間	tCONV		22.2		44.4	μs
サンプリング時間	tsAMP		15/f _{XX}			μs
アナログ入力電圧	V _{IAN}		0		V _{DD}	V

備考 1 . f_{XX} : システム・クロック周波数 (f_X/2)

2 . f_X : システム・クロック発振周波数

PLL特性 (TA = -40 ~ +85 , VDD = 4.5 ~ 5.5 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
動作周波数	f _{IN1}	VCOL端子 MFモード 正弦波入力V _{IN} = 0.1 V _{p-p}	0.5		3	MHz
	f _{IN2}	VCOL端子 HFモード 正弦波入力V _{IN} = 0.2 V _{p-p}	9		55	MHz
	f _{IN3}	VCOH端子 VHFモード 正弦波入力V _{IN} = 0.15 V _{p-p}	60		160	MHz

IFC特性 (TA = -40 ~ +85 , VDD = 4.5 ~ 5.5 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
動作周波数	f _{IN4}	AMIFC端子 AMIFカウント・モード 正弦波入力V _{IN} = 0.1 V _{p-p} 注	0.4		0.5	MHz
	f _{IN5}	FMIFC端子 FMIFカウント・モード 正弦波入力V _{IN} = 0.1 V _{p-p} 注	10		11	MHz
	f _{IN6}	FMIFC端子 AMIFカウント・モード 正弦波入力V _{IN} = 0.1 V _{p-p} 注	0.4		0.5	MHz

注 正弦波入力V_{IN} = 0.1 V_{p-p}の条件は、このデバイス単体動作における規格値であるため、ノイズの影響が考えられる場合には、入力振幅条件がV_{IN} = 0.15 V_{p-p}での動作を推奨します。

PROMプログラミング特性

DC特性

(1) PROM書き込みモード ($T_A = 25 \pm 5$, $V_{DD} = 6.5 \pm 0.25$ V, $V_{PP} = 12.5 \pm 0.3$ V)

項 目	略号	略号注	条 件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V_{IH}	V_{IH}		$0.7 V_{DD}$		V_{DD}	V
ロウ・レベル入力電圧	V_{IL}	V_{IL}		0		$0.3 V_{DD}$	V
ハイ・レベル出力電圧	V_{OH}	V_{OH}	$I_{OH} = -1$ mA	$V_{DD} - 1.0$			V
ロウ・レベル出力電圧	V_{OL}	V_{OL}	$I_{OL} = 1.6$ mA			0.4	V
入力リーク電流	I_{LI}	I_{LI}	0 $V_{IN} = V_{DD}$	- 10		+ 10	μA
V_{PP} 電源電圧	V_{PP}	V_{PP}		12.2	12.5	12.8	V
V_{DD} 電源電圧	V_{DD}	V_{CC}		6.25	6.5	6.75	V
V_{PP} 電源電流	I_{PP}	I_{PP}	$\overline{PGM} = V_{IL}$			50	mA
V_{DD} 電源電流	I_{DD}	I_{CC}				50	mA

(2) PROM読み出しモード ($T_A = 25 \pm 5$, $V_{DD} = 5.0 \pm 0.5$ V, $V_{PP} = V_{DD} \pm 0.6$ V)

項 目	略号	略号注	条 件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V_{IH}	V_{IH}		$0.7 V_{DD}$		V_{DD}	V
ロウ・レベル入力電圧	V_{IL}	V_{IL}		0		$0.3 V_{DD}$	V
ハイ・レベル出力電圧	V_{OH1}	V_{OH1}	$I_{OH} = -1$ mA	$V_{DD} - 1.0$			V
	V_{OH2}	V_{OH2}	$I_{OH} = -100$ μA	$V_{DD} - 0.5$			V
ロウ・レベル出力電圧	V_{OL}	V_{OL}	$I_{OL} = 1.6$ mA			0.4	V
入力リーク電流	I_{LI}	I_{LI}	0 $V_{IN} = V_{DD}$	- 10		+ 10	μA
出力リーク電流	I_{LO}	I_{LO}	0 $V_{OUT} = V_{DD}, \overline{OE} = V_{IH}$	- 10		+ 10	μA
V_{PP} 電源電圧	V_{PP}	V_{PP}		$V_{DD} - 0.6$	V_{DD}	$V_{DD} + 0.6$	V
V_{DD} 電源電圧	V_{DD}	V_{CC}		4.5	5.0	5.5	V
V_{PP} 電源電流	I_{PP}	I_{PP}	$V_{PP} = V_{DD}$			100	μA
V_{DD} 電源電流	I_{DD}	I_{CCA1}	$\overline{CE} = V_{IL}, V_{IN} = V_{IH}$			50	mA

注 対応するμPD27C1001Aの略号です。

AC特性

(1) PROM書き込みモード

(a) ページ・プログラム・モード (TA = 25 ± 5 , VDD = 6.5 ± 0.25 V, VPP = 12.5 ± 0.3 V)

項目	略号	略号注	条件	MIN.	TYP.	MAX.	単位
アドレス・セットアップ時間(対 \overline{OE})	tAS	tAS		2			μs
\overline{OE} セット時間	toES	toES		2			μs
\overline{CE} セットアップ時間(対 \overline{OE})	tCES	tCES		2			μs
入力データ・セットアップ時間(対 \overline{OE})	tDS	tDS		2			μs
アドレス・ホールド時間(対 \overline{OE})	tAH	tAH		2			μs
	tAHL	tAHL		2			μs
	tAHV	tAHV		0			μs
入力データ・ホールド時間(対 \overline{OE})	tDH	tDH		2			μs
\overline{OE} データ出力フロート遅延時間	tDF	tDF		0		250	ns
VPPセットアップ時間(対 \overline{OE})	tVPS	tVPS		1.0			ms
VDDセットアップ時間(対 \overline{OE})	tVDS	tVCS		1.0			ms
プログラム・パルス幅	tpw	tpw		0.095	0.1	0.105	ms
\overline{OE} 有効データ遅延時間	toE	toE				1	μs
データ・ラッチ中の \overline{OE} パルス幅	tLW	tLW		1			μs
PGMセット時間	tpGMS	tpGMS		2			μs
\overline{CE} ホールド時間	tCEH	tCEH		2			μs
\overline{OE} ホールド時間	toEH	toEH		2			μs

(b) バイト・プログラム・モード (TA = 25 ± 5 , VDD = 6.5 ± 0.25 V, VPP = 12.5 ± 0.3 V)

項目	略号	略号注	条件	MIN.	TYP.	MAX.	単位
アドレス・セットアップ時間(対PGM)	tAS	tAS		2			μs
\overline{OE} セット時間	toES	toES		2			μs
\overline{CE} セットアップ時間(対PGM)	tCES	tCES		2			μs
入力データ・セットアップ時間(対PGM)	tDS	tDS		2			μs
アドレス・ホールド時間(対 \overline{OE})	tAH	tAH		2			μs
入力データ・ホールド時間(対PGM)	tDH	tDH		2			μs
\overline{OE} データ出力フロート遅延時間	tDF	tDF		0		250	ns
VPPセットアップ時間(対PGM)	tVPS	tVPS		1.0			ms
VDDセットアップ時間(対PGM)	tVDS	tVCS		1.0			ms
プログラム・パルス幅	tpw	tpw		0.095	0.1	0.105	ms
\overline{OE} 有効データ遅延時間	toE	toE				1	μs
\overline{OE} ホールド時間	toEH	-		2			μs

注 対応するμPD27C1001Aの略号です。

(2) PROM読み出しモード ($T_A = 25 \pm 5$, $V_{DD} = 5.0 \pm 0.5 V$, $V_{PP} = V_{DD} \pm 0.6 V$)

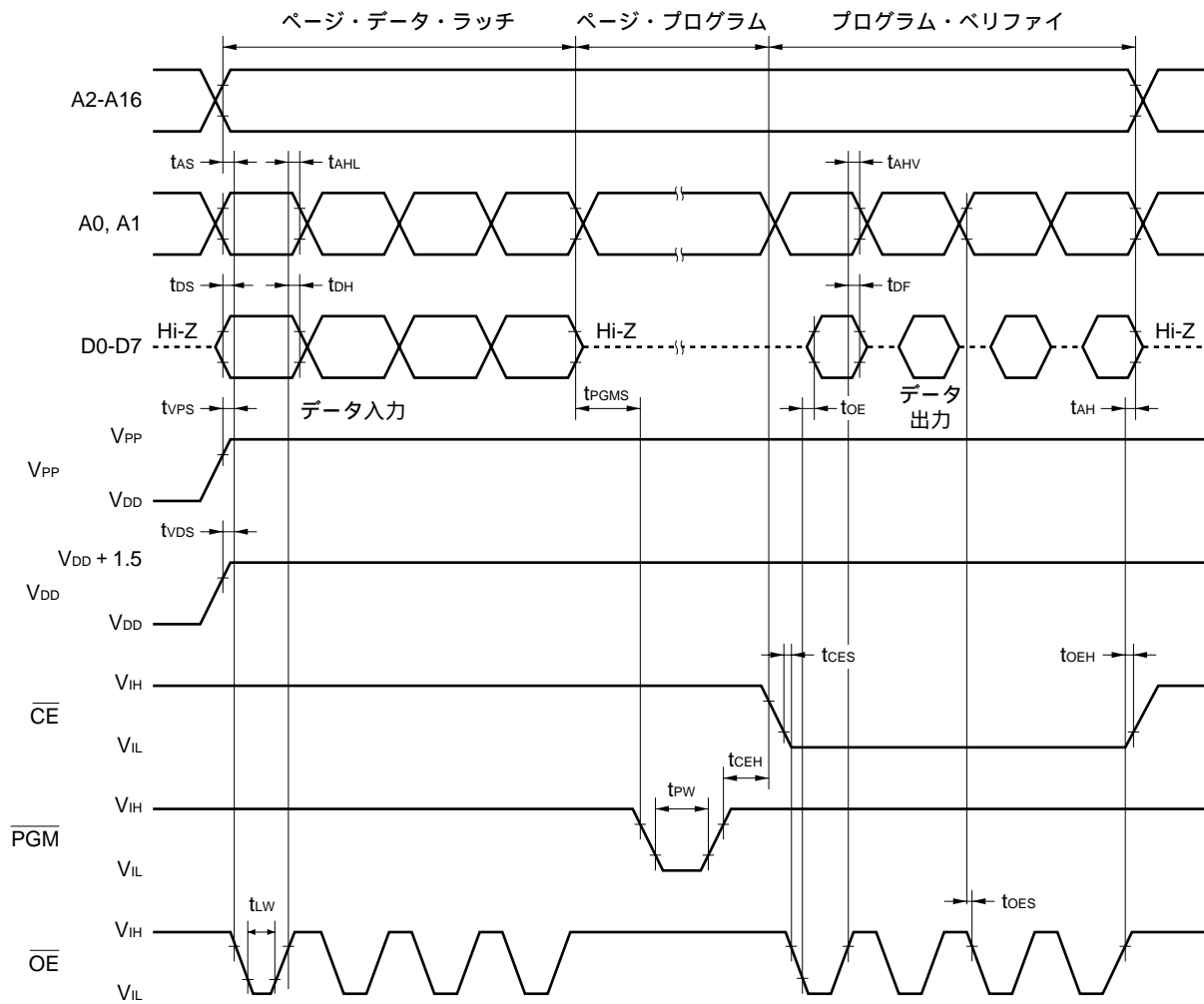
項 目	略号	略号注	条 件	MIN.	TYP.	MAX.	単位
アドレス データ出力遅延時間	t _{ACC}	t _{ACC}	$\overline{CE} = \overline{OE} = V_{IL}$			800	ns
\overline{CE} データ出力遅延時間	t _{CE}	t _{CE}	$\overline{OE} = V_{IL}$			800	ns
\overline{OE} データ出力遅延時間	t _{OE}	t _{OE}	$\overline{CE} = V_{IL}$			200	ns
\overline{OE} データ出力フロート遅延時間	t _{DF}	t _{DF}	$\overline{CE} = V_{IL}$	0		60	ns
アドレス データ・ホールド時間	t _{OH}	t _{OH}	$\overline{CE} = \overline{OE} = V_{IL}$	0			ns

注 対応する μPD27C1001Aの略号です。

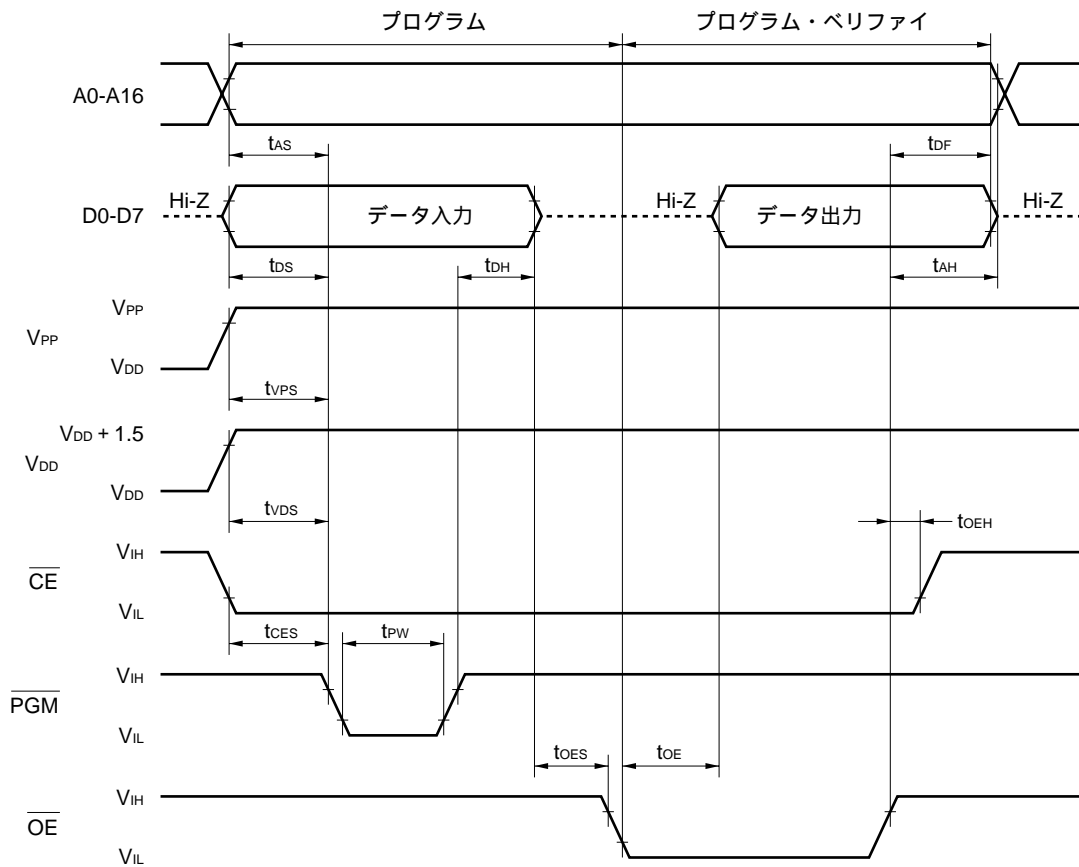
(3) PROMプログラミング・モード設定 ($T_A = 25$, $V_{SS} = 0 V$)

項 目	略号	条 件	MIN.	TYP.	MAX.	単位
PROMプログラミング・モード・セットアップ時間	t _{SMA}		10			μs

PROM書き込みモード・タイミング (ページ・プログラム・モード)

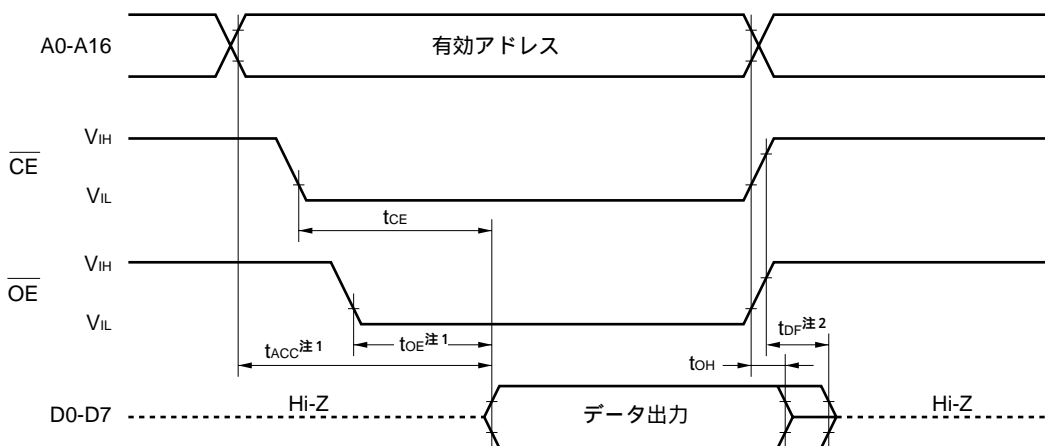


PROM書き込みモード・タイミング (バイト・プログラム・モード)



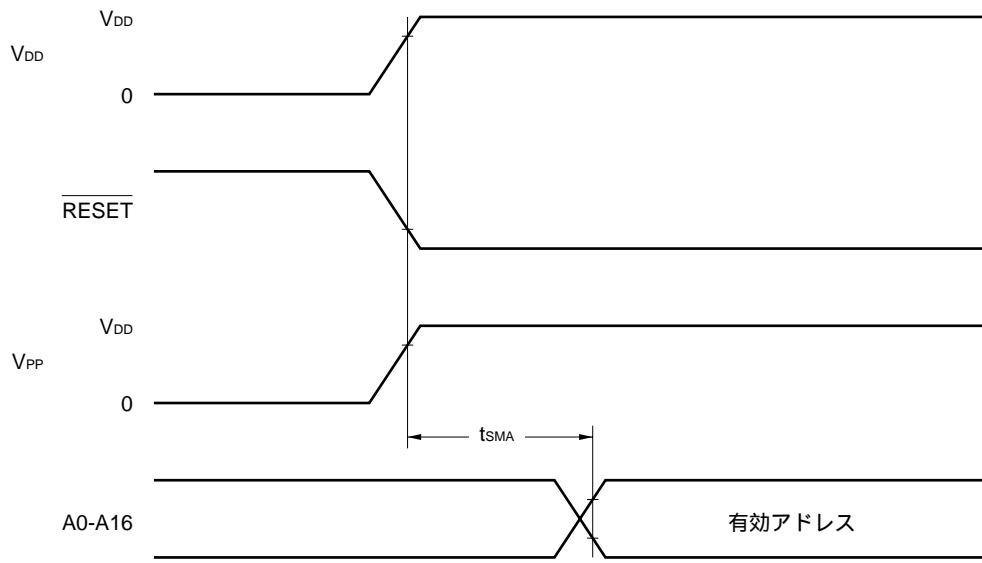
- 注意 1 . V_{DD}はV_{PP}より前に印加し、V_{PP}のあとから切断するようにしてください。
- 2 . V_{PP}はオーバーシュートを含めて + 13.5 V以上にならないようにしてください。
- 3 . V_{PP}に + 12.5 Vが印加されている間に抜き差しした場合、信頼性上、悪影響を受ける可能性があります。

PROM読み出しモード・タイミング



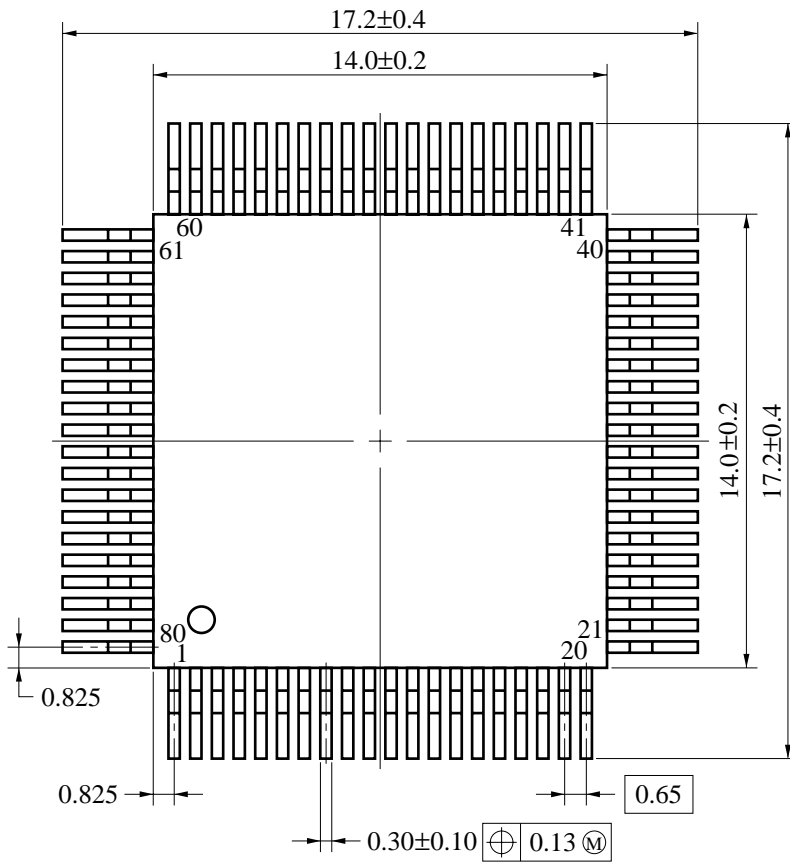
- 注 1 . t_{ACC}の範囲内でリードしたい場合、OE入力のCEの立ち下がりからの遅れ時間は最大t_{ACC} - t_{OE}としてください。
- 2 . t_{DF}はOE, CEのどちらか最初にV_{IH}となった状態からの時間です。

PROMプログラミング・モード設定タイミング

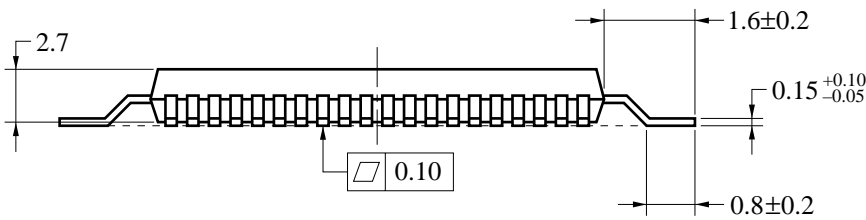
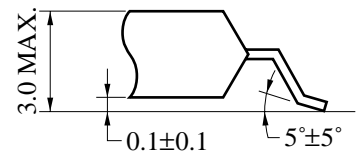


7. 外形図

80ピン・プラスチック QFP (14×14) 外形図 (単位: mm)

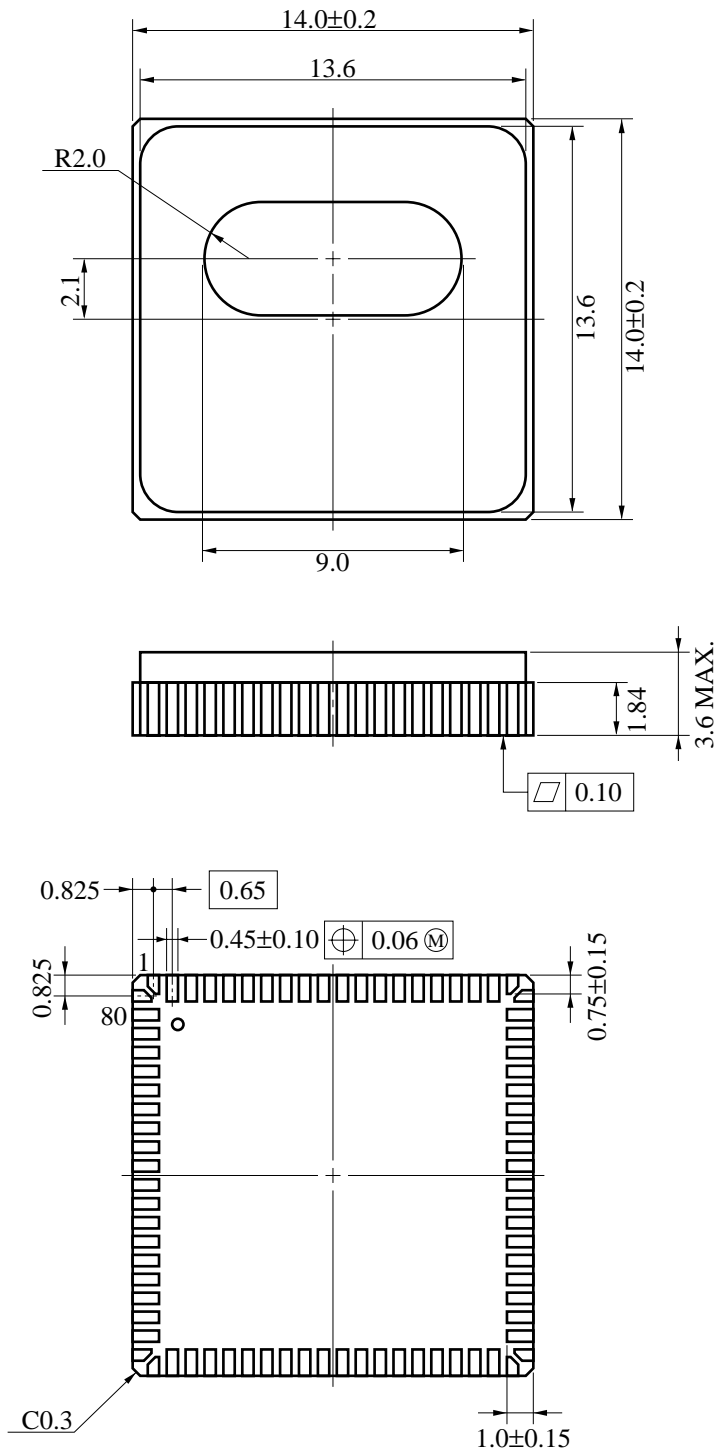


端子先端形状詳細図



S80GC-65-3B9-4

80ピン・セラミック WQFN 外形図 (単位 : mm)



X80KW-65A-1

付録A . μPD178018AサブシリーズとμPD178018サブシリーズとの違い

品名		μPD178018Aサブシリーズ				μPD178018サブシリーズ			
		μPD178004A	μPD178006A	μPD178016A	μPD178018A μPD178P018A ^注	μPD178004	μPD178006	μPD178016	μPD178018 μPD178P018
PLL 周波数 シンセ サイズ	基準周波数	7種類をプログラムで選択 (1, 3, 5, 9, 10, 25, 50 kHz)				11種類をプログラムで選択 (1, 1.25, 2.5, 3, 5, 6.25, 9, 10, 12.5, 25, 50 kHz)			
	EO0端子 出力形式	バッファ・タイプ							
	EO1端子 出力形式	バッファ・タイプ				定電流源タイプ			
	EO1端子の ハイ・インピー ダンス機能	未対応		対応		未対応			

注 開発中

備考 ワン・タイムPROM製品 (μPD178P018A/μPD178P018) は , マスク製品 (μPD178018A/μPD178018) のマスクROMを , ワン・タイムPROMまたはEPROMに置き換えたものです。

付録B．開発ツール

μPD178P018Aを使用するシステム開発のために次のような開発ツールを用意しています。

言語処理用ソフトウェア

RA78K0 ^{注1,2,3,4}	78K/0シリーズ共通のアセンブラ・パッケージ
CC78K0 ^{注1,2,3,4}	78K/0シリーズ共通のCコンパイラ・パッケージ
DF178018 ^{注1,2,3,4,8}	μPD178018Aサブシリーズ用デバイス・ファイル
CC78K0-L ^{注1,2,3,4}	78K/0シリーズ共通のCコンパイラ・ライブラリ・ソース・ファイル

PROM書き込み用ツール

PG-1500	PROMプログラム
PA-178P018GC	PG-1500に接続するプログラム・アダプタ
PA-178P018KK-T	
PG-1500コントローラ ^{注1,2}	PG-1500用コントロール・プログラム

ディバグ用ツール

IE-78000-R	78K/0シリーズ共通のインサーキット・エミュレータ
IE-78000-R-A	78K/0シリーズ共通のインサーキット・エミュレータ（統合ディバグ用）
IE-78000-R-BK	78K/0シリーズ共通のブレーク・ボード
IE-178018-R-EM	μPD178018Aサブシリーズ用エミュレーション・ボード
IE-78000-R-SV3	ホスト・マシンとしてEWS使用時のインタフェース・アダプタとケーブル（IE-78000-R-A用）
IE-70000-98-IF-B	ホスト・マシンとしてPC-9800シリーズ（ノート型パソコンを除く）を使用するときのインタフェース・アダプタ（IE-78000-R-A用）
IE-70000-98N-IF	ホスト・マシンとしてPC-9800シリーズのノート型パソコンを使用するときのインタフェース・アダプタとケーブル（IE-78000-R-A用）
IE-70000-PC-IF-B	ホスト・マシンとしてIBM PC/AT TM を使用するときのインタフェース・アダプタ（IE-78000-R-A用）
EP-78230GC-R	μPD78234サブシリーズと共通のエミュレーション・プローブ
EV-9200GC-80	80ピン・プラスチックQFP（GC-3B9タイプ）用に作られたターゲット・システムの基板上に実装するソケット
EV-9900	EV-9200GC-80からμPD178P018AKK-Tを取り外す際に使用する治具
SM78K0 ^{注5,6,7}	78K/0シリーズ共通のシステム・シミュレータ
ID78K0 ^{注4,5,6,7}	IE-78000-R-A用統合ディバグ
SD78K0 ^{注1,2}	IE-78000-R用スクリーン・ディバグ
DF178018 ^{注1,2,4,5,6,7,8}	μPD178018Aサブシリーズ用デバイス・ファイル

リアルタイムOS

RX78K0 ^{注1,2,3,4}	78K/0シリーズ用リアルタイムOS
MX78K0 ^{注1,2,3,4}	78K/0シリーズ用OS

注1 . PC-9800シリーズ (MS-DOS™) ベース

2 . IBM PC/ATおよびその互換機 (PC DOS™/IBM DOS™/MS-DOS) ベース

3 . HP9000シリーズ300™ (HP-UX™) ベース

4 . HP9000シリーズ700™ (HP-UX) ベース, SPARCstation™ (SunOS™) ベース, EWS4800シリーズ (EWS-UX/V) ベース

5 . PC-9800シリーズ (MS-DOS + Windows™) ベース

6 . IBM PC/ATおよびその互換機 (PC DOS/IBM DOS/MS-DOS + Windows) ベース

7 . NEWS™ (NEWS-OS™) ベース

8 . 開発中

ファジィ推論開発支援システム

FE9000 ^{注1} /FE9200 ^{注2}	ファジィ知識データ作成ツール
FT9080 ^{注1} /FT9085 ^{注3}	トランスレータ
FI78K0 ^{注1,3}	ファジィ推論モジュール
FD78K0 ^{注1,3}	ファジィ推論ディバッガ

注1 . PC-9800シリーズ (MS-DOS) ベース

2 . IBM PC/ATおよびその互換機 (PC DOS/IBM DOS/MS-DOS + Windows) ベース

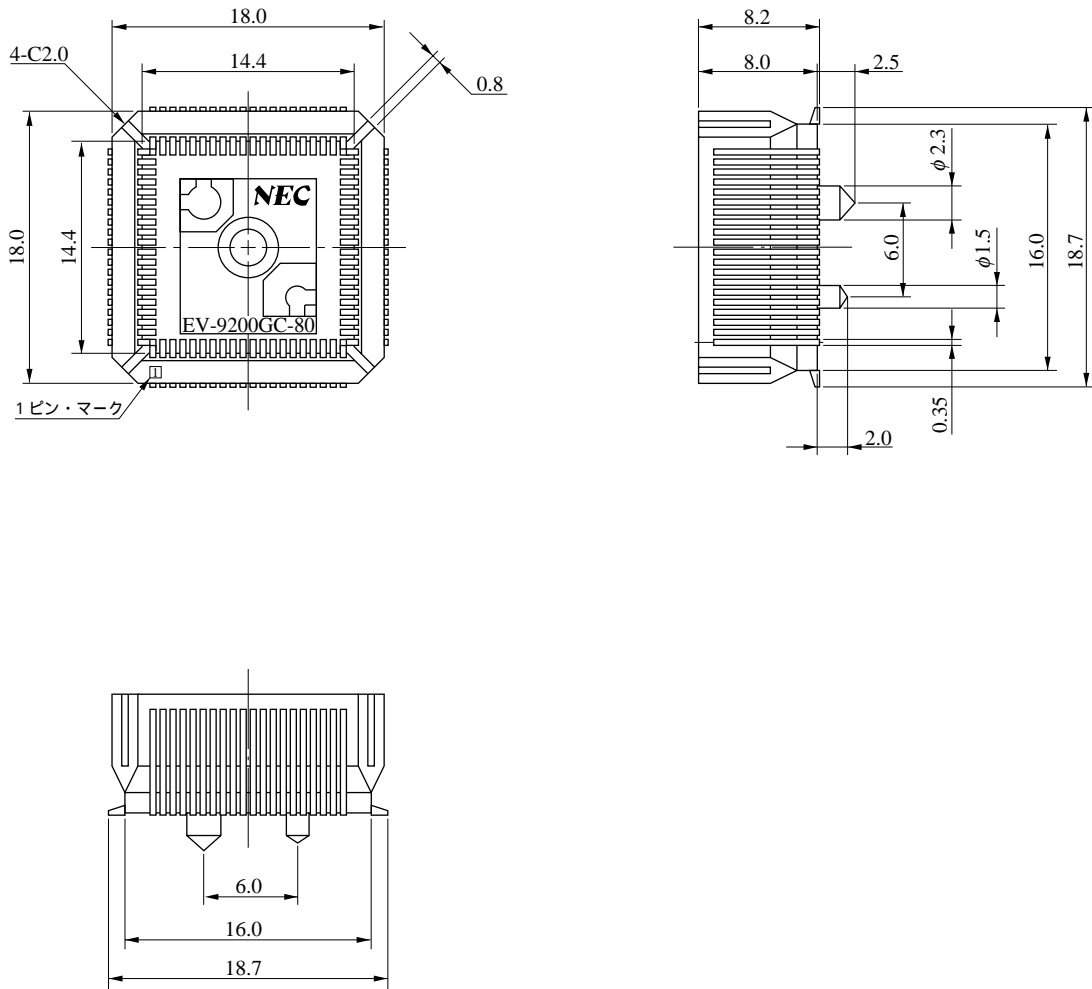
3 . IBM PC/ATおよびその互換機 (PC DOS/IBM DOS/MS-DOS) ベース

備考1 . 3rdパーティ製開発ツールについては、78K/0シリーズ **セレクション・ガイド (U11126J)** を参照してください。

2 . RA78K/0 , CC78K/0 , SD78K/0 , ID78K0 , SM78K/0 , RX78K/0は、DF178018と組み合わせて使用します。

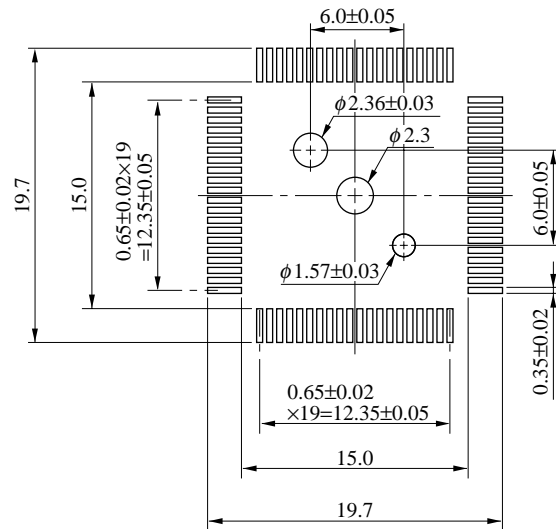
変換ソケット (EV-9200GC-80) の外形図と基板取り付け推奨パターン

図B - 1 EV-9200GC-80外形図 (参考) (単位: mm)



EV-9200GC-80-G0

図B - 2 EV-9200GC-80基板取り付け推奨パターン(参考)(単位: mm)



EV-9200GC-80-P1

注意 EV-9200用のマウント・パッド寸法と、対象製品のマウント・パッド寸法(QFP用)は、その一部が異なる場合があります。QFP用の推奨マウント・パッド寸法は、「半導体デバイス 実装マニュアル, C10535J」をご参照ください。

付録C . 関連資料

デバイスの関連資料

資料名	資料番号	
	和文	英文
μPD178018Aサブシリーズ ユーザーズ・マニュアル	U11410J	U11410E
78K/0シリーズ ユーザーズ・マニュアル 命令編	U12326J	U12326E
78K/0シリーズ インストラクション・セット	U10904J	-
78K/0シリーズ インストラクション活用表	U10903J	-
μPD178018Aサブシリーズ 特殊機能レジスタ活用表	作成予定	-
78K/0シリーズ アプリケーション・ノート	基礎編 ()	U10121J U10121E

開発ツールの関連資料 (ユーザーズ・マニュアル)

(1/2)

資料名	資料番号	
	和文	英文
RA78Kシリーズ アセンブラ・パッケージ	操作編	EEU-809 EEU-1399
	言語編	EEU-815 EEU-1404
RA78Kシリーズ 構造化アセンブラ・プリプロセッサ	EEU-817	EEU-1402
RA78K0 アセンブラ・パッケージ	操作編	U11802J U11802E
	アセンブリ言語編	U11801J U11801E
	構造化アセンブリ言語編	U11789J U11789E
CC78Kシリーズ Cコンパイラ	操作編	EEU-656 EEU-1280
	言語編	EEU-655 EEU-1284
CC78K/0 Cコンパイラ	操作編	U11517J U11517E
	言語編	U11518J U11518E
CC78K/0 Cコンパイラ アプリケーション・ノート	プログラミング・ノウハウ編	EEA-618 EEA-1208
CC78Kシリーズ ライブラリ・ソース・ファイル	U12322J	-
PG-1500 PROMプログラマ	U11940J	EEU-1335
PG-1500コントローラ PC-9800シリーズ (MS-DOS) ベース	EEU-704	EEU-1291
PG-1500コントローラ IBM PCシリーズ (PC DOS) ベース	EEU-5008	U10540E
IE-78000-R	U11376J	U11376E
IE-78000-R-A	U10057J	U10057E
IE-78000-R-BK	EEU-867	EEU-1427
IE-178018-R-EM	U10668J	U10668E
EP-78230	EEU-985	EEU-1515

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには必ず最新の資料をご使用ください。

開発ツールの関連資料 (ユーザーズ・マニュアル)

(2/2)

資料名		資料番号			
		和文	英文		
SM78K0 システム・シミュレータ	Windowsベース	レファレンス編	U10181J	U10181E	
SM78Kシリーズ	システム・シミュレータ	外部部品ユーザオープン インタフェース仕様編	U10092J	U10092E	
ID78K0	統合ディバugga	EWSベース	レファレンス編	U11151J	-
ID78K0	統合ディバugga	PCベース	レファレンス編	U11539J	U11539E
ID78K0	統合ディバugga	Windowsベース	ガイド編	U11649J	U11649E
SD78K/0	スクリーン・ディバugga	PC-9800シリーズ(MS-DOS)ベース	入門編	EEU-852	U10539E
			レファレンス編	U10952J	-
SD78K/0	スクリーン・ディバugga	IBM PC/AT(PC DOS)ベース	入門編	EEU-5024	EEU-1414
			レファレンス編	U11279J	U11279E

組み込み用ソフトウェアの関連資料 (ユーザーズ・マニュアル)

資料名		資料番号		
		和文	英文	
78K/0シリーズ	リアルタイムOS	基礎編	U11537J	-
		インストール編	U11536J	-
78K/0シリーズ用OS	MX78K0	基礎編	U12257J	-
ファジィ知識データ作成ツール			EEU-829	EEU-1438
78K/0, 78K/ , 87ADシリーズ ファジィ推論開発支援システム トランスレータ			EEU-862	EEU-1444
78K/0シリーズ ファジィ推論開発支援システム ファジィ推論モジュール			EEU-858	EEU-1441
78K/0シリーズ ファジィ推論開発支援システム ファジィ推論ディバugga			EEU-921	EEU-1458

その他の関連資料

資料名		資料番号	
		和文	英文
IC PACKAGE MANUAL		C10943X	
半導体デバイス 実装マニュアル		C10535J	C10535E
NEC半導体デバイスの品質水準		C11531J	C11531E
NEC半導体デバイスの信頼性品質管理		C10983J	C10983E
静電気放電 (ESD) 試験について		MEM-539	-
半導体デバイスの品質保証ガイド		C11893J	MEI-1202
マイクロコンピュータ関連製品ガイド 社外メーカ編		U11416J	-

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには必ず最新の資料をご使用ください。

{メ モ}

(× ㉔)

{ × ㉔ }

CMOSデバイスの一般的注意事項

静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

注意：本製品はI²Cバス・インタフェース回路を内蔵しています。

日本電気株式会社のI²Cバス対応部品をご購入いただくことにより、これらの部品をI²Cシステムに使用する実施権がフィリップス社I²C特許に基づき許諾されることとなります。ただし、これらのI²Cシステムはフィリップス社によって設定されたI²C標準規格に合致しているものとします。

Purchase of NEC I²C components conveys a license under the Philips I²C Patent Rights to use these components in an I²C system, provided that the system conforms to the I²C Standard Specification as defined by Philips.

MS-DOSおよびWindowsは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

IBM DOS、PC/AT、PC DOSは、米国IBM社の商標です。

HP9000シリーズ300、HP9000シリーズ700、HP-UXは、米国ヒューレット・パカード社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

SunOSは、米国サン・マイクロシステムズ社の商標です。

NEWS、NEWS-OSは、ソニー株式会社の商標です。

関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

本製品のうち、外国為替および外国貿易管理法の規定により戦略物資等（または役務）に該当するものについては、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

非該当品：μPD178P018AKK-T

ユーザ判定品：μPD178P018AGC-3B9

文書による当社の承諾なしに本資料の転載複製を禁じます。
 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的所有権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。

当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。

当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災/防犯装置、各種安全装置、生命維持を直接の目的としない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート/データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

この製品は耐放射線設計をしておりません。

M4 94.11

— お問い合わせは、最寄りのNECへ —

【営業関係お問い合わせ先】

半導体第一販売事業部 半導体第二販売事業部 半導体第三販売事業部	〒108-01 東京都港区芝五丁目7番1号（NEC本社ビル）	東京 (03)3454-1111	(大代表)
中部支社 半導体第一販売部 半導体第二販売部	〒460 名古屋市中区錦一丁目17番1号（NEC中部ビル）	名古屋 (052)222-2170 名古屋 (052)222-2190	
関西支社 半導体第一販売部 半導体第二販売部 半導体第三販売部	〒540 大阪市中央区城見一丁目4番24号（NEC関西ビル）	大阪 (06) 945-3178 大阪 (06) 945-3200 大阪 (06) 945-3208	
北海道支社 札幌 (011)231-0161 東北支社 仙台 (022)267-8740 岩手支店 盛岡 (019)651-4344 山形支店 山形 (0236)23-5511 郡山支店 郡山 (0249)23-5511 いわき支店 いわき (0246)21-5511 長岡支店 長岡 (0258)36-2155 土浦支店 土浦 (0298)23-6161 水戸支店 水戸 (029)226-1717 神奈川支社 横浜 (045)324-5524 群馬支店 高崎 (0273)26-1255	太田支店 太田 (0276)46-4011 宇都宮支店 宇都宮 (028)621-2281 小山支店 小山 (0285)24-5011 長野支店 小松本 (0263)35-1662 甲府支店 甲府 (0552)24-4141 埼玉支店 金沢 (048)641-1411 立川支店 立川 (0425)26-5981 千葉支店 千葉 (043)238-8116 静岡支店 静岡 (054)255-2211 北陸支店 福井 (0762)23-1621 福井支店 福井 (0776)22-1866	富山支店 富山 (0764)31-8461 三重支店 津 (0592)25-7341 京都支社 京都 (075)344-7824 神戸支社 神戸 (078)333-3854 中国支社 鳥取 (082)242-5504 鳥取支店 鳥取 (0857)27-5311 岡山支店 岡山 (086)225-4455 四国支社 高松 (0878)36-1200 新居浜支店 新居浜 (0897)32-5001 松山支店 松山 (089)945-4149 九州支社 福岡 (092)271-7700	

【本資料に関する技術お問い合わせ先】

半導体ソリューション技術本部 マイクロコンピュータ技術部	〒210 川崎市幸区塚越三丁目484番地	川崎 (044)548-7923	半導体 インフォメーションセンター FAX(044)548-7900 (FAXにてお願い致します)
半導体販売技術本部 東日本販売技術部	〒108-01 東京都港区芝五丁目7番1号（NEC本社ビル）	東京 (03)3798-9619	
半導体販売技術本部 中部販売技術部	〒460 名古屋市中区錦一丁目17番1号（NEC中部ビル）	名古屋 (052)222-2125	
半導体販売技術本部 西日本販売技術部	〒540 大阪市中央区城見一丁目4番24号（NEC関西ビル）	大阪 (06) 945-3383	