

お客様各位

カタログ等資料中の旧社名の扱いについて

2010 年 4 月 1 日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010 年 4 月 1 日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

μ PD178023, 178024

8ビット・シングルチップ・マイクロコントローラ

μ PD178023, 178024はデジタル・チューニング・システム用ハードウェアを内蔵した8ビット・シングルチップCMOSマイクロコントローラです。

CPUは78K/0アーキテクチャを採用しており、内部メモリへの高速アクセスおよび周辺ハードウェアの制御が容易にできます。また命令はシステム制御に適した高速な78K/0命令です。

周辺ハードウェアは豊富な入出力ポート、タイマ、A/Dコンバータ、シリアル・インタフェース、パワーオン・クリア回路の他に、デジタル・チューニング用として、プリスケアラ、PLL周波数シンセサイザおよび周波数カウンタを内蔵しています。シリアル・インタフェースはI²Cバス（IIC0）、3線式（SIO3）、UARTの3チャンネル内蔵しています。

また、マスクROM製品と同じ電源電圧範囲で動作可能なフラッシュ・メモリ製品 μ PD178F124や各種開発ツールも用意しています。

詳しい機能説明などは次のユーザーズ・マニュアルに記載しております。設計の際は必ずお読みください。

μ PD178024サブシリーズ ユーザーズ・マニュアル：U13915J

78K/0シリーズ ユーザーズ・マニュアル 命令編：U12326J

特 徴

○大容量ROM, RAM内蔵

品名	項目	プログラム・メモリ（ROM）	データ・メモリ
			内部高速RAM
μ PD178023		24 Kバイト	1024バイト
μ PD178024		32 Kバイト	

○インストラクション・サイクル

0.45/0.89/1.78/3.56/7.11 μ s（ $f_x = 4.5$ MHz水晶振動子使用時）

○豊富なハードウェア内蔵

汎用入出力ポート、A/Dコンバータ、シリアル・インタフェース（I²Cバス、UARTモード内蔵）、タイマ、周波数カウンタ、パワーオン・クリア回路

○PLL周波数シンセサイザ用ハードウェア内蔵

デュアル・モジュラス・プリスケアラ、プログラマブル・ディバイダ、位相比較器、チャージ・ポンプ

○ベクタ割り込み要因：17

○電源電圧： $V_{DD} = 4.5 \sim 5.5$ V（PLL, CPU動作時）
： $V_{DD} = 3.5 \sim 5.5$ V（CPU動作時）

応用分野

カー・ステレオ

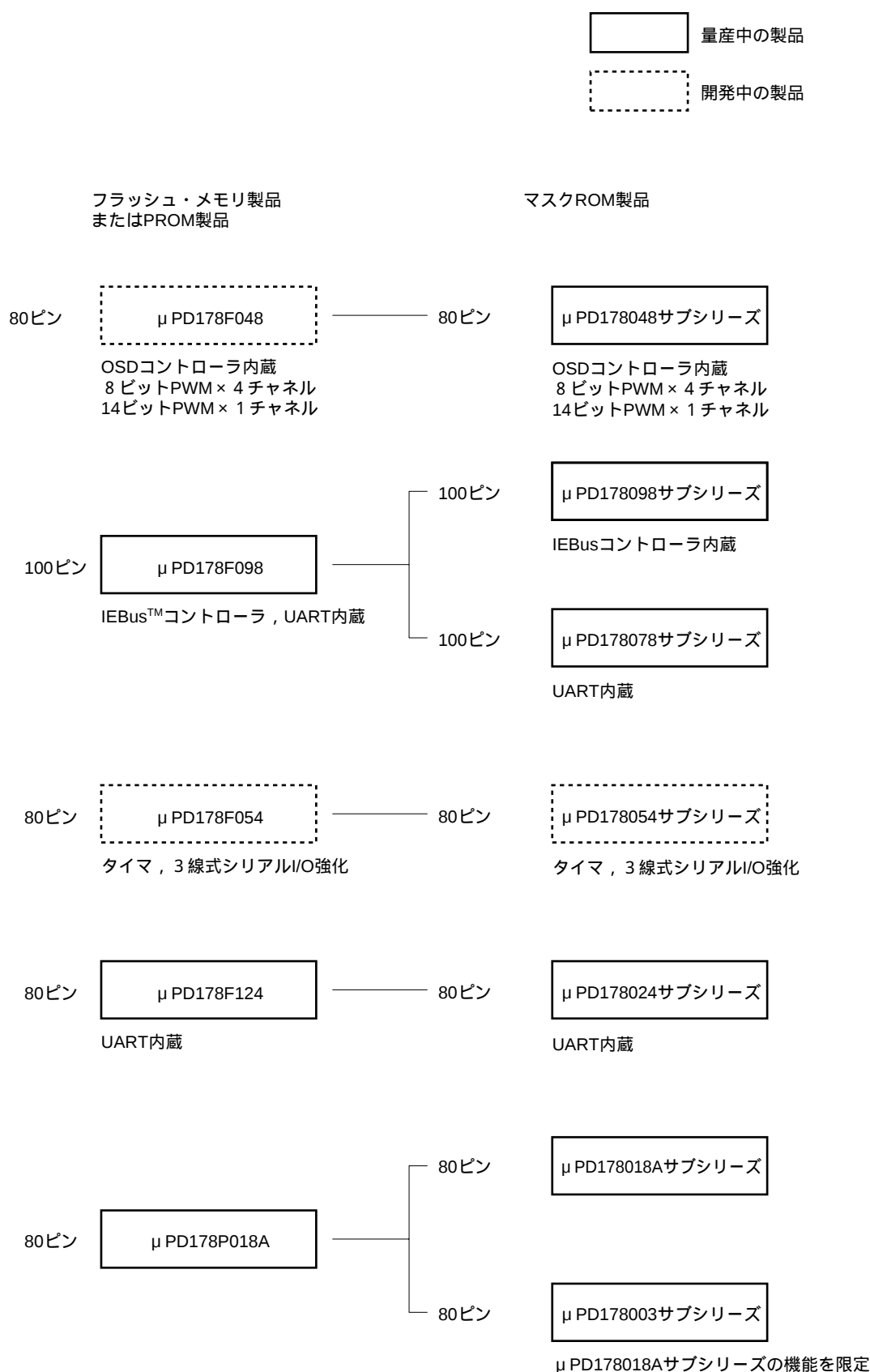
本資料の内容は、予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。

オーダ情報

オーダ名称	パッケージ
μ PD178023GF- × × × -3B9	80ピン・プラスチックQFP (14 × 20)
μ PD178023GC- × × × -8BT	80ピン・プラスチックQFP (14 × 14)
μ PD178024GF- × × × -3B9	80ピン・プラスチックQFP (14 × 20)
μ PD178024GC- × × × -8BT	80ピン・プラスチックQFP (14 × 14)

備考 × × × はROMコード番号です。またI²Cバス使用時はROMコード番号はE × × になります。

★ 8ビットDTSシリーズの展開



機能概要

(1/2)

項 目		μ PD178023	μ PD178024
内部メモリ	ROM	24 Kバイト (マスクROM)	32 Kバイト (マスクROM)
	高速RAM	1024バイト	
汎用レジスタ		8 ビット×32レジスタ (8 ビット× 8 レジスタ× 4 バンク)	
最小命令実行時間		0.45 μs/0.89 μs/1.78 μs/3.56 μs/7.11 μs (f _x = 4.5 MHz水晶振動子使用)	
命令セット		・ 16ビット演算 ・ 乗除算 (8 ビット× 8 ビット , 16ビット÷ 8 ビット) ・ ビット操作 (セット , リセット , テスト , プール演算) ・ BCD補正など	
I/Oポート		合計 : 62本 ・ CMOS入出力 : 53本 ・ CMOS入力 : 6 本 ・ N-chオープン・ドレイン出力 : 3 本	
A/Dコンバータ		8 ビット分解能× 6 チャンネル (V _{DD} = 3.5 ~ 5.5 V)	
シリアル・インタフェース		・ I²Cバス・モード^注 : 1 チャンネル ・ 3 線式モード : 1 チャンネル ・ UARTモード : 1 チャンネル	
タイマ		・ ベーシック・タイマ (タイマ・キャリーFF (10 Hz)) : 1 チャンネル ・ 8 ビット・タイマ/イベント・カウンタ : 2 チャンネル ・ ウォッチドッグ・タイマ : 1 チャンネル	
ブザー出力		1 チャンネル (1 kHz, 1.5 kHz, 3 kHz, 4 kHz)	
ベクタ	マスカブル	内部 : 11 , 外部 : 5	
割り込み	ノンマスカブル	内部 : 1	
要因	ソフトウェア	1	
PLL周波数 シンセサイザ	分周方式	2 種類 ・ 直接分周方式 (VCOL 端子) ・ パルス・スワロ方式 (VCOL, VCOH 端子)	
	基準周波数	7 種類をプログラムで選択 (1, 3, 9, 10, 12.5, 25, 50 kHz)	
	チャージ・ポンプ	エラー・アウト出力 2 本	
	位相比較器	プログラムによりアンロック検出可能	

注 I²Cバス方式を使用した場合 (周辺ハードウェアを使用せず , プログラムで実現した場合も含む) , マスク発注時に当社指導員に連絡してください。

(2/2)

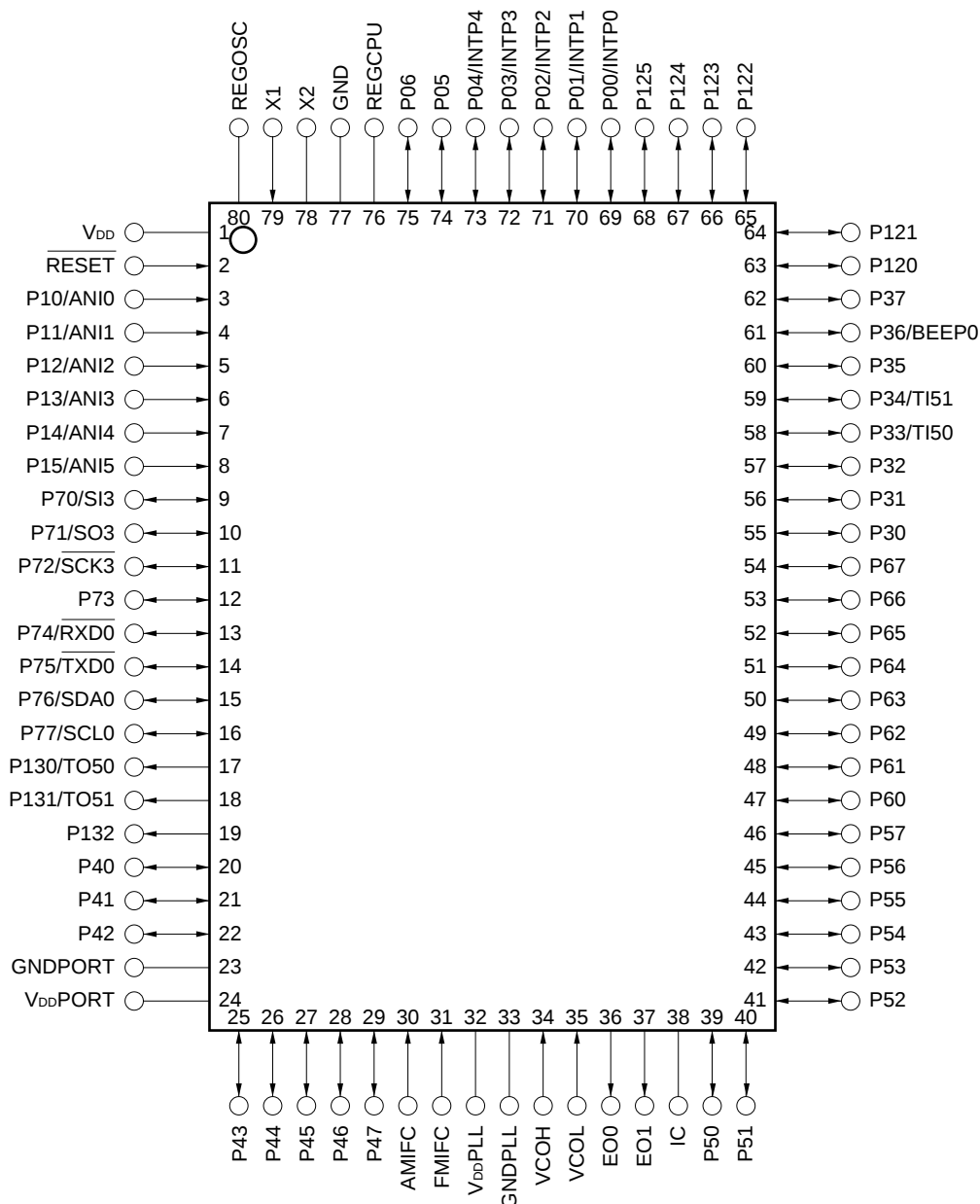
項 目	μ PD178023	μ PD178024
周波数カウンタ	周波数測定 ・ AMIFC端子：450 kHzカウント用 ・ FMIFC端子：450 kHz/10.7 MHzカウント用	
リセット	・ RESET端子によるリセット ・ ウォッチドッグ・タイマによる内部リセット ・ パワーオン・クリア回路によるリセット ・ 4.5 V ^注 未満の検出（ただしリセットは発生しません） ・ 3.5 V ^注 未満の検出（CPU動作時） ・ 2.5 V ^注 未満の検出（STOPモード時）	
電源電圧	・ V _{DD} = 4.5 ~ 5.5 V（CPU, PLL動作時） ・ V _{DD} = 3.5 ~ 5.5 V（CPU動作時）	
パッケージ	・ 80ピン・プラスチックQFP（14×20） ・ 80ピン・プラスチックQFP（14×14）	

注 これらの電圧は最大値であり，実際にはそれぞれの電圧より低い電圧でリセットがかかります。

端子接続図 (Top View)

・ 80ピン・プラスチックQFP (14×20)

μ PD178023GF-×××-3B9, 178024GF-×××-3B9



注意 1. IC (Internally Connect) 端子はGNDに直接接続してください。

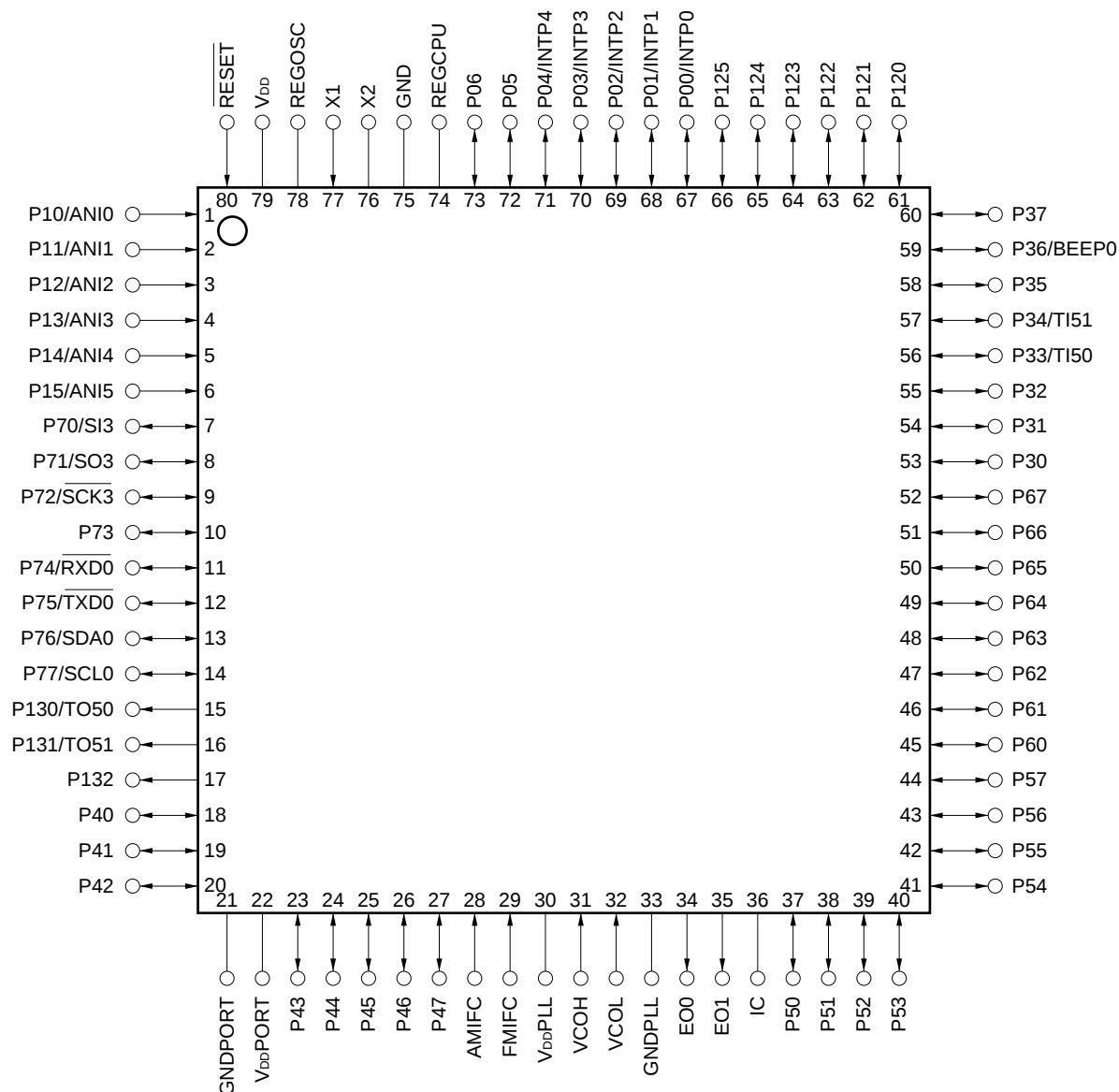
2. V_{DD}PORT, V_{DD}PLL 端子はV_{DD}端子と同電位にしてください。

3. GNDPORT, GNDPLL 端子はGNDと同電位にしてください。

4. REGOSC, REGCPU 端子は各端子ごとに0.1 μFのコンデンサを介してGNDに接続してください。

・ 80ピン・プラスチックQFP (14 × 14)

μ PD178023GC- × × × -8BT, 178024GC- × × × -8BT



注意 1. IC (Internally Connect) 端子はGNDに直接接続してください。

2. VDDPORT, VDDPLL 端子はVDD端子と同電位にしてください。

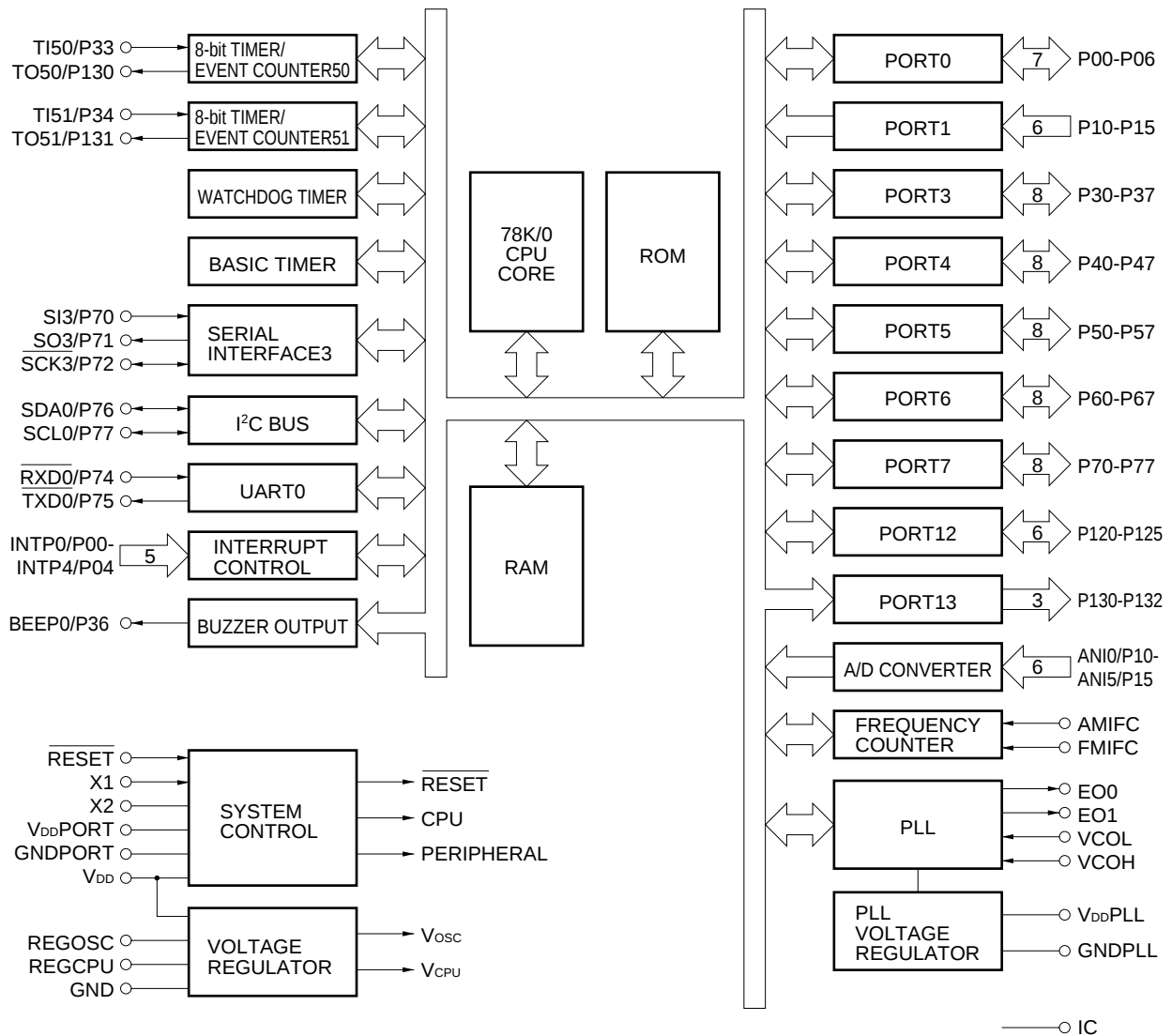
3. GNDPORT, GNDPLL 端子はGNDと同電位にしてください。

4. REGOSC, REGCPU 端子は各端子ごとに0.1 μFのコンデンサを介してGNDに接続してください。

端子名称

AMIFC	: AM中間周波数カウンタ入力	REGCPU	: CPU電源用レギュレータ
ANI0-ANI5	: A/Dコンバータ入力	REGOSC	: 発振回路用レギュレータ
BEEP0	: ブザー出力	RESET	: リセット入力
EO0, EO1	: エラー・アウト出力	$\overline{\text{RXD0}}$	: シリアル (UART0) データ入力
FMIFC	: FM中間周波数カウンタ入力	$\overline{\text{SCK3}}$	: シリアル (SIO3) クロック入力 / 出力
GND	: グランド	SCL0	: シリアル (IIC0) クロック入力 / 出力
GNDPLL	: PLL用グランド	SDA0	: シリアル (IIC0) データ入力 / 出力
GNDPORT	: ポート用グランド	SI3	: シリアル (SIO3) データ入力
IC	: 内部接続	SO3	: シリアル (SIO3) データ出力
INTP0-INTP4	: インタラプト入力	TI50, TI51	: 8ビット・タイマ・クロック入力
P00-P06	: ポート 0	TO50, TO51	: 8ビット・タイマ出力
P10-P15	: ポート 1	$\overline{\text{TXD0}}$	: シリアル (UART0) データ出力
P30-P37	: ポート 3	VCOL, VCOH	: 局部発振入力
P40-P47	: ポート 4	V _{DD}	: 電源
P50-P57	: ポート 5	V _{DD} PLL	: PLL用電源
P60-P67	: ポート 6	V _{DD} PORT	: ポート用電源
P70-P77	: ポート 7	X1, X2	: 水晶振動子接続
P120-P125	: ポート12		
P130-P132	: ポート13		

ブロック図



備考 内部ROM, RAM容量は製品によって異なります。

目 次

1 . 端子機能一覧	11
1.1 ポート端子	11
1.2 ポート以外の端子	12
1.3 端子の入出力回路と未使用端子の処理	13
2 . メモリ空間	16
2.1 メモリ・サイズ切り替えレジスタ (IMS)	17
2.2 内部拡張RAMサイズ切り替えレジスタ (IXS)	18
3 . 周辺ハードウェア機能の特徴	19
3.1 ポ ー ト	19
3.2 クロック発生回路	20
3.3 タ イ マ	20
3.4 ブザー出力制御回路	22
3.5 A/Dコンバータ	23
3.6 シリアル・インタフェース	24
3.7 PLL周波数シンセサイザ	26
3.8 周波数カウンタ	27
4 . 割り込み機能	28
5 . スタンバイ機能	31
6 . リセット機能	31
7 . 命令セット	32
8 . 電気的特性	35
9 . 外 形 図	44
10 . 半田付け推奨条件	46
付録A . 開発ツール	47
付録B . 関連資料	49

1. 端子機能一覧

1.1 ポート端子

端子名称	入出力	機 能	リセット時	兼用端子
P00-P04	入出力	ポート0。 7ビット入出力ポート。 1ビット単位で入力／出力の指定可能。	入力	INTP0-INTP4
P05, P06				-
P10-P15	入力	ポート1。 6ビット入力ポート。	入力	ANIO-ANI5
P30-P32	入出力	ポート3。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。	入力	-
P33				TI50
P34				TI51
P35				-
P36				BEEP0
P37				-
P40-P47	入出力	ポート4。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウェアにより、内蔵プルアップ抵抗を使用可能。 キー入力による割り込み機能あり。	入力	-
P50-P57	入出力	ポート5。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。	入力	-
P60-P67	入出力	ポート6。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。	入力	-
P70	入出力	ポート7。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。	入力	SI3
P71				SO3
P72				SCK3
P73				-
P74				RXD0
P75				TXD0
P76				SDA0
P77				SCL0
P120-P125	入出力	ポート12。 6ビット入出力ポート。 1ビット単位で入力／出力の指定可能。	入力	-
P130	出力	ポート13。	ロウ・レベル出力	TO50
P131		3ビット出力ポート。		TO51
P132		N-chオープン・ドレイン出力ポート（12V耐圧）。		-

1.2 ポート以外の端子

端子名称	入出力	機 能	リセット時	兼用端子
INTP0-INTP4	入力	有効エッジ（立ち上がりエッジ，立ち下がりエッジ，立ち上がりおよび立ち下がりの両エッジ）指定可能な外部マスカブル割り込み入力	入力	P00-P04
SI3	入力	シリアル・インタフェースのシリアル・データ入力	入力	P70
SO3	出力	シリアル・インタフェースのシリアル・データ出力	入力	P71
SDA0	入出力	シリアル・インタフェースの N-chオープン・ドレイン入出力 シリアル・データ入力／出力	入力	P76
SCK3	入出力	シリアル・インタフェースのシリアル・クロック入力／出力	入力	P72
SCL0		N-chオープン・ドレイン入出力		P77
RXD0	入力	アシンクロナス・シリアル・インタフェース（UART0）のシリアル・データ入力	入力	P74
TXD0	出力	アシンクロナス・シリアル・インタフェース（UART0）のシリアル・データ出力		P75
TI50	入力	8ビット・タイマ（TM50）への外部カウント・クロック入力	入力	P33
TI51		8ビット・タイマ（TM51）への外部カウント・クロック入力		P34
TO50	出力	8ビット・タイマ（TM50）出力	ロウ・レベル出力	P130
TO51		8ビット・タイマ（TM51）出力		P131
BEEP0	出力	ブザー出力	入力	P36
ANI0-ANI5	入力	A/Dコンバータのアナログ入力	入力	P10-P15
EO0, E01	出力	PLL周波数シンセサイザのチャージ・ポンプからのエラー・アウト出力	-	-
VCOL	入力	PLLの局部発振周波数を入力（HF, MFモード時）	-	-
VOH		PLLの局部発振周波数を入力（VHFモード時）		
AMIFC	入力	AM中間周波数カウンタの入力	入力	-
FMIFC		FM中間周波数またはAM中間周波数カウンタの入力		
RESET	入力	システム・リセット入力	-	-
X1	入力	システム・クロック発振用水晶振動子接続	-	-
X2	-		-	-
REGOSC	-	発振回路用レギュレータ。0.1μFのコンデンサを介してGNDに接続してください。	-	-
REGCPU	-	CPU電源用レギュレータ。0.1μFのコンデンサを介してGNDに接続してください。	-	-
VDD	-	正電源	-	-
GND	-	グランド	-	-
VDDPORT	-	ポート用正電源	-	-
GNDPORT	-	ポート用グランド	-	-
VDDPLL ^注	-	PLL用正電源	-	-
GNDPLL ^注	-	PLL用グランド	-	-
IC	-	内部接続されています。GNDに直接接続してください。	-	-

注 VDDPLL端子とGNDPLL端子との間に1000 pF程度のコンデンサを接続してください。

1.3 端子の入出力回路と未使用端子の処理

各端子の入出力回路タイプと、未使用端子の処理を表 1 - 1 に示します。

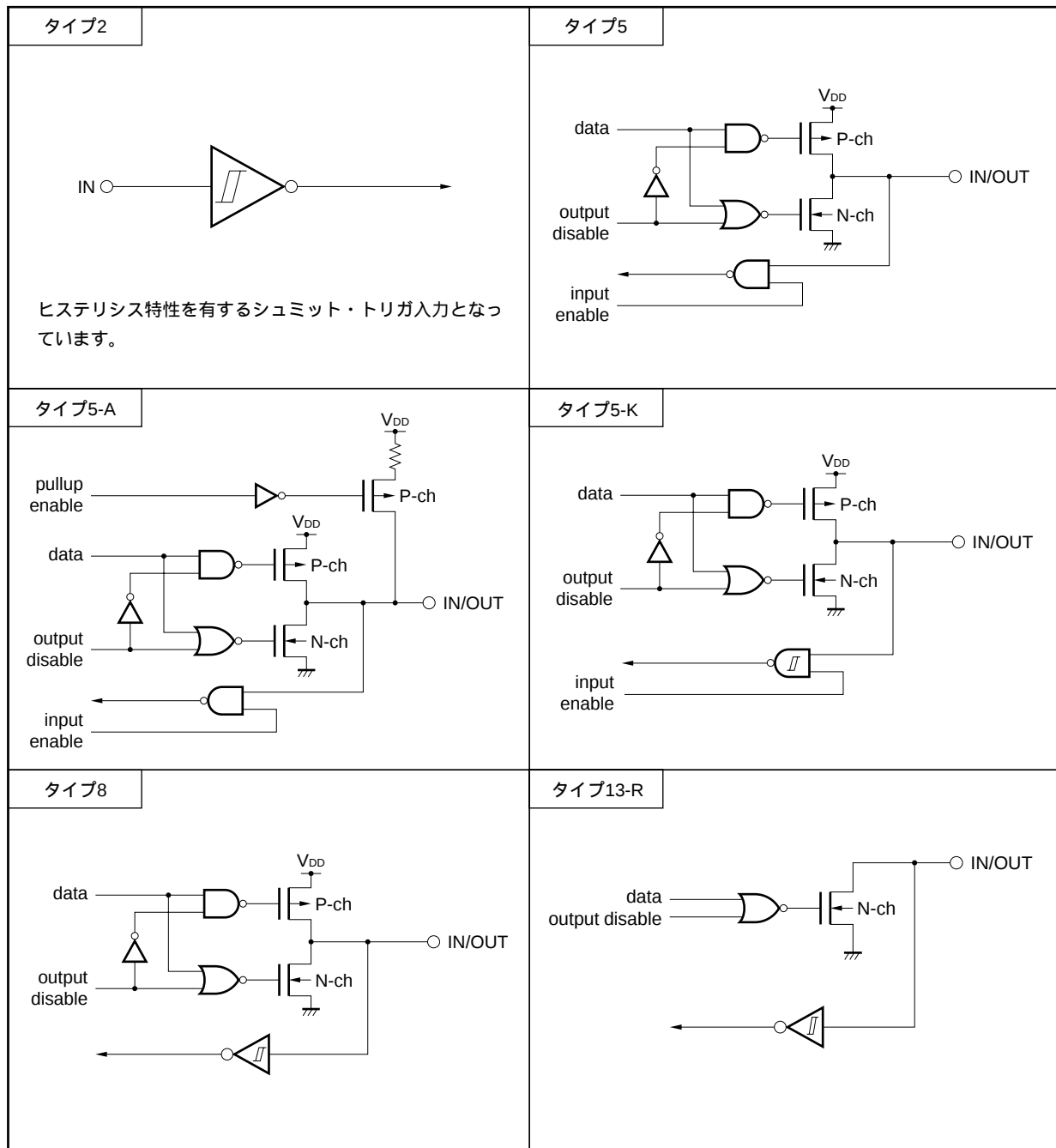
また、各タイプの入出力回路の構成は、図 1 - 1 を参照してください。

表 1 - 1 各端子の入出力回路タイプ

端 子 名	入出力回路タイプ	入出力	未使用時の推奨接続方法
P00/INTP0-P04/INTP4	8	入出力	ソフトウェアで汎用入力ポートに設定して、個別に抵抗を介して、V _{DD} , V _{DD} PORT, GND, GNDPORTのいずれかに接続してください。
P05, P06			
P10/ANI0-P15/ANI5	25	入力	個別に抵抗を介して、V _{DD} , V _{DD} PORT, GND, GNDPORTのいずれかに接続してください。
P30-P32	5	入出力	ソフトウェアで汎用出力ポートに設定して、ロウ・レベルを出力してください。オープンにしてください。
P33/TI50	5-K		
P34/TI51			
P35	5		
P36/BEEP0			
P37			
P40-P47	5-A		ソフトウェアで汎用入力ポートに設定して、個別に抵抗を介して、GND, GNDPORTのいずれかに設定してください。
P50-P57	5		ソフトウェアで汎用入力ポートに設定して、個別に抵抗を介して、V _{DD} , V _{DD} PORT, GND, GNDPORTのいずれかに設定してください、
P60-67	5		ソフトウェアで汎用出力ポートに設定して、ロウ・レベルを出力してください。オープンにしてください。
P70/SI3	5-K		ソフトウェアで汎用入力ポートに設定して、個別に抵抗を介して、V _{DD} , V _{DD} PORT, GND, GNDPORTのいずれかに接続してください。
P71/SO3	5		
P72/SCK3	5-K		
P73	5		
P74/RXD0	5-K		
P75/TXD0	5		
P76/SDA0	13-R		
P77/SCL0			
P120-P125	5		
P130/TO50	19	出力	ソフトウェアでロウ・レベル出力に設定して、オープンにしてください。
P131/TO51			
P132			
EO0, EO1	DTS-EO1	出力	オープンにしてください。
VCOL, VCOH	DTS-AMP	入力	ソフトウェアでPLLディスエーブルに設定、およびブルダウンを選択してください。
AMIFC, FMIFC			ソフトウェアで汎用入力ポートに設定して、個別に抵抗を介して、V _{DD} , V _{DD} PORT, GND, GNDPORTのいずれかに接続してください。
REGOSC, REGCPU	-	-	0.1 μFのコンデンサを介してGNDに接続してください。
RESET	2	入力	-
V _{DD} PLL	-	-	V _{DD} に接続してください。
GNDPLL			GNDまたはGNDPORTに直接接続してください。
IC			

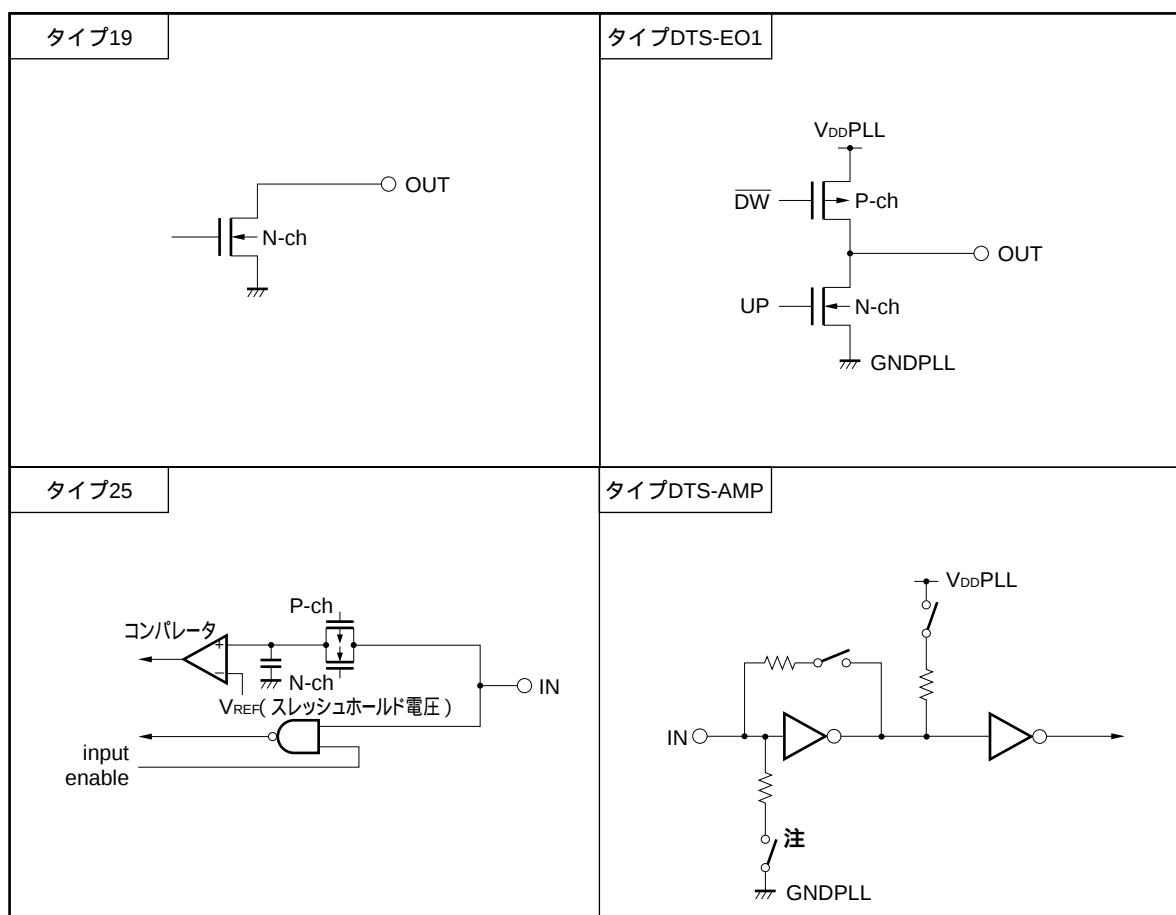
★

図 1 - 1 端子の入出力回路一覧 (1/2)



備考 V_{DD} およびGNDは、すべてポート部への正電源およびグランド電位です。それぞれ $V_{DD}PORT$ 、 $GNDPORT$ と読み替えてください。

図 1 - 1 端子の入出力回路一覧 (2/2)



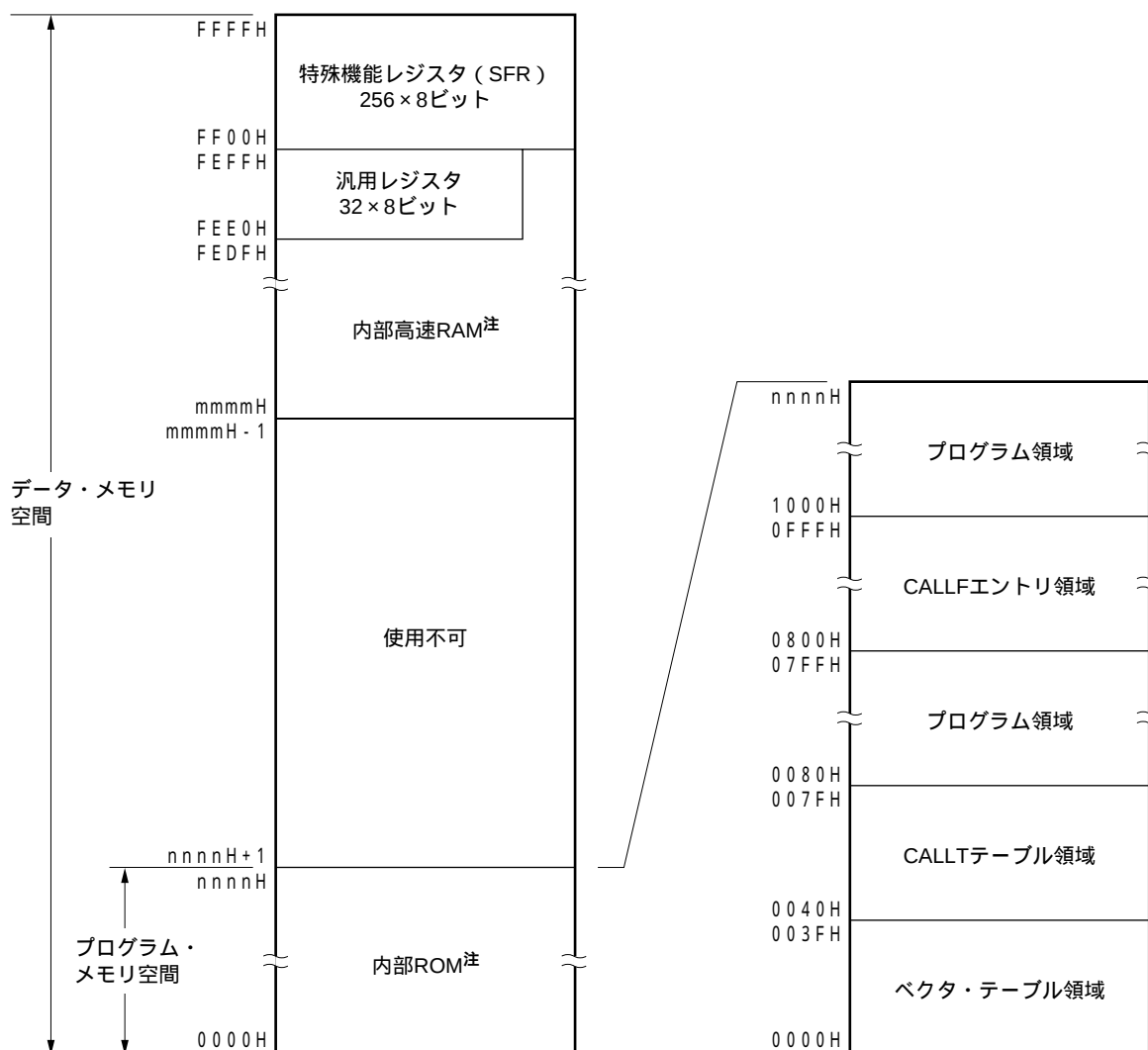
注 VCOL, VCOH端子のみソフトウェアで選択可能。

備考 VDDおよびGNDは、すべてポート部への正電源およびグランド電位です。それぞれVDDPORT, GNDPORTと読み替えてください。

2. メモリ空間

図2 - 1 に μ PD178023, 178024のメモリ・マップを示します。

図2 - 1 メモリ・マップ



注 内部ROM, 内部高速RAM容量は製品によって異なります (下表参照)。

対象製品名	内部ROM最終アドレス nnnnH	内部高速RAM先頭アドレス mmmmH
μ PD178023	5FFFH	FB00H
μ PD178024	7FFFH	FB00H

2.1 メモリ・サイズ切り替えレジスタ (IMS)

メモリ・サイズ切り替えレジスタ (IMS) は、内部メモリ容量を設定するレジスタです。

μ PD178023はC6Hに、μ PD178024はC8Hに設定してください。

IMSは、8ビット・メモリ操作命令で設定します。

リセット時は、CFHになります。

注意 プログラムの初期設定としてIMSには必ずC6H, C8Hのいずれかを設定してください。なお、リセットによりIMSはCFHになりますので、リセット後は必ずC6H, C8Hに設定してください。

図2 - 2 メモリ・サイズ切り替えレジスタ(IMS)のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
IMS	RAM2	RAM1	RAM0	0	ROM3	ROM2	ROM1	ROM0	FFF0H	CFH	R/W

RAM2	RAM1	RAM0	内部高速RAM容量の選択
1	1	0	1024バイト
上記以外			設定禁止

RAM3	RAM2	RAM1	RAM0	内部ROM容量の選択
0	1	1	0	24 Kバイト
1	0	0	0	32 Kバイト
上記以外				設定禁止

各製品ごとのIMSの設定値を表2 - 1 に示します。

表2 - 1 メモリ・サイズ切り替えレジスタ (IMS) の設定値

対象製品	IMSの設定値
μ PD178023	C6H
μ PD178024	C8H

2.2 内部拡張RAMサイズ切り替えレジスタ (IXS)

内部拡張RAMサイズ切り替えレジスタ (IXS) は、内部拡張RAM容量を設定するレジスタです。

μ PD178023, 178024は、初期値 (0CH) のままご使用ください。

IXSは、8ビット・メモリ操作命令で設定します。

リセット時は、0CHになります。

注意 IXSには初期値以外の値を設定しないでください。

図 2 - 3 内部拡張RAMサイズ切り替えレジスタ (IXS) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
IXS	0	0	0	IXRAM4	IXRAM3	IXRAM2	IXRAM1	IXRAM0	FFF4H	0CH	R/W

IXRAM4	IXRAM3	IXRAM2	IXRAM1	IXRAM0	内部拡張RAM容量の選択
0	1	1	0	0	0バイト
上記以外					設定禁止

各製品ごとのIXSの設定値を表 2 - 2 に示します。

表 2 - 2 内部拡張RAMサイズ切り替えレジスタの設定値

対象製品	IXSの設定値
μ PD178023, 178024	0CH

3．周辺ハードウェア機能の特徴

3.1 ポート

I/Oポートには次の3種類があります。

・CMOS入力（ポート1）	：6本
・CMOS入出力（ポート0，3-7，12）	：53本
・N-chオープン・ドレイン出力（ポート13）	：3本
合計	：62本

表3 - 1 ポートの機能

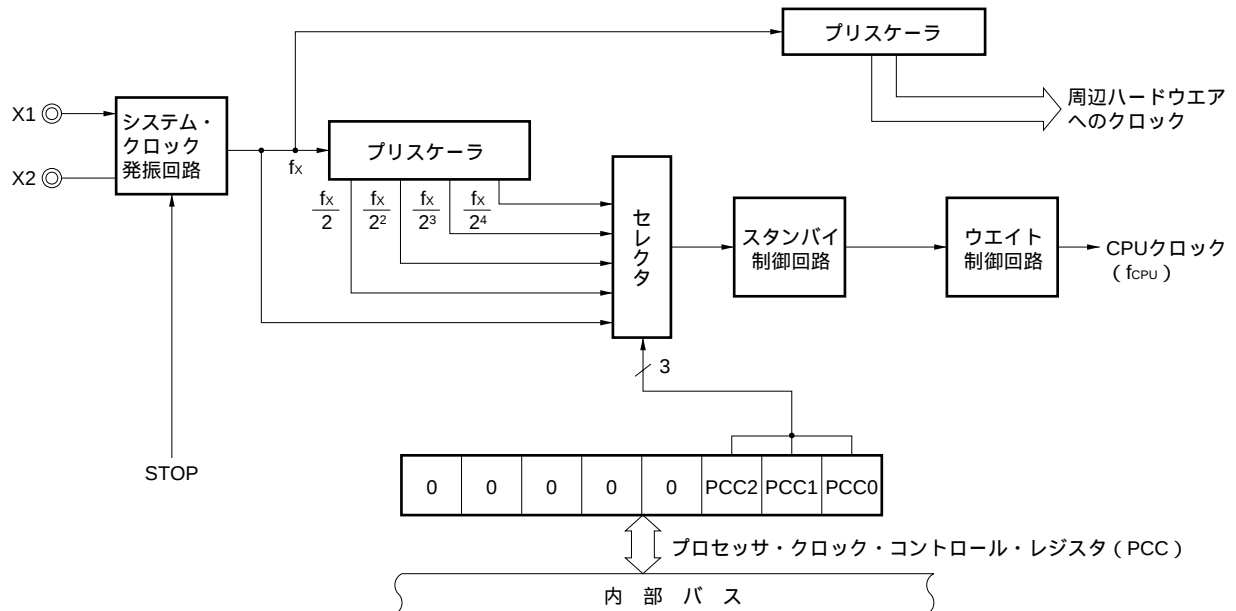
名称	端子名称	機 能
ポート0	P00-P06	入出力ポート。1ビット単位で入力／出力の指定可能。
ポート1	P10-P15	入力専用ポート
ポート3	P30-P37	入出力ポート。1ビット単位で入力／出力の指定可能。
ポート4	P40-P47	入出力ポート。1ビット単位で入力／出力の指定可能。
ポート5	P50-P57	入出力ポート。1ビット単位で入力／出力の指定可能。
ポート6	P60-P67	入出力ポート。1ビット単位で入力／出力の指定可能。
ポート7	P70-P77	入出力ポート。1ビット単位で入力／出力の指定可能。
ポート12	P120-P125	入出力ポート。1ビット単位で入力／出力の指定可能。
ポート13	P130-P132	N-chオープン・ドレイン出力ポート

3.2 クロック発生回路

次のように命令実行時間を変化させることができます。

- ・ 0.45 μs/0.89 μs/1.78 μs/3.56 μs/7.11 μs (システム・クロック : 4.5 MHz水晶振動子使用)

図3 - 1 クロック発生回路のブロック図



3.3 タイマ

タイマを4チャンネル内蔵しています。

- ・ ベーシック・タイマ : 1チャンネル
- ・ 8ビット・タイマ/イベント・カウンタ : 2チャンネル
- ・ ウォッチドッグ・タイマ : 1チャンネル

図3 - 2 ベーシック・タイマのブロック図



図 3 - 3 8ビット・タイマ/イベント・カウンタ50のブロック図

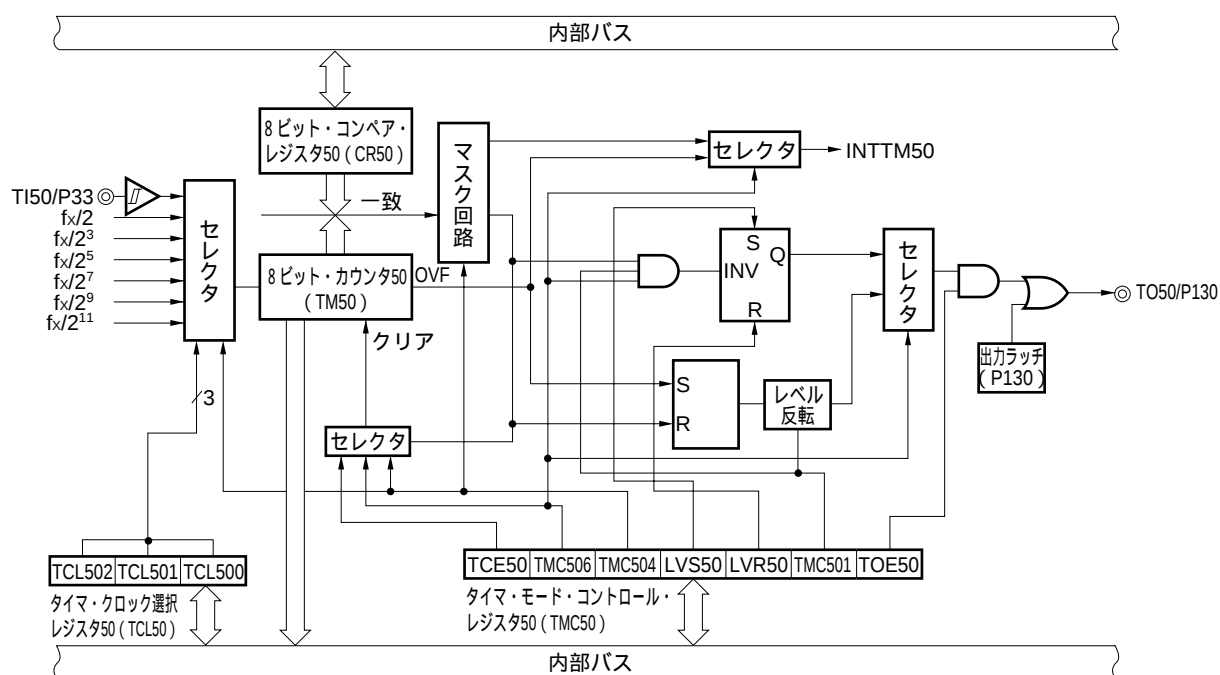


図 3 - 4 8ビット・タイマ/イベント・カウンタ51のブロック図

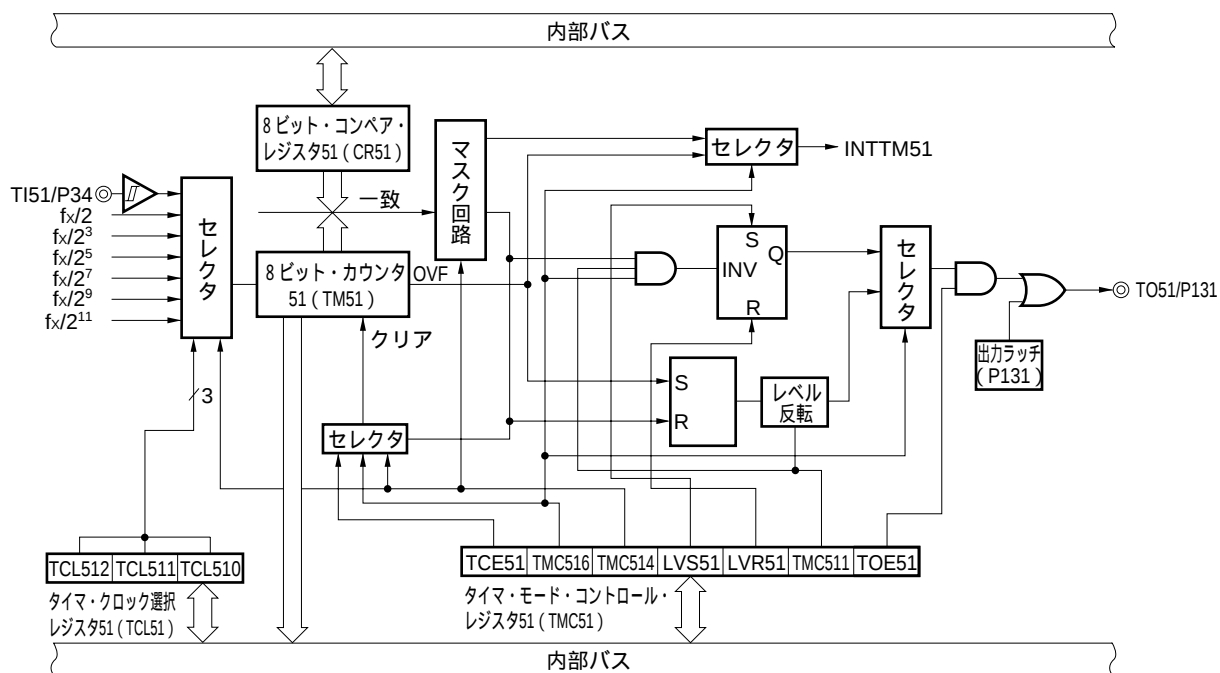
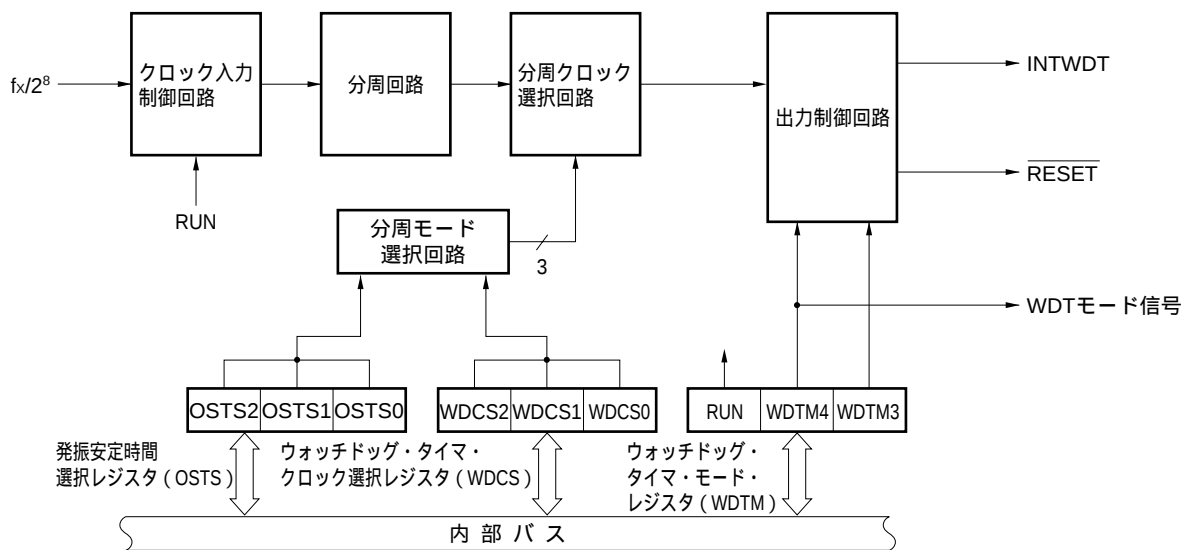


図 3 - 5 ウォッチドッグ・タイマのブロック図

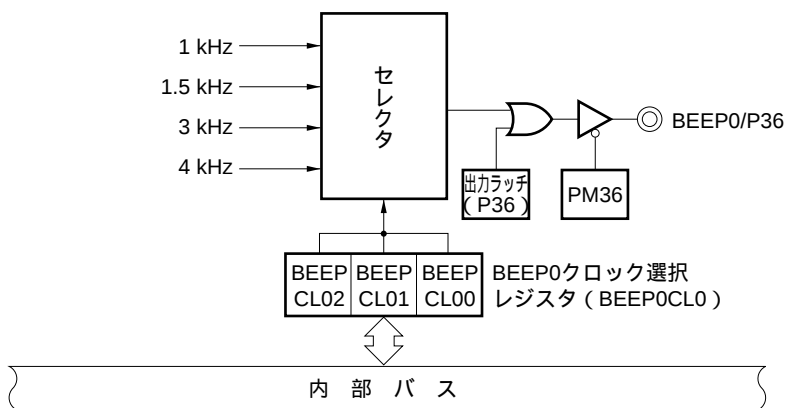


3.4 ブザー出力制御回路

次のようにブザー出力の周波数を選択できます。

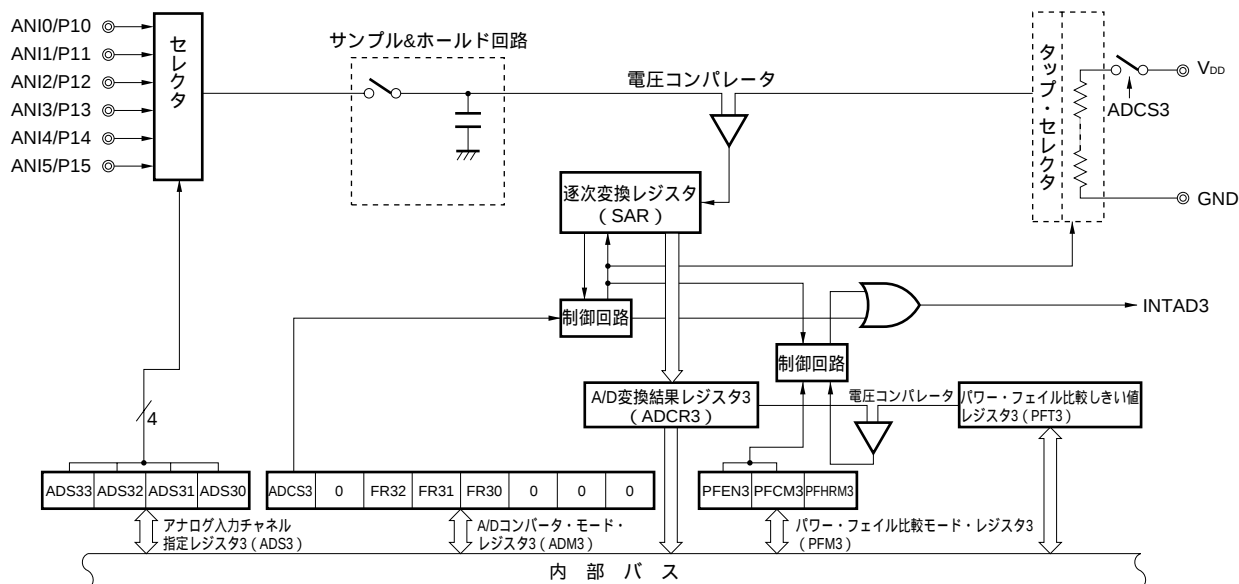
- BEEP0 ... 1 kHz/1.5 kHz/3 kHz/4 kHz

図 3 - 6 ブザー出力制御回路 (BEEP0) のブロック図



8ビット分解能×6チャンネルのA/Dコンバータを内蔵しています。

図3 - 7 A/Dコンバータのブロック図



3.6 シリアル・インタフェース

シリアル・インタフェースを、3チャンネル内蔵しています。

- ・シリアル・インタフェースIIC0
- ・シリアル・インタフェースSIO3
- ・シリアル・インタフェースUART0

図3-8 シリアル・インタフェースIIC0のブロック図

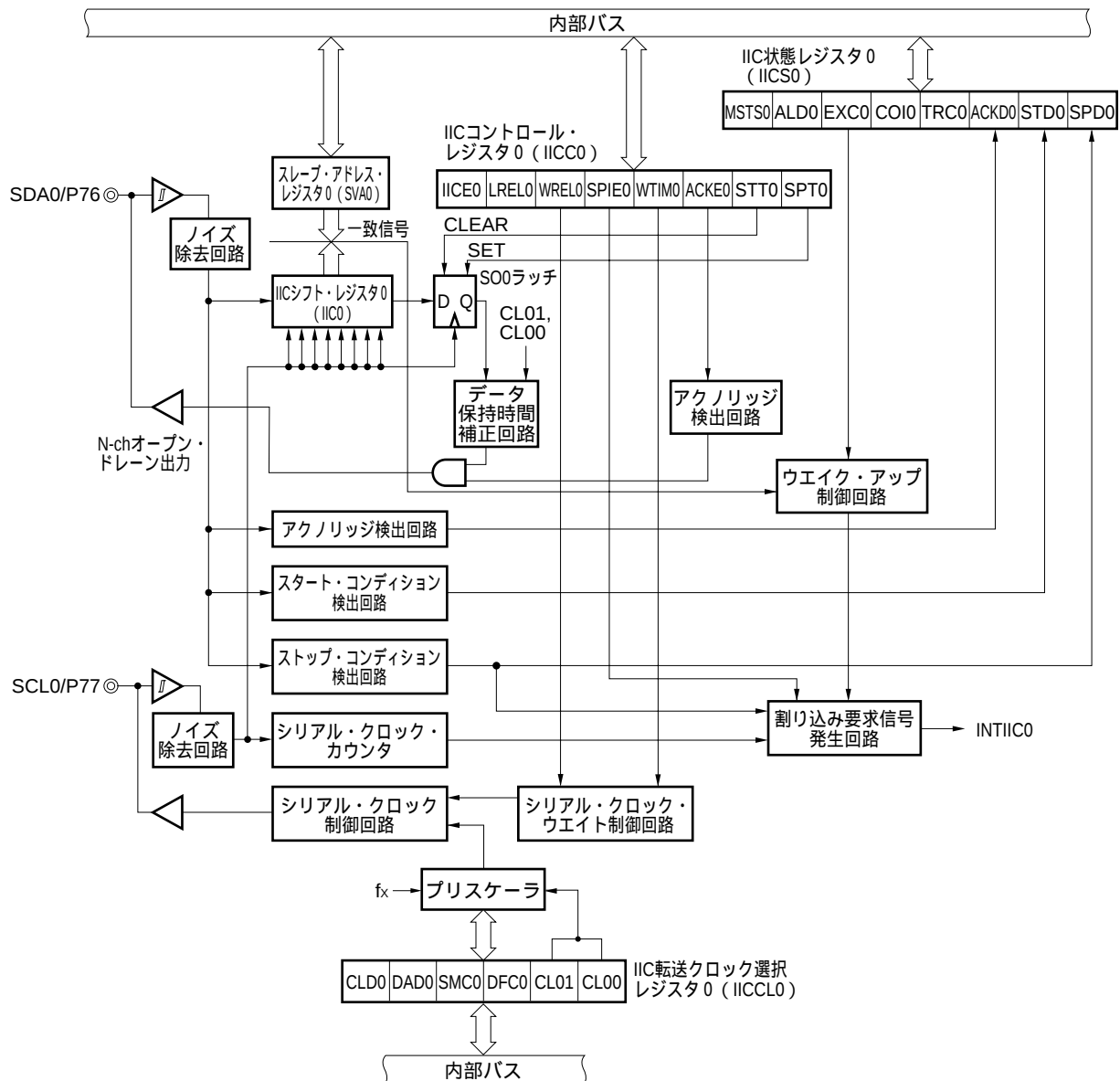


図 3 - 9 シリアル・インタフェースSIO3のブロック図

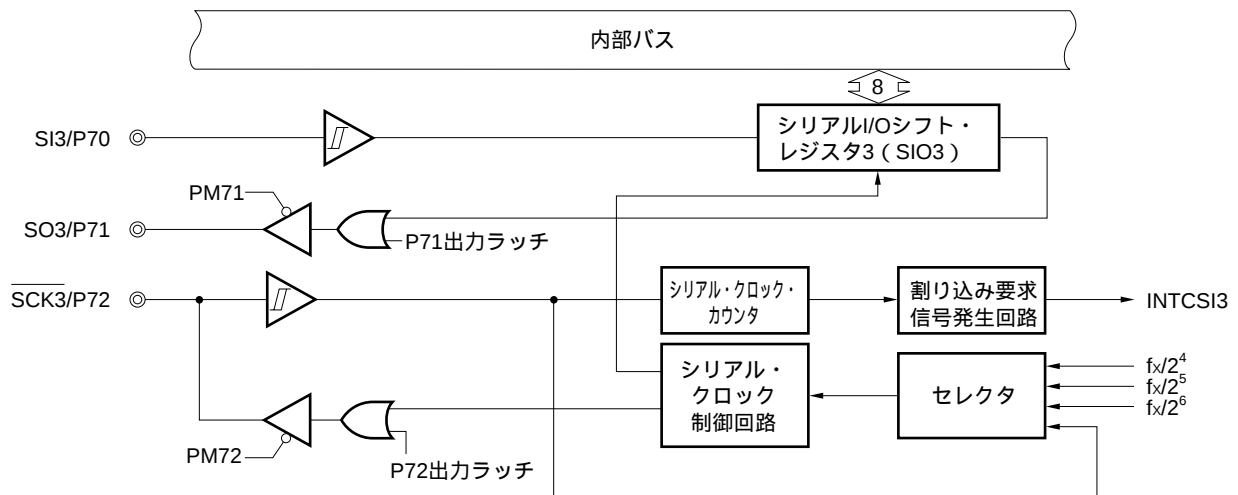
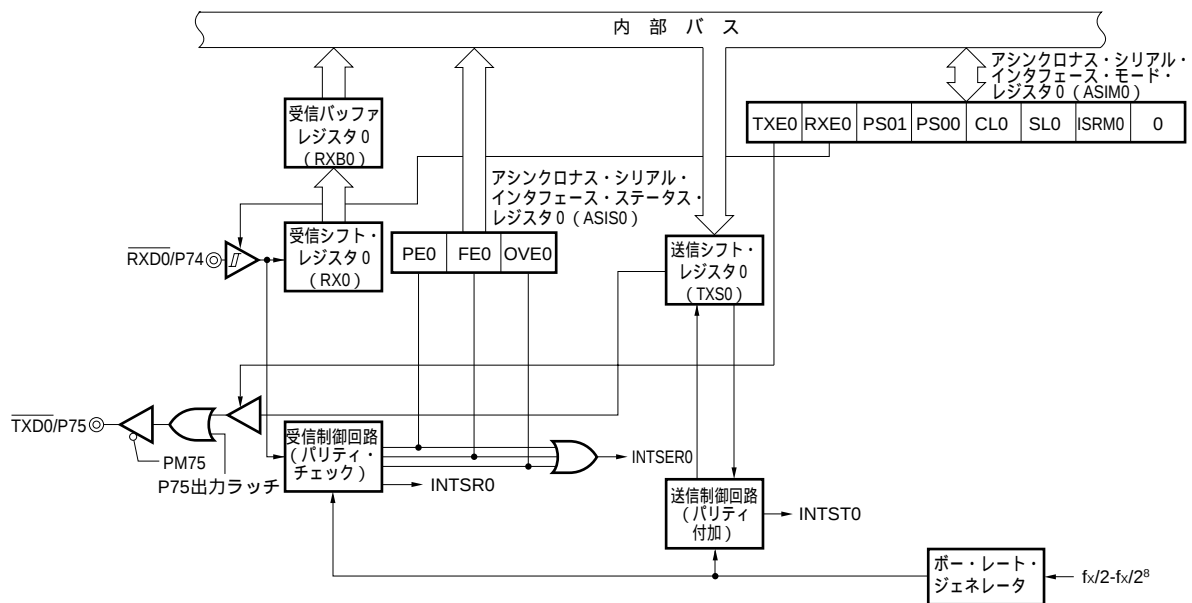
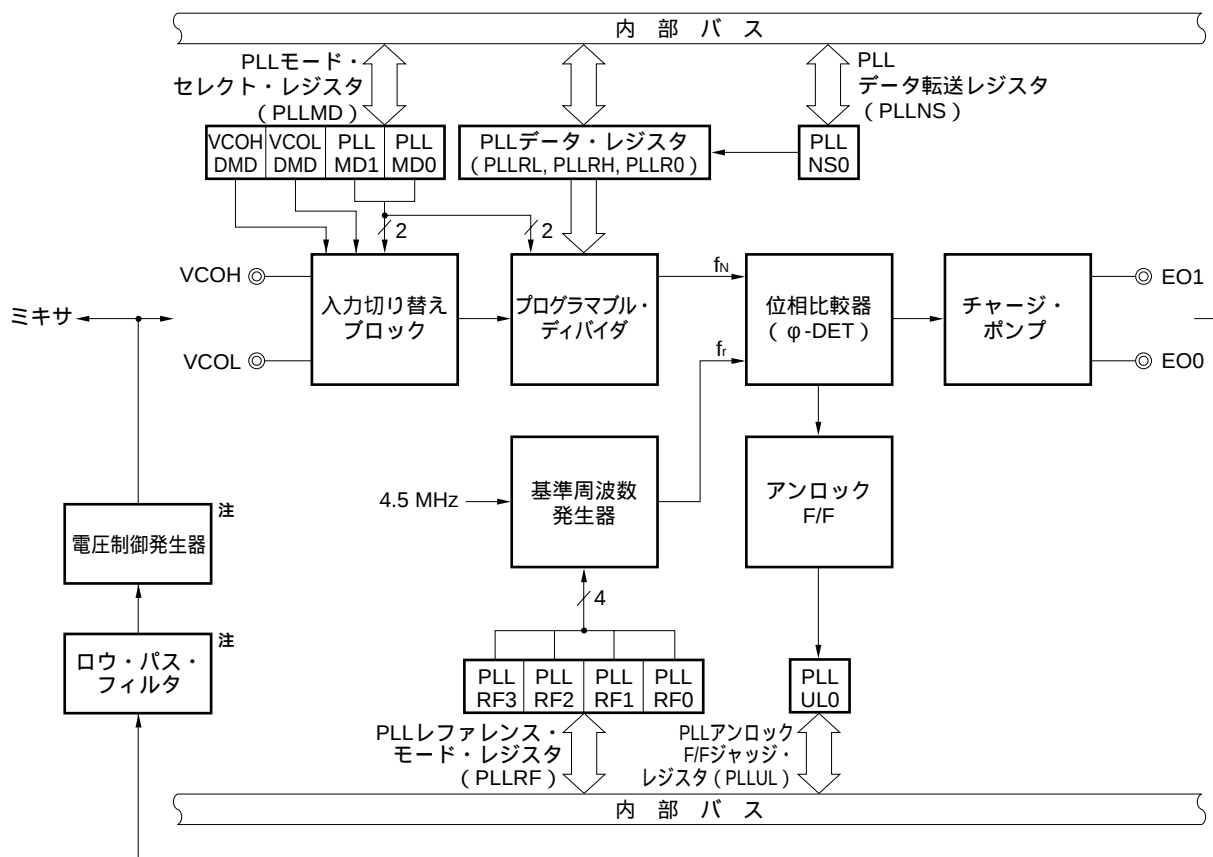


図 3 - 10 シリアル・インタフェースUART0のブロック図



3.7 PLL周波数シンセサイザ

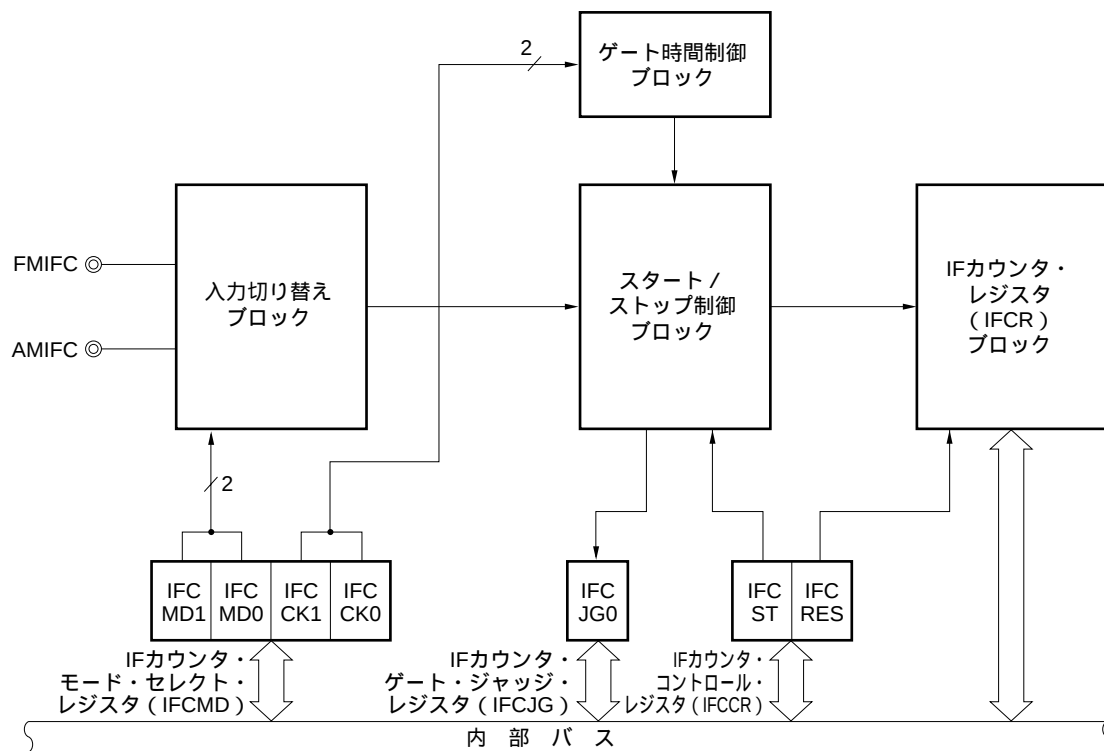
図3-11 PLL周波数シンセサイザのブロック図



注 外部回路です。

3.8 周波数カウンタ

図3 - 12 周波数カウンタのブロック図



4．割り込み機能

割り込み機能には次に示す 3 種類，17 要因あります。

- ・ノンマスカブル : 1^注
- ・マスカブル : 16^注
- ・ソフトウェア : 1

注 ウォッチドッグ・タイマの割り込み要因（INTWDT）には，ノンマスカブル割り込みとマスカブル割り込み（内部）の 2 種類があり，どちらか 1 種類を選択できます。

表 4 - 1 割り込み要因一覧

割り込み タイプ	デフォルト・ プライオリティ ^{注1}	割り込み要因		内部 / 外部	ベクタ・ テーブル・ アドレス	基本構成 タイプ ^{注2}
		名 称	トリガ			
ノンマスカブル	-	INTWDT	ウォッチドッグ・タイマのオーバフロー（ウォッチドッグ・タイマ・モード 1 選択時）	内部	0004H	（ A ）
マスカブル	0	INTWDT	ウォッチドッグ・タイマのオーバフロー（インターバル・タイマ・モード選択時）			（ B ）
	1	INTP0	端子入力エッジ検出	外部	0006H	（ C ）
	2	INTP1			0008H	
	3	INTP2			000AH	
	4	INTP3			000CH	
	5	INTP4			000EH	
	6	INTKY	ポート 4 のキー入力検出	内部	0010H	（ B ）
	7	INTIIC0	シリアル・インタフェース IIC0 の転送終了		0012H	
	8	INTBTM0	ベーシック・タイマの一致信号発生		0014H	
	9	INTAD3	A/D コンバータの変換終了		0016H	
	10	-	-	-	0018H ^{注3}	-
	11	INTCSI3	シリアル・インタフェース SIO3 の転送終了	内部	001AH	（ B ）
	12	INTTM50	8 ビット・タイマ / イベント・カウンタ 50 の一致信号発生		001CH	
	13	INTTM51	8 ビット・タイマ / イベント・カウンタ 51 の一致信号発生		001EH	
	14	INTSER0	シリアル・インタフェース UART0 の受信エラー		0020H	
	15	INTSR0	シリアル・インタフェース UART0 の受信終了		0022H	
	16	INTST0	シリアル・インタフェース UART0 の送信終了		0024H	
ソフトウェア	-	BRK	BRK 命令の実行	-	003EH	（ D ）

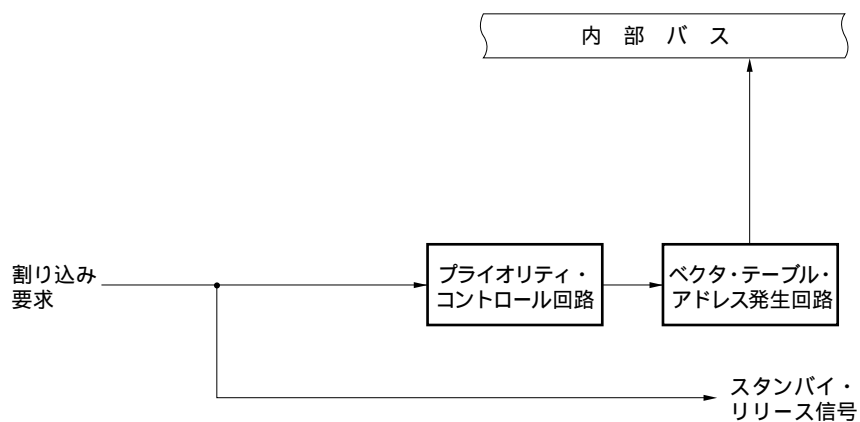
注 1．デフォルト・プライオリティは複数のマスカブル割り込みが同時に発生している場合に，優先する順位です。0 が最高，16 が最低順位です。

2．基本構成タイプの（ A ）-（ D ）はそれぞれ図 4 - 1 の（ A ）-（ D ）に対応しています。

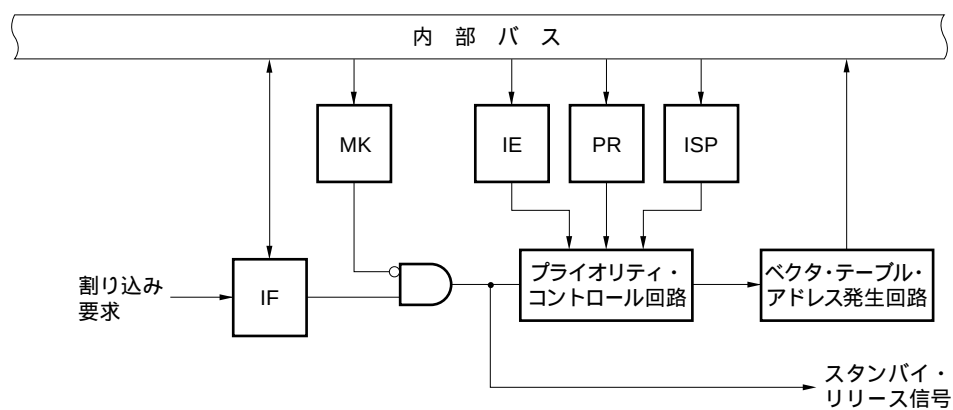
3．ベクタ・テーブル・アドレスの 0018H に該当する割り込み要因はありません。

図 4 - 1 割り込み機能の基本構成(1/2)

(A) 内部ノンマスクابل割り込み



(B) 内部マスクابل割り込み



(C) 外部マスクابل割り込み

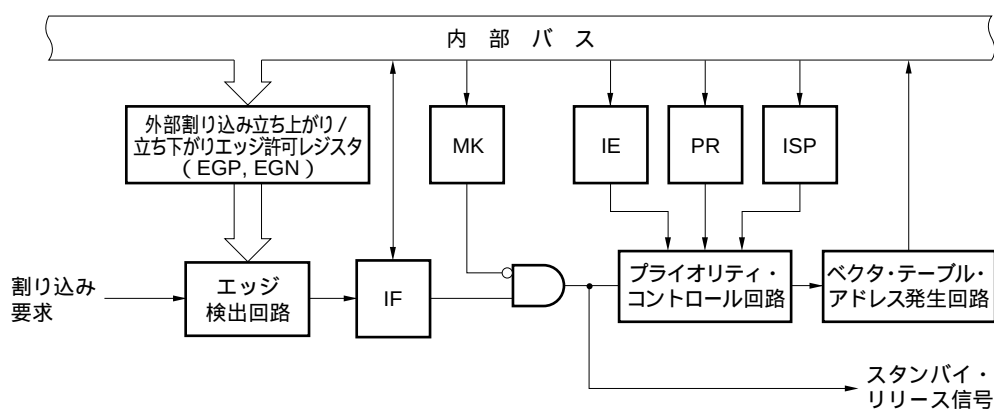
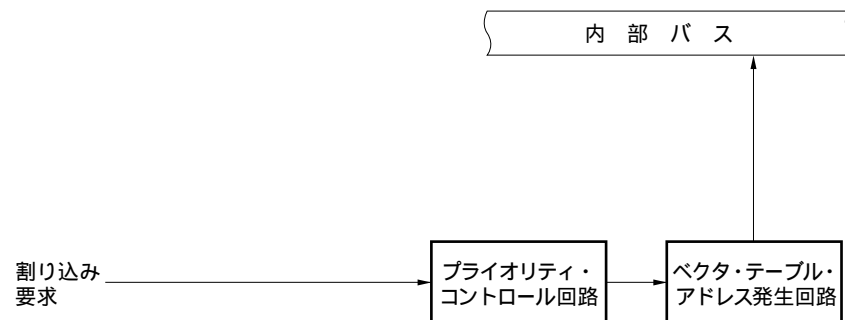


図 4 - 1 割り込み機能の基本構成(2/2)

(D) ソフトウェア割り込み



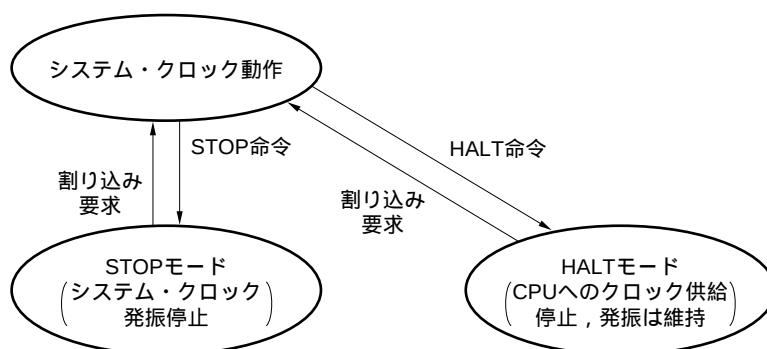
- 備考** IF : 割り込み要求フラグ
 IE : 割り込み許可フラグ
 ISP : インサース・プライオリティ・フラグ
 MK : 割り込みマスク・フラグ
 PR : 優先順位指定フラグ

5．スタンバイ機能

スタンバイ機能は、消費電流をより低減するための機能で、次の2種類があります。

- ・HALTモード：CPUの動作クロックを停止させます。通常動作との間欠動作により、平均消費電流を低減できます。
- ・STOPモード：システム・クロックの発振を停止させます。システム・クロックによる動作をすべて停止させ、消費電流をかなり低減できます。

図5 - 1 スタンバイ機能



6．リセット機能

次の3種類の方法によってリセットがかかります。

- ・RESET端子による外部リセット
- ・ウォッチドッグ・タイマの暴走時間検出による内部リセット
- ・パワーオン・クリア (POC) による内部リセット

7. 命令セット

(1) 8ビット命令

MOV, XCH, ADD, ADDC, SUB, SUBC, AND, OR, XOR, CMP, MULU, DIVUW, INC, DEC, ROR, ROL, RORC, ROLC, ROR4, ROL4, PUSH, POP, DBNZ

第2 オペランド	# byte	A	r ^注	sfr	saddr	!addr16	PSW	[DE]	[HL]	[HL + byte] [HL + B] [HL + C]	\$addr16	1	なし
A	ADD ADDC SUB SUBC AND OR XOR CMP		MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP			ROR ROL RORC ROLC	
r	MOV	MOV ADD ADDC SUB SUBC AND OR XOR CMP											INC DEC
B, C											DBNZ		
sfr	MOV	MOV											
saddr	MOV ADD ADDC SUB SUBC AND OR XOR CMP	MOV									DBNZ		INC DEC
!addr16		MOV											
PSW	MOV	MOV											PUSH POP
[DE]													

注 r = Aは除く。

第2 オペランド	# byte	A	r ^注	sfr	saddr	!addr16	PSW	[DE]	[HL]	[HL + byte] [HL + B] [HL + C]	\$addr16	1	なし
第1 オペランド													
[HL]		MOV											ROR4 ROL4
[HL + byte] [HL + B] [HL + C]		MOV											
X													MULU
C													DIVUW

注 r = Aは除く。

(2) 16ビット命令

MOVW , XCHW , ADDW , SUBW , CMPW , PUSH , POP , INCW , DECW

第2 オペランド	# word	AX	rp ^注	sfrp	saddrp	!addr16	SP	な し
第1 オペランド								
AX	ADDW SUBW CMPW		MOVW XCHW	MOVW	MOVW	MOVW	MOVW	
rp	MOVW	MOVW ^注						INCW DECW PUSH POP
sfrp	MOVW	MOVW						
saddrp	MOVW	MOVW						
!addr16		MOVW						
SP	MOVW	MOVW						

注 rp = BC , DE , HLのときのみ。

(3) ビット操作命令

MOV1 , AND1 , OR1 , XOR1 , SET1 , CLR1 , NOT1 , BT , BF , BTCLR

第2 オペランド	A.bit	sfr.bit	saddr.bit	PSW.bit	[HL] .bit	CY	\$addr16	なし
第1 オペランド								
A.bit						MOV1	BT BF BTCLR	SET1 CLR1
sfr.bit						MOV1	BT BF BTCLR	SET1 CLR1
saddr.bit						MOV1	BT BF BTCLR	SET1 CLR1
PSW.bit						MOV1	BT BF BTCLR	SET1 CLR1
[HL] .bit						MOV1	BT BF BTCLR	SET1 CLR1
CY	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1			SET1 CLR1 NOT1

(4) コール命令 / 分岐命令

CALL , CALLF , CALLT , BR , BC , BNC , BZ , BNZ , BT , BF , BTCLR , DBNZ

第2 オペランド	AX	!addr16	!addr11	[addr5]	\$addr16
第1 オペランド					
基本命令	BR	CALL BR	CALLF	CALLT	BR , BC , BNC BZ , BNZ
複合命令					BT , BF BTCLR DBNZ

(5) その他の命令

ADJBA , ADJBS , BRK , RET , RETI , RETB , SEL , NOP , EI , DI , HALT , STOP

8 . 電気的特性

絶対最大定格 (T_A = 25)

項 目	略号	条 件		定 格	単位
電源電圧	V _{DD}			- 0.3 ~ + 6.0	V
	V _{DD} PORT			- 0.3 ~ V _{DD} + 0.3 ^{注1}	V
	V _{DD} PLL			- 0.3 ~ V _{DD} + 0.3 ^{注1}	V
★ 入力電圧	V _I			- 0.3 ~ V _{DD} + 0.3	V
出力電圧	V _O	P130-P132以外		- 0.3 ~ V _{DD} + 0.3	V
出力耐圧	V _{BDS}	P130-P132	N-chオープン・ドレイン	16	V
アナログ入力電圧	V _{AN}	P10-P15	アナログ入力端子	- 0.3 ~ V _{DD} + 0.3	V
ハイ・レベル出力電流	I _{OH}	1 端子		- 8	mA
		P00-P06, P30-P37, P54-P57, P60-P67, P120-P125合計		- 15	mA
		P40-P47, P50-P53, P70-P77合計		- 15	mA
ロウ・レベル出力電流	I _{OL} ^{注2}	1 端子	ピーク値	16	mA
			実効値	8	mA
		P00-P06, P30-P37, P40-P47, P50-P57, P60-P67, P70-P77, P120-P125, P130-P132合計	ピーク値	30	mA
			実効値	15	mA
動作周囲温度	T _A			- 40 ~ + 85	
保存温度	T _{stg}			- 55 ~ + 125	

★ 注1 . V_{DD}PORT, V_{DD}PLLはV_{DD}端子と同電位にしてください。

2 . 実効値は [実効値] = [ピーク値] × $\sqrt{\text{デューティ}}$ で計算してください。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。

つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定のないかぎり、兼用端子の特性はポートの特性と同じです。

推奨電源電圧範囲 (T_A = - 40 ~ + 85)

項 目	略号	条 件	MIN.	TYP.	MAX.	単位
電源電圧	V _{DD1}	CPU動作およびPLL動作時	4.5	5.0	5.5	V
	V _{DD2}	CPU動作, PLL停止時	3.5	5.0	5.5	V
データ保持電源電圧	V _{DDR}	水晶発振停止時	2.3		5.5	V
出力耐圧	V _{BDS}	P130-P132 (N-chオープン・ドレイン)			15	V

DC特性 (T_A = -40 ~ +85 , V_{DD} = 3.5 ~ 5.5 V) (1/2)

項 目	略号	条 件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V _{IH1}	P10-P15, P30-P32, P35-P37, P40-P47, P50-P57, P60-P67, P71, P73, P120-P125	0.7 V _{DD}		V _{DD}	V
	V _{IH2}	P00-P06, P33, P34, P70, P72, P74-P75, $\overline{\text{RESET}}$	0.8 V _{DD}		V _{DD}	V
	V _{IH3}	P76, P77 (N-chオープン・ ドレイン入出力時)	4.5 V V _{DD} 5.5 V	0.7 V _{DD}	V _{DD}	V
ロウ・レベル入力電圧	V _{IL1}	P10-P15, P30-P32, P35-P37, P40-P47, P50-P57, P60-P67, P71, P73, P120-P125	0		0.3 V _{DD}	V
	V _{IL2}	P00-P06, P33, P34, P70, P72, P74-P75, $\overline{\text{RESET}}$	0		0.2 V _{DD}	V
	V _{IL3}	P76, P77 (N-chオープン・ ドレイン入出力時)	4.5 V V _{DD} 5.5 V	0	0.3 V _{DD}	V
ハイ・レベル出力電圧	V _{OH1}	P00-P06, P30-P37, P40-P47, P50-P57, P60-P67, P70-P77, P120-P125	4.5 V V _{DD} 5.5 V, I _{OH} = -1 mA	V _{DD} - 1.0		V
			3.5 V V _{DD} < 4.5 V, I _{OH} = -100 μA	V _{DD} - 0.5		V
	V _{OH2}	EO0, EO1	V _{DD} = 4.5 ~ 5.5 V, I _{OH} = -3 mA	V _{DD} - 1.0		V
ロウ・レベル出力電圧	V _{OL1}	P00-P06, P30-P37, P40-P47, P50-P57, P60-P67, P70-P75, P120-P125	4.5 V V _{DD} 5.5 V, I _{OL} = 1 mA		1.0	V
			3.5 V V _{DD} < 4.5 V, I _{OL} = 100 μA		0.5	V
	V _{OL2}	EO0, EO1	V _{DD} = 4.5 ~ 5.5 V, I _{OL} = 3 mA		1.0	V
	V _{OL3}	P76, P77 (N-chオープン・ ドレイン入出力時)	4.5 V V _{DD} 5.5 V I _{OL} = 3 mA		0.4	V
			4.5 V V _{DD} 5.5 V I _{OL} = 6 mA		0.6	V
ハイ・レベル入力リーク 電流	I _{LH}	P00-P06, P10-P15, P30-P37, P40-P47, P50-P57, P60-P67, P70-P77, P120-P125, $\overline{\text{RESET}}$	V _{IN} = V _{DD}		3	μA

備考 特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

DC特性 ($T_A = -40 \sim +85$, $V_{DD} = 3.5 \sim 5.5 \text{ V}$) (2/2)

項 目	略号	条 件		MIN.	TYP.	MAX.	単位
ロウ・レベル入力リーク電流	I _{LIL}	P00-P06, P10-P15, P30-P37, P40-P47, P50-P57, P60-P67, P70-P77, P120-P125, $\overline{\text{RESET}}$	$V_{IN} = 0 \text{ V}$			- 3	μ A
出力オフ・リーク電流	I _{LOH1}	P130-P132	$V_{OUT} = 15 \text{ V}$			- 3	μ A
	I _{LOL1}	P130-P132	$V_{OUT} = 0 \text{ V}$			3	μ A
	I _{LOH2}	P76, P77 (N-chオープン・ドレーン入出力時)	$V_{OUT} = V_{DD}$			- 3	μ A
	I _{LOL2}	P76, P77 (N-chオープン・ドレーン入出力時)	$V_{OUT} = 0 \text{ V}$			3	μ A
	I _{LOH3}	EO0, EO1	$V_{OUT} = V_{DD}$			- 3	μ A
	I _{LOL3}	EO0, EO1	$V_{OUT} = 0 \text{ V}$			3	μ A
★ 電源電流 ^注	I _{DD1}	CPU動作, PLL停止時 X1端子正弦波入力 $f_x = 4.5 \text{ MHz}$ 動作 $V_{IN} = V_{DD}$			2.5	15	mA
★	I _{DD2}	HALTモード, PLL停止時 X1端子正弦波入力 $f_x = 4.5 \text{ MHz}$ 動作 $V_{IN} = V_{DD}$			0.2	0.8	mA
データ保持電源電圧	V _{DDR1}	水晶発振時		3.5		5.5	V
	V _{DDR2}	水晶発振停止時	停電検出機能	2.2			V
	V _{DDR3}		データ・メモリ保持	2.0			V
データ保持電源電流	I _{DDR1}	水晶発振停止時	$T_A = 25$, $V_{DD} = 5 \text{ V}$		2.0	4.0	μ A
	I _{DDR2}				2.0	20	μ A

注 AV_{DD}電流とV_{DD}PLL電流とポート電流は含みません。

備考 1. f_x : システム・クロック発振周波数

2. 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

参考特性 ($T_A = -40 \sim +85$, $V_{DD} = 4.5 \sim 5.5$ V)

★

項 目	略号	条 件	MIN.	TYP.	MAX.	単位
電源電流	I_{DD3}	CPU動作, PLL動作時 VCOH端子正弦波入力 $f_{IN} = 160$ MHz動作 $V_{IN} = 0.15$ V _{P-P}		5		mA

AC特性

(1) 基本動作 ($T_A = -40 \sim +85$, $V_{DD} = 3.5 \sim 5.5$ V)

項 目	略号	条 件	MIN.	TYP.	MAX.	単位
サイクル・タイム (最小命令実行時間)	T_{CY}	$f_x = 4.5$ MHz	0.44		7.11	μ s
TI50, TI51入力周波数	f_{TI5}				2	MHz
TI50, TI51入力ハイ, ロ ウ・レベル幅	t_{TIH5} t_{TIL5}		200			ns
割り込み入力ハイ, ロ ウ・レベル幅	t_{INTH} t_{INTL}	INTP0-INTP4	1			μ s
RESET端子ロウ・レベ ル幅	t_{RSL}		10			μ s

(2) シリアル・インタフェース ($T_A = -40 \sim +85$, $V_{DD} = 3.5 \sim 5.5$ V)

(a) シリアル・インタフェース (IIC0)

I²Cバス・モード

項 目	略 号	標準モード		高速モード		単位
		MIN.	MAX.	MIN.	MAX.	
SCL0クロック周波数	f _{CLK}	0	100	0	400	kHz
バス・フリー・タイム (ストップ・スタート・コンディ ション間)	t _{BUF}	4.7	-	1.3	-	μs
ホールド・タイム ^{注1}	t _{HD : STA}	4.0	-	0.6	-	μs
SCL0クロックのロウ・レベ ル幅	t _{LOW}	4.7	-	1.3	-	μs
SCL0クロックのハイ・レベ ル幅	t _{HIGH}	4.0	-	0.6	-	μs
スタート/リスタート・コン ディションのセットアップ時 間	t _{SU : STA}	4.7	-	0.6	-	μs
データ・ ホールド 時間	CBUS互換マスタ の場合	5.0	-	-	-	μs
	I ² Cバスの場合					
		0 ^{注2}	-	0 ^{注2}	0.9 ^{注3}	μs
データ・セットアップ時間	t _{SU : DAT}	250	-	100 ^{注4}	-	ns
SDA0およびSCL0信号の立ち 上がり時間	t _R	-	1000	20 + 0.1Cb ^{注5}	300	ns
SDA0およびSCL0信号の立ち 下がり時間	t _F	-	300	20 + 0.1Cb ^{注5}	300	ns
ストップ・コンディションの セットアップ時間	t _{SU : STO}	4.0	-	0.6	-	μs
入力フィルタによって抑制さ れるスパイクのパルス幅	t _{SP}	-	-	0	50	ns
各バス・ラインの容量性負荷	Cb	-	400	-	400	pF

注1．スタート・コンディション時に、この期間のあと、最初のクロック・パルスが生成されます。

2．装置は、SCL0の立ち下がり端の未定義領域を埋めるために（SCL0信号のV_{IHmin}での）SDA0信号用に最低300 nsのホールド時間を内部的に提供する必要があります。

3．装置がSCL0信号のロウ・ホールド時間（t_{LOW}）を延長しない場合は、最大データ・ホールド時間t_{HD : DAT}のみを満たすことが必要です。

4．高速モードI²Cバスは、標準モードI²Cバス・システム内で利用できます。この場合、次の条件を満たすようにしてください。

・装置がSCL0信号のロウ状態ホールド・タイムを延長しない場合

t_{SU : DAT} 250 ns

・装置がSCL0信号のロウ状態ホールド・タイムを延長する場合

SCL0ラインが解放される（t_{Rmax} + t_{SU : DAT} = 1000 + 250 = 1250 ns：標準モードI²Cバス仕様による）前に、次のデータ・ビットをSDA0ラインに送出してください。

5．Cb：1つのバス・ラインの合計キャパシタンス（単位pF）

(b) シリアル・インタフェース (SIO3)

(i) 3線式シリアルI/Oモード (SCK3...内部クロック出力)

項 目	略号	条 件	MIN.	TYP.	MAX.	単位
SCK3サイクル・タイム	t _{KCY1}		800			ns
SCK3/ハイ, ロウ・レベル幅	t _{KH1} , t _{KL1}		t _{KCY1} /2・50			ns
SI3セット・アップ時間(対SCK3↑)	t _{SIK1}		100			ns
SI3ホールド時間(対SCK3↑)	t _{KSI1}		400			ns
SCK3↓→SO3出力遅延時間	t _{KSO1}	C = 100 pF ^注			300	ns

注 Cは, SCK3, SO3出力ラインの負荷容量です。

(ii) 3線式シリアルI/Oモード (SCK3...外部クロック入力)

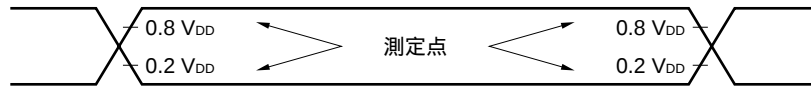
項 目	略号	条 件	MIN.	TYP.	MAX.	単位
SCK3サイクル・タイム	t _{KCY2}		800			ns
SCK3/ハイ, ロウ・レベル幅	t _{KH2} , t _{KL2}		400			ns
SI3セット・アップ時間(対SCK3↑)	t _{SIK2}		100			ns
SI3ホールド時間(対SCK3↑)	t _{KSI2}		400			ns
SCK3↓→SO3出力遅延時間	t _{KSO2}	C = 100 pF ^注			300	ns
SCK3立ち上がり, 立ち下がり時間	t _{R2} , t _{F2}				1000	ns

注 Cは, SO3出力ラインの負荷容量です。

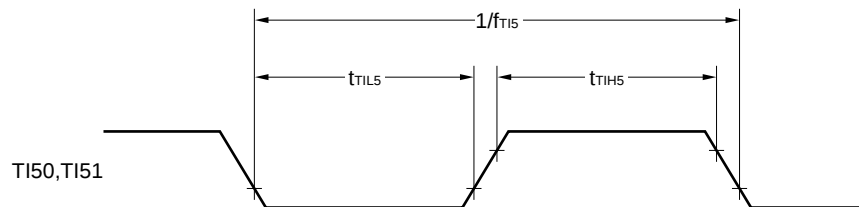
(c) シリアル・インタフェース (UART0: 専用ボーレート・ジェネレータ出力)

項 目	略号	条 件	MIN.	TYP.	MAX.	単位
転送レート					38400	bps

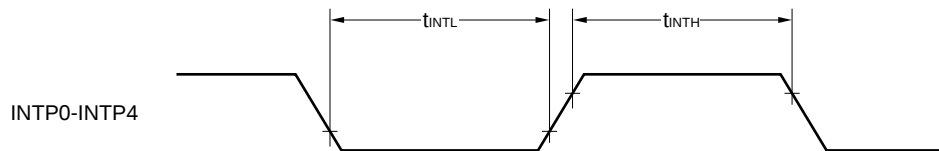
ACタイミング測定点 (X1入力を除く)



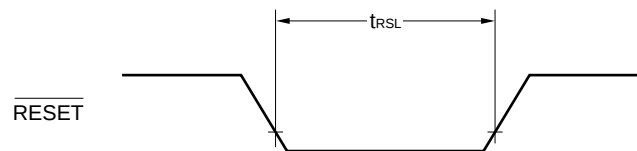
TIタイミング



割り込み入力タイミング

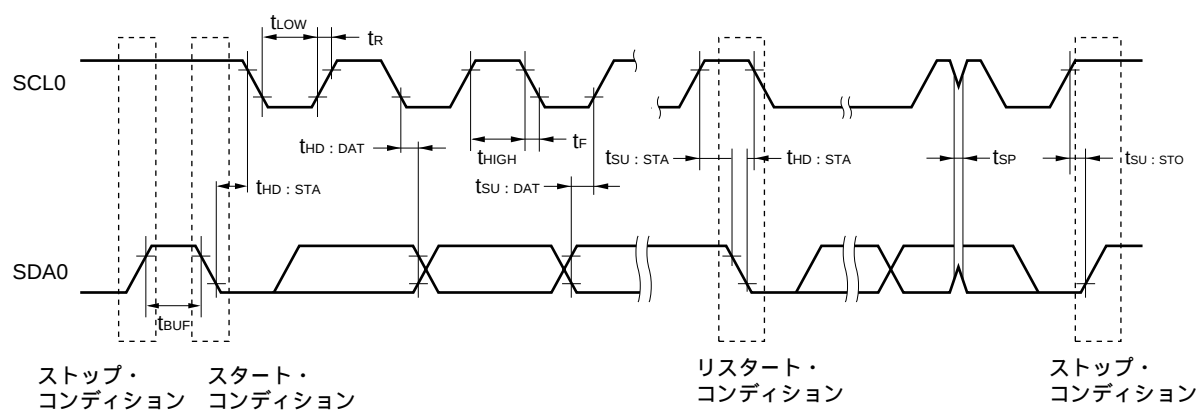


$\overline{\text{RESET}}$ 入力タイミング

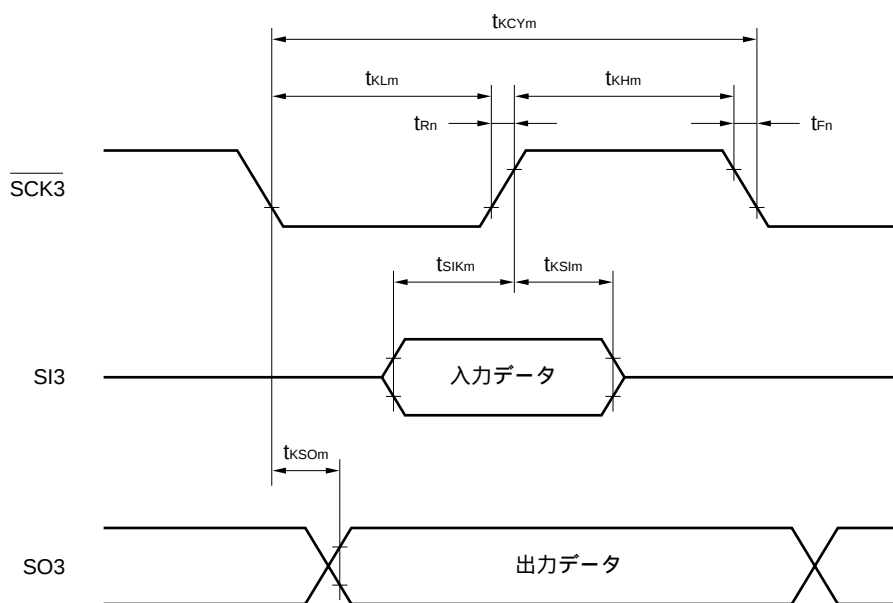


シリアル転送タイミング

I²Cバス・モード：



3 線式シリアルI/Oモード：



備考 $m = 1, 2$

$$n = 2$$

★ A/Dコンバータ特性 ($T_A = -40 \sim +85$, $V_{DD} = 3.5 \sim 5.5$ V)

項 目	略号	条 件	MIN.	TYP.	MAX.	単位
分解能			8	8	8	bit
変換総合誤差 ^注		$V_{DD} = 4.5 \sim 5.5$ V			± 1.0	%
					± 1.4	%
変換時間	t_{CONV}		21.3		64.0	μ s
アナログ入力電圧	V_{IAN}		0		V_{DD}	V

注 量子化誤差 ($\pm 1/2$ LSB) を含みません。

PLL特性 ($T_A = -40 \sim +85$, $V_{DD} = 4.5 \sim 5.5$ V)

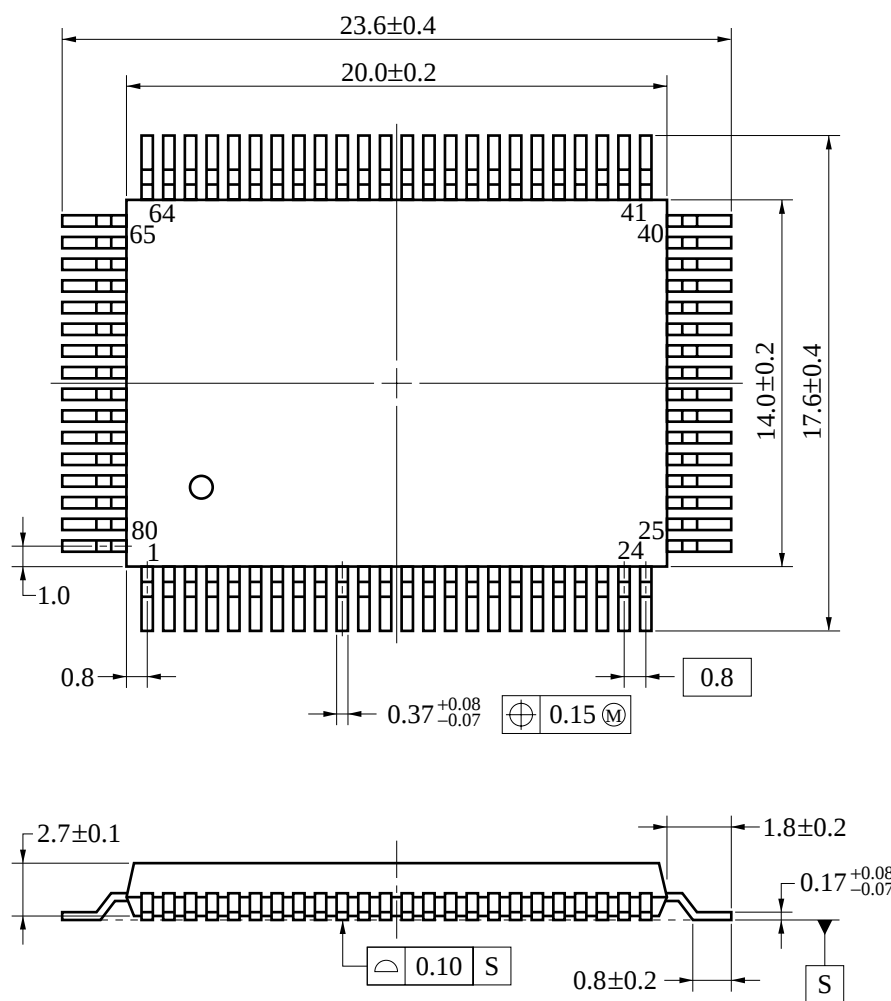
項 目	略号	条 件	MIN.	TYP.	MAX.	単位
動作周波数	f_{IN1}	VCOL端子 MFモード 正弦波入力 $V_{IN} = 0.15$ V _{p-p}	0.5		3.0	MHz
	f_{IN2}	VCOL端子 HFモード 正弦波入力 $V_{IN} = 0.15$ V _{p-p}	10		40	MHz
	f_{IN3}	VCOH端子 VHFモード 正弦波入力 $V_{IN} = 0.15$ V _{p-p}	60		130	MHz
	f_{IN4}	VCOH端子 VHFモード 正弦波入力 $V_{IN} = 0.3$ V _{p-p}	40		160	MHz

IFC特性 ($T_A = -40 \sim +85$, $V_{DD} = 4.5 \sim 5.5$ V)

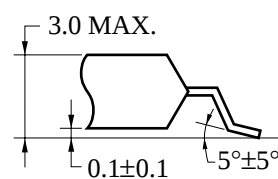
項 目	略号	条 件	MIN.	TYP.	MAX.	単位
動作周波数	f_{IN5}	AMIFC端子 AMIFカウント・モード 正弦波入力 $V_{IN} = 0.15$ V _{p-p}	0.4		0.5	MHz
	f_{IN6}	FMIFC端子 FMIFカウント・モード 正弦波入力 $V_{IN} = 0.15$ V _{p-p}	10		11	MHz
	f_{IN7}	FMIFC端子 AMIFカウント・モード 正弦波入力 $V_{IN} = 0.15$ V _{p-p}	0.4		0.5	MHz

9. 外形図

80ピン・プラスチック QFP (14x20) 外形図 (単位: mm)

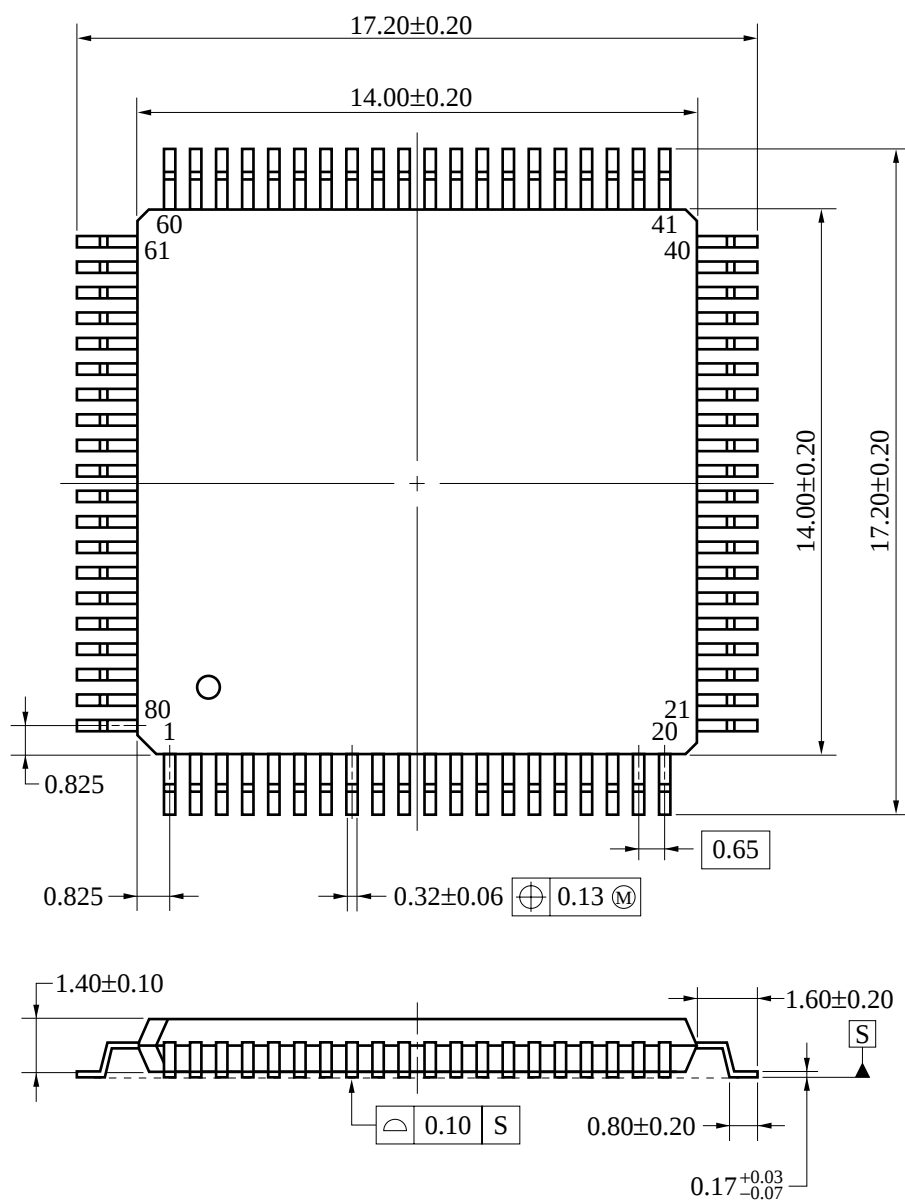


端子先端形状詳細図

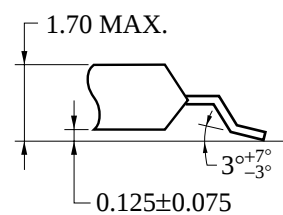


P80GF-80-3B9-5

80ピン・プラスチック QFP (14x14) 外形図 (単位: mm)



端子先端形状詳細図



P80GC-65-8BT-1

10. 半田付け推奨条件

μ PD178023, 178024の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の詳細は、インフォメーション資料「**半導体デバイス実装マニュアル**」(C10535J)を参照してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

表10 - 1 表面実装タイプの半田付け条件

μ PD178023GF- × × × -3B9 : 80ピン・プラスチックQFP (14 × 20)

μ PD178024GF- × × × -3B9 : "

半田付け方式	半 田 付 け 条 件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 ，時間：30秒以内（210 以上），回数：3回以内	IR35-00-3
VPS	パッケージ・ピーク温度：215 ，時間：40秒以内（200 以上），回数：3回以内	VP15-00-3
ウエーブ・ソルダリング	半田槽温度：260 以下，時間：10秒以内，回数：1回， 予備加熱温度：120 MAX.（パッケージ表面温度）	WS60-00-1
端子部分加熱	端子温度：300 以下，時間：3秒以内（デバイス一辺当たり）	-

注意 半田付け方式の併用はお避けください（ただし、端子部分加熱方式は除く）。

μ PD178023GC- × × × -8BT : 80ピン・プラスチックQFP (14 × 14)

μ PD178024GC- × × × -8BT : "

半田付け方式	半 田 付 け 条 件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 ，時間：30秒以内（210 以上），回数：2回以内	IR35-00-2
VPS	パッケージ・ピーク温度：215 ，時間：40秒以内（200 以上），回数：2回以内	VP15-00-2
ウエーブ・ソルダリング	半田槽温度：260 以下，時間：10秒以内，回数：1回， 予備加熱温度：120 MAX.（パッケージ表面温度）	WS60-00-1
端子部分加熱	端子温度：300 以下，時間：3秒以内（デバイス一辺当たり）	-

注意 半田付け方式の併用はお避けください（ただし、端子部分加熱方式は除く）。

付録A．開発ツール

μ PD178023, 178024を使用するシステム開発のために次のような開発ツールを用意しています。

言語処理用ソフトウェア

RA78K0 ^{注1, 2, 3}	78K/0シリーズ共通のアセンブラ・パッケージ
CC78K0 ^{注1, 2, 3}	78K/0シリーズ共通のC コンパイラ・パッケージ
DF178124 ^{注1, 2, 3}	μ PD178024サブシリーズに対応するデバイス・ファイル
CC78K0-L ^{注1, 2, 3}	78K/0シリーズ共通のC コンパイラ・ライブラリ・ソース・ファイル

フラッシュ・メモリ書き込み用ツール

Flashpro (型番FL-PR3 ^{注4} , PG-FP3)	専用フラッシュ・ライター
FA-80GF ^{注4}	フラッシュ・メモリ書き込み用アダプタ
FA-80GC-8BT ^{注4}	

ディバグ用ツール

・インサーキット・エミュレータ IE-78K0-NSを使用する場合

IE-78K0-NS	78K/0シリーズ共通のインサーキット・エミュレータ
IE-70000-MC-PS-B	IE-78K0-NS用電源ユニット
IE-78K0-NS-PA	IE-78K0-NSの機能を強化 / 拡張するためのパフォーマンス・ボード
IE-70000-98-IF-C	ホスト・マシンとしてPC-9800シリーズ(ノート型パソコンを除く)を使用するときに必要なアダプタ(Cバス対応)
IE-70000-CD-IF-A	ホスト・マシンとしてノート型パソコンを使用するときに必要なPCカードとインタフェース・ケーブル(PCMCIAソケット対応)
IE-70000-PC-IF-C	ホスト・マシンとしてIBM PC/AT TM 互換機を使用するときに必要なアダプタ(ISAバス対応)
IE-70000-PCI-IF	ホスト・マシンとしてPCIバスを内蔵したパソコンを使用するときに必要なインタフェース・アダプタ
IE-178134-NS-EM1	μ PD178024サブシリーズをエミュレーションするためのエミュレーション・ボード
NP-80GF ^{注4}	80ピン・プラスチックQFP (GF-3B9タイプ)用エミュレーション・プローブ
EV-9200G-80	80ピン・プラスチックQFP (GF-3B9タイプ)用に作られたターゲット・システムの基板上に実装するソケット
NP-80GC ^{注4}	80ピン・プラスチックQFP (GC-8BTタイプ)用エミュレーション・プローブ
EV-9200GC-80	80ピン・プラスチックQFP (GC-8BTタイプ)用に作られたターゲット・システムの基板上に実装するソケット
SM78K0 ^{注1, 2}	78K/0シリーズ共通のシステム・シミュレータ
ID78K0-NS ^{注1, 2}	78K/0シリーズ共通の統合ディバグ
DF178124 ^{注1, 2, 3}	μ PD178024サブシリーズに対応するデバイス・ファイル

注1．PC-9800シリーズ(日本語WindowsTM)ベース

2．IBM PC/AT互換機(日本語/英語Windows)ベース

3．HP9000シリーズ700TM(HP-UXTM)ベース, SPARCstationTM(SunOSTM, SolarisTM)ベース, NEWSTM(NEWS-OSTM)ベース

4．株式会社内藤電誠町田製作所(044-822-3813)の製品です。

備考 RA78K0, CC78K0, SM78K0は, DF178124と組み合わせて使用します。

・インサート・エミュレータ IE-78001-R-Aを使用する場合

IE-78001-R-A	78K/0シリーズ共通のインサート・エミュレータ
IE-70000-98-IF-C	ホスト・マシンとしてPC-9800シリーズ（ノート型パソコンを除く）を使用するときに必要なアダプタ（Cバス対応）
IE-70000-PC-IF-C	ホスト・マシンとしてIBM PC/AT互換機を使用するときに必要なアダプタ（ISAバス対応）
IE-70000-PCI-IF	ホスト・マシンとしてPCIバスを内蔵したパソコンを使用するときに必要なインタフェース・アダプタ
IE-78000-R-SV3	ホスト・マシンとしてEWSを使用するときに必要なインタフェース・アダプタとケーブル
IE-178134-NS-EM1	μ PD178024サブシリーズをエミュレーションするためのエミュレーション・ボード
IE-78K0-R-EX1	IE-178134-NS-EM1をIE-78001-R-A上で使用するときに必要なエミュレーション・プローブ変換ボード
EP-78130GF-R	80ピン・プラスチックQFP（GF-3B9タイプ）用エミュレーション・プローブ
EV-9200G-80	80ピン・プラスチックQFP（GF-3B9タイプ）用に作られたターゲット・システムの基板上に実装するソケット
EP-78230GC-R	80ピン・プラスチックQFP（GC-8BTタイプ）用エミュレーション・プローブ
EV-9200GC-80	80ピン・プラスチックQFP（GC-8BTタイプ）用に作られたターゲット・システムの基板上に実装するソケット
SM78K0 ^{注1, 2}	78K/0シリーズ共通のシステム・シミュレータ
ID78K0 ^{注1, 2}	78K/0シリーズ共通の統合ディバガ
DF178124 ^{注1, 2, 3}	μ PD178024サブシリーズに対応するデバイス・ファイル

リアルタイムOS

RX78K0 ^{注1, 2, 3}	78K/0シリーズ用リアルタイムOS
MX78K0 ^{注1, 2, 3}	78K/0シリーズ用OS

注1．PC-9800シリーズ（日本語Windows）ベース

2．IBM PC/AT互換機（日本語／英語Windows）ベース

3．HP9000シリーズ700（HP-UX）ベース，SPARCstation（SunOS, Solaris）ベース，NEWS（NEWS-OS）ベース

備考 SM78K0は，DF178124と組み合わせて使用します。

付録B．関連資料

関連資料は暫定版の場合がありますが，この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資 料 名		資料番号	
		和 文	英 文
μ PD178023, 178024 データ・シート		この資料	U14126E
★ μ PD178F124 データ・シート		U14933J	U14933E
μ PD178024サブシリーズ ユーザーズ・マニュアル		U13915J	U13915E
78K/0シリーズ ユーザーズ・マニュアル 命令編		U12326J	U12326E
78K/0シリーズ アプリケーション・ノート	基礎編 ()	U12704J	U12704E

開発ツールの関連資料 (ユーザーズ・マニュアル)

資 料 名		資料番号	
		和 文	英 文
RA78K0 アセンブラ・パッケージ	操作編	U11802J	U11802E
	アセンブリ言語編	U11801J	U11801E
	構造化アセンブリ言語編	U11789J	U11789E
CC78K0 Cコンパイラ	操作編	U11517J	U11517E
	言語編	U11518J	U11518E
★ IE-78001-R-A インサーキット・エミュレータ		U14142J	作成予定
★ IE-78K0-NS インサーキット・エミュレータ		U13731J	U13731E
IE-178134-NS-EM1 エミュレーション・ボード		作成予定	作成予定
EP-78230 エミュレーション・プローブ		EEU-985	EEU-1515
EP-78130 エミュレーション・プローブ		-	EEU-1470
SM78K0 システム・シミュレータ Windowsベース	レファレンス編	U10181J	U10181E
★ SM78K0S, SM78K0 システム・シミュレータ Ver.2.10以上 Windowsベース	操作編	U14611J	作成中
SM78Kシリーズ システム・シミュレータ		外部部品ユーザオープン インタフェース仕様編	U10092J U10092E
ID78K0 統合ディバッガ EWSベース	レファレンス編	U11151J	-
ID78K0 統合ディバッガ PCベース	レファレンス編	U11539J	U11539E
ID78K0 統合ディバッガ Windowsベース	ガイド編	U11649J	U11649E
★ ID78K0-NS 統合ディバッガ Ver.2.00以上 Windowsベース	操作編	U14379J	U14379E
★ ID78K0-NS, ID78K0S-NS 統合ディバッガ Ver.2.20以上 Windowsベース	操作編	U14910J	作成中

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには必ず最新の資料をご使用ください。

組み込み用ソフトウェアの関連資料（ユーザズ・マニュアル）

資 料 名		資料番号	
		和 文	英 文
78K/0シリーズ リアルタイムOS	基礎編	U11537J	U11537E
	インストール編	U11536J	U11536E
78K/0シリーズ用OS MX78K0	基礎編	U12257J	U12257E

その他の関連資料

資 料 名		資料番号	
		和 文	英 文
SEMICONDUCTOR SELECTION GUIDE Products & Packages (CD-ROM)		X13769X	
半導体デバイス 実装マニュアル		C10535J	C10535E
NEC半導体デバイスの品質水準		C11531J	C11531E
NEC半導体デバイスの信頼性品質管理		C10983J	C10983E
静電気放電（ESD）破壊対策ガイド		C11892J	C11892E
半導体 品質 / 信頼性ハンドブック		C12769J	-
マイクロコンピュータ関連製品ガイド 社外メーカ編		U11416J	-

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには必ず最新の資料をご使用ください。

CMOSデバイスの一般的注意事項

静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

注意：本製品はI²Cバス・インタフェース回路を内蔵しています。

I²Cバス・インタフェースを使用される場合には、カスタム・コードをご発注いただく時に、事前にその旨ご申告下さい。申告に基づき、以下の特典が受けられます。

日本電気株式会社のI²Cバス対応部品をご購入いただくことにより、これらの部品をI²Cシステムに使用する実施権がフィリップス社I²C特許に基づき許諾されることになります。ただし、これらのI²Cシステムはフィリップス社によって設定されたI²C標準規格に合致しているものとします。

Purchase of NEC I²C components conveys a license under the Philips I²C Patent Rights to use these components in an I²C system, provided that the system conforms to the I²C Standard Specification as defined by Philips.

IEBusは、日本電気株式会社の商標です。

Windowsは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

PC/ATは、米国IBM社の商標です。

HP9000シリーズ700、HP-UXは、米国ヒューレット・パカード社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

Solaris, SunOSは、米国サン・マイクロシステムズ社の商標です。

NEWS, NEWS-OSは、ソニー株式会社の商標です。

本製品が外国為替および外国貿易管理法の規定による規制貨物等（または役務）に該当するか否かは、ユーザ（仕様を決定した者）が判定してください。

- 本資料の内容は予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。
- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
- 本資料に記載された回路、ソフトウェア、及びこれらに付随する情報は、半導体製品の動作例、応用例を説明するためのものです。従って、これら回路・ソフトウェア・情報をお客様の機器に使用される場合には、お客様の責任において機器設計をしてください。これらの使用に起因するお客様もしくは第三者の損害に対して、当社は一切その責を負いません。
- 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災／防犯装置、各種安全装置、生命維持を直接の目的としない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート／データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

M7 98.8

— お問い合わせ先 —

【技術的なお問い合わせ先】

NEC半導体テクニカルホットライン
(電話：午前 9:00～12:00、午後 1:00～5:00)

電話 : 044-435-9494
FAX : 044-435-9608
E-mail : s-info@saed.tmg.nec.co.jp

【営業関係お問い合わせ先】

第一販売事業部

東京 (03)3798-6106, 6107, 6108

名古屋 (052)222-2375

大阪 (06)6945-3178, 3200, 3208, 3212

仙台 (022)267-8740

郡山 (024)923-5591

千葉 (043)238-8116

第二販売事業部

東京 (03)3798-6110, 6111, 6112

立川 (042)526-5981, 6167

松本 (0263)35-1662

静岡 (054)254-4794

金沢 (076)232-7303

松山 (089)945-4149

第三販売事業部

東京 (03)3798-6151, 6155, 6586, 1622, 1623, 6156

水戸 (029)226-1702

広島 (082)242-5504

高崎 (027)326-1303

鳥取 (0857)27-5313

太田 (0276)46-4014

名古屋 (052)222-2170, 2190

福岡 (092)261-2806

【資料の請求先】

上記営業関係お問い合わせ先またはNEC特約店へお申しつけください。

【インターネット電子デバイス・ニュース】

NECエレクトロニクスデバイスの情報がインターネットでご覧になれます。

URL(アドレス)

<http://www.ic.nec.co.jp/>